

2022 11

总 47 期

光电科技
情报网



光电科技快报

Opto-electronics Science
& Tech Letters

- 探秘存储技术新动向
- 日本大力推出刺激半导体发展计划
- 2022 全年 DRAM 市场下滑 18%
- 基于时间透镜的片上超快飞秒脉冲激光器



中国科学院光电情报网工作组

中国科学院光电情报网内参

光电科技快报

Opto-electronics Science & Tech Letters

(2022年第11期 总47期)

中国科学院光电情报网工作组

2022.11

中国科学院光电情报网介绍：

中国科学院光电情报网(简称光电情报网)是在中国科学院文献情报系统“学科情报服务协调组”的整体组织和指导下,由中国科学院武汉文献情报中心牵头组建,联合中国科学院光电领域相关研究所、东湖新技术开发区(中国光谷)、国内相关光电企业、省科学院联盟相关成员单位,共同搭建的情报研究资源共享及协同服务的非营利性情报研究及服务团体。通过“协同开展情报研究服务、组合共建情报产品体系、促进情报资源交流共享、提升整体情报保障能力”的工作方式,创新院所协同、院地合作的情报研究和服务保障模式,更好支撑中国科学院、地方的发展规划布局,坚实保障各个层面的战略决策、智库咨询、科学研究和产业创新情报需求,从而有效推动光电领域科技进步和产业发展。

中国科学院光电情报网工作组：

组长单位：中国科学院武汉文献情报中心

副组长单位：中国科学院长春光学精密机械与物理研究所
中国科学院上海光学精密机械研究所
中国科学院光电技术研究所
中国科学院合肥物质科学研究院
中国科学院成都文献情报中心

组员单位：中国科学院西安光学精密机械研究所
中国科学院海西研究院
中国科学院光电研究院
中国科学院国家空间科学中心
中国科学院国家天文台南京天文光学技术研究所
中国科学院苏州生物医学工程技术研究所
中国科学院上海技术物理研究所

特邀单位：安徽科学技术研究院
安徽光电技术研究所

目 录

特别关注	2
探秘存储技术新动向.....	2
战略规划	8
集成电路相关《合肥倡议》重磅发布.....	8
韩国政府将半导体、显示器、二次电池等技术指定为“12大国家战略技术”	8
日本大力推出刺激半导体发展计划.....	9
行业观察	13
2022 全年 DRAM 市场下滑 18%	13
显示驱动芯片市场总体规模或将连年萎缩	14
近 10 年我国集成电路产业复合增长率 19%.....	15
研究进展	16
基于时间透镜的片上超快飞秒脉冲激光器.....	16
高性能硅波导耦合 III-V 族光电探测器.....	17
研究人员发现锂枝晶形成原因 助力开发新型固态电池	19
中国科大实现通讯波段的按需式量子存储.....	20

本期责编：胡思思

本期编辑：李海燕（上海光机所） 朱立禄（长春光机所） 王亚军（西安光机所） 张甫
（安徽光机所） 章日辉 曹 晨 刘美蓉 杨子意

联系电话：027-87199007

特别关注

探秘存储技术新动向

为了解决从客户端系统到高性能服务器的广泛应用所面临的性能和功耗挑战，固态技术协会(JEDEC)于 2020 年 7 月正式发布了下一代主流内存标准 DDR5 SDRAM 的最终规范(JESD79-5)，为全球计算机内存技术拉开了新时代的序幕。

JEDEC 将 DDR5 描述为一种“具备革命意义”的内存架构，认为它的出现标志着整个行业即将向 DDR5 服务器双列直插式内存模块(DIMM)过渡。

DDR5 的速度比已经“超级快”的 DDR4 还要快。与 DDR4 内存的 3.2Gbps 最高传输速率相比，全新 DDR5 内存则高达 8.4Gbps。此外，DDR5 也改善了 DIMM 的工作电压，将供电电压从 DDR4 的 1.2V 降至 1.1V，从而进一步提升了内存的能效表现。两者之间的性能、容量和功耗等指标的具体比较见表 1。

表 1 DDR5 与 DDR4 DIMMs 对比

DDR5与DDR4 DIMMs的对比——性能、容量、功耗

功能	DDR4	DDR5	DDR5优势
数据传输速率	数据传输速率达到 1.6 - 3.2 Gbps 时钟频率达到 0.8 - 1.6 GHz	数据传输速率达到 4.8 - 8.4 Gbps 时钟频率达到 1.6 - 4.2 GHz	更高的带宽 此处为DDR5-4800 初始设计参数
通道架构	72位宽数据通道 (64位数据+8位 ECC) 每个DIMM有1个通道	40位宽数据通道 (32位数据+8位 ECC) 每个DIMM有2个通道	更高的内存效率 更低的延时
CA总线	33位SDR, 每个引脚均被分配了功能	每通道10位DDR, 对引脚采用分组协议	在DIMM引脚数量变少的情况下 仍能够为两个通道提供必要的CA带宽
突发长度	BC4, BL8	BC8, BL16	更高的内存效率
DRAM芯片密度	16Gb SDP -> 64 GB DIMMs 3DS - CID支持8-hi堆栈	64Gb SDP -> 256 GB DIMMs 3DS - CID 支持16-hi堆栈 (对于64Gb 内存密度, CID支持仅限于8-hi堆栈)	更大容量的DIMMs
输入/输出电压	1.2 V 电压 V CA SSTL	1.1 V 电压 V CA PODL	更低的功耗

DRAM 芯片密度方面，DDR4 在单裸片封装(SDP)模式下仅支持最高 16Gb 的 DRAM 容量，而 DDR5 内存标准将这一数字提高到了 64Gb。这意味着，DDR5 DIMM 在 SDP 模式下的最高容量可达 256GB，是 DDR4 64Gb 最大容量的 4 倍。同时，DDR5 还支持片上纠错码、错误透明模式、封装后修复和读写 CRC 校验等功能，并支持最高 40 个单元的堆叠，从而可使其有效内存容量达到 2TB。

在设计上，DDR5 内存保持与 DDR4 相同的 288 个引脚数，不过定义不同，

故无法兼容 DDR4 插槽。DDR5 DIMM 采用了彼此独立的 40 位宽双通道设计(32 个数据位, 8 个纠错码位), 每个通道的突发长度从 8 字节(BL8)翻倍到 16 字节(BL16)。所以尽管数据位仍然是 64 位, 但并发能力的提高使得内存访问效率得到了提升, 而且两个通道共用寄存时钟驱动器, 每侧可提供四个输出时钟, 能够优化信号完整性。

此外, DDR5 还带来了一种名为“同一内存块刷新(SAME-BANK Refresh)”的新特性。这一命令允许对每一组内存块中的单独内存块进行刷新, 而让其他内存块保持打开状态, 以继续正常操作。测试数据显示, 单列 DDR5 模组与 DDR4 双列模组以 3200MT/s 的速度进行比较时, 前者性能可以提升 1.28 倍, 在 4800MT/s 的入门级数据速率下, DDR5 性能提升了高达 1.87 倍!

市场调研机构 Omdia 分析指出, 对 DDR5 的市场需求从 2020 年就开始逐步显现, 到 2022 年, DDR5 预计将占据整个 DRAM 市场份额的 10%, 2024 年则将进一步扩大至 43%; Yole Developpement 则预测称, DDR5 的广泛采用应该会从 2022 年的服务器市场开始, 2023 年, 手机、笔记本电脑和 PC 等主流市场也将开始广泛采用 DDR5, 出货量明显将会超过 DDR4, 届时两种技术间将完成快速过渡。

与 DDR2、3 和 4 的升级迭代重点主要集中在如何降低功耗上, 移动和终端应用在于其主要推动力不同, DDR5 的主要推动因素是因为随着 CPU 核心数量和计算性能的持续增加, 内存带宽和容量也必须成比例地扩展。

例如, 2000~2019 年, 内存带宽从约 1GB/s 迅速提升至 200GB/s, 但与此同时, 一个系统中处理器内核数量也从早期的单核、双核, 增加到如今的 60 个以上。在这样一个超多内核处理器的系统中, 分摊到每个内核上的可用带宽是严重不足的。

推动 DDR5 前进的其他因素, 还包括: 处理器和内存希望拥有相同的内存读取粒度(64 字节高速缓存行); 相同或更好的可靠性、可用性和可服务性功能, 例如必须支持单错误校正和双错误检测(single error correction/double error detection); 保持在冷却功率范围内(~15W/DIMM), 并控制好启动和内存训练的时间, 以免影响预期启动时间。

数据中心、PC 与平板电脑和边缘计算, 被视作 DDR5 最有希望得到广泛普及的三大领域。优先级方面, 业界普遍认为 DDR5 将紧随 DDR4 的步伐, 率先导入数据中心而不是 PC 领域, 以应对计算密集型的工作负载。考虑到 PC 消费

者对整机价格敏感度极高，且 DDR5 初期推出的价格与 DDR4 相比存在较高溢价，所以普及速度会相对较慢。

从目前的实际情况来看，DDR4 仍然保持着强劲的势头，DDR5 还处于早期的量产爬坡阶段，预计到 2023 年底 DDR5 的出货量才会超过 DDR4。在 PC 市场，英特尔 Alder Lake 处理器已经搭配了 DDR5 内存，AMD 也宣布会在今年秋天支持 DDR5；在服务器市场，第一个 DDR5 服务器已经出样，预计会在接下来的 3-6 个月内实现早期量产。这样看来，此前盛传的“2022 年将能够真正全面进入 DDR5 时代”的说法看来有些过于激进——毕竟 2022 年底已近，而支持 DDR5 的处理器平台仍比较有限。

DRAM 市场的几大参与者包括了三星、美光、SK 海力士(SK Hynix)、南亚科技(Nanya)、力积电(PSMC)等，下图展示了该领域主要市场参与者的技术演进方向。简单而言，三星、美光与 SK 海力士面向 DDR4、DDR5 和 LPDDR5 应用，已经以 15nm 和 14nm 级别的单元设计规则发布了 D1z 和 D1α 节点的产品；三星是最早在 DRAM 上采用 EUV 极紫外光刻技术的供应商，将其应用于 D1x DDR4 DRAM 模组和 D1z LPDDR5 规模量产。

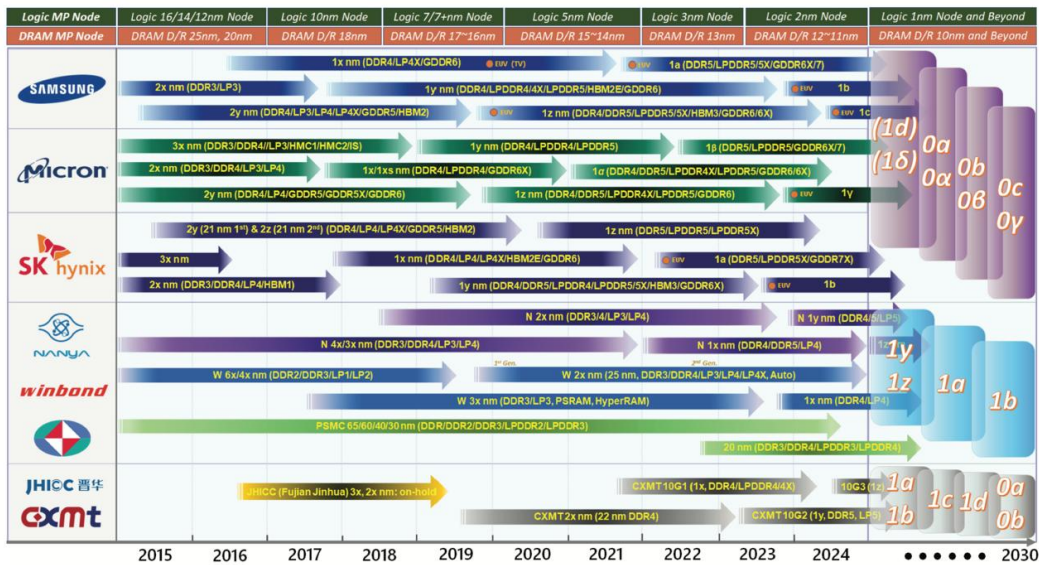


图 1 主流供应商的 DRAM 工艺节点演进

HBM3

随着 AI 和机器学习(ML)领域需求的快速发展，内存产品设计的复杂性正在快速上升，并对带宽提出了更高的要求，高带宽内存(HBM)成为绕过 DRAM 传统 IO 增强模式演进的另一个优秀方案。

从最开始数据传输速率约为 1Gbps 左右的 HBM1，到 2016 年推出的最高数据传输速率为 2Gbps 的 HBM2，再到 2018 年推出的最高数据传输速率 3.6Gbps

的 HBM2E。

而在三星发布的最新路线图中，其 HBM3 技术已于今年开始量产，接口传输速率可达 6.4Gbps，相比上一代提升 1.8 倍，从而实现单芯片接口带宽 819GB/s，如果使用 6 层堆叠可以实现 4.8TB/s 的总带宽。到 2024 年，预计将实现接口速度高达 7.2Gbps 的 HBM3P，从而将数据传输率相比这一代进一步提升 10%，从而将堆叠的总带宽提升到 5TB/s 以上。

除了 AI/ML 训练市场之外，HBM3 还可用于 5G、高性能计算、以及其他与数据中心相关的应用场景、图形应用程序和网络应用。其发展很大程度上是由不断上升的带宽需求驱动的，而对带宽的需求几乎没有上限。换句话说，目前来看 HBM 的发展可能不会遇到障碍。但对比 GDDR DRAM 动辄 16/18Gbps 的速率，HBM3 的速率仍然存在差距，而限制 HBM 发展的原因则主要来自两方面：一是中介层，二是成本。

先进的 2.5D/3D 制造是造成成本偏高的原因。众所周知，HBM 技术与其他技术最大的不同，就是采用了 3D 堆叠技术。对比 HBM2E、DDR、GDDR，HBM3 架构的基本单元同样是基于 DRAM，但不同于其他产品将 DDR 进行平铺的做法，HBM 选择了 3D 堆叠，其直接结果就是接口变得更宽。比如 DDR 的接口位宽只有 64 位，而 HBM 通过 DRAM 堆叠的方式可以将位宽提升到 1024 位，这就是 HBM 与其他竞争技术相比最大的差异。但这对成本比较敏感的客户或应用场景来说，使用 HBM 的门槛就被大幅提升了。

系统级创新将成为更大内存系统的关键

为了解决存储容量的需求，除了芯片级解决方案之外，系统级解决方案也是重要方向之一，使用 CXL 技术做内存扩展就极具代表性。以数据中心为例，下图从左至右为我们依次展示了数据中心正在以及将要经历的三次重要转型。

数据中心正向革命性的新架构演变

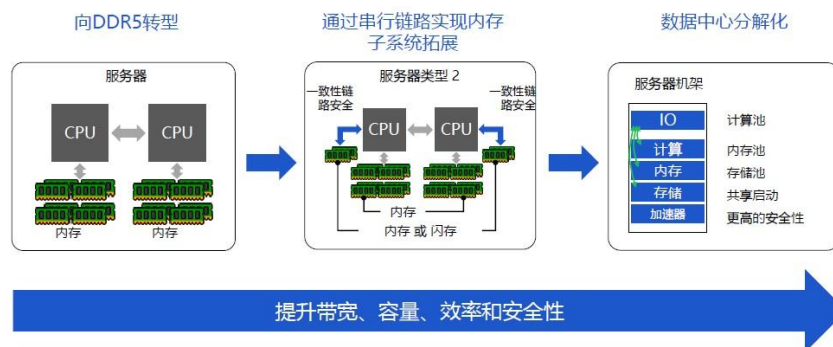


图 2 数据中心架构不断演进

首先，大约在 2021 年底，服务器内存将会开始向 DDR5 转型。与前代产品 DDR4 相比，DDR5 整体架构较为一致，但在容量、能效等方面实现了大幅提升，具备现代化数据中心所必需的特性。

其次，预计到 2022 年，数据中心将会通过串形链路实现内存子系统的扩展，也就是前文所述的 CXL。通过 CXL，就可以在传统插拔式内存条的基础之上，为服务器及数据中心增加全新的内存扩展方式。相比传统插拔内存条的方式，CXL 可以进一步提高现有数据中心内存的容量和带宽，也被称作“容量与带宽的双扩展”。

最后，数据中心分解化。CXL 的使用将让业界更多关注资源池化和资源本身的功能效应，更高效地分配资源。通过分解化的全新数据中心架构，计算、内存、存储等资源将进一步池化，从而能够按照工作负载的具体需求，将资源定向分配。使用完成之后，这些资源又将回归到统一的资源池中，等待后续的工作负载进行重新分配。

资源“池化”可以将资源的利用率大幅度提高，这会给超大规模计算、特别是云服务带来巨大的优势，帮助大幅度降低总体拥有成本(TCO)。

因此，2019 年 3 月，英特尔宣布联合微软、阿里、思科、戴尔 EMC、Facebook、谷歌、惠普企业 HPE 和华为等公司，共同推出了一个全新的互联标准，取名为 Compute Express Link(CXL)，应用目标锁定互联网数据中心、通信基础设施、云计算与云服务等领域。

如前文所述，作为一种开放的行业标准，CXL 可在数据中心内的专用计算、内存、I/O 和存储元素之间提供高带宽、低延迟的连接，以允许为给定的工作负载提供每个元素的最佳组合。

内存更加智能化

在传统计算设备广泛采用的冯·诺依曼架构中，计算和存储功能不但是分离的，而且更侧重于计算。数据在处理器和存储器之间不停的来回传输，消耗了约 80% 的时间和功耗，也就是我们所熟知的“存储墙”和“功耗墙”问题。

学术界为此想出了很多方法试图改变这种状况，比如通过对 DRAM 的逻辑层和存储层进行堆叠，实现近数据存储计算(Near Memory Compute)，或者是最好能够将存储和计算有机地结合在一起(存储器颗粒本身的算法嵌入)，直接利用存储单元进行计算，最大程度的消除数据迁移所带来的功耗开销。

在这一背景下，更聚焦存储的新型“存内计算”架构诞生了。从目前趋势来

看，真正对“存内计算”架构起到决定性推动作用的，将是人工智能/物联网相关应用的加速落地。

美光方面针对内存与计算架构的发展，曾提出过“三个阶段”的看法：第一个阶段是让内存非常靠近逻辑计算，用大量的高带宽数据总线把内存和计算处理器更紧密连在一起；第二个阶段是在内存中进行计算处理。这个概念始于 1994 年，尽管实现量产在技术上存在不小的难度，软件和逻辑也是分开的两部分，但这样没有传输、延迟等问题，并且大幅提升效能；第三个阶段则是神经形态(neuromorphic)计算，使用内存架构本身做计算。

仍以三星为例，其当前主要的存内计算技术称为 HBM-PIM，其中 PIM 即存内计算(process in memory)的缩写，具体原理是在 HBM 内存中直接集成计算单元；另一种技术方案是在 DRAM 旁边直接集成加速器逻辑以降低访问内存的开销，这样的技术三星称为 AXDIMM(accelerator DIMM)，在三星公布的路线图上预计 2024~2025 年完成开发。

总体而言，无论基于哪种存储技术，在面对存内计算时，其实都存在一定的挑战。但随着机器学习等应用对于内存访问提出进一步需求，以智能化 DRAM 为代表的技术方向将成为改变内存市场格局和竞争力的重要手段，有望获得更多系统厂商的青睐。

信息来源：电子工程专辑

战略规划

集成电路相关《合肥倡议》重磅发布

集成电路是支撑经济社会发展的战略性、基础性和先导性产业，是引领新一轮科技革命和产业变革的关键力量。当前，百年变局和世纪疫情交织，全球集成电路产业进入重大调整变革期，维护好、保障好产业链供应链安全稳定，已成为共同挑战和重大课题。

为此，2022 世界集成电路大会提出以下五点倡议。

一、坚持创新发展，共迎风险挑战。集成电路产业正步入“后摩尔时代”，我们要致力于增强全产业链自主创新能力，加强原创性引领性科技攻关，持续突破关键核心技术，共同培育全球发展新动能。

二、坚持协调发展，共筑产业生态。集成电路是深度分工协作的产业，我们要致力于构建开放、协同、包容的良好生态，推动要素有序流动、资源高效配置、市场有机结合，提升产业链供应链韧性和安全水平。

三、坚持绿色发展，共促低碳转型。集成电路是实现绿色发展的重要支撑，我们要致力于加快高端化、智能化、绿色化发展，加速新技术新工艺新材料的开发与应用，为实现全球“双碳”目标贡献力量。

四、坚持开放发展，共聚资源要素。集成电路是高度全球化的产业，我们要致力于推动贸易和投资自由化便利化，加强产能、资金、人才、知识产权等各方面合作，推动创新链产业链资金链人才链深度融合。

五、坚持共享发展，共谋多元赋能。集成电路是实现高质量发展的重要技术手段，我们要致力于数字化赋能实体经济，推动数字产业化、产业数字化，创造更加美好的数字生活。

携手开创未来，合作才能共赢。我们呼吁各方支持上述倡议，凝聚更多共识，扩大务实合作，推动全球集成电路产业发展更加“芯光灿烂”。

信息来源：全球半导体观察

韩国政府将半导体、显示器、二次电池等技术指定为“12 大国家战略技术”

韩国政府 10 月 28 日发布国家战略技术培育方案，将半导体、显示器、二次

电池等技术指定为“12 大国家战略技术”。

科学技术信息通信部（下称科技部）当天在总统尹锡悦主持召开的国家科学技术咨询会议上发布上述方案。科技部综合考虑产业全球竞争力、对新产业的影响力、外交与安全价值、取得成果的可能性等因素选定了 12 项战略技术。具体包括半导体和显示器、二次电池、高科技出行、新一代核能、高科技生物、宇宙太空及海洋、氢能源、网络安全、人工智能、新一代通信、高科技机器人和其制造技术、量子技术。方案还提出了将在这些领域着力推进的 50 项重点技术。

预算方面，政府将把相应技术的研发投入投资额从今年的 3.74 万亿韩元增加 10% 至 4.12 万亿韩元（约合人民币 210 亿元），并将在明年的预算中为系统半导体、小型模块化反应堆（SMR）、5G 开放式无线接入网络（OpenRAN）、量子计算与传感器等技术研发划拨 2651 亿韩元。

法律方面，政府将制定《国家战略技术特别法》，构建战略技术指定和管理体系等制度基础，加大支援力度。

信息来源：韩国政府

日本大力推出刺激半导体发展计划

回顾过去数十年，半导体产业是一个周期性很强的产业，但其不仅仅体现在市场表现上，“似乎”还体现在产业国际竞争上。

在上世纪 80-90 年代日美半导体贸易战之后，日本半导体产业可以说“沉寂”了 30 多年。然而，近日丰田、索尼、日本电气、铠侠、三菱日联银行等 8 家企业共同出资 73 亿日元成立了一家名为 **Rapidus** 的高端半导体公司。

据悉，日本经济产业大臣西村康稔宣布公司成立消息，并表示政府将向该公司提供 700 亿日元补贴，以资助其芯片开发及生产。同时，日本还将年内将设立新的研究开发基地，名为技术研究组合最尖端半导体技术中心（LSTC），以对日本半导体产业发展提供技术支撑。

值得关注的是，**Rapidus** 还定下了未来 5 年即 2027 年量产 2 纳米以下工艺半导体芯片的计划。由此可见，在跟随美国芯片“指挥棒”的同时，日本也有独立发展高端半导体技术的“私心”，在谋求扩大国内芯片产能、确保供应链安全稳定的同时，进而试图恢复当年日本半导体产业巅峰时期的“荣光”。

尖端半导体领域动作频频

2021 年 6 月，日本经济产业省（METI）发布了“半导体和数字产业战略”，

特别提到了振兴该国半导体产业的潜在战略。

今年 4 月以来，为了扩大日本国内的半导体产能，日本政府已投入 6000 多亿日元用于各种补助，仅支援台积电与索尼公司合资在熊本县建设新厂的补贴就高达 4760 亿日元。

此外，铠侠与美国西部数据公司在三重县新建合资工厂获得政府 929 亿日元援助，美国美光科技在广岛县新建生产设施也获得 465 亿日元补助。

今年 5 月，日本电子信息技术产业协会（JEITA）半导体部宣布，其已向经济产业省商业和信息政策局信息产业司提交了题为“2022 年版半导体战略，以提高国际竞争力”的建议。

近日，日本产业界和金融界集各自技术优势以及资本力量，又成立了 Rapidus 公司。

可以说，日本政企自上而下都在酝酿新的半导体产业发展计划，以在全球半导体产业与技术竞争上“割据一方”。

据悉，未来 Rapidus 将与 IBM 等欧美公司展开合作，汇聚各方力量，从共同研发入手，重点开发未来经济社会不可或缺、能够瞬间处理大量数据的高端半导体，目标是 5 年后即 2027 年量产 2 纳米以下制程的半导体，将用于超级计算机、自动驾驶、人工智能、智慧城市等领域。

目前 2 纳米以下尖端半导体在世界上尚未量产，即使台积电和三星量产的最先进工艺芯片也主要是 5 纳米，3 纳米芯片工艺应该还在技术爬坡中，2023 年才能真正实现量产。那么，缺乏高端芯片研发基础的日本，即使联合美国半导体企业，能否实现 2 纳米工艺芯片，仍然是未知数，即使能成功，而要在 2027 年量产 2 纳米芯片是否有些太乐观？但是这也凸显了日本在半导体产业上不甘于独守一隅的雄心。

翻版“VLSI 研究计划”

据悉，在日本经济产业大臣西村康稔宣布 Rapidus 成立的当天，日本经济产业省还宣布，年内将设立新的研究开发基地，名为技术研究组合最尖端半导体技术中心（LSTC）。日本产业技术综合研究所、理化研究所、东京大学等机构都将共同参与，新成立的 Rapidus 也将参与其中。Rapidus 董事长东哲郎兼任 LSTC 理事长。

有媒体称，Rapidus 和 LSTC 将是日本下一代半导体战略的两大支柱。实际上，日本政府 2021 年 6 月在最新版半导体战略中明确提出，将致力于推动高端

半导体研发、吸引制造商在日本国内建立生产基地。

在研发方面，为吸引台积电在日本筑波市建立研发中心，日本政府今年 6 月决定拿出 190 亿日元补贴，支持台积电与日本国内约 20 家机构共同进行尖端半导体研发。

日本政府 11 月初批准的本财年补充预算案将促进半导体产业发展列为紧迫课题，为资助高端半导体研发及生产共计划投入 1.3 万亿日元。

从日本近几年半导体产业政策，我们似乎可以看到上世纪 60-80 年代日本出台的各种利好半导体产业发展政策的“影子”。1976 年日本政府启动了“DRAM 制法革新项目”，推动日本在半导体领域加快发展。具体而言，是由日本政府出资 320 亿日元，日立、NEC、富士通、三菱、东芝五家企业联合出资 400 亿日元，总计投入 720 亿日元，组成研发联盟，实施“超大规模集成电路（VLSI）技术研究计划”，每家企业各自牵头部分研发领域。

实际上，在日本半导体产业崛起过程中，日本 VLSI 研究计划发挥了重要作用，其囊括了日本五大企业，分工竞合，减少内耗，甚至在 1986 年日本 DRAM 的全球市场占有率达到 80%，1988 年日本半导体产业全球占比达到 50.3% 的巅峰水平。

因此，除了直接的产业政策之外，日本还将通过企业与科研机构、高校之间、企业之间深度技术合作，实现一系列技术攻坚，再次复制曾经的成功经验与模式。

对峙与博弈将常态化

毫无疑问，美国的“以本国利益为中心的政策”，早已引起其他国家半导体背离美国，比如荷兰政府高官就表示，美国不应指望荷兰完全遵守美国的芯片禁令，荷兰有自己的评估；韩国同意加入美国发起的“芯片联盟”，但也把“不刺激中国”作为协商原则并纳入会晤议题。尽管日本被美国政治裹挟似乎更严重一些，但曾经的美日芯片战显然难以让日本完全放下戒心。

日本加入“芯片联盟”以及在高端半导体技术上展开深度合作，只能说明双方存在共同的利益，而其组建企业研发联合体——Rapidus，以及 LSTC 技术研发中心，则表明日本对自身独立发展半导体留有很大的余地。

正如一些业内人士的分析，虽然日本在存储器、图像传感器等半导体领域市场占有率较高，但高性能计算半导体发展相对滞后。即使日本引入台积电投资建厂，但台积电与索尼建设的熊本新厂主要生产 300 毫米晶圆，主要制造 12 纳米—28 纳米级芯片，属于相对成熟芯片工艺。显然，由于日本在尖端半导体技术

开发方面起步较晚，与世界先进水平差距较大。

不过，日本半导体产业在全球仍然有极高的影响力，特别是日本在半导体设备领域的企业，多年之后仍然是日本半导体的核心竞争力所在。这里也特别再次提一下 VLSI 研究计划，其曾让日本在数年之内就在电子束光刻机、干式蚀刻设备等半导体核心加工设备，以及领先制程工艺和半导体设计能力方面实现突破，相关的技术储备直到今天也让日本在全球半导体竞争格局中受益。

以东京电子为例，该企业是日本最大的半导体制造设备提供商，也是世界第三大半导体制造设备提供商。东京电子的产品几乎覆盖了半导体制造流程中的所有工序。其主要产品包括：涂布/显像设备、热处理成膜设备、干法刻蚀设备、CVD、湿法清洗设备及测试设备。其中，东京电子的涂布设备在全球占有率达到 87%。另外，FPD 制造设备中，蚀刻机设备占有率达到 71%。其他设备的占有率也有相当的份额。

当然，在半导体领域，日本还有 Sumco、瑞萨、ROHM、东芝、日亚化学、三菱电机、富士、佳能、日立、爱德万等半导体产业链企业，而且很多企业都是细分领域的技术垄断者。因此，日本半导体产业“家底”殷实、技术雄厚，也是美国拉日本加入“芯片联盟”的重要原因。

不过，除了技术之外，尖端半导体产业还需拼投资，特别是 3 纳米以下芯片工艺将考验日本和相关企业的经济实力和决心。正如 Rapidus 董事长东哲郎所期待的那样，需要日本政府今后能在资金方面给予长期支援。与此同时，日本半导体产业还需确保半导体最终产品拥有切实的市场需求，这样才能形成长期的正循环效应。

半导体产业是一个非常复杂的产业，其有着很深的政策烙印，基于各国或地区自身的利益，将形成一个个相对独立的“割据”势力，而且在极端产业政策影响下，全球化大分工与合作的圈子也将越来越小。产业政策与“自由市场”、国产替代与全球合作，将是未来半导体发展重要的“代名词”，而对峙与博弈也将常态化。因此，技术、投资、市场都将是日本半导体产业需要认真对待的重要课题。

信息来源：日本经济产业省

行业观察

2022 全年 DRAM 市场下滑 18%

根据 IC Insights 最新报告指出，DRAM 市场通常在下半年销售强劲，因为这些系统制造商会大量订购内存，用于他们计划在年底发布的新一代产品。但这种情况在今年并没有实现。

疲软的经济状况和高通胀率减缓了全球对个人电脑、主流智能手机和其他消费电子产品的需求。因此，DRAM 需求呈螺旋式下降，目前预计 2022 年下半年的销售额将仅有 293 亿美元，下降 40%。而 2022 年上半年为 490 亿美元。2022 年全年，DRAM 市场预计将下滑-18%。

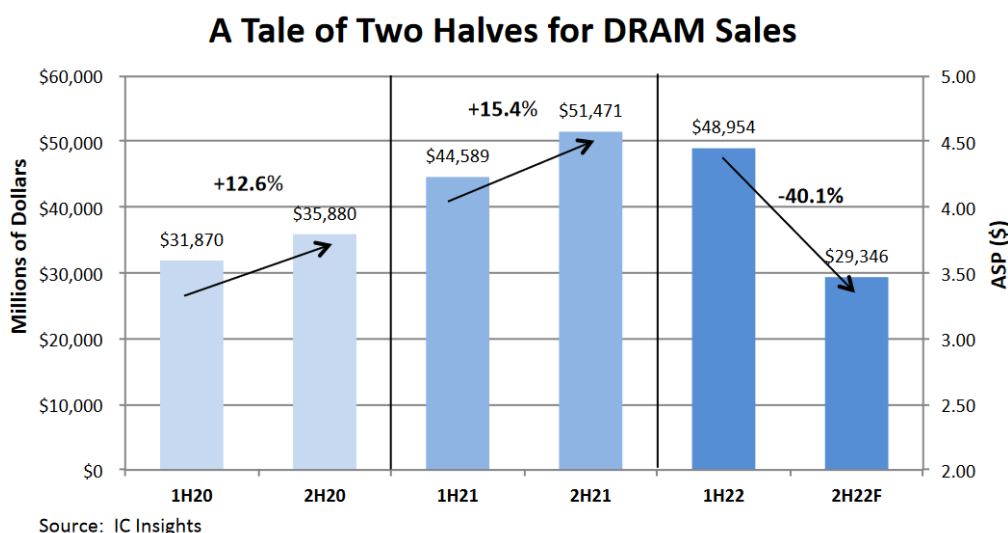


图 3 2022 年 DRAM 上下半年销售额的强烈反差

由图可知 DRAM 市场在今年前几个月销售强劲，2022 年第二季度末开始出现 DRAM 市场大幅调整的初步迹象。以美光为例，其 2022 财年第三季度（截至 5 月）的销售额增长了 11%。在其季度销售业绩中，一场迫在眉睫的市场崩溃并不明显，随后美光就爆出，其第四财季（截至 8 月）给出了-17%的销售指导。但美光第四财季的实际销售额下滑 23%，远超其指导值。美光还表示，预计全年 DRAM 销量将下降-1%，进一步证明 DRAM 市场的快速和严重低迷。

SK 海力士（-23%）和三星（-20%）也宣布其 2022 年第三季度内存销量大幅下滑，两家公司都预计 DRAM 市场疲软将持续到今年年底，至少会持续到 2023 年第一季度。

三大内存制造商在财报电话会议上指出，通胀削弱了消费者的可自由支配支出，而每年的这个时候，销售通常会升温。再加上持续的供应链中断和膨胀的库存水平，DRAM 市场的调整几乎是不可避免的。

在过去 30 年中，DRAM 市场经历了一段时期的惊人增长和多年的毁灭性崩溃（如 2022 年），如下图中的锯齿“曲线”所示。

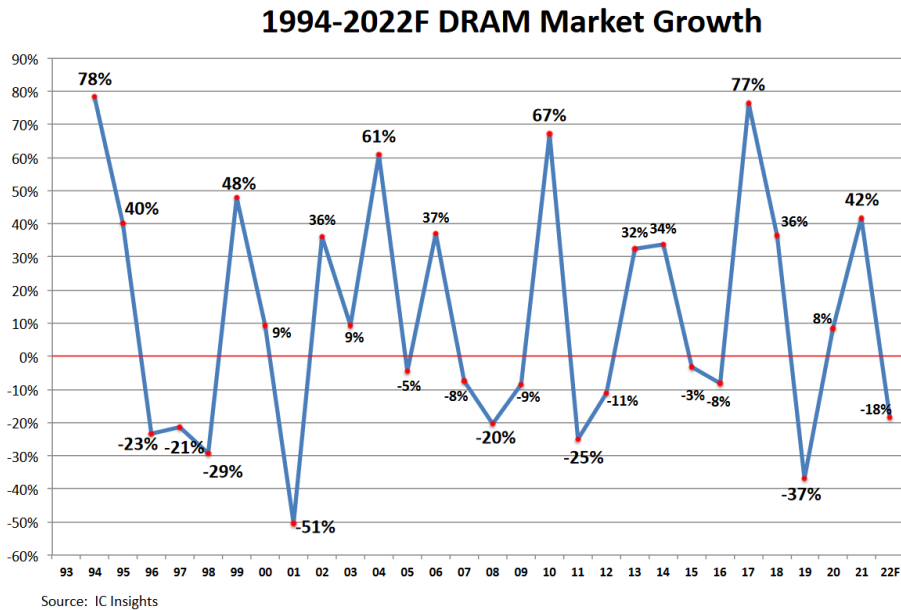


图 4 1994-2022 年 DRAM 市场的增长情况

仅在过去四年，DRAM 市场就经历了 2019 年-37% 的下滑，2021 年增长 42%，2022 年预计下滑 18%。在这种极端的波动性下，DRAM 供应商的数量从 30 年前的 25 家减少到今天的三家也就不足为奇了。

信息来源: IC Insights

显示驱动芯片市场总体规模或将连年萎缩

研究机构 Omdia 日前更新显示驱动芯片（DDI）市场追踪，预计市场总体规模将从 2021 年的 138 亿美元连续萎缩至 2029 年的 78 亿美元，与 2020 年市场体量相当。

该机构还下修了对今年显示驱动芯片的需求预测，由于宏观经济环境抑制对 IT 设备消费需求，预计 DDI 全年出货量将略低于 80 亿颗，较去年水平下降 12%。

在需求量下滑的同时，由于供过于求，产品价格也在今年二季度后转为下降趋势，触控显示用 TDDI 的价格可能在今年年底或明年初跌至 2 美元，量价齐跌使今年市场规模预计萎缩 10% 至 124 亿美元。

根据该机构展望，中长期显示驱动市场或将呈现连年下行的态势，尽管出货量有望温和增长，但由于持续的供过于求，价格可能将进一步下跌，即便相对高附加值的 OLED 显示驱动芯片一枝独秀，也无法抵消 LCD 驱动芯片的萎缩，预计 2023 年市场规模将进一步缩水 13%，其后 2024 到 2029 年均将处于负增长状态。

资料来源: Omdia

近 10 年我国集成电路产业复合增长率 19%

我国是全球重要的集成电路市场，对于集成电路产业一直秉承开放发展的原则，致力于打造全球紧密合作的产业链、供应链。

据工信部电子信息司副司长杨旭东 11 月 7 日介绍，2021 年，我国集成电路全行业销售额首次突破万亿元，达到 10458 亿元，2012-2021 年复合增长率为 19%，是同期全球增速的 3 倍。

2020 年，我国出台了《新时期促进集成电路产业和软件产业高质量发展若干政策》，所有政策对内外资企业一视同仁。同时，近年来，在内外资企业的共同努力下，我国集成电路产业发展取得阶段性成效，产业链整体水平大幅提升，产品技术创新能力持续增强，产业环境持续优化。产业规模不断壮大，产业技术创新能力大幅增强。

在政策以及国产化浪潮推动下，全国多地正积极加快集成电路产业布局。

以安徽为例，集成电路产业链企业已经超过 400 家，亿元以上企业超过 50 家，发展形成了从设计、制造、封装和测试，到材料、装备、创新研发平台和人才培养等较为完善的产业链条。2021 年安徽省集成电路产业规模超过 400 亿元，今年预计有望超过 500 亿元。据安徽省经信厅副厅长柯文斌介绍，全省在建及谋划的项目总投资超过 3000 亿元。

资料来源: 全球半导体观察

研究进展

基于时间透镜的片上超快飞秒脉冲激光器

集成飞秒脉冲和频率梳源是包括微波光子学、光谱学、频率转换、激光雷达等在内的广泛应用的关键组件。科学家们一直以来都希望构造一种可以集成到芯片上的高质量超快脉冲光源。但是目前可以发射超快脉冲的可调谐飞秒激光器体积过大，不能有效集成到半导体晶圆上。

近日，美国哈佛大学的研究人员成功将飞秒脉冲源集成到由铌酸锂制成的光子芯片上(Nature, doi: 10.1038/s41586-022-05345-1)。他们使用级联低损耗电光振幅和相位调制器以及啁啾布拉格光栅 chirped Bragg grating，形成时间透镜系统。该器件由连续波分布反馈激光器芯片驱动，并由单个连续波微波源控制，无需任何稳定或锁定。实验测量了 520-fs 脉冲序列，重复频率为 30 千兆赫，平顶光谱具有 12.6 纳米的 10 分贝光学带宽，单个梳线功率高于 0.1 毫瓦，脉冲能量为 0.54 皮焦。



图 5 时间透镜将连续波单色激光束转换为高性能片上飞秒脉冲源

传统的透镜通过衍射，也就是改变光线的相位来将其聚焦在一个焦平面上。另一方面，时间透镜以类似的方式“弯曲”光束，但它们在时间而不是空间上改变光束的相位。通过这种方式，以不同速度传播的不同颜色的光被重新计时，以便它们都同时到达焦平面。时间透镜系统从激光芯片中获得连续波单色激光束，并通过一个振幅调制器、相位调制器和色散介质运行。首先，连续波单色激光通过

振幅调制器，该调制器可以控制通过时间透镜的光量以适应时空“孔径”，这一功能类似于传统透镜中的光圈。然后，光通过透镜的“弯曲”部分传播，在相位调制器的作用下产生不同颜色的频率梳。最后，光沿着波导进入鱼骨光栅，通过群延迟色散改变了不同波长光的速度，以便它们同时到达焦平面。

研究团队将上述三个元件集成到了由 2 微米厚的衬底支撑的 600 纳米厚的铌酸锂薄膜上的 25×4 毫米的空间。据研究人员称，该器件可高度调谐，由于铌酸锂的电光特性，所需功率显著降低。该研究的第一作者 Mengjie Yu 在一份报道中表示，随着设备变得更小、更集成，节省空间的同时也节省了能源，性能也会越来越优异。

接下来，研究团队计划探索这种超快飞秒脉冲激光器的一些应用，比如光学时钟、天文光谱仪、量子网络等。

信息来源：OSA

高性能硅波导耦合 III-V 族光电探测器

近日，香港科技大学团队利用选择性外延技术，开发了一种新型集成技术，即在硅平台上，将 III-V 族化合物与硅元件有效耦合，这激发了在硅光子学领域中，集成高效光子学和低成本电子学的发展潜力，并使下一代电讯具备低成本、高速度和大容量的优点。

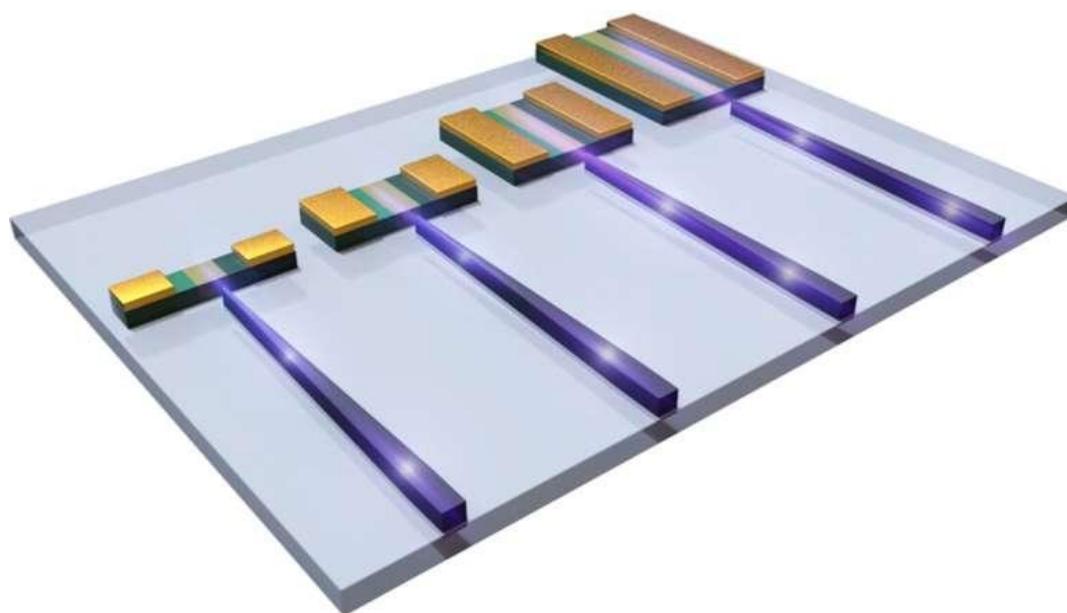


图 6 SOI 生长的高性能硅波导耦合 III-V 族光电探测器

在过去的数年中，数据流量在各种应用程序和新兴技术（如大数据、汽车、

云应用程序和传感器)的推动下,成指数型增长。为了解决以上问题,硅光子学作为核心技术,通过节能、大容量和低成本的光互连技术实现、扩展和增加数据传输。

硅光无源器件已经在硅光子学平台上成熟应用,然而,激光器和光电探测器不能直接通过硅来实现,需要在硅上集成其它材料,比如III-V族半导体。

硅基III-V激光器和光电探测器的研究传统主要是两种方法。第一种是基于键合的方法,其优点在于技术成熟,生产出来的器件性能优异,但它需要复杂的制造技术,产量低、成本高,因此难以大规模生产。

另一种方法是在硅上利用直接外延方法生长多层III-V族薄膜。该方法具有低成本、可扩展性强、高集成度等优点,但是集成硅光子学的好坏关键在于微米级厚的 III-V 缓冲层,它会阻碍 III-V 族与硅之间的有效光耦合。

为了解决以上问题,香港科技大学电子与计算机工程系首席教授刘纪美团队开发了横向纵横比捕获(以下简称 LART)——一种新型选择性直接外延方法,能够选择性地在硅绝缘体平台(本文简称 SOI)上横向生长III-V族半导体,而不需要厚缓冲区。

此外,基于这种技术,该团队设计并演示了独特的面内集成III-V族光电探测器和硅元件,III-V族化合物和硅之间具有更高的耦合效率。与商用光电探测器相比,这种方法的光电探测器噪声更小,灵敏度更高,工作范围更广,数据传输速度超过 112 Gb/s,创下记录,远快于现有产品。

III-V族器件首次通过直接外延技术与硅元素有效耦合。该集成方法可以很容易地应用于各种III-V族器件和基于硅的集成元件,从而实现了在用于数据通信的集成光子学与电子学的阶段目标。

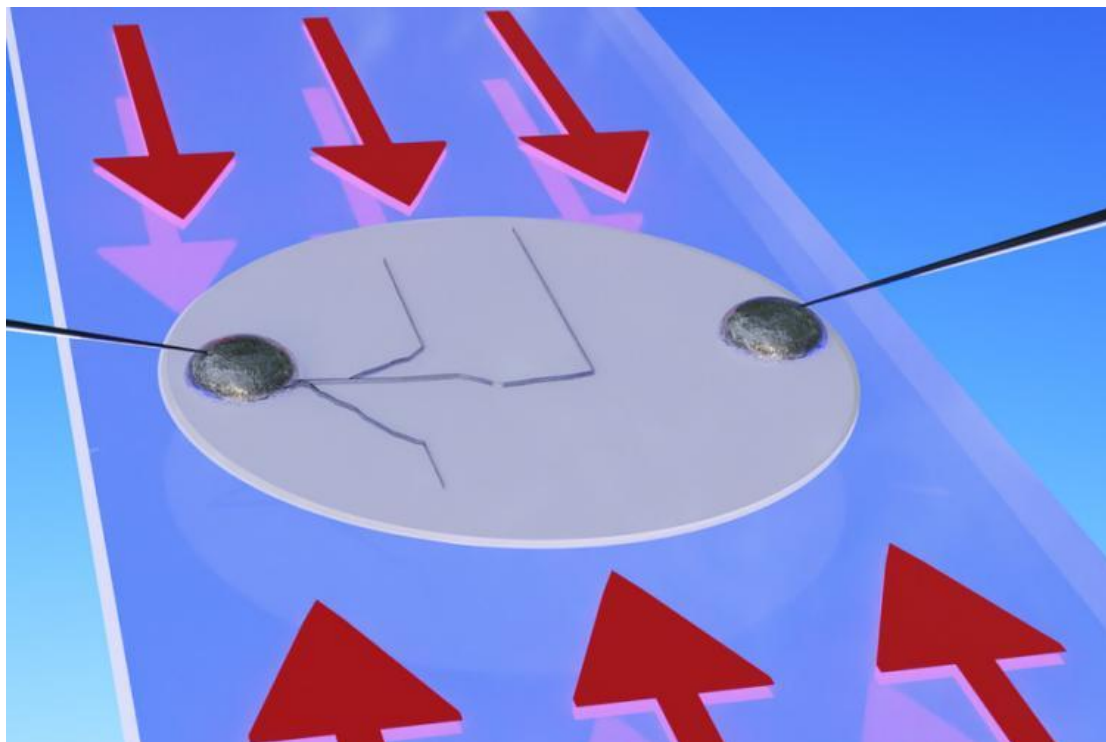
“这是由于我们最近开发了一种名为横向纵横比捕获(LART)的新型增长技术,以及我们在 SOI 平台上独特的耦合策略设计。我们团队对器件物理学和生长机制的综合专业知识和见解使我们能够完成III-V族和硅之间的有效耦合,以及对外延技术和极具挑战性的任务——器件性能的关联分析。”

此外,该论文第一作者 Ying Xue 博士说:“这项工作将为光子集成电路和完全集成的硅光子学提供实用的解决方案,通过这种方法可以实现III-V族激光器和硅元件之间的光耦合。”

信息来源: Optica

研究人员发现锂枝晶形成原因 助力开发新型固态电池

据外媒报道，麻省理工学院（MIT）的研究人员获得新发现，或将为设计新型可充电固态锂电池打开大门。与现有产品相比，这种电池更轻、更紧凑、更安全。



与采用易燃电解液的锂离子电池相比，固态电池采用更薄、更轻的固体陶瓷电解质，以及固体锂金属电极，大大减少了电池的整体尺寸和重量，并且更加安全。然而，在锂表面堆积生长的枝晶，可能穿透固体电解质，从一个电极交叉到另一个电极，使电池短路。

这项研究由麻省理工学院和布朗大学的研究人员共同进行，有望阐明锂枝晶的形成原因，并展示如何防止枝晶穿透电解质。

在早期工作中，该团队发现，在电池充放电过程中，锂离子在电池的两极之间移动。离子穿梭会导致电极体积发生变化，从而对固体电解质造成压力，因为固体电解质必须与两个电极完全接触。MIT 教授 Yet-Ming Chiang 表示：“在电池中，出现锂沉积一侧的体积会增大。如果存在微小的缺陷，就会对有缺陷的地方产生压力，从而导致开裂。”

该团队现已证明，这些压力导致产生裂缝，从而形成枝晶。解决这个问题的方法是，进一步施加压力，即在正确的方向上施加适量的力。

以前，一些研究人员认为，枝晶由纯电化学过程形成，而不是机械过程。然

而，该团队的实验表明，导致这一问题的是机械压力。枝晶的形成过程，通常发生在电池不透明材料的深处，无法直接观察到。因此，MIT 的研究生 Cole Fincher 开发了一种使用透明电解质制造薄电池的方法，可以直接看到并记录整个过程。他表示：“对系统施加压力时，可以看到发生了什么。由此可以观察，枝晶的行为是否与腐蚀过程或断裂过程相对应。”

该团队证明，只需施加和释放压力，就可以直接控制枝晶的生长，使枝晶与力的方向完全一致。对固体电解质施加机械压力，并不能避免枝晶形成，但确实可以控制枝晶的生长方向。因其经过引导可以与两个电极保持平行，并且不会交叉到另一边，避免对电池造成损害。

在测试过程中，研究人员采用通过弯曲材料而产生的压力。实际上，可以通过很多不同的方式来产生所需的压力。例如，可以使用具有不同热膨胀量的两层材料来制造电解质，从而使材料产生内在弯曲，如同某些恒温器。

另一种方法是在材料中“掺杂”嵌入其中的原子，使其变形并处于永久的应力状态。这与生产用于智能手机和平板电脑屏幕的超硬玻璃的方法相同。实验表明，150-200 兆帕的压力足以阻止枝晶穿过电解质。

事实上，另一种称为堆叠压力的不同压力，经常被用在电池电芯上。本质上来说，是通过在垂直于电池极板的方向上挤压材料（有点像在三明治上加一个重物以产生压力），据称可能有助于防止分层。现在实验证明，这个方向的压力，实际上会加剧枝晶形成。与之相反，沿着平面施加压力，就像三明治从两侧被挤压一样，枝晶“永远不会到达另一边”。

该团队下一步将尝试将这些原理应用到创建功能电池原型，并找出量产此类电池所需的制造工艺。虽然已经申请了专利，但研究人员并不打算自己将该系统商业化。Fincher 表示：“这只是对固态电池退化模式的一种理解。我们认为，该行业需要了解这一点，并在设计更好的产品时加以利用。”

信息来源：中国电池联盟

中国科大实现通讯波段的按需式量子存储

中国科大郭光灿院士团队在固态量子存储领域取得重要进展。该团队李传锋、周宗权研究组基于掺铒波导实现了通讯波段光子的按需式量子存储，向构建大尺度光纤量子网络迈出重要一步。该成果于 11 月 15 日发表在国际知名学术期刊《物理评论快报》上。

量子存储器是量子网络的核心器件，通过按需式读取纠缠光子，可以把远距离光纤传输中的指数级损耗下降为多项式级损耗。为利用现有的光纤网络构建量子网络，量子存储器应工作在通讯波段。稀土铒离子具有独特的通讯波段光跃迁，是实现通讯波段量子存储器的重要候选材料。然而，已有的通讯波段量子存储器的读出时间在光子写入前就已预先设定，无法实现按需式读取。

李传锋、周宗权研究组在掺铒硅酸钇($^{167}\text{Er}^{3+}:\text{Y}_2\text{SiO}_5$)晶体上利用激光直写技术自主加工了光波导，并在波导两端直接粘贴集成了普通的单模光纤。为了实现按需式读取，研究组进一步利用电子蒸镀技术在波导两侧加工了片上电极，从而利用电场诱导的斯塔克效应来实时调控波导内铒离子的相干演化。通过极化铒离子的电子自旋，并初始化其核自旋状态，光子的存储效率被提升至 10.9%，这一效率相比此前报道的可集成通讯波段量子存储获得了 5 倍的增强。电场调控的按需式量子存储保真度达到 98.3%，远超考虑了存储效率和光子统计的经典极限。

该成果基于铒离子实现了通信波段的按需式量子存储，并且这一光纤集成器件可以直接对接现有的光纤网络。在经典通信领域，掺铒光纤放大器的发明使得长距离光纤通信成为现实，类似地，基于铒离子的量子存储也可用于克服长程量子通信中的指数级损耗，使得铒离子有望再在量子网络的建设中扮演重要角色。

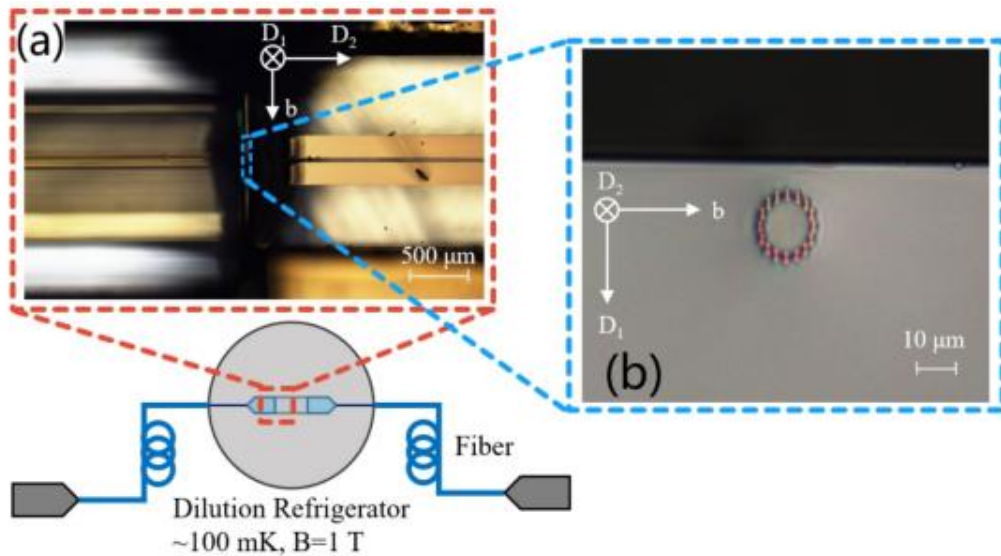


图 7 光纤直连的通讯波段量子存储器。(a). 光纤阵列与掺铒波导连接的局部细节图；(b). 波导横截面的放大细节图

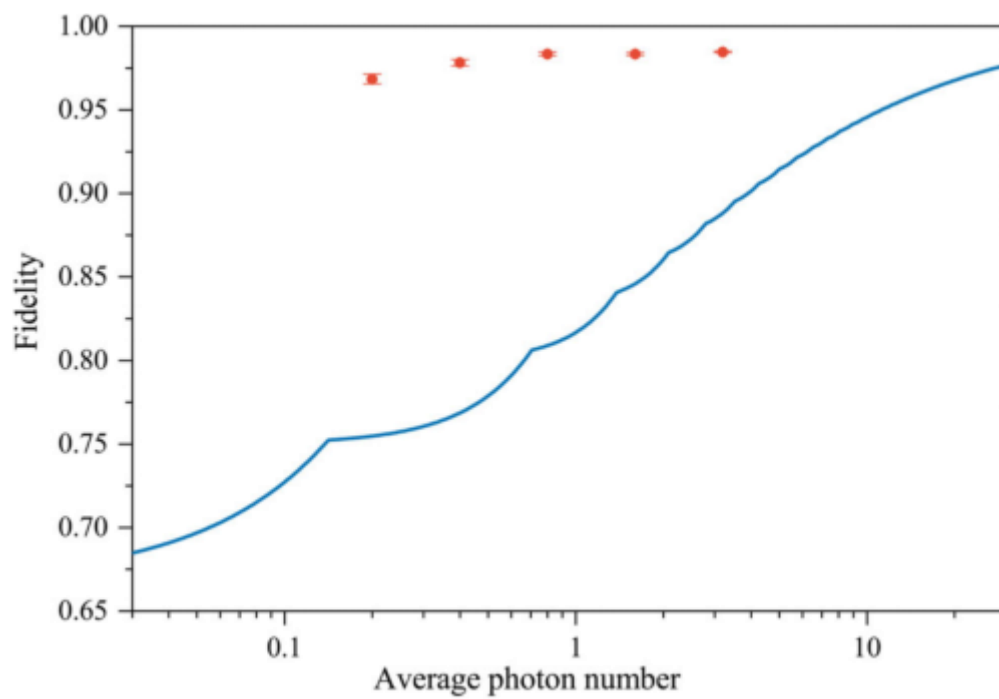


图 8 存储保真度。实线是考虑了存储效率和光子统计的经典极限

信息来源：中国科学技术大学



光电科技快报

Opto-electronics Science
& Tech Letters

2022 年第 11 期
总 47 期

中国科学院光电情报网工作组
地址：武汉市武昌区小洪山西 25 号
电话：027-87199007

