

博士学位论文

SiC MOS 器件的界面特性及可靠性研究



2021年6月

<u>Research on interface characteristics and reliability of SiC</u> <u>MOS devices</u>

A dissertation submitted to

University of Chinese Academy of Sciences

in partial fulfillment of the requirement

for the degree of

Doctor of Engineering

in Microelectronics and Solid-State Electronics

By

Zhipeng Luo

Supervisor: Professor Zhi Jin

Institute of Microelectronics of the Chinese Academy of Sciences

June 2021

中国科学院大学

研究生学位论文原创性声明

本人郑重声明: 所呈交的学位论文是本人在导师的指导下独立进行研究工作 所取得的成果。尽我所知,除文中已经注明引用的内容外,本论文不包含任何其 它个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献 的其它个人和集体,均已在文中以明确方式标明或致谢。

作者签名: 罗志卿 日 期: 202(,5,15

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定,即中 国科学院有权保留送交学位论文的副本,允许该论文被查阅,可以按照学术研究 公开原则和保护知识产权的原则公布该论文的全部或部分内容,可以采用影印、 缩印或其它复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

导师签名: / おり 日期: 2021、5、15・ 作者签名: 死期 期:2021,5,15 日

摘要

碳化硅(SiC)是一种性能优异的宽禁带半导体,具有宽禁带、高级穿电场、高 饱和漂移速度和高热导率等物理特性,使得使用 SiC 制备的器件在大功率应用场 合具有独特的优势。另外,SiC 是目前唯一能够通过热氧化生长形成氧化层栅介 质的第三代宽禁带半导体,这使得制备 MOS 器件能够与现有成熟的 Si 工艺兼 容。但是由于材料的本征特性,热氧化形成的 SiO₂/SiC 界面存在大量的缺陷,降 低了器件的性能及可靠性,这成为制约 SiC 器件大规模应用的关键因素。为了进 一步改善 SiC 器件的性能及可靠性,必须对界面缺陷进行更深入的研究,并提出 可行的工艺方案。本文通过辐照退火手段及退火工艺研究了 SiC MOS 器件的电 学特性及可靠性,并分析了高温工艺中,界面缺陷的形成及分布情况。本文的主 要工作如下:

1. 研究了 SiO₂/SiC 界面的紫外辐照特性。界面特性及平带电压稳定性与辐 照功率存在相关性,适当功率的辐照退火能够改善界面特性。结合 XPS 分析手 段,论证了 SiC MOS 结构的电学特性和可靠性与界面处 C 原子的分布及结构密 切相关。

2. 研究了低氧退火(O₂/Ar=1:9)中,界面特性和可靠性与退火温度的相关性。 适当温度的退火温度可以改善栅氧化层可靠性,而更高温度的退火能够改善界面 特性。通过电学测试发现栅氧化层的缺陷使得氧化层内存在更多的漏电机制,这 可能是制约 SiC MOS 器件可靠性的主要因素。同时获得高器件性能和高可靠性 是困难的,需要根据应用场合对退火工艺做出调整。

3. 研究了连续进行低氧退火和 NO 退火的双退火对界面特性及可靠性的影响。通过改变低氧退火的条件,后续 NO 退火的效果存在差异,说明不同退火工 艺之间会相互影响,这可能是进一步改善器件性能及可靠性的方法。通过调整工 艺条件,SiC MOS 器件的界面态密度明显下降,栅绝缘性有所改善,可靠性提升 明显。分析了高温工艺中界面缺陷的形成过程及分布情况,并对 SiC MOS 器件 的制备工艺提出建议。

I

关键词: SiC MOS 电容,界面缺陷,退火工艺,紫外辐照

Abstract

Silicon carbide (SiC) is a high-performance wide band semiconductor with physical properties such as wide band, high level penetration electric field, high saturation drift rate and high thermal conductivity, which makes devices prepared using SiC uniquely advantageous for high power applications. In addition, SiC is the only wide band semiconductor capable of forming oxide layer gate dielectrics by thermal oxide growth, which makes the preparation of MOS devices compatible with existing mature Si processes. However, due to the intrinsic properties of the material, the SiO₂/SiC interface formed by thermal oxidation has a large number of defects that degrade the device performance and reliability, which becomes a key factor limiting the large-scale application of SiC devices. In order to further improve the performance and reliability of SiC devices, a more in-depth study of the interface defects and a feasible process solution are necessary. In this paper, the electrical characteristics and reliability of SiC MOS devices are investigated by means of irradiation and annealing processes, and the formation and distribution of interfacial defects are analyzed in high-temperature processes. The main work of this paper is as follows.

First, the UV irradiation characteristics of the SiO₂/SiC interface is investigated. The interfacial properties and flat-band voltage stability are correlated with the irradiation power, and irradiation with appropriate power can improve the interfacial properties. The electrical properties and reliability of the SiC MOS structure were demonstrated to be closely related to the distribution and structure of C atoms at the interface by means of XPS analysis.

Second, the correlation between the interfacial properties and reliability with the annealing temperature in low oxygen annealing ($O_2/Ar=1:9$) was investigated. Appropriate temperature of annealing improves the reliability of the gate oxide layer, while higher temperature of annealing improves the interfacial properties. Defects in the gate oxide layer were found through electrical testing to allow for more leakage mechanisms within the oxide layer, which may be the main factor limiting the reliability

of SiC MOS devices. Obtaining high device performance and high reliability at the same time is difficult, and adjustments to the annealing process need to be made according to the application.

Third, the effect of double annealing with continuous low oxygen annealing and NO annealing on the interface properties and reliability is investigated. By changing the conditions of low oxygen annealing, the effect of subsequent NO annealing differs, indicating that the different annealing processes affect each other, which may be a way to further improve the device performance and reliability. By adjusting the process conditions, the interfacial density of states of SiC MOS devices significantly decreases, the gate insulation improves, and the reliability improves significantly. The formation process and distribution of interfacial defects in the high-temperature process are analyzed, and suggestions are made for the preparation process of SiC MOS devices.

Key Words: SiC MOS capacitors, Interface defects, Annealing process, UV irradiation

目 录

第1章绪 论	1
1.1 研究背景	1
1.2 4H-SiC 的材料性能	2
1.2.1 晶体结构	2
1.2.2 电学性质	4
1.2.3 机械性质	6
1.3 SiC MOS 结构现有问题	7
1.4 本文主要工作	9
第 2 章 SiC MOS 器件的制备及表征	11
2.1 SiC MOS 缺陷及关键工艺	11
2.1.1 SiC MOS 结构的缺陷类型	
2.1.2 界面的不稳定性	
2.1.3 氧化	14
2.1.4 氧化后退火工艺	15
2.1.5 界面氮化	
2.1.6 其他退火方法	
2.2 SiC MOS 的表征	
2.2.1 MIS 电容的原理	
2.2.2 表面势确定方法	
2.2.3 界面态测试方法	
2.2.4 SiC MOS 器件的可靠性表征	
2.2.5 氧化层可靠性的统计学方法	
2.3 本章小结	29
第3章紫外辐照退火研究界面缺陷	31
3.1 实验背景	31
3.2 实验设置	

3.3	紫外对氧化层的影响	.34
	3.3.1 紫外辐照退火对平带电压的稳定性的影响	34
	3.3.2 紫外辐照退火对界面态的影响	38
	3.3.3 紫外辐照退火样品的界面 XPS 表征	39
3.4	缺陷分析	.41
3.5	热氧化后的 SiO ₂ /SiC 界面分析	.43
3.6	本章小结	.44
第 4	章 低氧退火对 SiC MOS 的影响	.47
4.1	实验背景	.47
4.2	低氧退火原理	.48
4.3	实验设置	.51
4.4	低氧退火对 SiC MOS 性能的影响	.52
	4.4.1 低氧退火对高频 C-V 特性的影响	52
	4.4.2 低氧退火对界面态的影响	54
4.5	低氧退火对 SiC MOS 可靠性的影响	.55
	4.5.1 低氧退火对击穿电场的影响	55
	4.5.2 低氧退火对界面势垒的影响	57
	4.5.3 栅氧化层的 Poole-Frenkel 电流	61
	4.5.4 低氧退火对 TDDB 可靠性的影响	65
4.6	本章小结	.67
第 5	章 双退火对 SiC MOS 的影响	.69
5.1	实验背景	.69
5.2	实验设置	.69
5.3	双退火对 SiC MOS 性能的影响	.71
	5.3.1 Cycle C-V 测试	71
	5.3.2 双退火对电压回滞的影响	77
	5.3.3 双退火对界面态的影响	79
5.4	双退火对 SiC MOS 可靠性的影响	.81
	5.4.1 双退火对 F-N 势垒的影响	81
	5.4.2 对 TDDB 栅氧可靠性的影响	82

5.5	双退火工艺的缺陷分析	83
5.6	高温工艺的建议	86
5.7	本章小结	87
第 6	章 结论与展望	89
6.1	结论	89
6.2	创新点摘要	90
6.3	展望	90
参考	文献	93
致	谢	109

第1章绪论

1.1 研究背景

在现代社会中,半导体材料与其制成的器件已经成为推动创新及各种社会性 变革的强大动力。在 1947 年到 1948 年间,Ge 基双极型晶体管被发明出来^[1, 2]。 随后,Si 基的金属-氧化物-半导体场效应晶体管(MOSFETs)也被研制成功。这 促进了半导体相关的固态电子学的发展。基于平面工艺技术制造的集成电路的发 明,则使得现代微电子学得到了重大的发展^[3]。时至今日,Si 基大规模集成电路 仍旧是逻辑运算及功率应用场合的关键部件。尽管 Si 基器件的性能几乎达到了 其理论极限,但是由于较为成熟的工艺,以及较低的成本,Si 基 LSI 仍然在迅猛 的发展^[4]。

同时,为了在某些特定场合达到更高的性能要求,第二代半导体应运而生。 特别是III-V族半导体,如砷化镓(GaAs)和磷化铟(InP),已经广泛应用于高 频器件和发光器件^[5-6]。基于氮化镓和氮化铟镓的了蓝光和绿光发光器件的成功 研制,也让半导体的应用范围得到了扩展^[7-8]。

进入二十一世纪后,随着依赖于电力的信息技术及生产力的发展,提高能量 效率是我们目前面对的基本问题之一。2017 年统计,全球一次能源消费有 40% 用于发电,是所有用能行业中最大的部分^[9]。将电能通过技术手段,转换成能够 使用的形式,对于不同的电力应用场合是至关重要的。据估计,约有一半的电力 会通过某种形势的电能变换。这对电力变换的设备提出了更高的要求。

高性能的功率器件有更高的电能转换效率,一方面节省了电力的损耗,另一 方面也减少了化石能能源的消耗和减少了环境污染^[10]。目前,在功率应用场合, Si 基器件仍然最常被使用。Si 基功率器件在结构上进行了多代的优化,最常用的 结构包括 MOSFET 和 IGBT (绝缘栅型场效应晶体管)^[11,12]。Si 功率开关器件的 性能也不断提升,接近材料的理论极限。但是 Si 功率器件技术现在已经较为成 熟,在工艺及结构方面很难有进一步的突破。这使得以 SiC 和 GaN 为代表的第 三代半导体成为了功率半导体的发展重心。其中,SiC 的衬底及外延生长工艺更

为成熟,并且由于材料本征的性能,更适合在高压及高功率场合使用。由于 SiC 半导体间接带隙的特点,使得较长的载流子寿命特性更适合制造双极性功率器件。

电力电子的效率受限于半导体器件、电容、电感和封装的性能。如图 1.1 所示,功率器件的应用场景包括:电源、电机控制、通信、电动和混合动力汽车、供热、机器人技术、牵引、电力传输和照明镇流器。提高工作电压和降低功率损耗是未来智能电网的研究基础。



图 1.1 功率器件的额定电压极其应用场合[4]

高性能功率器件的应用不仅可以降低能量损耗,还能够节约化石燃料,减少 环境污染。SiC由于其具有优异的物理性能,使得它在功率半导体应用中有巨大 的潜力。SiC器件在高温和抗辐照等特殊应用场合也有优秀的表现。

1.2 4H-SiC 的材料性能

1.2.1 晶体结构

碳化硅是一种化合物半导体。Si 和 C 都是四价元素,在他们的最外层有四个价电子。Si 和 C 通过在 sp³杂化轨道上共用电子对形成共价键,以四面体检核的方式形成 SiC 晶体。Si-C 化学键能非常高,能达到 4.6 eV,这使得 SiC 拥有许

多突出的性能。

从晶体学的角度,SiC 是多形现象最著名的例子^[13]。多型现象是指当一种材料可以采用不同的晶体结构,这些晶体结构可以在一个维度下变化,而不改变化学组成。相应的,多形体是指在一个密排六方晶系中,在一个密排六方晶系中,延c轴变化所占据格点位置得到的不同的晶体结构,如图 1.2 所示。尽管在原则上,当对多层数很多时,堆垛次序存在无穷的变化,对大多数的材料而言,通常只有一种堆垛结构是稳定的。然而 SiC 的多形体的数量可以多达 200 种以上。



图 1.2 六方密堆积的原子占据位置[15]

常见 SiC 多形体结构示意图如图 1.3 所示。在众多 SiC 多形体中,4H-SiC 是 最多被研究的,也是半导体制造中最常使用的。SiC 多型体的稳定性和形成晶核 的概率强烈依赖于温度^[14]。例如,3C-SiC 并不稳定,当温度高于 1900℃时会转 变为六方 SiC 多形体^[15]。这使得在高温下以高速率生长这种晶体结构变得尤为 困难。2H-SiC 在高温下也是不稳定的,因此暂时不能制作出大体积看到 2H-SiC 晶体。因此,4H-SiC 和 6H-SiC 这两种较为稳定的结构在科研中得到了广泛的研 究。由于 4H-SiC 晶体的各向异性较小,成为工业中最常被使用的衬底材料。



1.2.2 电学性质

SiC 晶体的禁带宽度比 Si 材料大得多。在多形结构中, 禁带宽度至少能达到 2.36 eV (3C-SiC), 最多能超过 3.3 eV (2H-SiC)。最常用的 4H-SiC 的禁带宽度 为 3.26 eV。由于 SiC 多形体的 Si-C 共价键都是相同的,所以除了能带分裂外,不同的多形体的价带结构都是相似的。随着晶体的六方度的增加, 禁带宽度也随 着增加。由于 4H-SiC 的六方度仅次于 2H-SiC, 其禁带宽度较大,加之优秀的热稳定性及成熟的衬底加工工艺,是 SiC 半导体中备受关注的多形体。

表 1.1 总结了常见 SiC 多形体的电子和空穴的有效质量。电子有效质量以及 合相异性与多形体相关性很大,而空穴的有效质量与多型体影响较小。电子有效 质量与多形体的相关性使得不同多形体迁移率变化很大,并且各向异性也有不同 的表现。

致	谢	

多形体	有效质量	实验有效质量	理论有效质量
电子有效质量			
3C-SiC	m #	0.667	0.68
	\mathbf{m}_{\perp}	0.247	0.23
4H-SiC	$m_{ML}(=m_{/\!/})$	0.44	0.31
	m _M г	0.58	0.57
	m _{MK}	0.31	0.28
	$M_{\perp}(=(m_{M^{\Gamma}} \bullet m_{MK})^{1/2})$	0.42	0.40
6H-SiC	$\mathbf{m}_{\mathrm{ML}}(=\mathbf{m}_{\#})$	2.0	1.83
	m _M г	-	0.75
	m _{MK}	-	0.24
	$M_{\perp}(=(m_{M^{\Gamma}} \bullet m_{MK})^{1/2})$	0.48	0.42
空穴有效质量			
3C-SiC	$m_{\Gamma X}(=m_{[100]})$	-	0.59
	$m_{rK}(=m_{[110]})$	-	1.32
	$m_{rL}(=m_{[111]})$	-	1.64
4H-SiC	$\mathbf{M}_{\prime\prime}$	1.75	1.62
	\mathbf{M}_{\perp}	0.66	0.61
6H-SiC	$\mathbf{M}_{\prime\prime}$	1.85	1.65
	\mathbf{M}_{\perp}	0.66	0.60

表 1.1 常见 SiC 多形体的电子和空穴有效质量^[15]

4H-SiC 有更高的迁移率。在给定掺杂杂质浓度下,4H-SiC 的电子迁移率几 乎是 6H-SiC 的两倍,并且其空穴迁移率也比 6H-SiC 稍高,如图 1.4 所示。另外, 六方体 SiC 多形体在电子迁移率上有较大的各向异性。6H-SiC 的各向异性较为 明显,它沿 c 轴方向的电子迁移率维 c 轴方向的五分之一。相比来说,4H-SiC 的 各向异性较小, c 轴方向的电子迁移率比垂直 c 轴的迁移率高出五分之一。4H-SiC 的 c 轴迁移率较大,这使得在制造垂直功率器件中更有优势。

在高电场环境下,4H-SiC 的电子漂移速率高约两倍。这使得电子有更快的 响应速度,使得 SiC 器件更适用于较高频率的应用场景。尤其是在双极性结构中, 在关断过程中,载流子的抽取速度更快,也会降低关断损耗和减少噪声。



图 1.4 4H-SiC 及 6H-SiC 的低场沟道电子迁移率

SiC 的击穿电场强度更大。当在反向偏置的 pn 结上施加很高的电场时,漏 电流会随着电子-空穴对的产生而增加,并最终导致 pn 结击穿。在雪崩击穿时, 载流子可以在很高的电场强度下获得足够的能量,通过碰撞电子激发电子-空穴 对,产生的电子-空穴对在结的空间电荷区内得到成倍增长,并最终发生击穿。由 于 SiC 的禁带宽度较大,4H-SiC 有着较小的电离系数。因此,SiC 的击穿电场强 度较 Si 大约十倍。由于击穿电压与击穿电场的平方成正比,因此理论上来说, 相同结构的 pn 结,SiC 的击穿电压比 Si 高约 100 倍,这使得 SiC 器件在高压应 用中有明显的优势。

1.2.3 机械性质

SiC 有着独特的机械性能,它是一直的最坚硬的材料之一,莫氏硬度为 9.5 级,仅次于世界上最硬的金刚石(10级)。而 SiC 的泊松比却和其他半导体相似。 在很高的温度下,SiC 也能保持高硬度和高弹性的特性。

SiC 非常适合用于高温环境和功率应用场合。4H-SiC 的禁带宽度为3.26 eV, 其本征温度可达到 800℃,这使得 SiC 器件能够在高温环境下工作也能有很高的 性能。由于 SiC 晶体中声子的重大贡献,使得它的热导率(3.3 Wem⁻¹K⁻¹)接近 于铜金属,这使得 SiC 器件有更好的散热能力。

1.3 SiC MOS 结构现有问题

自从 MOSFET 和 CMOS 技术的发展以来,氧化物的质量是限制器件可靠性问题的主要原因^[16]。而对于 SiC MOSFETs 器件,氧化物的可靠性同样会带来一些性能的限制,并可能引起不可逆的损伤和故障。对于 SiC 材料来说,能够通过热生长工艺形成本征氧化物。鉴于 Si 利用热氧形成的氧化层形成的 MOS 结构的成功发展,SiC 的这种性质被认为是由于其他宽禁带半导体的独特优势,并可以得到更高的可靠性;然而,SiC 形成的氧化层却一直是限制器件可靠性的重要因素。

导通电阻 Ron 是功率器件性能的关键组成部分。Ron 是漂移区体电阻、JFET 区电阻和沟道表面电阻的总和。因此,在高电压下,反型层的电阻决定了 Ron。 减小沟道长度在一定程度上有助于提高器件的性能。然而,Ron 严重依赖于沟道 迁移率。因此,改善沟道的迁移率对器件的性能起到了关键的作用。研究指出, 4H-SiC 的反型层迁移率比体迁移率低得多^[14]。沟道的低迁移率(<20 cm²/Vs)一 直是被广泛研究的方向,这些研究往往将低迁移率与 Si 器件的 SiO₂/Si 界面研究 成果联系起来^[17-18]。然而,SiC 和热生长 SiO₂之间的界面含有高密度的界面态, 这被认为是由界面上的硅悬挂键、碳悬挂键或"C-C"键引起的^[19]。另外,近界 面氧化层缺陷和一些衬底陷阱也被认为是引起低沟道迁移率的重要原因^{[20][21]}。 一般来说,电荷俘获导致自由载流子数量减少,从而降低迁移率。此外,表面声 子散射、表面粗糙度散射以及氧化物固定电荷和界面电荷对移动载流子的库仑散 射的结合导致记录的低迁移率^[22]。

除了造成迁移率问题外,界面处的高密度缺陷也是是引起 SiC 器件中偏压温度不稳定性(BTI)的主要原因^[23]。阈值电压不稳定性一直是阻碍 SiC 功率 MOSFET 打入市场的重大障碍。MOSFET 的阈值电压(VTH)由下式给出:

$$V_{TH} = \frac{\sqrt{4\epsilon kT N_A \ln\left(\frac{N_A}{n_i}\right)}}{C_{OX}} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{Q_F + Q_{it}}{C_{OX}}$$
(1.1)

其中,N_A为基区掺杂浓度,Q_F为氧化层固定电荷密度,Q_{it}为界面态密度。 SiC器件中较大的阈值电压(V_{TH})漂移(有时超过几伏)是由于界面态捕获载流 子引起的,并且这种现象在高温下更加明显。



SiC 的另一个问题是 SiC/SiO2 界面的势垒高度,如图 1.5 所示。

图 1.5 SiC MOS 界面的能带图^[27]

在 SiC MOSFETs 栅电极施加正电压时,器件处于导通状态。事实上,主流的 SiC 功率 MOSFETs 的氧化层厚度典型值为 70-50 nm,这意味着额定栅极电压 通常在 20 V 左右。当沟道达到强反型后,几乎所有的电压都施加在氧化层上, 氧化层电场几乎与栅电压成线性关系。这意味着即使在正常工作状态下,氧化层 承受的电场强度也很大,栅漏电流处于 Fowler-Nordheim (FN) 隧穿区。FN 隧穿 同样会发生在 Si 器件中,但正常工作状态不会出现这种现象,这可以归功于 SiC/SiO₂ 界面的势垒比 Si/SiO₂ 更低。SiC 热生长形成氧化层后,电子从 SiC 导带 注入 SiO₂导带的势垒高度仅为 2.7 eV,而 Si 导带到达氧化层的势垒高度为 3.1 eV。这意味着 SiC MOS 的栅漏电更大,而另外会使界面缺陷捕获电子更加严重,而 进一步使界面势垒降低。这种低注入势垒也会影响 SiC MOS 的经时击穿(TDDB) 性能。电子大量注入氧化物的导带被认为是通过电介质中的碰撞电离产生空穴。空穴局部降低了电场,增加了 FN 隧穿电流,产生了更多的空穴。这种正反馈回 路导致电介质瞬间击穿^[24-25]。事实上,一些早期的报告已经指出 SiC MOS 的 TDDB 的测试条件温度上限为 150°C^[26]。然而,后续研究表明 SiC MOS 的 TDDB 特性可以有更好的表现,并认为 SiC MOS 的 TDDB 与 Si MOS 的 TDDB 本质上

是相似的[27]。

1.4 本文主要工作

碳化硅由于其特有的材料性能,使得它在功率半导体应用中具有独特的优势, 是推动电力电子发展的关键材料。同时,在实现高性能高可靠性器件的研制及大 规模生产中,仍存在不可忽视的问题,制约着碳化硅器件的发展及应用。其中, MOS 器件由于其低损耗、高速、兼容性高等优势,是功率应用中最重要的器件。 SiC MOSFETs 器件的沟道迁移率远低于体迁移率,而 SiO₂/SiC 界面相比于 Si 器 件的 SiO₂/Si 界面存在更高浓度的界面缺陷,这些成为限制 SiC MOS 器件的最大 阻力。本文通过紫外辐照退火手段以及多种退火工艺研究了 4H-SiC MOS 器件的 SiO₂/SiC 界面性能及器件可靠性,并分析了界面缺陷形成的原因及不同高温工艺 对界面缺陷的影响。本文的具体内容如下:

第二章 介绍了发展碳化硅器件的背景, SiC 器件的优势, 并指出了 SiC MOS 器件发展的制约因素, 并明确了改善 SiC MOS 器件界面性能及可靠性的必要性。

第二章 介绍了 SiC MOS 器件中,SiO₂/SiC 界面的缺陷类型,和制备 SiC MOS 结构的关键工艺。对本文章使用的性能测试及可靠性表征方法的原理及操作进行了详细的介绍。

第三章 为了深入理解 SiO₂/SiC 界面缺陷,我们使用高能紫外辐照退火方法 对界面进行研究。高能紫外辐照能够穿透薄氧化层并被界面薄层吸收,因此辐照 退火的主要目标为界面处。结果显示,辐照功率与界面性能及阈值稳定性存在关 联。我们使用 XPS 分析了近界面氧化层的化学成分,发现器件参数的变化与近 界面氧化层内 C 元素的表现存在强相关性。本实验确定了界面的性能及可靠性 与 C 元素在界面附近的积累密切相关,而若改善这些指标,需要改善制备工艺来 降低 C 元素在界面的积累。

第四章 本部分实验基于上一实验的结论,使用含低浓度氧气的氩气退火,研究了不同退火温度的 SiC MOS 器件的界面性能及可靠性。通过降低低于氧化 气氛的氧气浓度,能够减少界面的氧化现象,并对近界面氧化层内的缺陷进行钝 化,从而能够改善器件的可靠性。另一方面,过高温度的低氧退火仍然会发生剧

烈氧化现象,虽然界面态有所降低,但是栅氧化层的可靠性却发生严重退化。

第五章 本部分实验基于前期实验的结论,先后使用低氧退火及 NO 退火的 双退火工艺,研究了不同低氧退火温度对后续 NO 退火的影响。通过测试不同条 件的界面性能及可靠性,发现后续退火的效果会受到之前高温工艺的影响。虽然 后续的 NO 退火都会改善界面性能及栅氧化层可靠性,但是较低温度低氧退火的 双退火表现出更高的可靠性,而较高温度的低氧退火使得双退火的界面态更低。 通过分析实验结果,我们对高温工艺的缺陷形成及退火工艺的钝化缺陷的过程做 出了详细的解释。另外,我们也对制备目标要求的 SiC MOS 器件的高温工艺提 出了建议。

第六章 对工作完成情况进行总结,分析现有工作成果及不足,并对未来的 相关研究进行展望。

第2章 SiC MOS 器件的制备及表征

2.1 SiC MOS 缺陷及关键工艺

2.1.1 SiC MOS 结构的缺陷类型

图 2.1 显示了不同 SiC 多形体带隙内界面态的分布示意图。我们知道,对于 不同的 SiC 多形体,价带顶的能量位置几乎是相同的,而电导带底的能量位置对 于不同多形体是有差异的^[28]。



图 2.1 SiC 中界面态密度在不同多形体中的分布^[28]

当观察带隙下半部分的界面态时,这些界面态大部分是类施主态。当这些类施主态位于费米面上方时,他们捕获空穴而带正电。这些类施主态,特别是位于深能级的,捕获p型SiC中的空穴,在室温下不发射空穴。因此,深界面态的空穴表现为"正固定电荷"。在干氧氧化形成的MOS结构中,这些类施主界面态的密度非常高(>5×10¹²cm⁻²eV⁻¹),并且可以通过湿氧氧化显著降低^[29]。这些类施主态使得p型SiCMOS电容的C-V曲线向负方向移动确。然而,类施主界面态并不直接影响 n 沟道迁移率,因为当费米能级上升时,这些态变为中性^[29,30],这些缺陷在各种SiC 多型体中都大量存在。



图 2.2 干氧氧化和湿氧氧化制作的 SiC MOS 结构的界面缺陷示意图[34]

界面缺陷似乎是 SiC 半导体的本征特性,各种多形体中都有类似的分布。因此,导带边缘附近缺陷的分布由缺陷在固定能级的本征分布和不同多形体能带结构差异共同决定的,如图 2.2 所示。这些靠近导带边缘的界面态大部分是类受主态。当处缺陷能级于费米能级以下时,这些界面态俘获的电子而携带负电荷。被俘获在深受主能级的电子起着"负固定电荷"的作用。特别说明的是,SiC MOS 结构中电中性能级的位置。此外,氮化的 4H-SiC MOS 结构中的导带边缘也存在类施主界面态。在α-SiC (0001)中,界面态密度靠近导带边缘时呈指数级增加^[31-33]。由于缺陷的这种指数增加,使得 4H-SiC (0001)在导带底附近的界面态密度非常高,而 3C-SiC (111)在带边附近的界面态密度相对较低。在 n 沟道MOSFETs中,施加栅电压形成的反型层中的电子被这些界面态捕获,使得可移动的载流子浓度降低。捕获的电子还起到库仑散射中心的作用。因此,导带边附近的类受主界面态对 n 型 MOSFETs 的沟道迁移率是有害的。这就是为什么 4H-SiC (0001)MOSFET 通常表现出极低的沟道迁移率(程退火时为 5–8 cm²V⁻¹s⁻¹),而 3C-SiC MOSFET 通常表现出很高的沟道迁移率(超过 100 cm²V⁻¹s⁻¹)^[34-36]。

SiC 高界面态密度的确切原因尚不明确。在 Si MOS 结构中,界面悬挂键是 主要的界面缺陷(例如, P_b 中心)^[37]。SiO₂/Si 结构的界面态密度在 10^{9} – 10^{10} cm⁻²eV⁻¹范围内,因此 SiC MOS 结构的高界面态密度(10^{12} – 10^{13} cm⁻²eV⁻¹)

不太可能仅源于悬挂键。Afanas'ev 等人对比研究 SiC MOS 结构和石墨的 IPE 光 谱,认为带隙下半部分的类施主界面态可能来自碳团簇^[38,39]。尽管存在不少对界 面附近残余碳作用的质疑,但同样也不能证明界面附近的碳密度和界面态密度之 间不存在关联。4H-SiC (0001)导带底附近异常高的界面态密度也是一个谜。为 了解释这一现象,"近界面陷阱"(NITs)被认为是浅能级缺陷的来源。NITs 是存 在于界面附近的氧化物中的陷阱,由于其性质,它们的反应非常缓慢。同时也指 出, NITs 是氧化层材料固有缺陷。然而,在 SiO₂/4H-SiC (0001)晶向^[40]和(11-20)晶向^[32]中没有观察到高密度的浅能级缺陷,并且即使使用其他介电材料 (Si₃N₄、Al₂O₃和 AlN)也能观察到这种浅能级缺陷,这使得这种理论尚有改善 的空间。因此,需要系统的理论和更深入的研究来说明界面态和 NITs 的来源。

2.1.2 阈值电压的不稳定性

阈值电压的不稳定性至少是由两种不同的现象引起的:(1) 氧化物中的电荷注入和(2) 可动离子。在 SiC MOS 结构中,导带底和氧化层内存在高密度的界面缺陷,施加的较大正栅偏压会导致严重的电子注入并被缺陷捕获,导致阈值电压(或平带电压)发生明显的正向偏移^[41,42]。在施加栅电压应力期间,阈值电压偏移随着偏置电压的增加而增加,这可以解释为电子通过隧穿与近界面氧化物陷阱进行电学交流^[23]。SiC MOS 还存在另一种不稳定性,当施加负栅极电压时,阈值电压表现出显著的负偏移和栅特性的扩展^[43]。这种变化在高温下更加明显。这种不稳定性归因于负栅偏压下 MOS 界面附近的空穴陷阱。由于界面氮化会产生更多的空穴陷阱,因此氮化退火工艺的优化至关重要。

另一种不稳定为偏压-温度不稳定性^[44, 45]。这种现象是由可动离子引起的, 带正电的可动离子在正偏压-温度(约 200℃)应力测量(PBTS)下聚集在 SiO₂/SiC 界面,导致阈值电压(或平带电压)负移;反之,负偏压-温度应力(NBTS)作 用下,带正电的可动离子在栅电极和氧化层界面聚集,导致阈值电压正移。因此, C-V 曲线表现出离子漂移型回滞。在高于 700℃的高温含氢气氛中退火会导致偏 压温度不稳定性进一步增强^[46]。

2.1.3 氧化

在所有化合物半导体中,SiC 是唯一一种可以通过热氧化生长得到高质量氧 化层的半导体材料,这是它独特的优势。热氧化生长的氧化硅常被用来制作金属 氧化物半导体 MOS 器件的栅介质,以及用作材料表面的钝化材料。下面介绍关 于 SiC 材料的氧化相关内容

SiC 的热氧化过程由以下化学式表示:

$$SiC + \frac{3}{2}O_2 \to SiO_2 + CO$$
 (2.1)

式中表明, SiC 热氧化过程的产物是 SiO₂, 它已经被一些物理表征手段验证, 比如X射线光电子能谱(XPS)、电子能量损失谱(EELS), 和俄歇电子能谱(AES) 等。通过考虑 SiC 晶体中 Si 原子的密度,可以计算出 SiC 热氧化过程中, Si 的 消耗量是 46%,接近于 Si 材料的热氧化消耗量。这意味着,若生长 100 nm 厚的 氧化层,SiC 材料需要消耗 46 nm 的厚度。热氧化过程中,SiC 材料中的 C 元素 主要以气态 CO 分子扩散到氧化层外,但是仍存在少部分 C 原子向衬底内扩散, 这个现象通过热氧化后衬底部分 C 缺陷减少的现象被验证^[47]。除此之外,界面 附近也可能存在积累的 C 原子。

SiC 的氧化过程可以使用 Si 技术开发的 Deal-Grove 进行解释^[37, 48]:

$$d_{ox}^2 + Ad_{ox} = Bt \tag{2.2}$$

其中, *d_{ox}*是氧化层厚度, *t*是氧化时间, *B*是抛物线速率常数, *B*/*A*是线性速率常数。当氧化层较薄时,氧化反应速率受制于界面的反应速率,处于表面反应限制区域,氧化层厚度与氧化时间成比例。当氧化层变厚时,氧化速率下降,受制于氧气在氧化层内的扩散,此时氧化层速率与氧化时间的平方根成比例^[49-51]。

工艺条件以及氧化前的工艺处理同样会影响氧化速率。湿氧氧化的氧化速率 比干氧氧化更高,但是更容易产生表面缺陷。在衬底表面的位错核心附近会发生 氧化增强^[52,53],长时间的湿氧工艺会在位错的位置形成表面凹陷,相比之下,干 氧工艺形成的凹陷会明显缓解。离子注入区域的氧化速率同样会得到增强。尽管 经过1600℃以上的注入退火,共价键也会由少量的削弱,使得氧化速率增加。注 入区的氧化速率比非注入区高出10%~40%。

晶向同样会影响 SiC 衬底的氧化速率^[54-56]。在任意氧化工艺中, C 面(000-

1)面的氧化速率都低于 Si 面(0001)面,而(11-20)面和(1-100)面的氧化 速率介于它们中间。因此在制作非平面结构时,氧化工艺会导师氧化层厚度的差 异。比如在制作沟槽栅结构时,垂直方向的氧化层通常更厚,使得底部的氧化层 在使用过程中更容易发生击穿,需要使用特殊的加固工艺进一步改善氧化层厚度 的均匀性。

2.1.4 氧化后退火工艺

氧化后和后金属化退火是获得高质量 MOS 界面的关键工艺。在硅 MOS 工 艺中,降低界面态密度的一项主要技术是使用 H 元素对界面附近悬挂键钝化, 可以通过在 400–500℃的含氢气体(如 N₂–H₂ 混合物)中实现^[57,58]。这种技术可 以使面态密度可以降低到 10⁹cm⁻²eV⁻¹。而对于 SiC,400℃氢退火对界面态密度 的影响很小,说明 SiC-MOS 的界面问题与 Si 不同。据报道,在更高的温度(800– 1000℃)下进行氢退火可以降低界面密度^[59],但确切的机制尚不清楚。

为了减少深能级缺陷,特别是位于带隙下半部分的缺陷,再氧化退火是有效的^[60]。这项技术的关键步骤是在相对较低的温度(通常为950℃)下,在潮湿的环境中进行退火,在这种环境中,额外的氧化非常小。再氧化退火后,无论氧化过程(干氧或湿氧)如何,得到的界面态密度是相似的,界面性质也取决于再氧化退火期间蒸汽中的 H₂O 含量。通过高比例 H₂O 蒸汽的再氧化退火,4H-SiC (0001)的n沟道迁移率可以提高到 50 cm²V⁻¹s⁻¹,6H-SiC (0001)的n沟道迁移率可以提高到 50 cm²V⁻¹s⁻¹,6H-SiC (0001)的n沟道迁移率提高到 98 cm²V⁻¹s^{-1[61]}。另外,这个工艺还降低了价带边缘附近的深能级缺陷的浓度,从而提高了 SiC MOSFET 的p沟道迁移率^[62]。然而,这种改善的物理原因仍然是未知的。

热氧化后立即在惰性气体(氩气或氮气)中对氧化物进行退火是一种常用的 工艺。到目前为止,这种惰性气体退火通常在与氧化工艺几乎相同的温度下进行 (1100–1200℃)。这一步骤被认为有助于从氧化物或界面上去除多余的碳,但没 有碳向外扩散的直接证据。尽管如此,适量的 Ar 退火仍可以改善氧化层的介电 性能和可靠性^[63],并且这种工艺得到了广泛应用。近年来,有课题组尝试使用 1300–1350℃的高温下使用 Ar 退火增强过量填隙碳原子的扩散^[64]。高温 Ar 退火

虽然一定程度降低了界面密度,提高了 n 沟道迁移率,但改善效果并不理想。

人们还研究了氧化条件对界面质量的影响。对于 SiC 的 Si (0001)面而言, 氧化气氛(干氧和湿氧)对导带边缘附近的界面态密度和 n 沟道迁移率没有明显 差异。一般来说,湿氧氧化会使导带底附近的界面态密度少许降低,使价带顶附 近的界面态密度显著降低,从而使 p 沟道迁移率提高。另外,湿氧氧化还会在界 面附近产生负电荷。注意,当使用 SiC 的 C 面 (000-1)^[40]和非极性面 (11-20) ^[32]制作 MOS 结构时,湿氧化的影响变得明显。SiC (0001)在 1250–1300℃下的 干氧氧化可有效降低导带底附近的界面态密度并提高 n 沟道迁移率^[65, 66]。有研 究指出,一旦热氧化物的厚度超过约 20 nm,界面质量就会下降^[67]。当氧化层厚 度超过 20 nm 时,界面态密度会突然增加,并且平带电压的斜率也会发生变化。 界面质量的下降与中间态(类亚氧化物)的结构数量的增加有关^[67]。尽管存在上 述 SiC MOS 界面的研究成果,但我们目前仍不了解影响 SiC 材料的氧化物理基 础。

2.1.5 界面氮化

对 SiC MOS 的界面进行含氮气体退火是一种很有前景的工艺,如一氧化氮(NO)、一氧化二氮(N₂O)或氨(NH₃)。NO 或 N₂O 界面氮化退火在学术研究和 SiC 功率 MOSFETs 的大规模生产中有着广泛的前景和应用。图 6.56 显示了分别从 n 型和 p 型 4H-SiC (0001) MOS 电容器获得的导带和价带边缘附近的界面态密度分布^[68]。图中描绘了干氧化形成的 MOS 结构的界面密度图,以及在干氧氧化后使用 NO 或 N₂O 退火形成的 MOS 结构的界面缺陷密度图。在这个图中,界面态密度是用 high-low 方法评估的。可以明显观察到,在氮化退火后,能带内的界面态有着明显的降低。因此,在轻掺杂 p 型外延层上制备的 n 沟道 4H-SiC (0001) MOSFETs 的有效迁移率已从干氧化物的个位数(4-8 cm²V⁻¹s⁻¹)提高到 N₂O 退火后的 25–35 cm²V⁻¹s^{-1[69,70]},以及 NO 退火后的 40-52 cm²V⁻¹s^{-1[71,72]}。p 沟道 MOSFET 的有效迁移率也从干氧氧化的 1–2 cm²V⁻¹s⁻¹提高到氮化退火后的 7–12 cm²V⁻¹s^{-1[73]}。

在 NO 或 N₂O 中退火会导致氮原子在 SiO₂/SiC 界面堆积。界面氮原子密度 与氮化条件密切相关,数值可达到 5×10²⁰ cm⁻³ 甚至更高。多个课题组提出了界

面氮密度增加与界面态密度减少之间的关系^[74]。此外,氮化过程不仅降低了导带 边缘附近的界面态密度,而且增加了空穴陷阱的数量^[75]。因此,过多的氮元素积 累会引起空穴的捕获,并降低 MOS 的性能。同样,氮化对缺陷的作用机理尚不 明确。基于上述考虑,不太可能是 N 原子钝化了界面悬挂键或者单纯使缺陷能 级发生移动。一些研究表明,氮化退火能够有效地去除界面上的碳原子^[76]。

历史上,首次报道的氮化成功使用了 NO^[77,78]。由于 NO 的剧毒性质, N₂O 氮化被提出作为一种替代技术。经过工艺优化后, NO 氮化效果略优于 N₂O 氮 化。这一现象可以通过气相中的化学反应定性地进行解释。N₂O 分子在 1100℃ 以下温度稳定,在 1200℃左右开始分解,反应如下:

$$N_2 0 \to N_2 + 0 \tag{2.3}$$

$$N_2 0 + 0 \rightarrow 2 \text{ NO} \tag{2.4}$$

由于 N₂O 分子较大, N₂O 在氧化层中的扩散系数远低于 NO 或者 O₂ 的扩散 系数。因此,界面氮化作用不是由 N₂O 产生,而是通过由 1200℃以上的温度中, N₂O 分解产生的 NO 进行的。这与退火温度的需要到 1250-1300℃的温度才能使 用 N₂O 实现明显的氮化效果的结果一致。然而,当产生 NO 时,原子氧或氧分 子也会产生。这也说明在 N₂O 的界面氮化过程中同时发生氧化,这一结论可以 被 N₂O 氮化后氧化物厚度明显增加所支持。另一方面,在 1300℃左右,NO 分 子开始分解,化学反应如下^[79]:

$$2NO \rightarrow N_2 + O_2 \tag{2.5}$$

因此,NO 退火可以在相对较低的温度下实现,并且 NO 氮化退火过程中额 外的氧化过程可以降到最低。

2.1.6 其他退火方法

一种能够显著的提高沟道迁移率的技术是"钠沾污"氧化^[80-81]。一开始,在 120–150 cm²V⁻¹s⁻¹高沟道迁移率 4H-SiC(0001)MOSFETs 的报告中,使用 Al₃O₂ 炉管进行栅氧氧化。后来发现炉管和氧化物被钠元素严重污染。钠沾污的衬底氧 化速率得到加强。作为对比,在金属到清洁的炉管中进行氧化之前,将 SiC 衬底 浸入含钠溶液中,得到了相似的结果^[81]。但是这种技术不能用于器件制造,因为 加工后的 MOSFET 阈值电压极其不稳定,这在硅技术中也是常识。但是,对这 种界面改善机理的研究也是有意义的。

经过适当工艺处理后的沉积氧化层也得到了广泛的研究。制作方法是首先淀积氧化层,随后在 NO 或 N₂O 气氛中退火^[82, 83]。与在 NO 或 N₂O 中退火的热氧氧化层相比,界面态密度更低,沟道迁移率更高。由于 SiO₂/4H-SiC 界面的势垒高度低于 SiO₂/Si 界面势垒高度,SiC MOS 结构在高电场和高温下的隧穿电流较大,这限制了高温下氧化物的可靠性。从这个意义上说,high-k 材料具有更大的优势^[84]。在维持相同的栅极电容值的情况下,因为材料本身具有较高的相对介电常数,栅极介质的物理厚度得到增加。虽然 HfO₂ 在先进 Si MOS 中得到了广泛的研究,但由于 HfO₂/SiC 界面势垒高度较小,不适用于 SiC 材料。

2.2 SiC MOS 的表征

2.2.1 MIS 电容的原理

MIS(金属-绝缘体-半导体场效应晶体管)器件是半导体器件中重要的一种, 它使用半导体的表面效应,能够使得器件在半导体表面实现,广泛用于大规模集 成电路和功率半导体电路中。MOS 结构是 MIS 器件中最常被使用的结构,通过 热生长或沉积的方法在半导体表面形成氧化层,再生长金属层,这样就形成了经 典的 MOS 结构。相比于 Si 器件, SiC 的宽禁带特性使得载流子的本征激发变得 困难,因此器件不存在反型状态。

这里以 p MOS 器件为例,对 MOS 结构的电容-电压特性进行讲解。

为了简化,对 MOS 结构做如下近似:

- 氧化层内不存在电荷和陷阱,氧化层均匀分布,氧化层和半导体界面不存在界面态;
- 2. 栅极金属和半导体之间不存在功函数差。

图 2.3 为经典的 p 型 MOS 结构。当栅电极施加电压时, MOS 结构相当于电容 结构。当在栅电极施加电压后, 整个 MOS 结构相当于电容器, 在半导体衬底的 两端存在电势差, 而在氧化层靠近半导体的一侧存在感生电荷, 半导体衬底靠近 氧化层的一侧会感生处同样数量的电荷,形成空间电荷区。形成的空间电荷区内存在电场,使得能带发生弯曲,并形成势垒。



图 2.3 p型半导体 MOS 结构示意图

通过分析空间电荷区的电场分布与电容值的关系,同样可以在这个区域接触 泊松方程。因为外加偏压的差异,这个区域可能存在载流子,因此不能使用耗尽 区表示,需要考虑区域内空穴的浓度*p*(*x*)和电子浓度*n*(*x*),泊松方程为:

$$-\frac{\mathrm{d}^2 V}{\mathrm{d}x^2} = \frac{\mathrm{d}E}{\mathrm{d}x} = \frac{\rho(x)}{\epsilon} = q \frac{\left[p(x) - n(x) + N_D(x) - N_A(x)\right]}{\epsilon}$$
(2.5)

根据半导体能带理论,在平衡状态下,x 点的空穴浓度 *p*(*x*)和电子浓度 *n*(*x*) 分别表示为:

$$n = n_0 \exp\left(\frac{qV}{kT}\right) \tag{2.6}$$

$$p = p_0 \exp\left(-\frac{qV}{kT}\right) \tag{2.7}$$

在平衡态下, 电荷总量为零, 即满足电中性原理:

$$N_D(x) - N_A(x) = n_0 - p_0$$
(2.8)

联立以上公式,得到:

$$-\frac{\mathrm{d}^2 V}{\mathrm{d}x^2} = \frac{1}{\epsilon} \left[p_0 \left(\exp\left(-\frac{qV}{kT}\right) - 1 \right) - n_0 \left(\exp\left(\frac{qV}{kT}\right) - 1 \right) \right]$$
(2.9)

对此微分方程求解,得到电场强度的表达式:

$$E = \frac{\mathrm{d}V}{\mathrm{d}x} = \pm \frac{2kT}{qL_D} \left[\left(\exp\left(-\frac{qV}{kT}\right) + \frac{qV}{kT} - 1 \right) + \frac{n_0}{p_0} \left(\exp\left(\frac{qV}{kT}\right) - \frac{qV}{kT} - 1 \right) \right]$$
(2.10)

此时 V>0 取 "+", V<0 取 "-"。定义德拜长度为 $L_D = \left(\frac{2\epsilon kT}{q^2 p_0}\right)^{\frac{1}{2}}$,表示外加电场时,感生的空间电荷层的厚度。因此,载流子浓度增大时,德拜长度减小,因此需要的空间电荷层越薄。

由式 2.10 可以得到绝缘层和半导体界面的电场强度和电荷密度。若界面表面势为 Vs,则有:

$$E_{0} = \pm \frac{2kT}{qL_{D}} \left[\left(\exp\left(-\frac{qV_{S}}{kT}\right) + \frac{qV_{S}}{kT} - 1 \right) + \frac{n_{0}}{p_{0}} \left(\exp\left(\frac{qV_{S}}{kT}\right) - \frac{qV_{S}}{kT} - 1 \right) \right]^{\frac{1}{2}}$$
(2.11)

 $Q_{0} = -E_{0}\epsilon = \mp \frac{2\epsilon kT}{qL_{D}} \left[\left(\exp\left(-\frac{qV_{S}}{kT}\right) + \frac{qV_{S}}{kT} - 1 \right) + \frac{n_{0}}{p_{0}} \left(\exp\left(\frac{qV_{S}}{kT}\right) - \frac{qV_{S}}{kT} - 1 \right) \right]^{\frac{1}{2}}$ (2.12)

式(2.12)表示 MOS 电容的栅电极施加正电压时,电场方向为正,半导体表面 感生出负电荷。电压的变化会引起表面电荷的变化,表现为等效电容。因此,微 分电容为:

$$C = \left|\frac{\partial Q_S}{\partial V_S}\right| = \frac{\epsilon}{L_D} \frac{\left[\left(\exp\left(\frac{qV_S}{kT}\right) + 1\right) + \frac{n_0}{p_0}\left(\exp\left(-\frac{qV_S}{kT}\right) - 1\right)\right]}{\left[\left(\exp\left(\frac{qV_S}{kT}\right) - \frac{qV_S}{kT} - 1\right) + \frac{n_0}{p_0}\left(\exp\left(-\frac{qV_S}{kT}\right) + \frac{qV_S}{kT} - 1\right)\right]^{\frac{1}{2}}}$$
(2.13)

上式即为 MOS 结构的 C-V 关系。在 MOS 结构中,如果栅电压发生变化, 半导体表面的空间电荷也会有不同的状态,影响 C-V 关系。下面进一步说明不 同外加电压对 C-V 关系的影响。

当外加在 MOS 栅电极的电压为负值时, V<0,则 VS<0,能带向上弯曲,半导体表面能够感生出正电荷,产生多数载流子空穴的增加,半导体表面处于多数载流子空穴的积累状态,此时 Vs<0,并且 no/po 很小,因此表面电场、电荷密度和电容可以简化为:

$$E_0 = -\frac{2kT}{qL_D} \exp\left(-\frac{qV_S}{2kT}\right)$$
(2.14)

$$Q_0 = \frac{2\epsilon kT}{qL_D} \exp\left(-\frac{qV_S}{2kT}\right)$$
(2.15)

$$C_0 = \frac{\epsilon}{L_D} \exp\left(-\frac{qV_S}{2kT}\right) \tag{2.16}$$

当施加在 MOS 结构栅电极的电压为零时, V=0, 则 Vs=0, 此时能带平直,称作为平带状态。此时表面电场、电荷密度均为零,电容可以采用将式(2.13)中指数向用指数展开的方法进行简化,令 Vs→0,可以得到电容表达式:

$$C_0 = \sqrt{2} \frac{\epsilon}{L_D} \tag{2.17}$$

当施加在 MOS 结构栅电极的电压稍超过零时,*V>0*,*Vs>0*,但值并不大, 满足*Vs* < *^E_F*,此时能带向下弯曲,半导体表面能够感生出负电荷,此时空穴耗尽, 电离受主过剩,被称为空穴耗尽状态。此时式(2.13)中的指数项很小,可以被忽 略,此时半导体表面的电场强度、电荷密度和电容可以简写为:

$$E_0 = \frac{2kT}{qL_D} \left(\frac{qV_S}{2kT}\right)^{\frac{1}{2}}$$
(2.18)

$$Q_0 = -\frac{2\epsilon kT}{qL_D} \left(\frac{qV_S}{2kT}\right)^{\frac{1}{2}}$$
(2.19)

$$C_0 = \frac{\epsilon}{L_D} \left(\frac{qV_S}{kT}\right)^{-\frac{1}{2}}$$
(2.20)

当施加在 MOS 结构栅电极的电压继续增大时,达到 $V_S = \frac{E_F}{q}$,此时能带继续向下弯曲,使得半导体表面禁带中心与费米能级重合。表面电场、电荷密度以及电容仍然可以使用式(2.18)、式(2.19)和式(2.20)表示,但是 V_S 需要做出修改:

$$V_S = \frac{E_F}{q} = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \tag{2.21}$$

当施加在 MOS 结构栅电极的电压进一步增加时, $V_S > \frac{E_F}{q}$, 半导体表面电子 浓度大于空穴浓度, 形成反型层; 尤其是当 $V_S > \frac{2E_F}{q}$ 时, MOS 处于强反型态, 此时式(2.11)的指数项可以被忽略, $\frac{n_0}{p_0} \left(\exp\left(\frac{qV_S}{kT}\right) \right)$ 项占主要地位, 此时半导体表面的 电场强度、电荷密度和电容可以简写为:

$$E_0 = \frac{2kT}{qL_D} \left(\frac{n_0}{p_0} \exp\left(\frac{qV_S}{kT}\right)\right)^{\frac{1}{2}}$$
(2.22)

$$Q_0 = -\frac{2\epsilon kT}{qL_D} \left(\frac{n_0}{p_0} \exp\left(\frac{qV_S}{kT}\right)\right)^{\frac{1}{2}}$$
(2.23)

$$C_{0} = \frac{\epsilon}{L_{D}} \left(\frac{\frac{n_{0}}{p_{0}} \exp\left(\frac{qV_{S}}{kT}\right)}{\left(\frac{n_{0}}{p_{0}} \exp\left(\frac{qV_{S}}{kT}\right)\right)^{\frac{1}{2}}} \right) = \frac{\epsilon}{L_{D}} \left(\frac{n_{0}}{p_{0}} \exp\left(\frac{qV_{S}}{kT}\right)\right)^{\frac{1}{2}} = \frac{\epsilon}{L_{D}} \left(\frac{n_{S}}{p_{0}}\right)^{\frac{1}{2}}$$
(2.24)

其中 ns 为半导体表面处的电子浓度。由于在强反型状态下半导体表面的电

子浓度很大,因此存在显著的对电子的屏蔽作用,此时耗尽层宽度达到最大值, 不会再继续增加。

当施加再 MOS 结构栅电极的电压继续增大,如果电压能够长时间稳定,则 会形成强反型层;若电压电压施加在栅电极的时间极短,此时少数载流子来不及 产生,形成耗尽层,并且耗尽层宽度跟随电压增大而增加,此时 MOS 结构处于 深耗尽状态。

2.2.2 表面势确定方法

准确地确定表面电位ψs 是很重要的,因为它决定了界面态的能量位置,并 且在各种界面态的表征技术手段中都是重要的部分。表面势的测定对于 SiC 来说 是至关重要的,因为界面态密度通常在带边附近表现出急剧的增加,尤其是在 SiC 的 Si 面 (0001)上。根据 MOS 物理学中的一个理论,表面电势 (ψs)可以通过 低频 C-V 曲线计算出来^[57,85]:

$$\psi_S(V_G) = \int \left(1 - \frac{C_{LF}}{C_{OX}}\right) dV_G + A$$
(2.25)

其中, CLF为低频电容, VG为栅电压, A为积分常数。

测试过程中, MOS 结构可以看作半导体电容和界面态阻抗并联, 然后整体和氧化层串联的电路结构。除了积分常数 A, 表面势和栅极电压的关系可以由式 (2.25)求出。积分常数 A 的确定方法如图 2.4 所示, 根据 1/(*C*_D+*C*_{IT})² 与ψs 之间的关系, 唯一确定。在图 2.4 中, 对于足够负的ψs, 可以看出明显的线性关系。当频率足够高时, 处于深耗尽区的界面态来不及响应, SiC MOS 界面不存在反型的载流子产生, 因此, *C*_D+*C*_{IT} 可以近似为耗尽电容 *C*_{dep}, 1/(*C*_D+*C*_{IT})² 和ψs 之间存在线性关系^[86]:

$$\frac{1}{(C_D + C_{IT})^2} \approx \frac{1}{C_{dep}^2} = -\frac{2\psi_S}{\epsilon_S q N_D S^2}$$
(2.26)

其中, ɛs 为半导体的介电常数, N_D为施主浓度, S 为栅电极面积。根据式(2.26), 图中的直线外推应该经过远点,因此可以确定积分常数 A, 如图 2.4 所示。同时, 通过对曲线的斜率可以计算处施主浓度。


图 2.4 1/(C_D+C_{IT})² 和ψ_s之间存的线性关系。图中的直线外推应该过原点

2.2.3 界面态测试方法

Terman 法

在 Terman 方法中,从理想 C-V 曲线提取高频曲线的电压偏移,然后确定每 个半导体表面能级的界面态密度。该方法假设界面态不响应高频 C-V 特性,因 此测得高频电容不包括界面的任何贡献。但是,这种假设在实际中是无效的。此 外,由于表面电位或掺杂浓度的微小偏差会导致提取的界面态密度发生较大的变 化,因此提取的界面态密度包含较大的误差。因此,该方法仅在界面态密度极高 (>10¹²cm⁻²eV⁻¹)时使用,而不是表征界面态密度的优选方法。

高低频法

在高低频方法(或者 high-low 法)中,利用了界面状态的频率响应原理。基本假设是,界面状态完全响应低频 C-V 测量的交流信号频率,而完全不响应用于高频 C-V 的交流信号频率。如果满足此条件,则低频电容包括所有界面状态的贡献,而高频电容不包括任何界面态的贡献。在此假设下,界面态密度如下:

$$D_{IT} = \frac{(C_D + C_{IT})_{LF} - (C_D + C_{IT})_{HF}}{q^2 S} \approx \frac{(C_D + C_{IT})_{LF} - (C_D)_{HF}}{q^2 S}$$
(2.27)

其中,(CD+CIT)HF为高频下测得的CD+CIT,假设数值为CD(高频下CIT≈0)。

图 6.44 显示了在 n 型 4H-SiC (0001) 上带有干氧化物的 MOS 电容器上测量的典型高频 (1 MHz) 和准静态特性。准静态电容值大于高频电容值反映了界面态密度。这是一种提取界面态密度的简便方法,因为不需要理论曲线,而且方法相当简单。因此,high-low 法已成为测定包括 SiC 在内的许多半导体中界面态密度的一种常用方法^[57,85]。

电导法

电导法式 Nicollian 和 Coetzberger 在 1967 年提出的,这种方法被认为是测量界面态密度最灵敏的方法^[87]。电导法可以测量耗尽态和弱反型态半导体缺陷,以及多数载流子的俘获截面和表面势扰动的信息。但是这种方法需要测量大量数据,测量周期常。这种方法测量的是 MOS 电容的等效平行电导 Gp。测得的电导是栅电极偏压及交流信号频率的函数,能够表征缺陷发射和俘获载流子的信息。 MOS 电容的等效电路如图 2.5 所示



图 2.5 (a)包含界面陷阱的等效电路及(b)转化为电导的简化电路

界面态俘获和发射载流子的过程是有损耗的,由电阻 *R*_{it} 表示。将电阻变化为电导,则相关电容及电导的公式为:

$$C_p = C_S + \frac{C_{it}}{1 + (\omega \tau_{it})^2}$$
(2.28)

$$\frac{G_p}{\omega} = \frac{q\omega\tau_{it}D_{it}}{(\omega\tau_{it})^2}$$
(2.29)

$$C_{it} = q^2 D_{it} \tag{2.30}$$

$$\omega = 2\pi f \tag{2.31}$$

在禁带内,SiO₂/SiC 界面陷阱在能级上为连续分布。这种连续分布的陷阱使 得费米能级几个 kT/q 范围内的缺陷都能够响应,使得数据发生展宽。归一化电 导为:

$$\frac{G_p}{\omega} = \frac{qD_{it}}{2\omega\tau_{it}}\ln[1 + (\omega\tau_{it})^2]$$
(2.31)

界面态电导通过阻抗测试得到,在电导法中,界面态密度与界面电导相关联: $\frac{G_{pit}}{\omega} = e^{2}AD_{IT}(conductance) \int_{-\infty}^{+\infty} \left(\frac{\ln(1 + (\omega\tau \exp(\eta))^{2})}{2\omega\tau \exp(\eta)}\right) \times \frac{q}{\sqrt{2\pi\sigma^{2}}} \exp\left(-\frac{\eta^{2}}{2\sigma^{2}}\right) d\eta \qquad (2.33)$

$$\sigma_C = \frac{1}{\tau v_{th} N_C} \exp\left(\frac{E_C - E_T}{kT}\right)$$
(2.34)

其中,v_{th}为热电子速度,Nc为导带中有效载流子浓度。

2.2.4 SiC MOS 器件的可靠性表征

F-N 隧穿

MOS 器件主要有两种栅电流机制,直接隧穿和 F-N 隧穿。当氧化层较薄时, 沟道内的电子可以通过量子效应到达氧化层的另一端,但是 SiC MOS 栅氧化层 较厚,使得直接隧穿并不明显。另一种隧穿机制是 Fowler-Nordheim (F-N),即 在高电场作用下,氧化层势垒变形成为三角形势垒,与沟道内积累电子相同能级 位置的势垒厚度变薄,使得电子可以通过隧穿的方式到达势垒的另一端。

F-N 电流由下式给出^[88]:

$$I_{FN} = A_G A E_{OX}^2 \exp\left(-\frac{B}{E_{OX}}\right)$$
(2.35)

其中,AG为栅面积,Eox为氧化层电场。A和B为常数项,具体为:

$$A = \frac{q^3 \left(\frac{m}{m_0}\right)}{8\pi h \Phi_B} \tag{2.36}$$

$$B = \frac{8\pi\sqrt{2m_{OX}\Phi_B^3}}{3qh} \tag{2.37}$$

其中, *m*_{ox} 为氧化层的电子有效质量, *m* 为自由电子质量, Φ_b 是氧化层和半导体之间的势垒高度, 它考虑了势垒降低和半导体表面量子效应的实际势垒高度。

然后做如下假设: MOS 结构中发射电极的电子可以被描述为自由费米气,氧化 层内电子的有效质量统一,推导隧穿几率时只考虑电子动量垂直于界面的分量。 将式(2.35)改写为如下形式:

$$\ln\left(\frac{I_{FN}}{A_G E_{OX}^2}\right) = \ln\left(\frac{J_{FN}}{E_{OX}^2}\right) = \ln(A) - \frac{B}{E_{OX}}$$
(2.38)

当纵坐标为 $\ln\left(\frac{J_{FN}}{E_{OX}^2}\right)$,横坐标为 $\frac{1}{E_{OX}}$ 时,数据所呈现出的线性部分即为 Fowler-Nordheim 曲线。拟合数据得到常数项 A 和 B,通过式(2.36)或式(2.37)即可求出 F-N 势垒高度。

与时间相关的栅介质击穿(TDDB)

氧化层的击穿过程分为两个阶段。首先是建立阶段,在电场作用下,氧化层 和 MOS 界面附近产生新的缺陷并积累,当缺陷积累到一定程度后,局域电场增 加而当电场增加到临界值,则会向第二阶段转变,在热损耗和电流的正反馈作用 下,氧化层在极短时间内击穿。

在电场作用下,氧化层内和 MOS 界面产生的缺陷可以视为是电荷引起的, 具体存在以下模型:

杂质离子模型。当氧化层施加电场时,正离子会向阴极方向移动。积累正电 荷的位置发生电极的局部积累,使得界面势垒降低,最终发生击穿。

正电荷积累模型。电场作用下,电子向氧化层内注入电子,或者直接被捕获, 或者发生碰撞电离,产生更多载流子,或者会改变化学结构并产生新的缺陷。空 穴向阴极移动过程中可能被氧化层陷阱捕获,并发生空穴的积累。这会使阴极发 生电场的增强,增大隧穿电流,进而促进空穴的进一步积累。正电荷的积累和隧 穿电子之间形成正反馈关系,最终引起氧化层的击穿。

电子负电荷积累模型。在电场的作用下,电子通过 F-N 隧穿,从阴极注入到 氧化层中,期间电子被陷阱捕获、或者形成新的缺陷。电荷的积累会增加阳极附 近的电场增强,发生局部介质击穿,并扩展到整个氧化层内。

TDDB 的测试分为恒压测试和恒流测试两种方法。在恒压测试中,偏置电压 设施为接近击穿电压的数值,记录栅电流随时间的变化。一般来说,击穿发生前

栅电流先降低然后突然增大。而在恒流测量中,施加恒定的电流,测量栅电压随时间的变化。一般来说,栅电压逐渐增加,在击穿时突然降低。

2.2.5 氧化层可靠性的统计学方法

可靠性的定量表征

产品的寿命指的是从开始工作(t=0)到首次发生失效的工作时间,是在开始工作后连续的随机变量,使用T表示。产品寿命的分布被称为失效分布或者寿命分布,而它的分布函数F(t)=P(T<t)被称为累计失效分布函数,它的概率密度函数p(t)=F(t)被称为失效概率密度函数。

指定产品在规定时间 t 内,在给定条件下,完成规定功能能的概率被称为产品的可靠度,简称为可靠都,记作 R(t),定义式为:

$$R(t) = P(T > t) \tag{2.39}$$

其中,T为产品的寿命。

威布尔分布

威布尔分布是半导体可靠性分析中常用的失效分布。威布尔分布的概率密度 函数、分布函数和失效率函数如下:

$$p(t) = \frac{m}{\eta} \left(\frac{t}{\eta}\right)^{m-1} \exp\left\{-\left(\frac{t}{\eta}\right)^m\right\}$$
(2.40)

$$F(t) = 1 - \exp\left\{-\left(\frac{t}{\eta}\right)^m\right\}$$
(2.41)

$$\lambda(t) = \frac{m}{\eta} \left(\frac{t}{\eta}\right)^{m-1} \tag{2.42}$$

对上述公式计算,可以得到:

$$E(t) = \eta \Gamma \left(1 + \frac{1}{m} \right) \tag{2.43}$$

$$Var(T) = \eta^2 \left[\Gamma\left(1 + \frac{2}{m}\right) - \Gamma^2\left(1 + \frac{1}{m}\right) \right]$$
(2.44)

$$\Gamma(s) = \int_0^{+\infty} x^{s-1} e^{-x} \,\mathrm{d}x \tag{2.45}$$

威布尔分布的统计分析包括参数估计和分布假设检验两个部分。参数估计是 指在假设产品寿命服从威布尔分布的前提下,使用实验数据计算失效率的估计, 包含完全样本和定数结尾两种情况。分布假设检验使用 Van Monfort 检验进行分 析。

当数据使用完全样本时,尝试用矩估计方法估计威布尔分布的未知量。即提 取所有抽取的 n 个失效实验样本,失效时间为 t1, t2, ..., tn。考虑使用矩估计发求 解威布尔分布的未知单数,由威布尔分布的数学期望和方差可以得到威布尔分布 的变异系数:

$$C_V = \frac{\sigma(T)}{E(T)} = \frac{\sqrt{\Gamma\left(1 + \frac{2}{m}\right) - \Gamma^2\left(1 + \frac{1}{m}\right)}}{\Gamma\left(1 + \frac{1}{m}\right)}$$
(2.46)

其中, σ(T)、E(T)分别利用样本标准差 s 和均值 τ代替,从而可以得到变异 系数的估计。进一步利用非线性方程法得到 m 的估计值 m。使用以下估计可以得 到 η 的估计值:

$$\eta = \frac{E(T)}{\Gamma\left(1 + \frac{1}{m}\right)} \tag{2.47}$$

对于温布尔分布检验,使用 Van Monfort 检验进行分析。随机抽取 *n* 个产品 并在一定应力条件下进行定数截尾寿命实验,约定当失效数目达到 *r* 个时停止实 验,所得到的定数截尾样本数为 *t*1≤*t*2≤...≤*t*r。

设产品寿命 T 的分布函数为 F(t), 需要检验原假设:

$$H_0: F_0(t) = 1 - \exp\left(-\left(\frac{t}{\eta}\right)^m\right), \ t > 0$$
 (2.48)

其中, m、η为未知参数。

设 $X_{i}=\ln t_{i}$, $Z_{i}=(X_{i}-\mu)/\sigma$, $\mu=\ln\eta$, $\sigma=1/m$ 。则在原假设 H_{0} 成立下, $X_{1}\leq X_{2}\leq ...\leq X_{r}$ 是极值分布 $F_{X}(x) = 1 - \exp\left(-\exp\left(\frac{x-\mu}{\sigma}\right)\right)$ 的前 r 个次序统计量, 即 $Z_{1}\leq Z_{2}\leq ...\leq Z_{r}$, 且 $E(Z_{i})$ (i=1, 2, ..., r)。考虑以下统计量:

$$Y_i = \frac{X_{i+1} - X_i}{E(Z_{i+1}) - E(Z_i)} \quad , \quad i = 1, 2, \dots, r - 1$$
(2.49)

相关理论表明 Yi 逐渐独立并且服从标准指数分布,令 ri=[r/2],则统计量为

$$W = \frac{\sum_{i=r_1+1}^{r-1} \frac{Y_i}{r - r_1 - 1}}{\sum_{i=1}^{r_1} \frac{Y_i}{r_i}}$$
(2.50)

在原假设 Ho 成立下,W 近似服从自由度为 2(r-r1-1)和 2r1 的 F 分布。它的

取值不能过大或过小。因此,在给定的显著性水平 a, 双侧假设检验的拒绝域为

$$W = \left\{ F < F_{\frac{\alpha}{2}} \left(2(r - r_1 - 1), 2r_1 \right) \right\} \cup \left\{ F > F_{1 - \frac{\alpha}{2}} \left(2(r - r_1 - 1), 2r_1 \right) \right\}$$
(2.51)

2.3 本章小结

本章主要介绍了 SiC MOS 器件的界面缺陷,关键工艺及表征手段。介绍了 界面缺陷的能级分布,空间分布以及所带来的性能退化。然后介绍了制备 SiC MOS 结构的关键工艺,包括氧化工艺的动力学原理、常用退火工艺,以及这些 工艺的研究现状。最后介绍了 SiC MOS 电容的原理,并说明了表征 MOS 电容的 测试方法,包括界面态的表征、栅势垒表征、氧化层可靠性表征及其统计原理。 本章为 SiC MOS 界面的研究提供了理论基础,后续实验均基于本章节所涉及到 的理论及方法。

第3章 紫外辐照退火研究界面缺陷

3.1 实验背景

碳化硅(SiC)具有宽禁带、高热导率、高击穿电场等优点,在高压、高温 电源中有着广阔的应用前景。此外,由于碳化硅可以通过热生长氧化层的方法形 成栅极结构,这可以降低工艺成本并形成高可靠性的栅介质。然而,4H-SiC 功率 金属氧化物半导体场效应晶体管(MOSFETs)存在低沟道迁移率和阈值电压不稳 定性的问题,严重影响了器件的沟道性能和可靠性。干刻蚀和溅射沉积工艺在 SiC-MOS 器件的制备中有着广泛的应用。然而,高能离子轰击和等离子体光电 发射引起的等离子体损伤会严重降低 mosfet 的性能。据报道,在等离子体刻蚀 过程中,产生的高能光子会辐照 SiO₂ 薄膜并产生 E'中心^[89]。Ikeguchi 等人发现 紫外光可以引起 SiC-MOS 电容器 C-V 曲线的平带电压 (VFB) 正向偏移并产生 回滞现象^[90-91]。然而,当 SiC MOS 电容器在紫外光照射后进行 N2 退火处理后, 界面态密度有了进一步的降低^[92]。这些结果表明,SiC 衬底上生长的热氧化物容 易受到高能紫外光的影响,导致 SiO₂/SiC 界面性能的下降。一般情况下, Si MOS 界面的悬挂键会被氢原子钝化。在进行高能光子辐照后,氢原子的化学键被打断, 形成填隙氢原子和悬挂键。氢原子由于扩散激活能极低,在氧化层内很容易产生 位移,使得被破坏的悬挂键发生不可恢复的损伤。SiC/SiO2界面由于 C 原子的存 在,使得界面的化学组分和界面结构十分复杂。因此 SiO₂/SiC 界面的紫外辐照效 应需要进一步的研究。另外,高能紫外光对界面微观结构的影响有助于研究高温 工艺中界面的缺陷分布与电学性质之间的关系。

3.2 实验设置

MOS 结构是半导体、氧化层和金属的叠层结构,最上层是金属材料,对光照有屏蔽作用。光子辐照在金属时,当单光子能量足够高时,会发生光电效应,对紫外光有强吸收作用。为了能将紫外光辐照到界面处,需要调整工艺及辐照退火的顺序。实验使用的是 193nm 的 ArF 准分子紫外激光器,能够产生波长单一, 光照均匀的紫外辐照。紫外光在氧化层内的吸收系数小,而在 SiC 材料内的吸收

系数大,当紫外光辐照在 SiO₂/SiC 叠层时,光子在界面薄层处被完全吸收,使得 紫外辐照能够集中于界面处。因此,实验的顺序是,先对衬底进行氧化,形成栅 介质层,然后进行不同条件的紫外辐照退火,如图 3.1 所示。最后在栅介质顶层 形成栅电极,制作 MOS 电容结构用于表征界面电学性质及栅介质可靠性。



图 3.1 辐照样品的制备过程。按顺序分别为,氧化层的制备、辐照退火以及金属层的形成

衬底选用 4°偏角的 n 型 Si 面(0001)SiC 外延片,掺杂浓度为8×10¹⁵ cm⁻³。 经过 RCA 清洗后,SiC 外延片在 1050℃干氧气氛中进行 150 min 的热氧化工艺。 通过电容-电压测试并计算得出,MOS 电容的有效厚度约为 7 nm。为了保证氧化 层厚度的均一性及工艺的一致性,晶圆被切分为多组用于后续的紫外辐照退火实 验。紫外辐照退火使用不同功率进行,详细的分组及辐照功率如表 3.1 所示。紫 外辐照退火后,对样品进行光刻工艺,并蒸发生长厚度 200 nm 的金属 Al,通过 剥离工艺形成顶部金属电极。最后使用 BOE 去除晶圆背部的自然氧化层,并蒸 发生长厚度为 200nm 的背部铝电极。

表 3.1 紫外辐照退火实验的分组及辐照功率

	辐照功率 (mW/cm ²)
w/o UV	0
А	400
В	600
С	800

紫外辐照退火装置如图 3.2 所示。光源为 ArF 准分子激光器,能够产生确定

波长的高功率紫外射线。通过石英反射镜对光路进行调整,使紫外辐照能够向下 照射到样品上。最后,使用漫散射光学透镜改善辐照的均匀性。尽管可以通过控 制台精确控制出射光的功率,但是激光在经过光路后会产生损失,导致实际辐照 功率降低。因此,在样品辐照位置使用光功率计进行进一步的功率校准。调试设 备后,将样品放置在光功率计的相同位置进行辐照测试。



图 3.3 测试连接示意图

电学测试使用 Keithley 4200 半导体参数分析仪进行。SiC MOS 结构由衬底、 氧化层、顶部栅电极以及背部电极组成,如图 3.3 所示。这种 MOS 电容结构工 艺简单,并且由于没有源漏结构,能够精确测量界面缺陷及其他电学参数。在一 般的高频测量下,晶圆的寄生电容可以忽略,因此通过电学测量得到的结果可以 直接用来表征界面的性质。制备的晶圆通过探针台进行电学连接,其中托盘作为 背电极,而探针作为栅电极。测量在黑暗中进行,防止光电效应引起测量时表面 能带的弯曲。虽然 SiC 的宽禁带性质可以极大的抑制光电效应啊,但是界面处禁 带内的缺陷可能在光照下引起电子跃迁而影响实验结果。最后使用赛默飞世尔科 学公司的 ESCALAB 250Xi XPS 系统对未形成顶栅的紫外辐照退火样品和参考 样品进行了物理表征。

3.3 紫外对氧化层的影响

3.3.1 紫外辐照退火对平带电压的稳定性的影响

为了表征 SiC MOS 结构在经过不同功率辐照后平带电压的稳定性,使用循环 C-V (cycle C-V) 法对结构进行测试。使用循环 C-V 法能够细致的表征在不同偏置电压下,平带电压的偏移情况,可以表征 MOS 结构栅电压从耗尽态向积 累态过渡时,近界面缺陷捕获界面电子的过程。另一方面,由于本实验中氧化层 厚度较薄,这限制了栅电压的上限。在施加较大正向栅电压时,MOS 结构处于 积累态并且电容值趋向于饱和,此时栅介质需要承受很强的电压。由于生长薄氧 化层的工艺条件不能保证高可靠性,使得在强电场条件下,栅介质容易发生击穿, 不能有效测量器件。

在循环 C-V 测试中,对一个 MOS 结构进行多次从积累态向耗尽态方向的 C-V 测试,其中,每次扫描的起始电压从平带电压向积累态方向步进增加,而终止电压确定在相同的电压值。要避免终止电压确定在较大的负值,防止施加的反向电场使近界面缺陷发生放电过程^[93]。随着测试的进行,可以得到依次向正向偏移的 C-V 曲线,并提取每条曲线的平带电压,比较平带电压的差值,便可得到 C-V 曲线的偏移情况。本实验中,C-V 测量的交流频率为 1MHz,电压扫描方向从积累态向耗尽态进行。起始电压从 1.2 V 增加到 3.4 V,电压增加的步长为 0.2 V,终止电压统一确定为 0 V。没有经过紫外辐照退火样品的循环 C-V 测试结果如图 3.4 所示。



致 谢

图 3.4 参考样品的循环 C-V 测试结果。图中为依次进行的终止于不同栅电压的 C-V

曲线,测试使得曲线单调右移

为了提取平带电压,需要对 C-V 测试数据进行处理。对于处于耗尽态的 MOS 结构,耗尽层电容与栅电压的关系如下:

$$\frac{1}{C_{dep}} = \sqrt{\frac{1}{C_{ox}^2} + \frac{2 \times (V_g - V_{fb})}{q N_a \epsilon_s}} \approx \sqrt{\frac{2 \times (V_g - V_{th})}{q N_a \epsilon_s \epsilon_0}}$$
(3. 1)

其中, C_{ox} 为氧化层电容的值, ϵ_s 为碳化硅的相对介电常数,数值为 10, ϵ_0 为真 空介电常数,数值为8.85×10⁻¹² F/m, N_D 为衬底外延层的施主浓度。可以看出, 耗尽层电容与栅电压的平方成反比关系。当 SiC MOS 结构处于深耗尽态时,氧 化层的厚度可以忽略。做出耗尽层电容的平方的倒数关于栅电压的关系,并对深 耗尽区的数据进行线性拟合。理论上说,当 MOS 结构处于平带状态时,耗尽层 厚度趋近于零,耗尽层电容趋向于无穷大。因此,当 $\frac{1}{c_{dep}^2} = 0$ 时,栅极电压即为平 带电压。当确定半导体材料后,唯一影响斜率的变量为掺杂浓度 N_a 。通过提取斜 率并通过进一步计算即可得到有效掺杂浓度。

从图 3.4 中可以看出,随着循环 C-V 测试的进行,C-V 曲线单调向右移动。 这个过程和过渡层内近界面氧化层陷阱缺陷有关。当在栅极施加正向电压时, SiO₂/SiC 界面能带向下弯曲,费米能级向导带底方向移动。一方面,费米能级向 上移动时,费米能级以下的缺陷会被电子填充。另一方面,过渡层陷阱处于 SiO₂/SiC 界面附近的氧化层内,并存在一定分布。能带弯曲时,界面发生电子的积累,电子更容易隧穿到氧化层内的缺陷。这些缺陷释放电子更为困难,短时间内不会完全释放电子,只有经过高温环境下退火或者长时间静置后才能完全恢复^[94]。这些缺陷在经过第一次 C-V 测试后捕获电子,并作为固定负电荷存在,使C-V 曲线向正向移动。



图 3.5 紫外辐照退火中不同样品在循环 C-V 测试中平带电压的变化增量

各组样品在经过紫外辐照退火后,平带电压增量随不同起始电压的变化关系 如图 3.5 所示。从图中可以看到,随着起始电压的增加,平带电压的增量单调增 加。当起始电压较低时,SiO₂/SiC 界面的费米能级变化较为明显,有较多缺陷下 降到费米能级以下,因此发生明显的电子被捕获的现象。当起始电压较高时,SiC MOS 处于积累态,界面产生明显的电子积累。此时当栅极施加较高电压后,界 面产生对应数量的感生电子,衬底的能带弯曲不明显,电压降主要集中于氧化层。 氧化层强烈的弯曲使得氧化层内较高的缺陷能级下降到费米能级以下,而较高的 栅极电压会缩短积累电子与缺陷能级的横向距离,促进电子向氧化层内的缺陷能 级隧穿并形成准固定电荷^[95]。因此,平带电压增量可以表征近界面氧化层内电子 陷阱的数量。如果样品的缺陷更少,那么在循环 C-V 测试中会得到更小的平带 电压增量。从图 3.5 中可以看出,没有经过辐照退火的参照组 w/o UV 和辐照功 率为 800mW/cm²的样品的平带电压增量相似。辐照功率为 600 mW/cm²的样品 B 平带电压增量有少量降低,而辐照功率为 400 mW/cm²的样品 A 平带电压差 有明显的降低。通过紫外辐照对平带电压增量的影响,可以看出,紫外辐照退火 能够影响 SiC MOS 结构的近界面氧化层陷阱,并存在功率相关性。



图 3.6 栅极电压为 2.8V 时的平带电压增量

为了便于比较不同分组样品的平带电压增量,栅电压在 2.8V 时的电压增量 被提取并展示在图 3.6 内。因为图 3.5 中的曲线均为整体性的变化,因此选取确 定的栅电压对应的电压增量可以代表曲线整体的变化趋势。当没有经过紫外辐照 退火时,对照组的平带电压增量约为 0.06V。当辐照功率为 400 mW/cm²时,平 带电压增量有明显的下降。当进行更高功率的紫外辐照退火后,平带电压有所增 加,而当辐照功率到达 800 mW/cm²时,平带电压的增量恢复到与对照组相似的 数值。因此,平带电压增量随着辐照功率有先下将后上升的趋势。对应的,近界 面氧化层陷阱内的缺陷与平带电压增量有相同的变化趋势,如图 3.7 所示。从近 界面陷阱和辐照功率的关系可以看出,辐照引起的缺陷变化至少包含两种变化过 程: 1. 在低功率辐照时,缺陷数量下降的过程; 2. 在高功率辐照时,缺陷数量 增加的过程。考虑到 SiO₂/SiC 界面的化学组成的复杂性,初步猜测这些缺陷与近 界面氧化层内的 C 原子有关。假设近界面陷阱由包含 C 元素的结构组成,那么 在低功率辐照时,近界面氧化层内的 C 原子有所减少,而高功率辐照时,近界面 氧化层内的 C 原子有所增加。



图 3.7 近界面氧化层陷阱的变化趋势示意图

3.3.2 紫外辐照退火对界面态的影响

紫外辐照退火后 SiC MOS 结构的界面态测试使用 higi-low 法进行^[96]。测量 C-V 数据时使用 100kHz 的高频测试及 5kHz 的低频测试进行。通过对比高频及 低频的 C-V 曲线并通过计算,便可得到导带底附近的界面态分布情况。



图 3.8 紫外辐照退火后 SiC MOS 结构的界面态分布

紫外辐照退火后各组样品的界面态如图 3.8 所示。从图中看出,各组样品的 界面态浓度相近,没有发生明显的变化。这是因为半导体内的缺陷受到紫外辐照 的影响较弱。一方面,掺杂的半导体含有大量的载流子,当缺陷受到辐照发射电 子后,周围的电子能够及时补充到缺陷能级,这降低了紫外辐照破坏化学键的概 率:另一方面,晶体内的晶格原子能够稳定存在于自身的位置,使得辐照很难使 晶格原子发生移动,这使得即使化学键被高能光子破坏,缺陷移动的概率降低。 SiO₂/SiC 界面缺陷的形成能一般较低^[97],若缺陷原子没有发生明显的位移,缺陷 会捕获载流子后重新形成缺陷。综上所述,衬底内的缺陷一般具有较高的稳定性。 当辐照功率达到最大值 800 mW/cm²后,界面态浓度少量降低。这说明高功率的 紫外辐照有分解界面缺陷的潜力。SiO₂/SiC 界面的缺陷主要由 C 原子组成,这是 SiC MOS 结构比 Si MOS 结构存在更高界面态的主要原因^[98]。尽管在 Si MOS 结 构中,在 CO 气氛中经过高温退火后, SiO₂/Si 界面也会形成 C 元素的积累,并 使得界面态浓度显著增加^[99]。在经过高温氧化工艺后,SiO₂/SiC 界面处积累的 C 原子积累趋向于形成稳定的缺陷,这些缺陷很难通过传统的退火工艺去除^[100]。 因此,高功率紫外辐照降低界面态浓度的现象与辐照对界面 C 元素相关缺陷的 影响有密切的关系。紫外辐照退火对界面有两种效应,一方面,高能光子被缺陷 能级吸收, 使得缺陷的价电子激发, 打断化学键; 另一方面, 更多的高能光子被 半导体吸收,大量电子从价带跃迁到导带,形成非平衡载流子。界面处存在的大 量界面态促使非平衡的导带电子跃迁到低能级,并向晶格释放声子。界面声子的 产生及释放过程会促进被打断的 C 原子发生位移, 原有缺陷结构不能被恢复。在 进行低功率的紫外辐照时,虽然光子能够破坏缺陷结构的化学键,但是电子跃迁 引起的声子积累并不显著, 使得 C 原子没有足够的能量发生位移, 被激发的缺陷 结构能够被半导体内的电子再次填充,缺陷可以被恢复。但当辐照功率足够高时, 大量的非平衡载流子释放大量的声子,产生的晶格振动促进了被打断的 C 原子 的位移, 使得 C 原子摆脱原来的位置, 缺陷结构不能得到恢复, 使界面态缺陷发 生永久性的破坏。

3.3.3 紫外辐照退火样品的界面 XPS 表征

衬底在经过氧化后,表面形成厚度 7 nm 的氧化层,在经过紫外辐照退火后,使用 XPS 光谱进行物理表征。由于大气中的含 C 元素及含 O 元素容易附着在样品的表面,因此仅对 Si 元素能谱进行详细的分析。XPS 的检测深度为 5 nm,可以涵盖大部分的氧化层,而不包含衬底的成分。由于 SiO₂/SiC 界面是渐变的,部

分过渡层的成分变化也能反应在 XPS 测试中。所有的辐照样品都源于统一氧化的衬底,因此氧化层厚度相同,使得 XPS 测试中得到的不同结果仅源于紫外辐照退火对样品产生的影响。



图 3.9 紫外辐照退火前后氧化层的 XPS 曲线。(a)为对照组,(b)为辐照功率为 400mW/cm² 的样品,(c)为辐照功率为 800mW/cm² 的样品

不同紫外辐照退火功率的 Si 2p 谱如图 3.9 所示。其中,束缚能为 103.8 eV 的峰值代表 SiO2。对于纯 SiO2 的 XPS 谱,通常不会出现明显的伴峰^[101]。而对 于实验中得到的 XPS 测试结果中,均出现了 SiO2 的伴峰,这说明 XPS 检测到了 部分 SiO2/SiC 界面过渡层的信息。虽然通过电子显微镜观察界面看到的是突变 的结构,但是通过角相关 XPS (angle-dependent XPS)测量了 SiO2/SiC 界面附近 SiOxCy 的浓度及深度分布,发现从衬底向氧化层方向 C 原子浓度逐渐降低,并存在约 2nm 厚的过渡层^[102]。由于 SiO2/SiC 界面两端存在晶格失配引起的界面应 力,以及近界面氧化层内的 C 原子与 Si 形成化学键有关, Si 原子的化学键有更 多的组成形式。根据对界面现有研究,可以确定过渡层内存存在的物质以及对应 的峰位,分别对应 SiC、SiOC3、SiO2C2、SiO3C 和 SiO2^[103]。SiO2/SiC 界面的 Si 2p 谱分峰拟合结果如图 3.9 所示,并将各个峰分别标记为 S0、S1、S2、S3 和 S4。图(a)-(c)分别对应参考样品、辐照功率 400 mW/cm²的样品以及辐照功率为 800 mW/cm²的样品。在图(a)中,伴峰主要由 S1 峰构成,即过渡层存在较多的

SiOC₃。当对样品施加功率为 400 mW/cm²的紫外辐照退火后,图(b)中的伴峰向 左移动,伴峰中 S1 峰减弱,而 S2 明显增加,即过渡层内 SiOC₃ 含量减少,而 SiO₂C₂ 有所增加,这说明紫外辐照能够减少每个 Si 原子周围的 C 原子数量。紫 外辐照的高能量能够破坏 Si-C 键,并使 Si 原子更趋近于 SiO₂。而通过对比峰 S2 及峰 S1 之间的变化关系可以看出,C 原子并没有凭空消失,而是移动到其他的 Si 原子周围并形成新的结构。当对样品施加 800 mW/cm²的紫外辐照后,图(c)中 的伴峰向右移动并发生展宽。通过分峰拟合发现,S2 峰明显降低,而 S1 峰明显 增加,并且出现了 S0 峰。这说明过渡层内每个 Si 原子周围存在更多的 C 原子相 连,尤其 SiC 对应的 S0 峰的出现说明大量的 C 原子进入到过渡层内。因此, SiO₂/SiC 过渡层内的 C 原子浓度与辐照功率存在强相关性,当辐照功率较低时, 过渡层内的 C 原子被稀释,降低每个 Si 原子周围的 C 原子数量;而当辐照功率 较高时,更多的 C 原子被引入到过渡层内。

3.4 缺陷分析

提取 XPS 测试中 S0 峰及 S1 峰随紫外辐照功率的变化,并将 S0 峰和 S1 峰的强度加和对比平带电压增量,结果表示在图 3.10。



图 3.10 XPS 测试中, S0 峰及 S1 峰的变化关系,并于平带电压增量进行对比

如图所示,SO峰的强度在低辐照功率时明显降低,而在辐照功率时少量增加;另一方面S1峰的强度只有在高辐照功率下才会明显增加。将峰SO及S1的

强度加和发现,数值随着辐照功率的增加先降低后增加,这与平带电压增量的变化趋势相同。由于平带电压的不稳定由过渡层内电子陷阱引起,因此 SiO₂/SiC 界面的过渡层缺陷与 C 元素的分布存在强相关性。因此,紫外辐照退火能够影响过渡层内的缺陷结构,破坏 Si-C 键,并促使 C 原子向含碳量低的 Si 原子位置移动。在在高辐照功率下,XPS 检测范围内出现额外的 C 原子,并使得 Si 原子周围的 C 原子数量增加,因此过渡层内电子陷阱相关缺陷相应增加。SiO₂/SiC 界面处存在高浓度的 C 元素积累,这是最有可能的 C 元素来源。

紫外光源的波长为193nm,由以下公式可以得到单光子的能量:

$$E = \frac{hc}{\lambda} \tag{3.2}$$

其中, *E*为能量, 单位为 kJ; *h*为普朗克常量, 数值为*h* = 4.13 × 10⁻¹⁵ eV · s; *c* 为光速,数值为 $c = 3.15 \times 10^8$ m/s; λ 为波长。从式 3.2 得出,波长与能量之间 为唯一确定关系,通过计算得出,紫外辐照的单光子能量为6.42 eV。与C元素 相关的化学键能汇总在表 3.2 中。大多数化学键的能量均小于紫外光子能量,这 说明界面含 C 缺陷会受到紫外辐照的影响。其中,过渡层内会存在 C-O 键和 Si-C键,并目键能均小于光子能量,紫外光子可以破坏过渡层内的含碳结构,这也 验证了 XPS 测试中伴峰向左移动的现象。在靠近 SiO₂/SiC 界面的衬底内,存在 C 元素的积累, 大多以填隙原子的形式存在。当填隙 C 原子相互靠近时, 会形成 C元素的团簇。因此衬底内 C元素相关的缺陷主要表现为C – C键、C = C键和C = C键。其中, C – C键和C = C键的键能小于紫外光子能量, 而C ≡ C键的键能高于 紫外光子能量。因此,紫外辐照退火有破坏部分 C 相关缺陷的潜力。在界面态分 析中,当界面受到高功率紫外辐照后,界面态浓度有少量的降低,这暗示了紫外 辐照更够一定程度破坏界面态相关的缺陷。另外,由于界面附近的碳化硅衬底对 紫外光的强吸收,将能量转化成热能,因此被打断化学键的 C 原子更容易发生扩 散现象。这些 C 原子向氧化层方向扩散,增加了过渡层内 C 原子的数量,使得 每个 Si 原子周围含有更多的 C 原子,这对应这 XPS 样品中伴峰的右移及展宽。 SiC MOS 结构中,过渡层内的C原子引起的缺陷是构成近界面陷阱的重要因素, 因此高功率造成的 C 原子向过渡层扩散是使平带电压稳定性下降的重要原因^{[104,} 105]

化学键	键长 (pm)	键能 eV
C-C	154	3.441
C=C	134	6.333
Si-C	186	3.596
C-O	143	3.379
C=O	120	7.545
C≡C	120	8.675

表 3.2 C 相关化学键的键能

3.5 热氧化后的 SiO₂/SiC 界面分析

SiC 能够通过热氧化形成氧化层, 这与 Si 材料相似。 热氧化生长的氧化层致 密性更高,缺陷更少,能够保证栅介质的高可靠性,这使得碳化硅在化合物半导 体中更为突出。但是,热氧化过程除了 Si 氧化生成氧化层的过程,还包括 C 的 氧化过程。热氧化后 SiC MOS 结构的界面示意图如图 3.11 所示。由于 Si 元素和 C元素的化学性质差异,在SiO2/SiC界面处容易发生原子的积累或者耗尽。C原 子的原子序数更低,容易形成更强的化学键,并产生多样的生成物。另外,C原 子的原子半径更小, 使得 C 原子在固体中有较高的扩散系数。在氧化过程中, 衬 底内的 Si 元素生成 SiO₂, C 的存在会在界面产生 SiO_xC_y,这使得界面处的结构 更为复杂,而在过渡层内形成缺陷能级,这可以被上文的分析结果证明。由于这 些缺陷在近界面氧化层内分布,这使得缺陷捕获和释放电子的过程较慢,主要影 响平带电压的稳定性。还有一部分 C 原子没有及时被氧化,以 C 原子的形式脱 离氧化界面。发射到氧化层内的C原子会被氧化层内扩散的O原子进一步氧化, 形成气态生成物,而另一部分 C 原子会向衬底内发射形成填隙 C 原子。由于较 低的扩散激活能,这些填隙 C 原子在高温下会持续发生移动,当它们相互靠近 时,会形成更稳定的 C 团簇^[106]。C 团簇缺陷在近界面的衬底内占有一定的深度, 可以通过高功率辐照退火后,界面态仅有少量降低推测得出。衬底内的缺陷往往 捕获和释放电子的过程较快,主要影响不同频率下,界面态引起的电容差异。这 两种缺陷对于 MOSFET 均会造成不利影响。近界面氧化层陷阱会使器件的 C-V

曲线发生展宽,增加器件的开关过程。功率器件在高频应用中,开关过程产生的 损耗是功率损耗的主要部分。另外,C-V特性的展宽会降低器件的跨导,并降低 栅控能力,严重时会导致器件失效。界面态主要影响 MOSFET 的沟道性能。当 界面态缺陷被载流子填充时,在沟道内以固定电荷的形式存在。这些电荷会使载 流子发生库伦散射,降低载流子的平均自由程,造成沟道迁移率的降低。而高浓 度的界面态还会大量捕获沟道载流子,使实际的载流子浓度降低,增加了导通电 阻。SiC材料由于掺杂杂质的电离能普遍较高,往往存在较为明显的非完全电离, 尤其 p 型掺杂的非完全电离能够达到 30%。因此,必须降低 SiC MOS 器件的过 渡层陷阱及界面态。这一目标可以通过降低界面 C 元素的积累来实现。



图 3.11 热生长制备的 SiC MOS 中界面缺陷示意图

3.6 本章小结

本章节研究了 193nm 脉冲激光辐照退火在干氧氧化形成的 SiO₂/SiC 界面对 器件电学性能的影响,并通过 XPS 分析研究了 SiO₂/SiC 界面的缺陷。电学实验 结果表明,脉冲紫外光对 SiO₂/SiC 结构近界面氧化物陷阱的影响大于对近界面 衬底的影响。近界面缺陷与辐照功率之间不是线性的关系,暗示了紫外辐照退火 对界面至少存在两种作用。当紫外激光辐照功率较低时,部分近界面氧化层缺陷 减少。而当紫外激光辐照功率较高时,额外的 C 元素会向氧化层内发射,产生新 的缺陷并使电学性能下降。C原子是影响 SiO₂/SiC 界面性能的重要因素,因此制备 SiC MOS 结构时对 C原子的把控是保证高性能及高可靠性的重要因素。

第4章 低氧退火对 SiC MOS 的影响

4.1 实验背景

碳化硅(SiC)是一种具有高击穿电压、高导热系数和高饱和漂移速度的宽 带隙材料,这使得碳化硅器件在大功率应用场合中有不可替代的优势^[107]。在化 合物半导体中,碳化硅是唯一可以通过热氧化形成氧化层的半导体材料。热氧氧 化形成的栅介质致密性高,拥有良好的可靠性。由于 Si 工艺的发展使得热氧化 工艺趋于成熟,相关设备的开发更为迅速且成本较低,因此 SiC 的栅氧工艺能够 迅速发展^[108]。SiC 优良的物理性质能够使器件实现极高电下流密度,但是 SiC 功 率器件中的高电流密度会产生热量,提高工作温度。与硅器件相比,高温操作会 降低栅的可靠性,产生更多的缺陷^[109]。与化学气相沉积形成的 SiO₂ 介质层相比, 热氧化生长的氧化层具有更好的绝缘性、更高的击穿场强和更少的缺陷,这使得 热氧化成为 SiC MOS 器件必不可少的工艺。

由于 SiC 材料的宽禁带特性, 能带需要发生更大的弯曲才能使费米能级接近 带边。因此, 为了在 SiC-MOSFET 的反型层中产生足够的载流子, 栅电极经常施 加较高的电压, 同时栅介质必须承受较大的电场。另一方面, SiC 半导体能够承 受更高的功率密度, 这使得 MOS 界面处更容易形成热积累。虽然 SiC 的宽禁带 特性能够使其制备的器件工作在高温环境中, 但是氧化层在高温下更容易产生缺 陷。因此, 栅介质是 SiC MOS 中最为脆弱的部分, 热生长形成的氧化层质量直 接决定了器件的可靠性及寿命。虽然 SiC 材料能够通过高温氧化形成 SiO₂, 但是 折射率却低于 Si 材料生长的 SiO₂, 这说明 SiC 热生长氧化层的致密性较低, 更 容易产生氧化层缺陷。而氧化过程中在界面处发生 C 积累并形成 C 缺陷, 界面 处的缺陷容易产生电场的局部积累, 加剧早期的导电缺陷积累, 使栅介质更容易 发生击穿。为了减少 SiO₂/SiC 界面及氧化层内的缺陷, 通常在氧化后采用高温退 火工艺^[108,110]。在 NO、POCl₃等气氛中退火可以有效地 减少界面缺陷, 但额外 的元素会产生非本征缺陷, 使得界面结构进一步复杂。在本实验中, 我们研究了 Ar/O₂ 退火对 SiC 电容器可靠性和性能的影响^[111]。这种退火方法不会在 MOS 结 构中引入额外的元素。

4.2 低氧退火原理

与 Si 类似, SiC 在高温条件下与氧气反应, 生成 SiO₂ 层。由于 SiC 材料的 化学键更加稳定,氧化温度要远高于 Si 材料的热氧化工艺温度,只有在 1000℃ 以上才会有较为明显的氧化现象。SiC 干氧氧化过程的主要化学反应为:

$$2\mathrm{SiC} + 3\mathrm{O}_2 \to 2\mathrm{SiO}_2 + 2\mathrm{CO} \uparrow \tag{4.1}$$

$$\operatorname{SiC} + \operatorname{O}_2 \to \operatorname{SiO}_2 + \operatorname{C} \tag{4.2}$$

在氧化初期,氧气能够直接到达 SiC 表面,发生氧化反应。而随着氧化层厚度的增加,氧气对 SiO₂/SiC 的氧化过程分为三个步骤:

- 1. 氧气在反应腔内以扩散的形式穿过滞留层,运动到滞留层/SiO₂界面的过程;
- 2. 氧气以扩散方式穿过氧化层,到达 SiO₂/SiC 界面的过程;
- 3. 氧气和界面的 SiC 衬底发生氧化反应, 生成 SiO2 及 CO 气体的过程。



图 4.1 高温氧化过程中,氧气浓度的分布

图 4.1 描述了高温氧化过程中,氧气浓度在腔体及氧化层内的分布情况。其中,CG表示腔体内距离晶圆片较远位置处的气流中氧气的浓度,Cs表示晶圆片表面附近气体中氧气的浓度,Co表示晶圆片表面附近氧化层内的氧气浓度,Cr表

示 SiO₂/SiC 界面处氧气的浓度。SiC 的氧化反应速率与衬底的晶向存在相关性, 而 C 面衬底的氧化速率比 Si 面衬底的氧化速率高出 8-15 倍。这使得界面反应速 率对氧化过程影响较为明显。Si 面的界面氧化速率较慢,使得氧气在界面处发生 堆积,趋向于 SiO₂表面处的浓度。此外,由于 SiC 的氧化过程需要较高的温度, 氧气在氧化层内的扩散系数较高。而 SiC 热氧化形成的氧化层较为疏松,使得氧 气更容易在氧化层内进行扩散。此时,SiO₂ 的生长速率主要由 SiC 表面的化学反 应速率控制,这种现象被称为化学反应控制的氧化过程。只有当氧化层厚度大于 100nm,SiC 表面的氧气浓度才会有明显的下降。氧气到达 SiC 表面时,与衬底 立即发生反应,生成SiO₂和 CO,此时的氧化速率决定于氧气输运到界面的速率, 此现象被称为扩散控制的氧化过程。一般功率应用中,SiC MOS 结构的栅氧厚度 的特征值为 50nm,此时的氧化为化学反应控制的氧化过程。



图 4.2 高温氧化过程中, C 元素相关生成物的气体浓度分布

由于 SiC 衬底内的 C 元素,使得氧化过程更为复杂,如图 4.2 所示。SiC 衬底在氧化后,除了生成了 SiO₂ 氧化层,还生成了 CO 或者 CO₂ 气体。类似于氧化过程中氧气的分布规律,C 元素相关的生成物在氧化层内也分为三个步骤:

1. 氧化反应后,界面生成 SiO2 层及一定浓度的 C 元素气体的过程;

2. C 元素气体通过扩散的方式穿过氧化层,到达 SiO₂/滞留层的过程;

 C 元素气体通过扩散的方式从到达 SiO₂/滞留层界面,穿过滞留层并运动 到反应腔的过程;

过多的 C 元素气体在 SiO₂/SiC 氧化界面的堆积容易对界面产生不利的影响。 一方面,在生长 SiO₂ 层的同时,碳元素相关气体会在氧化层内占据一定空间, 这使得氧化层更容易出现较大的空洞及较多的悬挂键,是导致 SiC 热氧化层致密 性降低的重要原因。另一方面,生成物在界面的堆积会抑制 SiO₂/SiC 界面处的氧 化反应,使氧化过程向式(4.2)的氧化反应路径偏移,在界面处形成 C 元素积累。 因此,高浓度氧气的氧化过程对在 SiO₂/SiC 界面处产生严重的 C 积累,并进一 步降低界面电学性质及氧化层的可靠性。







图 4.3 降低氧气分压后,氧气及 C 气体的分布示意图

SiC 的氧化过程还有其独特性。SiC 界面在高温环境下,会发生界面原子的严重扩散现象。在热氧化后进行纯 Ar 退火,氧化层的可靠性发生明显的降低,

通过元素分析发现氧化层内发生了严重的 C 元素积累。这是因在热氧氧化后的 SiO₂/SiC 存在高浓度的 C 元素积累,以 C 单质或高温易分解的结构形式存在, 而高温环境促进了 C 元素向氧化层内的扩散运动。氧化过程中,界面处也会发生 C 元素和 Si 元素向界面两侧的发射过程,使得 SiC 的初期氧化速率较高,随着 氧化层厚度的增加,氧化速率趋于恒定值。C 元素向衬底的发射会提高衬底内 C 元素浓度的增加,更容易产生缺陷的积累,造成电学性能的退化。向氧化层内发 射的 Si 原子和 C 原子也是导致栅介质可靠性退化的重要原因,因此需要抑制衬 底原子向氧化层内发射的过程,并对这些原子进行氧化。

可以通过在高温条件下,使用低浓度氧气进行退火来改善界面。降低高温工 艺中氧气的分压,能够降低到达界面的氧气浓度,从而降低了氧化速率和 C 元素 生成物,如图 4.3 所示。一方面,缓慢的氧化速率能够减少 C 元素气体的生成, 能够促进反应(4.1)的进行,并且能够增强过渡氧化层的致密性;另一方面,界面 向氧化层发射的 Si 原子和 C 原子数量减少,更容易被氧化层内扩散的氧气氧化, 从而减少间隙原子的残留,改善氧化层可靠性。

在超高温氧化后,降低氧气浓度能够减少非必要的氧化过程及其引起的性能 下降,通常在置换气体后再进行降温。当氧气浓度低于 10%时,电容特性的变化 较小[112]。而降低一个数量级的氧气浓度进行对比实验也是合理的,因为过低的 氧气浓度使得氧气的作用过小而被忽略。因此实验使用 Ar/O2 = 9/1 的气氛进行 退火。

4.3 实验设置

实验使用 4°偏角的 4H-SiC 外延片,晶向为 Si 面(0001 面)。外延层为 n 型, 掺杂浓度约为8×10¹⁵ cm⁻³。在经过标准 RCA 清洗后,晶圆放置在 1300℃标准大 气压下进行干氧氧化。通过积累态电容计算得到的有效氧化层厚度约为 50 nm。 将样品分为四组,分别标记为 1#, 2#, 3#和 4#。之后样品分别被放置在 Ar/O2 = 9/1 的气氛中退火 15 min,退火温度为 1300℃~1500℃,详细退火条件如表 4.1 所 示。使用负性光刻胶在晶圆项部形成图形,并在晶圆项部蒸发厚度为 200 nm 的 Al 金属层,通过剥离技术去除光刻胶及光刻胶上面的 Al 层,形成 MOS 电容的

Al 金属层。使用 BOE 腐蚀液去除背面的氧化层,最后在背面蒸发厚度 200 nm 的 Al 金属层形成背部电极。

分组		退火工艺	
	气氛	温度	时间
1#	-	-	-
2#	Ar/O2=9:1	1300°C	15min
3#	Ar/O2=9:1	1400°C	15min
4#	Ar/O2=9:1	1500°C	15min

表 4.1 退火工艺的条件

SiC MOS 制备后,对各组样品进行了 C-V 测试及可靠性测试。测试使用 Keysight B1500A 设备,并使用探针台进行电学连接。通过高频 C-V 测试(1MHz), 提取了饱和电容,并计算得到不同退火条件下氧化层的变化。使用高低频 C-V 测试,得到了高频条件(1MHz)和低频条件(10kHz)下的电容-电压特性,并通过 high-low 法计算得到了不同退火条件下,SiO₂/SiC 导带下 0.2~0.6 eV 范围内的界面态 浓度。测试了不同退火条件下,氧化层的栅漏电-电场关系,并计算了 F-N 势垒。通过 TDDB 测试得出了多个样品的电流-时间关系,并通过统计学计算得到各组 样品的击穿电荷。

4.4 低氧退火对 SiC MOS 性能的影响

4.4.1 低氧退火对高频 C-V 特性的影响

为了提取 SiC MOS 氧化层厚度,测试了样品的高频 C-V 特性。测试得到的 C-V 特性如图 4.4 所示。从图中可以看出,当栅电压为负值时,各组样品的电容 值相近,此时样品处于耗尽态,SiO₂/SiC 界面下的衬底内形成耗尽区,而耗尽区 内载流子浓度极低,只有在耗尽区边界才会有较多的载流子聚集。因此,此时 SiC MOS 结构相当于介质为氧化层和耗尽层串联的电容结构。由于外延掺杂浓度较 低,使得耗尽层宽度远大于氧化层的厚度,因此各组样品可以近似看作介质为耗 尽的碳化硅材料的电容结构,此时各组样品测得的电容值近似相等。当栅电压为 正值时,测得的电容值存在较大差异,此时样品处于积累态。即使增大栅极电压 的绝对值,电容值的变化几乎不变。这是因为在 SiC MOS 处于积累态时,不存 在耗尽层,施加的正向电压的主要用于在 SiO₂/SiC 界面产生镜像电荷,此时 SiC MOS 结构为介质为氧化层的平板电容器。由于电容值不随外加电压变化,因此 可以通过平板电容器的公式计算得到有效氧化层厚度:

$$d_{ox} = A \times \frac{\epsilon_{SiO2} \cdot \epsilon_0}{C_{acc}}$$
(4.3)

其中,A为电容上极板金属的面积, ϵ_{sio2} 为氧化层的相对介电常数, ϵ_0 为真空介电常数, C_{acc} 为积累态电容。



图 4.5 各组样品的有效氧化层厚度

提取个样品的有效氧化层厚度,如图 4.5 所示。经过低氧退火的样品氧化层 都有不同程度的增加。当工艺温度达到 1500℃时,氧化层厚度增加明显,SiC 衬 底发生了明显的氧化现像。而工艺温度为 1300℃和 1400℃时,氧化层厚度只有 少许增加。以上现象与干氧氧化速率关于温度的关系相似^[113]。值得注意的是, 工艺腔内气体的通量是一致的,因此在 1300℃~1400℃时,氧气的供给是足够多 的,此时氧化现象并不明显。缓慢的氧化反应可以减少 C 元素气态生成物的产 生,并减少向界面两侧发射 Si 原子和 C 原子的数量^[114, 115].。另外,氧化层内足 够的氧气浓度能够氧化发射的填隙原子,并提高氧化层的致密性,进一步改善过 渡层的质量。因此,在工艺温度为 1300℃~1400℃时,可以看作是一种退火工艺。

4.4.2 低氧退火对界面态的影响

为了表征低氧退火对 SiO₂/SiC 界面缺陷的影响,测试了各组样品高低频 C-V 特性。其中高频频率为 1 MHz,低频频率为 10 kHz,交流信号电压为 30 mV。 为了减少近界面陷阱的充电现象,在经过多次 C-V 测试, C-V 曲线趋于一致后, 进行正式测试。直流电压从耗尽态向积累态扫描,起始电压为-5 V,终止电压为 15 V。使用 high-low 法对测得的 C-V 特性进行处理,并进一步计算出导带下 0.2~0.6 eV 范围内的界面态密度。各组样品的界面态密度如图 4.6 所示。通常来 说,4H-SiC 的宽禁带特性,使得导带附近存在较高的界面态密度,而随着向禁带 中部移动,界面态密度会有所降低。在进行低氧退火后,界面态密度并没有产生 单调的变化。当工艺温度为 1300℃~1400℃时,界面态密度有所增加,而当工艺 温度达到 1500℃后,界面态密度有所降低。这似乎与实验设计的最初目的是相 违背的,退火工艺并没有很好的改善 SiO₂/SiC 界面质量。

界面态缺陷主要来源于近界面衬底内的缺陷,而氧气并不能穿过界面到达衬底内而降低缺陷浓度,氧化只会在界面处进行。由于 4H-SiC 是 4°偏角斜切形成的,在氧化界面处会产生晶格尺寸的阶梯结构,此处的化学能较低,是氧化主要产生的位置。另一方面,缓慢氧化会造成缺陷在衬底内的堆积。低速率的氧化会使氧化界面几乎静止,此时衬底内可移动的填隙 C 原子会发生随机移动。由于近界面衬底的复杂性,使得 C 原子更容易发生聚集,形成团簇结构,并在禁带中形成缺陷能级,成为界面态^[111,114,116,117]。缓慢的氧化速率使得这些 C 元素有足

够的时间聚集并形成高浓度的界面态。因此,工艺温度为1300℃~1400℃时,界 面态密度比只进行氧化的样品高。工艺温度为1500℃时,氧化速率快,氧化界面 会向衬底快速移动^[118].。此时 C 缺陷在界面处聚集的时间短,难以形成大量的 C 元素积累,因此界面态密度低于只氧化的样品。除此之外,工艺温度还会影响填 隙原子的扩散距离。当工艺温度升高时,填隙原子扩散的距离增加,因此会降低 填隙原子的密度。尽管 C 填隙原子仍然会向界面位置聚集,但是低浓度的填隙原 子缓解了 C 团簇的聚集程度。因此,快速的氧化速率有利于降低界面态,并改善 界面的电学性质。



图 4.6 不同样品的界面态密度

4.5 低氧退火对 SiC MOS 可靠性的影响

4.5.1 低氧退火对击穿电场的影响

为了表征 SiC MOS 栅氧化层在不同退火条件下的耐压特性,我们对各组器件测试了栅介质的电流密度-电场(J-E)特性。测试时,栅电压从 0V 向正向匀 速扫描,速率为 1 V/s,同时测试对应电压的电流值,直到器件发生击穿为止。 不同退火工艺的 SiC MOS 器件的 J-E 特性如图 4.7 所示。由于栅氧在形成过程中存在缺陷,使得击穿电场降低,因此通过统计的方式对各组器件进行总结。不同退火条件下栅氧化层的击穿电场统计如图 4.8 所示。如图所示,SiC MOS 栅氧化层的击穿电场在 8 MV/cm 左右。其中,只进行氧化的样品击穿电场为 8.01 MV/cm, 在 1300℃低氧退火的样品击穿电场为 7.96 MV/cm。因此,在进行低氧退火后, 栅介质的击穿特性没有明显的变化。在进行 1400℃的低氧退火后,击穿电场为 7.70 MV/cm, 1500℃的地氧化退火后,击穿电场为 7.62 MV/cm。通过比较可以 看出,在进行更高温度的低氧退火工艺后, 栅氧化层的击穿特性有所降低。







另外,不同退火工艺击穿电场的方差也存在差异。为便于比较,各组样品击 穿电场的标准差总结在表4.2中。在进行退火后,击穿电场的标准差均有所下降, 说明热氧化工艺形成的氧化层缺陷存在较大的离散性,虽然偶尔能够得到更高的 氧化层质量,但是这种离散性使得低击穿电场的样品数量仍然可观。因此综合比

较,在进行 1300℃低氧退火后,虽然击穿电场的均值与没有经过退火的样品相近,但是 SiC MOS 的有效击穿电场是增加的。

样品		击穿电场	标准差
		(MV/cm)	(MV/cm)
	1#	8.01	0.0886
	2#	7.96	0.0299
	3#	7.70	0.0552
	4#	7.62	0.0722

表 4.2 不同退火工艺的击穿电场及标准差

4.5.2 低氧退火对界面势垒的影响

理想状态下,当 SiO₂和 SiC 接触时,由于材料本身决定了能级结构,使得 SiO₂/SiC 的界面势垒为确定的值。但是,在实际情况下,接触界面存在界面态及 固定电荷,形成局部电场,进而导致界面能带发生变形,使 SiO₂/SiC 界面的有效 势垒发生变化。通过对栅氧化层的 I-V 特性进行进一步分析,可以得出 SiO₂/SiC 界面的有效势垒高度。在图 4.7 中,在经过不同的退火工艺后,各组样品的栅漏 电有所变化。当栅电场低于 5 MV/cm 时,栅漏电流低于测试设备的精度,表现 出噪声信号。当栅电场高于 5 MV/cm 时,栅漏电流增加到测试设备的精度,表现 出噪声信号。当栅电场高于 5 MV/cm 时,栅漏电流增加到测试设备的精度,表现 点,随着栅电场的增加,栅漏电流近似指数增加。当栅电场达到 8 MV/cm 后, 栅漏电急剧增加,栅介质发生击穿。对比电场在 5 MV/cm~8 MV/cm 范围内可以 发现,在经过 1300℃~1400℃的低氧退火后,栅漏电相比没有经过退火工艺的样 品有所增加。而在进行 1500℃的低氧退火后,栅漏电相比没有经过退火工艺的样 品有所增加。而在进行 1500℃的低氧退火后,栅漏电的机制。当栅电场高 于 5 MV/cm 后,氧化层能带在电场的影响下变形成为三角形势垒,这使得栅介 质的有效隧穿势垒变窄,沟道内积累的电子更容易通过隧穿达到栅电极形成栅漏 电流。通过 SiC MOS 电容的 J-E 关系可以求出 SiO₂/SiC 界面的有效势垒高度。

F-N 电流IFN 由下式给出:

$$I_{FN} = A_G A E_{ox}^2 \exp(-\frac{B}{E_{ox}})$$
(4.4)

其中, A_G是栅面积, E_{ox}是栅电场, A和B为系数。将式(4.4)变形得到:

$$\ln\left(\frac{I_{FN}}{A_G E_{ox}^2}\right) = \ln\left(\frac{J_{FN}}{E_{ox}^2}\right) = \ln(A) - \frac{B}{E_{ox}}$$
(4.5)

系数 A 和系数 B 由下式给出:

$$A = \frac{q^3 \left(\frac{m}{m_{ox}}\right)}{8\pi h \Phi_B} \tag{4.6}$$

$$B = \frac{8\pi\sqrt{2m_{ox}\Phi_B^3}}{3qh} \tag{4.7}$$

其中, m_{ox} 为有效电子质量, m是自由电子质量, Φ_B 是 SiO₂/SiC 界面的有效 势垒高度, q是电子电荷量, \hbar 是普朗克常数。从式(4.6)和式(4.7)可以看出, A 和 B 都可以得出有效势垒高度。由于拟合斜率的精度较高,通常通过式(4.5)拟合得 到B的值, 再计算得到有效势垒高度。将 SiC MOS 电容的 J-E 关系转化为ln($\frac{J}{E_{ox}}$) 和1/ E_{ox} 的关系, 即 Fowler-Nordheim 关系, 如图 4.9 所示。



图 4.9 SiC MOS 电容的 Fowler-Nordheim 曲线

通过拟合并计算得到 SiO₂/SiC 界面的 F-N 势垒高度,如图 4.10 所示。通过 观察发现,在经过 1300℃~1400℃的低氧退火后,F-N 势垒有所降低;而在进行 1500℃的低氧退火后,F-N 势垒明显增加。但是另一方面,计算得到的 F-N 势垒 最低值接近于 1.8 eV,远低于 SiO₂/SiC 界面势垒的理论值。推测是因为栅漏电流


中包含其他的导电机制,使得栅漏电随电场的变化更加复杂。

我们根据式 4.4 描绘了 J-E 曲线,如图 4.11 所示。随着 F-N 势垒的降低,电 流密度也随之降低。尽管 F-N 势垒会造成电流大小的差异,但是函数图像的形状 都呈现出亚线性的形状。对比实验中的 J-E 曲线发现,图 4.7 中的 J-E 曲线在较 低电场下呈现亚线性,而在较高电场下呈献线性,而在临近击穿时呈现超线性。 因此,选择亚线性区域的 J-E 曲线进行拟合才能得到准确的 F-N 势垒。

合理选择 J-E 曲线的亚线性范围,做出 Fowler-Nordheim 关系并进行线性拟合,数据及拟合直线如图 4.11 所示。通过观察,拟合直线与数据符合程度高。拟合得到的数据如表 4.3 所示。各组数据拟合曲线的 R 平方值皆高于 0.99,说明拟合效果极佳,拟合数据较为准确。通过式 4.7 计算得到的 SiO₂/SiC 界面 F-N 势垒,即界面的有效势垒高度,通过统计得到的界面势垒高度如图 4.13 所示。可以看出,数据的标准差较低,数据存在较少的交叠范围,因此数据的变化趋势可信。



图 4.11 根据 Fowler-Nordheim 关系做出的 J-E 函数曲线



图 4.12 经过数据选择的 Fowler-Nordheim 曲线及拟合直线

表 4.3	线性拟合相关参数

分组	斜率 B	截距 Ln(A)	R平方
as-ox	1.15	-26.39158	0.99961
1300℃	1.09	-26.64318	0.99986
1400°C	1.03	-27.17387	0.99995
1500℃	1.42	-24.22363	0.99894



图 4.13 经过优化数据得到的 SiO₂/SiC 界面势垒高度

在 SiC 经过干氧氧化后,界面势全高度稍高于 2.2eV。当退火温度低于 1400℃时, F-N 势垒随退火温度升高而降低。当退火温度达到 1500℃时, F-N 势垒急剧 增加到 2.69eV,接近理论 SiO₂/SiC 界面势垒高度。

4.5.3 栅氧化层的 Poole-Frenkel 电流

在测试 SiC MOS 电容的 J-E 特性时,如图 4.7 和图 4.14 所示,高电场处出 现了线性区及超线性区,这说明栅漏电在高电场下存在多种机理。由于 SiC 氧化 过程会在过渡层产生大量的缺陷结构,因此高电场的异常电流很可能与氧化层内 的缺陷相关^[119]。在 Poole-Frenkel 效应中,界面处的电子会被氧化层内的陷阱捕 获。在施加较大电场下,电子会有一定概率通过热扰动获取能量进入导带,在下 一次被捕获前,通过电场的作用发生一定距离的漂移。氧化层被施加的电场较大 时,电荷进入导带需要的能量会有所降低,因此电子进入导带发生漂移的概率会 明显增加^[120]。

Poole-Frenkel 电流的公式如下:

$$J_{PF} = C_{PF} E_{ox} \exp\left(-\frac{q\Phi_T - \xi\beta_{PF}\sqrt{E_{ox}}}{k_B T}\right)$$
(4.8)
$$\beta = \sqrt{\frac{q^3}{\pi\epsilon_0\epsilon_\infty}}$$
(4.9)

其中, C_{PF} 为陷阱相关的常数, ξ 为受注杂质的补偿系数, k_B 为玻尔兹曼常数,T

为温度, Φ_T 为相对于氧化层导带的陷阱能级, ϵ_0 为真空介电常数, ϵ_∞ 为氧化层 高频下的介电常数。



图 4.15 栅漏电的分解

下面我们将提取高电场栅电流并拟合,并验证 P-F 电流的存在。由于精确计算 P-F 电流需要较大温度范围的变温测试,因此这里只进行 P-F 电流存在性的验证。首先提取额外的电流密度,通过测得的 F-N 势垒计算得到测试电场范围内的理论 F-N 电流,然后通过将测试栅漏电与理论 F-N 电流做差得到额外电流密度,如图 4.15 所示。然后通过式 4.8 对计算得到的额外电流进行拟合,如图 4.16 和

图 4.17 所示。通过拟合发现,高电场下的拟合效果较好,但是在对数坐标中,电场低于 7.5MV/cm 时有较大偏移。因此我们提取对数坐标中电场高于 7.5MV/cm 的线性部分进行拟合。



图 4.16 额外栅漏电流的 P-F 拟合,纵坐标为线性坐标



图 4.17 额外栅漏电流的 P-F 拟合,纵坐标为对数坐标

对通过差值得到的额外电流进行拟合,得到的结果如图 4.18 和图 4.19 所示。拟合曲线与数据在线性坐标和指数坐标中都具有良好的拟合效果。拟合曲线的 R 平方值如表 4.4 所示,均高于 0.99,说明拟合较为可信。另外,表 4.4 总结了拟合得到的氧化层 P-F 导电的相对于导带的陷阱能级。对于没有退火及

1400℃以下低氧退火的样品, P-F 缺陷能级为导带下 1.92 eV, 而当退火温度达 到 1500℃时, P-F 缺陷能级降低为 1.43 eV, 说明氧化层内形成了新的缺陷。大 连理工大学通过第一性计算得到, SiO₂ 导带下方 1.9 eV 附近的缺陷与 Si-Si-Si 结构及周围的氧分子有关^[121]。Fabien 等人通过第一性原理计算得到, SiO₂ 导带 下方 1.41 eV 的缺陷与氧化层内的 C-C 键有关^[122]。1500℃的低氧退火后, P-F 能带更靠近导带,并与 C 缺陷相关,说明剧烈的氧化作用在氧化层内发射了大 量的 C 原子,使得栅漏电进一步增大。







图 4.19 高场额外电流对数坐标的 P-F 拟合

分组	Φ_T	R 平方
as-ox	1.92643	0.99872
lp1300	1.91821	0.99937
lp1400	1.91599	0.99853
lp1500	1.43314	0.99937

4.5.4 低氧退火对 TDDB 可靠性的影响

为了表征山氧化层的可靠性,我们测试了 TDDB 特性。在室温环境下,首先 通过 TZDB 对击穿电压进行测试,然后将恒定电压设置在接近击穿电压的数值, 测试电流密度-时间的关系。然后将电流密度对时间进行积分,即可得到 SiC MOS 栅氧化层的击穿电荷^[123],即:

$$Q_{BD} = \int_0^{t_{BD}} J(t) \,\mathrm{d}t \tag{4.10}$$

其中, Q_{BD}为单位面积的击穿电荷, t_{BD}为击穿时间, J(t)为在时间为t时的电流密度。测试时,每组抽取多个样品进行 TDDB 测试,并进行统计计算。击穿电荷通过 Weibull 分布进行计算,它是统计氧化层质量的重要函数。



图 4.20 各组样品的击穿电荷数据

TDDB 的数据如图 4.20 所示,其中纵坐标为 $\ln(-\ln(1-F))$ 。F 表示累计失

效率,为在时间t时失效样品的数量占总样品数量的比例。与没有退火的样品相比,1300℃退火使数据向右移动,而更高的退火温度使数据向左移动。说明氧化物的可靠性与退火温度有关。当退火温度为1300℃时,在击穿发生之前,氧化物中可以注入更多的电子。而当退火温度高于1400℃时,在发生击穿之前,氧化物中注入的电子较少。



图 4.21 累计失效率为 62.3%的击穿电荷

为了更直观的对比数据,将图 4.20 的数据进行拟合,并取纵坐标为 0 的值, 即累计失效率为 63.2%的数据作为各组的击穿电荷,如图 4.21 所示。在经过 1300℃ 的低氧退火后,的氧化层击穿电荷达到最大值;而当退火温度高于 1400℃后,击 穿电荷单调降低,并低于未经过退火的样品。1300℃低氧对火使 QBD 增加说明氧 化层的缺陷数量降低。SiC MOS 器件在使用过程中,氧化物中注入的电子会在氧 化物中激活生缺陷。当缺陷累积到一定程度时,就会发生故障。氧化物中缺陷的 减少能够提高氧化层对注入电荷的耐受能力。当退火温度高于 1400℃时,击穿 电荷降低,说明氧化层内产生了额外的缺陷。退火温度为 1400℃时,氧化可以忽 略不计,因此缺陷的形成来源于碳元素的积累,这降低了氧化物的可靠性^[116,118]。 样品 4#氧化明显,氧化物中形成了高密度的亚氧化物组分。这些亚氧化物组分 加速了近界面氧化物中缺陷的积累,QBD 降低^[124]。另外,剧烈氧化过程向氧化层 内引入的 C 原子也是造成氧化层可靠性下降的重要因素^[122]。

4.6 本章小结

本章节中,我们讨论了低氧退火(Ar/O₂=9:1)中,退火温度对 SiC MOS 界面 性能及器件可靠性的影响。我们发现,界面态及氧化物的可靠性与退火温度有关。 退火温度为1300℃时,氧化后的氧化层可靠性增加,但随着退火温度的升高,栅 氧可靠性降低。当退火温度低于1500℃时,F-N 势垒随退火温度的升高而减,但 1500℃的退火温度会发生剧烈氧化现象并明显提高势垒高度。另外,1500℃退火 温度同时也会有效降低界面态密度。通过分析电流密度-电场关系发现,1500 摄 氏度的低氧退火会造成 C-C 结构相关的漏电,间接说明了界面特性及可靠性与 C 元素的积累有关。因此,不同温度的 Ar/O₂=9:1 气氛退火可以有效地降低界面 态密度或提高氧化物的可靠性,但是要同时获得最佳的性能和可靠性是很困难的。

第5章 双退火对 SiC MOS 的影响

5.1 实验背景

碳化硅金属氧化物半导体场效应晶体管以其优异的物理性能有望取代硅基 功率 MOSFETs。与其它化合物半导体相比,SiC 是唯一能通过热氧化形成氧化 层的材料,它能使硅工艺直接转移到 SiC 上。然而,在氧化过程中会产生与碳相 关的缺陷,使 SiC-MOSFETs 的电学性能降低^[110,125]。此外,氧化层与 4H-SiC 之 间的势垒高度小于氧化层与 Si 之间的势垒高度,SiC MOS 器件的栅漏电流增大 ^[126]。界面态缺陷也会降低开关速度,从而影响工作频率和开关损耗^[127]。为了提 高 SiC MOS 器件的性能和可靠性,在特定气氛下进行高温退火得到了广泛的研 究。

NO 是最常用的退火气体,它能有效地减少界面和近界面氧化层的缺陷^[128-130]。在 NO 退火条件下,N 原子被引入 SiO₂/SiC 界面,钝化了界面缺陷^[131]。同时,过多的 N 原子也被引入界面附近的氧化层中,导致 SiC MOSFETs 的阈值电压降低,这将增加器件成为常开器件的风险^[105]。特别是在 NO 退火时间过长的情况下,界面上的 N 原子浓度将达到饱和,N 原子将不断累积到氧化层^[132].。过量的 N 原子也降低了 MOS 器件沟道的迁移率^[133]。过渡层复杂的化学结构和应力分布是界面附近氧化层中 N 原子过度聚集的原因^[134,135]。在 NO 退火前通过改变界面质量可以改善 MOS 器件的参数。我们猜想在低氧分压下进行高温退火可以减少 C 副产物,减少过渡层中的缺陷,从而增强不退火对 SiC MOS 电容器的影响^[118,136]。本实验分别验证了连续进行低氧分压退火和 NO 退火的双退火对 SiC MOS 电容器的影响^[118,136]。本实验分别验证了连续进行低氧分压退火和 NO 退火的双退火对 SiC MOS 电容性能和可靠性的影响。

5.2 实验设置

实验使用向(11-20)方向偏角 4°的 n 型 Si 面 4H-SiC 外延片,施主浓度为 8×10¹⁵cm⁻³,制备 MOS 电容结构进行实验。外延片在经过美国标准无线电公 司(RCA)清洁之后,在1250℃纯氧环境下进行 90 分钟的干氧氧化。测试电容 的累积电容可以计算氧化层的有效厚度约为 50 nm。将样品分组进行高温退火处

理,退火过程在标准大气压下,含有 10%氧气的 Ar 气中进行。低氧退火的温度 为 1300℃~1500 摄氏度,退火时间为 15min,这个时间长度足以体现退火的效果 ^[118,137]。然后将各组的部分器件进行相同条件的 NO 退火,为了防止过多的 N 元 素在界面积累,退火时间为 30min^[132]。值得注意的是,低氧退火本质上是一个缓 慢的氧化过程。由于氧气浓度低,处理时间短,只产生少量的氧化,因此称之为 退火,以强调界面附近的影响。退火条件详见表 5.1。

样品	气氛	温度
As-ox	-	-
lp1300	O ₂ /Ar=1:9	1300 ℃
lp1400	O ₂ /Ar=1:9	1400 ℃
lp1500	O ₂ /Ar=1:9	1500 ℃
	O ₂ /Ar=1:9	1300 ℃
ip1300+NO	NO/N ₂ =1:9	1300 ℃
lp1400+NO	O ₂ /Ar=1:9	1400 ℃
	NO/N ₂ =1:9	1300 ℃
	O ₂ /Ar=1:9	1500 ℃
Ip1500+NO	NO/N ₂ =1:9	1300 ℃
NO1300	NO/N ₂ =1:9	1300 ℃

表 5.1 各组样品的退火气氛

退火工艺后,在氧化层上蒸发 200nm 铝金属作为栅电极,在 SiC 衬底的背面电极同样的铝金属作为背电极,制备了 MOS 电容器。SiC MOS 电容器的结构如图 5.1 所示。



图 5.1 SiC MOS 电容的结构示意图

5.3 双退火对 SiC MOS 性能的影响

5.3.1 Cycle C-V 测试

在对 SiC MOS 电容进行 C-V 测试中发现,多次测试得到的 C-V 曲线存在不同程度的漂移。将测试频率设置为 1MHz,直流电压扫描方向从耗尽向积累进行,多次测量后发现,随着重复次数的增加,C-V 曲线向积累态方向漂移,平且漂移量急剧降低,后续的 C-V 曲线重合,达到稳定态。我们选择各组样品第一次和最后一次的高频 C-V 曲线,并提取平带电压,如图 5.2 和图 5.3 所示。



本实验中对于 Al 电极的 SiC MOS 器件,理想平带电压为 0.46 V。从图中可 以看出,各组样品的平带电压均高于理想平带电压,说明界面处积累了负有效电 荷,这与 SiO₂/SiC 界面缺陷有关。在经过氮化退火后,氮原子在界面处发生积累 ^[138]。氮元素的引入能够钝化界面处的缺陷,但是同时会在界面附近氧化物中引 入空穴陷阱^[105]。这些陷阱能够捕获空穴并表现为正电荷,导致 C-V 曲线向负方 向移动^[105,139]。然而,过度降低的平带电压会降低 SiC MOSFETs 的阈值电压, 甚至使器件退化为常开器件,这对功率器件是不利的。1300℃的低氧退火样品的 C-V 曲线与只 NO 退火的样品相比有轻微的正向移动,表明低氧退火钝化了部分 缺陷。另一方面,但样品 Ar/NO1300 与样品 NO1300 相比有轻微的右移,这意味 着低氧退火钝化的缺陷抑制了 N 原子在 SiO₂/SiC 界面的聚集,从而减少了空穴 陷阱的产生。



图 5.4 测试前后平带电压差

测试后产生的平带电压差并不是真正的固定电荷,在测试过程中,界面费米 能级的移动使得处于禁带内的部分界面缺陷捕获电子,但这些缺陷捕获电子后不 能及时释放,在测试过程中表现为固定电荷。为了提取这些电荷,我们将测试前 后的平带电压做差,得到平带电压的变化量,再根据不同的氧化层电容计算引起 平带电压变化的陷阱电荷。测试前后的平带电压差如图 5.4 所示,计算得到的固 定电荷变化量如图 5.5 所示。对于低氧退火,在退火温度低于 1400℃时,捕获电 荷没有明显的变化;当退火温度达到 1500℃时,捕获电荷明显降低。而 SiC MOS 经过 NO 退火后,各组样品的捕获电荷均有显著降低。因此可以初步得出结论, 1500℃低氧退火能够去除部分界面缺陷,而 NO 退火能够降低不同条件下形成的 SiO₂/SiC 界面的缺陷。另外,NO 退火前,高温度的低氧退火会进一步降低电荷的捕获量,这也从侧面说明高温低氧退火能够促进 NO 退火中 N 元素在界面的积累。



为了进一步研究引起平带电压漂移的缺陷,使用 Cycle-CV 法对 SiC MOS 电容进行测试。在 Cycle-CV 测试中,进行多次不同起始电压的 C-V 测试,直流电压的扫描方向从积累向耗尽进行。每次测试时,扫描的起始电压以一定步长增加。 Cycle-CV 的测试如图 5.6 所示。每条 C-V 曲线的最大电容值可以用来确定界面费米能级的位置,这是由于高频电容可以排除界面态的影响,并且理想状态下,特定界面费米能级对应于特定的电容值。



图 5.6 Cycle-CV 测试数据示意图。图中为依次进行的终止于不同栅电压的 C-V 曲

线,测试使得曲线单调右移

己知 MOS 衬底电容的微分表达式为:

$$C = \frac{\epsilon}{L_D} \frac{\left[\left(\exp\left(\frac{qV_S}{kT}\right) + 1 \right) + \frac{n_0}{p_0} \left(\exp\left(-\frac{qV_S}{kT}\right) - 1 \right) \right]}{\left[\left(\exp\left(\frac{qV_S}{kT}\right) - \frac{qV_S}{kT} - 1 \right) + \frac{n_0}{p_0} \left(\exp\left(-\frac{qV_S}{kT}\right) + \frac{qV_S}{kT} - 1 \right) \right]^{\frac{1}{2}}}$$
(5.1)

其中 ϵ 为衬底的介电常数, L_D 为德拜长度,与掺杂浓度有关, V_S 为界面势,k为玻尔兹曼常数,T为温度, n_0 为平衡态的电子浓度, p_0 为平衡态的空穴浓度,q为电荷量。德拜长度如下式给出:

$$L_D = \left(\frac{2\epsilon kT}{q^2 p_0}\right)^{\frac{1}{2}}$$
(5.2)

当加在 MOS 电容栅电极的电压为正值时, $V_S > 0$,能带向下弯曲,半导体 表面感生出负电荷,也就是产生更多的多数载流子电子,表面处于多数载流子电 子的积累态,此时 $V_S > 0$,而且有较小的 $\frac{n_0}{n_0}$,此时表面电容可以简化为:

$$C_0 = \frac{\epsilon}{L_D} \exp\left(\frac{qV_S}{2kT}\right) \tag{5.3}$$

当施加在 MOS 电容栅电极的电压使能带平直时,此时处于平带状态。此时 的表面电场及电荷密度都为零。当表面势趋向于零时,可以得到平带电容:

$$C_0 = \sqrt{2} \frac{\epsilon}{L_D} \tag{5.4}$$

当施加在 MOS 电容栅极的电压向负方向继续移动后,表面势V_S < 0,此时 能带向上弯曲,半导体表面感生出正电荷,即电子耗尽,电离施主过剩,称之为 电子耗尽状态。此时式(5.1)中的指数项很小,可以忽略,因此半导体电容为:

$$C_0 = \frac{\epsilon}{L_D} \left(-\frac{qV_S}{kT} \right)^{-\frac{1}{2}}$$
(5.5)

由于 SiC 的宽禁带特性,当栅电压继续施加更高的负电压时,热激发的载流 子可以忽略不计,此时 MOS 电容处于深耗尽态,仍可以用式(5.5)表示。

考虑到 MOS 电容的结构,如果有外加电压的存在,那么外加电压一部分会 降在氧化层内部,另一部分降在半导体表面,此时外加电压表示为:

$$V_{ex} = V_I + V_S \tag{5.6}$$

其中,*V_I*为氧化层内部的电压降,*V_s*为半导体表面的电压降。对于总电容来说,相当于氧化层电容和半导体电容串联连接。MOS 电容的关系为:

$$\frac{1}{C} = \frac{1}{C_I} + \frac{1}{C_S}$$
(5.7)

其中, C_I 为氧化层电容, C_S 为半导体电容。为了便于计算,将电容表示为归 一化的电容 C_N :

$$C_N = \frac{C}{C_I} = \frac{1}{1 + \frac{C_I}{C_S}}$$
(5.8)

将式(5.3)和式(5.5)带入式(5.8),得到表面势和相对电容的关系:

$$\frac{C}{C_I} = \frac{1}{1 + \frac{C_I}{C_S}} = \frac{1}{1 + \frac{C_I}{\frac{\epsilon}{L_D} \exp\left(\frac{qV_S}{2kT}\right)}}$$
(5.9)

$$\frac{C}{C_{I}} = \frac{1}{1 + \frac{C_{I}}{C_{S}}} = \frac{1}{1 + \frac{C_{I}}{\frac{\epsilon}{L_{D}} \left(-\frac{qV_{S}}{kT}\right)^{-\frac{1}{2}}}}$$
(5.10)

相应的,表面势为零时,平带电容为:

$$\frac{C}{C_{I}} = \frac{1}{1 + \frac{C_{I}}{C_{S}}} = \frac{1}{1 + \frac{C_{I}}{\frac{\sqrt{2}\epsilon}{L_{D}}}}$$
(5.11)

首先计算各组 SiC MOS 电容的理论平带电容值,并将 C-V 曲线分为高于平带电压和低于平带电压两部分。提取每次 C-V 扫描的最大电容值,高于平带电压的数据使用式 5.9 计算,低于平带电压的数据使用式 5.10 计算,得到对应的表面费米能级。将每条 C-V 曲线的平带电压与最初测试的平带电压做差值,计算捕获的有效电荷量,并与表面费米能级对应,可以得到费米能级移动到特定位置时,捕获的累计电荷量。



图 5.7 费米能级从价带向导带的累积电荷量

对应费米能级的累计电荷如图 5.7 所示,即表面费米能级从价带向导带移动 过程中,引起平带电压移动的累计电荷量。可以观察到,当表面费米能级较低时, 不会发生电荷的积累。对于只氧化和经过低氧退火的样品,当表面费米能级高于 导带底 0.8 eV 时,开始出现电荷的积累;对于经过双退火和 NO 退火的样品,当 表面费米能级高于导带底 0.2 eV 时发生电荷的积累。由于图中表示电荷的积累 量,因此曲线的斜率表示对应能级的缺陷密度。



图 5.8 低氧退火样品的费米能级从价带向导带的累积电荷量

低氧退火样品的累积电荷与表面费米能级的关系如图 5.8 所示。总体来看, 在能带下 0.5 eV 和 0.1 eV 的位置存在斜率的极大值,说明这些能级位置存在缺 陷能级。1500℃的低氧退火的样品在 0.1 eV 不存在斜率的极大值,说明这些缺陷 一定程度上被消除。另外,1300℃~1400℃的低氧退火累积电荷在 0.4 eV 处低于 没有退火的样品,说明在导带较深的能级缺陷被钝化。虽然 1300℃样品在 0.2 eV 累积电荷低于 as-ox,但是这种降低是源于较深能级缺陷的降低,因此浅能级的 缺陷没出现明显变化。而 1400℃低氧退火虽然与 as-ox 保持一致,但在 0.2 eV 处 累积电荷急剧增加,说明较浅能级缺陷有所增加。1500℃低氧退火在 0.2 eV 处累 积电荷增加不明显,说明较浅能级缺陷明显减少。



图 5.9 双退火样品的费米能级从价带向导带的累积电荷量

双退火样品的累积电荷与表面费米能级的关系如图 5.9 所示。累积电荷仅从 导带底 0.2 eV 开始增加,说明氮化能够有效降低较深能级的缺陷。曲线没有明显 的拐点,说明影响电荷积累的缺陷可能只有一种。而随着能级向导带移动,斜率 单调增加,说明缺陷能级及其接近导带,甚至进入到导带内部。1500℃低氧退火 后进行 NO 退火,样品的累积电荷最低,这种缺陷能够有效被去除。

5.3.2 双退火对电压回滞的影响

在进行 Cycle-CV 测试后,平带电压能够稳定在确定的数值。然而在再高频测试条件下,使用双向 C-V 扫描仍可以观察到曲线的漂移现象。当直流电压从耗尽态向积累态扫描时,C-V 曲线向左漂移,而当直流电压总积累态向耗尽态扫描时,C-V 曲线向右漂移。这是由于界面存在较快释放电荷的缺陷,能够响应直流电压的扫描速度,引起界面处电子的充放电,从而使平带电压发生漂移^[140]。 这些缺陷能够相应直流电压的变化,但是对交流信号不响应^[97,141]。SiC MOSFETs

的电压回滞会引起阈值电压的不稳定给,并且增加开关时间和增大开关损耗^[142]。 我们测试各组样品的回滞电压,并总结到图 5.10 中。对于低氧退火的样品,当退 火温度低于 1400℃时,平带电压有所下降,而当退火温度达到 1500℃时,平带 电压明显增加。当进行双退火后,各组样品的电压回滞均明显降低。



图 5.10 低氧退火和双退火样品的电压回滞



图 5.11 引起电压回滞的缺陷密度

考虑到 1500℃低氧退火时发生了明显的氧化现象,将电压回滞转换为缺陷 的面密度:

$$N_{NITs} = \frac{C_{ox} \times (V_{nFB} - V_{pFB})}{q \times A}$$
(5.12)

其中,*C_{ox}*为氧化层电容,*q*为电荷量,*A*为电容面积,*V_{nFB}*为从积累态向耗尽态 扫描得到的平带电压,*V_{pFB}*为从耗尽态向积累态扫描得到的平带电压。电压回滞 相关缺陷密度如图 5.11 所示。低氧退火时,适当提高退火温度能够降低回滞电 荷,而当退火温度达到 1500℃时,绘制电荷明显增加。这是由 1500℃发生的明 显氧化现象引起的。双退火时,提高低氧退火的温度能够进一步降低回滞电荷, 尽管 1500℃低氧退火发生了明显的氧化,但是氮化后回滞电荷能够进一步降低。 回滞电荷的降低可能与界面处 N 元素的积累有关。

5.3.3双退火对界面态的影响

SiC MOSFET 器件的沟道迁移率较低,这主要是载流子在沟道内移动时与界面态缺陷碰撞发生库伦散射引起的。这里使用 high-low 法计算界面态密度。在测量过程中,直流信号从积累态向耗尽态扫描,不同频率的交流信号施加在探针上,测量特定直流电压的电容值。当施加低频交流信号时,界面态缺陷捕获电子和释放电子的过程类似于电容的充放电,因此可以得到较大的电容值;当施加高频交流信号时,界面态缺陷不能随交流信号变化,测量得到的电容值减小。通过比较不同频率下测得的 C-V 曲线提取电容的差值,然后计算得到界面态密度D_{it}。各组样品的导带底 0.2~0.6 eV 处的界面态密度如图 5.12 和图 5.13 所示。



图 5.12 低氧退火样品的界面态密度



图 5.13 样品的界面态密度



图 5.14 导带底 0.3eV 处的界面态密度对比

从图 5.12 和图 5.13 可以观察到,界面态密度曲线有相似的变化趋势,并且 不会发生明显的交叠。为了方便比较,提取导带底下方 0.3 eV 处的界面态密度进 行比较,如图 5.14 所示。较低温度的低氧退火后,界面态密度有少量的增加。而 当退火温度达到 1500℃后,界面态密度发生明显的降低,这与高温下发生的明 显氧化有关。而当进行双退火后,界面态密度均有明显的降低。但是随着双退火 中低氧退火温度的增加,界面态密度存在单调增加的趋势。低氧退火温度达到 1500℃时,界面发生明显的氧化现象,使得氧化锋向衬底内迅速移动,因此界面 态密度较低。但是,较低温度的低氧退火氧化锋移动速率更慢,界面更容易发生 碳元素的积累,使得界面态浓度提高。靠近界面衬底一侧的 C 相关缺陷是引起界面态的重要因素^[116,143]。

5.4 双退火对 SiC MOS 可靠性的影响

5.4.1 双退火对 F-N 势垒的影响

4H-SiC 由于宽禁带特性,使得半导体能带即氧化层能带的差距降低。对于 n 沟道的 SiC MOS 器件, SiO₂/SiC 势垒高度对栅绝缘性的影响重大。SiC 与氧化层 之间的势垒高度远小于 Si 与氧化层之间的势垒高度,因此在施加相同的外加电 场时,4H-SiC MOS 器件的栅漏电流会比 Si MOS 器件大得多。另一方面,SiC 一 般用于功率应用,经常工作在高温条件,因此热激发的电子更容易越过势垒,时 栅漏电流进一步增大,所以半导体与绝缘体之间的势垒高度就显得非常重要。评 价 4H-SiC 和氧化层之间的势垒高度时评估栅绝缘性的重要指标,也是表征栅氧 化层抗击穿及可靠性的主要参数之一。



图 5.15 各组样品的 F-N 势垒

提取各个样品的电流-电压特性,并提取各组样品的 F-N 势垒,如图 5.15 所示。适当温度的低氧退火后,F-N 势垒高度降低,但当退火温度达到 1500℃时, F-N 势垒急剧增加。这可能是剧烈氧化使界面更趋向于理论值。在进行双退火后, F-N 势垒均有所增加。虽然双退火时,低氧退火 1300℃的样品 F-N 势垒低于只 NO 退火的样品,但是更高的低氧退火温度能够进一步提高氮化后 F-N 势垒的高 度。比较 Cycle-CV 测试中的被捕获的固定电荷量发现,当固定电荷捕获量较高 时, F-N 势垒往往较低。当电子被捕获时,近界面氧化层会产生负固定电荷,同 时降低氧化层的势垒高度^[126]。因此1500℃低氧退火后,捕获的固定电荷量降低, 而同时 F-N 势垒能够有效增加。当进行后续的氮化退火后,缺陷进一步减少,被 捕获的电子进一步降低,因此氧化层导带下降的程度降低,F-N 势垒增加^[144,145]。

5.4.2 对 TDDB 栅氧可靠性的影响

在室温条件下,首先通过 TZDB 测试得到击穿电压,然后对 SiC MOS 电容施加接近击穿电压的数值,测试电流密度-时间曲线,得到击穿电荷的 Weibull 分布。图 5.16 显示了双退火工艺条件的 SiC MOS 电容器的恒压 TDDB 试验中提取的 Weibull 分布。测试中,背电极接地,栅电极施加恒定的电压,并检测栅漏电流,直到设备发生故障。双退火后,击穿电荷均存在不同程度的右移,说明这种退火能够改善氧化层的质量,使得氧化层内存在更少的缺陷及更致密的结构。



图 5.16 双退火的击穿电荷数据包

提取各组样品累积失效率为 63.2%时的数值作为击穿电荷量,与低氧退火的 样品比较,并总结在图 5.17 中。1300℃的低氧退火能够提高击穿电荷,但是随着 退火温度的增加,击穿电荷单调降低,说明更高的退火温度会降低氧化层质量。 当进行双退火后,击穿电荷均明显增加。SiO₂/SiC 界面引入 N 元素后能够改善界 面可靠性^[146,147]。1300℃低氧退火配合 NO 退火的双退火工艺能够得到最大的击 穿电荷量,此时获得最佳的氧化层质量。双退火中更高温度的低氧退火温度却会 使击穿电荷降低,说明此氧化层在氮化后质量改善有限。



5.5 双退火工艺的缺陷分析

接下来,我们将对实验结果进行总结和分析。在氧化过程中,C 副产物在 SiO₂/SiC 界面形成并积累。这些缺陷具有电活性,降低了 MOS 器件的性能和可 靠性^[125]。在高温过程中,C原子从 SiO₂/SiC 界面扩散到氧化层和衬底中。此外, 在氧化过程中产生的高浓度 CO,造成氧化层中残留 C 原子^[115,148]。氧化物中的 C 元素是缺陷的主要来源之一^[117]。由于晶格失配和化学结构的复杂性,在 SiO₂/SiC 界面附近存在过渡层。过渡层中存在高浓度的近界面陷阱,降低了界面 性能和器件可靠性^[135,149,150]。在衬底内,C原子浓度随着氧化过程的进行而逐渐 积累。单个C原子在衬底中的扩散激活能很低,在高温过程中这些原子会自由扩 散。当两个碳原子相互靠近时,会形成双间隙缺陷,这是界面态的主要来源^[151]。

进行温度为 1300℃~1400℃的低氧退火后,回滞电荷对应的近界面陷阱降低, 这些陷阱距离界面较近,因此对界面特性的影响较大。对比图 5.11 和图 5.15,低 氧退火的近界面陷阱浓度和 F-N 势垒之间变化趋势相同,这暗示近界面陷阱在 栅电压施加正电压时捕获电子,并对近界面能带结构产生影响。当栅电极施加正 电压时,栅电极的能级向下移动,同时将氧化层向下拉扯。当近界面陷阱捕获电 子后,在近界面区域形成负电荷积累,能够一定程度屏蔽栅电压引起的界面电场, 缓解近界面氧化层的能带弯曲。由于 F-N 势垒来源于氧化层弯曲形成的三角形 势垒变窄,积累电子通过隧穿通过三角势垒引起的电流,因此负电荷积累对界面 电场的缓解能够增加三角形势垒的宽度,从而增加 SiO₂/SiC 界面的有效势垒高

度。1300℃~1400℃低氧退火后,近界面陷阱的浓度降低,在积累态下捕获的电子数量减少,因此不能在近界面形成足够的负电荷来缓解近界面电场,所以F-N 势全降低^[126]。近界面陷阱对近界面电场的能级示意图如图5.18所示。当进行1500℃ 的低氧退火后,近界面陷阱浓度增加,这是由于剧烈氧化会引起近界面缺陷的积 累,这些缺陷能够捕获更多的电子,能够更大程度的减少近界面电场,增大有效 势垒高度。这说明低氧退火能够去除一部分近界面缺陷。因此,适当温度的低氧 退火能够缓慢氧化界面,而减少C生成物的聚集,同时也会氧化近界面C相关 的缺陷,以此减少近界面陷阱的浓度^[113,136]。



图 5.18 近界面陷阱对近界面氧化层 F-N 势垒的影响。(a)理想的 SiC MOS 能带; (b) 界面电荷积累使界面势垒增加的能带

但是 1300℃~1400℃的低氧退火也会造成部分缺陷的增加。在高温环境下, SiO₂/SiC 会发生 Si 原子和 C 原子向界面两侧的发射现象。在持续高温环境下, C 原子会向衬底内发射,而由于 C 较低的扩散激活能, C 原子会在衬底内自由移 动,并相互聚集。两个 C 原子组成的 C 二聚体有较高的化学能,在形成后很难 被分解。C 二聚体被认为是形成界面态的主要缺陷。低氧退火虽然能够去除近界 面氧化层陷阱,但是衬底内的缺陷却持续积累,导致界面态密度增加,如图 5.14 所示。而 C 原子还会向氧化层内发射,是降低氧化层质量的潜在因素。1400℃的 退火温度使得 C 原子向氧化层更远的位置发射 C 原子,使 C 原子的分布更广泛, 造成氧化层质量的退化,因此 TDDB 可靠性降低。当退火温度达到 1500℃时, 由于剧烈的氧化过程,氧化锋迅速向衬底内移动,而近界面衬底处的 C 缺陷积累 需要时间,因此引起界面态的陷阱浓度能够明显减少。另外,1500℃的低氧退火 产生的大量 C 原子会向氧化层内注入,这些碳原子来不及被氧化,因此会在氧化 层内形成大量 C 原子残余,明显降低了氧化层质量,如图 5.17 所示。图 5.19 描 述了不同温度低氧退火的界面缺陷的示意图。



图 5.19 (a)氧化后、(b)1300℃~1400℃低氧退火后和(c)1500℃低氧退火后的界面缺陷

后续的 NO 退火会进一步改变界面的情况。双退火后, Cycle-CV 测试中电 荷的捕获量降低, 回滞电荷增加, 说明 N 元素能够去除近界面的缺陷, 而更高的 双退火温度会造成相关电荷的进一步降低, 这是由于更高的退火温度使得 N 元 素在界面的积累量增加^[149,152]。与低氧退火的规律不同, 双退火后回滞电荷的降 低会造成 F-N 势垒的增加。N 元素在界面形成的双极效应能够在界面形成局域 电场, 因此 N 原子的积累能够提高 F-N 势垒的有效高度^[145]。值得注意的是, 1300℃低氧退火样品中, Cycle-CV 测试中捕获的电荷量稍高, 而 F-N 势垒稍低, 这说明此工艺条件会抑制 N 元素在界面处的积累, 这是因为低氧退火的氧化现 象不明显, 而氧化层内积累的氧气可以减薄过渡层的厚度, 降低近界面氧化层的 数量, 而减薄的过渡层抑制了氮元素在界面的积累。当提高低氧退火温度后, 过 渡层的厚度增加, 近界面陷阱的厚度增加, 并且界面 C 元素的分布更广泛, N 原 子更容易在界面发生积累, 进而提高界面 N 原子的数量。

虽然 N 原子在界面积累可以降低近界面陷阱,但是对一些缺陷的改善有限。双退火后,SiC MOS 电容的界面态密度降低。然而,双退火温度升高后,

界面态密度有所增加,这与 C 元素的发射级积累有关。在高温环境下,大量 C 原子向衬底内发射,这些 C 原子在高温下还会发生移动,尤其是在近界面的衬底处发生积累,并形成 C 团簇。NO 退火后,N 元素不能有效穿过界面到达衬底来分解这些缺陷,因此氮化退火后,界面态密度仍然很高。特别关注 1500℃的双退火样品,虽然低氧退火能够降低界面态密度,但是后续 NO 退火并没还有使它显著降低。考虑到低氧退火中发生的剧烈氧化反应,大量 C 原子向衬底内发射,在后续的氮化退火中,界面不会向衬底内继续移动,因此这些 C 原子发生积累并形成 C 团簇,进而使界面态密度增加。而低氧退火的高温环境同样会向衬底内发射 C 原子,这些碳原子在 NO 退火过程中不能被有效去除,成为降低氧化层可靠性的潜在因素。而 1300℃的低氧退火中,C 原子的发射不明显,氧化层中的氧气可以进一步去除残留的 C 原子,使得氧化层的缺陷减少,可靠性提高。图 5.20 描述了不同温度双退火后的界面缺陷示意图。



图 5.20 (a)低温双退火和(b)高温双退火的界面缺陷

5.6 高温工艺的建议

根据实验结果及缺陷分析,我们提出一些SiC MOS 结构氧化和退火的建议。 首先,为了获得更好的界面特性,需要提高氧化速率和增加 NO 退火时间。快速 的氧化速率会使氧化锋向衬底内移动,因此界面处 C 元素的积累时间减少,使得 界面处 C 相关缺陷数量减少。虽然 NO 退火也会造成氧化锋向衬底的移动,但是 并没有出现界面态的增加,说明退火向衬底发射的 C 原子数量较少。其次,避免 超高温度的含氧气氛工艺。超高温情况下,氧化过程会产生大量的 Si 原子和 C 原子,并向界面两侧发射。高温使得单质原子有更高的能量,因此在发生氧化前 会进行更大的发射距离。衬底内的 C 积累会引起界面态的增加,而氧化层内的 C 积累会引起可靠性的降低。最后,相继进行低氧退火和 NO 退火的双退火工艺可 以减少近界面缺陷,并限制 N 原子在界面的积累。低氧退火缓慢的氧化过程使 得氧气有更多的时间来氧化过渡层,使过渡层变薄并减少近界面缺陷。由于 N 原 子在过渡层的积累明显,过渡层的减薄使得界面积累的 N 元素也会降低。

综上所述,改善 SiC MOS 界面性能及可靠性所关注的问题是如何有效降低 界面缺陷的生成及积累。同时获得高性能及可靠性较为困难。为了获得高的界面 性能和可靠性,有必要研究多种对火方式结合工艺和优化退火条件。

5.7 本章小结

本章节中,我们验证了连续进行低氧退火及 NO 退火对 SiC MOS 界面性能 及可靠性的影响,并分析了退火过程中的界面缺陷。适当温度的低氧退火能够减 薄过渡层和减少近界面陷阱,并增加氧化层可靠性。双退火能够进一步降低界面 缺陷并降低界面态,改善器件的电学性能。但是过高的低氧退火虽然能够降低界 面态,但是 C 原子的发射会降低氧化层的可靠性和造成界面态潜在的积累现象。 过长的退火工艺也会造成 C 原子在近界面衬底的积累并造成界面态的增加。此 外,根据退火过程对 SiO₂/SiC 界面缺陷分布的分析,我们提出了 SiC MOS 结构 高温工艺的建议。

第6章 结论与展望

6.1 结论

本文通过紫外辐照退火手段以及多种退火工艺研究了 4H-SiC MOS 器件的 SiO₂/SiC 界面性能及器件可靠性,并分析了界面缺陷形成的原因及不同高温工艺 对界面缺陷的影响。

首先,使用 193nm 脉冲激光辐照退火在干氧氧化形成的 SiO₂/SiC 界面对器 件电学性能的影响,并通过 XPS 分析研究了 SiO₂/SiC 界面的缺陷。电学实验结 果表明,脉冲紫外光对 SiO₂/SiC 结构近界面氧化物陷阱的影响大于对近界面衬 底的影响。近界面缺陷与辐照功率之间不是线性的关系,暗示了紫外辐照退火对 界面至少存在两种作用。当紫外激光辐照功率较低时,部分近界面氧化层缺陷减 少。而当紫外激光辐照功率较高时,额外的 C 元素会向氧化层内发射,产生新的 缺陷并使电学性能下降。C 原子是影响 SiO₂/SiC 界面性能的重要因素,因此制备 SiC MOS 结构时对 C 原子的把控是保证高性能及高可靠性的重要因素。

然后,我们使用低氧退火(Ar/O₂=9:1),研究了退火温度对 SiC MOS 界面性 能及器件可靠性的影响。我们发现,界面态及氧化物的可靠性与退火温度有关。 退火温度为1300℃时,氧化后的氧化层可靠性增加,但随着退火温度的升高,栅 氧可靠性降低。当退火温度低于1500℃时,F-N 势垒随退火温度的升高而减,但 1500℃的退火温度会发生剧烈氧化现象并明显提高势垒高度。另外,1500℃退火 温度同时也会有效降低界面态密度。通过分析电流密度-电场关系发现,1500 摄 氏度的低氧退火会造成 C-C 结构相关的漏电,间接说明了界面特性及可靠性与 C 元素的积累有关。因此,不同温度的 Ar/O₂=9:1 气氛退火可以有效地降低界面 态密度或提高氧化物的可靠性,但是要同时获得最佳的性能和可靠性是很困难的。

最后,我们验证了连续进行低氧退火及 NO 退火的双退火工艺对 SiC MOS 界面性能及可靠性的影响,并分析了退火中界面的变化。适当温度的低氧退火能 够减薄过渡层和减少近界面陷阱,并增加氧化层可靠性。双退火能够进一步降低 界面缺陷并降低界面态,改善器件的电学性能。但是过高的低氧退火虽然能够降 低界面态,但是 C 原子的发射会降低氧化层的可靠性和造成界面态潜在的积累

现象。过长的退火工艺也会造成 C 原子在近界面衬底的积累并造成界面态的增加。此外,根据退火过程对 SiO₂/SiC 界面缺陷分布的分析,我们提出了 SiC MOS 结构高温工艺的建议。

6.2 创新点摘要

 创新性的研究了大功率紫外辐照退火对 SiO₂/SiC 界面辐照效应,研究了 紫外辐照功率对器件性能的影响,并制备无损样品进行物理表征。结合电学测试 和物理表征结果,验证了 C 元素是造成界面缺陷及性能漂移的重要因素。

 使用低氧气氛对 SiC MOS 器件进行退火,并首次验证了温度低氧退火的 温度对 SiC MOS 性能及可靠性的影响。实验验证了降低氧气浓度可以降低氧化 速率,并钝化近界面氧化层陷阱,从而改善器件的栅氧可靠性。

3. 创新性的提出了连续进行低氧退火及 NO 退火的双退火工艺。实验表明, 后续退火的退火效果会受到之前退火的影响,而多重退火在改善 SiC MOS 性能 及可靠性中具有巨大的潜力。

 使用 Cycle-CV 测试,并改进测试方法,将引起电压回滞的电荷量与能级 位置进行关联,确定了缺陷在能带中的分布。通过缺陷在能级的位置,能够匹配 第一性原理计算,并推测对应缺陷的结构和类型。

6.3 展望

本论文研究中,通过紫外辐照退火和改变退火工艺的方法制备了 SiC MOS 电容并进行了测试,然后分析了不同退火工艺中界面缺陷的变化。但是目前仍存 在一些不足,并还有更多的研究空间:

 实验样本较少。为了清楚地了解高温工艺中缺陷的形成和钝化的过程及 机理,本文所做的工作远远不够。这包括,更多的退火方法、更多的退火条件、 更多的表征手段等。后续工作可以使用更多的退火种类进行组合,比如与 PCIO3 气体退火、等离子退火等。

 工艺设备制约。一些早期的实验条件,由于工艺设备不能够实现,使得 这些试验方案被取缔。比如超低氧含量气氛、快速升温和降温过程等。后续工艺

可以结合多种半导体工艺设备,开发特有工艺并制定可行的实验条件和方案。

3. 物理表征手段有限。由于 SiC MOS 界面特性主要受界面薄层影响,使得 客观地对界面表征变得尤为困难。破坏性的测试虽然能够将界面暴露出来,但是 也会伴随着应力的释放,而非破坏性测试往往会包含大量干扰因素。需要开发和 使用新型表征手段对界面进行更加准确的描述,才能更深入的理解界面的缺陷及 形成过程。

4. 需要专业的仿真计算。现有缺陷理论只是源于电学测试和物理表征结果的推测,由于 SiO₂/SiC 界面的复杂性,很难确定具体的缺陷结构,因此至今此领域内还尚未形成决定性的结论。现有第一性原理计算只是通过搭建含有目标缺陷的界面结构并进行计算,得到能级位置并与现有结果进行匹配。但是这种搭建的结构不能体现出界面的复杂性。需要更高级的能够体现出界面反应过程的仿真进行更深入的研究。

参考文献

- Bardeen J, Brattain W H. The Transistor, A Semi-Conductor Triode [J]. Physical Review, 1948, 74(2): 230-231.
- Shockley W. The Theory ofp-nJunctions in Semiconductors andp-nJunction Transistors [J].
 Bell System Technical Journal, 1949, 28(3): 435-489.
- [3] Hisamoto D, Lee W C, Kedzierski J, et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm [J]. IEEE Transactions on Electron Devices, 2000, 47(12): 2320-2325.
- [4] Fukuda Y, Hiroshima Y, Watanabe S. Study of Pattern Area Reduction for System LSI with FinFET and Stacked FinFET [J]. The transactions of the Institute of Electronics, Information and Communication Engineers C, 2010, 93(1): 33-34.
- [5] Cho A Y, Casey H C, Foy P W. BACK-SURFACE EMITTING GAASXSB1-XLEDS(LAMBDA=1.0MUM) PREPARED BY MOLECULAR-BEAM EPITAXY [J]. Applied Physics Letters, 1977, 30: 397-399.
- [6] Goodfellow, R. C, Carter, et al. Radiance saturation in small-area GaInAsP/InP and GaAlAs/GaAs LED's [J]. Electron Devices, IEEE Transactions on, 1981, 28(4): 365-371.
- [7] Sheu J K, Chang S J, Kuo C H, et al. White-light emission from near UV InGaN-GaN LED chip precoated with blue/green/red phosphors [J]. IEEE Photonics Technology Letters, 2003, 15(1): 18-20.
- [8] Mao, An, Cho, et al. Characteristics of dotlike green satellite emission in GaInN light emitting diodes [J]. Applied Physics Letters, 2011, 98(2): 23503-23503.
- [9] 王圣,论立勇,王锋涛.世界电力发展现状及其对我国电力工业启示 [J].电力学报, 2018, 33(03): 197-200+228.
- [10] 张波,邓小川,陈万军, et al. 宽禁带功率半导体器件技术 [J]. 电子科技大学学报, 2009, 38(5): 618-623.
- [11] Ohguro T, Saito M, Morifuji E, et al. Power Si-MOSFET operating with high efficiency under low supply voltage [J]. Ieee Transactions on Electron Devices, 2000, 47(12): 2385-2391.
- [12] Kudoh T, Asano T. Si/SiGe heterojunction collector for low loss operation of Trench IGBT [J].

Applied Surface Science, 2004, 224(1-4): 399-404.

- [13] Masumoto K, Kudou C, Tamura K, et al. Growth of silicon carbide epitaxial layers on 150mm-diameter wafers using a horizontal hot-wall chemical vapor deposition [J]. Journal of Crystal Growth, 2013, 381: 139-143.
- [14] Kimoto T, Kanzaki Y, Noborio M, et al. MOS interface properties and MOSFET performance on 4H-SiC{0011} and non-basal faces processed by N₂O oxidation [M]//DUDLEY M, GOUMA P, KIMOTO T, et al. Silicon Carbide 2004-Materials, Processing and Devices. 2004: 199-204.
- [15] Schomer R, Friedrichs P, Peters D, et al. Significantly improved performance of MOSFETs on silicon carbide using the 15R-SiC polytype [J]. IEEE Electron Device Letters, 1999, 20(5): 241-244.
- [16] McPherson J W, Ieee. Reliability trends with advanced CMOS scaling and the implications for design [M]. 2007.
- [17] Allerstam F, Gudjónsson G, Ólafsson H Ö, et al. Comparison between oxidation processes used to obtain the high inversion channel mobility in 4H-SiC MOSFETs [J]. Semiconductor Science and Technology, 2007, 22(4): 307-311.
- [18] Tilak V, Matocha K, Dunne G, et al. Trap and Inversion Layer Mobility Characterization Using Hall Effect in Silicon Carbide-Based MOSFETs With Gate Oxides Grown by Sodium Enhanced Oxidation [J]. IEEE Transactions on Electron Devices, 2009, 56(2): 162-169.
- [19] Deák P, Knaup J M, Hornos T, et al. The mechanism of defect creation and passivation at the SiC/SiO₂ interface [J]. Journal of Physics D: Applied Physics, 2007, 40(20): 6242-6253.
- [20] Cochrane C J, Lenahan P M, Lelis A J, et al. Interface Traps in Silicon Carbide MOSFETs [M].2008 Ieee International Integrated Reliability Workshop Final Report. 2008: 68-+.
- [21] Ettisserry D P, Goldsman N, Akturk A, et al. Structure, bonding, and passivation of single carbon-related oxide hole traps near 4H-SiC/SiO₂ interfaces [J]. Journal of Applied Physics, 2014, 116(17): 174502.
- [22] Potbhare S, Pennington G, Goldsman N, et al. Characterization of 4H-SiC MOSFET interface trap charge density using a first principles Coulomb scattering mobility model and device
simulation [M]. 2005.

- [23] Lelis A J, Habersat D, Green R, et al. Time Dependence of Bias-Stress-Induced SiC MOSFET Threshold-Voltage Instability Measurements [J]. IEEE Transactions on Electron Devices, 2008, 55(8): 1835-1840.
- [24] DiStefano T H, Shatzkes M. Impact ionization model for dielectric instability and breakdown[J]. Applied Physics Letters, 1974, 25(12): 685-687.
- [25] DiMaria D J, Cartier E, Arnold D. Impact ionization, trap creation, degradation, and breakdown in silicon dioxide films on silicon [J]. Journal of Applied Physics, 1993, 73(7): 3367-3384.
- [26] Mathur M M, Cooper J A. Time-dependent-dielectric-breakdown measurements of thermal oxides on n-type 6H-SiC [J]. IEEE Transactions on Electron Devices, 1999, 46(3): 520-524.
- [27] Yu L, Cheung K P, Campbell J, et al. Oxide Reliability of SiC MOS Devices [M]. 2008 Ieee International Integrated Reliability Workshop Final Report. 2008: 141-+.
- [28] Afanas'ev V V, Bassler M, Pensl G, et al. Band offsets and electronic structure of SiC/SiO₂ interfaces [J]. Journal of Applied Physics, 1996, 79(6): 3108-3114.
- [29] Yano H, Katafuchi F, Kimoto T, et al. Effects of wet oxidation/anneal on interface properties of thermally oxidized SiO₂/SiC MOS system and MOSFET's [J]. IEEE Transactions on Electron Devices, 1999, 46(3): 504-510.
- [30] vonKamienski E G S, Leonhard C, Scharnholz S, et al. Passivation of interface traps in MOSdevices on n- and p-type 6H-SiC [J]. Diam Relat Mat, 1997, 6(10): 1497-1499.
- [31] Das M K, Um B S, Cooper J A. Anomalously high density of interface states near the conduction band in SiO₂/4H-SiC MOS devices [M]//CARTER C H, DEVATY R P, ROHRER G S. Silicon Carbide and Related Materials - 1999 Pts, 1 & 2. 2000: 1069-1072.
- [32] Yano H, Kimoto T, Matsunami H. Shallow states at SiO2/4H-SiC interface on (1120) and (0001) faces [J]. Applied Physics Letters, 2002, 81(2): 301-303.
- [33] Saks N S, Mani S S, Agarwal A K. Interface trap profile near the band edges at the 4H-SiC/SiO₂ interface [J]. Applied Physics Letters, 2000, 76(16): 2250-2252.
- [34] Shibahara K, Saito T, Nishino S, et al. Fabrication of inversion-type n-channel MOSFET's using cubic-SiC on Si [J]. IEEE Electron Device Letters, 1986, 7(12): 692-693.

- [35] Jianwei W, Capano M A, Melloch M R, et al. N-channel 3C-SiC MOSFETs on silicon substrate[J]. IEEE Electron Device Letters, 2002, 23(8): 482-484.
- [36] Uchida H, Minami A, Sakata T, et al. High Temperature Performance of 3C-SiC MOSFETs with High Channel Mobility [M]//DEVATY R P, DUDLEY M, CHOW T P, et al. Silicon Carbide and Related Materials 2011, Pts 1 and 2. 2012: 1109-1112.
- [37] Streetman B G. MOS (METAL-OXIDE SEMICONDUCTOR) PHYSICS AND TECHNOLOGY - NICOLLIAN, EH, BREWS, JR [J]. American Scientist, 1983, 71(5): 549-549.
- [38] Afanas'ev V V, Bassler M, Pensl G, et al. Intrinsic SiC/SiO₂ interface states [J]. Physica Status Solidi a-Applications and Materials Science, 1997, 162(1): 321-337.
- [39] Bassler M, Pensl G, Afanas'ev V. "Carbon cluster model" for electronic states at interfaces [J].Diam Relat Mat, 1997, 6(10): 1472-1475.
- [40] Fukuda K, Kato M, Kojima K, et al. Effect of gate oxidation method on electrical properties of metal-oxide-semiconductor field-effect transistors fabricated on 4H-SiC C(0001) face [J]. Applied Physics Letters, 2004, 84(12): 2088-2090.
- [41] Rudenko T E, Osiyuk I N, Tyagulski I P, et al. Interface trap properties of thermally oxidized n-type 4H–SiC and 6H–SiC [J]. Solid-State Electronics, 2005, 49(4): 545-553.
- [42] Bassler M, Afanas'ev V V, Pensl G, et al. Degradation of 6H SiC MOS capacitors operated at high temperatures [J]. Microelectronic Engineering, 1999, 48(1-4): 257-260.
- [43] Green R, Lelis A, Habersat D. Charge Trapping in SiC Power MOSFETs and its Consequences for Robust Reliability Testing [M]//DEVATY R P, DUDLEY M, CHOW T P, et al. Silicon Carbide and Related Materials 2011, Pts 1 and 2. 2012: 1085-+.
- [44] Marinella M J, Schroder D K, Isaacs-Smith T, et al. Evidence of negative bias temperature instability in 4H-SiC metal oxide semiconductor capacitors [J]. Applied Physics Letters, 2007, 90(25): 253508.
- [45] Okayama T, Arthur S D, Garrett J L, et al. Bias-stress induced threshold voltage and drain current instability in 4H–SiC DMOSFETs [J]. Solid-State Electronics, 2008, 52(1): 164-170.
- [46] Chanthaphan A, Hosoi T, Mitani S, et al. Investigation of unusual mobile ion effects in

thermally grown SiO₂ on 4H-SiC(0001) at high temperatures [J]. Applied Physics Letters, 2012, 100(25): 252103.

- [47] Hiyoshi T, Kimoto T. Reduction of Deep Levels and Improvement of Carrier Lifetime in n-Type 4H-SiC by Thermal Oxidation [J]. Applied Physics Express, 2009, 2(4): 041101.
- [48] Deal B E, Grove A S. General Relationship for the Thermal Oxidation of Silicon [J]. Journal of Applied Physics, 1965, 36(12): 3770-3778.
- [49] Song Y, Dhar S, Feldman L C, et al. Modified Deal Grove model for the thermal oxidation of silicon carbide [J]. Journal of Applied Physics, 2004, 95(9): 4953-4957.
- [50] Suzuki A, Ashida H, Furui N, et al. Thermal Oxidation of SiC and Electrical Properties of Al– SiO₂–SiC MOS Structure [J]. Japanese Journal of Applied Physics, 1982, 21(Part 1, No. 4): 579-585.
- [51] Raynaud C. Silica films on silicon carbide: a review of electrical properties and device applications [J]. Journal of Non-Crystalline Solids, 2001, 280(1-3): 1-31.
- [52] Nakano Y, Nakamura T, Kamisawa A, et al. Investigation of Pits Formed at Oxidation on 4H-SiC [M]//SUZUKI A, OKUMURA H, KIMOTO T, et al. Silicon Carbide and Related Materials 2007, Pts 1 and 2. 2009: 377-380.
- [53] Powell J A, Petit J B, Edgar J H, et al. Application of oxidation to the structural characterization of SiC epitaxial films [J]. Applied Physics Letters, 1991, 59(2): 183-185.
- [54] Christiansen K, Helbig R. Anisotropic oxidation of 6H SiC [J]. Journal of Applied Physics, 1996, 79(6): 3276-3281.
- [55] Ueno K. Orientation Dependence of the Oxidation of SiC Surfaces [J]. physica status solidi (a), 1997, 162(1): 299-304.
- [56]Onda S, Kumar R, Hara K. SiC Integrated MOSFETs [J]. physica status solidi (a), 1997, 162(1): 369-388.
- [57] MOS PHYSICS AND TECHNOLOGY NICOLLIAN, EH, BREWS, JR [J]. Solid State Technology, 1983, 26(8): 283-283.
- [58] Holmessiedle A. THE SI-SIO₂ SYSTEM BALK, P [J]. Nature, 1989, 340(6229): 110-110.
- [59] Fukuda K, Suzuki S, Tanaka T, et al. Reduction of interface-state density in 4H-SiC n-type

metal–oxide–semiconductor structures using high-temperature hydrogen annealing [J]. Applied Physics Letters, 2000, 76(12): 1585-1587.

- [60] Lipkin L A, Palmour J W. Improved oxidation procedures for reduced SiO₂/SiC defects [J]. Journal of Electronic Materials, 1996, 25(5): 909-915.
- [61] Kosugi R, Suzuki S, Okamoto M, et al. Strong dependence of the inversion mobility of 4H and 6H SiC(0001) MOSFETs on the water content in pyrogenic re-oxidation annealing [J]. IEEE Electron Device Letters, 2002, 23(3): 136-138.
- [62] Zhang Q, Huang A Q, Wang J, et al. Design and Characterization of High-Voltage 4H-SiC p-IGBTs [J]. IEEE Transactions on Electron Devices, 2008, 55(8): 1912-1919.
- [63] Shenoy J N, Chindalore G L, Melloch M R, et al. Characterization and optimization of the SiO₂/SiC metal-oxide semiconductor interface [J]. Journal of Electronic Materials, 1995, 24(4): 303-309.
- [64] Kato M, Nanen Y, Suda J, et al. Improved Characteristics of SiC MOSFETs by Post-Oxidation Annealing in Ar at High Temperature [M]//MONAKHOV E V, HORNOS T, SVENSSON B G. Silicon Carbide and Related Materials 2010. 2011: 445-448.
- [65] Okuno E, Amano S. Reduction of interface trap density in 4H-SiC MOS by high-temperature oxidation [M]//YOSHIDA S, NISHINO S, HARIMA H, et al. Silicon Carbide and Related Materials 2001, Pts 1 and 2, Proceedings. 2002: 989-992.
- [66] Kimoto T, Kosugi H, Suda J, et al. Design and fabrication of RESURF MOSFETs on 4H-SiC(0001), (112~0), and 6H-SiC(0001) [J]. IEEE Transactions on Electron Devices, 2005, 52(1): 112-117.
- [67] Watanabe H, Hosoi T, Kirino T, et al. Synchrotron Radiation Photoelectron Spectroscopy Study of Thermally Grown Oxides on 4H-SiC(0001) Si-face and (000-1) C-face Substrates
 [M]//DEVATY R P, DUDLEY M, CHOW T P, et al. Silicon Carbide and Related Materials 2011, Pts 1 and 2. 2012: 697-+.
- [68] Noborio M, Suda J, Beljakowa S, et al. 4H-SiC MISFETs with nitrogen-containing insulators[J]. physica status solidi (a), 2009, 206(10): 2374-2390.
- [69] Lipkin L A, Das M K, Palmour J W. N₂O processing improves the 4H-SiC: SiO₂ interface

[M]//YOSHIDA S, NISHINO S, HARIMA H, et al. Silicon Carbide and Related Materials 2001, Pts 1 and 2, Proceedings. 2002: 985-988.

- [70] Kimoto T, Kanzaki Y, Noborio M, et al. Interface Properties of Metal–Oxide–Semiconductor Structures on 4H-SiC{0001} and (11-20) Formed by N₂O Oxidation [J]. Japanese Journal of Applied Physics, 2005, 44(3): 1213-1218.
- [71] Chung G Y, Tin C C, Williams J R, et al. Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide [J]. IEEE Electron Device Letters, 2001, 22(4): 176-178.
- [72] Schörner R, Friedrichs P, Peters D, et al. Enhanced channel mobility of 4H–SiC metal–oxide– semiconductor transistors fabricated with standard polycrystalline silicon technology and gateoxide nitridation [J]. Applied Physics Letters, 2002, 80(22): 4253-4255.
- [73] Noborio M, Suda J, Kimoto T. P-Channel MOSFETs on 4H-SiC {0001} and Nonbasal Faces Fabricated by Oxide Deposition and N₂O Annealing [J]. IEEE Transactions on Electron Devices, 2009, 56(9): 1953-1958.
- [74] Dhar S, Haney S, Cheng L, et al. Inversion layer carrier concentration and mobility in 4H–SiC metal-oxide-semiconductor field-effect transistors [J]. Journal of Applied Physics, 2010, 108(5): 054509.
- [75] Rozen J, Dhar S, Zvanut M E, et al. Density of interface states, electron traps, and hole traps as a function of the nitrogen density in SiO₂ on SiC [J]. Journal of Applied Physics, 2009, 105(12): 124506.
- [76] Biggerstaff T L, Reynolds C L, Zheleva T, et al. Relationship between 4H-SiC / SiO₂ transition layer thickness and mobility [J]. Applied Physics Letters, 2009, 95(3): 032108.
- [77] Li H-f, Dimitrijev S, Harrison H B, et al. Interfacial characteristics of N₂O and NO nitrided SiO₂ grown on SiC by rapid thermal processing [J]. Applied Physics Letters, 1997, 70(15): 2028-2030.
- [78] Chung G Y, Tin C C, Williams J R, et al. Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide [J]. Applied Physics Letters, 2000, 76(13): 1713-1715.

- [79] Laurendeau N M. Fast Nitrogen Dioxide Reactions: Significance during NO Decomposition and NO2Formation [J]. Combustion Science and Technology, 1975, 11(3-4): 89-96.
- [80] Gudjonsson G, Olafsson H O, Allerstam F, et al. High field-effect mobility in n-channel Si face 4H-SiC MOSFETs with gate oxide grown on aluminum ion-implanted material [J]. IEEE Electron Device Letters, 2005, 26(2): 96-98.
- [81] Das M K, Hull B A, Krishnaswami S, et al. Improved 4H-SiC MOS interfaces produced via two independent processes: Metal enhanced oxidation and 1300 degrees C NO anneal [M]//DEVATY R P. Silicon Carbide and Related Materials 2005, Pts 1 and 2. 2006: 967-970.
- [82] Yano H, Hatayama T, Uraoka Y, et al. High temperature NO annealing of deposited SiO₂ and SiON films on n-type 4H-SiC [M]//NIPOTI R, POGGI A, SCORZONI A. Silicon Carbide and Related Materials 2004. 2005: 685-688.
- [83] Kimoto T, Kawano H, Noborio M, et al. Improved dielectric and interface properties of 4H-SiC MOS structures processed by oxide deposition and N₂O annealing [M]//DEVATY R P. Silicon Carbide and Related Materials 2005, Pts 1 and 2. 2006: 987-990.
- [84] Afanas'ev V V, Ciobanu F, Pensl G, et al. Contributions to the density of interface states in SiC MOS structures [J]. Silicon Carbide: Recent Major Advances, 2004: 343-371.
- [85] Schroder D K. ELECTRICAL CHARACTERIZATION OF SEMICONDUCTOR-MATERIALS AND DEVICES [J]. Acs Symposium Series, 1986, 295: 18-33.
- [86] Yoshioka H, Nakamura T, Kimoto T. Accurate evaluation of interface state density in SiC metal-oxide-semiconductor structures using surface potential based on depletion capacitance [J]. Journal of Applied Physics, 2012, 111(1): 014502.
- [87] Van Overstraeten R, Declerck G, Broux G. Graphical Technique to Determine the Density of Surface States at the Si-SiO₂ Interface of MOS Devices Using the Quasistatic C-V Method [J]. J Electrochem Soc, 1973, 120(12): 1785-1787.
- [88] Lenzlinger M, Snow E H. Fowler Nordheim Tunneling into Thermally Grown SiO₂ [J]. Journal of Applied Physics, 1969, 40(1): 278-283.
- [89] Ishikawa Y, Okigawa M, Samukawa S, et al. Reduction of plasma-induced damage in SiO₂ films during pulse-time-modulated plasma irradiation [J]. Journal of Vacuum Science &

Technology B: Microelectronics and Nanometer Structures, 2005, 23(2): 389-394.

- [90] Ikeguchi D, Hosoi T, Nakano Y, et al. Insights into ultraviolet-induced electrical degradation of thermally grown SiO₂/4H-SiC(0001) interface [J]. Applied Physics Letters, 2014, 104(1): 012107.
- [91] Ikeguchi D, Kirino T, Mitani S, et al. Impact of UV irradiation on thermally grown 4H-SiC MOS devices [M]//DEVATY R P, DUDLEY M, CHOW T P, et al. Silicon Carbide and Related Materials 2011, Pts 1 and 2. 2012: 765-+.
- [92] Watanabe H, Ikeguchi D, Kirino T, et al. Novel Approach for Improving Interface Quality of 4H-SiC MOS Devices with UV Irradiation and Subsequent Thermal Annealing [M]//LEBEDEV A A, DAVYDOV S Y, IVANOV P A, et al. Silicon Carbide and Related Materials 2012. 2013: 741-+.
- [93] Koo S-M, Jung S-W, Moon K-S, et al. Annealing Dependence of Negative Bias Temperature Instability (NBTI) in 4H-SiC MOSFETs [J]. Journal of Nanoelectronics and Optoelectronics, 2017, 12(10): 1167-1171.
- [94] Okamoto D, Yano H, Oshiro Y, et al. Investigation of Near-Interface Traps Generated by NO Direct Oxidation in C-face 4H-SiC Metal–Oxide–Semiconductor Structures [J]. Applied Physics Express, 2009, 2(2): 021201.
- [95] Afanas'ev V V, Stesmans A. Hole traps in oxide layers thermally grown on SiC [J]. Applied Physics Letters, 1996, 69(15): 2252-2254.
- [96] Fujino Y, Kita K. Estimation of near-interface oxide trap density at SiO₂/SiC metal-oxidesemiconductor interfaces by transient capacitance measurements at various temperatures [J]. Journal of Applied Physics, 2016, 120(8): 085710.
- [97] Yang C, Yin Z, Zhang F, et al. Synergistic passivation effects of nitrogen plasma and oxygen plasma on improving the interface quality and bias temperature instability of 4H-SiC MOS capacitors [J]. Applied Surface Science, 2020, 513: 145837.
- [98] Kobayashi T, Kimoto T. Carbon ejection from a SiO₂/SiC(0001) interface by annealing in high-purity Ar [J]. Applied Physics Letters, 2017, 111(6): 062101.
- [99] Pitthan E, dos Reis R, Corrêa S A, et al. Influence of CO annealing in metal-oxide-

semiconductor capacitors with SiO₂ films thermally grown on Si and on SiC [J]. Journal of Applied Physics, 2016, 119(2): 025307.

- [100] Kobayashi T, Harada K, Kumagai Y, et al. Native point defects and carbon clusters in 4H-SiC: A hybrid functional study [J]. Journal of Applied Physics, 2019, 125(12): 125701.
- [101] Akai T, Imamura K, Kobayashi H. Fabrication Mechanism of Atomically Flat n-Type 4H-SiC (000-1) Surfaces by Electrochemical Method [J]. ECS Journal of Solid State Science and Technology, 2017, 6(5): 265-269.
- [102] Zhu Q, Huang L, Li W, et al. Chemical structure study of SiO₂/4H-SiC (0001) interface transition region by angle-dependent x-ray photoelectron spectroscopy [J]. Applied Physics Letters, 2011, 99(8): 082102.
- [103] Kim D K, Jeong K S, Kang Y S, et al. Controlling the defects and transition layer in SiO₂ films grown on 4H-SiC via direct plasma-assisted oxidation [J]. Sci Rep, 2016, 6: 34945.
- [104] Jia Y, Lv H, Tang X, et al. Comparative study on slow-state near interface hole traps in NO and Ar annealed N-type 4H-SiC MOS capacitors by ultraviolet light [J]. Journal of Materials Science: Materials in Electronics, 2018, 29(16): 14292-14299.
- [105] Hijikata Y, Yaguchi H, Yoshikawa M, et al. Composition analysis of SiO₂/SiC interfaces by electron spectroscopic measurements using slope-shaped oxide films [J]. Applied Surface Science, 2001, 184(1-4): 161-166.
- [106] Zhang X, Okamoto D, Hatakeyama T, et al. Impact of oxide thickness on the density distribution of near-interface traps in 4H-SiC MOS capacitors [J]. Japanese Journal of Applied Physics, 2018, 57(6S3): 06KA04.
- [107] Kizilyalli I C, Carlson E P, Cunningham D W. Barriers to the Adoption of Wide-Bandgap Semiconductors for Power Electronics [M]. 2018 IEEE International Electron Devices Meeting. San Francisco, CA, USA; IEEE. 2018: 19.16.11.
- [108] Soares G V, Baumvol I J R, Hold L, et al. Sequential thermal treatments of SiC in NO and
 O₂: Atomic transport and electrical characteristics [J]. Applied Physics Letters, 2007, 91(4):
 041906.
- [109] Moghadam H A, Dimitrijev S, Han J S, et al. Active defects in MOS devices on 4H-SiC:

A critical review [J]. Microelectronics Reliability, 2016, 60: 1-9.

- [110] Kobayashi T, Kimoto T. Carbon ejection from a SiO₂/SiC(0001) interface by annealing in high-purity Ar [J]. Applied Physics Letters, 2017, 111(6): 062101-062104.
- [111] Regoutz A, Pobegen G, Aichinger T. Interface chemistry and electrical characteristics of 4H-SiC/SiO₂ after nitridation in varying atmospheres [J]. J Mater Chem C, 2018, 6(44): 12079-12085.
- [112] Kobayashi T, Tachiki K; Ito K, et al. Reduction of interface state density in SiC (0001)
 MOS structures by low-oxygen-partial-pressure annealing [J]. Applied Phusics Express, 2019, 12: 3.
- [113] Hosoi T, Nagai D, Sometani M, et al. Ultrahigh-temperature rapid thermal oxidation of 4H-SiC(0001) surfaces and oxidation temperature dependence of SiO₂/SiC interface properties
 [J]. Applied Physics Letters, 2016, 109(18): 5.
- [114] Hosoi T, Katsu Y, Moges K, et al. Passive-active oxidation boundary for thermal oxidation of 4H-SiC(0001) surface in O-2/Ar gas mixture and its impact on SiO₂/SiC interface quality [J]. Applied Physics Express, 2018, 11(9): 4.
- [115] Wan C P, Xu H Y, Xia J H, et al. Ultrahigh-temperature oxidation of 4H-SiC (0001) and gate oxide reliability dependence on oxidation temperature [J]. Journal of Crystal Growth, 2020, 530: 4.
- [116] Di Ventra M, Pantelides S T. Atomic-scale mechanisms of oxygen precipitation and thinfilm oxidation of SiC [J]. Physical Review Letters, 1999, 83(8): 1624-1627.
- [117] Kobayashi K, Shimizu H, Shima A. D-it control during heating and cooling steps of dry oxidation for reliable gate insulator in SiC MOSFETs [J]. Japanese Journal of Applied Physics, 2019, 58(9): 8.
- Kobayashi T, Tachiki K, Ito K, et al. Reduction of interface state density in SiC (0001)
 MOS structures by low-oxygen-partial-pressure annealing [J]. Applied Physics Express, 2019, 12(3): 031001-031003.
- [119] Afanas'Ev V V, Stesmans A, Bassler M, et al. Shallow electron traps at the 4H-SiC/SiO₂ interface [J]. Applied Physics Letters, 2000, 76(3): 336-338.

- [120] Frenkel J. On Pre-Breakdown Phenomena in Insulators and Electronic Semi-Conductors[J]. Physical Review, 1938, 54(8): 647-648.
- [121] Zhang F, Yang C, Su Y, et al. Study on the carrier capture and emission properties of silicon interstitial defects in near SiC/SiO₂ interface region [J]. Applied Surface Science, 2020: 145889.
- [122] Devynck F, Alkauskas A, Broqvist P, et al. Charge transition levels of carbon-, oxygen-, and hydrogen-related defects at the SiC/SiO₂ interface through hybrid functionals [J]. Physical Review B Condensed Matter, 2011, 84(23): 2461-2468.
- [123] Weibull W. A statistical distribution of wide applicability [J]. J Appl Mech, 1951, 18(2):293-297.
- [124] Lee S, Kim Y S, Kang H J, et al. Effects of post-deposition annealing on sputtered SiO₂/4H-SiC metal-oxide-semiconductor [J]. Solid-State Electronics, 2018, 139: 115-120.
- [125] Cabello M, Soler V, Rius G, et al. Advanced processing for mobility improvement in 4H-SiC MOSFETs: A review [J]. Materials Science in Semiconductor Processing, 2018, 78: 22-31.
- [126] Hosoi T, Kirino T, Mitani S, et al. Relationship between interface property and energy band alignment of thermally grown SiO₂ on 4H-SiC(0001) [J]. Curr Appl Phys, 2012, 12: S79-S82.
- [127] Tettamanzi G C, Paul A, Lee S, et al. Interface Trap Density Metrology of State-of-the-Art Undoped Si n-FinFETs [J]. IEEE Electron Device Letters, 2011, 32(4): 440-442.
- [128] Anders M A, Lenahan P M, Cochrane C J, et al. Relationship Between the 4H-SiC/SiO₂ Interface Structure and Electronic Properties Explored by Electrically Detected Magnetic Resonance [J]. Ieee Transactions on Electron Devices, 2015, 62(2): 301-308.
- [129] Cochrane C J, Lenahan P M, Lelis A J. The effect of nitric oxide anneals on silicon vacancies at and very near the interface of 4H SiC metal oxide semiconducting field effect transistors using electrically detected magnetic resonance [J]. Applied Physics Letters, 2013, 102(19): 4.
- [130] Umeda T, Kosugi R, Fukuda K, et al. Electrically Detected Magnetic Resonance (EDMR)

Studies of SiC-SiO₂ Interfaces [M]//DEVATY R P, DUDLEY M, CHOW T P, et al. Silicon Carbide and Related Materials 2011, Pts 1 and 2. Durnten-Zurich; Trans Tech Publications Ltd. 2012: 427-+.

- [131] Dycus J H, Xu W Z, Lichtenwalner D J, et al. Structure and chemistry of passivated SiC/SiO₂ interfaces [J]. Applied Physics Letters, 2016, 108(20): 201607.
- [132] Moges K, Sometani M, Hosoi T, et al. Sub-nanometer-scale depth profiling of nitrogen atoms in SiO₂/4H-SIC structures treated with NO annealing [J]. Applied Physics Express, 2018, 11(10): 4.
- [133] Rozen J, Dhar S, Zvanut M E, et al. Density of interface states, electron traps, and hole traps as a function of the nitrogen density in SiO(2) on SiC [J]. Journal of Applied Physics, 2009, 105(12): 11.
- [134] Xu H Y, Wan C P, Sang L, et al. Influence on curvature induced stress to the flatband voltage and interface density of 4H-SiC MOS structure [J]. Journal of Crystal Growth, 2019, 505: 59-61.
- [135] Seki H, Yoshikawa M, Kobayashi T, et al. Characterization of Thermal Oxides on 4H-SiC Epitaxial Substrates Using Fourier-Transform Infrared Spectroscopy [J]. Appl Spectrosc, 2017, 71(5): 911-918.
- [136] Hijikata Y, Yaguchi H, Yoshida S, et al. Effect of Ar post-oxidation annealing on oxide-4H-SiC interfaces studied by capacitance to voltage measurements and photoemission spectroscopy [J]. J Vac Sci Technol A, 2005, 23(2): 298-303.
- [137] Kobayashi T, Suda J, Kimoto T. Reduction of interface state density in SiC (0001) MOS structures by post-oxidation Ar annealing at high temperature [J]. AIP Advances, 2017, 7(4):
 5.
- [138] McDonald K, Feldman L C, Weller R A, et al. Kinetics of NO nitridation in SiO₂/4H-SiC
 [J]. Journal of Applied Physics, 2003, 93(4): 2257-2261.
- [139] Jia Y F, Lv H L, Tang X Y, et al. Influence of various NO annealing conditions on N-type and P-type 4H-SiC MOS capacitors [J]. Journal of Materials Science-Materials in Electronics, 2019, 30(11): 10302-10310.

- [140] Zhang X F, Okamoto D, Hatakeyama T, et al. Impact of oxide thickness on the density distribution of near-interface traps in 4H-SiC MOS capacitors [J]. Japanese Journal of Applied Physics, 2018, 57(6): 5.
- [141] Zhang X F, Okamoto D, Hatakeyama T, et al. Characterization of near-interface traps at
 4H-SiC metal-oxide-semiconductor interfaces using modified distributed circuit model [J].
 Applied Physics Express, 2017, 10(6): 4.
- [142] Okamoto D, Yano H, Oshiro Y, et al. Investigation of Near-Interface Traps Generated by NO Direct Oxidation in C-face 4H-SiC Metal–Oxide–Semiconductor Structures [J]. Applied Physics Express, 2009, 2:
- [143] Zhang Y-J, Yin Z-P, Su Y, et al. Passivation of carbon dimer defects in amorphous SiO₂/4H–SiC (0001) interface: A first-principles study [J]. Chinese Physics B, 2018, 27(4):
- [144] Sometani M, Okamoto D, Harada S, et al. Temperature-dependent analysis of conduction mechanism of leakage current in thermally grown oxide on 4H-SiC [J]. Journal of Applied Physics, 2015, 117(2): 6.
- Kil T-H, Kita K. Anomalous band alignment change of SiO₂/4H–SiC (0001) and (000–1)
 MOS capacitors induced by NO-POA and its possible origin [J]. Applied Physics Letters, 2020, 116(12): 5.
- [146] Fujihira K, Miura N, Shiozawa K, et al. Successful enhancement of lifetime for SiO₂ on
 4H-SiC by N₂O anneal [J]. Ieee Electron Device Letters, 2004, 25(11): 734-736.
- [147] Kimura M. Field and temperature acceleration model for time-dependent dielectric breakdown [J]. Ieee Transactions on Electron Devices, 1999, 46(1): 220-229.
- [148] Chokawa K, Araidai M, Shiraishi K. Effects of annealing with CO and CO2 molecules on oxygen vacancy defect density in amorphous SiO₂ formed by thermal oxidation of SIC [J]. Journal of Applied Physics, 2018, 124(13): 5.
- [149] Hirai H, Kita K. Structural difference between near interface oxides grown on Si and C faces of 4H-SiC characterized by infrared spectroscopy [J]. Applied Physics Letters, 2013, 103(13):
- [150] Eriguchi K, Harada Y, Niwa M. Effects of strained layer near SiO₂-Si interface on

electrical characteristics of ultrathin gate oxides [J]. Journal of Applied Physics, 2000, 87(4): 1990-1995.

- [151] Shen X, Pantelides S T. Identification of a major cause of endemically poor mobilities in SiC/SiO₂ structures [J]. Applied Physics Letters, 2011, 98(5): 053507.
- [152] Sometani M, Okamoto D, Harada S, et al. Threshold-voltage instability in 4H-SiC MOSFETs with nitrided gate oxide revealed by non-relaxation method [J]. Japanese Journal of Applied Physics, 2016, 55(4):

致 谢

当键盘敲击下论文最后一个句号,不禁开始静下心来,认真回顾研究生期间 的学习、工作、生活经历,心中感慨万千。研究生期间对我读博士给予支持、帮 助的人众多,每一位帮助过我的人都记在心上。博士不易,有了您们的帮助我才 能得以进步和成长。

首先感谢的是大力支持我的老师们。首先感谢的是我的导师金智主任,非常 感谢他给了我攻读博士学位的机会,让我能够走到学校生涯的终点,让我能够看 到登顶高峰后云上的风景。作为领导,他为人绅士大度、谦虚和蔼、平易近人、 不急不躁,在科研和生活上都给予了很大的支持和关心。其次,我要感谢许恒字 研究员,在我进行博士研究课题研究时,我都是直接向他寻求帮助和建议。虽然 我的研究生课题成本较高,但是他还是不遗余力的给予我支持,在选题、实验、 工艺、寻找资源等各方面都提供了莫大的帮助。他一直告诫我,作为博士要刨根 问底,要有见微知著的能力,这使我对研究内容有了更深入的理解。然后,我要 感谢赵发展主任,他是最初让我走进半导体纷繁世界的领路人。他让我接触了半 导体的方方面面,从量子物理、到器件、工艺、电路,最后到封装,让我对半导 体有了宏观的认识。他不仅是我的导师,更是关心我的朋友,他的人格魅力深深 的让我折服,他的鼓励,让我走过读研的荆棘道路。还要感谢苏永波老师,罗卫 军老师,王大海老师,刘阳老师,李博老师和更多帮助过我的老师,对我的支持 和鼓励。

然后,我要感谢我的同学们。首先是并肩作战的战友们,张晓瑞、贾涵博、 童志航、韩忠霖、刘建华、李东泽、刘雪原、王世海、曹书睿、甄文祥,我们统 一战线,并肩作战,让我有了走下去的动力。我要特别感谢我的学姐万彩萍,她 总是给我讲解知识,和我讨论问题,教给我工艺和测试方法,给我逐字逐句修改 文章,而在生活上也是互相关心的朋友。然后是原来办公室的小伙伴们,李洋洋, 程泽军,王琳,晨曦,安志航,张天洋,张小琴,彭瑞、汤红菊,让我体会到了 温馨和快乐。感谢我的师兄,张一川,郝继龙,少军,胡飞、黄云波、徐子轩、 王荣超、王芳芳等,给了我支持和鼓励。感谢我的女朋友赵立欢,给了我生活上

109

的帮助,在我失落的时候照顾我,让我体会到了生活的苦辣酸甜,让我的理想化 趋向于实际,让我学会了去关心,去照顾。感谢我的舍友们,最铁的哥们,登过 山,翻过云,到过南天门,逮过羊,喝到醉,看过星满夜。感谢刚来到雁栖湖时 一起经过风风雨雨的小团体,让我经历了研究生期间最轻松快乐的时光。感谢 9307班,让我看到了什么是凝聚力,什么是大家庭。

最后,我要感谢我的家人,是让我走到最后的最大支柱。我要感谢他们,能 够让我走到求学之路的最后,作为我的坚强后盾,让我能够专心向梦想杨帆。他 们让我长大,让我学习,让我生活,让我寻求生命的真谛,让我,看清自己的路。

我感谢他们,不仅仅是因为帮助我完成了研究生的学业,更是感谢他们陪伴。 我的生活,因为有了他们,才变得鲜活起来。

罗志鹏

2021年6月

已发表(或正式接受)的学术论文:

一作论文:

[1] <u>Luo ZP</u>, Wan CP, Xu HY, Zhao Fazhan and Jin Z, "Effect of pulsed UV laser irradiation on 4H-SiC MOS with thermal gate oxide", **Journal of Materials Science-Materials in Electronics**, vol. 31, no. 8, pp. 5838-5842. Apr. 2020.

[2] <u>Zhipeng Luo</u>, Caiping Wan, Zhi Jin and Hengyu Xu, "Effects of sequential annealing in low oxygen partial-pressure and NO on 4H-SiC MOS devices", Semiconductor Science and Technology. vol. 36, no. 045021. Mar. 2021.

[3] <u>ZhiPeng Luo</u>, Caiping Wan, Jinghua Xia, Zhi Jin and Hengyu Xu, "The Effect on the Interface and Reliability of SiC MOS by Ar/O₂ Annealing", **Materials Science Forum**, vol. 1014, pp.102-108. Nov. 2020.

申请或已获得的专利

- [1] 罗志鹏,许恒宇,金智,万彩萍,申请号: 202010244764.0.
- [2] 罗志鹏,许恒宇,金智,万彩萍,申请号: 202010246752.1
- [3] 罗志鹏, 许恒宇, 万彩萍, 金智, 申请号: 202010188857.6.
- [4] 罗志鹏, 罗家俊, 赵发展, 申请号: 201811474382.6.

博士期间获得的奖励

- [1] 2019年获得中国科学院大学校级"三好学生"荣誉称号。
- [2] 2019年获得中国科学院大学校级"优秀学生干部"荣誉称号。
- [3] 2019年获得中国科学院微电子研究所"优秀学生干部"荣誉称号。
- [4] 2019年、2020年获得微电子所学业奖学金,A等奖学金
- [5] 2017年、2018年获得微电子所学业奖学金,全额奖学金
- [6] 2017年获得"优秀学生干部"荣誉称号
- [7] 2017 年获得"三好学生"荣誉称号