

密级:



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

高速硅光模块封装关键技术研究

作者姓名: 李志雄

指导教师: 刘丰满 研究员 中国科学院微电子研究所

学位类别: 工程硕士

学科专业: 电子与通信工程

培养单位: 中国科学院微电子研究所

2020 年 6 月

Research on Key Technologies of High-Speed Silicon Optical
Module Packaging

A thesis submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Master of Engineering
in Electronics and Communication Engineering

By

Li Zhixiong

Supervisor: Professor Liu Fengman

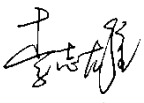
Institute of Microelectronics of Chinese Academy of Sciences

June, 2020

中国科学院大学

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

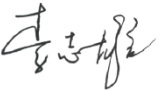
作者签名： 
日期： 2020.5.21

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究成果公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名： 
日期： 2020.5.21

导师签名：
日期：

摘 要

随着大数据、云计算、第五代移动通信以及人工智能等应用的快速发展，全球的通讯数据量急剧增长，极大地增大了对现今的通信系统的压力。光互连具有宽频带、抗电磁干扰、强保密性、低传输损耗、低功耗、低时延等明显优于电互连的特点，广泛运用于服务器之间或者服务器与路由器之间。光互连收发模块作为光互连的核心模块，决定最终的通信质量。本文对光互连的收发模块进行了封装设计与仿真优化，完成了 4×25 Gbps 光收发模块的封装设计与制作，并对光发送模块中的硅基马赫-曾德尔调制器完成仿真与设计，这些对未来更高速率、低功耗、高密度的光互连系统的设计和研究有指导意义。其主要内容包括：

（1）在光电系统集成中的光电协同设计方面，通过光电链路系统仿真，研究了调制器的有源区长度对光电系统的影响，确定了最优的调制器有源区长度；通过链路误码率仿真结果，逐一验证了激光器光功率、探测器响应度、调制器驱动信号峰峰值电压等光、电器件性能指标对光电集成链路性能影响，验证了现有器件组成系统能满足系统指标要求。

（2）在系统集成方面，主要针对光电收发模块的封装设计，提出了一种低成本、低功耗、组装工艺简单的光电收发一体的封装形式，并研究了该封装结构的电学性能对光电集成系统的影响，从系统层面仿真验证了封装结构能满足指标要求。

（3）在发送模块的光调制器设计方面，首先对光调制器的调制原理进行研究；然后对调制器的 PN 结仿真优化设计，其中包括折射率、光吸收系数以及本征带宽的优化设计；其次对调制器的行波电极进行仿真设计；最后完成了支持 NRZ 25 Gbps 及 PAM-4 50 Gbps 的硅基电光调制器的设计。

关键词：光收发模块，系统集成，链路仿真，误码率，眼图，光调制器

Abstract

With the rapid development of applications such as big data, cloud computing, fifth-generation mobile communications, and artificial intelligence, the amount of global communications data has increased dramatically, greatly increasing the pressure on today's communications systems. Optical interconnection has the characteristics of high bandwidth, anti-electromagnetic interference, strong confidentiality, low transmission loss, low power consumption, and low latency, which are obviously better than electrical interconnection. It is widely used between servers or between servers and routers. In this paper, the package design and simulation optimization of the optical transceiver module are completed. The package design and production of the 4×25 Gbps optical transceiver module are completed. The silicon-based Mach-Zehnder modulator in the optical transmission module is simulated and designed. These have guiding significance for the design and research of higher-speed, low-power, high-density optical interconnection systems in the future. The main contents in this thesis are as follows:

(1) In the aspect of optoelectronic co-design in the optoelectronic integrated system, through the optoelectronic simulation link system, the influence of the active area length of the modulator on the optoelectronic system is studied, and the optimal active area length of the modulator is determined; The link bit error rate simulation results have verified the impact of the optical device performance indicators such as laser optical power, photodetector responsivity, and peak-to-peak voltage of modulator drive signal on the performance of the integrated link, and verified that the existing device composition system can meet the system requirements.

(2) In terms of system integration, the packaging design of the optoelectronic transceiver module is mainly proposed. A low cost, low power consumption, simple assembly process of the optoelectronic transceiver package is proposed, and the influence of the electrical performance of the package structure on the integrated module is studied. It is verified from the system level that the package structure can

meet the system indicators.

(3) In the design of the optical modulator of the transmission module, the modulation principle of the optical modulator is studied first; Then the optimization design of the PN junction simulation of the modulator, including the optimized design of the refractive index, light absorption coefficient and intrinsic bandwidth; The traveling wave electrode of the modulator was simulated and designed; Finally, the design of the silicon-based electro-optic modulator supporting NRZ 25 Gbps and PAM-4 50 Gbps was completed.

Key Words: optical transceiver module, system integration, link simulation, bit error rate, eye diagram, optical modulator

目 录

第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.1.1 硅光技术的发展背景.....	1
1.1.2 硅光技术研究意义.....	2
1.2 硅基光电系统封装的研究现状与面临挑战.....	4
1.2.1 硅基光电系统的组成.....	4
1.2.2 硅基光电器件研究现状.....	6
1.2.3 硅基光电系统封装的研究现状.....	8
1.2.4 硅基光电系统封装面临的挑战.....	10
1.3 本论文的主要工作及创新点.....	12
1.3.1 论文的主要工作.....	12
1.3.2 论文的主要创新点.....	13
第 2 章 硅光系统封装设计与链路仿真优化	15
2.1 封装设计	15
2.2 链路仿真模型.....	17
2.3 链路仿真原理分析.....	18
2.4 光学链路仿真.....	20
2.4.1 调制器有源区长度.....	20
2.4.2 激光器光功率.....	23
2.4.3 探测器响应度.....	24
2.5 电学链路设计仿真测试.....	25
2.5.1 射频信号峰峰值.....	25
2.5.2 封装结构电学参数.....	27
2.6 本章小结.....	31
第 3 章 硅光集成系统的测试与分析	33
3.1 光模块性能测试研究内容.....	33
3.1.1 时域反射曲线、S 参数测试	33

3.1.2 眼图、误码率测试.....	34
3.2 光组件测试.....	35
3.3 封装测试板信号完整性测试.....	36
3.3.1 传输线的 TDR 测试.....	36
3.3.2 传输线 S 参数测试	38
3.4 光模块系统测试.....	41
3.4.1 收发模块测试系统构建.....	41
3.4.2 收发模块测试.....	42
3.5 本章小结	45
第 4 章 硅基电光调制器的设计与仿真	47
4.1 调制原理的理论分析.....	47
4.1.1 调制机理.....	47
4.1.2 马赫曾德尔调制器工作原理.....	49
4.2 调制器的性能指标.....	52
4.3 调制器的设计	53
4.3.1 PN 结结构设计 with 性能优化	53
4.3.2 行波电极设计.....	57
4.3.3 调制器的版图设计.....	59
4.4 新型的非对称式四脉冲幅度调制器的设计	60
4.4 本章小节	62
第 5 章 总结与展望	63
5.1 本论文主要内容和结论.....	63
5.2 未来工作展望	63
参考文献.....	65
攻读学位期间发表论文、专利及获得奖励	69
致 谢.....	71

第 1 章 绪论

1.1 研究背景及意义

1.1.1 硅光技术的发展背景

在过去的十年中,由于互联媒体、云计算、高清视频、以及提供服务的软件、平台、架构的快速发展,这些应用对数据传输速率和数据容量提出空前挑战。据 Gartner 等机构预测,到 2020 年全球通信数据总量将为 44 ZB,预计到 2024 年全球数据总量更将达到 123 ZB。与此同时,物联网或万物互联 (IoT / IoE) 仍处于发展的初级阶段,可以推测随着这些应用快速发展,它将进一步加剧数据中心通信拥挤。此外,大量数据流量需求已导致更多的大型数据中心建设,实现数据中心之间长而快速传输的链路已经迫在眉睫,光通信凭借着其低损耗、低串扰、高带宽的特点^[1-3]被认为是优于其他形式的互连,成为未来主流互连方式变得不可避免。

自从 20 世纪 60 年代半导体激光器的研制成功^[4]和 20 世纪 70 年代低传输损耗的光纤的发明^[5],光纤通信将彻底改变的电信通信方式,到 20 世纪 90 年代,由于高性能的发射机、光纤和接收机的成功研制,光纤通信已经发展到一个成熟阶段。如今光通信承担了目前约 90%的数据流量通信。

目前的光网络通信硬件部分主要通过光纤与光器件通过一定形式的封装结构组成。对于光纤的研究,目前日本的 Fujikura、Furugawa、和 Sumitomo Electric Industries 等公司已经将光纤在 C 波段和 O 波段的损耗降低到每千米 0.2 dB 以下,并且光纤具有低色散、大弯曲半径的等优点,使得光纤的应用更为广泛^[6]。

对于光器件的研究,目前主要发展方向为光子集成电路 (PIC),把分立的光子器,例如探测器、调制器、激光器等器件,集成到一片光子芯片上,如图 1.1 所示。光子集成电路的概念一经提出以后,立即得到各国通信行业的高度关注,例如美国总统奥巴马在 2014 年 10 宣布建立“国家光子集成制造创新研究所”,致力于改造终端-终端光子学“生态系统”。光子集成制造创新研究所是美国以国家层面建立的第四个创新研究所,体现了美国对相关领域的高度重视。而以 IBM 和 Intel 为首的国际芯片制造巨头也在全力开展相关技术研究。IBM 计划投

资 20 亿美金开展光子集成技术研究，并于 2010 年 12 月首次基于 90 nm CMOS 工艺实现光电混合集成芯片；而 Intel 也在 2010 年 10 月首次实现了 50 Gbps 硅基光传输芯片研发，并在 2013 年将传输速率提高至 100 Gbps。过去 20 年间，光子集成技术是学术界前沿研究热点之一，基本上欧美顶尖名校均投入到光子集成研究浪潮当中。我国近来在 973 计划和 863 计划以及国家自然科学基金的项目中也加大对硅基光子学研究的投入，目前国内从事硅基光电芯片研究的主要有中科院、清华大学、上海交通大学、华中科技大学等研究院所和高校以及华为、中兴、烽火等科研公司，他们在硅基材料、硅基光子器件以及光电子器件集成理论、硅光工艺等方面开展了深入的探索，并在硅基激光器、硅基电光调制器、硅基光电探测器等单个分离器件的研究上都取得了一定进展。

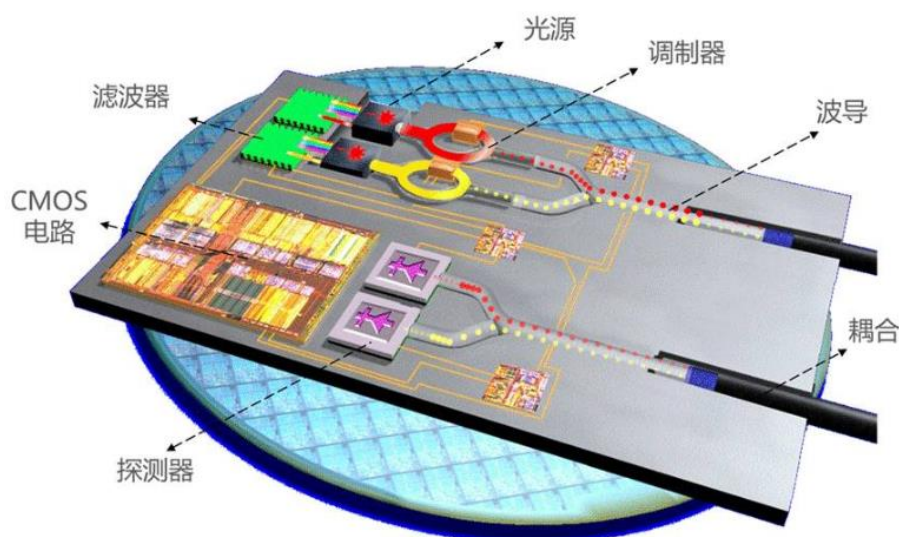


图 1.1 光子集成芯片

1.1.2 硅光技术研究意义

以硅材料为基础的微电子技术一直以强大的辐射力带动着计算机技术与信息技术的发展，并发挥着至关重要的作用。随着微电子集成芯片遵循着 Moore 定律向前发展，芯片内和芯片间的互连技术变得越来越重要；一方面，随着 CMOS 器件特征尺寸的缩小和晶体管密度的提升，芯片内单个晶体管的以及晶体管之间的延时和功耗不断下降，而芯片间的互连线延时和功耗却不断增加并逐渐占据主导。另一方面，随着集成电路功能性的增强，I/O 管脚的数量呈指数增加（根据 rents 规则），时钟和数据运行速度在不断提高以满足日益膨胀的数据处理和交

换需求，互连技术向着高传输速率和高集成度发展，以适应高速率大容量的信息传输需求，但是也使大容量信息处理芯片功耗大幅度地增大。由于电互连的传输带宽与互连线的截面大小成正比，与长度的平方成反比，决定了单根电互连线的信号传输速率受限；与此同时，由于集成密度的限制，芯片的焊盘和引脚数已经趋于饱和；预计到 2022 年芯片的输入/输出功耗为 250 fJ/bit。随着通信速率急剧增长，电互连在传输速率、集成度、功耗等方面开始受到其物理条件的制约，因此，功耗和带宽也成为目前信息技术进一步发展的障碍。

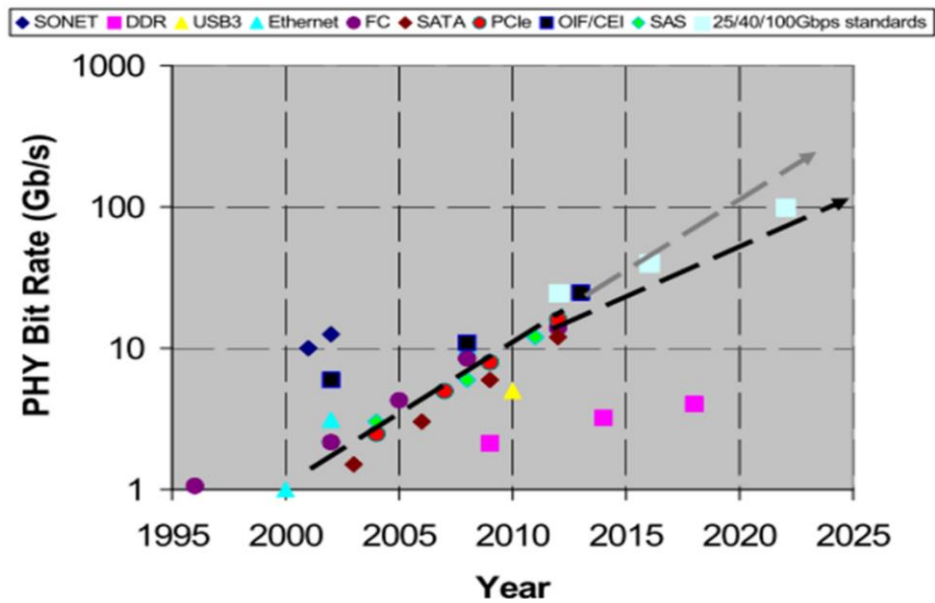


图 1.2 信号接口传输速率

在高通信速率的情况下，电互连的瓶颈逐渐出现，光互连高速通信逐渐成为主力。根据 ITRS 的高速接口的发展趋势式图 1.2 所示^[7]，未来光通信的带宽随着时间将迅速提升。从 2000 年的 1 Gbps 通信速率到 2020 年主流的 100 Gbps 速率。目前的 100 Gbps 网络主要是在现有的 10 Gbps、25 Gbps 的网络技术上通过多通道组合而来，并成为现有的组网的主要指标，承担 90% 数据流量传输。同时，硅基光器件的带宽进一步提升，推动数据通信网络向 400 Gbps 快速发展。

同时 Communication Industry Research 公司对下一代 400 Gbps 的通信技术进行了研究报道。下一代 400 Gbps 的通信技术相比于上一代 100 Gbps 通信技术，它不仅是简单的在通信网络带宽上的提升，而且对通信系统的小型化、低功耗等方面提出了更高的要求。未来光子市场规模将迅速发展，根据第三方研究结构 Yole 的分析师 Eric Mounier 预测，硅光子未来将有最高为 44.5% 的年复合增长率，

预计到 2024 年硅光市场规模将增长至 40 亿美元，如图 1.3 所示。随着硅基光器件设计水平与工艺条件的不断发展成熟，硅基光电器件将实现更高的电光、光电转换效率，将促使器件向更高的带宽发展的同时，大幅提升器件系统集成能力，降低器件成本、功耗等限制因素，使得硅基光电器件在未来的通信领域更具有发展潜力。

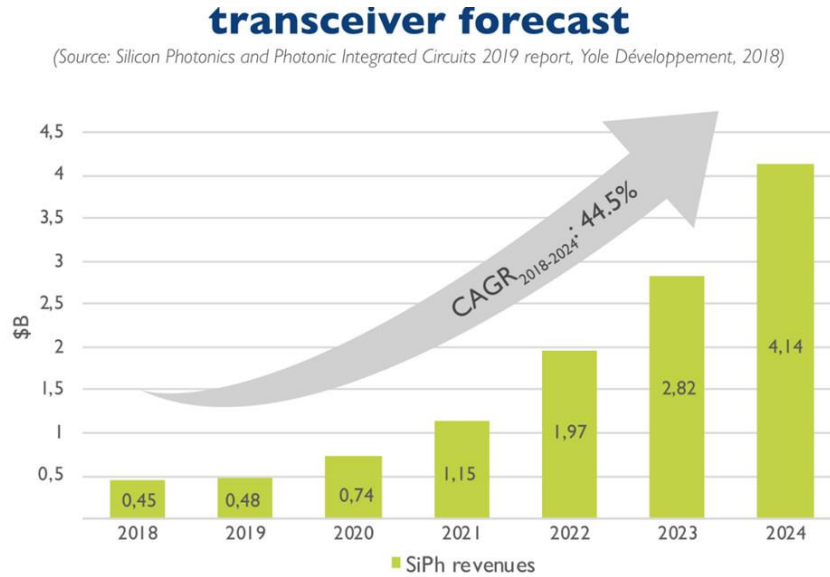


图 1.3 硅光子市场规模预测

1.2 硅基光电系统封装的研究现状与面临挑战

1.2.1 硅基光电系统的组成

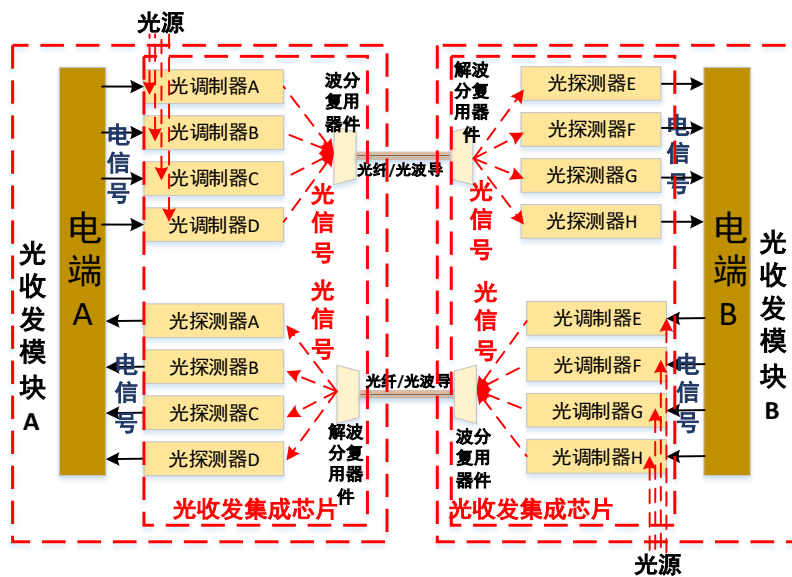


图 1.4 光互连系统的构架

硅基光电系统主要由硅基激光器、硅基光电集成芯片、光学组件、光纤以及电芯片等通过一定的封装形式组成,其中硅基集成芯片一般集成的光器件包括调制器(modulator)、探测器(PD, photodetector)、光栅(grating)等,电芯片一般包括驱动芯片(Driver)、跨阻放大器(TIA, transimpedance amplifier)等。信号从计算核心输出,通过电光转换的发送模块,电信号转换为光信号并经过光纤传输,接着通过光电转换的接收模块,光信号转换为电信号,如图 1.4 所示。与电互连相对比,采用光纤传输的光互连架构,单一的 25 Gbps 传输系统通过波分复用可以轻易达到 100 Gbps 的传输速率,甚至更快。

一个完整的光互连收发系统的具体组成如图 1.5 所示,主要包含发送端、传输介质和接收端三个部分:这种光互连系统的传输介质通常都是光纤,在 1 m 到 100 m 之间,一般采用多模光纤;传输距离 100 m 到 10 km 之间,一般采用单模光纤,同时在接收端前面增加光放大器和光滤波器。发送端通过一系列驱动芯片和调制芯片将电信号转成光信号,然后耦合进入光纤进行传输。光信号调制又分为直接调制和间接调制;接收端接收到光调制信号后,再经过一些光电转换芯片将光信号转成电信号。对于有些模块,将收发合为一体,进行双向通信;而有些模块,收发分离,进行单向通信。

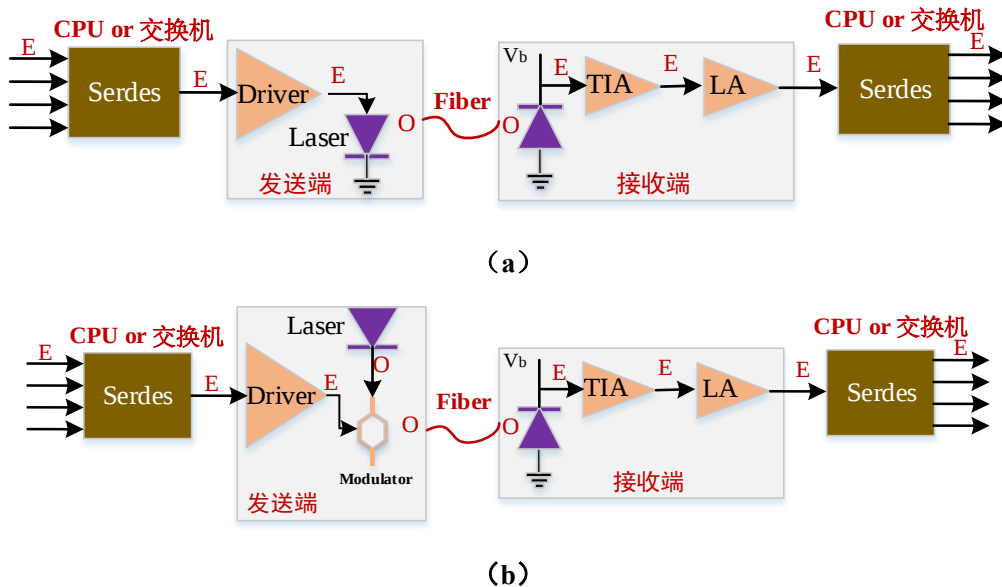


图 1.5 光互连系统的典型构架: (a) 直接调制结构; (b) 间接调制结构

目前,光模块系统集成方案主要有以下三种:①光模块以边沿热插拔的方式,通过主板上的电互连线与专用集成电路芯片(ASIC, Application Specific

Integrated Circuit) 连接, 如图 1.6(a)所示。但是热插拔的方式会限制互连的密度, 并且随着传输速率的增大, 主板上的电互连线增长会对传输造成越来越大的影响。但是这种光模块更换比较简单, 现在大多都已经标准化生产; ②光模块移到主板内部, 以嵌入式的形式靠近 ASIC 芯片, 如图 1.6(b)所示, 这样可以减小电互连线的影响, 提高互连密度。③还有一种方式是将光芯片和电芯片集成在一起, 协同设计光、电芯片, 如图 1.6(c)所示。这样可以简化系统设计并降低功耗, 但是目前具体实现比较困难, 它们对光电器件的可靠性要求比较高, 如果一个部分出现故障, 整个光电器件芯片都需更换。光、电芯片的集成是未来的目标。在未来几年, 仍会以热插拔和嵌入式光模块为主^[8, 9]。

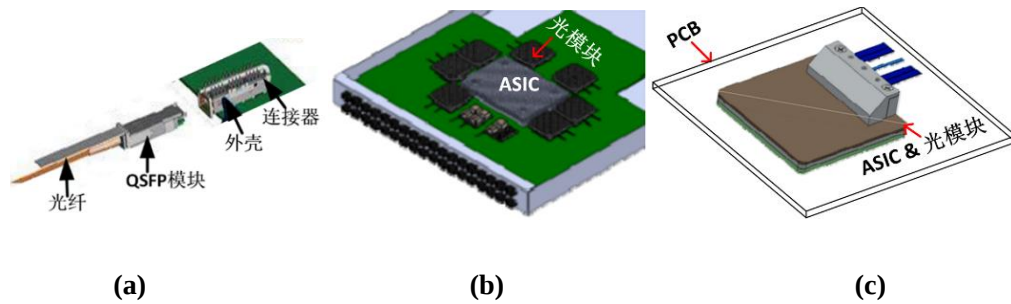


图 1.6 光模块: (a)边沿可插拔光模块; (b) 嵌入式光模块; (c)电芯片与光芯片集成模块

1.2.2 硅基光电器件研究现状

(1) 硅基激光器

由于硅为间接带隙材料, 硅基激光器的发光效率较低, 这是目前的硅基光源集成面临的最大困难^[10]。硅基光源按发光材料的不同, 主要分为硅基 IV 族材料光源和硅上集成 III-V 族直接带隙半导体材料的混合光源两大类。硅基 IV 族材料光源目前仍未实现实用的连续电泵激光, 难以应用在光互连系统中。目前大家公认能够实用并已经演示的硅上光源方案是采用 III-V 族材料与硅键合的硅混合激光源^[11]。硅上单模激光器主要有回音壁模式的微腔激光器以及 DFB 激光器。微腔激光器由于其小体积, 在低功耗方面有其天然的优势, 但其输出功率有待进一步提高。DFB 激光器因其良好的单色性和高的输出功率, 成为现阶段的一种可行选择。

美国 UCSB 在 2008 年报道了硅上分布反馈 (DFB) 激光器的研究成果, 他们利用 III-V 族材料与硅直接键合^[11], 制作出 10 °C 温度条件下的最大输出光功率 5.4 mW, 边模抑制比大于 50 dB 的硅基 III-V 族材料 DFB 激光器, 且能在最

高工作温度 50 °C 条件下工作。最近，他们通过改进工艺，提高了该 DFB 激光器的高温环境下的工作稳定性，实现了 70 °C 工作 5000 h 性能不退化。比利时根特大学和法国 III-V Lab 团队最近利用 BCB 键合技术，实现了硅上 DFB 激光器在 20 °C 温度条件下最大输出光功率大于 14 mW^[12]。

(2) 硅基调制器

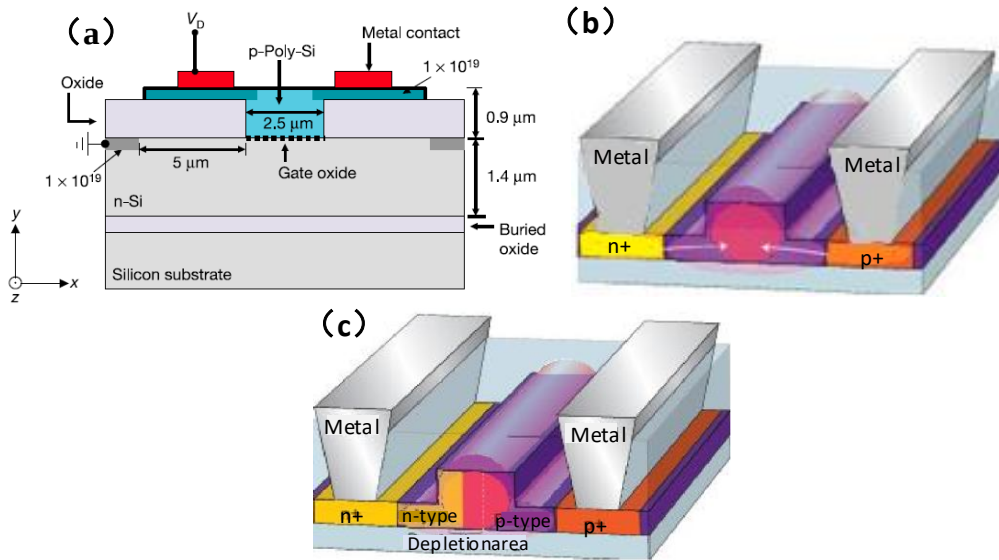


图 1.7 调制器结构：(a) MOS 电容结构；(b) 正向偏置 P-I-N 结构；(c) 反向偏置 P-N 结构

硅基电光调制器在近些年取得了很大进展，其中，纯硅电光调制器由于与 CMOS 工艺高度兼容而备受关注，其调制结构主要有 MOS 电容结构、正向偏置 P-I-N 结构和反向 P-N 或反向 P-I-N 结构。MOS 电容结构调制如图 1.7 (a) 所示，2004 年美国 Intel 公司设计的基于 MOS 电容结构的硅基电光调制器实现了 1 Gbit/s 的调制速率^[13]，由于 MOS 电容中的载流子在电场作用下做漂移运动，载流子运动速度快，且受电压控制，几乎没有电流，功耗低，但是该结构中载流子积累的区域很薄，与光场重叠区域较小，调制效率低，且该结构制作工艺复杂，没有商业应用前景。正向偏置的 P-I-N 结构如图 1.7 (b) 所示，2005 年 Lipson 课题组就采用了正向偏置 P-I-N 结构在微环谐振腔中实现了 1.5 Gbit/s 的调制速率^[14]，该结构由于采用载流子注入方式，但是载流子产生速度慢，难以实现高速调制。反向偏置的 P-N 或 P-I-N 结构如图 1.7 (c) 所示，该结构是利用对 PN 结加载反向电压，对 PN 结附近载流子进行抽取来改变载流子浓度，引起折射率变化，该种结构调制速率高，理论上可以实现几百吉赫兹调制速率，与 MOS 电容

结构相比,该结构与光场作用区域广且制造工艺简单,因此被广泛应用到电光调制器中,且目前大量被商业应用。

2007年美国Intel公司首次实现了40Gbps的Mach-Zehnder硅基电光调制器,但该调制器的消光比(ER, extinction ratio)仅为1 dB,而且光的插入损耗高达十几个dB,离商用尚有差距^[15]。经过多年努力,目前国际上已经有Intel、Luxtera、Oracle、Cisco、英国Southampton大学、法国Paris大学和新加坡IME等多个大学与科研机构报道了调制速率超过40 Gbps的Mach-Zehnder硅基电光调制器,但普遍存在片上插入损耗较大或者消光比低等问题。2013年新加坡IME报道了速率为50 Gbps,功耗为450 fJ/bit,插入损耗为1.6dB的Mach-Zehnder硅基电光调制器^[16]。2014年中国科学院半导体所研究人员采用引线键合(Wire-bonding)的技术优化阻抗实现了70 Gbps的调制速率^[17]。2018年中国信息通信科技集团有限公司的肖希团队在掏空衬底的基础上制作的Mach-Zehnder硅基电光调制器电光带宽大于50 GHz,且消光比在3 dB以上,实现了100 Gbps以上的调制速率^[18]。

(3) 硅基探测器

硅基光电探测器硅材料的带隙为1.12 eV,其对1.55 μm 通信波段是透明的,因此,必须辅助其它材料才能实现对1.55 μm 波段光信号的探测。近年来,硅基外延生长锗取得了重大突破,锗材料在1.55 μm 波段有很好的响应,并且与Si CMOS工艺具有较好的兼容性,使得硅基锗光电探测器成为理想选择。经过近十年的努力,硅基锗光电探测器的研究取得了一系列重要进展。

2012年法国与奥地利的科研人员合作,研制出波导结构的锗光电探测器,器件的工作速度达到40 Gbps,1550 nm波长下的响应度达到0.8 A/W^[19]。2017年比利时微电子研究中心(IMEC)研制出的P-I-N型探测器在-1 V的偏置电压下工作速率达到100 Gbps,1550 nm波长下为0.75 A/W,暗电流仅为4 nA^[20]。

1.2.3 硅基光电系统封装的研究现状

目前光互连系统互连密度和传输速率正在快速增长,光模块的封装方式也发生着巨大的变化。目前光电模块系统封装集成有两个方向发展:第一种方式是先将光芯片与光纤单独耦合形成光组件(OSA, Optical Subassembly),然后再通过互连方式与电芯片集成,组成光模块。第二种方式就是将光芯片、电芯片以及光

纤直接进行系统集成，形成一体化的光模块。

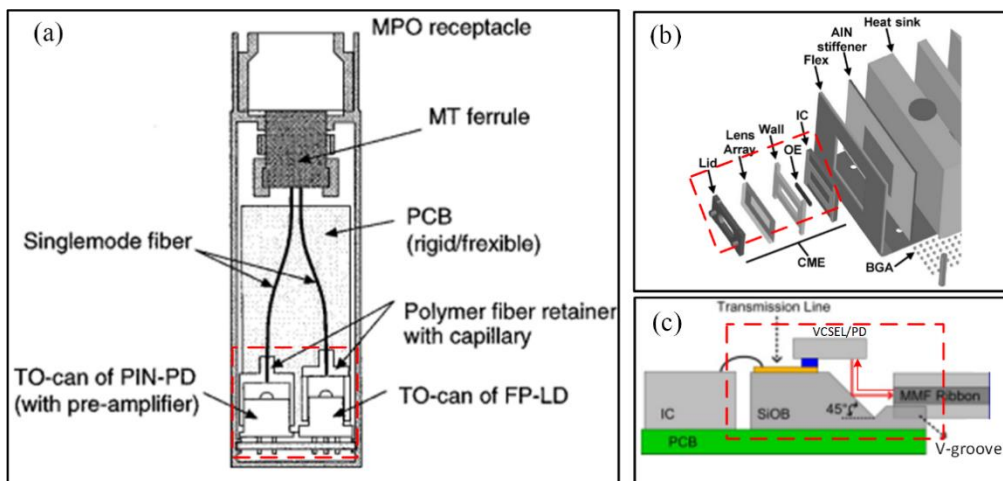


图 1.8 光组件组装而成的光模块封装（红框内是 OSA）：(a) TOSA；(b) CME；(c) 45°端面 SiOB

第一种方式在光模块最初的设计中，一般采用 To-can 的封装形式将光芯片与光纤耦合，然后再与电芯片进行封装集成，如图 1.8(a)所示。尽管 To-can 封装密闭性好、可靠性高，但是尺寸较大，实现多通道的光模块较为困难^[21]；后来，硅载板（SiOB, Silicon Optical Bench）的出现弥补了 To-can 的缺点，因为在较高加工精度的硅工艺下，SiOB 可以实现较小的尺寸，便于实现多通道光互连。2004 年，安捷伦实验室提出的光组件 CME 就是基于 SiOB^[22]，如图 1.8(b)所示，首先将电芯片放在带槽的 SiOB 上，再将光电芯片倒装到电芯片上，同时 SiOB 也为透镜的组装提供了支撑。最终组装好的 CME 通过引线键合（Wire-bonding）方式竖直地与电学柔性基板进行互连；2012 年，新加坡国立中央大学提出的光组件将光电芯片通过倒装（Flip-chip）的形式表贴到 SiOB 上，从光芯片发出的光通过 SiOB 端面的 45°平面镜耦合到多模光纤中，多模光纤位于 SiOB 的 V 型槽内，组装好的 OSA 与电学 PCB 通过引线键合互连^[23]，如图 1.8(c)所示。该种光组件移植性高，可以方便地与任何一种光模块兼容。

对于第二种封装形式，在 1999 年 NTT 实验室研究的光模块就将光芯片和电芯片通过 COB（Chip on board）封装形式组装到基板上，通过光电芯片上方光波导薄膜的 45° 端面，将光耦合到光波导中，再通过 BF（Bare fiber）连接器将光进一步耦合到多模光纤中^[24]，如图 1.9(a)所示；2010 年，IBM 提出的光模块是通过焊球将光芯片表贴到电芯片电极上，在电芯片上打光通孔（Optical vias），

从而 VCSEL 发射的光可以耦合到两层透镜位置处,然后再进一步耦合到光纤中;然后形成的“Holey”光芯片通过 BGA 贴装到有机基板上,组装好的模块具有 PGA 封装,从而可以插到测试母板中^[25],如图 1.9(b)所示;2013 年,富士通提出的光模块将光芯片和电芯片都表贴到柔性基板,将透镜和带有 45° 反射镜的光波导都贴装到柔性基板背面实现光耦合^[26],如图 1.9(c)所示。这种一体化的光模块集成度较高,但是光耦合部分不容易替换。

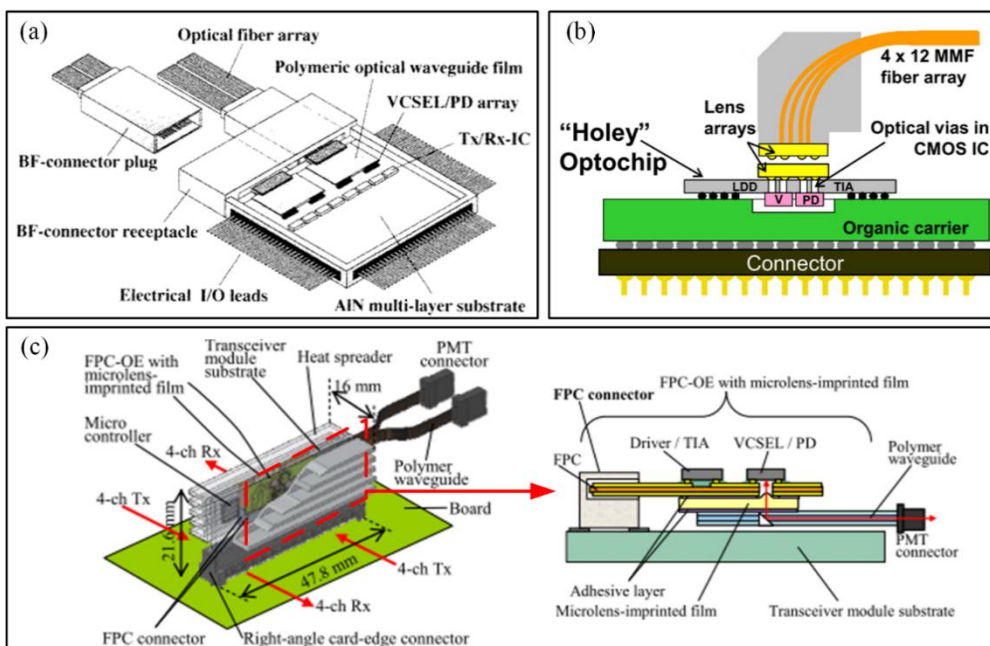


图 1.9 一体化的光模块封装

通常在光模块系统中增加多种形式的热沉(Heatsink)来提升散热效果。2004 年,安捷伦实验室提出的光模块在柔性基板上方加入一种特殊结构的热沉,其内部具有热管,相当于闭合的冷却系统,因而比金属块的散热效果更好^[22]。2013 年,富士通提出的光模块在电学 PCB 板的上下方都安装有金属热沉,也达到很好的散热效果^[26]。

1.2.4 硅基光电系统封装面临的挑战

硅基光电系统经过近几十年的快速发展,系统封装技术与光电器件指标都得快速提升,但仍然存在一些问题有待进一步解决,具体总计如下:

(1) 耦合问题

硅基光子器件系统封装的难点问题之一就是光学耦合问题,硅光芯片与单模光纤的耦合方式主要有两种:端面耦合对准和垂直耦合对准。耦合如图 1.10 所

示:

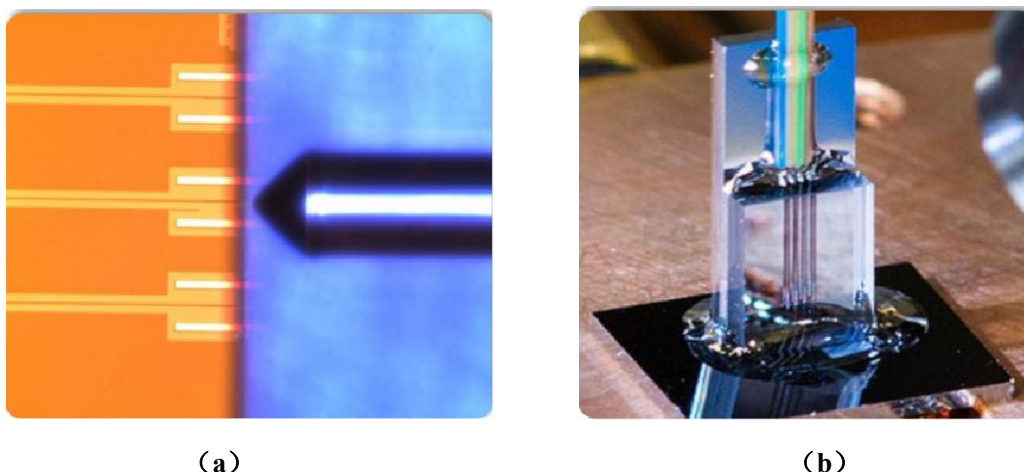


图 1.10 耦合实物图 (a) 端面耦合 (b) 垂直耦合^[27]

垂直耦合技术一般基于光纤与光栅的垂直耦合,与端面耦合相比较而言具有较低的封装成本,光栅耦合对偏振敏感,一般需要与起偏器配合使用,其光学带宽、损耗和与之相关的耦合指标落后于端面耦合。而端面耦合可以实现低损耗耦合,且与偏振无关,但是端面耦合位置处于光芯片边缘,存在光学封装问题与可靠性问题。

(2) 低成本、低功耗的封装问题

光电封装结构设计对光电系统至关重要,目前主要的光电封装形式有气密性封装、非气密封装、BGA 封装、2.5D 的硅转接板封装和 3D 封装几种。其中气密性封装通过金属管壳密封,成本较高,但是具有高可靠性,一般适用于较为复杂的工作环境中。非气密封装具有低成本和结构简单的优点,但是低可靠性。从微电子封装技术引入的 BGA 封装、2.5D 封装以及 3D 封装的具有高可靠性、高集成度、低损耗等优点,未来将成为硅基光电子的主要封装形式,但是封装的技术还需进一步提升,成本还需进一步降低。功耗问题也对光互连提出挑战,目前数据中心数据速率急剧增加,数据总量将迈向 100 ZB 量级,功耗成本急剧增加。

(3) 电光协同设计问题

硅基光芯片、电驱动芯片、封装结构的协同设计能力需要深入研究和突破,根据系统指标设计,就需要对光、电和光电的相互作用深入了解,同时需要对封装工艺深入探索研究,诸多的光电指标要求对系统的协同设计提出巨大的挑战。

1.3 本论文的主要工作及创新点

1.3.1 论文的主要工作

随着数据中心的规模和性能的不断发展,高性能计算机之间数据传输速率和传输容量的要求越来越高。在部分应用场景中电互连已经不能满足传输要求,而光互连技术正好具有一些优点,如损耗小、串扰小、带宽高、重量轻等,可以弥补电互连中的缺点,因而在近十年发展迅速。本文以高速硅光电模块封装关键技术为研究对象,提出了 100 Gbps 的收发一体模块的封装形式,建立一套光电协同的链路仿真系统,分别评估了调制器有源区长度、探测器响应度、激光器光功率和调制器驱动芯片电压峰峰值等光、电芯片的性能以及封装结构对链路系统性能的影响,本文设计的 4×25 Gbps 的传输速率光收发模块在传输距离 1000m 的条件下实现误码率 $1E-12$ 以下,且收发模块的总功率仅为 3.6 W。本论文的主要内容总结如下:

第一章,主要内容为硅光技术的研究背景及光电系统封装的研究现状与面临的挑战的概述。其中包括硅光技术的发展现状、发展意义以及光器件的介绍、光电收发系统的组成、硅基光电系统封装研究现状以及硅基光电系统封装面临的挑战。

第二章,主要内容为硅光集成系统的封装结构设计及链路仿真,其中包括封装结构的设计,以及根据封装结构建立的仿真链路系统评估了系统中调制器的有源区长度、激光器功率、探测器响应度、驱动信号的峰峰值对链路的误码率影响,评估了封装结构电学性能对光电混合系统的影响。

第三章,主要内容为所设计 4×25 Gbps 的硅光集成模块系统测试研究。其中包括光耦合性能的测试、测试基板电学性能测试、光电系统的眼图和误码率的测试,以及整个收发系统的功耗测试。

第四章,主要内容为发送模块中的硅光调制器的设计。其中包括调制器调制机理介绍,调制器的原理分析、调制器的重要指标介绍、调制器的 PN 结设计与仿真,调制器的行波电极设计与仿真,调制器的电学带宽与电光带宽的仿真,调制器的版图设计。最后提出了一种新型的非对称式的四脉冲幅度调制(PAM-4, four pulse amplitude modulator)的硅基电光调制器。

第五章,总结与展望。其中包括对目前工作的总结,针对问题进行的下一步

的工作计划。

1.3.2 论文的主要创新点

(1) 论文提出一种光电协同设计方法。通过分析光电集成链路系统误码率,确定了调制器的最优的有源区长度,并分析链路中的激光器光功率、探测器响应度、驱动信号峰峰值等光、电器件的性能指标对链路性能的影响。同时分析封装结构电学参数对系统的性能影响。协同设计光、电指标,使光电集成系统满足要求。

(2) 论文提出了一种结构简单、低成本、组装工艺简单的 100 Gbps 的光电收发模块封装结构。具体采用高速印刷电路板与光芯片采用引线键合封装形式,与电芯片采用 Flip-Chip 的封装形式,光纤与光芯片采用垂直耦合等光电封装技术使链路信号由电光到光电的转化在传输距离 1 km 的条件下满足误码率小于 $1\text{E-}12$ 。

(3) 论文提出了一种低功耗的收发模块系统封装。具体在单向通信速率 100Gbps 双向通信速率 200Gbps 情况下的总功率为 3.6 W,平均发送与接收 1 bit 的数据总功耗在 20 PJ 以下。

(4) 论文提出了一种新型的非对称式的四脉冲幅度调制的硅基电光调制器。具体采用在传统的马赫-曾德尔调制器的基础上,减小调制器一个调制臂的有源区的长度,并用普通波导替代,该调制器具有结构简单、调制方式简单、带宽高、插入损耗低、光调制幅度大等优点。

第2章 硅光系统封装设计与链路仿真优化

本章节利用硅基器件仿真模型、ANSYS HFSS 软件提取的电磁仿真参数在 Lumerical Interconnect 软件中对硅光电系统的性能进行仿真优化设计。本章首先介绍了硅光系统集成模块的封装结构设计。然后根据封装结构确定链路仿真模型,通过链路仿真系统的误码率,逐一分析混合集成链路中的调制器有源区长度、激光器光功率、探测器响应度、调制器驱动信号峰峰值等光、电器件指标对链路系统的性能影响。最后分析了封装结构的电学性能对链路系统性能的影响。通过链路仿真分析光、电器件指标与封装结构电学参数对系统影响,实现光电协同设计。

2.1 封装设计

本文设计的硅光系统集成模块采用收发一体设计,设计中采用单通道 25 Gbps 的通信速率的 4 个通道集成设计,实现单向通信速率 100 Gbps 双向通信速率 200 Gbps。设计模块中采用合适电芯片和自行设计的光芯片进行模块搭建,电芯片包括时调制器驱动芯片、时钟数据恢复芯片(CDR, clock data recover)、TIA 芯片等电芯片,光芯片包括马赫-曾德尔调制器(MZM, Mach-Zehnder modulator)、PD、光栅等光器件。

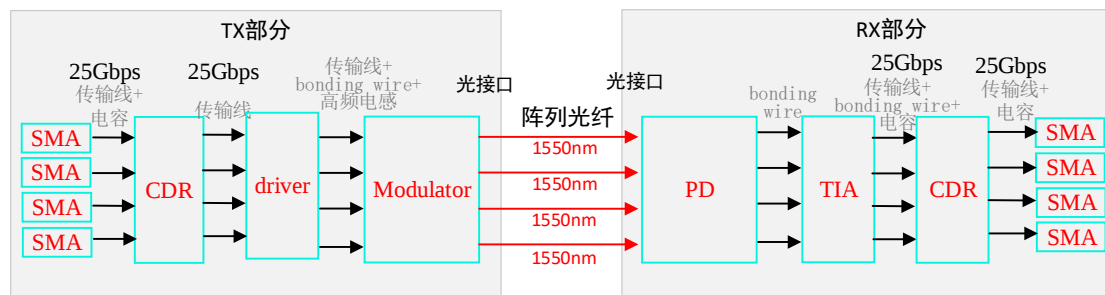


图 2.1 收发模块的框图

封装设计的系统框图如图 2.1 所示,在模块的发送端,外部高速信号从 SMA 接口输入高速测试基板,经过 CDR 对高速信号进行时钟数据恢复,接着通过 Driver 将其转换成调制器所需要的调制电压驱动信号,该调制电压信号驱动调制器,将高速电信号调制到直流光源上,产生调制光信号,再通过光纤将光信号传

输，光纤的传输距离在 1-1000 m 之间；在模块的接收端，PD 将光纤中的光信号转化为光电流信号，接着通过 TIA 芯片将其转换成电压信号，同时在接收端也通过 CDR 进行时钟数据恢复。

系统中 Driver 芯片和 TIA 芯片是通过硬件电压信号来控制，另外通过 TIA 芯片的引脚电压值可以监控接收的光电流信号强弱，TIA 的跨阻值 2.8 k Ω ；CDR 芯片需要通过 I2C 通信协议接口进行控制。发送端 Driver 输入到调制器的差分信号峰峰值在 3-6 V 之间，接收端 TIA 输出的差分幅值为最大值 700 mV，CDR 进行时序调整后的差分信号峰峰值最大为 1000 mV。调制器以及 PD 的带宽都在 20 GHz 以上，在 -1 V 反向偏置电压下，PD 响应度在 0.7 A/W 附近，暗电流为 5 nA。光信号通过光栅输入输出，光学部分用阵列光纤与光栅进行直接耦合。另外，在发送模块中的光源是从外部光纤输入的。

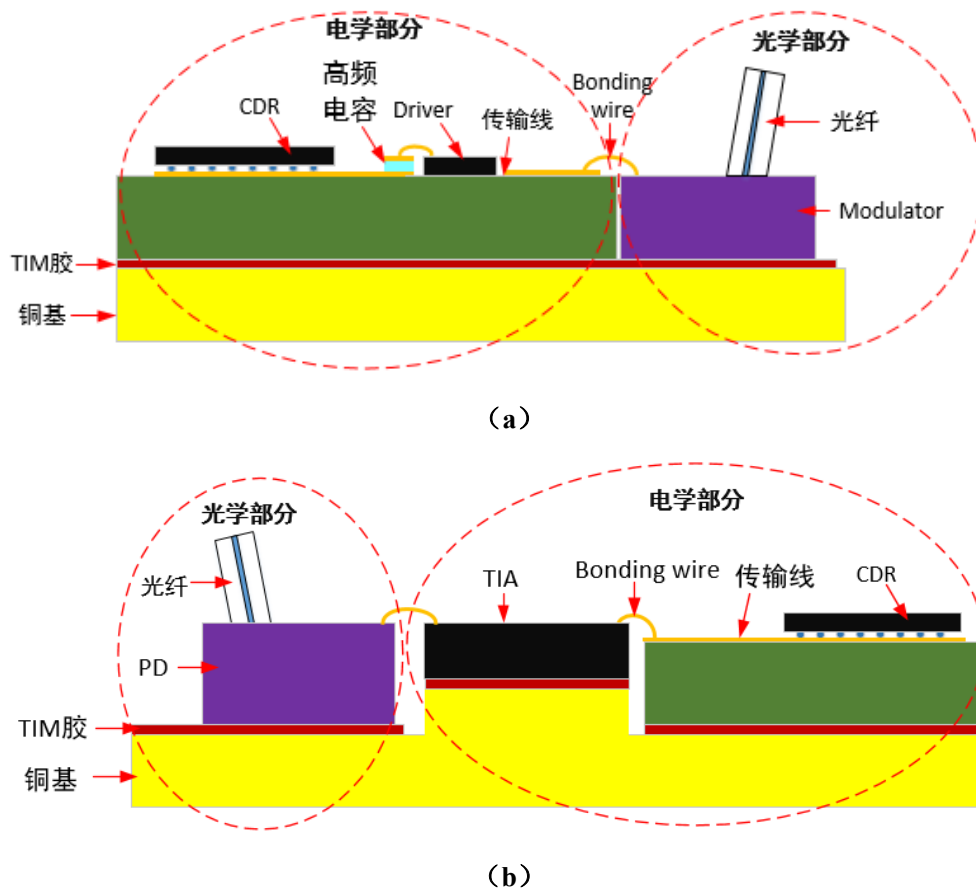


图 2.2 模块的封装方案：（a）发送部分的封装结构；（b）接收部分的封装结构

收发一体模封装结构的收、发结构示意图分别表示为如图 2（a）和图 2（b）所示，模块中具体包括光学部分和电学部分两部分。

光学部分具体包括光纤、光芯片（modulator/PD）和光栅等。在模块中，光学器件都放置在金属座上，避免 PCB 板的热应力导致光纤漂移，从而带来光耦合失效；另外光学器件较高，大概 750 μm ，而 PCB 板的高度正好 750 μm ，放置在 PCB 外部的铜基上，降低了打线的高度，从而很大程度上减小了打线长度，减小高速信号反射的影响。

电学包括有机基板、电芯片（Driver/TIA 以及 CDR）、无源器件、SMA 连接器等。采用有机材料基板作为封装基板，其具有成熟的工艺、较低的成本、良好的高频特性等优点。电芯片 Driver/TIA 分别与模块的光发送(TX)/光接收(RX)部分对应，分别与光学部分中的 modulator/PD 芯片相连；在接收端，将 TIA 也通过铜基垫高合适的位置，使 TIA 与 PD 的上表面在同一水平面上，有效降低了打线长度。其中 CDR 是 BGA 封装，通过焊球与有机基板互连；无源电容以及高频电感等器件通过 SMT 技术贴装在有机基板；SMA 直接通过螺丝按压到有机基板。

采用该种封装结构，还考虑了散热问题。光学部分和电学部分两者都共用一个铜基（Copper base）基座，将铜基组装在光学芯片和有机基板背面位置，有机基板上在电芯片位置都设计有热孔（Thermal vias），用于形成从发热芯片到铜基的良好散热通道。另外，铜基和芯片的表面都涂布有热界面材料（Thermal interface material），可以将热量迅速传导到外界，实现良好的热管理性能。

另外，从组装角度来看，该种封装结构更易组装。首先将电学部分单独组装，把无源器件 SMT 贴装在有机基板表面，其次将光芯片和电学部分共同安装在一个铜基上，并用粘合胶固定有机基板、电学芯片和铜基，接着进行光芯片、电芯片、有机基板的金丝键合。在上述器件进行完组装后，最后再进行光纤耦合。这样光纤在最后一步进行组装，保证了光耦合的精度。

2.2 链路仿真模型

根据 2.1 节提出的模块封装结构模型，建立了如图 2.3.所示硅光系统集成仿真链路模型，在发送端，C 波段激光器输出的光经过光栅耦合进入调制器，驱动芯片输出的射频信号驱动调制器对直流光信号进行脉冲幅度调制，经调制后的光信号通过光栅输出。光信号可以选择进入光功率计、光示波器或者光频谱仪，由这些仪器可以在链路中得到光功率、光眼图以及光传输频谱，从而得到光调制器

的光调制幅度（OMA, optical modulation amplitude）、消光比以及传输频谱等重要光学参数。光信号也可以选择进入光纤进行长距离传输。在接收端，长距离传输的光信号通过 PD 转化成强弱变化的电流信号，再经 TIA 等转化成电压信号，电示波器观察转换后的电信号眼图可以分析信号的质量，输出的电信号与输入的电信号对比可以得到链路的误码率，以此为依据来评判整个链路性能的质量，通过链路仿真可以实现协同设计，综合激光器、调制器、PD、Driver 芯片、TIA 芯片等光电器件指标，实现光电芯片的优化设计、光电芯片的指标的选择、封装结构的评估。

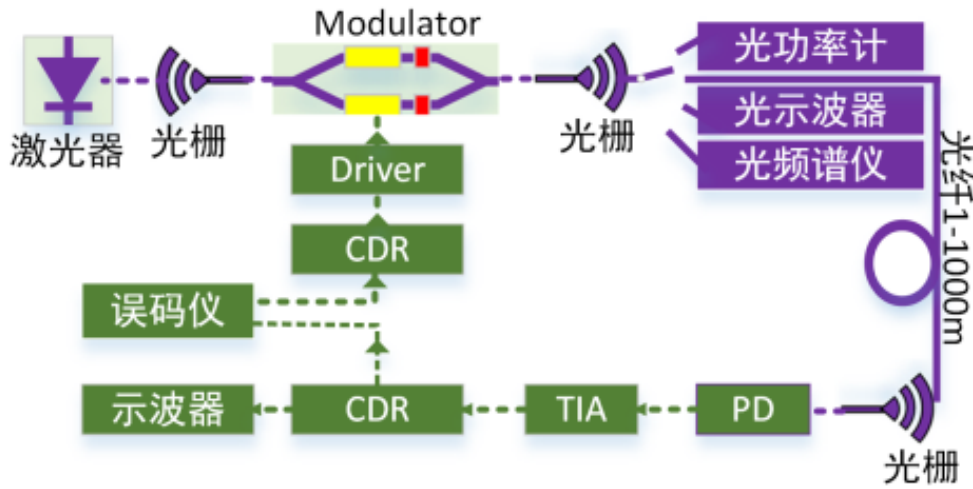


图 2.3 光电集成链路仿真系统示意图

2.3 链路仿真原理分析

图 2.3.中的调制器为双驱推挽式工作的调制器，每个调制臂包含一个高速相移器，单位长度的相移效率为 $\Delta\varphi$ rad/mm，单位长度的光学损耗为 α /mm，调节与上、下相移器相连的波导长度，引入长度差使两臂引入一个固定相位差 ϕ_0 ，使调制器静态工作点在正交工作点位置，一般两个调制臂之间的固定相位差为 $\phi_0=\pi/2$ ^[28]。如图 2.4 所示，调制器的一个调制臂上施加的电压 V ，另外一个调制臂上施加的与之对应的差分信号，单位长度的相移效率为 $\Delta\varphi$ 与施加的电压为 V 成近似线性关系。输入的光强与输出的光强的关系式可以表示为^[29]：

$$P_{out} = \frac{1}{2} P_{in} [1 + \cos(\phi_0 + L\Delta\varphi)] e^{-\alpha L} \quad (2.1)$$

式中 L 为调制器有源区长度, P_{in} 为输入光强。根据图 2.4 所示, 可以得到调制器的 OMA 的表达式为:

$$OMA = |I_1 - I_0| = P_{in} e^{-\alpha L} |\sin(L\Delta\phi)| \quad (2.2)$$

上式中 OMA 对调制器有源区长度 L 求导, 可得到 OMA 极值, L 最优取值为:

$$L_{opt} = \frac{1}{\Delta\phi} \arctan\left(\frac{\Delta\phi}{\alpha}\right) \quad (2.3)$$

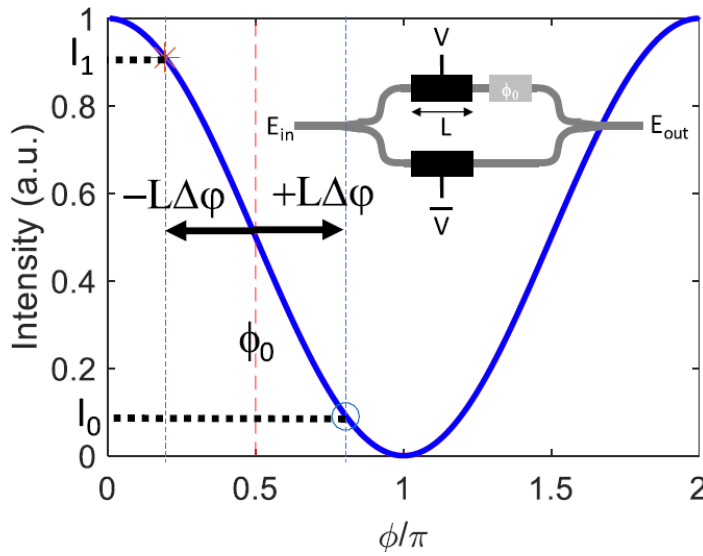


图 2.4 调制器传输频谱曲线

在固定的差分峰峰值电压驱动下, 即单位长度的相移效率为 $\Delta\phi$ 固定, 当调制臂的有源区长度增加, 导致两臂的相位差增加, 根据公式 (2.1) 可以得到调制的输出的最大值增大, 最小值减小, 导致 OMA 增加。当调制臂有源区长度增加到一定程度, 根据图 2.4 的传输曲线可知, 调制进入非线性区域, OMA 的增加减缓, 由于有源区长度的光损耗增加导致 OMA 减小的程度大于由于有源区长度增加导致 OMA 增加的程度, 最终导致调制器输出的整个 OMA 减小。

公式 (2.1) 中的输入光功率一般近似等于激光器的光功率, 根据公式 (2.2) 可知, 随着激光器的光功率增加, 系统的光调制幅度增加。

调制器的单位长度的相移效率 $\Delta\phi$ 与调制器的驱动电压幅值近似呈线性关系。在一个周期内, 公式 (2.2) 中的光调制幅度对单位长度的相移效率 $\Delta\phi$ 求导, 结果大于 0, 所以随着单位长度的相移效率 $\Delta\phi$ 增大, 调制器的光调制幅度增大,

即调制器的上施加电压信号峰峰值增加，调制器的光调制器幅度增加。

调制器的消光比根据 (2.1) 与图 2.4 可以得到：

$$ER = 10 \log \frac{I_1}{I_0} = \frac{1 + \sin(L\Delta\varphi)}{1 - \sin(L\Delta\varphi)} \quad (2.4)$$

式 (2.4) 中消光比对调制器的长度 L 求导，可以得到在一个周期内调制器的消光比随着调制器的有源区的长度增加，调制器的消光比增加。

设计调制器一般使上、下的两个光路的物理长度不等出现周期性的频谱，当不同频率的光分束后经过两条路径，在输出端耦合叠加，由于两束光的相位不同，输出光强会出现周期性光的相长或者相消，这个周期性相长或者相消的波长称为自由频谱 (FSR, free spectral range)，表达式为：

$$FSR = \frac{\lambda^2}{n_{og}\Delta L} \quad (2.5)$$

式中 λ 为光波长， n_{og} 为光群折射率， ΔL 为上、下光路的波导的长度差，当上、下光路的相位差为 0 或者 2π 的整数倍时，调制器输出光强最大，对应图 2.4 中传输频谱的最大值处，此时的输出光强与输入光强的差值为调制器的光插入损耗 (IL, insertion loss)。当上、下光路的相位差为 π 或者 π 的奇数倍时，调制器输出光强最小，对应图 2.4 中传输频谱的最小值处。调制器输出的最大光强与最小光强差值为调制器的静态消光比。

2.4 光学链路仿真

2.4.1 调制器有源区长度

根据 2.3 节的理论分析，在调制器以外的其他条件确定的情况下，存在一个最适合的有源区长度对应调制器输出最大的光调制器幅度。本节根据上一节理论基础，在 Lumerical Interconnect 中建立仿真链路，在设计的最优的 PN 结与行波电极的基础上，确定最优的有源区长度。

根据图 2.3 所示，建立链路仿真模型，默认链路中其他器件为理想模型，忽略其对链路的性能的影响，仅改变调制器的参数。仿真中，设置的激光器的光功率为 -3 dBm，PD 的响应度为 0.7 A/W，暗电流 5 nA，TIA 的跨阻为 2.8 k Ω ，信号速率为 25 Gbps。忽略光栅耦合损耗、光纤传输损耗和封装结构的电学损耗，

设置驱动调制器的差分信号的峰峰值电压为 5 V，调节两个上、下两臂的波导长度差，控制在 $\Delta L=40\text{ }\mu\text{m}$ 附近，保证两臂的相位差为 $\pi/2$ 。仿真中改变调制器的有源区长度，从 1000 μm 逐渐变化 3000 μm 的过程中，监测调制器输出的 OMA、消光比、系统的误码率。

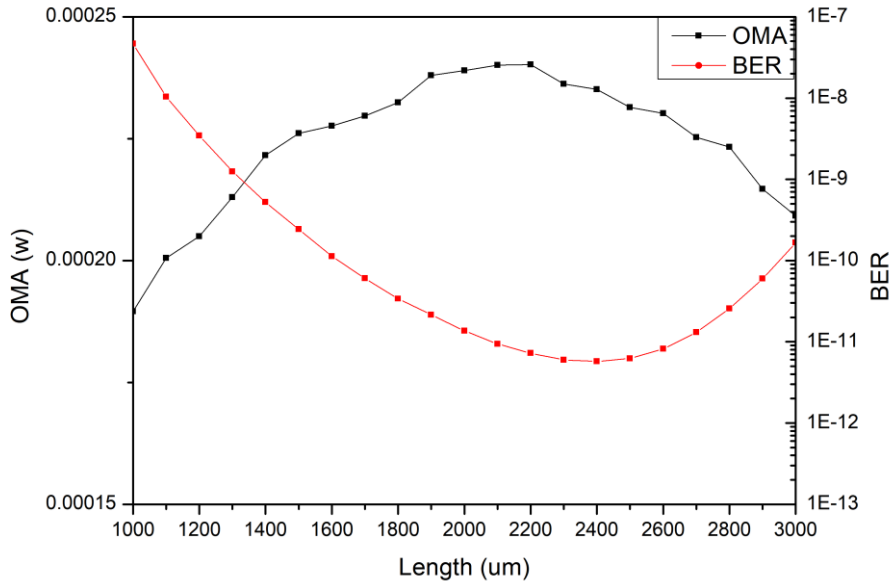


图 2.5 系统误码率与光调制幅度随调制器有源区长度变化曲线

如图 2.5 所示，仿真结果显示在调制器有源区的长度在 2300 μm 附近时，OMA 取极大值，与理论推导存在极大值吻合。与此同时，系统误码率在有源区长度在 2500 μm 附近取极小值 6E-12，与调制器的 OMA 的变化趋势整体相反，存在较小的可以接受长度偏差。通过仿真结果可以得到一个调制器存在一个最优的相移器长度，使系统的 OMA 最大，误码率最低。

驱动调制器的差分信号的峰峰值电压为 5 V 时，增加调制器有源区长度，调制器的消光比从 5 dB 逐渐增大到 17 dB，随着调制器的有源区长度进一步增加，消光比开始减小，如图 2.6 所示，与公式 (2.4) 计算的理论吻合，当超过一个周期后，消光比减小。根据仿真结果可以得到，根据确定的调制器的 PN 结结构与行波电极结构，本论文设计的调制器的有源区的长度不应超过 2800 μm ，当有源区长度在 1000 μm 至 2800 μm ，满足消光比大于 3.5 dB 的商用指标。

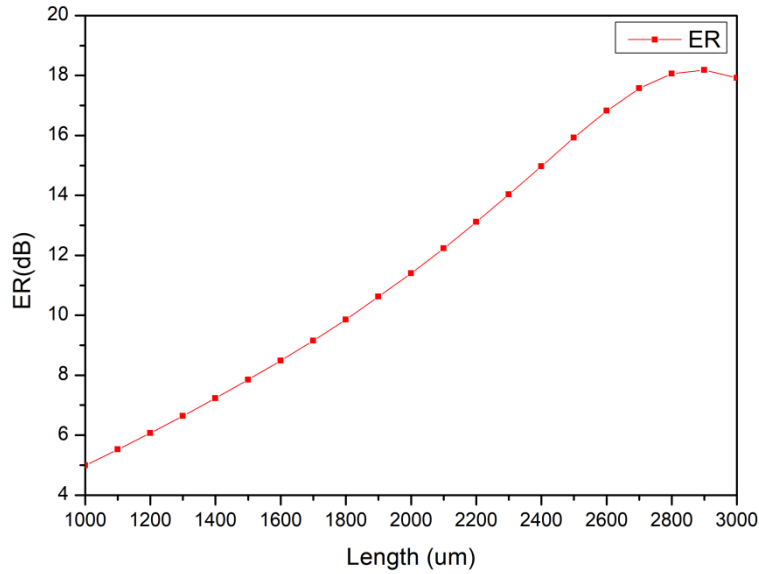


图 2.6 调制器的消光比随调制器有源区长度的变化曲线

根据仿真结果,调制器的长度在 2500 μm ,调制器组成的链路系统性能最优,所以设计调制器选取一种有源区的长度为 2500 μm 的设计。当调制器的有源区的长度在 1500 μm ,调制器可以工作在线性区较好的区域,满足一般指标的需求,且有源区长度较短时,调制器的有较低的光插入损耗。综上所述,本论文调制器的有源区的长度采用 2500 μm 与 1500 μm 的两种长度调制器。

当调制器的两臂的相移器连接的波导长度差为 40 μm ,根据公式 (2.5),当激光器的工作波长为 1550 nm,有源区长度为 1500 μm 与 2500 μm 的调制器的传输频谱在 14 nm 附近。在 Interconnect 软件中建立有源区长度为 1500 μm 与 2500 μm 调制器的仿真模型,调制器的输入、输出与光矢量网络分析仪相连,设置光输出功率为 0 dBm。图 2.7 (a) 和 (b) 分别是调制器的有源区长度为 1500 μm 与 2500 μm 的调制器传输频谱,由图 (a) 可以得到 1500 μm 长度的调制在 0 V 偏压下的光插入损耗约为 2.2 dB,随着施加在调制器上的反向偏压升高,传输频谱红移,调制器的插入损耗降低,自由频谱长度为 14.56 nm,静态消光比在 35 dB 附近,且在 1500 nm 波长处,调制器处于正交工作点附近,无需对调制器施加热调辅助。对于 2500 μm 长度调制器存在类似现象,但是 2500 μm 的调制器的光插入损耗相对较大,在 0 V 偏压下的调制器的光插入损耗为 3.7 dB,静态消光比有源区长度为 1500 μm 调制器大 2 dB。

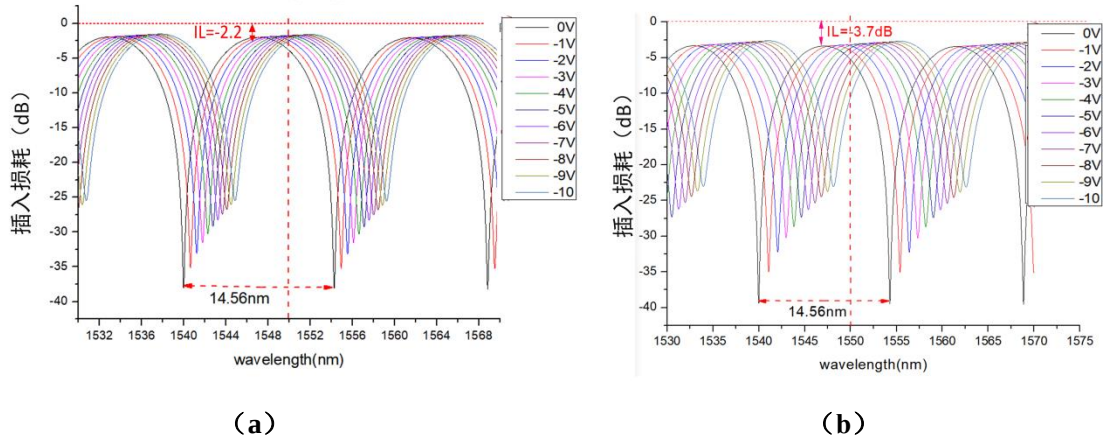


图 2.7 调制器传输频谱：（a）有源区长度 1500 μm ；（b）有源区长度 2500 μm

2.4.2 激光器光功率

根据公式 (2.2) 可以知，随着激光器输入的光功率的增加，调制器的 OMA 增加，根据上节的仿真结果可以得到，调制器的 OMA 增加，系统中的误码率降低。同时，随着激光器光功率增加，系统的信噪比 (SNR, Signal-Noise Ratio) 增大，系统的性能提升^[30]。本节主要研究激光器光功率对链路系统误码率的影响。

根据图 2.3 所示链路仿真模型，通过 Interconnect 软件仿真。仿真中设置系统传输速率为 25 Gbps，PRBS 码型为 $2^{10}-1$ ；光栅耦合损耗为 2.7 dB，单模光纤传输距离为 1 km，损耗为 0.2 dB，这些与实测结果较为接近；设置 PD 的响应度为 0.7 A/W，暗电流为 5 nA；采用调制器有源区长度为 1500 μm 和 2500 μm 两种调制器；根据电驱动芯片的 IBIS 模型，建立电驱动芯片模型，电驱动信号的峰峰值电压 5.5 V，TIA 模型的差分跨阻为 2.8 k Ω ；同时仿真中考虑收发模块封装结构对电学性能的影响，包括 Driver 芯片到调制器封装、PD 到 TIA 封装、TIA 输出到外部封装三部分 S 参数。

当激光功率从 1 mW 增加到 10 mW 时，有源区长度为 1500 μm 的调制器组成光电链路系统的误码率从 $8.32\text{E}-4$ 逐渐减小到 $5.958\text{E}-17$ ，当激光器光功率在 5mW 左右时，系统中的误码率在 $1\text{E}-12$ 以下；有源区长度为 2500 μm 的调制器组成光电链路系统的误码率从 $5.48\text{E}-4$ 逐渐减小到 $4.27\text{E}-20$ ，当输入功率在 4 mW 以上时，系统的误码率在 $1\text{E}-12$ 以下，仿真结果如图 2.8 所示。在链路其他条件相同，通过仿真数据对比可以发现，有源区长度为 2500 μm 调制器的组成的系统误码率整体要比有源区长度为 1500 μm 组成系统误码率低。二者分别组成的收发

模块系统要保证误码率低于 $1\text{E-}12$ 的商业标准，激光器的功率一般保证大于 5mW ，当链路中激光器的光功率设置为 9 dBm 时，光电集成链路系统可以满足指标。

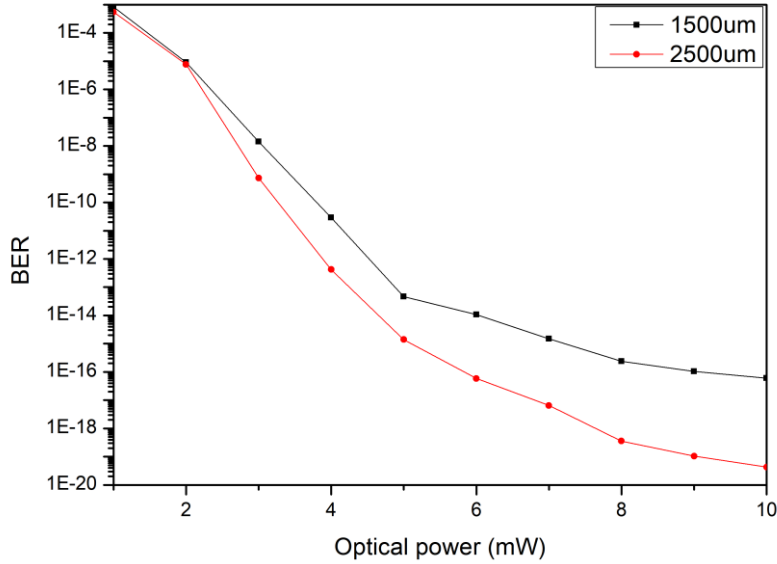


图 2.8 链路误码率随激光器功率关系变化曲线

2.4.3 探测器响应度

当 PD 的响应度增加，在相同的光强的条件下，响应度高的 PD 转化的光电流值大，经过同样的 TIA 放大输出信号幅值高，光电链路系统的 SNR 较大，从而导致链路系统的误码率低。本节在 2.4.2 节的仿真链路系统基础上，将激光器光功率设置为 9 dBm ，其他保持不变，研究探测器响应度对光电链路系统性能的影响。

如图 2.9 所示，PD 的响应度从 0.4 A/W 增加到 1 A/W ，有源区长度为 1500 um 的调制器组成的系统误码率从 $2.69\text{E-}12$ 减小到 $3.63\text{E-}17$ ，当响应度在 0.4 A/W 以上，系统误码率满足小于 $1\text{E-}12$ 商业指标的要求。有源区长度为 2500 um 调制器组成的系统的误码率恒小于 $1\text{E-}12$ ，且整个系统性能优于 1500 um 调制器组成系统。根据仿真结果可知当 PD 的响应度为 0.7 A/W 时，光电链路系统可以满足指标。

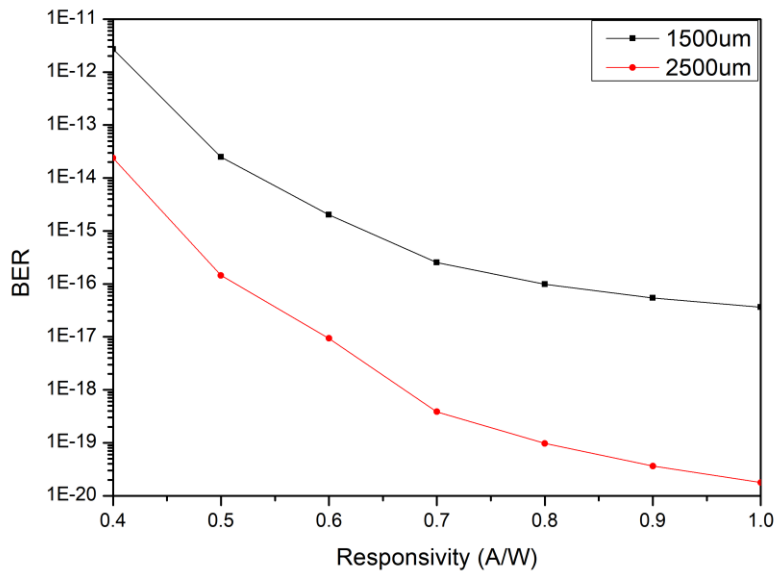


图 2.9 链路误码率与探测器响应度变化关系曲线

2.5 电学链路设计仿真测试

2.5.1 射频信号峰峰值

由公式 (2.2) 可知, 当调制器的单位长度的折射率的改变量增大时, 调制的光调制器幅值增大。当施加在调制器相移器上的驱动电压的峰峰值增加时, 会引起相移器的单位长度折射率的改变量增加^[31]。本节主要研究驱动调制器的射频信号峰峰值电压对光电集成链路系统误码率的影响。

根据 2.3.2 节所述的仿真链路, 在激光器的输入光功率在 9 dBm, PD 的响应度为 0.7 A/W 的条件下, 研究有源区长度为 1500 um 与 2500 um 调制器组成的光电集成链路系统随驱动电压峰峰值变化的影响, 本次仿真仅改变 Driver 芯片的输出信号输出的峰峰值, 由于驱动芯片信号的峰峰值电压在 3-6 V 之间, 本次仿真的驱动信号的峰峰值电压拟采用为 4 V、4.5 V、5 V、5.5 V、6 V, 在接收端依次仿真测试得到有源区长度为 1500 um 调制器组成的光电链路系统与有源区长度为 2500 um 调制器组成的光电链路系统的眼图和误码率。

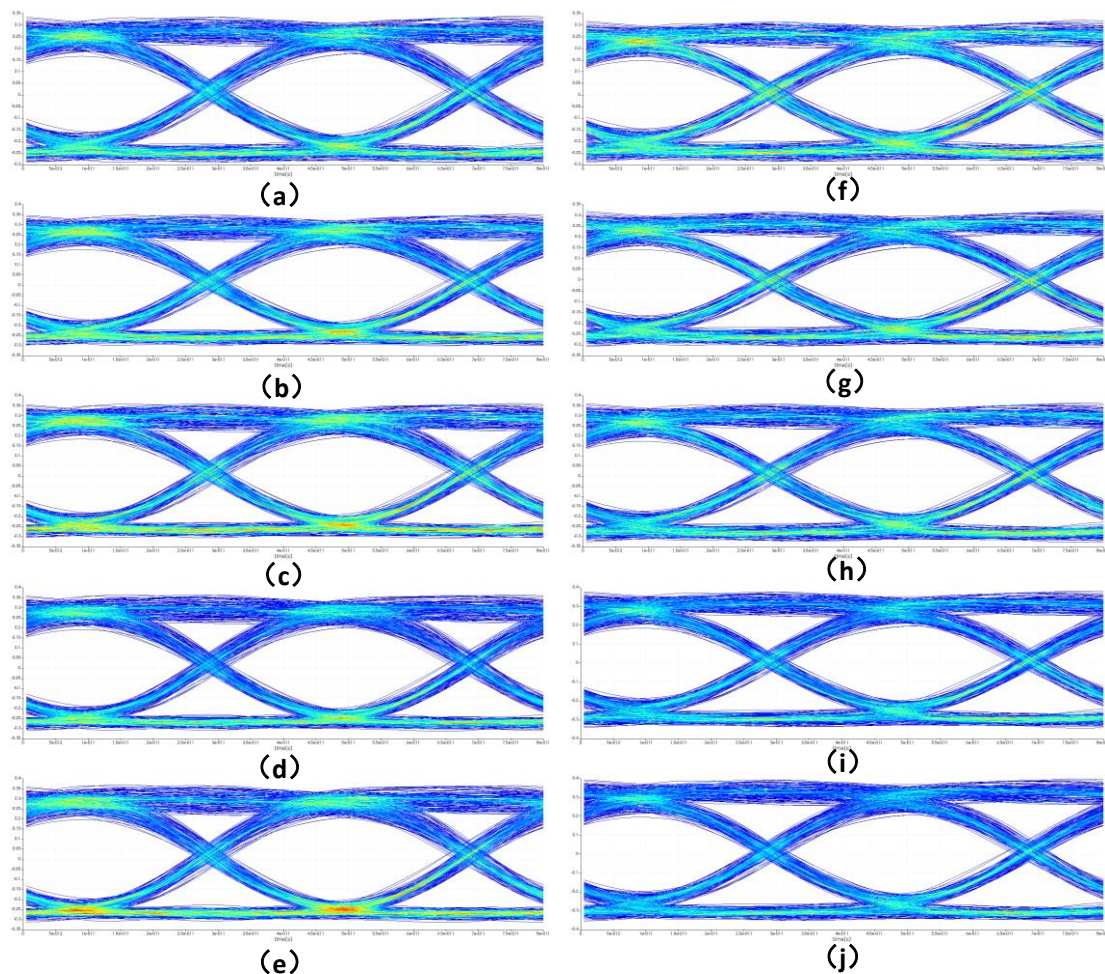


图 2.10 眼图：(a) ~ (e) 有源区长度为 1500 um 的调制器组成的光电链路系统在 Driver 输出信号峰峰值电压为 4 V、4.5 V、5 V、5.5 V 和 6 V 时的接收端电眼图；(f) ~ (j) 有源区长度为 2500 um 调制器组成的光电链路系统在 Driver 输出信号峰峰值电压为 4 V、4.5 V、5 V、5.5 V 和 6 V 时的接收端电眼图

对于有源区长度为 1500 um 调制器组成的光电链路系统，当驱动调制器的射频信号峰峰值电压由 4 V 增大到 6 V 的过程中，TIA 输出的眼图的眼高逐渐由 600 mV 增加到 700 mV，信号抖动由 1.3 ps 逐渐减小到 1.18 ps，如图 2.10 (a) ~ (e) 所示。对于有源区长度为 2500 um 调制器组成的光电链路系统，随着射频信号峰峰值电压由 4 V 增加到 6 V 过程中，TIA 输出的眼图的眼高由 620 mV 逐渐增加到 780 mV，信号抖动由 1.25 ps 逐渐减小到 1.157 ps，如图 2.10 (f) ~ (j) 所示。与有源区长度为 1500 um 长度调制器组成的系统相比，有源区长度为 2500 um 组成的整个收发模块的性能优越，符合调制器的有源区长度仿真结果。

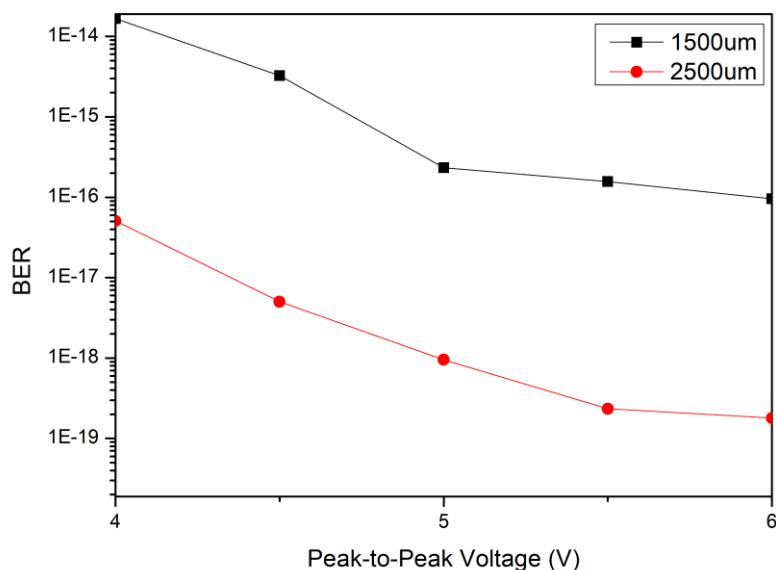


图 2.11 链路误码率随驱动信号的峰峰值电压变化曲线

随着射频信号的峰峰值电压由 4 V 到 6 V 变化时,有源区长度为 1500 um 调制器组成的光电链路系统的误码率由 $1.67\text{E-}14$ 逐渐降为 $9.6\text{E-}17$ 。有源区长度为 2500 um 调制器组成的光电链路系统的误码率由 $5.09\text{E-}17$ 逐渐降为 $1.78\text{E-}19$,且误码率低于由 1500 um 长度调制器组成的系统,如图 2.11 所示。由仿真结果可知 Driver 芯片输出信号的峰峰值电压在 4-6 V 之间时,有源区长度为 1500um 的调制器和 2500 um 长度的调制器分别组成的光电链路系统的误码率都能满足低于 $1\text{E-}12$ 的商业标准。当驱动信号峰峰值电压设置为 5.5 V 时,光电集成链路系统可以满足指标要求。

2.5.2 封装结构电学参数

随着信号传输速率的增加,信号完整性问题(包括传输损耗、反射和串扰等)变得越来越严重。特别在高速光模块设计中,通过光芯片转成光信号之前,会以电信号形式存在,并且与光纤中的传输速率一样。但是信号完整性问题会对信号质量产生很大的影响,有可能会造成对传输信号的误判,导致传输错误,进而导致光电系统的误码率升高。

当信号从互连线经过时,它的带宽会受到互连线的影响,如果想要让从互连线输出的波形上升/下降沿满足系统要求,那么就需要对互连线的带宽有一定的

要求。互连线的带宽指的是被互连线所能传输的最高正弦波的频率。一般会用 3dB 带宽来表示互连线的带宽。3 dB 带宽表示将信号的幅值减少到入射波的 70% 的频率，通过经验公式计算有限带宽 BW：

$$BW = \frac{0.35}{T_{rise}} \quad (2.6)$$

式中 T_{rise} 是信号幅值从 10%到 90%或者从 20%到 80%的时间，信号的 3 dB 带宽是可以从信号的上升沿计算得到。同时可以通过互连线的 3 dB 带宽计算出互连线的本征上升时间 $T_{rise,0}$ ，互连线输入端输入的实际信号的上升沿 $T_{rise,in}$ 应该是大于 0 的，从而互连线输出的信号的上升沿 $T_{rise,out}$ 表示为：

$$T_{rise,out}^2 = T_{rise,in}^2 + T_{rise,0}^2 \quad (2.7)$$

因此，输出信号的上升时间与互连线输入波形的上升时间以及互连线的本征上升时间都有关系。根据公式(2.7)计算，如果要让互连线输出波形的上升时间仅比输入波形的上升时间大 10%，那么互连线的本征上升时间应该在输入信号上升沿的 50%以下。从(2.6)可以计算出频域特性，互连线的 3 dB 带宽应该至少是输入信号有效带宽的 2 倍。

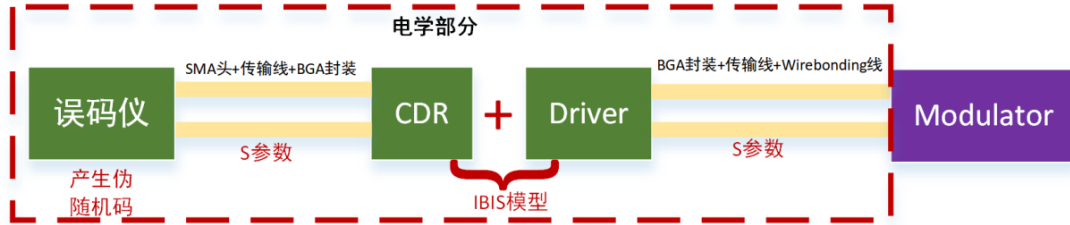


图 2.12 发送端封装结构框图

本次封装发送模块结构中，误码仪输出的电信号经过 SMA 连接器接入高速测试板，经过 CDR 芯片对数据进行恢复整形后在输入 Driver 芯片，最终通过 Driver 芯片放大输出，整个框图如图 2.12 所示，考虑 CDR 芯片对 25 Gbps 信号具有较好的恢复整形再输出的作用，且 CDR 芯片与 Driver 芯片之间的封装结构较为接近，他们之间的电学损耗可以忽略不计，所以默认输入 Driver 芯片的小信号为理想的射频信号，本次仿真中仅考虑 Driver 芯片在理想的小信号输入的情况下输出的信号在经过一定的封装结构后对链路的性能的影响。

如图 2.13 (a) 所示为 Driver 芯片的输出到调制器的测试板传输线的 ANSYS HFSS 模型，测试线条上连接着 Bisa-Tee 焊盘为射频信号提供直流偏压，4 对差分线分别驱动 4 组调制器，每组通道的通信速率为 25 Gbps，由于光芯片的设计原因导致 4 组传输线不等长。图 2.13 (b) 为 4 组传输线的在 ANSYS HFSS 中提取的 S 参数，4 组传输线中最长的传输线在 40 GHz 带宽内损耗约为 1.4 dB，信号经过该传输线结构后信号的峰峰值会存在衰减。

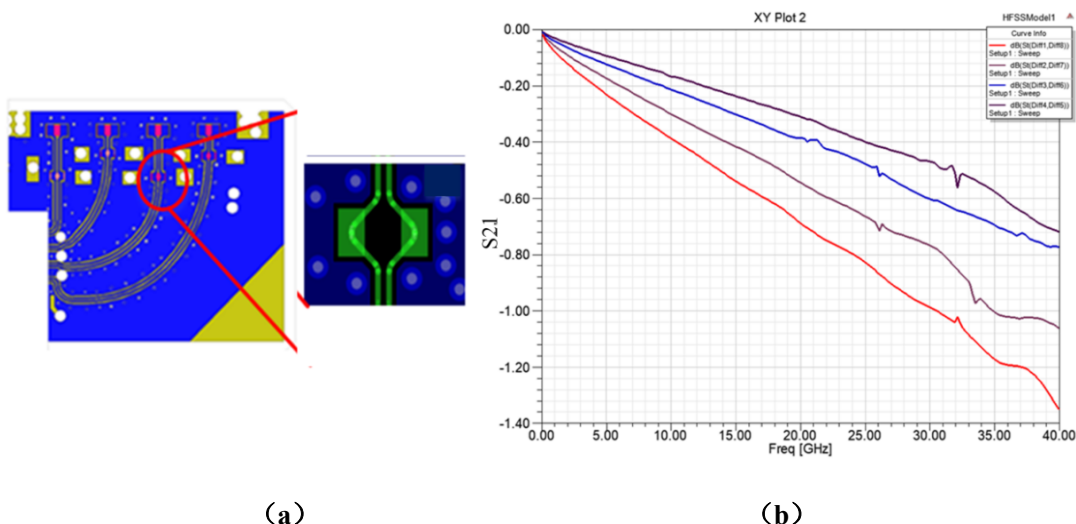


图 2.13 发送端传输线仿真：(a) HFSS 模型；(b) S 参数

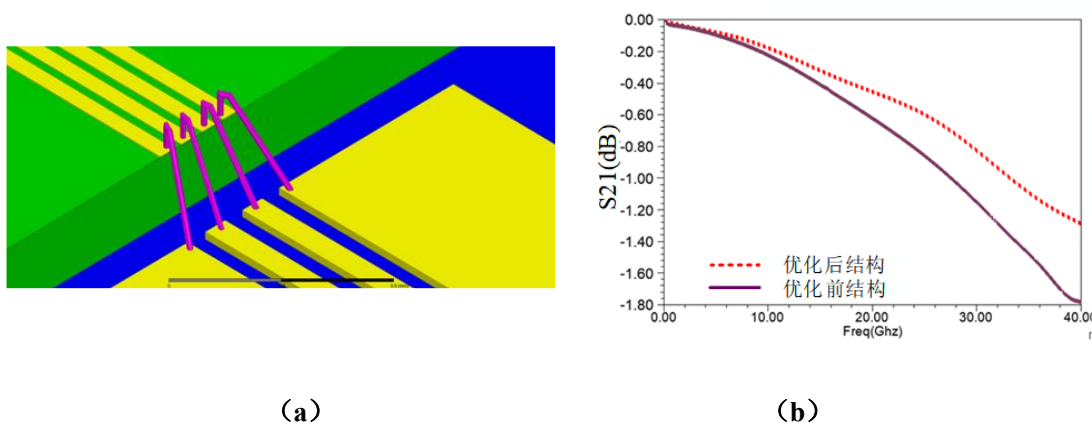


图 2.14 发送端键合线仿真：(a) HFSS 模型；(b) S 参数

测试板的传输线结构与调制器的通过差分键合线相连，ANSYS HFSS 模型如图 2.14 (a) 所示，键合线采用直径为 25 μm 的金线，根据 ANSYS HFSS 模型中的结构，键合线的最大长度约为 800 μm ，最小长度约为 550 μm 。图 2.14 (b) 为 ANSYS HFSS 模型提取的最长键合线与最短键合线的 S 参数，从图中可以得

到 550 μm 长度的键合线在 40 GHz 处的插入损耗约-1.3 dB, 800 μm 长度的键合线在 40 GHz 处的插入损耗约为-1.8 dB。

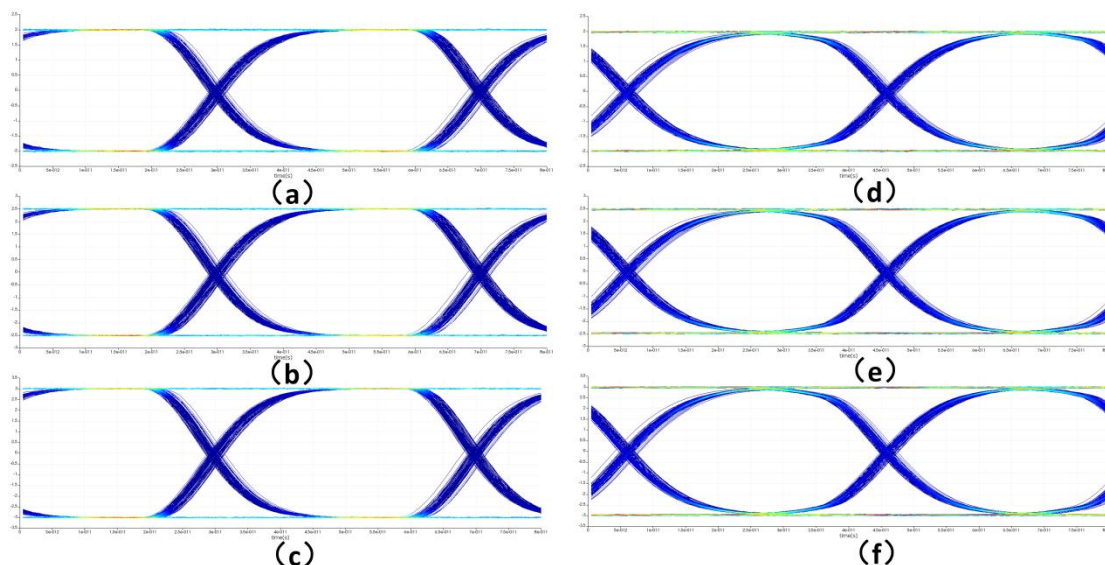


图 2.15 眼图: (a) ~ (c) Driver 输出信号峰峰值电压为 4 V、5 V 和 6 V 时的眼图; (d) ~ (f) Driver 输出峰峰值电压为 4 V、5 V 和 6 V 信号经过传输线与绑定线后输出的眼图

根据公式 (2.6) 可以得到, Driver 输出的射频信号经过测试板的传输线与绑定线, 信号会产生时延, 信号的上升沿会变缓, 信号的质量存在劣化。由图 2.15 所示, 图 (a)、(b) 和 (c) 分别是 Driver 芯片直接输出射频信号的峰峰值电压为 4 V、5 V 和 6 V 的驱动信号的眼图, 眼图的平均上升沿/下降沿为 12.5 ps, 信号的抖动为 0.8 ps。经过传输线和绑定线与调制器相连的封装结构后, 信号仿真的眼图质量变差, 图 (d)、(e) 和 (f) 为 Driver 芯片信号经过封装结构后输出射频信号的眼图, 眼图的平均上升沿/下降沿为 18 ps, 信号的抖动为 1.2 ps, 由 Driver 输出的信号经过封装结构后信号的上升沿/下降沿变缓, 信号的抖动加大, 经过封装结构后的眼高比 Driver 直接输出的眼图眼高略有减小。

接收端的结构中, PD 转换后的光电流输出, 经过 TIA 放大, 最后 CDR 芯片对数据进行恢复整形后输出, 其中 PD 与 TIA 直接通过键合线互连, 整个框图如图 2.16 所示。仿真中 CDR 输出到 SMA 连接器的中损耗较大, 其他部分的损耗较小。在设计测试板中 CDR 到 SMA 接触头连接器的 4 通道距离近似相等, 本次仿真仅以一组为例。ANSYS HFSS 模型如图 2.17 所示, 在 40 GHz 时的插入损耗约为 2.7 dB。



图 2.16 接收端封装结构框图

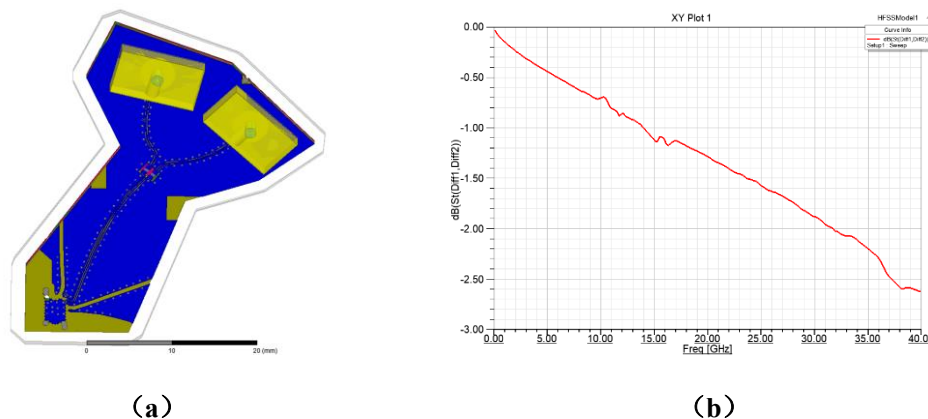


图 2.17 接收端封装结构仿真：(a) HFSS 模型；(b) S 参数

根据 2.3.2 节所述的仿真链路，带入有源区长度 1500 μm 长度的调制器，同时带入 ANSYS HFSS 模型中提取发送部分与接收部分封装结构中的 S 参数，当激光器的功率为 9 dBm，Driver 芯片输出信号的峰峰值电压为 5.5 V 时，链路系统在 25 Gbps 的通信速率下的误码率为 $2.537\text{E-}16$ ，所以设计的封装结构能够满足误码率低于 $1\text{E-}12$ 的要求。当默认封装结构为理想模型时，即信号经过传输后不存在延时与信号衰减，传输链路不会造成信号的劣化，此时收发系统的误码率降为 $5.9\text{E-}27$ 。由此可见封装结构对链路的误码率存在较大的影响，所有优化封装结构可以继续提高系统的性能。

2.6 本章小结

本章节利用硅基器件仿真模型、ANSYS HFSS 软件提取的电磁仿真参数在 Lumerical Interconnect 软件中对光电链路系统的性能进行了仿真优化设计。本章首先介绍了硅光系统集成模块封装结构设计，然后根据该封装结构建立了光电链路仿真系统，通过链路仿真系统的误码率，分析了链路中系统中的调制器有源区长度、激光器光功率、探测器响应度、驱动信号峰峰值等光电器件性能指标对链

路系统性能影响。其次评估了封装结构的电学性能对链路系统的影响。通过分析链路仿真的光、电器件指标与封装结构电学参数，光电协同设计，验证了现有指标能否达到设计需求。

第3章 硅光集成系统的测试与分析

在本章主要进行了 4×25 Gbps 光模块的测试研究。首先概述了整个光模块系统测试的主要研究内容。然后具体测试了光组件中的光栅耦合。其次测试基板高速传输线的时域反射特性和 S 参数。最后对完整的光互连收发系统进行了测试, 包括构建测试系统与 4×25 Gbps 的收发系统在 1000 m 和 2000 m 长度传输距离的光互连传输系统测试, 最终实现了该光模块的完整的测试与分析。

3.1 光模块性能测试研究内容

本论文中光模块的测试主要内容包括光栅耦合测试、封装基板电学测试、光模块的系统链路测试、系统功耗测试。在这里作简要的测试原理介绍, 为下面的测试内容奠定基础。

3.1.1 时域反射曲线、S 参数测试

封装基板信号完整性测试部分主要分为时域反射曲线 TDR 和传输系数 S 参数的测试两部分。电学封装基板上有多条用来传输高速串行数据的互连线, 如 4×25 Gbps 光收发模块有 4 通道发射和 4 通道接收的高速差分信号线。对于高速率的信号, 码元 (UI) 周期很小, 如 25 Gbps 速率的信号一个 UI 周期为 40 ps, 如果互连线的高频特性较差, 链路带宽较低, 则经过传输线后的高速信号上升沿/下降沿会变缓, 数据传输误码率会增高。因此高速串行传输线的信号完整性不仅需要仿真, 还需要进一步的测试验证^[32]。造成高速传输线的信号完整性问题的主要因素之一是传输路径上的阻抗不匹配, 在阻抗突变位置会造成信号的反射, 造成信号的质量下降。因此对于电学封装基板上的高速传输线, 我们进行了时域反射曲线的测量, 由此可以判断互连线特征阻抗是否连续; 另外还进行了互连线散射系数 S 参数的测量, 通过插入损耗与回波损耗特性判断传输性能。

高速传输线的阻抗可以通过时域反射计 (TDR, Time Domain Reflectometry) 进行测量, 仪器内部产生一个上升沿为 15 ps 到 150 ps 的阶跃电压信号, 并且输出阻抗为 50 欧姆, 这个信号沿着传输线传播, 同时仪器也记录着每个时刻反射的电压值, 通过反射电压和输入电压的比值可以计算出传输线上不连续处的阻抗

值，另外还可以通过反射发生的时刻点分析出阻抗不连续的位置^[33]；互连线散射系数 S 参数可以通过矢量网络分析仪（VNA，Vector Network Analyzer）测量，VNA 设备本质上是一个多通道微波接收机，内部产生某一频点处的正弦波信号来激励被测元件（DUT，Device Under Test），然后在接收机端使用窄带滤波器测试 DUT 的响应，正弦波发生器和窄带滤波器同时在一个宽带范围内进行扫频，测量出 DUT 在整个频带内的网络响应^[34]。 S 参数中正向传输系数 S_{11} 和 S_{21} ，又称为回波损耗和插入损耗，二者代表着互连线传输信号的频域性能。

3.1.2 眼图、误码率测试

上一节的时域反射曲线和 S 参数都是互连线的无源传输特性测量表征，而对于有源电路传输信号性能的表现，通常采用眼图和误码率表征。采用示波器可以测量一段时间内传输的数字信号波形，显示的是细节信息，同时也可以测量链路上传输的所有数字码型信号波形的叠加，显示的是整体特征，这种叠加后的图像与人的眼睛类似，故称为眼图，其合成原理如图 3.1(a)所示。光模块系统链路用于传输高速串行数据，由于上升时间和码元周期较短，传输数据码型多样，因此采用眼图来分析光互连传输码间串扰（ISI，Inter-Symbol Interference）、信号的抖动、噪声对系统性能的影响^[35]。系统一般采用误码率来评价传输系统的最终性能的好坏，较差的通道性能会导致传输的高速串行数据波形失真，如果失真波形影响后续系统的判断，就会造成误码，通常通道传输性能越差，误码率越高^[36]。

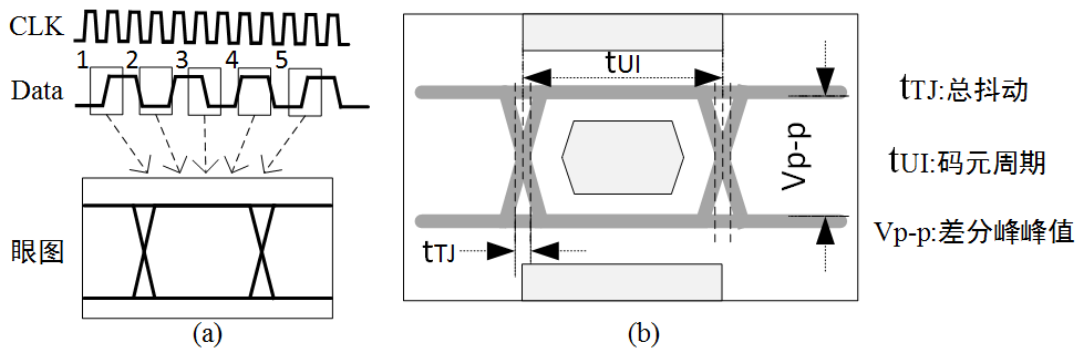


图 3.1 眼图: (a)眼图合成原理; (b)主要评价参数

通常眼图包含电眼图和光眼图，分别可以采用电学示波器和光学示波器进行测量，光眼图的主要评价参数为消光比、平均光功率（AOP）、峰峰值抖动（PFJi）等^[37-39]。消光比定义为眼图中“1”电平功率比“0”电平功率的比值，平均光功率为平均发送的光功率值。峰峰值抖动可以定性的反映信号抖动大小，作为链路传输

性能的参考。而电眼图部分主要参数有码元周期 (t_{UI})、差分峰峰值 (V_{p-p})、总抖动 (t_{TJ}) 等, 另外眼图的眼高、眼宽、眼皮厚度等参数, 也可以进一步的评价眼图质量。

为了评估光互连通道的传输性能, 通常用误码仪和示波器共同组成测试系统。由误码仪产生伪随机数序列信号送入被测系统中, 并在另一端读出经系统传输后的序列信号, 其中示波器将信号的余晖叠加起来, 获得系统传输的眼图, 而误码仪可以将测得的信号与原始信号作对比, 从而测出误码率。误码率是指数字系统传输中的误码数与所传输总码数之比, 是一种用来衡量数据在规定时间内数据传输精确性的指标, 误码率越小, 系统传输性能越好, 对于 NRZ (Non-Return-to-Zero) 传输系统, 一般商业标准要求系统的误码率小于 $1E-12$ 。

3.2 光组件测试

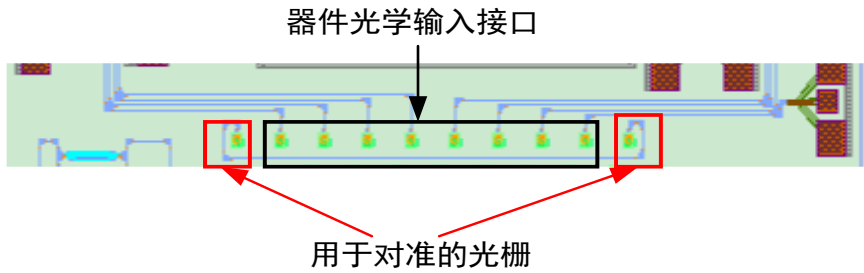


图 3.2 光芯片光栅分布结构

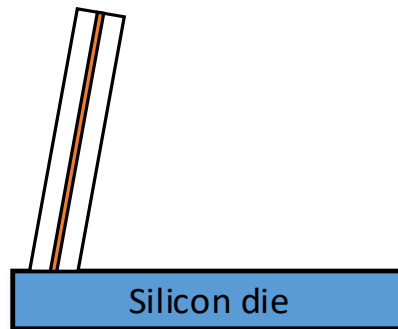


图 3.3 光栅与光纤的耦合示意图

本论文设计光芯片光栅阵列结构如图 3.2.所示, 耦合都是通过光纤阵列与光栅阵列的形式耦合, 光栅阵列最外部两个光栅结构直接相连作为对准光栅, 判断光纤与光纤阵列的耦合的质量。本次设计的光收发模块采用外部光源, 考虑到光源数量的限制, 设计一个光栅作为直流光源输入接口, 在硅光芯片内部通过光分

束器把输入光均分为 4 份进入 4 个调制器，4 个调制器调制后光通过 4 个光栅输出。接收模块部分 4 个光栅分别与 4 个探测器相连。

本次耦合方式采用竖直耦合，为了减小光栅中的反射，需要将光纤的端面磨成 8° 角，如图 3.3 所示，光纤阵列与竖直方向夹角为 8° ，光纤阵列与光栅阵列的对准采用无源对准，在光栅阵列的两端，将光源从一端光栅输入，通过直通波导后，从另外一端输出，输入光功率设置为 0 dBm，通过输出端功率的监测来判断耦合的质量，在耦合过程中移动光纤阵列，实时监测光栅输出光功率，预估单个光栅耦合损耗约为 -3 dB，当输出端的光功率在 -6 dBm，微调光纤阵列位移，当调到最大光栅输出光强时，固定光栅阵列，点胶使光纤阵列与光芯片之间固定。最终测试发送端的单个光栅耦合损耗为 -2 dB，耦合效率较高。接收端单个光栅耦合损耗约为 -5 dB，耦合质量欠佳，这是由于发送端与接收端的光栅距离较近，在耦合固定完发送端光栅后，对接收端耦合造成障碍，影响接收端的光纤阵列的移动，导致接收端耦合效率较低。发送端与接收端的光栅耦合质量整体可以接受，符合模块的耦合质量要求。

3.3 封装测试板信号完整性测试

3.3.1 传输线的 TDR 测试

光模块的另外一个重要组成部分就是高速电信号的传输的封装基板。本次封装中采用嵌入式封装结构，将光芯片、电芯片以及光纤直接进行系统集成，形成一体化的光模块。测试基板一侧通过金丝线与的硅光芯片键合连接，PCB 内部通过高速信号线实现 SMA 连接器、TIA、CDR 芯片和电容等器件之间的连接，通过 SMA 连接器和同轴电缆（Coaxial Cable）最终可以将数据传输到示波器、误码仪等设备上进行测试。对于传输较高的速率的信号，例如 25 Gbps 速率的信号时，理论要求的最低带宽为 12.5 GHz，由于传输速率较高，并且这些链路上各部分的物理结构不一致，例如电容焊盘、芯片焊盘等结构，阻抗变化较大，在阻抗不连续的位置传输高速信号时存在反射，因此在高速电路板设计过程中需要考虑阻抗不连续处的优化，减小阻抗的不连续性，使单端高速线的阻抗在 50 欧姆附近，差分线阻抗在 100 欧姆附近。

图 3.4 所示为本论文制作的光模块的测试基板，从板图可以看出用于传输高

速信号线的金丝键合线、高频耦合电容、Flip-Chip 焊盘、SMA 连接器形状各异，阻抗变化不连续，为了保证阻抗的连续性，在高速电路设计过程中需要进行仿真优化，需要保证反射的噪声低于电压幅值的 5% 的噪声容限以内，即传输线的特征阻抗变化需要控制在 10% 以内。

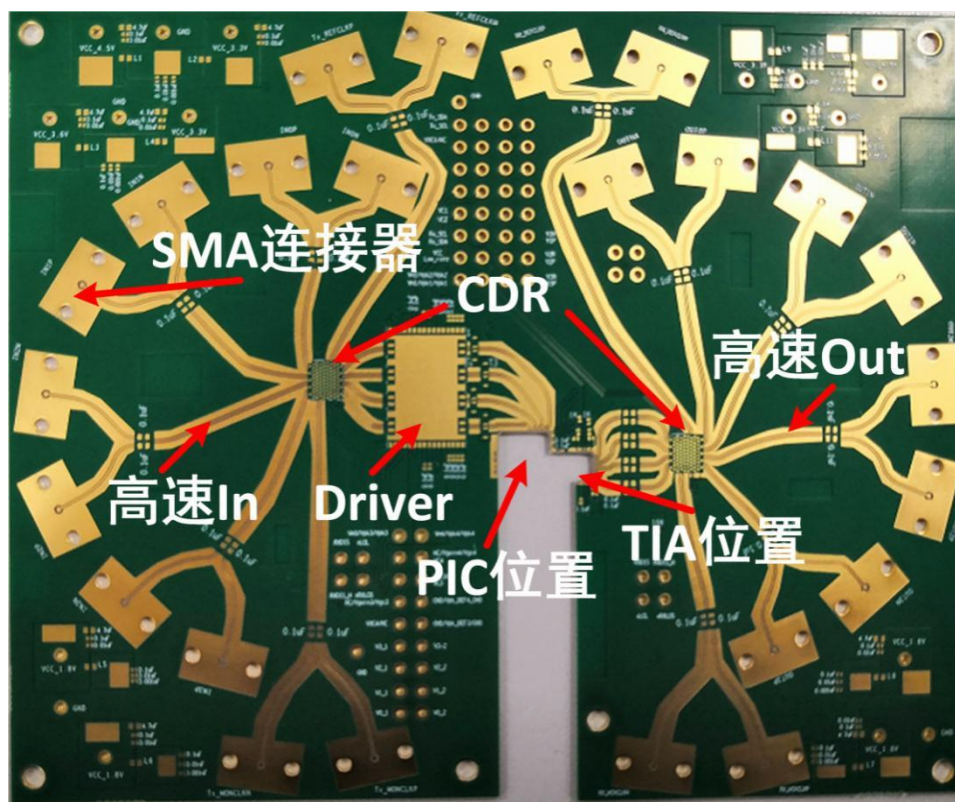


图 3.4 光模块测试基板

如图 3.5(a)和图 3.5(b)分别展示对测试板中发送部分 2 对由 SMA 连接器输入到 CDR 的差分线以及接收部分 2 对由 CDR 输出到 SMA 连接器的差分线的 TDR 时域反射曲线。首先进行了同轴电缆的 TDR 测试，图 3.5 所示 TDR 测试图中的红色部分曲线为同轴电缆的阻抗，阻抗为 100 欧姆，端口终端开路，阻抗无限大。由测试基板实物图可以看出，尽管在传输路径存在耦合电容、Flip-Chip 焊盘、SMA 连接器等不连续结构，其中 SMA 连接器有一些感性突变，阻抗达 105 欧姆，而 SMA 连接器的接触点阻抗大致为 98 欧姆，耦合电容处存在一些容性突变，阻抗在 97 欧姆，但是整体的阻抗变化都在 90 欧姆和 110 欧姆之间，阻抗连续性优化的较好，并且测试的 4 个通道一致性较好。这样变化小于 10% 的传输链路特性阻抗，可以保证反射的噪声低于电压摆幅的 5% 噪声容限以内。

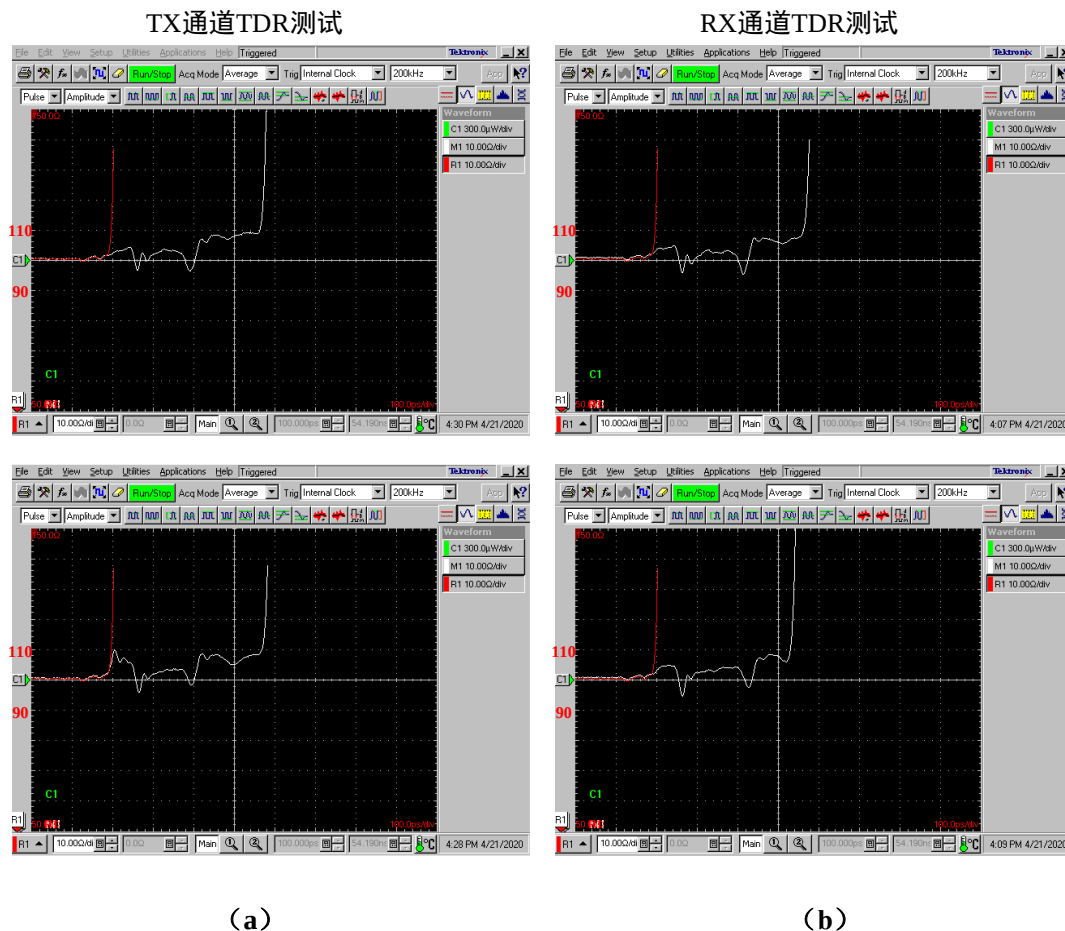


图 3.5 光模块测试板时域反射曲线: (a)发射 2 个通道 TDR 测试; (b)接收 2 个通道 TDR 测试

3.3.2 传输线 S 参数测试

测试板上的高速信号线的 S 参数是互连的频域特性, S 参数测量通过矢量网络分析仪 VNA 测量得到, 通过 SMA 连接器、高频探针将测试板上的高速测试线条连接到 VNA 上进行参数测试。

光模块系统的 S 参数测试主要分为两个部分: 在模块未封装前首先进行了测试板上 2.5 cm 长度的标准传输线的测试, 判断制作的测试板的高频性能能否适合 4×25 Gbps 光模块的信号传输, 制作的测试线条与模块上用于传输的最长的高速信号线长度近似, 线条不包括耦合电容, 该线条对 SMA 连接器连接处进行了优化使线条的阻抗匹配到 50 欧姆附近; 接着进行了测试板上多个通道差分信号线的测试, 由图 3.4 可以得到, 测试线条分为 SMA 连接器到 CDR 芯片, CDR 芯片到 Driver 芯片, 以及 TIA 芯片到 CDR 芯片等。

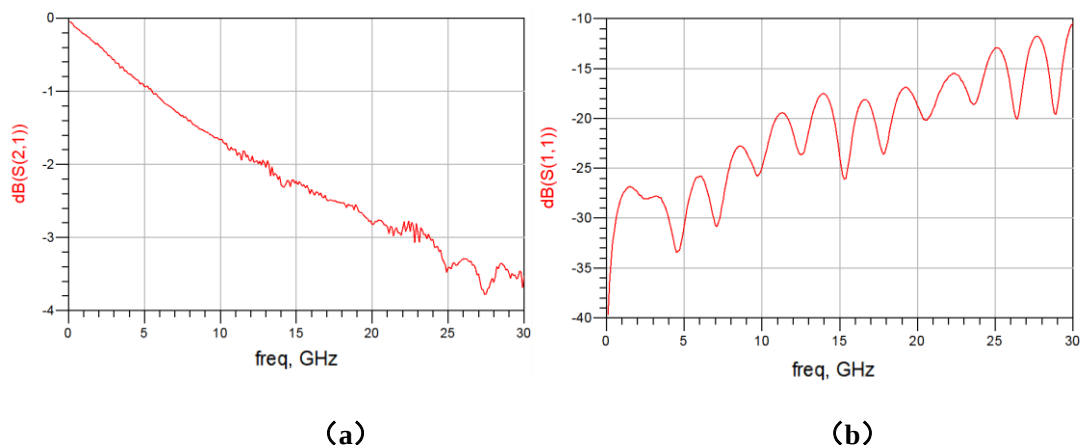


图 3.6 测试板上标准测试线测试结果: (a)S21; (b)S11

图 3.6 所示为我们加工的 2.5 cm 长的匹配到 50 欧姆的标准传输线的测试结果,由于 SMA 连接器连接处的焊盘我们做过优化处理,所以测试结果在 0-30 GHz 范围内的具有 SMA 连接器的传输线的 S21 参数相对比较平滑,标准测试线的 3dB 带宽为 23.61 GHz,带宽较高,如图 3.6(a)所示。标准测试线的 S11 如图 3.6(b)所示,在 0-25 GHz 范围内,标准测试线的回波损耗在-15dB 以下。从测试结果的 S 参数来看,标准传输线的性能较好,可以适用 4×25 Gbps 光收发模块系统。

对于测试板传输链路信号完整性的测试,除了标准传输线,还单独进行了测试板上多个接收通道差分信号线的测试。如图 3.4 所示的测试基板,对测试板中发送部分 2 对由 SMA 连接器输入到 CDR 的差分线以及接收部分 2 对由 CDR 输出到 SMA 连接器的差分线进行 S 参数测试,利用 VNA 测试其相应差分通道的整体传输性能。测得的高速差分信号 S21 如图 3.7 (a) 所示。从测试结果中可以看出 4 通道之间的 S21 曲线基本近似,只是在高频部分有一些差异。整体来看,从 SMA 到 CDR 连接器或者由 CDR 到 SMA 连接器部分传输线的插入损耗 S21 在 15 GHz 时约为-3 dB 左右,在 25 GHz 时的插入损耗约为-4 dB。测得的高速差分信号的 S11 如图 3.7 (b) 所示,信号的回波损耗 0-30 GHz 范围内小于-10dB,在 15 GHz 以内信号反射为-15 dB 以下,信号的反射较小。传输 25 Gbps 的信号时,误码仪输出的差分信号峰峰值为 1 V,经过高速链路的衰减,CDR 接收信号峰峰值大于 500 mV,大于 CDR 的最小接收的有效电平要求,所以根据测试结果来看,测试板上传输线条基本可以满足 4×25 Gbps 光模块的测试要求。

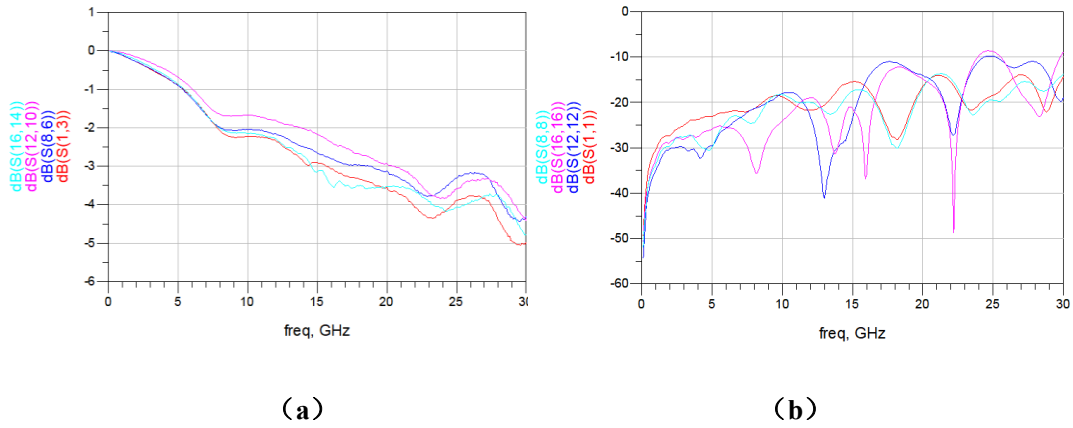


图 3.7 测试板上 SMA 连接器到 CDR 的传输线：(a) S21；(b) S11

CDR 到 Driver 的测试结果如图 3.8 所示，由于对 CDR 倒装焊盘处与 Driver 芯片的焊盘处的不连续结构做了优化处理，使不连续结构处的差分阻抗维持在 100 欧姆，且由 CDR 到 Driver 芯片之间的高速线较短，只有约 0.5 cm 的长度，这导致传输线的损耗较小，图 3.8 (a) 所示测试结果可以看出传输线的 3 dB 带宽超过 30 GHz，在 15 GHz 时的插入损耗仅为 -0.4 dB，损耗正如仿真所描述的，可以忽略不计。回波损耗如图 3.8 (b) 所示，在 0-30 GHz 范围内的小于 -15 dB，反射较小。

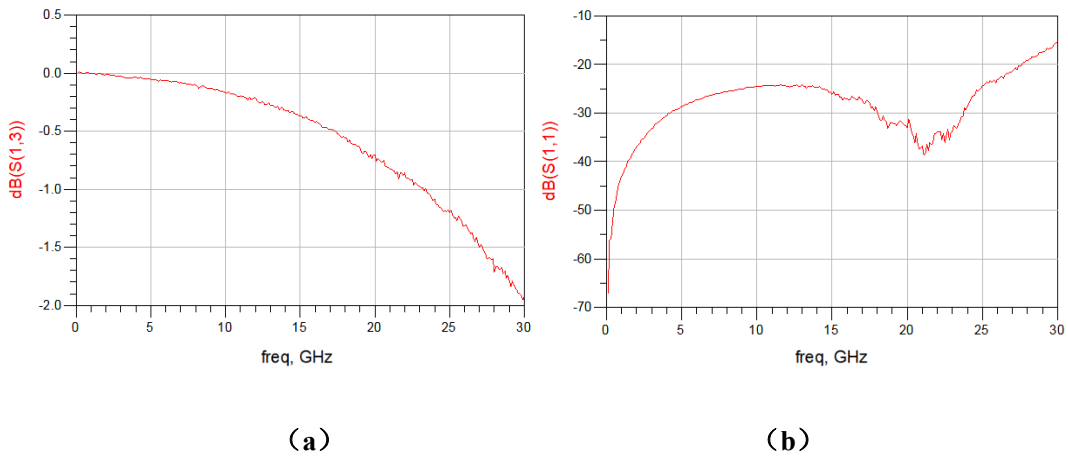


图 3.8 测试板上 CDR 到 Driver 的传输线：(a) S21；(b) S11

根据以上三部分的 S 参数测试结果可知，测试基板的高速传输性能表现较好，可以满足 4×25 Gbps 光收发模块的测试系统的要求。

3.4 光模块系统测试

3.4.1 收发模块测试系统构建

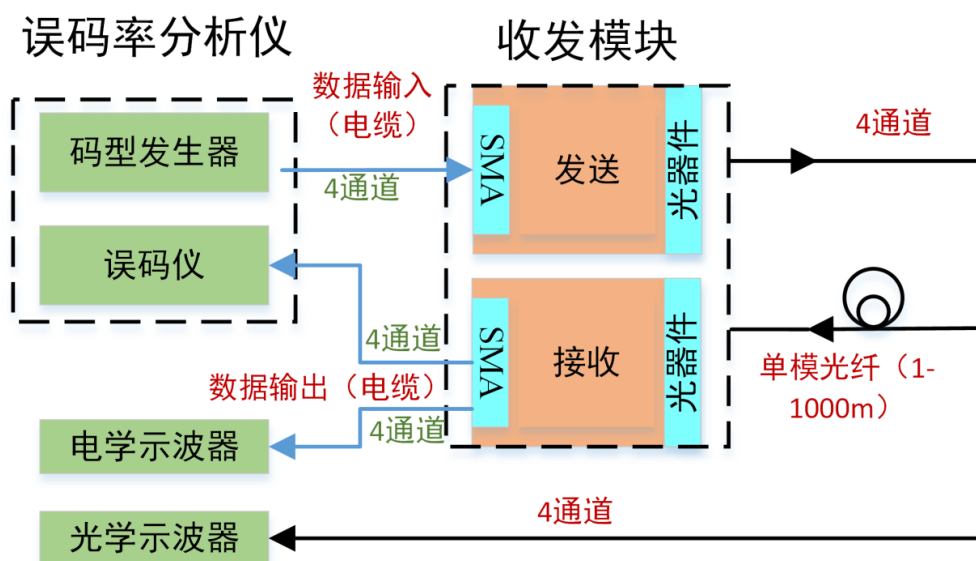


图 3.9 光互连收发模块传输测试系统架构图

根据第二章的仿真结果显示，调制器有源区长度为 2500um 的调制器组成的收发系统的性能优于有源区长度为 1500um 调制器组成的系统，本次采用有源区长度为 2500 um 的调制器组成的收发测试系统。完整的光收发模块互连传输系统的测试需要构建一个完整的测试系统。其系统的架构如图 3.9 所示，完整的模块系统组成包括一个收发测试板模块、4 根 1000 m 的单模光纤和相应的测试设备。在测试开始前首先测试链路的光损耗情况，根据激光器光功率、光栅耦合损耗以及调制器的损耗预估光链路在接收端的光功率，保证整个链路的光路连接完好。在测试时，首先有误码率分析仪中的码型发生器产生一串的 25 Gbps 的 2^7-1 至 $2^{31}-1$ 的伪随机码序列信号，4 通道对应 100 Gbps 速率的光模块；其次，由误码仪产生的峰峰值为 1 V 的差分形式的高速伪随机码信号，通过电路被馈入收发模块的测试板上，进一步传输到测试板上的 CDR 模块，对数据进行整形与时序校正，输出信号的峰峰值 800 mV，该幅值可以通过外部单片机控制。经过 CDR 处理的信号经过 Driver 芯片放大，根据第二章的仿真可得到当 Driver 信号的峰峰值电压在 4.5 V 以上可以保证误码率的要求，测试中设置 Driver 输出的信号的峰峰值电压为 5.5 V，Driver 输出的信号经测试板，然后通过键合线与硅光芯片中的调制器相连来驱动其工作；经过 4 路调制器调制后光信号经过 1000 m 的单

模光纤传输被与该模块相同的测试模块中的接收部分模块接收，由 PD 芯片将光信号转换为电信号，并由 TIA 芯片放大为电压信号，然后经过 CDR 芯片整形与时序校正；最终经过测试板上的 SMA 连接器与电缆相连传输到电学示波器中，进行电学眼图测试。

接收端的电信号也可以连接到误码仪中，将接收转化来的电压信号序列与误码仪原始产生的信号序列进行对比，得到系统传输的误码率。也可以将传输的光纤断开连接，将调制的光信号直接接到光学示波器进行光眼图测试。组建的光收发模块的测试系统如图 3.10 所示。整个测试系统分为 4 通道发送与 4 通道接收，采用同轴电缆与测试板上高频的 SMA 连接器连接，测试板模块中发送部分与另一块测试板模块接收模块之间通过 4 根 1000 m 的单模光纤相连，也可以通过同一块测试板模块的发送部分与本模块中的接收部分直接光纤闭环相连，形成单向 100 Gbps 双向 200 Gbps 的高速数据交换系统。

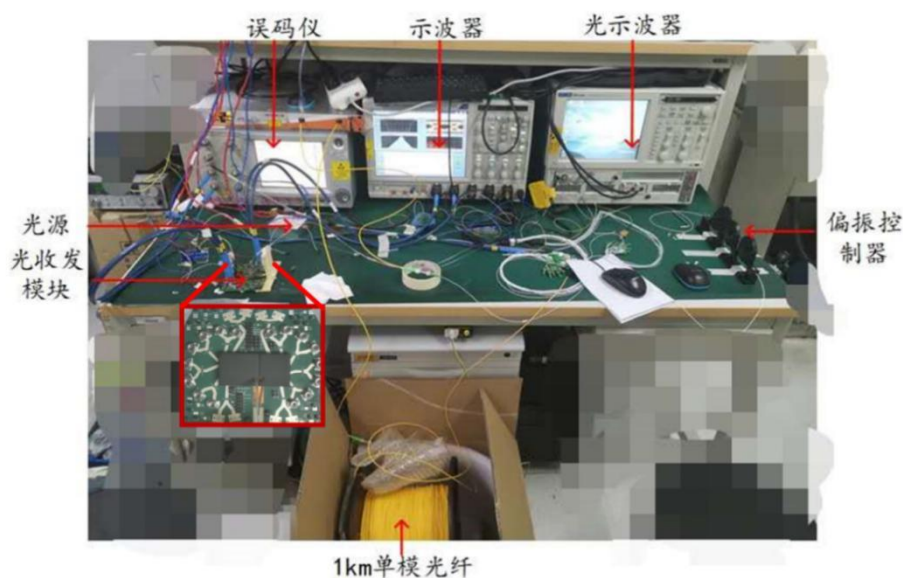


图 3.10 光互连传输系统测试实物图

3.4.2 收发模块测试

通过构建完整的光互连传输测试系统，可以进行不同速率光模块的链路测试。考虑 CDR 主要工作的速率在 25.78 Gbps，考虑 CDR 主要工作的速率在 25.78Gbps，光模块中的光芯片（modulator、grating、PD）和电芯片（TIA、Driver、CDR）都支持 25.78 Gbps 速率，所以本章主要研究内容针对 25.78 Gbps 的信号测试，误码仪可以支持 64 Gbps 码型发生与接收，光学示波器带宽为 15 GHz，

电学示波器带宽为 33 GHz，因此构建的系统可以实现 4×25 Gbps 光模块的链路性能测试，光学眼图测量由于仪器的限制，未测试 25 Gbps 的光眼图。

接收端@25.78Gbps@PRBS-13@1km

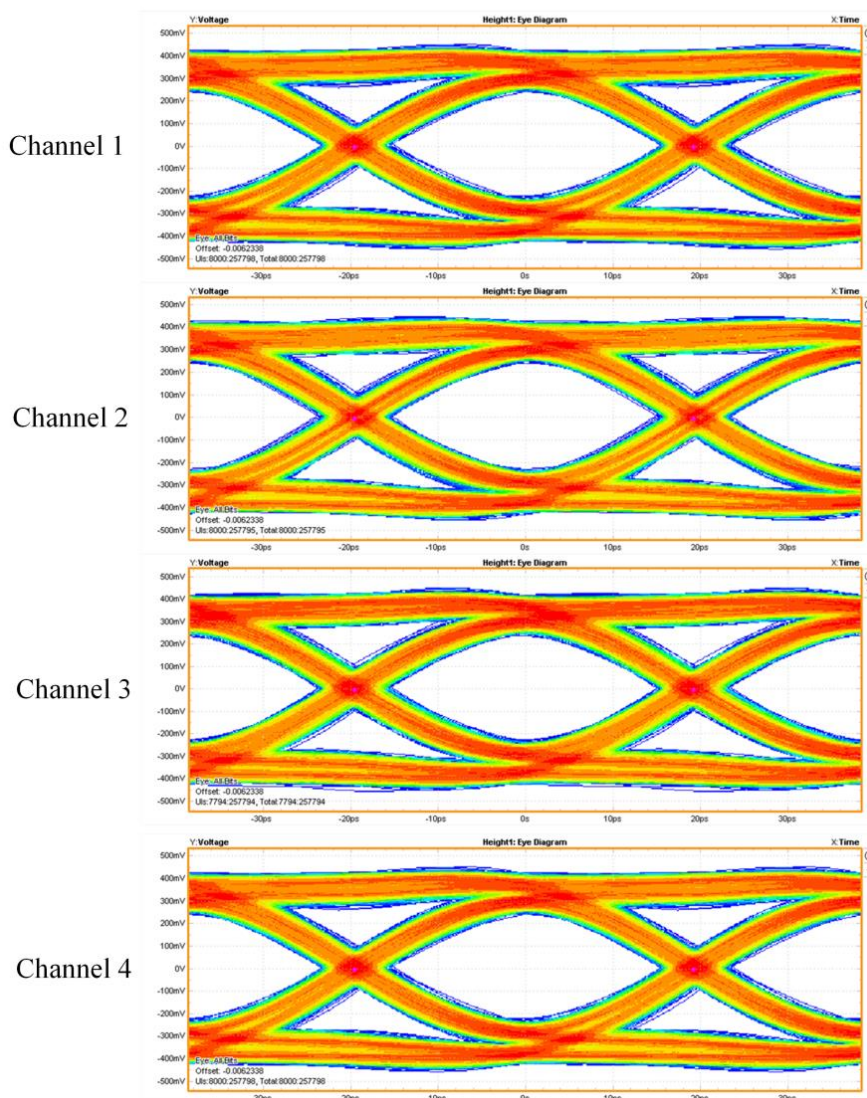


图 3.11 传输距离 1km 的接收端 4 个通道 25.78Gbps 传输电眼图

论文提出的 100 Gbps 速率的光收发模块，经过发送端由电信号到光信号的转换，在接收端由光信号到电信号的转换。传输距离在 1 km 时，在接收端测试的 4 个电眼图如图 3.11 所示，接收端差模电平为 700 mV，码元周期为 38.8 ps。采用 $2^{13}-1$ 的伪随机码序列信号按照 25.78 Gbps 的速率传输，链路系统在 5 分钟内误码率为 0；可以看出在没有采用均衡技术（Equalization Technology）的情况下，4 个通道的眼图清晰，平均抖动仅为 1.8 ps，并且具有较好的一致性。测试结果与上一章的仿真结果较为接近，很好的验证了仿真链路的仿真结果的参考价

值。测试中记录系统中的所有电光器件的总功率仅为 3.6 w，平均每比特的功耗在 20 PJ 以下，实现了模块的低功耗传输。综合以上指标，本论文中设计的 4×25Gbps 光收发模块是一个比较理想的光模块解决方案，在目前数据中心等的高速短光互连的传输领域有良好的运用前景。

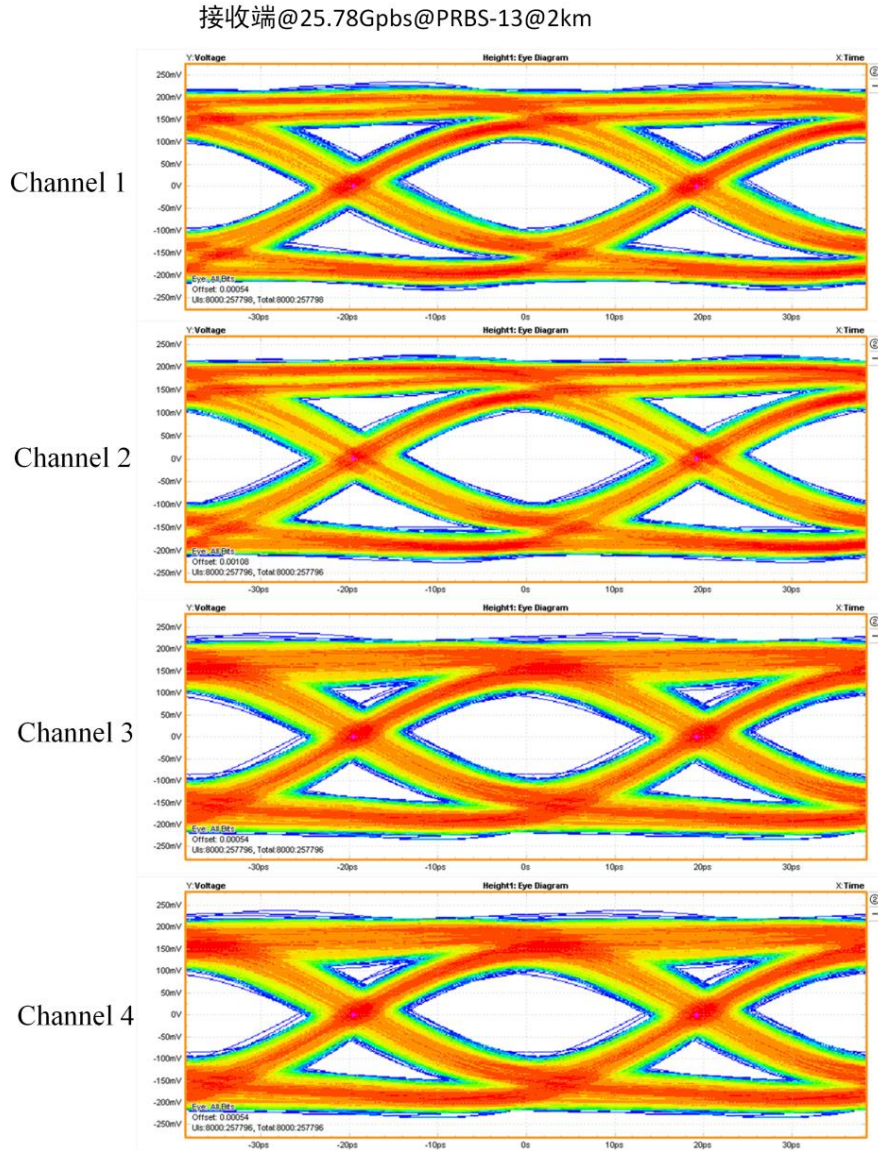


图 3.12 传输距离 2km 的接收端 4 个通道 25.78Gbps 传输电眼图

本论文还测试 4×25.78 Gbps 的光收发模块在 2 km 的传输距离下系统传输性能。模块输出端差分线一端接误码仪，另外一端接电示波器，在接收端的电信号的眼图如图 3.12 所示，差分信号的单端输出信号的峰峰值为 300 mV，4 个通道的眼图较清晰，平均抖动较小，4 个眼图具有较好的一致性，但是与传输距离为 1 km 的系统相比较而言，眼图质量存在恶化，眼图眼皮增厚，眼睛抖动加大。

采用 $2^{13}-1$ 的伪随机码序列信号按照 25.78 Gbps 的速率传输, 链路在 5 分钟内的误码率为依然 0, 系统性能依然较为优越, 该测试结果表明该模块可以向更远传输距离上的延伸。

3.5 本章小结

在本章主要进行了 4×25 Gbps 光模块的测试研究。首先简述了整个光模块的测试的主要研究内容。然后具体研究了光组件中的光栅耦合测试。其次测试了基板高速传输线的时域反射特性和 S 参数。最后对完整的光互连收发系统进行了测试, 包括系统的构建测试系统与 4×25 Gbps 的收发系统在 1000 m 和 2000 m 长度传输距离的光互连传输系统测试。

第4章 硅基电光调制器的设计与仿真

硅基电光调制器作为高速硅光模块的重要组成部分之一,对于光发射机的性能至关重要。本章节主要介绍硅基电光调制器的设计。首先介绍硅基电光调制器材料的调制机理,然后介绍利用调制机理的马赫-曾德尔调制的调制原理、调制器的重要指标、调制器的PN结设计,调制器行波电极设计,最后仿真调制器的电学带宽与电光带宽指标,完成调制器的版图设计。

4.1 调制原理的理论分析

4.1.1 调制机理

硅基电光调制器材料的调制机理主要分为三种方式:电光效应、热光效应以及等离子色散效应。

(1) 电光效应(Electro Optic Effect)

电光效应是指某些各向同性的透明的材料在电场的作用下显示出的光学各向异性,材料的折射率因外加电场而发生变化的现象。电场与材料的折射率 n 的变化关系如下^[31]:

$$n = n_0 + aE + bE^2 \dots \quad (4.1)$$

式中 E 为调制器的外加电场强度, n_0 是没有外加电场时材料的折射率。对上式移项得:

$$\Delta n = n - n_0 + aE + bE^2 \dots \quad (4.2)$$

式中 Δn 表示材料的折射率变化量。式中 Δn 与 aE 呈一次线性关系,称为一次电光效应或者 Pockels 效应,电光效应对晶体材料的折射率的改变具有方向性,方向为偏振光沿着外加电场内的压电晶体的光轴方向。硅是中心反演对称晶体材料,它不具有一阶线性电光效应^[31]。对于铌酸锂这类不是中心反演对称的晶体材料,一般仅考虑电光效应系数最大的晶轴方向,由其引起折射率的改变量可表达为:

$$\Delta n = rn_0 \frac{E}{2} \quad (4.3)$$

式中 r 为 Pockels 系数；式 (4.2) 中 Δn 与 bE^2 呈二次线性关系，称为二次电光效应或者 Kerr 效应，在硅中存在较弱的二次电光效应，由其引起的折射率改变量可表达为：

$$\Delta n = sn_0 \frac{E^2}{2} \quad (4.4)$$

式中的 s 为 Kerr 系数。

(2) 热光效应 (Thermo-Optic Effect)

热光效应是指通过将晶体加热或冷却过程中，其内部分子的排列顺序发生变化，从而造成晶体折射率随温度的改变而改变，温度越高，折射率变化越大，硅晶体的折射率随温度改变的变化率可表示为：

$$\frac{dn}{dT} = 1.86 \times 10^{-4} / K \quad (4.5)$$

即温度每升高 1 摄氏度，折射率变化为 1.86×10^{-4} ，基本效果与等离子色散引起折射率改变效果相当，但是该方式耗能较高，同时工作频率较低，不适合高速调制，一般用于直流相位调制，例如在该设计的调制器中的正交工作点的调制。

(3) 等离子色散效应 (Plasma Dispersion Effect)

非应变纯净的硅是一种中心反演对称晶体材料，没有一阶线性电光效应，而且二阶线性电光效应较弱，改变硅的折射率是通过硅的等离子色散效应，硅材料的等离子色散效应表现为材料的折射率与吸收系数随硅中的自由载流子浓度的变化而变化。采用 Drude 模型近似可以表示为^[40]：

$$\Delta n = -\frac{q^2 \lambda^2}{8\pi^2 c^2 \varepsilon_0} \left(\frac{\Delta N_e}{m_{ce}^*} + \frac{\Delta N_h}{m_{ch}^*} \right) \quad (4.6)$$

$$\Delta \alpha = -\frac{q^3 \lambda^2}{4\pi^2 c^3 \varepsilon_0 n_0} \left[\frac{\Delta N_e}{(m_{ce}^*)^2 u_n} + \frac{\Delta N_h}{(m_{ch}^*)^2 u_p} \right] \quad (4.7)$$

式中 Δn 与 $\Delta \alpha$ 分别为硅的折射率与吸收系数的变化量， q 是电子的电量， ε_0 是真空介电常数， n_0 是本征硅的折射率， μ_n 与 μ_p 是电子和空穴的迁移率， ΔN_e 与 ΔN_p 分别是硅中电子与空穴的浓度改变量， c 为真空光速， m_{ce}^* 与 m_{ch}^* 分别为电子与空穴的有效质量。采用数据拟合，Soref 等人计算得到硅的等离子色散关系表达式^[41]：

$\lambda=1310\text{nm}$:

$$\Delta n = \Delta n_e + \Delta n_h = -[6.2 \times 10^{-22} \Delta N_e + 6 \times 10^{-18} (\Delta N_h)^{0.8}] \quad (4.8)$$

$$\Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = 6.0 \times 10^{-18} \Delta N_e + 4.0 \times 10^{-18} \Delta N_h \quad (4.9)$$

$\lambda=1550\text{nm}$:

$$\Delta n = \Delta n_e + \Delta n_h = -[8.8 \times 10^{-22} \Delta N_e + 8.5 \times 10^{-18} (\Delta N_h)^{0.8}] \quad (4.10)$$

$$\Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = 8.5 \times 10^{-18} \Delta N_e + 6.0 \times 10^{-18} \Delta N_h \quad (4.11)$$

式中 Δn_e 与 Δn_h 分别是自由电子浓度与自由空穴浓度改变量引起的硅折射率的改变量， $\Delta \alpha_e$ 与 $\Delta \alpha_h$ 分别是自由电子与自由空穴浓度改变量引起的硅的吸收系数的改变量。由公式（4.8）与（4.10）可以得到硅的折射率变化主要由于自由空穴的浓度变化引起的折射率变化，由公式（4.9）与（4.11）可得到对于光场的吸收，二者的作用近似相等。

4.1.2 马赫曾德尔调制器工作原理

章节 4.1.1 已经介绍了等离子色散效应机理，这里进一步介绍电场与光场的相互作用，材料的平均折射率变化量^[42]:

$$\Delta n_{avg} = \frac{\iint_s \Delta n(x, y) |E(x, y)|^2 dx dy}{\iint_s |E(x, y)|^2 dx dy} \quad (4.12)$$

式中 $|E(x, y)|^2$ 为光场分布的平方， $\Delta n(x, y)$ 为材料的局部折射率变化量， Δn_{avg} 的材料平均折射率变化量。材料的有效折射率变化量为^[42]:

$$\Delta n_{eff} = \frac{\iint \Delta n(x, y) n_0(x, y) |E(x, y)|^2 dx dy}{n_{eff}^0 \iint |E(x, y)|^2 dx dy} \quad (4.13)$$

式中 n_{eff}^0 为材料的在无电场作用下的有效折射率， $n_0(x, y)$ 为折射率的二维分布。引入平均折射率改变量和有效折射率的改变量是由于折射率是均匀分布，而折射率改变一般仅发生在 PN 结在反向偏压作用下形成的耗尽区域。令材料的局部折射率变化值为 n_0 ，则平均折射变化量与有效折射率变化量之间的关系为：

$$\Delta n_{eff} = \frac{n_0}{n_{eff}} \Delta n_{avg} \tau \quad (4.14)$$

$$\tau = \frac{\iint_s |E(x, y)|^2 dx dy}{\iint |E(x, y)|^2 dx dy} \quad (4.15)$$

由公式（4.13）可知，对调制器的结构与掺杂位置进行优化设计，增大载流子浓度改变区域与光场的重合区域，可以提高调制效率。

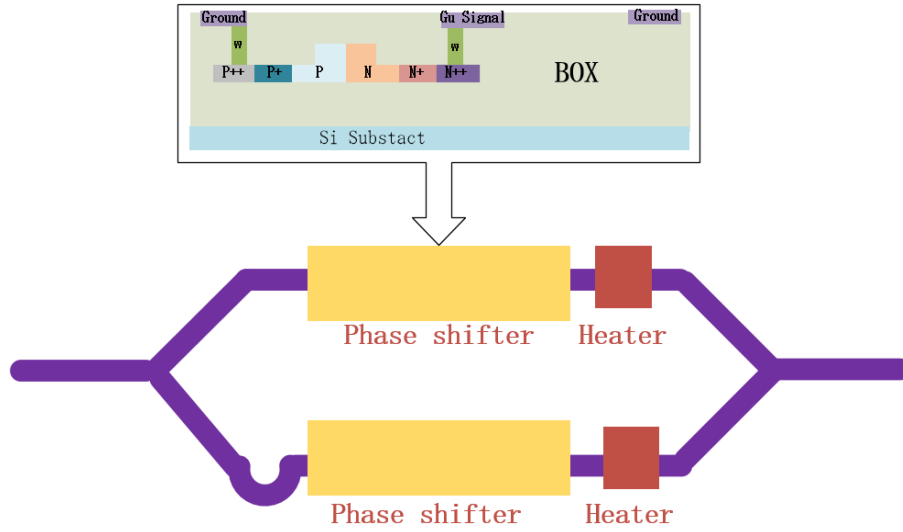


图 4.1 硅基 Mach-Zehnder modulator 结构示意图

如上图 4.1 所示，调制器主要由四部分组成，光波导，相移器，热调和 3dB 耦合器组成。由激光器输出的直流的激光耦合进入调制器，经过输入端的光耦合器分束后进入调制的上、下相移器，在相移器的上下两臂施加电场，对相移器中的载流子进行抽取，改变载流子浓度，从而改变相移器的折射率引起光的相位变化，在输出端的光耦合器进行线性叠加，输出与电场强度相关的强弱的光信号。

输入的光场的经过第一个 Y 分支的 3dB 耦合器的光场强可由矩阵表示为：

$$\begin{bmatrix} E_{Y1} \\ E_{Y2} \end{bmatrix} = \begin{bmatrix} \sqrt{\varepsilon_1} \\ \sqrt{\varepsilon_2} \end{bmatrix} [E_I] \quad (4.16)$$

式中 E_{Y1} ， E_{Y2} 与 E_I 分别为上、下分支的光场强和输入 Y 分支的光场强， ε_1 与 ε_2 为输入进入上、下移相器的光强度比例，一般输入到上、下相移器的光场强比例为 1: 1。

输出第一个 3dB 耦合器的光场强在忽略损耗，两束光在上、下在两个相移

器中进行相位调制，由矩阵可以表示为：

$$\begin{bmatrix} E_{Oarm1} \\ E_{Oarm2} \end{bmatrix} = \begin{bmatrix} \exp(-j\phi_1 - \frac{\alpha_1}{2}L_1) & 0 \\ 0 & \exp(-j\phi_2 - \frac{\alpha_2}{2}L_2) \end{bmatrix} \begin{bmatrix} E_{Iarm1} \\ E_{Iarm2} \end{bmatrix} \quad (4.17)$$

式中 ϕ_1 和 ϕ_2 分别表示上、下臂中总相位变化， α_1 和 α_2 分别为上、下调制臂的传播损耗， L_1 和 L_2 分别表示上、下调制臂有源区长度， E_{Iarm1} 、 E_{Iarm2} 、 E_{Oarm1} 和 E_{Oarm2} 分别表示上、下调制臂的输入光场和经过相位调制后从上、下调制臂的有源区输出光场强。

由图 4.1 可得上、下两个臂之间引入的相位差主要包括由三部分组成，上、下两臂的长度不对称、热调部分和通过等离子色散效应引入。其中长度的不对称可能是由于制造的误差导致或者想引入长度差导致一个一定长度的自由频谱便于相移测量。三部分导致的相移表达式如下：

$$\phi_1 = \frac{2\pi}{\lambda_0} [n_{eff}L_{nm1} + n_{eff}(V)L_{active1} + n_{eff}(T)L_{thermal1}] \quad (4.18)$$

$$\phi_2 = \frac{2\pi}{\lambda_0} [n_{eff}L_{nm2} + n_{eff}(V)L_{active2} + n_{eff}(T)L_{thermal2}] \quad (4.19)$$

式中 L_{nm1} 和 L_{nm2} 分别为该调制器中非调制区的长度， $L_{active1}$ 和 $L_{active2}$ 分别为通过电场调制区域长度， $L_{thermal1}$ 和 $L_{thermal2}$ 分别为上、下臂热调区域长度。

最后通过矩阵相乘得到调制器的传输函数，传输函数通过矩阵可以表达如下：

$$[E_o] = [Y]_{out} [MZM] [Y]_{in} E_{in} \quad (4.20)$$

式中 $[Y]$ 矩阵为（4.16）式中的输入与输出， $[MZM]$ 矩阵表示为式（4.17）。输出的光强可有输出光场与其共轭乘积得到，采用对数光强（dB）的表达式：

$$I_{out,dB} = 10 \log_{10}(E_o \times E_o^*) \quad (4.21)$$

假设调制器为对称结构，物理长度相等，同时仅考虑电场导致的相移，忽略热调导致的相位差，（4.20）式可以简化为等式（4.22）：

$$E_o = E_{in} \cos\left[\left(\frac{\Delta\beta_1 - \Delta\beta_2}{2}\right)L\right] \exp\left[j\left(\frac{\Delta\beta_1 - \Delta\beta_2}{2}\right)L\right] \quad (4.22)$$

式中 $\Delta\beta_1$ 和 $\Delta\beta_2$ 分别表示单位长度的相移器在上、下臂在电场的作用下的相移，式中包括幅值和相位两部分信息。对（4.22）利用指数-双曲函数和欧拉函数可以简化可以得到传输函数：

$$T = \frac{E_o}{E_{in}} = \frac{1}{2} [1 + \operatorname{sech}(\frac{\Delta\varphi}{2} L) \cos(\frac{2\pi}{\lambda_0} \Delta\varphi L)] \quad (4.23)$$

式中单位长度的相移效率为 $\Delta\varphi$ 。 λ_0 为光的波长。

4.2 调制器的性能指标

（1）特征阻抗（ Z_0 ）

调制器中与 PN 结相连的行波电极可以看作传输线模型，传输线上的电压与电流随时间和空间位置的关系表示为^[43]：

$$\begin{cases} V(z) = V_0^+ e^{-\gamma z} + V_0^- e^{\gamma z} \\ I(z) = \frac{1}{Z_0} (V_0^+ e^{-\gamma z} - V_0^- e^{\gamma z}) \end{cases} \quad (4.24)$$

式中 $Z_0 = \sqrt{\frac{R+j\omega l}{G+j\omega c}}$ 为特征阻抗，它是传输线上的电压与电流的比值。 R 为行波电极单位长度的电阻值， G 为行波电极单位长度上的电导值， γ 为电极中的衰减系数， Z 为传输线上的位置与源端距离，频率较高时，特征阻抗可以简化为 $Z_0 = \sqrt{\frac{l}{c}}$ 。

（2）行波电极带宽

行波电极（E-E）带宽指电极所能传输的最高正弦波的频率对应值，一般用 3dB 带宽表示，可以把行波电极看成一个二端口网络，如图 4.3 所示：

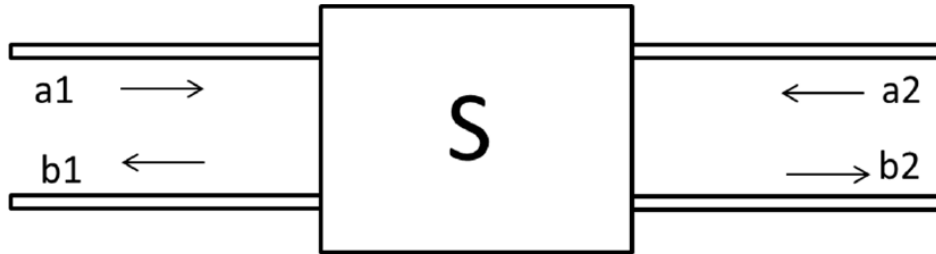


图 4.3 S 参数二端口网络模型

端口 1 与端口 2 分别对应信号为 (a_1, b_1) 和 (a_2, b_2) ， a_1, a_2, b_2, b_1 分别表示归一化的端口 1 与端口 2 的入射波与反射波。根据电磁理论得到^[43]：

$$b_1 = S_{11}a_1 + S_{12}a_2 \quad (4.25)$$

$$b_2 = S_{21}a_1 + S_{22}a_2 \quad (4.26)$$

$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$ 被称为二端口的网络的归一化散射矩阵，其中 $S_{11} = \frac{b_1}{a_1} |_{a_2=0}$ ，表示端口 2 负载时，端口 1 的反射系数，又称回波损耗。 $S_{21} = \frac{b_2}{a_1} |_{a_2=0}$ ，表示 2 端口的负载时，端口 1 到端口 2 的传输系数，又称插入损耗；其中 $S_{12} = \frac{b_1}{a_2} |_{a_1=0}$ ，表示 1 端口接负载时，端口 2 的反射系数。 $S_{22} = \frac{b_2}{a_2} |_{a_1=0}$ ，表示 1 端口接负载时，端口 2 到端口 1 的传输系数^[43]。行波电极带宽就是所述的 S_{21} 或者 S_{12} 的曲线的 -3dB 对应的频率点对应的带宽。

(3) 电光带宽

电光 (E-O) 带宽代表整个调制器的频率响应特性，是调制器的电光指标综合判定，是一个调制器的最重要的指标。其电光带宽 S_{21} 的表达式如下^[44]：

$$EO_{S_{21}} = 10 \log \frac{|S_{21}|^2 - 2 \cdot |S_{21}| \cdot \cos(\beta_{opt}^u \cdot l) + 1}{(\ln |S_{21}|)^2 + (\beta_{opt}^u \cdot l)^2} \quad (4.27)$$

$$\beta_{opt}^u = \frac{\omega_m}{c} (n_L - n_{opt}) \quad (4.28)$$

式中 S_{21} 为上述调制器行波电极的 S_{21} 参数， ω_m 为微波的角频率， c 为光在真空中的传播速度， n_L 为微波折射率， n_{opt} 为光群折射率。

(4) 半波电压

根据马赫-曾德尔干涉原理^[31]，当调节调制器上施加的直流偏压，促使调制器的两臂得光信号的相位差由 0 到 π 时，调制器的输出的光强由最大变为最小。定义促使调制器的相位差由 0 到 π 变化的电压值为半波电压 (V_π)。

4.3 调制器的设计

4.3.1 PN 结结构设计与性能优化

硅光子工艺平台是基于中国科学院微电子研究所 0.18 μm 硅光工艺平台，采用 200 mm SOI 衬底，包括底村二氧化硅 2 μm ，顶层硅 220 nm，硅光工艺有三

种刻蚀深度，分别为 220 nm、150 nm 和 70 nm，对于调制器，采用 150nm 的刻蚀深度。我们在其工艺标准之上进行优化设计。掺杂浓度分为六种，如表 4.1 所示：

表 4.1 掺杂类型与浓度

掺杂类型	描述	浓度/cm ⁻³
PL	P 型低浓度掺杂 (P)	5.0E17
NL	N 型低浓度掺杂 (N)	5.0E17
PM	P 型中浓度掺杂 (P+)	2.5E19
NM	N 型中浓度掺杂 (N+)	5.0E19
PH	P 型高浓度掺杂 (P++)	2.0E20
NH	N 型高浓度掺杂 (N++)	5.0E20

调制器的 PN 横截面结构如图 4.4 所示，考虑单模条件，PN 结的脊宽度设置为 450 nm。工艺限制 PN 结脊的刻蚀深度为 150 nm，衬底厚度为 70 nm，我们在这些工艺标准之上进行优化设计。横截面中 P++和 N++区域为重掺杂区域，与金属接触形成良好的欧姆接触。P+和 N+区域为中掺杂区域，位于重掺杂与中掺杂区域中间，用于减小衬底区域电阻的同时不引入过高的光损耗。P 和 N 区域为轻掺杂区域，用于形成 PN 结耗尽区域，通过等离子色散效应与光相互作用。

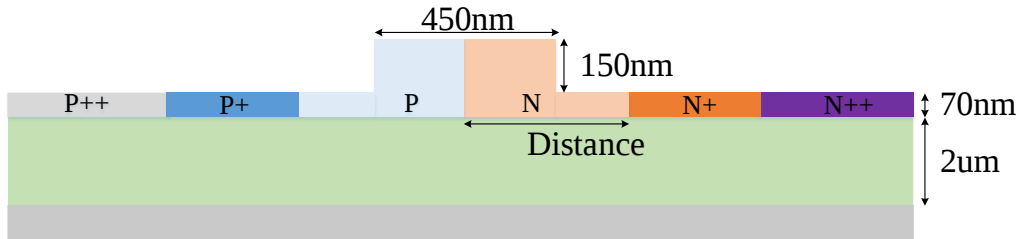


图 4.4 PN 结横截面

根据公式 (4.10) 与 (4.11) 可知，相对于电子来说，空穴对折射率的影响更大，同时引入的损耗较低，当 P 区的面积稍大于 N 区时，调制效果更好，考虑现有的工艺平台，较小的偏移难以保证实现，本次采用对称掺杂。所以在设计调制器时可以优化的部分有中浓度掺杂距 PN 结中心的区域的长度。

调节 P+/N+ 的掺杂位置有两方面考虑，一方面，为了降低高浓度载流子对光场的吸收损耗，可以增大中 P+/N+ 掺杂浓度与 PN 结中心的距离，另一方面，随

着距离增大，衬底区域形成的电阻 $R=\rho W/S$ 也就增大，导致调制器的 RC 常数增加，调制器的带宽下降。在设计中需要平衡二者。

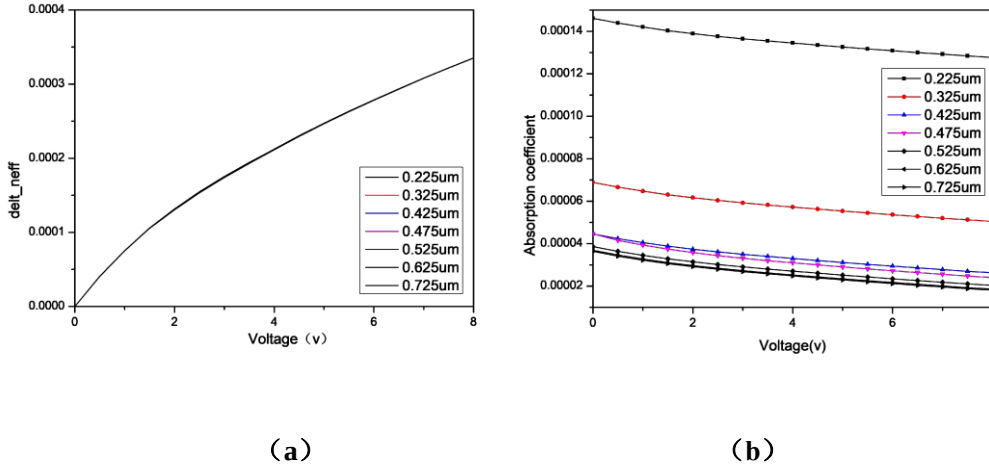


图 4.5 中浓度掺杂区域与 PN 结中心的间距对器件性能影响：(a) 调制的折射率变化曲线；
(b) 吸收系数变化曲线

从图 4.5 (a) 可知，随着中掺杂区域到 PN 结中心的距离的增大，调制器的 PN 结的折射率变化不明显，说明载流子浓度的改变量随着距离的变化不明显，导致折射率的改变量较小，与此同时随着施加 PN 结上的反向偏压的增加，折射率的改变量逐渐增大。由图 4.5 (b) 可以，随着中掺杂区域到 PN 结中心的距离的增大，载流子的吸收系数迅速下降，最后逐渐稳定在 0.00004 附近，说明当中浓度掺杂距离 PN 结中心距离较近时，有一部分载流子进入与光作用的区域，导致光损耗较高，当距离增大到一定程度，轻掺杂的载流子成为导致吸收系数的主要原因。根据以上分析，距离在 0.425 um-0.625 um 范围内较为合适。

仿真中提取 PN 结的串联电阻和 PN 结结电容随中浓度掺杂到 PN 结中心距离变化的曲线，如图 4.6(a)与 4.6(b)所示。随着中浓度掺杂区域到 PN 结中心的间距的减小，导致与 PN 结相连的平板电阻减小，同时随着偏压的升高，PN 结耗尽层宽度增加，这就导致电极到 PN 结结电容的距离缩短，PN 结串联电阻有所减小，但是变化不明显。PN 结结电容值随着中掺杂位置的变化改变不明显，但是随着施加在 PN 结上的反向偏压的升高，施加在 PN 结上的电场增加，PN 结的耗尽层宽度增加，减小了整个 PN 结上的并联电容。

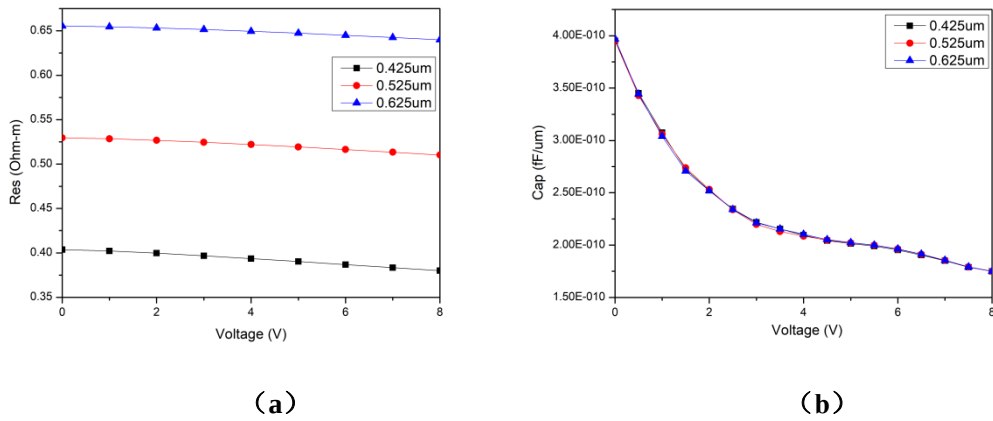


图 4.6 PN 结特性仿真：(a) 串联电阻变化曲线；(b) PN 结电容变化曲线

根据 $f=1/2\pi RC$ ，带入以上仿真数据计算得到中浓度掺杂到 PN 结中心距离在 0.425 um-0.625 um 范围内调制器的本征带宽如图 4.7 所示，随着距离的减小，本征带宽增加，都基本能满足在 0 V 偏压下，本征带宽大于 50 GHz，且本征带宽随着偏压的升高，在-2 V 的偏压下，本征带宽可以达到 100GHz。

综合以上理论分析与仿真结果，选取中浓度掺杂区域距 PN 结中心距离为 0.525 um，这个距离可以使调制器有着较低的吸收系数，同时使衬底有较低的电阻，维持调制器较高的本征带宽。

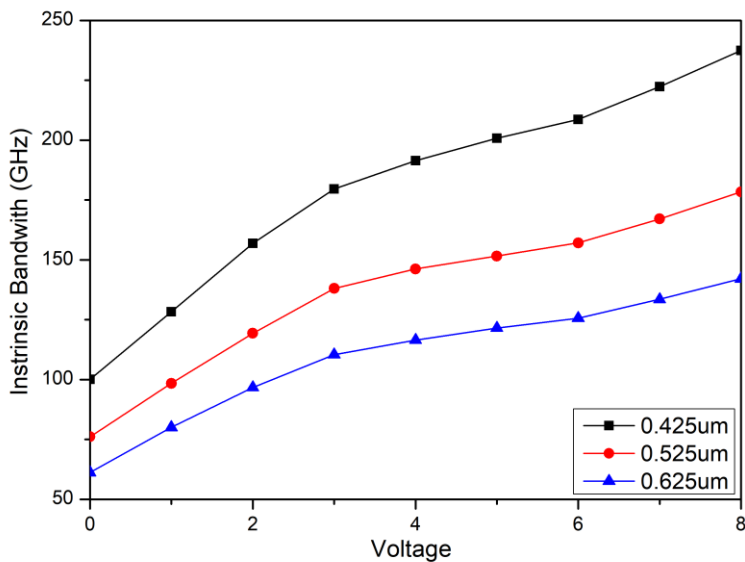


图 4.7 调制的本征带宽

4.3.2 行波电极设计

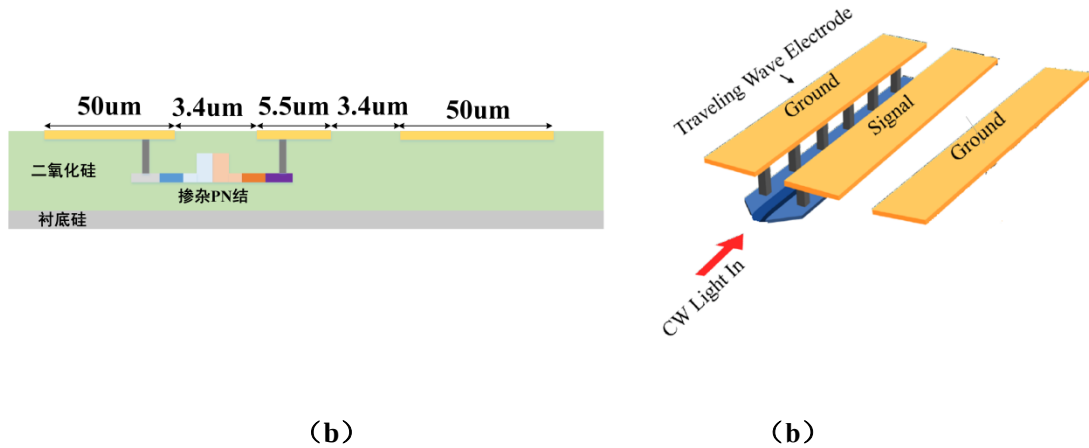


图 4.8 行波电极 (a) 横截面; (b) 立体图

本节在以上设计的 PN 结的基础上设计与之匹配的行波电极，本次设计的行波电极采用的为共面波导 GSG 结构的行波电极，信号线在两地线之间，理想情况下，地线应该是无穷大或者在条件的允许的情况下尽可能的大，本次设计的地线宽度为 50 μm ，信号线的宽度设置为 5.5 μm ，传输线的金属厚约 1 μm ，通过调节信号线与地线之间的间距使整个行波电极的特征阻抗尽可能的与 50 Ω 匹配，通过 Lumerical mode 仿真优化，并考虑光电速度匹配，即光的群折射率与微波折射率近似相等，最终确定信号线与地线之间的距离为 3.4 μm ，结构如图 4.8 所示。

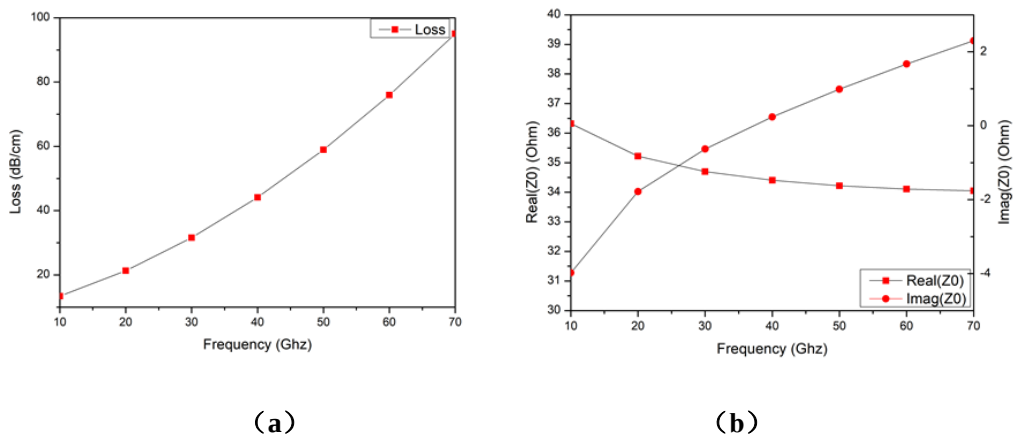


图 4.9 行波电极特性: (a) 传输损耗; (b) 特征阻抗

如图 4.9 (a) 所示为采用以上结构仿真得到的 GSG 结构的行波电极的损耗，损耗随着频率的升高逐渐增大，10 GHz 时损耗在 10 dB/cm，增加到 70 GHz 时的损耗在 95 dB/cm，传输 25 Gbps 的速率的信号时，理论传输的最低带宽在

12.5GHz，传输损耗约 18 dB/cm，损耗较低，满足设计指标要求。行波电极的特征阻抗如图 4.9 (b) 所示，特征阻抗随着频率的增加而减小，最终稳定在 35 Ω 附近，与 50 Ω 匹配存在一定偏差，但是为了满足光电匹配与封装尺寸的要求，需要在行波电极的特征阻抗上做出折中。

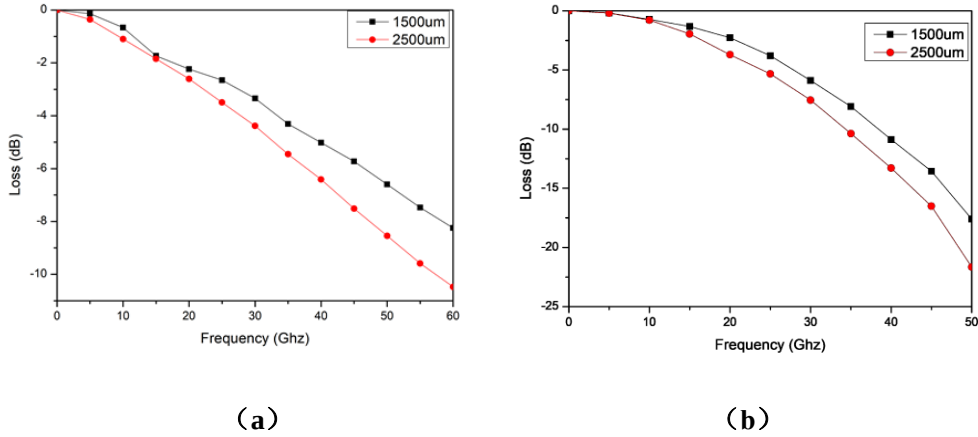


图 4.10 调制器带宽：(a) 电学带宽；(b) 光电带宽

根据以上的仿真结果，通过软件 Lumerical Interconnect 仿真分析得到的调制器的电学带宽与光电带宽。根据第二章对调制器的有源区的长度的系统仿真分析，本节仿真 1500 μm 长度与 2500 μm 长度的行波电极调制器的电学带宽与光电带宽。如图 4.10 (a) 所示，通过矢量网络分析仪分别与 1500 μm 的行波电极和 2500 μm 的调制器在 0 V 偏压的条件下测的电学性能。1500 μm 长度的调制器在 0V 偏压下的 3 dB 带宽为 27.66 GHz，2500 μm 的长度的调制器在 0 V 的偏压下的 3 dB 带宽为 21.36 GHz，电学带宽随着长度增加 1000 μm 下降了 6.3 GHz。通过理想的探测器与设计的调制器相连形成一个电光-光电系统，与矢量网络分析仪连接，分别测试得到 1500 μm 长度调制器的与 2500 μm 长度调制器的电光带宽如图 4.10 (b) 所示。1500 μm 长度的调制器在 0 V 偏压条件下的电光带宽为 23.08GHz，2500 μm 长度的调制器在 0 V 偏压条件下的电光带宽为 17.64 GHz，同时随着施加在调制器上的反向偏压的升高，调制器的电光的带宽将会增加，所以设计的两种调制器的电光带宽基本上都能满足 25 Gbps 的通信速率要求。

4.3.3 调制器的版图设计



图 4.11 调制器工艺流程步骤

本节根据以上的仿真结果，对 4 通道的 25 Gbps 通信速率的调制器的版图进行了设计。中国科学院微电子所的硅光流片工艺步骤如图 4.11 所示，主要分为 6 步工艺，依次为：标准的 SOI 衬底刻蚀、掺杂与激活、外延生长 SiO₂、介质开孔与填充、金属制备、钝化层制备。根据以上六步工艺，设计版图的层叠结构主要有：刻蚀层、刻蚀包层、掺杂层、硅通孔层、金属层、钝化层等层叠结构。调制器中的终端匹配电阻和热调电阻采用 N 型掺杂形成。

仿真中行波之间的中心间距为 56 μm ，考虑封装中采用键合线与光芯片连接，键合线之间的最小的线间距一般不小于 100 μm ，所以在设计调制器的行波电极的焊盘时，需要向外延伸，增大焊盘的中心间距到 100 μm ，同时将焊盘设计在芯片的边沿，减小封装过程中的金丝键合线的长度，以此来提升器件的高频特性。设计的 4 阵列调制器的版图如图 4.12 所示，根据第二章的仿真结果，调制器采用 2500 μm 有源区长度。调制器的高速焊盘与热调焊盘都位于光芯片四周边沿位置，光栅位于光芯片的上端位置，与热调焊盘保持一定距离，避免金丝键合线对耦合质量产生影响。

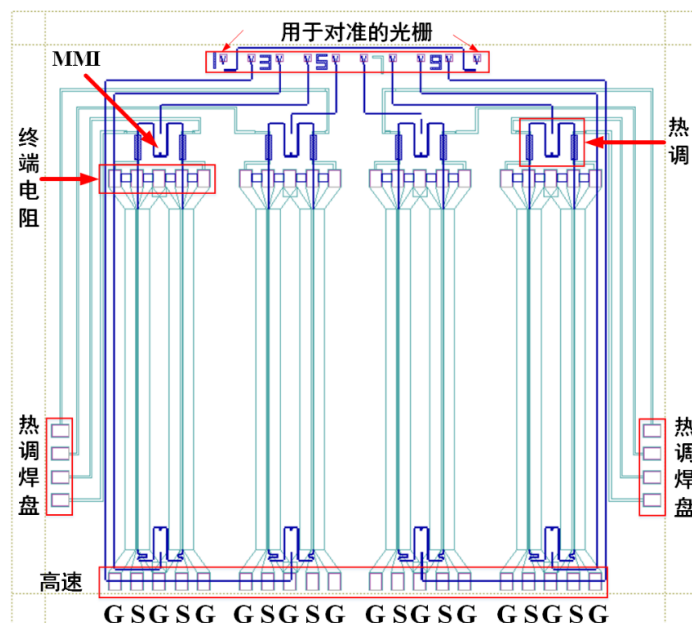


图 4.12 调制器版图

4.4 新型的非对称式四脉冲幅度调制器的设计

传统的数字信号最多采用的是 NRZ 信号，每个符号周期可以传输 1bit 的逻辑信号；而脉冲幅度信号则可以采用更多的信号电平，从而传输更多的 bit 信息。例如四脉冲幅度调制（PAM-4），采用 4 个不同的信号电平进行信号传输，每个符号周期可以传输 2 个 bit 的逻辑信息。因此，要实现同样的信号传输能力，PAM-4 信号的符号速率只需要达到 NRZ 信号的一半即可，这样传输通道对其造成的损耗大大减小。

目前 PAM-4 光调制器主要还是为传统的马赫-曾德尔调制器。在电域生成 PAM-4 差分信号，然后加载在光调制器上调制生成 PAM-4 光信号，这种调制方式的特点就是对光域的器件要求简单，却要求在电域合成 PAM-4 电信号，这就增加了电域发射机的难度。考虑以上因素，本文提出一种新型的 PAM-4 光调制器，它在传统的马赫-曾德尔调制器的基础上进行改造优化，减小了调制器的一个调制臂长度，使其为另外一个调制臂长度的一半，减小部分的光路用普通的波导替代，上、下调制器臂上加载两组相互独立的等幅值的 NRZ 信号，信号的时钟相同，然后在光域合成 PAM-4 光信号，调制器的工作方式如图 4.13 所示。

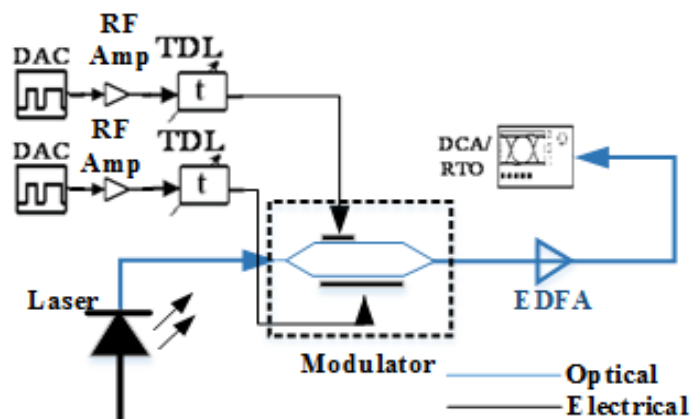


图 4.13 非对称式四脉冲幅度光调制器的工作方式

根据调制器的工作方式，在 Lumerical Interconnect 中完成对系统的仿真，设置调制的上臂有源区长度为 1000 μm ，下臂有源区长度为 2000 μm ，上、下两臂加载的 NRZ 信号的峰峰值为 3 V，两组 NRZ 信号的速率为 25 Gbps。经过调制过后输出的 PAM-4 光幅值信号和经过光电转化后电信号眼图分别如图 4.14(a)和 (b) 所示，三个眼图的一致性较好。

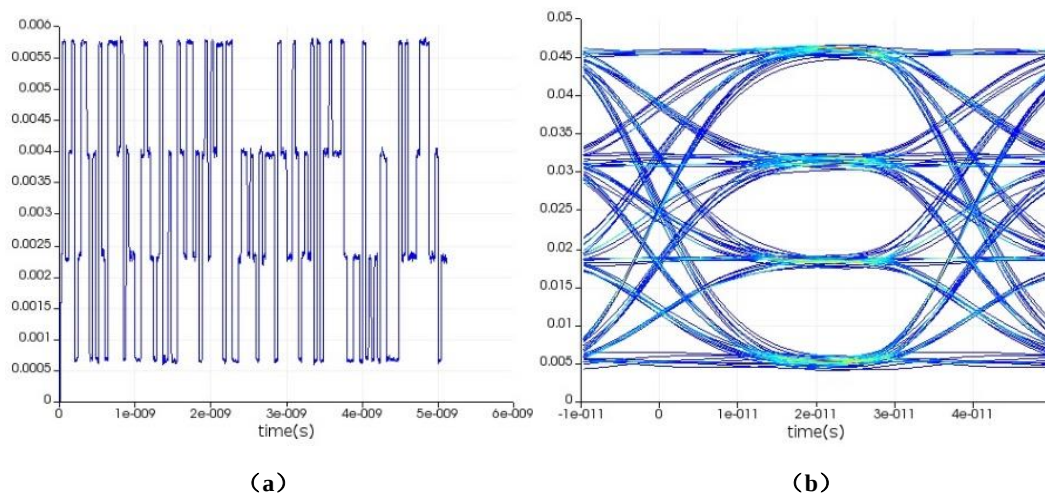


图 4.14 非对称 PAM-4 调制器仿真：(a) 光幅值信号;(b)电信号眼图

设计的该种新型非对称式的 PAM-4 硅光调制器与传统的马赫-曾德尔调制器相比，同样结构简单，同时光的传输损耗还降低约 1/4，调制的带宽也有所增加。在相同的仿真的条件下，该种新型非对称式的 PAM-4 硅光调制器产生的 PAM-4 光信号比传统的调制器产生的 PAM-4 光信号的光调制幅度更大，组成系统的性能会更加优越。

设计的该种新型的调制器流片工艺平台为上海微技术工业研究院的硅光工

艺平台，制作完成的新型非对称式的 PAM-4 硅光调制器芯片如图 4.15 所示，上臂有源区的长度为 1000 μm ，下臂有源区长度为 2000 μm ，芯片的焊盘都位于芯片边沿处，便于键合线封装，此次设计的调制器没有采用片内集成终端电阻，封装中还需要在外部打线到终端匹配电阻。

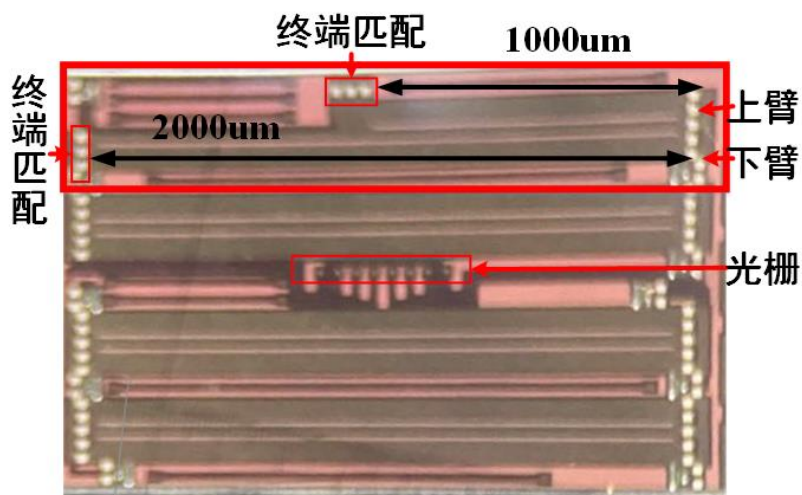


图 4.15 非对称式四脉冲幅度调制器芯片

4.4 本章小节

本章节主要介绍硅基电光调制器的设计。首先介绍了硅基电光调制器利用的调制机理，然后介绍利用调制机理设计的马赫-曾德尔调制的调制原理，介绍了调制器的重要指标，研究了调制器的 PN 结设计与仿真优化，设计了调制器行波电极，完成了 4 阵列调制器的版图设计。提出了一种新型的非对称式的四脉冲幅度调制的电光调制器，并完成了流片。

第5章 总结与展望

5.1 本论文主要内容和结论

论文主要研究的内容为硅光技术应用背景和光电系统封装设计的研究现状、光电模块封装设计、光电协同设计与仿真，实现了 4×25 Gbps 收发光电收发系统设计，并完成了系统测试，通过系统功能的验证，本文还对发送模块的电光调制器的设计展开研究。该论文的主要结论如下：

1. 深入调研和研究了硅光技术背景和光电系统封装的研究现状，并由此引出目前光电系统中存在的三种问题：功耗问题、封装结构设计、光电协同设计问题，并对国内外硅基光电封装系统与器件的研究现状进行了调研。

2. 研究了硅光集成系统的光电协同设计问题，通过光电仿真链路系统，研究了调制器的有源区长度对光电系统的影响，确定了最优的调制器有源区长度；通过链路误码率仿真结果，逐一验证了激光器光功率、探测器响应度、驱动信号幅值等光电器件性能指标对集成链路系统性能影响，验证了现有器件指标能满足系统要求。其次提出了一种低成本、低功耗光电收发模块的封装形式，并研究了该封装结构的电学性能对集成系统模块的影响，仿真验证封装结构能满足系统指标。

3. 完成了 4×25 Gbps 光电收发模块的系统测试。通过对准光栅的光率的监测完成对耦合质量的验证；通过 TDR 与 S 参数对测试基板的电学性能进行了验证；通过系统链路眼图对系统的光互连的传输性能进行了验证，通过系统的误码率对光互连收发系统的性能进行了最终验证；通过系统的功耗的测量对系统的功耗问题的进行了验证。

4. 完成了调制器的 PN 结的尺寸与掺杂位置的仿真设计，完成了调制器的行波电极的设计与仿真，完成了支持 NRZ 25 Gbps 及 PAM-4 50 Gbps 的硅基电光调制器的设计。

5.2 未来工作展望

根据本文硅基光电系统封装关键技术研究展开的工作，取得的成果以及存

在的一些问题，下一步的工作可以从以下几点来实现：

1. 对 4×25 Gbps 光电收发系统进行进一步的优化设计。将 4×25 Gbps 的光组件的组装工艺进一步优化，使光学性能达到最优。探索采用 flip-chip 工艺来实现电学芯片的组装以及光与电的集成，使组装的电学性能更好。

2. 基于高速光互连的系统链路研究。未来光通信将会向 400 Gbps、800 Gbps 甚至更高通讯速率迈进，对信号完整性的要求会更高，一方面，需要对更高速率的信号完整性设计及优化方法进行分析和研究；另外，也需要对有源芯片的作用加以关注，由于传输信号转成光信号之前的铜互连的限制，基本的有源互连结构有可能已经不能满足系统的性能，需要在链路中加入信号恢复等附加的有源电路来保证信号传输。在系统设计中，需要对无源和有源组成的整个链路性能进行分析和研究，才能准确地预计整个系统的性能。

3. 高密度的光互连系统探索与研究。未来可以实现更高密度的光互连系统。但是随着通道数目的增加，光电系统中存在的光学问题、电学问题以及组装问题就会更加严重，需要更进一步地探索和研究。

4. 高阶收发系统的封装研究。由于传输带宽的限制，由目前的 NRZ-OOK 调制信号逐渐转向高阶调制的 PAM-4、PAM-6 等更高阶的调制器格式信号，在对硬件要求不变的情况下，通信速率呈倍数增长，这时系统对噪声更加敏感，需要对器件和封装进一步研究探索。

参考文献

- [1] Pepeljugoski P, Kash J, Doany F, et al. Low power and high density optical interconnections for future supercomputers[J]. In Optical Fiber Communication Conference, OSA Technical Digest (CD), paper OThX2 (2010).
- [2] Cho H, Kapur P, Saraswat K C. Power comparison between high-speed electrical and optical interconnects for interchip communication[J]. Journal of Lightwave Technology, 2004, 22(9): 2021-2033.
- [3] Nagashima K, Kise T, Ishikawa Y, et al. A record 1-km MMF NRZ 25.78-Gb/s error-free link using a 1060-nm DFB VCSEL[J]. IEEE Photonics Technology Letters, 2016, 28(4):418-420.
- [4] 黄德修, 黄黎蓉, 洪伟. 半导体光电子学. (第 3 版).北京:电子工业出版社, 2018. 1-30
- [5] Gerd Keiser. 光纤通信. (第 5 版). 蒲涛译.北京:电子工业出版社, 2016. 1-16
- [6] Murata H. State-of-the-art of optical fibers, fiber cables and their technologies[J]. International Journal of High Speed Electronics & Systems, 1990, 1(02):125-151.
- [7] Osada T, Godwin M. International technology roadmap for semiconductors(2012 Edition)[J]. China Integrated Circuit, 2013, 37(1):47-56.
- [8] 谢崇进. 数据中心光通信技术[J]. 电信科学, 2016, 32(5): 44-51.
- [9] 余晓杉, 王琨, 顾华玺, 等. 云计算数据中心光互连网络:研究现状与趋势[J]. 计算机学报, 2015, 38(10): 1924-1945.
- [10] Soref R. The past, present, and future of silicon photonics[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2006,12(6):1678-1687.
- [11] Tanabe K, Watanabe K, Arakawa Y. III-V/Si hybrid photonic devices by direct fusion bonding. Scientific Reports, 2012, 2: 349.
- [12] Chen S, Li W, Wu J, et al. Electrically pumped continuous-wave III-V quantum dot lasers on silicon. Nature Photonics, 2016, 10(5): 307-311
- [13] Liu A, Jones R, Liao L, et al. A high-speed silicon optical modulator based on a metal-oxide-semiconductor capacitor [J]. Nature, 2004, 427(6975): 615-8.

- [14] Xu Q, Schmidt B, Pradhan S, et al. Micrometre-scale silicon electro-optic modulator [J]. Nature, 2005, 435(7040): 325-7.
- [15] Liao L, Liu A, Rubin D, et al. 40 Gbit/s silicon optical modulator for high-speed applications [J]. Electronics Letters, 2007, 43(22): 1196-7.
- [16] Tu X, Liow T-Y, Song J, et al. 50-Gb/s silicon optical modulator with traveling-wave electrodes [J]. Optics express, 2013, 21(10): 12776-82.
- [17] Xu H, Li X, Xiao X, et al. High-speed silicon modulator with band equalization [J]. Optics letters, 2014, 39(16): 4839-42.
- [18] Li M F, Wang L, Li X, et al. Silicon intensity Mach – Zehnder modulator for single lane 100Gb/s applications[J]. Photonics Research, 2018, 6(2):48-55.
- [19] Vivien L, Polzer A, Marris-Morini D, et al. Zero-bias 40Gbit/s germanium waveguide photodetector on silicon. Optics Express, 2012, 20(2):1096-1101
- [20] Chen H, Galili M, Verheyen P, et al. 100-Gbps RZ Data reception in 67-GHz Si-contacted germanium waveguide p-i-n photodetectors. Journal of Lightwave Technology, 2017, 35(4): 722-726
- [21] Sunaga Y, Takahashi R, Tokoro T, et al. 2 Gbit/s small form factor fiber-optic transceiver for single mode optical fiber[J]. IEEE Transactions on Advanced Packaging, 2000, 23(2): 176-181.
- [22] Windover L A B, Simon J N, Rosenau S A, et al. Parallel-optical interconnects >100 gb/s[J]. Lightwave Technology Journal of, 2004, 22(9):2055-2063.
- [23] Chang C C, Shen P K, Yun C L, et al. 4 channels x 10-Gbps optoelectronic transceiver based on silicon optical bench technology[J]. Proceedings of SPIE - The International Society for Optical Engineering, 2012, 8267: 8.
- [24] Katsura K, Usui M, Sato N, et al. Packaging for a 40-channel parallel optical interconnection module with an over-25-Gbit/s throughput[J]. Advanced Packaging IEEE Transactions on, 1999, 22(4): 551-560.
- [25] Schow C L, Doany F E, Rylyakov A, et al. A 24-Channel, 300 Gb/s, 8.2 pJ/bit, full-duplex fiber-coupled optical transceiver module based on a single "holey" CMOS IC[J]., Journal of Lightwave Technology, 2011, 29(4):542-553.
- [26] Yagisawa T, Shiraishi T, Ikeuchi T, et al. FPC-based compact 25-Gb/s optical transceiver

- module for optical interconnect utilizing novel high-speed FPC connector[C]. IEEE Electronic Components & Technology Conference. IEEE, 2013.
- [27] 冯俊波. 硅基光电子技术及发展分析. 西安: 光电子先导院, 2017. 50-55
- [28] Temporiti E, Ghilioni A, Minoia G, et al. Insights into silicon photonics Mach-Zehnder-based optical transmitter architectures[J]. IEEE Journal of Solid State Circuits, 2016:1-14.
- [29] Frederic B, Shinichi T, Mitsuru T, et al. Benchmarking Si, SiGe, and III-V/Si hybrid SIS optical modulators for datacenter Applications[J]. Journal of Lightwave Technology, 2017, 35(18).
- [30] 张卫钢. 通信原理与通信技术[M]. 西安电子科技大学出版社, 2003.
- [31] Patel D. Design, analysis, and performance of a silicon photonic traveling wave Mach-Zehnder modulator[D]. Masters Diss. McGill University (2014).
- [32] Bogatin E. 信号完整性分析[M]. City: 电子工业出版社, 2005.
- [33] Bogatin E, Enterprises B, Resso M. Differential impedance measurement with time domain Reflectometry[J]. Agilent, AN, 2002: 1382-1385.
- [34] Ballo D. Network analyzer basics[M]. City: Hewlett-packard company microwave instruments division, 1997.
- [35] 于争. 信号完整性揭秘:于博士 SI 设计手记[M]. City: 机械工业出版社, 2013.
- [36] 库姆斯. 电子仪器手册[M]. City: 科学出版社, 2006.
- [37] CORPORATION N I. 眼图 (Eye Diagram) 与数字信号测试[J/OL]. 2013:
- [38] CORPORATION A T. 高速数字信号的眼图和抖动测量技术 [J/OL].
- [39] 张轩. 传输指标测试大全[J/OL]. 2013:
- [40] Soref R A , Bennett B R . Electrooptical effects in silicon[J]. IEEE Journal of Quantum Electronics, 1987, QE-23(1):123-129.
- [41] Soref R A , Bennett B R . Kramers-kronig analysis of electro-optical switching in silicon[J]. Proc SPIE, 1986, 704.
- [42] Burke S, Kendall P, Robson P, et al. Design of ridge waveguide couplers with carrier injection using discrete spectral index method [J]. Electronics Letters, 1992, 28(9): 841-2.
- [43] 范寿康. 微波技术与微波电路[M]. 机械工业出版社, 2003.
- [44] 李淼峰. 100G 硅光调制器集成芯片研究[D]. 武汉: 华中科技大学, 2018.

攻读学位期间发表论文、专利及获得奖励

第一作者：

- [1] **Zhixiong Li**, Fengman Liu, Haiyue Xue, at.al. Study on Characteristics of Mach-Zehnder Electro-Optical Modulator[C]. 20th International Conference on Electronic Packaging Technology, Hong Kong City, China. 8. (*Accepted, EI*)
- [2] **李志雄**, 何慧敏, 刘丰满等. $4 \times 25\text{Gbit/s}$ 的光电收发模块封装设计与实现[J]. 光通信研究. 2019. (已接收, 中文核心)

专利发明：

- [1] **李志雄**, 刘丰满, 陈莹等. 一种新型的四级脉冲幅度调制的马赫曾德尔调制器与调制方法[P]. 申请号: CN201911330396.5 [发明专利, 审查中]

获得荣誉奖项：

- [1] 2020.01 荣获中国科学院微电子所荣誉奖学金。

致 谢

时光如白驹过隙，转眼间三年的硕士生涯即将结束。在中科院微电子所的这三年时光过得既充实又愉快，留下了许多美好而宝贵的回忆。回顾走过的路，有许多人给予我帮助和关心，我怀着无比激动的心情对他们表示衷心的感谢。

首先，我要衷心的感谢我的导师刘丰满研究员。感谢刘老师在科研道路中的帮助与指引，悉心地指导我的选题，并且能提供各方面的资源支持，为我营造了良好的科研支撑。当在生活和工作中遇到困难与阻碍时，他总能无私地给予关心和帮助。刘老师工作严谨的科研态度和豁达宽容的生活态度给我产生了深远的影响。尽管学生时代暂告一段落，但是在未来的道路上，他的品质会一直感染着我前进。

感谢光电组所有成员对我的帮助、关心与指导。感谢薛海韵副研究员给我在科研方法上的指导。感谢孙瑜副研究员在我课题研究上给予的指导与帮助。感谢何慧敏助理研究员提供的指导，在难点分析和细节指导等方面都有她无微不至地关心和帮助，使我拓展了自己的知识面。感谢几位光电组的师兄师姐（隗娟、马鹏程、赵慢），在学习上他们给我提供了指导，在生活上也同时给我提供了帮助。感谢几位光电组的师弟师妹（陈莹、郑奇、牛星茂、白莉娟），在平时跟他们探讨问题的同时，自己也学到了很多；在生活上，他们的陪伴给我带来了许多快乐的回忆。

感谢李君、王启东、周云燕、苏梅英、尹雯、王旭刚等九室所有成员长期以来的帮助与支持，他们给我三年的研究生生活带来了美好的回忆。

感谢陈颖、田更新、陈诚、石先玉、宗小雪、杨海博、彭刚彬等九室同学的帮助与陪伴，他们使我在所里的生活变得充实而精彩，成为我最难忘的回忆。

感谢人教处崔京、吴璇、李惠子、庞晓敏等老师对我生活上的诸多帮助和关心。

感谢我的父母对我多年学习的支持与理解。在我遇到挫折和困难时，父母一直都是我最坚强的后盾，支持我鼓励我。没有他们的支持与爱护，就没有我的今天。