



中国科学院大学

University of Chinese Academy of Sciences

硕士学位论文

SiC MOS 器件中 SiC 材料应力对 SiO₂/SiC 界面的影响机理

作者姓名: _____ 王世海

指导教师: _____ 许恒宇 副研究员

_____ 中国科学院微电子研究所

学位类别: _____

学科专业: _____

培养单位: _____ 中国科学院微电子研究所

2019 年 6 月

Effect Mechanism of influence of Material Strain
on SiO₂/SiC Interface Characteristics in SiC MOS Devices

A thesis submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Master of Engineering
in Integrated Circuit Engineering

By
Shihai Wang

Institute of Microelectronics of Chinese Academy of Sciences

June 2019

中国科学院大学

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：王世海
日期：2019.5.28

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：王世海
日期：2019.5.28

导师签名：王世海
日期：2019.5.28

摘 要

宽禁带半导体碳化硅(SiC)材料是电力电子技术的重要领域。SiC MOSFET 器件相比于 Si MOSFET, 具有导通电阻小、耐高温等特性, 是 SiC 器件领域的研究热点, 尤其是其界面特性一直被不断的研究, 近年有研究团队从第一性原理计算的角度出发得出结论, SiC/SiO₂ 界面的内在问题和应变相关工艺密切相关。本论文基于 SiC MOS 电容的界面特性, 研究了 SiC 材料应力对 SiO₂/SiC 界面的影响机理, 本论文的主要工作如下。

1、通过背面减薄工艺的方式改变表面应力, 分析了表面应力对界面特性的影响机理。首先对 SiC 材料减薄前后的形变、应力分布及变化进行了仿真, 结果表明, 减薄工艺会造成 SiC 材料的翘曲度增加以及应力的增大。对流片及测试结果分析, 背面减薄工艺会导致应力相关参数的明显增大; C-V 曲线分析表明, 减薄后的样片有更多的电荷能够响应频率的变化, 且平带电压发生左移, 说明背面减薄工艺导致了界面处正电荷的产生界面态密度; 由 C- ϕ_s 法表征表明, 减薄致应力的增大造成界面态密度的增加。

2、通过硼离子背面注入的方式改变宏观应力, 分析了宏观应力对界面特性的影响机理。通过仿真对比了不同剂量硼离子注入前后的 SiC 衬底应力分布, 结果表明离子注入工艺会导致材料表面应力的增大。流片及测试表明, 初始受到张应力状态的 SiC 外延片, 通过背面硼离子注入改变为压应力状态, 且不同剂量的注入对应力的改变程度不同; 用 C- ϕ_s 法表征界面态密度, 发现宏观应力的改变能够影响 SiC/SiO₂ 的界面质量, SiC MOS 电容在压应力状态比张应力状态下的界面态密度低, 且 SiC/SiO₂ 界面态密度随着应力值的减小而降低; 对 ATR-FTIR 分析, 研究 LO 模式的波数和曲率关系可知, 由于 SiO_x 的变化和 Si-O-Si 键角的减小会导致 LO 声子的偏移, 因此样片所呈现的低应力是导致对应界面态密度低的原因。

从 SiC 材料界面质量的角度出发, 本论文认为在实验过程中尽可能选择压应力小的外延片, 可能能获得更好的实验结果。

关键词: SiC, MOS 电容, 第一性原理, 应力, 界面特性

Abstract

Silicon carbide (SiC) material are wide-bandgap semiconductors, and SiC power devices are key technology for power electronics. SiC MOSFET device has lower on-resistance and higher temperature resistance compared with Si MOSFET. It has been a hotspot in the field of SiC devices, especially its interface characteristics. In recent years, some researchers have concluded from the perspective of first-principles calculations that the intrinsic problems of the SiC/SiO₂ interface are closely related to the strain-related processes. In this work, the mechanism of the influence of SiC material stress on SiO₂/SiC interface in SiC MOS devices is analyzed elaborately. The main work is as follows:

1. The effect mechanism of surface stress on the interface characteristics of SiC/SiO₂ was proposed by the back-grinding process. Firstly, the deformation, stress distribution and variation of SiC epitaxial wafers were simulated before and after thinning process. We found that the back-grinding process would increase the values of warp and stress. The experimental results suggest that the related parameters of stress would have a significant increase after back-grinding process. The C-V curve analysis shows that there are more charges in the sample could respond to the frequency change after back-grinding, and the flat band voltage shifts to the negative side, indicating that the backside thinning process leads to the interface states with positive charges at the interface. C- ϕ_s method was used to characterize the interface state density. The results suggest that the values of D_{it} of SiC/SiO₂ increases with the increasing grinding-induced stress.

2. The effect mechanism of macroscopic stress on the interface characteristics was analyzed by back-implantation of boron ions. The stress distribution of SiC substrate material before and after ion implantation was compared by simulation, the results show indicate that the ion implantation process cause an increase in the macroscopic stress of the SiC material. And the experimental results reveal indicated

that by different doses of back-implantation process, of boron ions process, the initial SiC wafers with tensile stress state are transformed into compressive stress state, the tensile stress state of initial SiC wafers would transform into compressive stress state, and different doses of implantation have different degrees of stress change. The interface state density of SiC/SiO₂ was characterized by C- ϕ s method. It was found that the change of macroscopic stress will affect the interface quality characteristic of SiC/SiO₂. SiC MOS capacitor has lower interface state density under smaller compressive stress than that under tensile stress. Moreover, the smaller compressive stress, the lower interface state density. ATR-FTIR analysis shows the relationship between wavenumber and curvature of LO mode. The change of SiO_x and the decrease of Si-O-Si bond angle lead to the shift of LO phonon. Therefore, lower stress that the sample exhibited leads to its corresponding lower interface states density.

From the point of the interfacial quality of silicon carbide materials, we support that a wafer with the smaller compressive stress should be selected in experimental process, which would be beneficial to obtain more ideal results.

Key Words: SiC, MOS capacitor, First principle, Stress, Interface state characteristics

目 录

第 1 章 绪论.....	1
1.1 碳化硅材料特性.....	1
1.2 SiC MOS 器件发展现状及制约因素.....	4
1.3 SiC/SiO ₂ 界面特性的研究现状.....	7
1.3.1 界面特性改善方法概述.....	7
1.3.2 应力对界面质量研究的重要意义.....	8
1.4 研究意义及主要工作.....	10
第 2 章 SiC MOS 器件的界面特性及表征方法.....	13
2.1 SiC/SiO ₂ 界面态问题及改善办法.....	13
2.1.1 SiC/SiO ₂ 界面态问题.....	13
2.1.2 改善界面态密度的研究现状.....	17
2.2 SiC MOS 电容的电学特性.....	19
2.3 SiC/SiO ₂ 界面特性的测试表征.....	21
2.3.1 界面态密度的测试表征方法.....	21
2.3.2 栅介质特性及应力表征.....	27
2.4 本章小结.....	31
第 3 章 表面应力对 SiC/SiO ₂ 界面的影响机理.....	33
3.1 氮化硅淀积致应力对 SiC/SiO ₂ 界面的影响.....	33
3.2 减薄致应力对 SiC/SiO ₂ 界面态的影响机理.....	35
3.2.1 减薄工艺对 SiC 功率器件的研究意义.....	35
3.2.2 实验技术路线.....	36
3.3 仿真设计理论.....	37
3.4 减薄致应力仿真结果.....	39
3.5 表面应力对 SiC/SiO ₂ 界面态影响机理.....	41
3.5.1 实验方案及工艺流程.....	41
3.5.2 电学性能分析.....	42
3.5.3 ATR-FTIR 表征.....	45

3.6 本章小结.....	46
第 4 章 宏观应力对 SiC/SiO ₂ 界面态的影响机理.....	49
4.1 实验设计.....	49
4.1.1 应力对界面质量的研究意义.....	49
4.1.2 实验技术路线.....	50
4.2 仿真设计模型.....	51
4.3 离子注入致应力仿真结果.....	53
4.4 宏观应力对 SiC/SiO ₂ 界面态的影响机理.....	57
4.4.1 实验方案及工艺流程.....	57
4.4.2 电学特性分析.....	60
4.4.3 ATR-FTIR 表征分析.....	65
4.5 本章小结.....	67
第 5 章 总结与展望.....	69
5.1 论文总结.....	69
5.2 研究展望.....	70
参考文献.....	73
攻读硕士学位期间发表的论文及研究成果.....	79
致 谢.....	81

第1章 绪论

电力电子技术应用于整流电路中, 实现了电能转换或控制, 是发展大功率、抗强辐射、高频高温、蓝光激光器和紫外探测器等技术的核心, 是电力电子与信息电子电路间的桥梁^[1], 在电能传输转换的各个环节, 都需要其作为开关应用。理想的电力电子器件, 是具备低导通电阻, 低损耗功率, 耐高压高温的优良性能的条件, 能够在严苛的条件下正常工作。目前, 功率器件的研究更多的以半导体材料为主, 基于成熟的硅工艺制作, 但 Si 材料的工艺和器件经过不断设计、改进和发展, 已经逼近理论极限甚至部分超过材料属性极限^[2]。第三代半导体由于其优良的材料特性及技术的成熟, 包括材料生长和外延、器件工艺及制造、系统封装和可靠性领域等研究, 已成为半导体领域的研究热点。SiC 为宽禁带半导体的代表, 适用于制备高性能功率器件, 促进电力系统整体性能的提升, 在提高电能利用率、环境节能减排和提高核心电力系统效率等方面有广阔的应用前景^[3]。

1.1 碳化硅材料特性

硅基器件在功率器件领域已发展 60 余年, 占据着主导地位, 如图 1.1 所示^[2], 但随着 Si 基器件的发展, 其器件性能不断逼近材料物理特性的理论极限, 对于 Si 基功率器件, 其性能几乎很难再有提升, 这制约了 Si 电力电子器件在高频、高压和高功率环境下性能的提升。

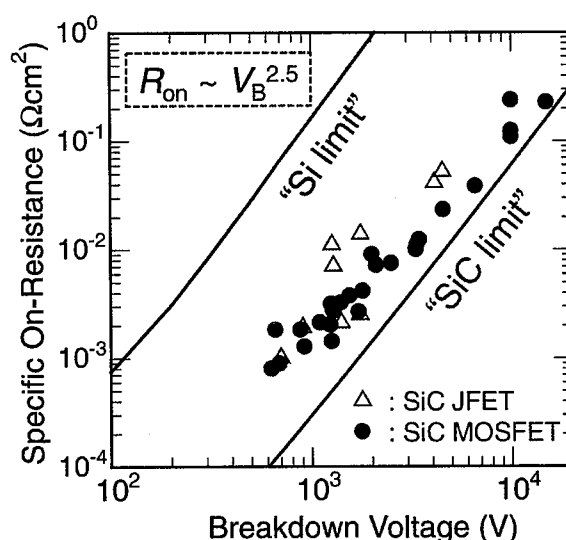


图 1.1 Si 基器件和 SiC 器件的理论极限

随着微电子领域的不断发展, 半导体器件的应用不仅渗透在传统的民用行业, 而且广泛的应用在军事、国防、国家电网、航天航空等领域。传统的 Si 基器件由于自身特性, 在某些极端环境中逐渐失效, 而被称为第三代半导体器件的宽禁带半导体器件, 由于大功率、耐高温、高频率、高耐压等优异性能越来越受到关注。

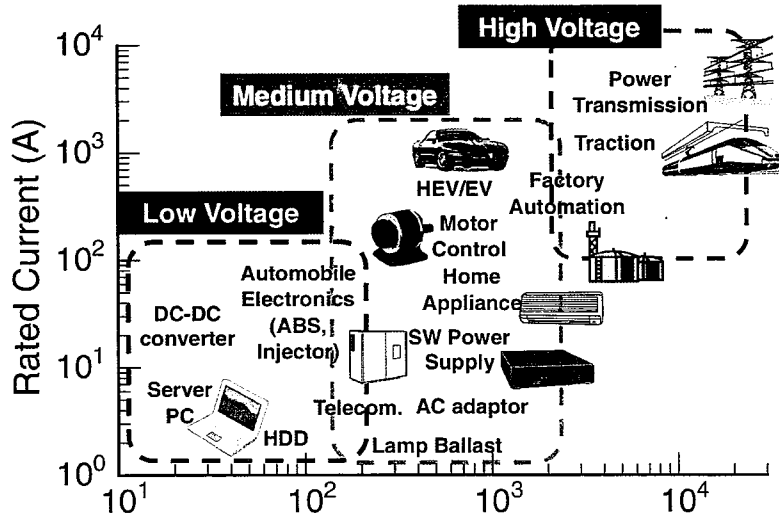


图 1.2 宽禁带半导体器件的主要应用领域

表 1.1 Si、GaAs、SiC、GaN 及金刚石材料基本特性参数

特性 (T=300 K)	Si	GaAs	4H-SiC	6H-SiC	GaN	金刚石
禁带宽度 $E_g(\text{eV})$	1.12	2.43	3.26	3.02	3.39	5.47
迁移率(cm^2/vs)	1500	8500	700	460	900	1800
击穿场强(MV/cm)	0.3	0.4	3.5	3	2	4
热导率($\text{W}/\text{cm.k}$)	1.51	0.54	4.9	4.9	1.3	20.9
介电常数 ϵ	11.9	12.91	-	10.03	10.4	5.93
JFOM 品质因子	1	18.8	992	400	324	1100
KFOM 品质因子	1	0.52	6.4	5	1.05	37

如图 1.2 所示^[2], 从低压到高压领域, 从家电产业到机车工业, 宽禁带半导体器件都得到了广泛的应用^[4]。其中, SiC 材料作为宽禁带半导体的代表, 由于其独特的性能, SiC 器件能够满足高耐压、高频率、耐高温以及抗辐照等环境的正常工作。如表 1.1 所示^[5], 比较了 SiC 材料和 Si、GaAs 材料的特性。

SiC 材料的显著特点之一就是同质多型, 根据堆垛次序的不同, 目前已经证实存在两百五十多种同质多型体, 在电力电子器件制造领域中, 出于工艺成熟性和可靠性等性能综合对比考虑, 研究最广泛的 SiC 材料是 4H-SiC 和 6H-SiC, 由于 4H-SiC 相比于 6H-SiC, 衬底量产相对更容易, 有着更小的各向异性、更高的载流子迁移率以及更大的禁带宽度^[6]。因此, 4H-SiC 外延材料更多的用于 SiC 器件的商业化。本实验的研究采用 4H-SiC 外延材料, 基于 Si 面 (0001) 开展实验。

SiC 材料具有现已发展成为最具有应用潜力的宽禁带半导体之一, 最具吸引力的优异性能表现在以下方面, 如图 1.3 所示, 这使得 SiC 材料在严苛的环境下能够保持更好的性能^[7]:

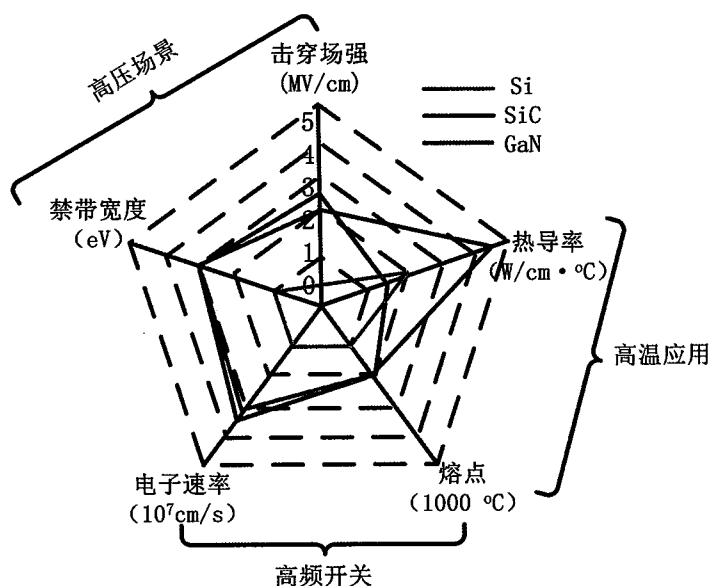


图 1.3 SiC 材料相比 Si 的重要优势

(1) 宽禁带 (3~3.3eV): 约为 Si 的 3 倍。抗辐照能力较强, 因为 SiC 材料的宽禁带特性, 而且有着较高的临界位移能, 这使它在相同的条件下, 比硅材料和 GaAs 材料产生的空穴-电子对更少;

(2) 临界击穿场强高 (2.5~5) MV/cm: 约为 Si 的 10 倍。SiC 器件击穿场强在高压器件中能够达到 2 MV/cm, 该数值约为 Si 器件的 10 倍。假设某器件具有 5kV 截止电压的能力, 对于 Si 器件, 漂移层厚度大约需要 350 μm , 掺杂浓度约 $2.5 \times 10^{13} \text{ cm}^{-3}$, 而对于 SiC 器件, 则分别需要约 25 μm 的漂移层和 $8 \times 10^{15} \text{ cm}^{-3}$ 的掺杂浓度;

(3) 热导率高: SiC 的热导率较高, 约 3 倍于 Si, 8~10 倍于 GaAs 材料, 高热导率的性能使得器件工作时产生的热量更快地散热, 对于高密度大功率器件设计, 此性能非常重要。在航天航空器件设计领域, 为了保证器件工作温度正常, 常需要大的冷却装置。而 SiC 材料的功率密度更大以及耐高温的特性, 因此制作尺寸能够设计的更小, 可以避免庞大的冷却附属设备, 这可以大大的减小运载火箭的发射重量;

(4) 耐高温 (高达 1000 °C): SiC 材料的本征温度非常高, 当掺杂浓度为 10^{16} cm^{-3} 时, 4H-SiC 材料的本征温度约为 1320 °C, 而 Si 材料的本征温度仅为 370 °C, 约为 4H-SiC 材料的 1/3, 所以 SiC 材料对于高温微电子领域应用是非常重要的;

(5) SiC 是唯一能够热氧化生长 SiO₂ 的化合物半导体, 基于此特点, SiC 材料可直接用来制作 MOSFET、MOS 控晶闸管以及绝缘栅双极晶体管等, 而这些可在高温高压条件下工作的器件将会在电力电子领域发挥重大作用。

综上, 鉴于 SiC 材料的独特优势和广阔的应用前景, 国际上越来越多的国家相继投入大量的研究费用, 对 SiC 材料以及器件的深入研究, 并且在 SiC 薄膜制备、器件制造工艺、SiC 集成电路设计方面取得了重大突破, 使得 SiC 器件的研究成本不断地降低, 为航天航空工业、国防等领域提供了高性能的新型器件, 如发动机监控、石油勘探、地热工业等系统。

1.2 SiC MOS 器件发展现状及制约因素

目前, 国际上的多家研究机构已经投入对 SiC 器件进行研究, 其中处于领先地位的公司有美国的 Cree 公司、日本的 Rohm 以及德国的 Infineon 公司。我国 SiC 器件领域与国外的差距还较大, 研究单位主要分布在研究所和高校, 如中科院微电子所、西安电子科技大学、电子科技大学、国家电网研究院、中电 55 所、中电 13 所、株洲南车等。经过我国微电子专家的不断研究, 目前已形成了比较完整的工艺规模, 包括材料的生长、工艺设计、器件研究等的全套流程。

目前, SiC 材料的工艺水平一直在完善, 新型的 SiC 器件也逐渐被设计应用, 如肖特基二极管 (SBD)、PiN 二极管、双极型晶体管、结型场效应晶体管和 MOS 晶体管等, 尤其是 SiC MOSFET 作为常用的开关器件, 一直是最受瞩目的 SiC 器件, 有可能成为下一代的主流半导体器件^[8]。首先, MOSFET 是多数载流

子器件，不存在少子储存时间效应。再而，相比流控的 BJT 和 JFET，压控的 MOSFET 不需要驱动电路，在开关瞬间也不会产生较大峰值电流^[9]。目前，SiC MOSFETs 已经实现了逐步产业化，SiC MOSFET 的两种基本的典型实现结构：包括平面型 DMOSFET 和垂直型 UMOSFET^[10]。由于横向 DMOSFET 耐高压的限制，目前的研究更广泛的是垂直结构的 UMOSFET。

早在上世纪 90 年代，就诞生了基于沟槽栅的 UMOSFET 结构的 SiC 功率 MOSFET，但是该结构由于载流子迁移率低的原因造成了导通电阻大，同时存在电场密度集中于沟槽拐角的缺陷，容易发生损坏^[11]。为了克服以上问题，Shenoy 等于 1997 年报导了 n 型外延衬底 10 μ m 的 n⁻漂移层结构，基于双注入工艺 MOSFET，击穿电压达到 760V，比之前报道的 MOSFET 提高了 3 倍以上，其结构如图 1.4 所示^[12]。

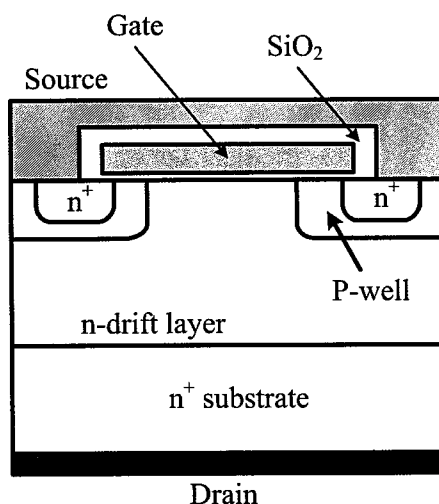


图 1.4 双注入 SiC VDMOS 结构的截面图

随后，Agarwal 等制备了 1.1 kV 横向 UMOSFET^[13]，Spitz 团队报道了 2.6 kV 4H-SiC 横向 DMOSFET^[14]。在 2002 年，J. A. Copper 将结终端保护技术应用到 4H-SiC UMOSFET 上，大大克服了沟槽拐角处电场集中的问题，使得击穿电压提高到 3000-5000V^[15]。如图所示 1.5 所示为 UMOS 结构^[16]，这种栅槽型结构的设计没有 JFET 区域，因此元胞尺寸可以设计的更小，从而沟道密度变高，也明显减小了正向导通电阻。同时，由于通过外延工艺可以形成源区和基区，这可以避免 SiC 工艺中 P 型离子注入工艺和高温退火工艺，有效避免了表面退化现象，并使得可靠性得以提升。

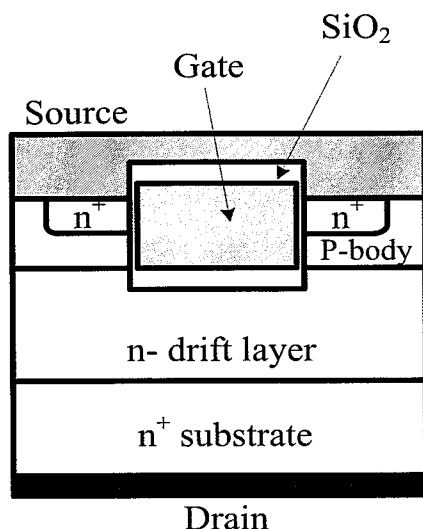


图 1.5 SiC UMOS 结构的截面图

2010 年，日本日经网站首次发布 ROHM 公司将全球首次量产导通电阻为 0.4Ω 的 SiC 基 DMOS 晶体管，2011 年，美国 Cree 公布了业界第一个投产的 SiC MOSFET，达到了 1200V 的耐压，导通电阻为 $80\text{m}\Omega$ 。2012 年，Rohm 公司的 T.Nakamura, M.Aketa 等报道了对栅极和源极刻蚀的 SiC UMOS 器件，大大提高了击穿电压和降低了导通电阻。近年来 Cree、Infineon、Rohm 公司的商业化产品也不断问世。2016 年，S. Harada, Y. Kobayashi 报道在具有由 MeV 离子注入形成的独特六边形掩埋 p 基区的 3.3kV 级 UMOSFET 中实现了具有低栅极电场的低导通电阻^[17]。

随着 SiC 材料各项工艺的不断成熟，SiC 器件的优越性能越来越得以发展，但是目前实际性能和理论性能还存在一定的差距，主要是由于工艺上仍然难以解决一些问题：

(1) 欧姆接触：P 型、N 型 SiC 材料都可制造低电阻率欧姆接触，但这需要对应不同的金属电极和不同的退火条件。MOSFET 器件中，P 型、N 型 SiC 用于都用源接触电极，这使得要同种金属做电极，即相同条件下的欧姆合金，由此可知，SiC 材料的欧姆接触工艺存在一定的困难；

(2) 杂质掺杂：SiC 材料的杂质扩散系数低，使用热扩散工艺进行掺杂的效果并不理想，因此对于 SiC 材料，应当采用离子注入的方式进行掺杂。但是高能离子注入难以控制掺杂深度和浓度，材料表面也会造成晶格损伤，同时也不能

用自对准工艺；

(3) 界面态问题：由于 SiC 存在碳元素，因此在生长 SiO_2 的过程中，会在界面造成碳元素的聚集和析出，这造成悬挂键产生于 SiC 表面，从而在 SiC/ SiO_2 界面处产生界面态，而较差的界面质量将导致 SiC 器件可靠性的降低以及沟道迁移率的减小。

1.3 SiC/ SiO_2 界面特性的研究现状

SiC MOSFET 器件商业化，是功率半导体进入“全 SiC”功率半导体时代的标志。但是，由于 VLSI 的设计需求，MOSFET 的栅氧化层厚度要求设计的更薄，这导致 MOS 器件的制造设计更加复杂，难以控制界面态问题。因此，SiC MOS 器件的界面态问题和迁移率问题一直是 SiC MOS 器件的发展制约因素^[1-3]。

1.3.1 界面特性改善方法概述

界面态位于 MOS 器件的 SiC/ SiO_2 界面处，主要原因包括悬挂键、碳原子聚集以及近界面陷阱，如图 1.6 所示^[18]，因此，SiC 的迁移率量级非常低。迁移率较低是由于 SiC/ SiO_2 界面态密度 (D_{it}) 和 SiC/ SiO_2 的电荷密度较高，相比 Si 基器件来说， SiO_2/Si 的 D_{it} 大约高出 2 个数量级^[19]，尤其是靠近导带处的界面态密度分布较为陡峭^[20]，这会造成阈值电压和低频噪声的增大，从而使得反型层迁移率较低，通常最大达到几十 cm^2/Vs ，因此造成阈值电压发生漂移，造成性能严重的下降。因此，降低 SiC/ SiO_2 界面态密度、改善界面特性是 SiC MOS 器件领域的研究热点。

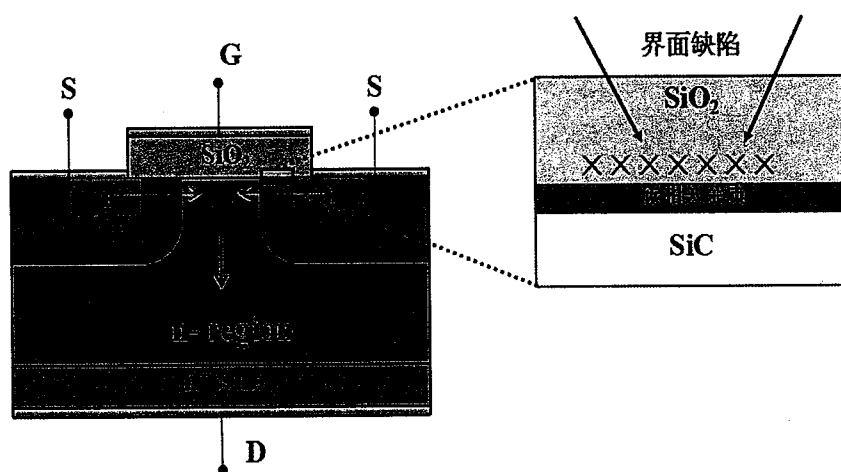


图 1.6 SiC MOS 界面态问题及迁移率低的问题

SiC/SiO₂ 界面态质量是衡量 SiC MOS 技术重要的决定因素。近年来, 研究团队在 SiC/SiO₂ 界面问题投入了研究, 关于 SiC MOS 器件界面态问题的改善也已经提出了一系列解决办法, 如二次退火^[21]、Ar 退火^[22]、H₂ 退火^[23]、磷钝化^[24]、氮钝化(氮气^[25]、NO^[26]、N₂O^[27])等方式, 如图 1.7 所示, 其中, 最主流的方法为氮钝化的退火方法, 能够有效的降低 SiC/SiO₂ 界面态密度量级。

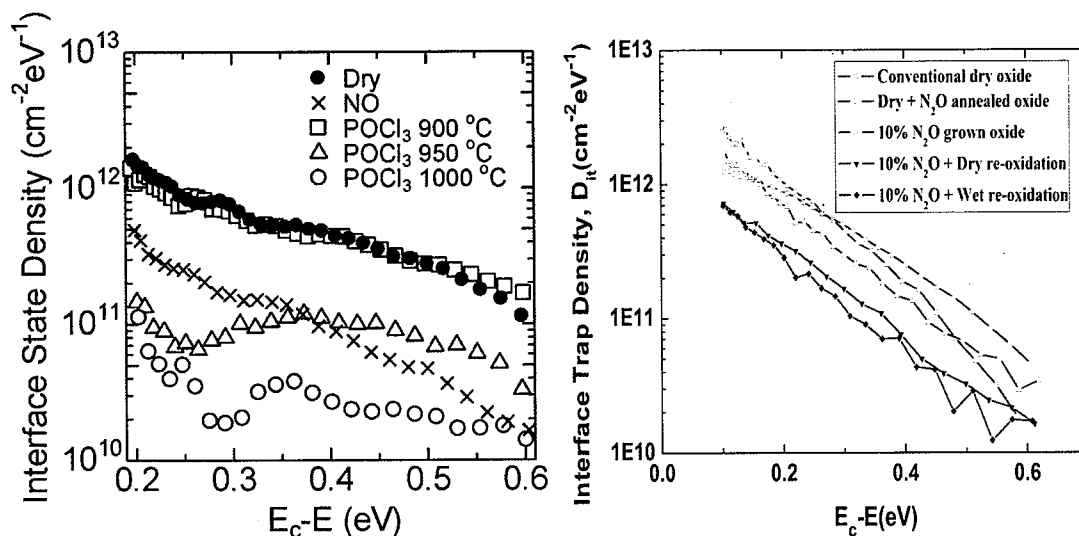


图 1.7 改善界面态问题的钝化办法

1.3.2 应力对界面质量研究的重要意义

实际上, 力学和热力学理论与材料界面质量的好坏紧密相关。力学稳定性破坏分为机械应力和热应力, 其中热应力受到界面的两种材料的性能差异所影响; 热力学稳定性破坏分为扩散、化学反应等, 因而受到环境条件以及界面几何形状的影响^[28]。

2014 年, K. Shiraishi 和 K. Chokawa 等人通过第一性原理计算, 阐明了 SiC/SiO₂ 界面的内在一问题。研究结果表明, SiC 导带底部独特的近自由电子特性导致了工艺致应力在导带底部附近产生了界面态, 如图 1.8 所示, 图 1.8 (a) 为 SiC 的初始原子结构图, 1.8 (b) 为 SiC 原子层面的氧化示意图, 可以观察到氧的插入引起了应变, 第二近邻 Si 原子之间的距离从 3.1 Å 变为 2.9 Å (未键合)。这说明 SiC/SiO₂ 界面在 SiC 热氧化过程中产生的应变对于界面缺陷的形成至关重要的, 应变相关的工艺是制作高质量 NMOSFET 所必需的^[29]。

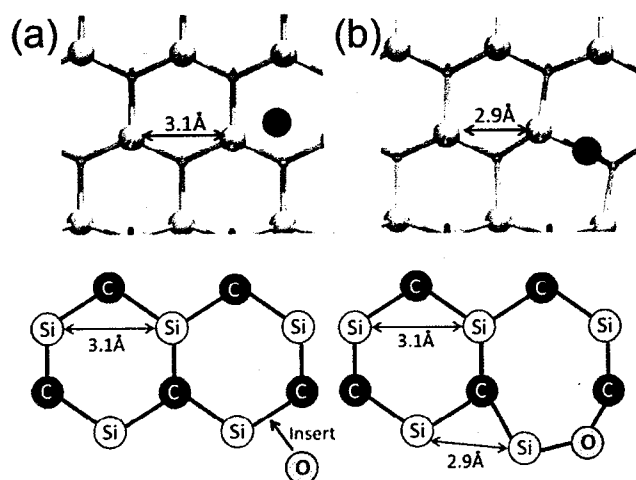


图 1.8 SiC 的氧化原子结构示意图

在此基础上, S. Tsukimoto 等人报道了减薄工艺后 SiC 材料表面的应力损伤分布机理, 实验结果表明表面损伤层的微观缺陷正是由于非均匀应力所导致, 如图 1.9 所示, 在表面 $0.6\mu\text{m}$ 的损伤层处受到了非均匀应力^[30]。Yang、Saraswat 等人阐述了栅氧化物的可靠性与恒定电流栅注入时的 SiO_2/Si 界面物理应力密切相关, 受薄膜中物理应力的影响, SiO_2/Si 结构界面的物理应力更促进了器件的击穿^[31]。基于上述实验, 李秀妍等人对 SiC 热氧化形成的 SiC/SiO_2 的物理应力进行了研究, 实验表明, 在 900°C 以上温度时, 总的内部应变和一部分热应变可以抵消^[32]。

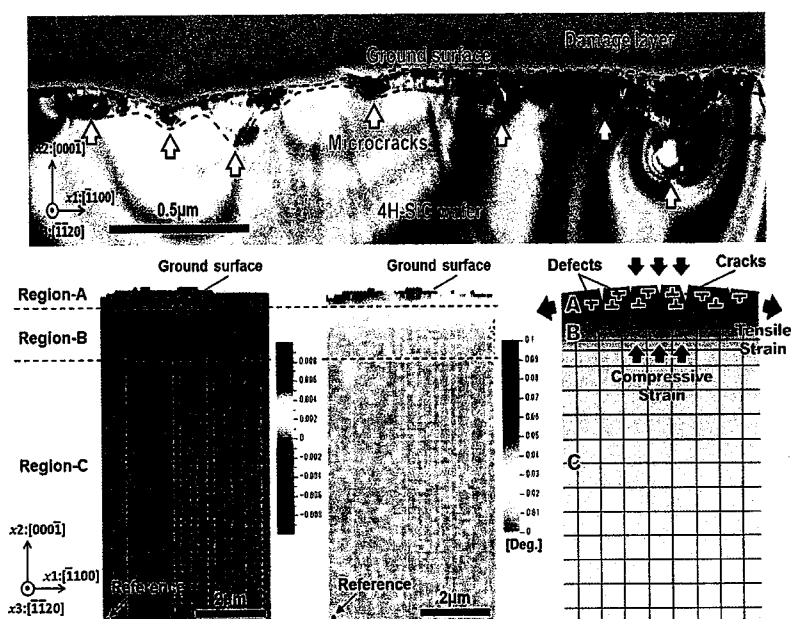


图 1.9 表面损伤层 TEM 图及表面应力分布

1.4 研究意义及主要工作

如上文所述, SiC/SiO₂ 界面在 SiC 热氧化过程中产生的应变对于界面缺陷至关重要, 这对于制造高质量 MOSFET 是非常有研究价值的。目前关于界面态的研究也逐渐从工艺转向研究 SiC 材料本身。本论文从材料本身以及其电学性能的角度出发, 主要研究了 SiC MOS 器件中材料应力对 SiO₂/SiC 界面的影响机理。基于 SiC MOS 工艺进行开发, 通过硼离子注入工艺和背面减薄工艺, 分别针对表面应力和宏观应力对界面态质量的影响, 以及对上述两项工艺后的应力分布进行了仿真设计。同时进行了 MOS 电容设计及流片测试, 并结合 SiC MOS 电容器件的 C-V、I-V 电学性能以及傅里叶红外光谱(ATR - FTIR)表征, 对 SiC/SiO₂ 界面进行分析。本论文的各章内容分别如下:

第 1 章, 阐述了 SiC 材料的优异性能和研究意义。首先介绍了 SiC 材料基本特性, 分析了 SiC 材料器件的独特优势和广阔的应用前景; 对 SiC MOSFET 的发展现状进行了概述, 分析了工艺上仍难以攻克的研究难点; 介绍了 SiC 器件性能的制约因素, 分析了 SiC/SiO₂ 的界面特性及迁移率问题, 以及目前的改善办法; 介绍了与 SiC/SiO₂ 界面的内在问题密切相关的第一性原理, 同时说明了应变相关工艺是制作高质量 NMOSFET 所必需的。

第 2 章, 介绍了 SiC/SiO₂ 界面特性和 SiC MOS 电容的基本理论及 SiC/SiO₂ 界面测试表征方法。首先根据文献报道以及理论分析的角度分别介绍了 SiC/SiO₂ 界面电荷、界面态产生原因, 阐述了界面态问题的主要的改善办法及研究意义, 并进一步对 SiC MOS 电容 C-V 模型进行了分析; 以及对 SiC/SiO₂ 的界面态密度的表征方法做了详细的分析和比较, 为下一步实验的准确性提供了可靠的理论基础; 其次对薄膜厚度的提取进行了介绍, 阐述了 ATR-FTIR 分析方法, 并介绍了应力的测试分析方法。

第 3 章, 为了研究 SiC 材料表面应力对 SiC/SiO₂ 界面态的影响机理, 本论文首先通过氮化硅淀积工艺改变了 SiC 外延片的表面应力, 但是氧化过程中由于 SiC 材料和 Si₃N₄ 材料的晶格常数差异较大, 造成氮化硅的碎裂, 因此, 本论文从减薄工艺的角度出发, 研究减薄致表面应力对界面态密度的影响。首先阐述了减薄工艺对于低压功率器件的重要性, 给出了本实验的详细实验技术路线; 其次, 通过仿真对 SiC 材料减薄前后的形变规律、应力分布规律及应力变化进行了模拟; 最后流片对 SiC MOS 的 C-V 特性进行了测试, 用 C- ϕ_s 法表征了界面态密度,

以及用 ATR-FTIR 的方法表征了应力对于 SiC MOS 界面态密度的机理。

第 4 章, 为了研究 SiC 材料宏观应力对 SiC/SiO₂ 界面态的影响机理, 本章通过硼离子背面注入的方式改变宏观应力。首先从第一性原理计算的角度阐述了应力相关工艺对于 SiC 材料界面态研究的重要意义, 并设计了详细技术路线; 其次, 通过仿真的方式对硼离子背面注入模型的选择、注入剂量及能量的选择以及单次和多次的注入方式进行了模拟, 且模拟了硼离子注入前后 SiC 衬底材料的应力分布变化; 最后进行流片分析, 并通过 C-V 测试表征了 SiC MOS 的电学特性、用 C- ϕ_s 方法表征了 SiC/SiO₂ 的界面态密度, 用傅里叶变换衰减全反射红外光谱 (ATR-FTIR) 的方法表征了应力对于 SiC MOS 界面态密度的机理。

第 5 章, 对本论文的两项实验内容及结果进行了总结和说明, 并且对本论文的不足之处和下一步计划做了展望。

第 2 章 SiC MOS 器件的界面特性及表征方法

SiC MOSFET 器件的界面特性一直是 SiC 领域的研究热点。MOS 电容是 MOSFET 器件的最基本的结构。因此, 深入理解 SiC MOS 电容特性对于 SiC MOSFET 的界面态特性的研究是非常有意义的。Si MOS 电容的 C-V 测量和分析表征几乎非常完善, 由于 SiC 的宽禁带特性, Si 基模型对于 SiC 器件已经不再适用。MOS 电容界面特性表征最常用的方法是测量电容-电压 (C-V) 特性, MOS 电容的界面态密度和平带电压可以通过 C-V 数据提取。下面将进一步介绍 SiC MOS 的界面态问题, 并对 MOS 电容的 C-V 特性进行分析。

2.1 SiC/SiO₂ 界面态问题及改善办法

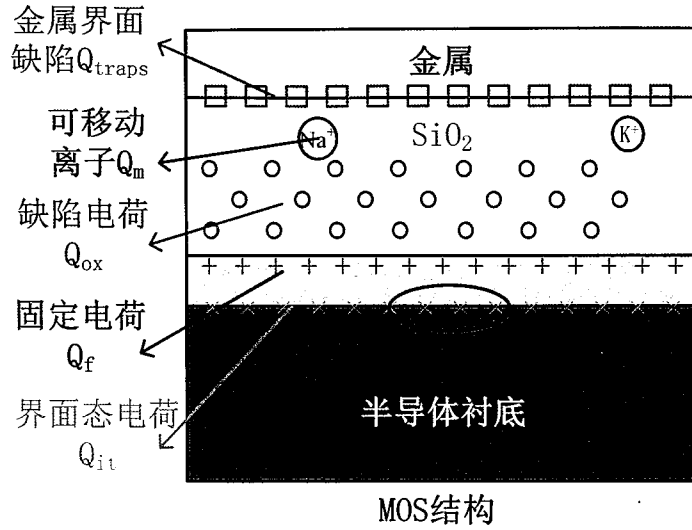
SiC 材料是唯一可以热氧化生长 SiO₂ 的化合物半导体, 因此 SiC 器件的制作可以通过氧化温度较高的 Si 基设备完成, 极大地降低了器件制作成本。SiC 表面生长的 SiO₂ 同 Si 上生长的 SiO₂ 质量几乎一致^[33], 对于 SiO₂/SiC 的界面质量, 在整个禁带内, SiC/SiO₂ 的界面态密度约为 $10^{12} \sim 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$, 远远高于 SiO₂/Si 的界面态密度 ($10^9 \sim 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$), 导致 MOSFET 器件反型层沟道迁移率非常低, 远远低于体迁移率, 仅达几十 cm^2/Vs 的量级, 造成了 SiC MOS 器件性能的严重下降。

由于 SiC 材料宽禁带特性且 C 元素的存在, 这导致 SiC/SiO₂ 界面处的陷阱电荷起源和 Si/SiO₂ 界面有非常大的区别, 其测量表征方法也不同。可以看出, SiC/SiO₂ 的界面问题一直是 SiC MOS 器件的研究热点, 因此很有必要系统地研究 SiC/SiO₂ 的界面特性。

2.1.1 SiC/SiO₂ 界面态问题

2.1.1.1 SiC/SiO₂ 界面的近界面电荷

对于 MOS 系统, 高温氧化工艺以及后续工艺步骤中都会难以避免的引入缺陷和杂质。在 SiC/SiO₂ 界面中, 按照不同的电荷位置分布, 如图 2.1 所示^[34], 通常包括以下四种界面结构相关的陷阱电荷^[35], 在表面处对应的位置分布如下图所示:

图 2.1 SiC/SiO₂ 界面不同位置处电荷分布1) 界面陷阱电荷 Q_{it}

界面陷阱电荷在 SiC/SiO₂ 界面处, 是结构缺陷所导致(如晶格失配或悬挂键)、表面杂质原子、氧化缺陷或禁带内能级俘获或发射电子、引起的电荷。处在禁带位置的 Q_{it} 能够被充电和放电, 是造成 MOS FET 性能退化以及反型层沟道电子迁移率降低的最主要的陷阱电荷。界面陷阱电荷 Q_{it} 也可以称为快态和表面态, 即我们研究的界面态。界面态密度的单位为 (陷阱数 $\cdot (\text{cm}^{-2} \cdot \text{eV}^{-1})$), 其定义是: 单位面积的单位能量的 Q_{it} 数目:

$$D_{it} = \frac{1}{q} \cdot \frac{dQ_{it}}{dE_t} \quad \dots (2.1)$$

其中, q 为电子电荷, E_t 为界面陷阱能级。位于禁带上部的界面态通常称之为受主型界面态, 反之则称施主型界面态, 根据大多数研究实验发现, 禁带中 SiC/SiO₂ 的 D_{it} 近似呈连续 “U” 型分布^[36]。

2) 氧化层固定电荷 Q_f

Q_f 通常以正电荷的形式存在, 位于和 SiC/SiO₂ 界面距离 2 nm 范围内, 是不可移动的电荷, 与衬底半导体不会产生电交换效应。产生过程是在进行氧化工艺时也有可能是不同杂质的结构缺陷所导致, 因而氧化温度、气体氛围、降温条件, 以及半导体的不同晶向都会对 Q_f 产生影响。实验证明, 氧化层固定电荷密度与氧化温度呈负相关的关系, Q_f 的密度随着氧化温度的升高而越低, 并且, 在 H₂、

N_2 或惰性气体如 Ar 中退火，同样可以有效降低 Q_f ^[37]。但是，当 D_{it} 太高时，对 Q_f 的准确测量会产生一定的干扰^[38]。

3) 氧化层陷阱电荷 Q_{ox}

Q_{ox} 来源于氧化工艺中的 SiO_2 的自身缺陷。 Q_{ox} 通常以电中性的形式表现，在发生离子辐射（如电子束辐射等）、雪崩注入或 F-N 击穿时也会俘获电子和空穴，使其对应地表现为负电荷或正电荷性。与氧化层固定电荷 Q_f 不同，通过低温退火工艺， Q_{ox} 可以被有效的部分消除，但一部分电中性氧化层陷阱仍难以消除^[39]。对于靠近 SiC/SiO₂ 界面处的 Q_{ox} ，和 SiC 衬底能够进行电荷交换，称之为边界陷阱。边界陷阱的行为与界面态效应类似^[40]，对 SiC MOS 的界面质量同样有着相当关键的作用。

4) 可动离子电荷 Q_m

可动离子电荷 Q_m 存在于氧化层表面，由工艺过程中的离子玷污所产生，如 Na^+ 、 Li^+ 、 K^+ 。在低于 500°C 的温度下，负离子和重金属离子是不可动的，但是在某些条件下会向 SiC/SiO₂ 界面处移动，对 SiC/SiO₂ 界面质量会产生一定的影响^[41]。

2.1.1.2 SiC/SiO₂ 界面态的起源

SiC/SiO₂ 界面问题一直是 SiC MOS 器件领域的研究热点，目前 SiC/SiO₂ 的界面态问题的起源还没有完全研究清楚，界面态成因主要包括三个主要的原因组成：

1) 悬挂键



图 2.2 SiC/SiO₂ 界面中的 Si 悬挂键

对于 SiC/SiO₂，悬挂键被认为是由 SiC 和 SiO₂ 的晶格不匹配所造成的，常常发生在基底和氧化层之间。如图 2.2 所示，为 SiC/SiO₂ 界面的悬挂键分子模型。有相关文献表明，对于 SiC MOS 电容，氢气氛围下的低温退火工艺并没有使得 SiC/SiO₂ 的界面质量得到明显的改进^[42]，根据以上可以推断 SiC/SiO₂ 界面态的产生和悬挂键的存在没有太重要的联系。

2) SiC/SiO₂ 界面的碳团簇

SiC/SiO₂ 界面处的 C 原子，通过 X-Ray 电子谱可以观察到^[43]。AFM、TEM 和 ELS 都可以观察到 SiC/SiO₂ 界面处的 C 原子。文献报道了氧化过程中导致的残余 C 簇是 SiC/SiO₂ 界面态问题的影响因素^[44]。也有研究人员通过 XPS 和 PAS 的方法观测 SiC/SiO₂ 时并没有发现 C 团簇，SiC/SiO₂ 界面处残余的碳并不是 C 团簇形式而存在，可能是相关缺陷，如三重轴 C 原子和双间隙碳缺陷^[45]。高温氧化时，表面碳原子会反应生成类石墨结构，不能充分的氧化，因此残余成为 C 簇产生界面态。Bassler 研究团队报道了关于 C 簇的模型，认为残余 C 原子之间依赖于 sp² 键连接，形成宽能带的碳簇，依照其能级位置与禁带位置的关系，分为类施主型界面态和类受主型界面态^[19]。

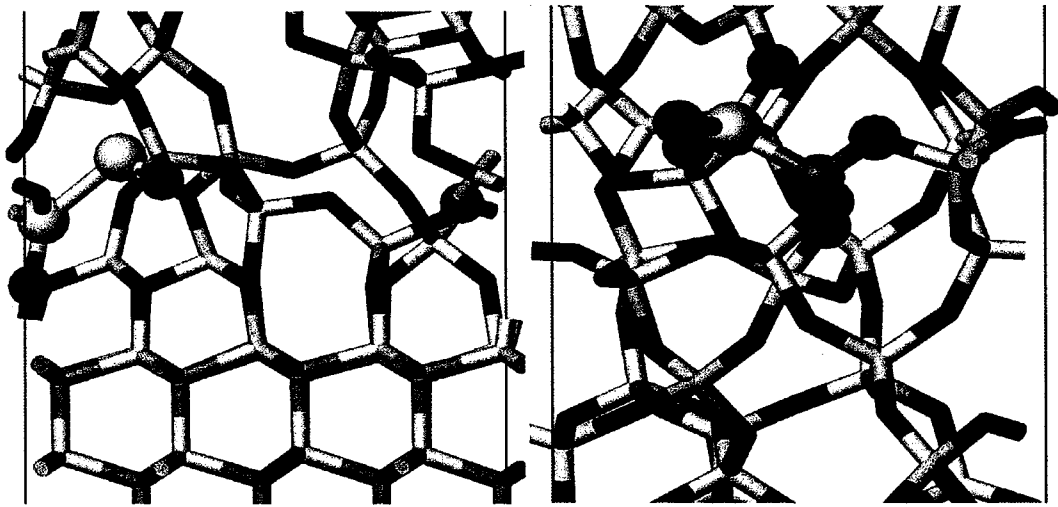


图 2.3 位于 SiC/SiO₂ 界面的两种碳缺陷

在理论计算方面，碳团簇也被深入研究。Ettisserry 研究团队用第一性原理计算进行建模，得到了 Si-O-C-Si 单碳缺陷模型，并用电化学分析得出结论，认为这种单碳缺陷会在价带附近引入界面态^[46]。而也有研究团队分析了多种碳缺陷的模型，如图 2.3 所示，为两种单碳缺陷模型^[47]。

3) 边界陷阱

在 2.2.1 节中所述的 Q_{ox} 所提到, 在靠近 SiC/SiO₂ 界面处的氧化层陷阱和 SiC 衬底可以进行电荷交换, 产生边界陷阱。有文献表明, 边界陷阱浓度与氧化过程密切相关, 边界陷阱可能由氧化的不足引起, 主要存在于 SiC 和 SiO₂ 间的 SiO_xC_y 的过渡层^[48]。根据 Hall 效应, SiC/SiO₂ 导带附近 D_{it} 接近 $10^{14}/\text{cm}^{-2}\text{eV}^{-1}$ 。有实验研究得到, 在 SiC/SiO₂ 界面处 150~200 nm 处, 在 SiO₂ 导带 2.8eV 处附近存在高密度的边界陷阱。边界陷阱是 SiC MOS 界面态的主要因素。从理论角度出发, J.M.Knaup 等人通过密度泛函理论的计算发现, 本征氧化物缺陷可能是边界缺陷的起源之一^[49]。

4) SiC/SiO₂ 界面 Si_xC 过渡层

与边界陷阱不同, Jernigan 研究团队^[50]发现在 SiC/SiO₂ 界面之间存在一个 Si_xC($x>1$)的过渡层。Si_xC 过渡层可能形成无定型硅, 从而引入硅的导带能级和价带能级。

2.1.2 改善界面态密度的研究现状

目前, 大量的文献都报道了关于有效降低 SiC/SiO₂ 界面态密度的办法, 在 SiC/SiO₂ 界面工艺进行了广泛的探索。包括对 SiC 多型体材料^[19]、晶向效应^[51]等进行优化, 最主流的是研究 SiC/SiO₂ 界面的缺陷钝化, 通过对 SiC 材料氧化工艺或 SiC/SiO₂ 界面氧化后退火(POA)的技术进行改进, 目前关于 SiC/SiO₂ 界面钝化技术包 N 钝化、H 钝化、P 钝化、碱金属钝化以及湿氧二次氧化退火等。

(1) 氮钝化

目前业界认为降低 SiC/SiO₂ 界面态密度的最有效的钝化工艺是氮钝化。氮钝化工艺实验, 是指在氧化工艺中直接进行氮化, 或在氧化形成 SiC/SiO₂ 后, 再进行 NO、N₂O 或 NH₃ 氛围中的退火, 有效的降低了 SiC/SiO₂ 的界面态密度。Afanas 等人根据电导测试发现, 氮化能够大大的减小能带中部和靠近导带边缘的界面态密度^[52]。实验表明, 对于 NO/N₂O 氧化氛围中的退火, 由于氮氧化物的分解, 在界面缺陷处会带来大量的氧原子, 这不仅限制了 NO/N₂O 的钝化效果, 而且还会造成二次氧化, 使 SiO₂ 的厚度不可控的增加^[53]。为了上述避免引入氧气造成的问题, Yano 研究团队提出了氮等离子体退火工艺, 先通过热氧化工艺生长一层较薄的 SiO₂ 膜, 再通过高活性的氮等离子体进行退火工艺, 再利用 CVD 工艺生

长较厚的 SiO₂ 薄膜,有效的改进了 SiC/SiO₂ 的界面质量^[54]。在氮钝化的机理研究方面,通过二次离子质量谱 (SIMS)^[55]的实验分析表征,得到 NO 退火后的界面附近存在大量 N 原子。通过 XPS 测量,发现氮钝化工艺后产生了 Si-N 键和 C-N 键^[56]。NO/N₂O 氛围下退火和 N 等离子体退火工艺,是当前业界改善 SiC/SiO₂ 的界面质量的最主流办法,但是界面与 NO 钝化反应机理方面是原子尺度研究的范畴,目前关于这方面的文献报道相对较少。

(2) 氢钝化

氢钝化也是一种有效的钝化方式,在 400 °C 的条件下用 H₂ 退火可以消除悬挂键,对于 SiO₂/Si 界面态处理有着更好的效果。但是对于 SiC/SiO₂ 来说,400 °C 条件下的 H₂ 退火对于 SiC/SiO₂ 界面质量的提升效果甚微^[57]。Fukuda 等人在 400~1000 °C 的实验条件下用 H₂ 退火做了对比发现,在 800 °C 以上时, H₂ 退火对 SiC/SiO₂ 界面质量的提升开始起作用^[58]。后来, Sanwu 等研究团队报道了 H₂ 金属化后退火工艺^[34],实验结果表明,虽然导带附近的界面质量没有明显的钝化效果,但是 D_{it} 在靠近价带处的降低效果很明显。

在微观理论方面, V. V. Afanasev 等研究人员认为,氢对界面的钝化效果不明显,是因为 Si-Si 键和悬挂键并不是禁带附近界面态问题的主要成因^[19]。同样 Sanwu 研究团队报道了氢气的裂解,可以对部分 C 原子相关的缺陷起到钝化作用,该理论表明氢原子对 SiC/SiO₂ 界面质量有着较为微弱的提升作用^[34]。

(3) 磷钝化

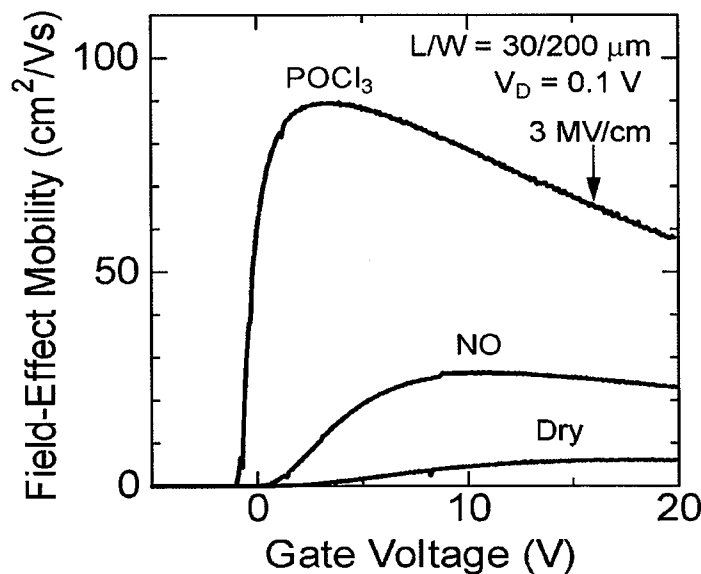


图 2.4 POCl₃ 退火、NO 退火效果的比较

由于氮钝化对 SiC/SiO₂ 界面质量的提升效果非常明显, 因此 P 钝化工艺也开始被研究。Okamoto 团队研究了通过 POCl₃ 对界面进行了退火, 如图 2.4 所示^[59], 结果表明磷钝化确实比 NO 退火有着更为明显的效果, 并且能够降低 SiC MOS 器件的浅界面态密度, 迁移率能够达到 NO 氛围下退火效果的 3 倍。遗憾的是, POCl₃ 是剧毒气体, 该工艺受到了一定的限制。

除了上述描述的方法, SiC 多型体从 4H- 到 6H-/15R- 再到 3C-SiC 时, 由于能带变窄, 界面态密度会降低^[19]; 或者当 SiC 材料的晶向改变时, 界面态密度也会有所不同, 如 Si(0001) 的界面态密度会比 C(000 $\bar{1}$) 的低的多, 这是因为(000 $\bar{1}$) 面会有更多的 C 原子, 从而造成高密度的碳原子聚集^[60]。

2.2 SiC MOS 电容的电学特性

SiC MOSFET 器件的最基本结构是 SiC MOS 电容, 界面质量的分析及机理也是基于 MOS 电容。由于 SiC 和 Si 不同的材料特性, Si MOS 的电容理论对 SiC MOS 的电容特性并不是完全适用, 应当考虑如下因素: 常温时, 4H-SiC 材料的本征载流子浓度 n_i 极低, 约为 10^{-9} cm^{-3} 量级, 相反 Si 为 10^{10} 量级, 这导致 SiC MOSFET 反型层在室温下难以形成^[61], 根据公式 2.2 计算可知:

$$t_{inv} = \frac{2N_b\tau_0}{n_i} \quad \dots (2.2)$$

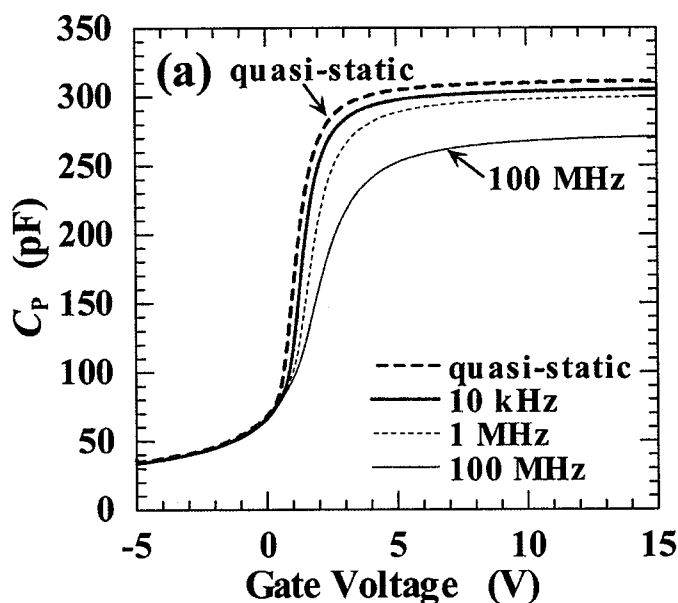


图 2.5 不同频率下的 SiC MOS 电容的准静态电容

形成反型层的时间大约为 4000 万年, 因此可以认为在室温下 MOS 电容的少数载流子浓度为 0, 在准静态情况下, 少子浓度不能跟上栅极电压的变化, SiC MOS 电容不能出现反型层, 而是进入深耗尽区, 如图 2.5 所示^[62]。

测量氧化物电荷最常用的方法是通过电容电压测量来分析^[63]。对 SiC MOS 电容进行测试时, 给 MOS 电容施加一个交流小信号, 该信号的变化可以引起 MOS 电容的电荷变化。

其中, V_g 为外加的栅压, 包括氧化层电压 V_{ox} 、表面势 ϕ_s 和平带电压 V_{fb} , V_g 的计算公式如式 2.3 所示:

$$V_g = V_{ox} + \phi_s + V_{fb} \quad \dots (2.3)$$

氧化层压降 V_{ox} 计算如下, Q_s 为表面感生电荷, C_{ox} 为栅氧化层的单位电容:

$$V_{ox} = \frac{Q_s}{C_{ox}} \quad \dots (2.4)$$

C_{ox} 则与氧化物的介电常数 ϵ_{ox} 和氧化层厚度 t_{ox} 有关:

$$C_{ox} = \frac{\epsilon_{ox}\epsilon_0}{t_{ox}} \quad \dots (2.5)$$

表面感生电荷 Q_s 是由电子电荷 Q_n 、空穴电荷 Q_p 、耗尽层体电荷 Q_b 以及界面缺陷电荷 Q_{it}

$$Q_s = Q_p + Q_n + Q_b + Q_{it} \quad \dots (2.6)$$

由电容的定义为电荷和电压比:

$$C = \frac{dQ}{dV} \quad \dots (2.7)$$

联立以上方程可以得到 MOS 结构的电容如公式 2.8 所示:

$$C = -\frac{dQ_s}{dV_g} = -\frac{d(Q_p + Q_n + Q_b + Q_{it})}{d(V_{ox} + \phi_s + V_{fb})} \quad \dots (2.8)$$

其中, 平带电压 V_{fb} 为常数, 因此:

$$\frac{1}{C} = \frac{1}{-\frac{d(Q_p + Q_n + Q_b + Q_{it})}{dV_{ox}}} + \frac{1}{-\frac{d(Q_p + Q_n + Q_b + Q_{it})}{d\phi_s}} = \frac{1}{C_{ox}} + \frac{1}{C_s + C_{it}} \quad \dots (2.9)$$

其中, C_s 为耗尽层单位面积电容, 计算如下:

$$C_s = -\frac{dQ_p}{d\phi_s} - \frac{dQ_n}{d\phi_s} - \frac{dQ_b}{d\phi_s} = C_p + C_n + C_b \quad \dots (2.10)$$

基于以上分析, 以 P 型 SiC 为例, 理想情况下, 假设室温下的 SiC MOS 电容的 D_{it} 度为 0, 以及忽略少数载流子浓度, 因此电容表达式如式 2.11 所示:

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_s} = \frac{1}{C_{ox}} + \frac{1}{C_p + C_b} \quad \dots (2.11)$$

如图 2.6 (a) 所示, 为上述推导的理想情况下的 C-V 等效模型电路图, 但是在实际存在界面态的情况下, 等效电路图如图 2.6 (b) 所示。

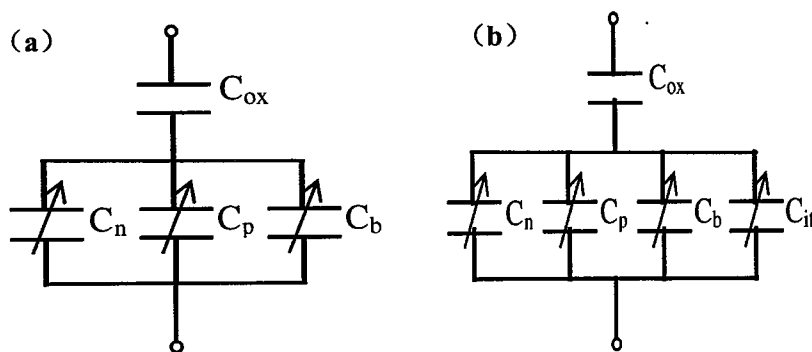


图 2.6 SiC MOS 电容 C-V 模型等效电路图

2.3 SiC/SiO₂ 界面特性的测试表征

2.3.1 界面态密度的测试表征方法

目前, 关于 Si MOS 器件界面态密度的表征方法已经非常完善, SiC 和 Si 材料由于存在较明显的差异, 因此将 Si MOS 界面态的表征方法用于 SiC 时需要考虑一些特殊的情况。目前分析 D_{it} 的成熟的 C-V 测试方法包括 Terman 的高频法、高低频法、电导法和 C- ϕ_s 法等。

(1) 高频 (Terman) 法

高频法是 Terman 教授于 1962 年第一次提出的测量 D_{it} 的方法, 且是最常用的方法之一^[64], 该方法认为在交流小信号频率足够高时, 界面电荷将无法响应栅极交流小信号的变化, 不过能够跟得上栅极的直流大信号缓慢变化。由此可知, 在高频情况下, 界面电荷几乎无任何贡献, 但是对于感生电荷 Q_s 会有影响, 造成高频 C-V 曲线沿着 V_g 方向伸展, 如下图^[65]所示, 理想高频曲线和实验高频 C-V 曲线会发生相交。

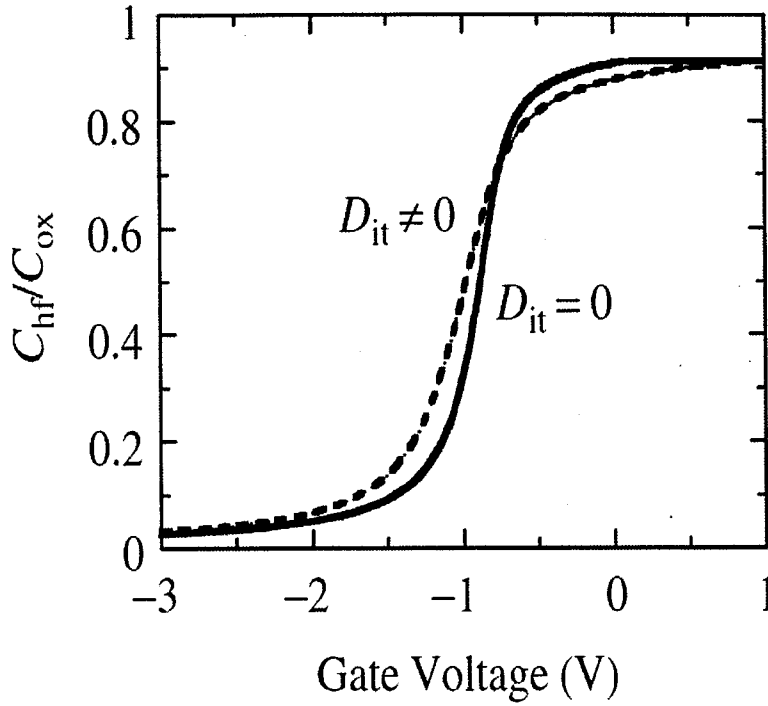


图 2.7 C-V 曲线伸展：理想和高频 C-V 曲线相交

以 P 型 SiC 为例，根据 2.2.1 节分析，根据图 2.6 (b)，为 SiC MOS 电容的等效电路图。在高频响应时，界面态电荷和少数载流子和无法跟得上 V_g 的交流信号，因此可以忽略其对总电容的贡献，如图 2.8 (a) 所示。此时，SiC MOS 电容计算公式如下：

$$C_{hf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_s} \right)^{-1} = \left(\frac{1}{C_{ox}} + \frac{1}{C_p + C_b} \right)^{-1} \quad \dots (2.12)$$

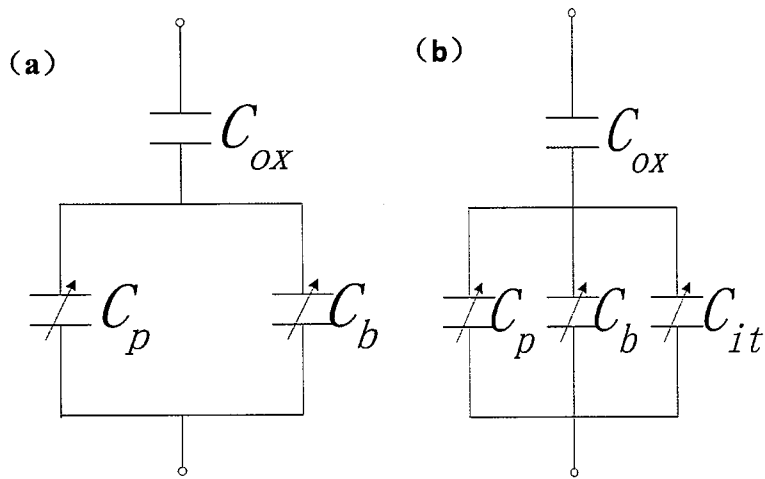


图 2.8 室温下 SiC MOS 电容的高频 (a)、低频 (b) 电容等效电路图

其中, C_{hf} 为高频条件下的电容, C_{ox} 为氧化层电容, C_p 和 C_b 分别表示载流子电容和衬底电容, 又由于界面态的变化能够响应直流信号的边变化, 因此栅压可以由如下表达式计算:

$$V_g = V_{fb} + \phi_s + \frac{Q_b + Q_p + Q_{it}}{C_{ox}} \quad \dots (2.13)$$

其中, V_{fb} 为平带电压, ϕ_s 为表面电势, Q_b 、 Q_p 和 Q_{it} 分别为衬底电荷、空穴电荷和界面态电荷, 对 ϕ_s 同时求导, 得:

$$\frac{dV_g}{d\phi_s} = 1 + \frac{C_b + C_p + C_{it}}{C_{ox}} \quad \dots (2.14)$$

联立 2.12 和 2.13 得到界面态电容:

$$C_{it} = C_{ox} \left(\frac{dV_g}{d\phi_s} - 1 \right) - C_s \quad \dots (2.15)$$

结合式 2.12 界面态密度的定义, 有:

$$D_{it} = \frac{1}{q} \frac{dQ_{it}}{dE_t} = \frac{1}{q} \frac{dQ_{it}}{d\phi_s} \frac{d\phi_s}{dE_t} \quad \dots (2.16)$$

其中, D_{it} 的常用单位是 $\text{cm}^{-2}\text{eV}^{-1}$, 因此上式化为:

$$D_{it} = \frac{C_{it}}{q^2} = \frac{C_{ox}}{q^2} \left(\frac{dV_g}{d\phi_s} - 1 \right) - \frac{C_s}{q^2} \quad \dots (2.17)$$

栅压在理想情况下可以表示为:

$$V_{gideal} = V_{fb} + \phi_s + \frac{Q_b + Q_p}{C_{ox}} \quad \dots (2.18)$$

当表面势相同时, 有:

$$\Delta V_g = V_g - V_{gideal} \quad \dots (2.19)$$

联将式 2.17, 2.18 带入到 2.19, 推导得:

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{d\Delta V_g}{d\phi_s} \right) \quad \dots (2.20)$$

用高频方法表征计算 SiC 材料的 D_{it} 时, 需满足上述交流小信号和直流大信号的条件, 即界面态电荷跟不上高频信号, 但可以跟响应大的直流信号。一般测

量 n 型 4H-SiC MOS，交流信号的频率设置为 1 MHz，但实际上室温下 1 MHz 的 C-V 测试达不到理想条件^[66]。SiC 材料杂质不完全离化、杂质堆积、杂质外扩散可能造成一定的误差，对给理想高频 C-V 曲线的计算都会造成一定的偏差。再而次， ΔV_g 对 ϕ_s 求导时也容易造成误差，以上因素导致用高频方法测试计算得到的界面态密度的不准确性。因此实际测量 SiC/SiO₂ 界面态密度的高频方法并不广泛应用，下文提到的测量方法高-低频法也是常见的测量界面态的方法。

(2) 高-低 (High-Low) 频法

高-低频法 (High-Low) 是和上述 Terman 法的假设相同的测 D_{it} 的方法^[35]。High-Low 法是基于比较低频率下的 C-V 曲线和无界面电荷响应的高频 C-V 曲线，当频率理想高时假设界面态不响应，因此无界面态的 C-V 曲线通常用高频测得的 C-V 曲线替代。在进行准静态测量时，界面态和少子则能够跟得上交流信号的频率。同上节所述的 Terman 法，测量 n 型 4H-SiC MOS 的交流频率通常为 1 MHz，低频通常为 1 kHz。低频 SiC MOS 电容电路示意图如图 2.8 (b) 所示，低频电容计算公式如下：

$$C_{lf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_p + C_b + C_{it}} \right)^{-1} \quad \dots (2.21)$$

其中， C_{lf} 表示低频条件下电容，上式等价于：

$$C_{it} = \frac{C_{lf} C_{ox}}{C_{ox} - C_{lf}} - (C_p + C_b) \quad \dots (2.22)$$

联立式 2.16 得低频 C-V 的 D_{it} ：

$$D_{it} = \frac{1}{q^2} \left(\frac{C_{lf} C_{ox}}{C_{ox} - C_{lf}} - (C_p + C_b) \right) \quad \dots (2.23)$$

对于高频 C-V，由式 2.17 得：

$$(C_p + C_b) = \frac{C_{ox} C_{hf}}{C_{ox} - C_{hf}} \quad \dots (2.24)$$

联立式 2.23, 2.24 可得界面态密度的计算公式，如式 2.25 所示：

$$D_{it} = \frac{1}{q^2} \left(\frac{C_{lf}}{C_{ox} - C_{lf}} - \frac{C_{hf}}{C_{ox} - C_{hf}} \right) = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}}{C_{ox} - C_{lf}} - \frac{C_{hf}}{C_{ox} - C_{hf}} \right) \quad \dots (2.25)$$

考虑到 D_{it} 测量的准确性, High-Low 法测量 D_{it} 时对应能量的上下界也应当注意, 能量下限取决于测量高频 C-V 曲线的交流信号的频率, 能量上限则取决于测量决定低频 C-V 曲线。和上文高频方法所述相同, 对于高频 C-V 的测试, 其频率也需要达到尽可能高的条件, 从而使得界面态无法跟得上频率的变化。对 Si MOS 器件来说, 通常 1 MHz 的频率足够, 但是宽禁带材料 SiC 材料, 尤其是界面态钝化处理后的 MOS 电容, 其快界面态响应高达 100 MHz 的频率。因此, 一方面, 测试设备的难以满足要求; 另一方面 MOS 电容欧姆接触工艺也需要进一步优化。通常低频 C-V 曲线使用准静态方法获得, 即给 MOS 电容的栅极上加上一个变化的直流信号。

实际上, High-low 法对于表征 SiC MOS 电容的 D_{it} 同样存在较大的误差。根据 SiC MOS 界面的氮钝化研究中就可知^[67], NO 退火工艺后, 基于 High-low 方法表征 4H-SiC 的 D_{it} 在靠近导带附近处低于 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 量级, 而器件迁移率并没有很明显的提升, 这也表明了用 High-low 方法会严重低估 NO 钝化处理后的 SiC/SiO₂ 的界面态密度。

(3) C- ϕ_s 法

如上文所述, High-low 方法表征 SiC MOS 界面态密度存在的主要问题问题是: 由于 SiC 材料宽禁带的特性, 界面态响应需要高达的 100M 的频率。因此对一是测试设备的难以满足要求, 二是对欧姆接触工艺也要求更好的性能。基于以上, yoshioka 研究团队报道了一种新的表征界面态密度的 C- ϕ_s 方法^[62], 通过提取 QSCV 曲线中的半导体电容, 并计算理想半导体电容, 结合二者计算 D_{it} 。C- ϕ_s 方法是 High-low 方法的改进。首先通过准静态测试可以获得低频 C-V 曲线。

首先, 在计算表面势时, ϕ_s 和 V_g 的关系不用从 V_{fb} 处选取, 可以通过不定积分来计算 (A 为积分常数) ^[65]:

$$\phi_s(V_g) = \int (1 - C_{qs}/C_{ox}) dV_g + A \quad \dots (2.26)$$

当高频 C-V 的测试频率足够高时, 耗尽区的界面态无法响应, 反型载流子也无法生成, 用 $C_d + C_{it}$ 近似表示耗尽区电容 C_{dep} 。因此, $1/(C_d + C_{it})^2$ 和 ϕ_s 满足以下线性关系:

$$\frac{1}{(C_d + C_{it})^2} \approx \frac{1}{C_{dep}^2} = -\frac{2\phi_s}{A^2 \epsilon_{SiC} q N_d} \text{ (depletion)} \quad \dots (2.27)$$

其中, C_d 是耗尽层电容, C_{it} 为界面态电容, A 为栅极面积, ϵ_{SiC} 为 SiC 材料的介电常数, q 为单位电荷, N_d 为外延层掺杂浓度。由式 2.27 知, $1/(C_d + C_{it})^2$ 和 ϕ_s 呈正比例关系。由准静态 C-V 曲线积分可以得到 ϕ_s - V_g 的对应关系, 从而将 V_g 转化为 ϕ_s , 也可以根据斜率计算得到 N_d 的值。

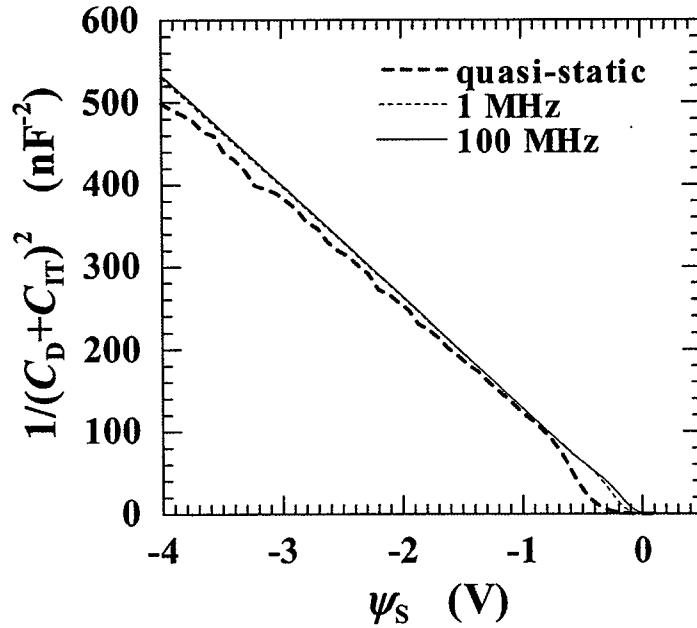


图 2.9 n 型 SiC MOS 电容不同频率下的 $1/(C_d + C_{it})^2$ - ϕ_s 曲线

如图 2.9 所示, 在 1 MHz 和 100 MHz 的不同频率下, 分别对 MOS 电容进行 C-V 测试, C_{dep} 的差别已经非常小, 由此可知在 1 MHz 界面态响应非常少。因此在 C- ϕ_s 方法中, 高频 C-V 曲线可以用 1 MHz 的测试频率, 设备和器件的要求极大地降低。已知 ϕ_s - V_g 的关系, 根据以下公式:

$$C_{d,theory(\phi_s)} = \frac{AqN_d \left| \exp\left(\frac{e\phi_s}{kT}\right) - 1 \right|}{\sqrt{\frac{2kTN_d}{\epsilon_{SiC}} \left\{ \exp\left(\frac{e\phi_s}{kT}\right) - \frac{e\phi_s}{kT} - 1 \right\}}} \quad \dots (2.28)$$

由此得到理想耗尽层电容, 和低频 C-V 的 $C_d + C_{it}$ 比较, 就可以得到 D_{it} 的值。

$$D_{it} = \frac{(C_d + C_{it})_{QS} - (C_d + C_{it})_{hf}}{Aq^2} \quad \dots (2.29)$$

从原理上来讲, 相比于上述的 Terman 和 High-low 方法, $C-\phi_s$ 方法更准确。 $C-\phi_s$ 方法表征界面态密度的关键在于得到 SiC MOS 电容精确的准静态 C-V 曲线。目前关于准静态 C-V 的测量还没有具体的标准, 这对 SiC MOS 界面态密度的表征可能会带来一定的误差。

由于目前很多界面陷阱都是在 100MHz 的高频条件下才能响应, 综上分析, Terman 法和 High-Low 法都会有一定的限制, 同时出于测试设备的和工艺条件的考虑, 本论文采用 $C-\phi_s$ 方法来表征 SiC MOS 电容的界面态密度。

2.3.2 栅介质特性及应力表征

除了电学特性 C-V 测试, 本论文需要用到的表征方法有椭圆偏测试栅介质膜厚、ATR-FTIR 表征材料特性、以及应力分析测试系统原理。

(1) 椭圆偏振膜厚测试

椭圆偏振测试是对两种不同的材料特性进行表征的光学方法^[68], 基于薄膜不同的光学性质, 椭圆偏仪对光在不同介质中的偏振状态敏感, 由此可以提取薄膜参数。椭圆偏仪不仅能够测量薄膜的厚度, 也能够得到多层介质对应的厚度, 是目前测量薄膜性质的非常普及的一种方法。椭圆偏仪的工作原理: 当入射偏振光进入介质时, 光矢量包括平行于入射面的 p 偏光和垂直的 s 偏光。如图 2.10 表示椭圆偏测试系统, 由于光在介质的两个界面处存在大量的折射和反射行为, 因此, 通过最终多束光叠加的干涉效果可以提取相关参数。

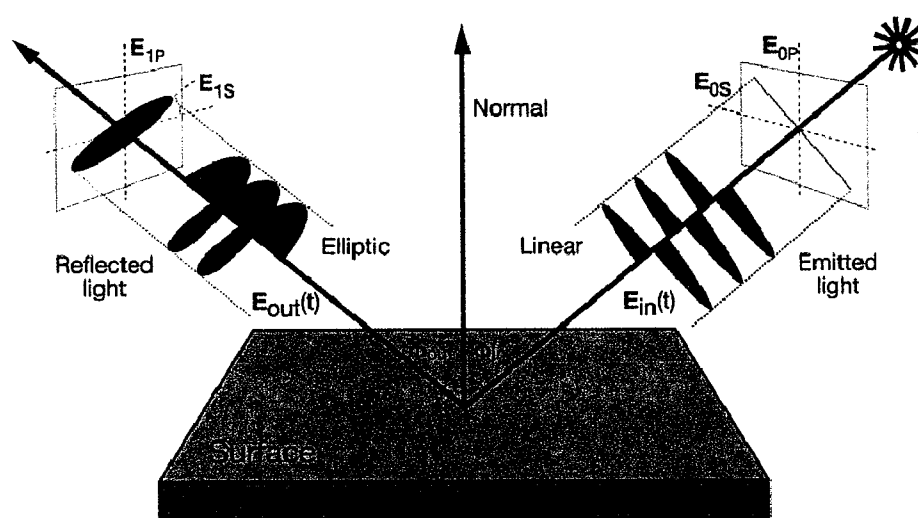


图 2.10 椭圆偏测试系统原理图

根据多光束干涉知识，由总反射系数来计算光反射前后的偏振状态改变：

$$\alpha = R_p / R_s \quad \dots (2.30)$$

在椭圆系统中， ψ 表示膜厚 d 的周期参数，在测试过程中不断循环：

$$d = \frac{\lambda}{2\sqrt{n_1^2 - \sin^2 \psi}} \quad \dots (2.31)$$

其中， n_1 为介质的折射率， λ 表示光的波长。对于的 SiC 材料，首先由于其宽禁带特性，无法吸收低能光子，对于 3.26V 以下的采样数据产生较大干扰，严重干扰实验结果拟合的精确度，如图 2.11 所示：

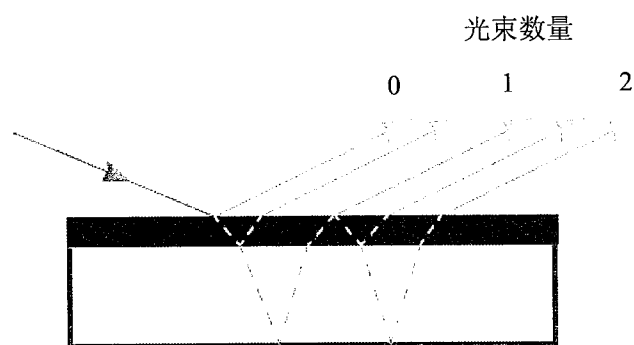


图 2.11 SiC 材料的透明特性造成的背反射现象

其次，SiC 材料的透明特性可能造成“背反射”现象的发生，即椭圆测试中入射光穿过 SiO₂ 进入 SiC 材料，并在背面发生反射，因此也造成信号的严重干扰。综上，对于 SiC 材料，对衬底背面最好进行粗糙化过程，以避免上述提到的背反射，以提高膜厚提取的准确度。

(2) ATR-FTIR 表征分析

红外光谱分析是对化合物结构进行分析的一种重要方法^[69]。通过 ATR-FTIR 分析，可以达到 10⁻⁹g 的数量级的检测灵敏度，这对于样品表面信息的获取等方面具有独特的优势。ATR 的测试附件是根据光的内反射原理设计。当红外光先经过 n 较大的晶体表面，再反射到 n 较小的晶体时，当入射角 > 临界角时会发生全反射，但红外光并非全部反射，而是先穿透晶体一定的表面深度，再返回晶体表面。因此，晶体在入射光频率区域内会有选择的吸收，而反射光的强度有所降低，产生与透射吸收类似的光谱图。

如图 2.12 (左) 所示, 当满足以下条件时: 从光密介质进入光疏介质时, 且入射角 $\theta >$ 临界角 θ_c ($\theta_c = \arcsin(n_2/n_1)$) 时, 就会发生全反射。常用的 ATR 晶体附件材料有氯化银 (AgCl)、溴化银 (AgBr)、锗 (Ge)、硒化锌 (ZnSe) 等。如果在入射光线的频率范围有晶体的吸收区, 则入射光线部分被吸收, 在反射光线相应频率部分形成 ATR 谱。由 Maxwell 理论可知, 当入射光射入材料表面后, 辐射波场强衰减到样品表面处的 $\frac{1}{e}$ 时, 此时穿透距离定义为透射深度 d_p , 有:

$$d_p = \frac{\lambda_1}{2\pi n_1 \sqrt{\sin^2 \theta - (n_2/n_1)^2}} \quad \dots (2.32)$$

其中 λ_1 为入射光在反射介质中的波长, θ 为入射角, 晶体材料和试样的折射率分别为 n_1 和 n_2 。如图 2.12 (右) 所示, 为透射深度和入射角的关系。当入射角的大小约等于临界角时, 透射深度迅速增大; 而入射角 $\gg$ 临界角时, 透射深度的变化越来越慢; 入射角 $<$ 临界角时, 所有的能量都能进入材料。

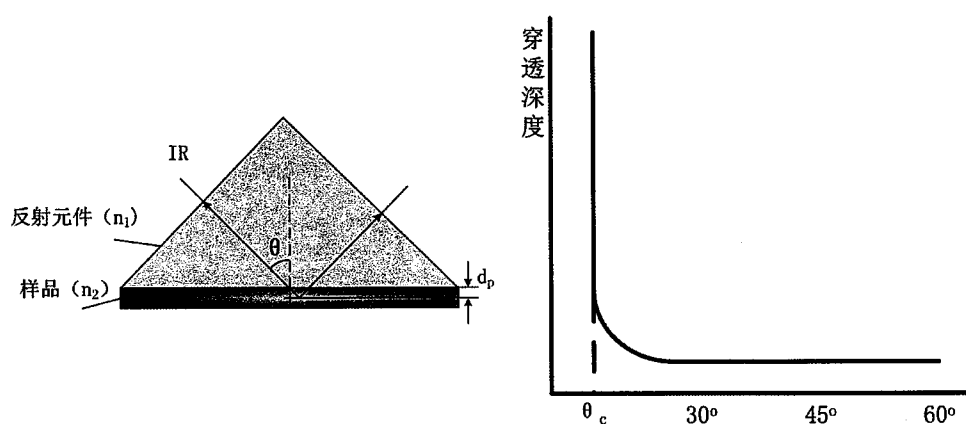


图 2.12 全反射条件及透射深度与入射角的关系

实际上, 为了使吸收峰强度增加, 信噪比增大, 吸收谱带更加清晰, ATR 附件需要更多的全反射次数, 如图 2.13。入射光束经过多次全反射和内反射, 增加了总透射深度, 红外谱图的效果会得到很大的提升。

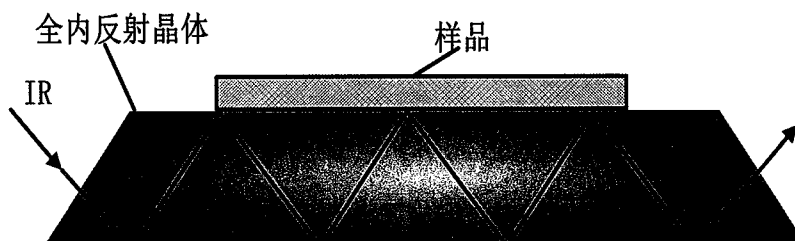


图 2.13 多重内反射示意图

根据以上分析可知, ATR-FTIR 技术是对化合物结构进行分析的一种获取样品表面信息的非破坏性技术, 在器件薄膜检测领域有非常重要的意义。

(3) 应力测试分析

在外延片上生长 SiO₂ 时, 由于 SiC 和 SiO₂ 的物理特性不同, 从而会在表面处产生应力, 进而可以因此 SiC 材料的形变。当薄膜受到张应力时, 表现为受力向外伸张趋势, 受到压应力时, 表现为向表面扩张, 如图 2.14 所示。通过热氧化生长的 SiO₂ 或薄膜淀积的方式引起的形变造成了 SiC 的翘曲, 或通过离子注入、减薄等工艺可能对表面造成应力的变化, 通过薄膜应力测试系统可以从翘曲或曲率的变化提取其应力值。

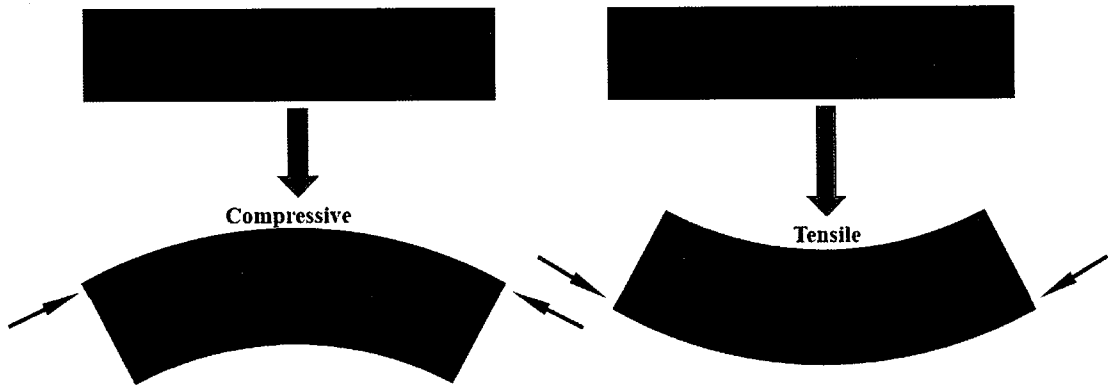


图 2.14 薄膜应力示意图: 压应力 (左) 张应力 (右)

当 SiC 表面应力均匀时, 可以通过曲率法测得生长 SiO₂ 膜前后的弯曲差值, 从而计算得到应力值, 如式 2.33 所示:

$$\sigma = \frac{E_s T_s^2}{6(1-\nu_s)T_f} \left(\frac{1}{R} - \frac{1}{R_0} \right) \quad \dots (2.33)$$

其中, σ 为薄膜应力值, E_s 为 SiC 材料的杨氏模量, T_s 为 SiC 衬底的厚度, $1/R$ 和 $1/R_0$ 分别为生长 SiO₂ 膜前后的曲率, ν_s 为 SiC 材料的泊松比, T_f 为 SiO₂ 的厚度。基于以上参数, 可以测得 SiO₂ 薄膜残余应力的值。图 2.15 为薄膜应力测试原理, 通过 Twyman-Green 干涉仪器, 透过电荷耦合元件监测需要测试的 SiO₂ 曲面和移相器对应的参考面的干涉图形, 从而转变为数字信号, 再通过相位求出在生长 SiO₂ 膜前后的曲率, 从而求得应力值。

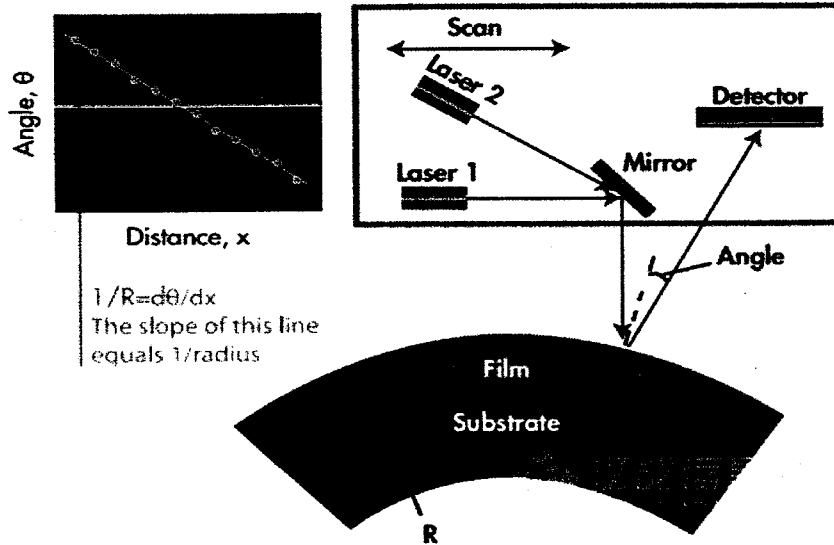


图 2.15 相位移法应力分析系统

2.4 本章小结

本章介绍了 SiC/SiO₂ 界面特性和 SiC MOS 电容的基本理论。首先通过大量文献调研，系统地从工程和理论的角度介绍了 SiC/SiO₂ 界面电荷、界面态起源情况；介绍了 SiC/SiO₂ 界面态问题主流的改善办法，明确了 SiC MOS 界面态问题的重要研究意义。其次详细地对 SiC MOS 电容的电学特性进行了推导；并对 SiC/SiO₂ 的 D_{it} 的提取表征方法做了详细的分析和比较，最终决定采用 $C-\phi_s$ 法进行界面态表征，为下一步实验的准确性提供了可靠的理论基础；其次对薄膜厚度的提取进行了介绍，阐述了 ATR-FTIR 分析方法，且介绍了应力的测试分析方法，为下一步正式实验提供了表征基础。

第3章 表面应力对 SiC/SiO₂ 界面的影响机理

本论文通过背面淀积与碳化硅晶格常数不同的氮化硅薄膜的方式和通过背面减薄工艺的方式来改变应力,从而研究表面应力的变化对 SiC/SiO₂ 界面态的影响机理。

3.1 氮化硅淀积致应力对 SiC/SiO₂ 界面的影响

在材料生长薄膜的过程中,内应力和薄膜的本征结构(如晶格长度、缺陷等)、生长工艺密切相关。当薄膜和衬底材料的晶格常数差异较大时,由于在生长时薄膜的晶格结构趋于和衬底的晶格结构相吻合,于是会导致内部畸变从而产生内应力。由于碳化硅材料的晶格常数约为 0.436nm,而氮化硅材料的晶格常数约为 0.291nm,具有较大的晶格常数差异。因此本论文通过化学气相淀积的方式在 SiC 外延片背面制备 Si₃N₄ 薄膜,目的是改变 SiC 外延片的应力,以研究表面应力的改变对界面态密度的影响。本实验的技术路线如图 3.1 所示:

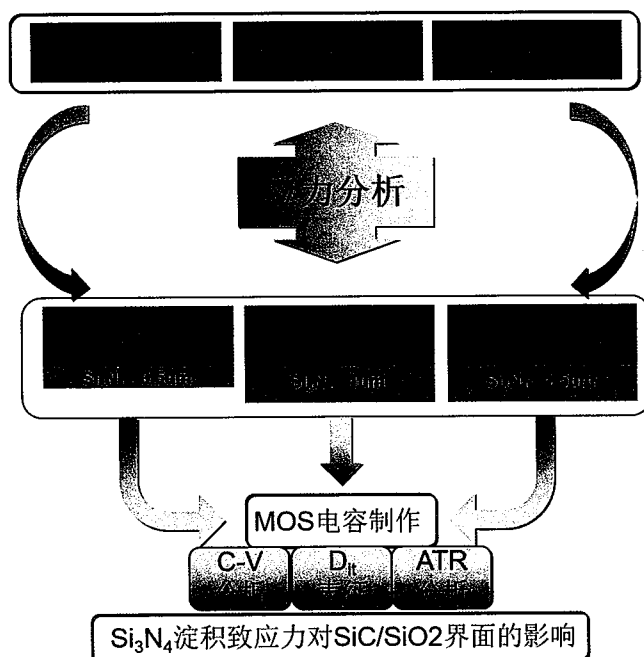


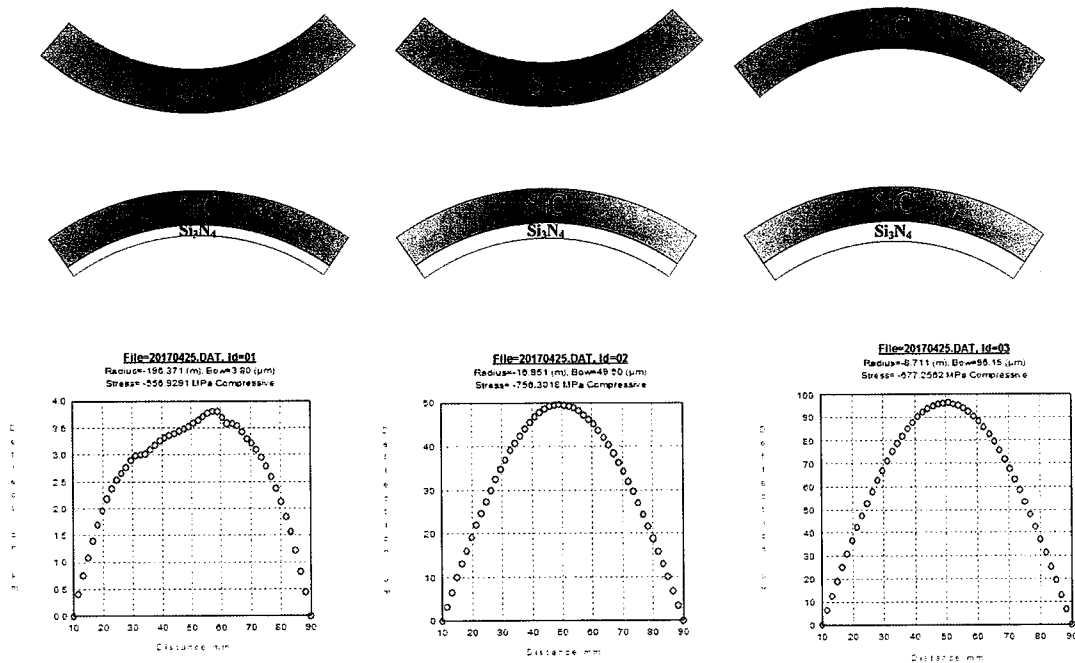
图 3.1 实验技术路线

本实验采用 3 片 4 inch 的晶向偏向为 4° 的 n - 4H SiC (0001) 外延片, 其中 SiC 外延片厚度约为 370μm, 掺杂浓度为 $N_d = 8 \times 10^{15} \text{ cm}^{-3}$ 。首先对样片 A、B、C 进行 Si₃N₄ 淀积并且进行应力分析, 如表 3.1 所示:

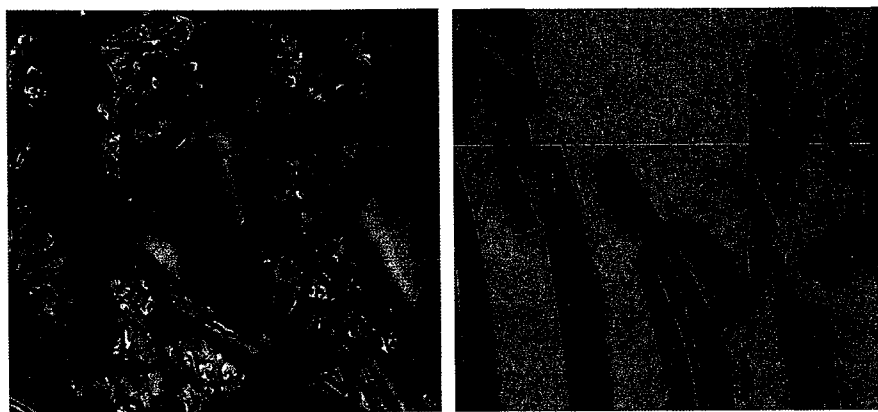
表 3.1 Si₃N₄ 淀积曲率和翘曲度的变化

ID	Thickness(μm)	淀积 Si ₃ N ₄ 前		淀积 Si ₃ N ₄ 后		Stress
		Radius(m)	BOW(μm)	Radius(m)	BOW(μm)	
A	373	50.529	-16.99	-196.14	4.42	574.5
B	360.9	116.438	-7.18	-16.951	49.50	756.3
C	370.8	-41.622	20.28	-8.716	96.08	676.8

图 3.2 为 Si₃N₄ 淀积前后 SiC 材料翘曲度变化的示意图, 由于 Si₃N₄ 的晶格常数 < SiC 的晶格常数, 因此原本处于张应力 (或压应力) 状态的 SiC 材料发生表面的翘曲, 表现为 SiC 表面受到向内弯曲趋势的压应力。

图 3.2 Si₃N₄ 淀积前后 SiC 材料应力的变化

为了研究 Si₃N₄ 淀积致表面应力的变化对电学性能的影响, 需要对上述外延片进行氧化, 氧化条件为 1150 °C 环境下且在纯氧气氛中进行干氧氧化, 放入氧化炉中进行氧化 20 min, 得到致密的 SiO₂ 膜, 不过在氧化过程中由于 SiC 材料的晶格常数和 Si₃N₄ 材料的晶格常数相差较大, 因此造成晶格常数匹配差异较大, 导致在氧化过程中发生氮化硅的碎裂, 如图 3.3 所示, 从而该实验终止。综上, 本论文决定从减薄工艺的角度出发, 以开展背面减薄工艺致表面应力的变化对界面态密度的影响。具体实验过程如下:

图 3.3 由于晶格常数不匹配造成的 Si₃N₄ 碎裂

3.2 减薄致应力对 SiC/SiO₂ 界面态的影响机理

3.2.1 减薄工艺对 SiC 功率器件的研究意义

2017 年, R. Anzalone 团队报道了减薄工艺后的 4H-SiC 衬底的应力释放机理, 其研究结果表明, 减薄前后的 SiC 衬底片具有不同的曲率和残余应力^[74]。2018 年, K. Tsukimoto 团队利用电子背散射衍射 (EBSD) 技术评估了 SiC 晶片中减薄致损伤层的弹性应变分布。通过 EBSD 分析以及透射电子显微镜观察显示, SiC 表面经过减薄工艺磨会使得 SiC 晶片下表面形成损伤层。尤其在约 0.6 μm 厚度的缺陷区域中会形成非常大的弹性应变, 从而带来了晶格缺陷, 如位错、堆垛层错和微裂纹等。通过 EBSD 应变分析发现, 在表面缺陷区域下方厚度约为 1.8 μm 的区域, 会存在一个应变梯度, 在该区域内主要在压应变分量中显示出单调的应变梯度, 而在此处不是减薄所致缺陷, 应变分布示意图如图 3.4 所示^[75]。

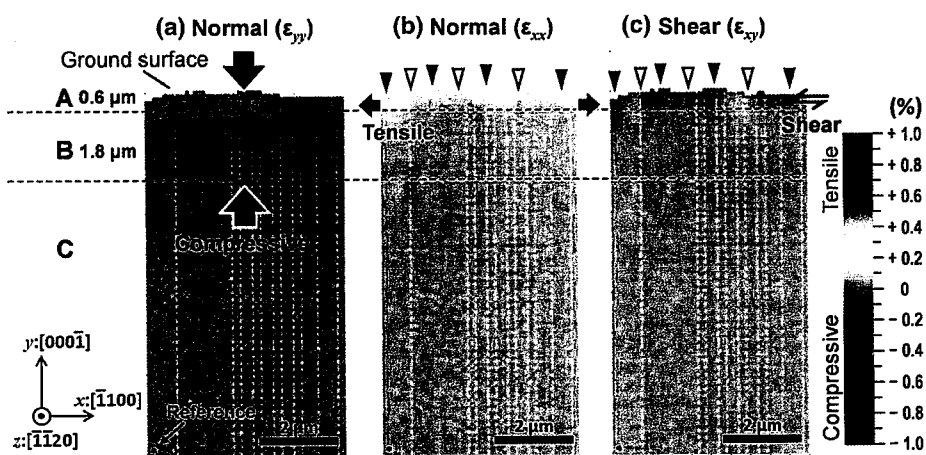


图 3.4 减薄后 SiC 晶片表面的 EBSD 分析

对于重掺杂器件，假设衬底为 N⁺型电阻，当电流到达漂移区底部时，会很快的扩散到整个 N⁺衬底。此时，N⁺衬底贡献的特征电阻为：

$$R_{sub,sp} = \rho_{sub} t_{sub} \quad \dots (3.1)$$

其中， ρ_{sub} 是 N⁺衬底的电阻率， t_{sub} 为 N⁺衬底的厚度。制作功率 MOSFET 时，在衬底上往往需要长一层漂移区，以避免工艺过程中造成的损伤。对于高压功率器件，衬底贡献的特征电阻是可以接受的。但是对于低压器件，尤其是低于 600V 的 MOSFET 器件，衬底电阻相对于 SiC MOSFET 器件所需的低导通电阻占有较大的比重^[1]。因此在实际工艺中，减薄晶片的厚度可以大大减小衬底电阻对特征电阻的贡献，从而使得衬底贡献的特征电阻被多数功率 MOSFET 器件所接受。且结合前文提到的关于第一性原理的讨论可知，研究减薄工艺致应力对界面态的影响是很必要的。

3.2.2 实验技术路线

根据上文所述，对于 SiC MOSFET 功率器件，尤其是低压功率器件，衬底减薄工艺对于 MOSFET 电学性能的提升是非常有意义的。同时，减薄工艺对于 SiC 表面应力也是重要的影响因素。关于界面态方面的研究也从工艺逐渐转向对 SiC 材料本身的研究。本实验从 SiC 材料本身及电学性能角度出发，通过背面减薄的方式控制表面应力，改变衬底的翘曲度来实现改变表面应力，研究了减薄致应力对 SiC/SiO₂ 界面质量的影响机理。技术路线如下图所示：

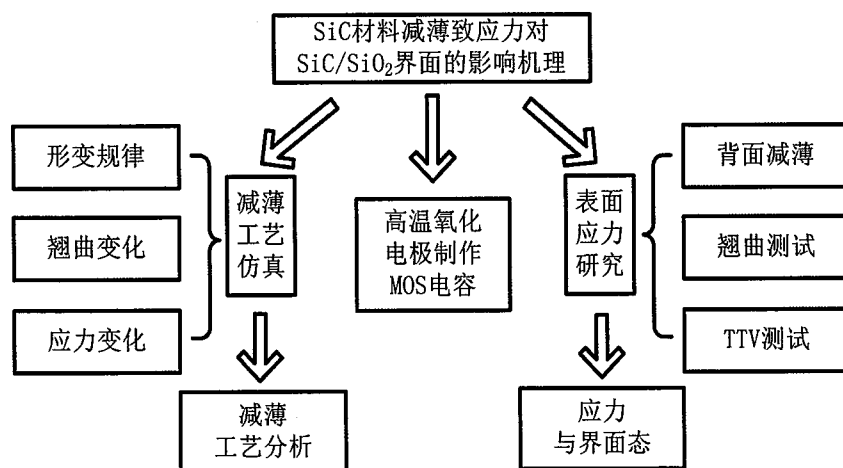


图 3.5 实验技术路线

3.3 仿真设计理论

对于减薄工艺致应力变化分析仿真, 本论文基于有限元程序分析 ANSYS 软件。ANSYS 为目前业界最常用的有限元分析软件, 由美国的 Ansys 公司开发, 融合了声学、热力学、电磁学、动力学、流体力学和结构学等多种物理模型。ANSYS 有限元仿真软件主要分为三大模块: 前处理模块、分析计算模块和后处理模块, 仿真流程为先构造有限元模型并划分网格(前处理), 再通过施加载荷进行分析计算(分析计算), 最后通过后模块处理将结果输出(后处理)。ANSYS 的静态力学模块可以分析、设计材料结构的应变/应力以及其作用力等状态的变化。

根据以上对 ANSYS 的简要介绍, 为了研究 SiC 外延片背面减薄导致应力的变化情况, 我们选用静态力学结构模块对减薄前后形变规律以及减薄前后的应力分布及变化进行了仿真分析。

有限元分析是基于弹性力学的理论, 做静态结构分析时需要遵循以下几个假设: 材料是均匀的、具有连续性、符合各向同性以及满足完全弹性四个基本假设。有限元分析的主要方法是把对象的分析过程进行简化, 离散划分为多个小单元结构进行求近似解, 再拟合近似解使其符合边界条件, 最终形成系统的方程即可求出原始问题的解, 实现问题的简化。从而对于形状复杂的结构, 可以将其划分为多个通过结点连接的简单单元, 这种将整体结构简化为有限个单元集合体的过程称为离散化, 离散化划分的越合理, 仿真结果就和真实结果越接近。在对平面结构进行求解时, 单元体有多种形式, 如三角形单元、矩形单元或多边形单元, 如图 3.6 所示。

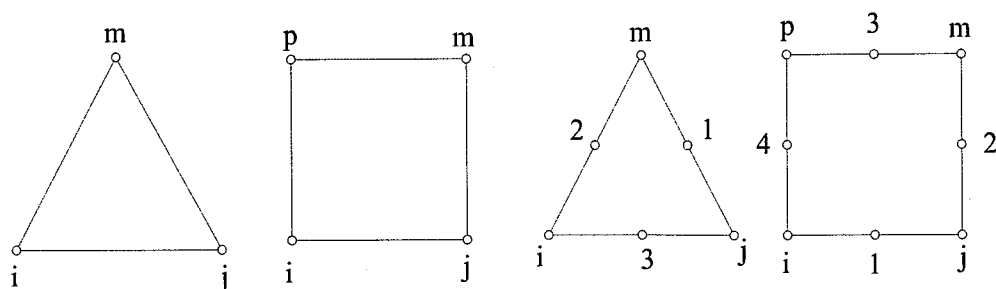


图 3.6 常见的二维单元

二维单元结点唯一与内部各点之间存在的矩阵关系:

$$\{f\}^e = [n]\{\delta\}^e \quad \dots (3.2)$$

其中 $\{\sigma\}^e$ 为单元结点位移矩阵, $[N]$ 为形函数矩阵。根据弹性力学基础得单元关系矩阵表达式:

$$\{\varepsilon\}^e = [B]\{\delta\}^e \quad \dots (3.3)$$

由此可得到单元应力表达式如下:

$$\{\sigma\}^e = [D]\{\varepsilon\}^e = [D][B]\{\delta\}^e = [S]\{\delta\}^e \quad \dots (3.4)$$

其中, $[S]=[D][B]$ 对应为应力矩阵, 如果结构内部存在初始应力, 则公式 3.5 变为:

$$\{\sigma\}^e = [D](\{\varepsilon\}^e - \{\varepsilon_0\}^e) + \{\sigma_0\}^e = [S]\{\delta\}^e - [D]\{\varepsilon_0\}^e + \{\sigma_0\}^e \quad \dots (3.5)$$

式中, $\{\varepsilon_0\}^e$ 、 $\{\sigma_0\}^e$ 分别为初始应变和初始应力。

通过公式(3.3)、(3.4)、(3.5)可以求解材料整体结构中各个单元的力学信息, 如应变、应力等, 经过 ANSYS 仿真软件的后处理模块分析, 便可以将应力、应变等计算结果输出。

本实验研究需要对 SiC 材料减薄前后的应力变化仿真, 同时观察减薄前后翘曲度的变化, 为后续对 SiC 材料减薄致应力对界面质量的影响机理的研究的实验进行做参考。在实际减薄工艺过程中, 有磨损、腐蚀、机械加工等方式, 工艺相对复杂, 在本仿真中, SiC 衬底的减薄过程假设为理想过程, 即不考虑磨损造成的损伤等外在因素, 同时假设 SiC 衬底减薄工艺为小变形工艺, 即不考虑非线性几何计算。

本论文所用 SiC 外延片的参数如下: SiC 外延片的直径为 100 mm, 初始厚度为 350 um, 通过背面减薄工艺将初始厚度减薄到 230 um。4H-SiC 材料的密度为 3.22 g/cm³, 杨氏模量为 3.3 × 10⁵ Mpa, 以及泊松比为 0.142, 本论文仿真所用到的初始模型参数如上所述, 计算模型是以弹性形变为基础, 本构方程基于胡克定律, 通过 ANSYS workbench 进行对 SiC 衬底初始模型的构建、荷载的施加以及应力分布的计算求解。

3.4 减薄致应力仿真结果

本章节用 ANSYS 软件的静态力学结构模块对上述模型参数的 SiC 材料进行了从 350 μm 减薄到 350 μm 过程的仿真, 对 SiC 材料减薄前后的形变规律、应力分布规律及应力变化进行了仿真分析。

如图 3.7 (左) 显示了 SiC 材料 Geometry 模型, 初始厚度为 0.35 mm, 图 3.7 (右) 显示了含网格划分的直径为 100 mm 的 SiC 片的初始三维 Geometry 模型。

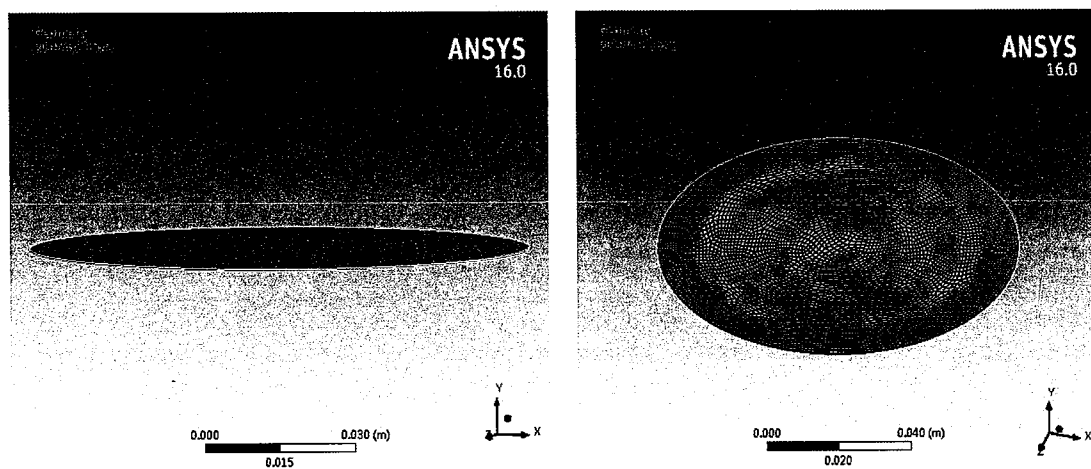


图 3.7 SiC 片的初始 Geometry 模型 (左) 厚度显示; (右) 网格划分

1) 减薄前后形变规律

SiC 材料厚度的变化会导致材料发生形变, 如图 3.8, 分别为 350 μm 和 230 μm 的 SiC 材料的形变情况, 为了明显的观察减薄前后形变分布及变化, 图 3.8 (左) 以表面形变分布的形式显示了减薄前的形变情况。

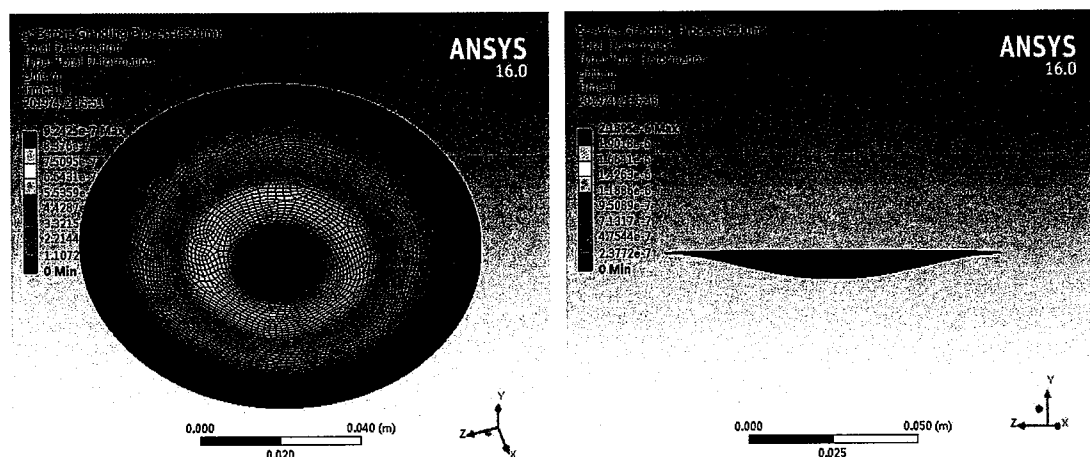


图 3.8 SiC 减薄前 (350 μm) 和减薄后 (230 μm) 的形变情况

根据上图可以看到,减薄前(350 μm)的 SiC 材料对应的最大形变为 0.942 μm ,而减薄后(230 μm)的图 3.8(右)以纵向分布的形式显示了样片的最大形变量为 2.139 μm ,由此可知,减薄工艺可以导致样片形变的增加,即造成样片的翘曲度增大。

2) 减薄前后应力变化分析

同样, SiC 材料厚度的改变会造成材料的应力发生发生改变,如图 3.9 所示,分别为 SiC 从 350 μm 减薄至 230 μm 的减薄前后样片表面应力分布情况和纵向应力分布情况,根据图像可知,处在 SiC 外延片边缘位置的应力相对较大,减薄前的最大应力值约为 $1.57 \times 10^5 \text{ Pa}$,减薄后应力的值增加到约 $2.40 \times 10^5 \text{ Pa}$,由此可知,减薄工艺会造成应力值的增加,不考虑外力、磨损等的理想情况下,应力值约增加为原始应力值的 1.53 倍。

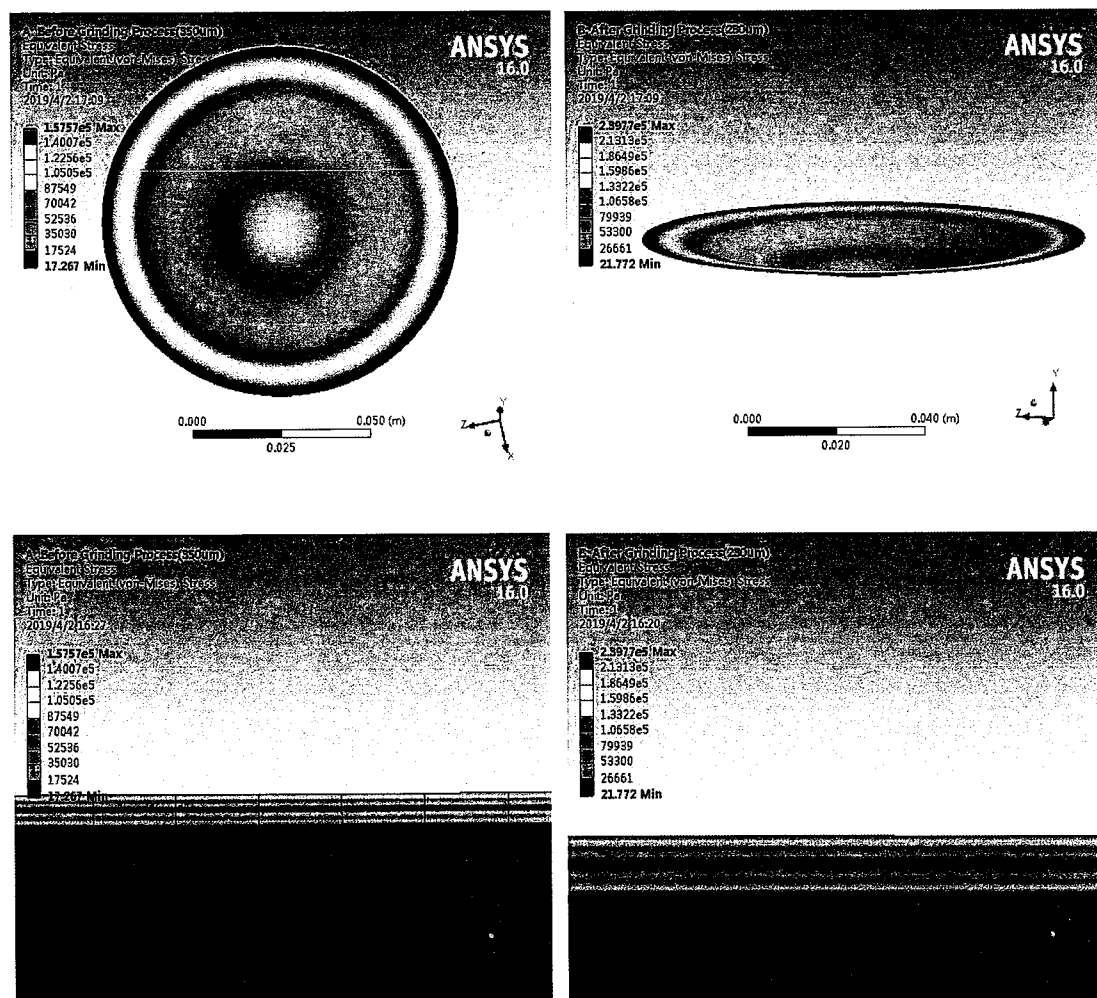


图 3.9 SiC 减薄前(350 μm)和减薄后(230 μm)的应力分布情况

3.5 表面应力对 SiC/SiO₂ 界面态影响机理

3.5.1 实验方案及工艺流程

为了进行 SiC 材料的表面应力对 SiC/SiO₂ 界面态的影响机理研究, 本章通过背面减薄的方式, 改变了 SiC 外延片的表面应力, 实验技术方案示意图如图 3.10 所示。

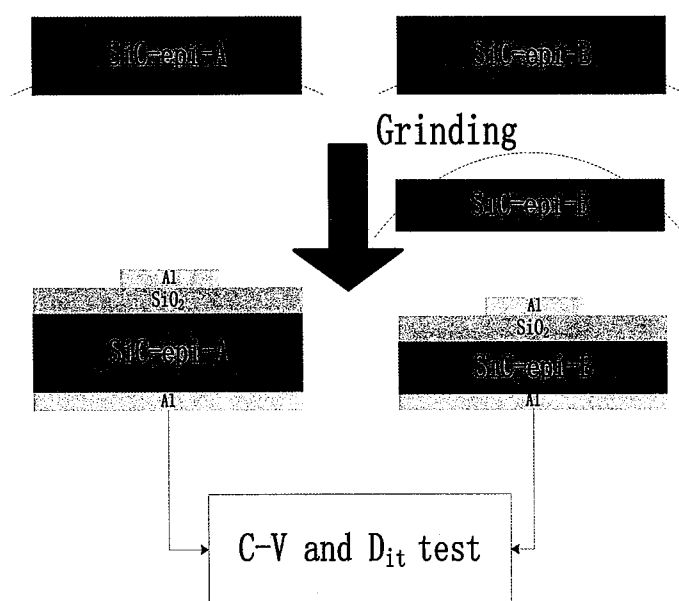


图 3.10 减薄致应力对界面态的影响的技术方案

本实验采用 4 英寸的 Si 面 (0001) 偏向 4° 的 N 型 4H-SiC 外延片, 编号分别为 A、B, 外延层厚度约为 12 μm, 掺杂浓度为 $N_d = 8 \times 10^{15} \text{ cm}^{-3}$ 。样片初始厚度约为 350 μm, 其中, 样片 B 经过背面减薄工艺, 厚度减薄为约 230 μm。工艺平台基于中科院微电子所高频高压中心。如图 3.11 所示为本实验 MOS 电容的工艺流程:

1) 背减薄前应力分析: 减薄工艺可以改变薄膜材料的应力^[76]。采用 FLX-2320-S 设备对外延片 A、B 应力相关参数翘曲度(warp)和总厚度变化(TTV)进行了测量;

2) 样片 B 背面减薄工艺: 通过化学机械抛光 (CMP) 的方式, 对样片 B 进行背面减薄工艺, 将厚度由 350 μm 减薄至 230 μm;

3) 背减薄后应力分析: 样片 B 实施背面减薄工艺后, 再次进行应力分析, 得到背面减薄工艺对外延片应力参数 warp 值和 TTV 值的影响;



图 3.11 SiC MOS 电容工艺流程方案

4) RCA 清洗: 首先再用体积比为 1:1 的浓度为 98%浓硫酸和浓度为 27%双氧水溶液中清洗 SiC 外延片, 水浴加热至 90℃后, 煮 15min; 用体积比为 1:1 的浓度为 28%氨水和浓度为 27%双氧水混合溶液清洗并水浴加热至 90℃后煮 15min; 最后将 SiC 外延片采用体积比为 1:1 的浓度为 10%盐酸和浓度为 27%双氧水混合溶液清洗, 水浴加热至 90℃后煮 15min, 并用去离子水冲洗 SiC 外延片表面用 N₂ 吹干;

5) 热氧化生长 SiO₂ 膜: 本实验将样片放入 1350 °C 的氧化炉进行干氧氧化 20 min, 得到厚度约为 60 nm 的 SiO₂ 膜, 作为栅极介质层, 同时在 SiC 外延片的下表面也会形成一层氧化层;

6) 淀积栅极金属电极: 利用栅电极光刻版进行曝光, 并进行显影, 通过加热蒸发 Al 工艺形成正面栅电极, 电极厚度为 300 nm, 并通过剥离的方法形成最终的栅电极图形, 并通过剥离的方法形成最终的栅电极图形。

3.5.2 电学性能分析

1) 背面减薄工艺前后的应力参数分析

M. R. Marks 等人报道了背面减薄工艺将导致更高的应变, 这意味着更高的

warp 和 TTV^[77]。warp 定义为晶面中心面与参考平面间的最大最小距离之差：

$$\text{Warp} = \text{RPD}_{\max} - \text{RPD}_{\min} \quad \dots(3.6)$$

TTV 定义为在扫描厚度的过程中，晶片所测得的最大和最小厚度的差值。

$$\text{TTV} = T_{\max} - T_{\min} \quad \dots(3.7)$$

如表 3.2 所示，列出了 SiC 外延片背面减薄工艺前（样片 A）和背面减薄工艺后（样片 B）的 warp 值和 TTV 值的变化结果，观察表中数据可知，对于样片 B，warp 的值由 16 μm 上升到 57 μm ，TTV 的值由 3 μm 上升到 21 μm 。以上结果表明，相比背面未减薄的样片，背面减薄工艺使得应力相关参数 TTV 和 warp 的值增大了 3 倍以上，这说明背面减薄工艺会导致 SiC 外延片表面应力得到明显的增加。

表 3.2 背面减薄工艺前后的 warp 和 TTV 参数的变化

样片 ID	减薄前参数值		减薄后参数值	
	Warp (μm)	TTV (μm)	Warp (μm)	TTV (μm)
A	11.277	2.268	/	/
B	16.026	2.891	57.001	21.225

2) C-V 特性分析

图 3.12(a)、(b)分别为为 SiC 外延片背面减薄前后样片 A 和样片 B 制作 MOS 电容的 C-V 特性测试结果，测试在室温下进行，测试条件为以 200mV/s 的电压扫描速率测量 QSCV 曲线，根据 Poission 方程和表面电势，理想的 C-V 曲线计算公式如下：

$$C_{ideal} = \frac{SeN_d \left| \exp\left(\frac{e\phi_s}{kT}\right) - 1 \right|}{\sqrt{\frac{2kTN_d}{\epsilon_{SiC}} \left\{ \exp\left(\frac{e\phi_s}{kT}\right) - \frac{e\phi_s}{kT} - 1 \right\}}} \quad \dots(3.8)$$

其中，e 为单位电荷， N_d 为掺杂浓度， ϕ_s 为表面电势，外延片 A 和外延片 B 的 SiO₂ 厚度分别设定为 61.7 nm 和 63.8 nm，栅电极的面积 S 设为 $7.065 \times 10^{-4} \text{ cm}^2$ 。由图可知高频下的界面电荷响应能力和理想情况下接近，而 QSCV 界面电荷

不能够很好地响应。图 3.12 (c) 为样片 A 和样片 B 的高频下的 C-V 曲线对比，图 (d) 为准静态条件下的 C-V 曲线对比。结果表明，在电压小于 4V 的范围内，经过背面减薄工艺的样片 B 的电容比未减薄的样片 A 的电容大，说明样片 B 的界面相比样片 A 有更多的电荷。从平带电压的角度可以发现，减薄工艺后，平带电压发生左移，说明背面减薄工艺导致了界面处正电荷的产生。

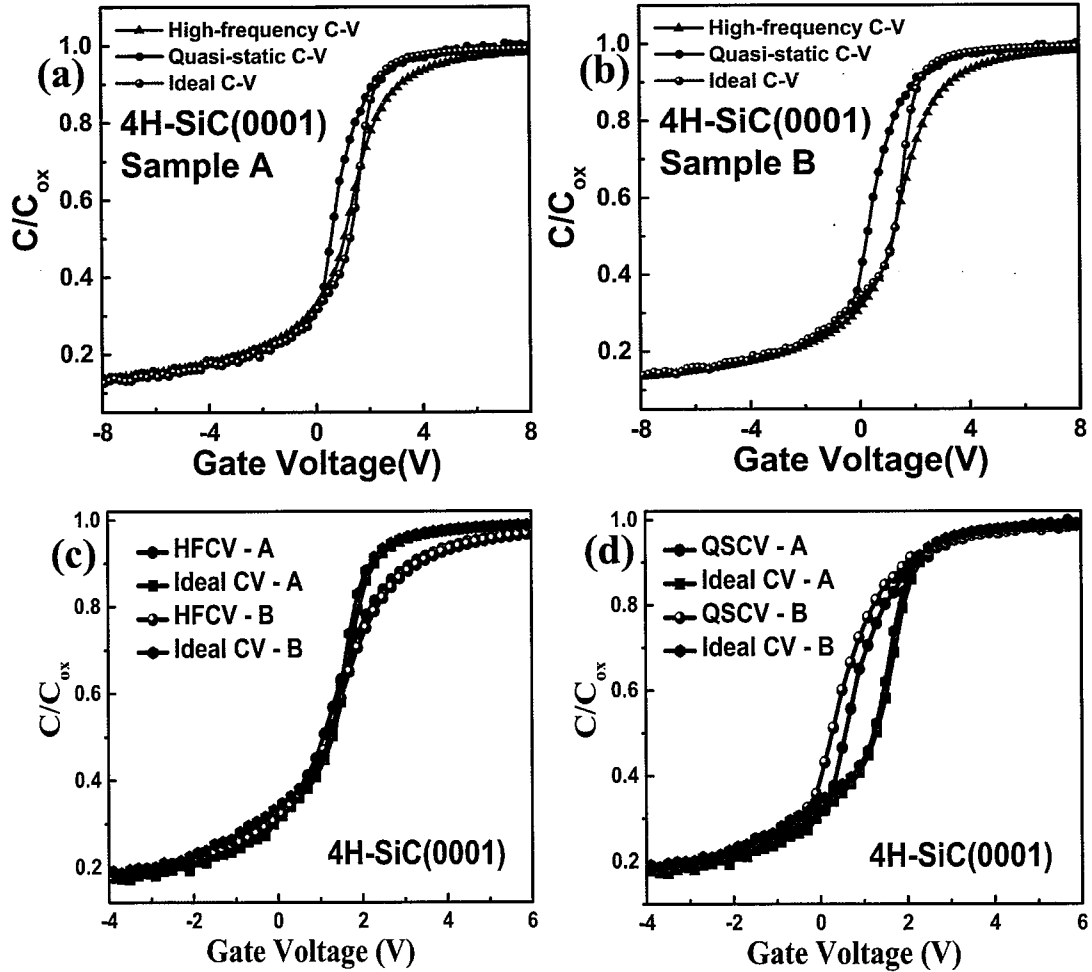


图 3.12 MOS 电容的 C-V 特性表征

3) 界面态密度表征

如图 3.15 所示，为样片 A（未进行背面减薄工艺）和样片 B（进行背面减薄工艺）通过 C- ϕ_s 方法表征的界面态密度，对 $E_c - E = 0.3\text{eV}$ 处的界面态密度进行对比可以发现，样片 B 的界面态密度值大约为 $2.25 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ ，比样片 A 的界面态密度值高约 $5 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ ，这意味着背减薄工艺导致的应力增加将会造成界面态密度的增加。

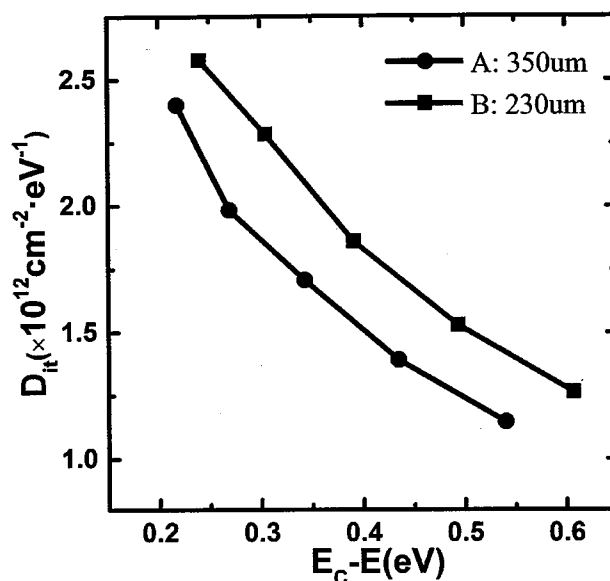


图 3.13 背面减薄致应力的界面态密度

由以上结论可知，初始应力较小的样片 A，通过背面减薄工艺的方式可以改变其表面应力，使得应力相关参数值增大。对比样片 A、B 的界面态密度可知，背面减薄致表面应力的增加能够导致 SiC/SiO₂ 的界面态密度增加，但是增加的比重并不是很大，可以认为表面应力越小的外延片，界面态密度相应的越低。综上所述，在选择 SiC 外延片进行实验时，应考虑初始应力更小的外延片；同时，考虑到本节所述的关于低压 SiC MOS 器件背面预减薄工艺的重要性，关于背面减薄工艺值得进一步研究。

3.5.3 ATR-FTIR 表征

为了进一步说明背面减薄工艺对电学特性造成的影响的机理，本实验通过 ATR-FTIR 测试实验，用于表征 SiO₂ 薄膜的微观性质。基于清华大学测试平台的 PerkinElmer-L1050022，分辨率为 4 cm⁻¹，波长扫描范围为 1300~1000 cm⁻¹，采用 ZnSe 反射晶体，且入射角为 45° 的三次反射系统。如图 3.14 所示，样片 B（背减薄工艺后）的吸收率高于样片 A（未进行背减薄工艺），这说明样片 B 的表面粗糙度相对于样片 A 更大。因此可以推论 B 的界面态密度高于 A，这与上述的电学特性分析一致。

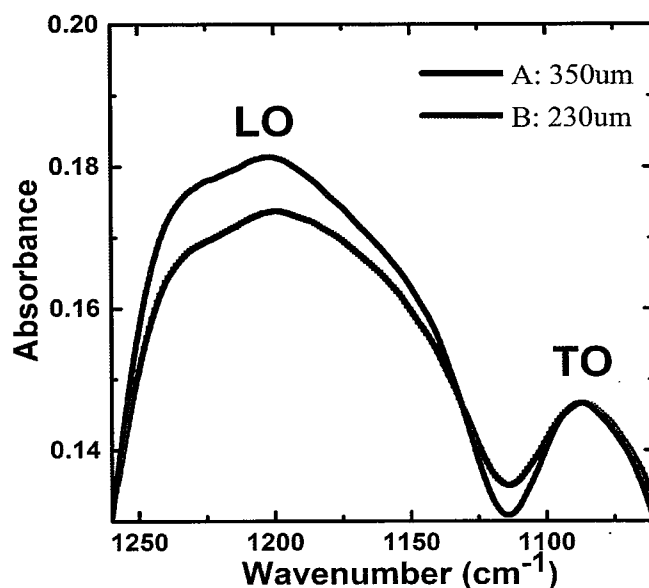


图 3.14 ATR-FTIR 测试结果对比

3.6 本章小结

本章通过氮化硅背面淀积工艺、背面减薄的方式改变应力，研究表面应力的变化对 SiC/SiO₂ 界面态的影响机理。

首先通过氮化硅淀积工艺改变了 SiC 外延片的应力，结果表明，由于 SiC 材料和 Si₃N₄ 晶格常数的不同，造成了 SiC 材料表面的翘曲，表现为受到向外伸张趋势的张应力。但是在氧化过程中，由于 SC 材料和 Si₃N₄ 材料的晶格常数差异较大，导致高硬度差异，从而造成氮化硅的碎裂，实验终止。因此，本论文从减薄工艺的角度出发，研究减薄致表面应力对界面态密度的影响。首先阐述了减薄工艺对于低压功率器件的重要性，并给出了本实验的详细实验技术路线。为了研究 SiC 材料应力对 SiC/SiO₂ 界面态的影响机理，通过背面减薄的方式改变了表面应力；并详细介绍了本实验的工艺流程及相关参数，通过 C-V 测试表征了 SiC MOS 的电学特性、用 C- ϕ_s 方法表征了界面态密度，以及用 ATR-FTIR 的方法表征了应力对于 SiC MOS 界面态密度的机理。主要的研究成果如下：

- 1、通过 ANSYS 软件仿真，对 SiC 材料减薄前后的形变规律、应力分布规律及应力变化进行了模拟，仿真结果表明，减薄工艺会造成 SiC 材料的翘曲度增加以及应力的增大。

- 2、通过背面减薄工艺的方式改变了表面应力，首先对应力进行分析发现，

背面减薄后表面应力相关参数 warp 和 TTV 值均增长了 3 倍以上,这意味着表面应力的明显增大,这与上述仿真结果一致;对减薄前后进行 C-V 曲线分析表明,经过背面减薄工艺后电容增大,说明减薄后的样片有更多的电荷能够相应频率的变化,且平带电压发生左移,说明背面减薄工艺导致了界面处正电荷的产生。通过 C- ϕ_s 方法对 SiC/SiO₂ 界面态密度进行表征发现,未进行背面减薄的 SiC 外延片的界面态密度低于进行背面减薄工艺后 SiC 外延片,由此可知减薄工艺致应力的增加会导致界面态密度的增加,可以认为表面应力越小的外延片,界面态密度相应的越低,这与第三章的实验结论一致,因此在选择 SiC 外延片进行实验时,更应考虑初始应力更小的外延片,对低压功率器件的背面减薄工艺应当进一步深入研究。

第4章 宏观应力对 SiC/SiO₂ 界面态的影响机理

第3章通过淀积氮化硅薄膜和减薄工艺的方式研究了表面应力的变化对 SiC/SiO₂ 界面态的影响机理，本实验通过硼离子背面注入研究宏观应力对 SiC/SiO₂ 界面态的影响机理。

4.1 实验设计

4.1.1 应力对界面质量的研究意义

第二章详细介绍了主流的界面态改善方法，其中最有效的是氮氛围下的退火。不过实验结果显示，通过氮退火工艺会造成导带边缘附近产生高密度的快界面态。根据近几年的报道发现，关于界面态的研究也逐渐从工艺转向研究 SiC 材料本身，从材料学的角度出发来研究 SiC MOS 的界面态问题。第一性原理，是依据原子核和电子的基本相互作用及其力学规律，通过量子力学基本理论的从头计算法，从研究的原子组分出发，并利用自洽算法来确定分子的物理性质的，且通过对固体的 Kohn Sham 方程和单电子 Schrodinger 方程求解，从而推导波函数和能带的方法^[70]，通过第一性原理计算，能够对 SiC/SiO₂ 界面态的形成机理有更清晰的理解，进一步的推进界面态的研究理论。

2013 年，K. Chokawa 等人发现必须通过第一原理计算去考虑原子级的氧化工艺，以得到高质量 SiC MOSFET，从理论上研究了氧化对缺陷形成的影响，发现了与以前完全不同的新型碳相关缺陷结构，并证明了这种新型 C-C 缺陷在导电底部引起陷阱态产生，计算结果源于 SiC 的固有材料特性，如图 4.1 所示^[71]。

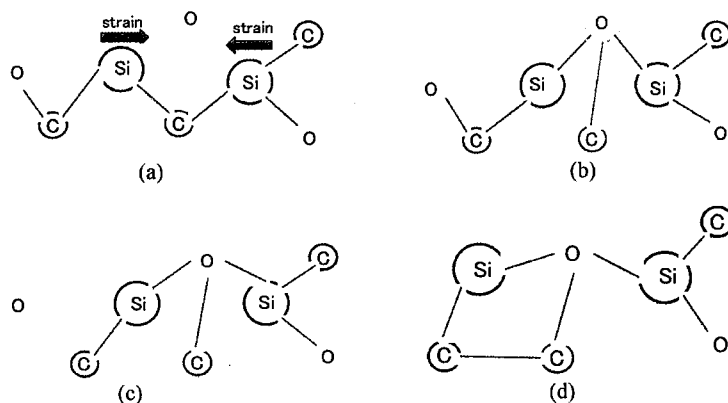


图 4.1 从两个 O 原子模型到缺陷模型的氧化过程的示意图

随后, K. Shiraishi 等人通过第一性原理计算, 对 SiC/SiO₂ 界面的内在问题做了阐述。研究表明, 在 SiC 氧化工艺中, 由于氧原子插入导致大量的键重排, C-C 键的形成造成了应变的产生, 并改变了空间形状, 从而导致导带下降, 因此导带底附近形成了界面态, 如图 4.2 所示。同样, Si-Si 键能的变化也造成了应变问题的产生, 从而在靠近导带处产生界面态。以上结论说明 SiC/SiO₂ 界面在 SiC 热氧化过程中产生的应变对于界面缺陷的形成至关重要的, 同时该团队研究人员提出了应变相关的工艺是制作高质量 MOSFET 所必需的^[29]。

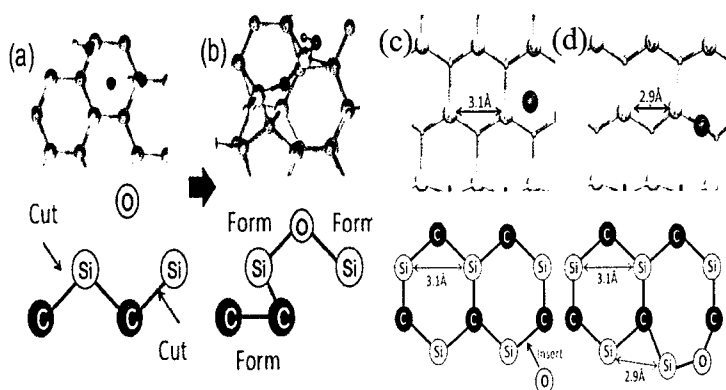


图 4.2 氧化过程中引起的键的变化及键间距的变化

4.1.2 实验技术路线

根据上文, SiC 热氧化过程中产生的应变对于界面缺陷至关重要, 这对于高质量 MOSFET 非常有研究价值。目前关于界面态的研究也逐渐从工艺转向 SiC 材料本身。本实验从材料本身及电学性能的角度出发, 研究了 SiC MOS 器件中 SiC 材料宏观应力对 SiO₂/SiC 界面的影响机理: 通过离子注入的方式控制宏观应力, 研究应力的变化对界面态密度的影响。技术路线如图 4.3 所示:

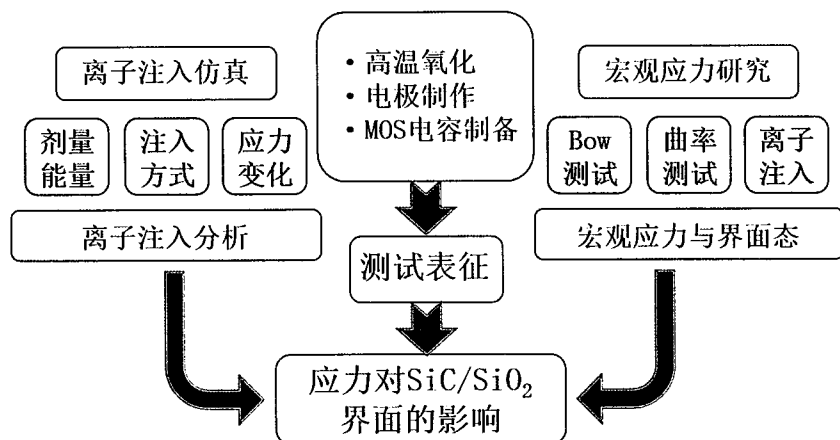


图 4.3 实验技术路线

4.2 仿真设计模型

本论文离子注入仿真主要利用 TCAD 软件 Silvaco 进行。Silvaco 主要包含 Athena 工艺和 Atlas 器件仿真器，对所需工艺和器件参数进行设置并仿真器件或者电路流程，并且对器件特性也能够进行模拟，以验证并提取所需要的参数。Silvaco TCAD 中的数值计算建模是大量的半导体物理和固体物理模型及方程，目前已经是完善的经验公式。主要的方程及模型有：基本半导体方程、载流子统计基本理论、边界方程等。

实际的半导体物理系统十分复杂，其信息量也非常巨大甚至无法估量，因此对于半导体仿真需要将其离散化，即网格计算。网格划分至关重要，对器件模拟计算结果的精度、收敛性和准确性有着重要的意义。

Silvaco TCAD 的主要功能及模块分为工艺仿真、器件仿真、交互式工具，其内部模块分为 Deckbuild 集成环境、Tonyplot 可视化工具、ATHENA 工艺仿真器、ATLAS 器件仿真器等。如图 4.4 为 silvaco 的仿真流程：

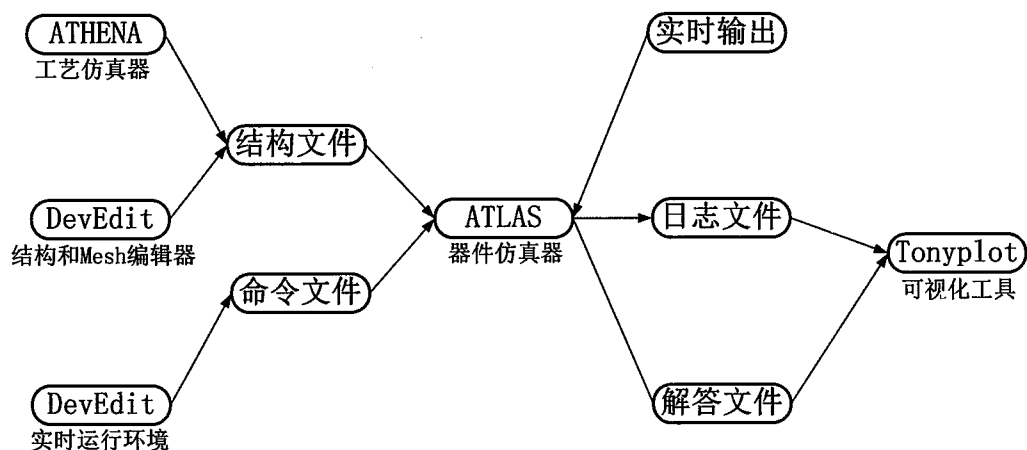


图 4.4 Silvaco 仿真流程图

半导体器件仿真基于 3 个基本的物理方程，即 Poisson 方程、载流子连续性方程和输运方程：

- 1) 器件的电势分布——泊松方程：

$$\nabla^2 \Psi = -\frac{q}{\varepsilon} (p - n + N_D^+ - N_A^-) \quad \dots (4.1)$$

其中， Ψ 表示静电势， n 是电子浓度， N_D^+ 是施主浓度， N_A^- 为受主浓度；

- 2) 各处载流子浓度的求解——载流子连续性方程：

$$\nabla \vec{J}_n = qR_{net} + q \frac{\partial n}{\partial t} \quad \dots (4.2)$$

$$-\nabla \vec{J}_p = qR_{net} + q \frac{\partial p}{\partial t} \quad \dots (4.3)$$

其中, J_p 表示空穴电流密度, J_n 为电子的电流密度, R_{net} 为载流子的净复合率;

3) 载流子电流密度的计算方程——输运方程:

$$\vec{J}_n = -nq\mu_n \nabla \phi_n \quad \dots (4.4)$$

$$\vec{J}_p = -pq\mu_p \nabla \phi_p \quad \dots (4.5)$$

其中, μ_n 是电子迁移率, μ_p 是空穴迁移率, ϕ_n 和 ϕ_p 分别为电子和空穴的准费米电势。

Silvaco 模块中, ATHENA 为工艺仿真器, 有强大的工艺仿真功能, 如单项工艺包括扩散、离子注入、氧化、薄膜 CVD、外延、光刻、刻蚀等。本论文基于 ATHENA 工艺仿真中的离子注入仿真单项工艺。离子注入仿真模型, 通常用来计算注入离子的分布情况, 以及模拟离子注入造成的损伤程度。仿真模型的搭建基于统计方法学得到注入离子的分布情况, 即采用 Monte Carlo 注入模型, 模拟注入离子在材料中的注入轨迹, 并可以通过分析点缺陷的浓度对注入损伤进行观察。ATHENA 软件可以用来仿真超浅结注入工艺, 符合小尺寸器件设计的仿真需求。在仿真时, 对离子注入剂量、离子注入能量以及注入温度和注入角度都可以进行设定。对于 SiC 材料常在高温的条件下进行离子注入以实现掺杂, 通过工艺仿真得到的掺杂形貌可以形成数据格式用于器件仿真的掺杂。

本论文的实验研究需要设计背面离子注入的浓度的合适范围, 以避免对 SiC 外延片造成注入损伤, 从而对 SiC MOS 电容界面态密度的研究造成不必要的干扰, 以及通过仿真模拟了离子注入前后应力分布的变化程度, 为后续实验的进行做参考。考虑到 SiC 的独特物理性质, 硼离子的原子质量较小, 造成的晶格损伤较小, 而且离子注入范围较为灵活, 因此本实验考虑基于 B 离子注入的设计仿真。同时, 考虑到外延片的初始条件及设备和环境条件, SiC 外延晶片初始模型为: 基于 Si 面的晶向(0001)偏向 4° 的 n 型 4H-SiC, 外延层掺杂浓度为 $N_d = 8 \times 10^{15} \text{ cm}^{-3}$, 厚度为 12 μm , 本论文离子注入模拟仿真用到的衬底及外延结构初始模型参数如上所述。

4.3 离子注入致应力仿真结果

SiC 材料的扩散系数非常小, 通过扩散进行杂质掺杂效率很低, 因此无法使用热扩散工艺对其进行掺杂, 通常通过离子注入技术对 SiC 材料进行杂质掺杂, 从而对杂质的注入深度、注入浓度以及掺杂形貌进行控制。离子注入工艺的重要参数包括注入能量、注入剂量以及注入角度等, 这些参数会影响离子注入的深度以及对衬底的损伤程度。

如图 4.5 为离子注入示意图, 包含样品表面 Σ (晶向由初始化参数定义)、仿真面 β (即在结构示意图中显示的器件剖面) 以及离子注入面 α (由 rotation 和 Y 轴决定), 注入方向为 α 面与 Y 轴的夹角方向。

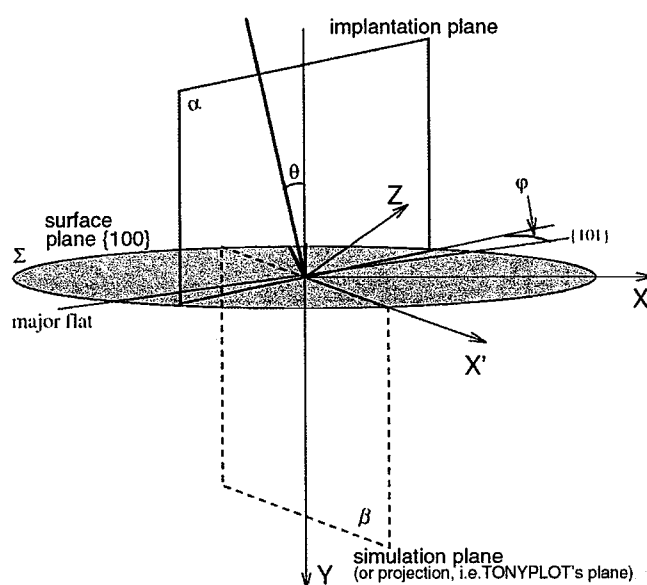


图 4.5 离子注入几何示意图

综上及结合本论文的实验方案, 本章节通过 Silvaco ATHENA 工艺仿真对硼离子背面注入模型的选择、注入剂量及能量的选择以及单次和多次的注入方式进行了模拟, 并且进行了离子注入前后衬底材料的应力分布变化的仿真。

(1) 注入模型

离子注入模型的不同会导致注入的离子在 SiC 衬底中分布的不同, 如图 4.6 (a) 和 4.6 (b) 所示分别为 4H-SiC 衬底在条件为 10^{15} cm^{-2} 剂量、100 keV 能量下的硼离子注入的 Monte_Carlo 分布 (a) 和 Gauss 分布 (b) 的离子注入模型, 根据下图分析可知, Monte_Carlo 离子注入模型的注入深度远大于 Gauss 分布离子注入模型的注入深度, 且 Monte_Carlo 离子注入模型的杂质分布相对 Gauss 分

布离子注入模型更均匀，因此 Monte_Carlo 离子注入模型更适用于本论文所研究的背面硼离子注入致宏观应力对界面态的影响。

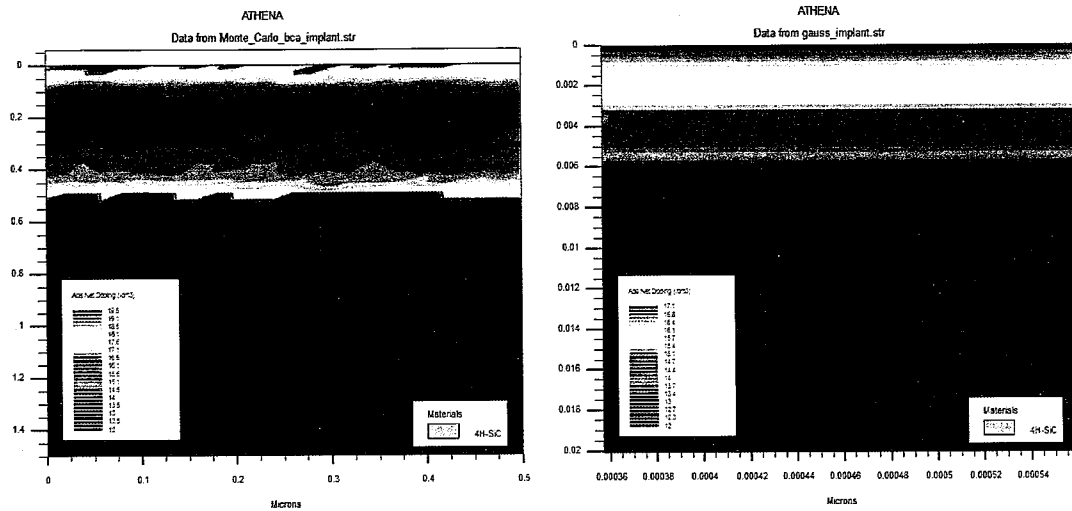


图 4.6 Monte Carlo 离子注入模型和 Gauss 注入模型的注入离子分布

(2) 注入剂量及能量

如图 4.7 所示，图（左）为相同注入能量、不同注入剂量条件下的[0001]晶向 4H-SiC 衬底通过硼注入的离子注入深度-浓度曲线，注入剂量分别为： $1 \times 10^{15} \text{ cm}^{-3}$ 、 $5 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 。根据图分析可知，在相同注入能量的条件下，注入深度相同，注入离子浓度峰值分布随剂量的增大而增大，且差异不大，说明对注入损伤的影响不是很大。为获得更明显的实验效果，本实验认为采用 $5 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 的注入剂量更为合理。

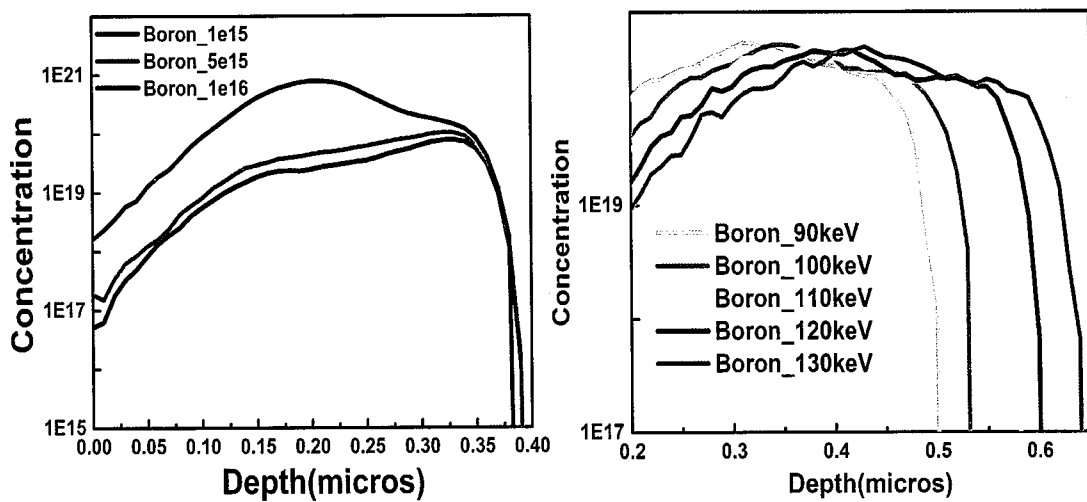


图 4.7 (左) 相同注入能量、不同注入剂量；(右) 相同注入剂量、不同注入能量

图 4.7 (右) 为相同注入剂量、不同注入能量条件下的[0001]晶向 4H-SiC 衬底通过硼注入的离子注入深度-浓度曲线, 注入剂量为 $5 \times 10^{15} \text{cm}^{-3}$ 分别对应注入能量分别为 90 keV、100 keV、110 keV、120 keV、130 keV。在相同注入剂量的下, 注入离子浓度峰值相同, 且注入深度会随着能量的增大而增大, 因此为了防止注入造成的损伤, 本实验采用 110 keV 的离子注入能量、 $5 \times 10^{15} \text{cm}^{-3}$ 、 $1 \times 10^{16} \text{cm}^{-3}$ 的注入剂量的实验方案。

(3) 注入方式

图 4.8 (左) 为在总注入剂量相同的条件下, 单次注入和多次注入的离子注入深度-离子注入剂量的分布图。如条件为能量 110keV 和总剂量 $1 \times 10^{16} \text{cm}^{-3}$ 的条件。分析可知, 单次离子注入 (10^{16}cm^{-3}) 的注入深度相比多次注入 (如分为 4 次, 每次注入 $2.5 \times 10^{15} \text{cm}^{-3}$) 的注入深度较小, 且小剂量离子注入对衬底的损伤程度比大剂量注入的损伤程度较小, 因此综上所述, 将注入剂量大的离子注入分为多次小剂量注入的会获得催衬底更小的损伤程度以及获得更优的注入深度。

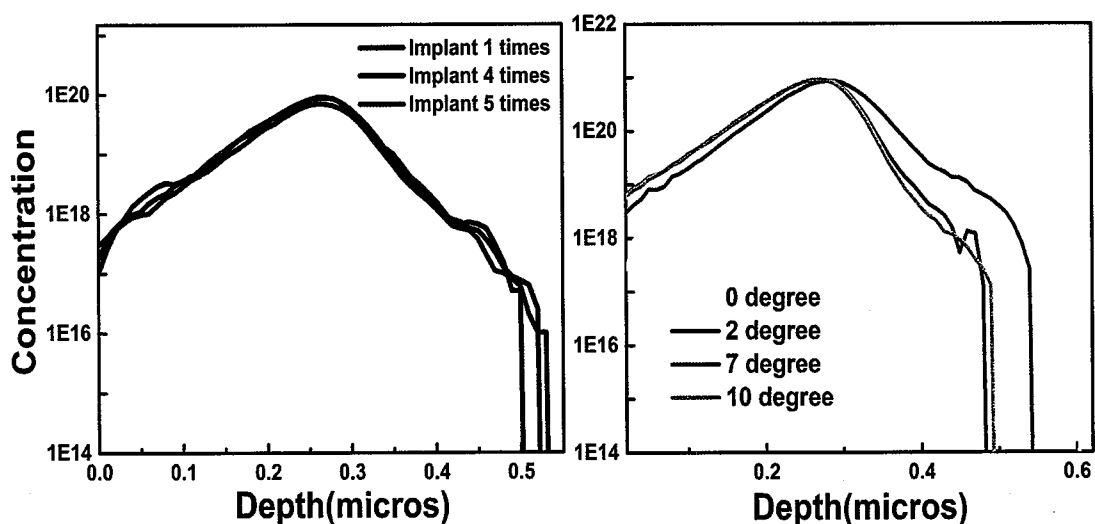


图 4.8 相同条件下单次和多次注入 (左) 及不同注入角度 (右) 对比图

图 4.8 (右) 为相同条件下, 注入角度不同情况下的硼离子注入效果比较, 由于离子注入的不同角度对晶格损伤程度影响不同, 分析可知, 对于 7° 角入射模型, 入射深度更浅, 对样片的损伤程度最小。

(4) 不同离子的注入分析

如图 4.9 所示, 分别为铝离子、硼离子、氟离子在相同条件下注入的仿真, 能量为 110keV、剂量为 $5 \times 10^{15} \text{cm}^{-3}$ 。分析可知, 铝离子的注入深度最深, 硼离

子次之，氟离子的注入损伤最小。但考虑到实际工艺硼离子的注入工艺更容易调控，且注入损伤较小，因此本论文选用硼离子注入工艺进行实验。

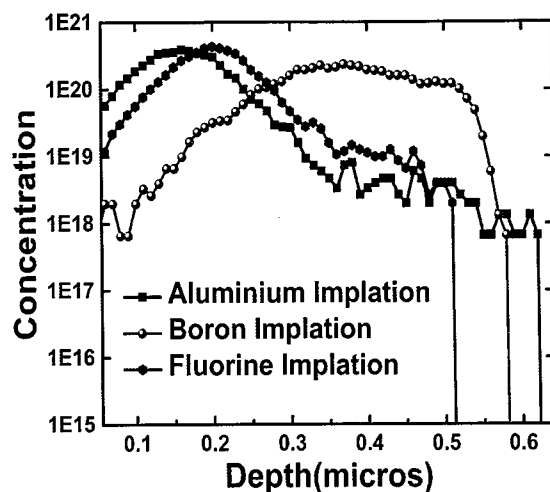


图 4.9 相同条件下不同离子注入的损伤程度对比

(5) 应力仿真分析

除了单步工艺，ATHENA 也提供了计算各种工艺步骤产生的应力的方法，如淀积薄膜的应力、晶格畸变应力等。通常在淀积或蚀刻工艺，或在通过离子注入或外延工艺形成高度掺杂的层或区域之后，可以进行对应力分布的仿真观测。

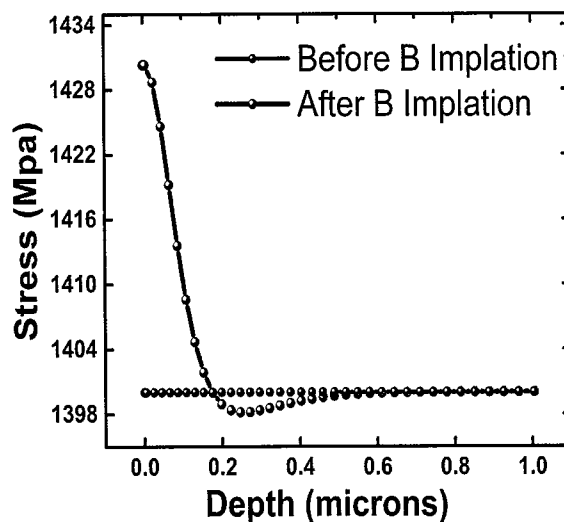


图 4.10 硼离子注入前后的应力分布变化

图 4.10 为硼离子注入前后的应力分布变化。假设 SiC 外延片初始应力值是 1400 Mpa，自然氧化层为 1 nm，B⁺的注入剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ 、注入能量 110 keV，分析可知理想情况下 SiC 衬底表面所受到的初始应力分布，通过硼离子注入工艺

后,衬底背面表面的应力增大,随着离子注入深度的增加,可以观察到表面所受的应力先减小到小于初始应力值的状态,随后又逐渐增加至初始应力值的状态。因此根据仿真结果可知,离子注入会导致材料表面应力的增大。

4.4 宏观应力对 SiC/SiO₂ 界面态的影响机理

基于传统的 Si MOS 电容工艺,考虑到 SiC 材料中存在 C 原子的特殊物理性质, SiC MOS 制备过程和传统 Si MOS 工艺有很大差别。如 SiC 材料的界面反应能量远高于 Si 材料,因此要求更复杂的氧化机理及更高的氧化温度^[72]。参照 MOS 电容制作的相关工艺,本论文的 SiC MOS 电容工艺具体流程如下文所述。

4.4.1 实验方案及工艺流程

为了研究 SiC 材料的宏观应力对 SiC/SiO₂ 界面态的影响机理,本实验通过硼离子背面(C面)注入工艺的方式,对 SiC 外延片进行施加不同的应力,改变了 SiC 外延片的宏观应力,如图 4.11 (左)所示。本实验采用 4 英寸的 N 型 4H-SiC 外延片,晶向(0001)偏向 4°,其外延层厚度为 12 μm ,掺杂浓度为 $N_d = 8 \times 10^{15} \text{ cm}^{-3}$,基于 Si 面进行实验。实验平台是基于中国科学院微电子研究所的高频高压中心与集成研发中心工艺测试平台。如图 4.11 (右)为本实验 SiC MOS 电容样片的工艺流程,下面对具体的工艺步骤分别进行详细的介绍。

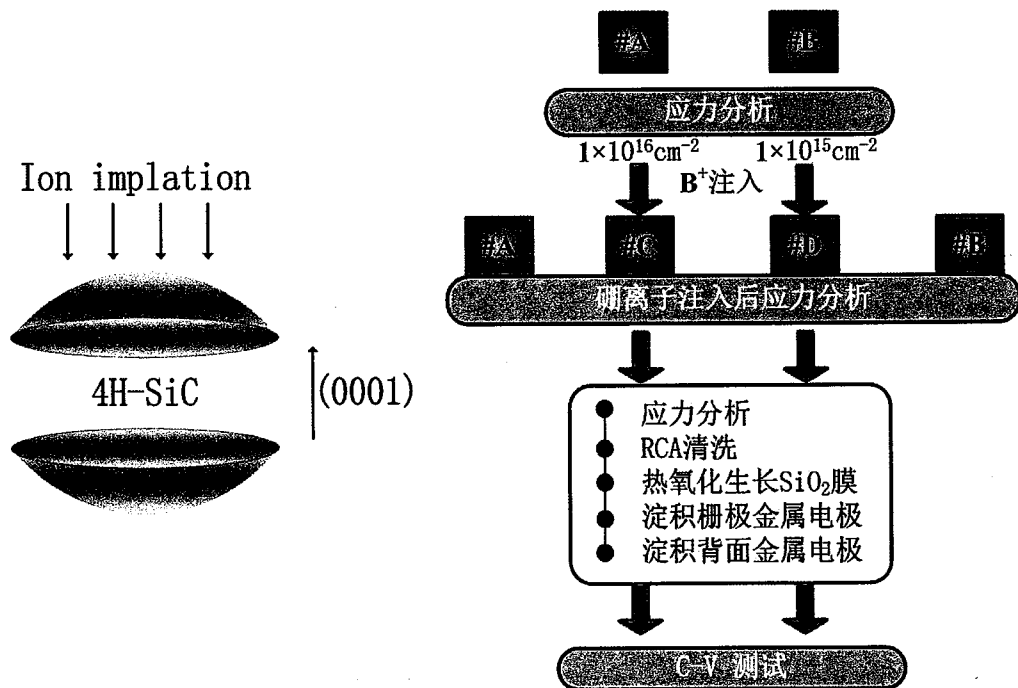


图 4.11 实验工艺流程

本论文用于 SiC MOS 电容制备、C-V 电学测试的 SiC 外延片共分为 4 组，具体的实验及样片划分如下所述：

1) B 离子注入前应力分析：先采用 FLX-2320-S 薄膜应力测量系统对样片 A 和样片 B 的曲率半径 (R) 进行了测量，测试结果显示样片 A、B 的初始应力状态分别为受到张应力；

2) B 离子注入：根据 V. S. Speriosu 的报道，通过离子注入的方式可以改变薄膜的应力^[73]。由于 SiC 比 Si 具有更大的密度，因此其注入能量可能需要达到 MeV 的量级，从而造成晶格损伤，在高温下可以进行高温退火以修复损伤。对于 SiC 材料，离子注入常用硼离子，因为硼离子的原子序数为 5，原子质量相对较小，因此其造成的晶格损伤较小，而且离子注入范围较为灵活。本实验对样片 A、样片 B 采用了硼离子背面(C 面(000-1))注入，在室温下注入剂量分别为 $1 \times 10^{16} \text{ cm}^{-2}$ 、 $1 \times 10^{15} \text{ cm}^{-2}$ ，此时，对应的样片编号分别为 C、D，同时保留 A、B 的原始样片与之后的实验作为对比；

3) B 离子注入后应力分析：采用 FLX-2320-S 薄膜应力测量系统在此对样片 A、B、C、D 的曲率半径进行测量；

4) RCA 清洗：①将 SiC 外延片采用体积比为 1:1 的浓度为 98%(wt%)浓硫酸和浓度为 27%(wt%)双氧水溶液中清洗，水浴加热至 90℃后，煮 15min，并用去离子水冲洗 SiC 外延片表面数遍；②将上述步骤中清洗的 SiC 外延片采用体积比为 1:1 的浓度为 28%(wt%)氨水和浓度为 27%(wt%)双氧水混合溶液清洗，水浴加热至 90℃后煮 15min，并用去离子水冲洗 SiC 外延片表面数遍；③将上述步骤清洗的 SiC 外延片采用体积比为 1:1 的浓度为 10%(wt%)盐酸和浓度为 27% (wt%)双氧水混合溶液清洗，水浴加热至 90℃后煮 15min，并用去离子水冲洗 SiC 外延片表面数遍，用 N₂ 吹干；

5) 热氧化生长 SiO₂ 膜：制备 SiO₂ 薄膜的方法有很多种，包括：干氧化、湿氧化、化学气相淀积等。对于热氧化生长 SiO₂，采用合适的氧化温度，对于获得高质量的、稳定的 SiO₂ 薄膜是非常重要的，氧化过程的研究对于界面质量的优化也是非常关键的因素。如对于 4H-SiC 来说，湿氧化和干氧化对于导带附近的界面态质量差别并不是很大，但湿氧化对于价带附近处的界面态处理效果更好。

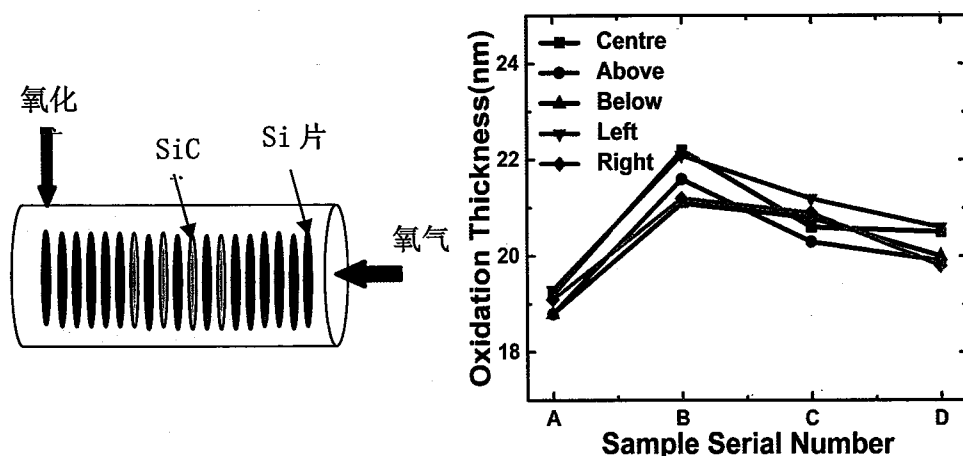


图 4.12 氧化厚度及均匀性表征

对于 4H-SiC, 氧化的温度基本是在 1100 °C 以上进行, 出于实验设备的考虑, 本实验采用干氧氧化。将样片 A,B,C,D 同时放入 1150 °C 环境下且在纯氧气氛中进行干氧氧化, 将 SiC 外延片放入氧化炉中进行氧化 20 min, 得到致密的 SiO₂ 膜, 作为栅极介质层, 为减小局部氧气流不均匀等因素对氧化工艺造成的影响, 在氧化时按如图 4.12 (左) 摆放 Wafer 进行试验, 4.12 (右) 为对样片的中、上、下、左、右五点进行氧化厚度测试的结果, 可知氧化厚度约为 20 nm 左右, 且均匀性良好。

6) 淀积栅极金属电极: 利用栅电极光刻版进行曝光, 并进行显影, 通过加热蒸发 Al 工艺形成正面栅电极, 电极厚度为 300 nm, 并通过剥离的方法形成最终的栅电极图形。如图 4.13 (左) 为本实验 SiC MOS 电容光刻版的版图, 电极图形是直径分别为 50、80、100、150、200、250、300 μm 的圆, 通过剥离的方法形成最终的栅电极图形。本实验在进行 C-V 测试时, 背面电极接地, 探针扎在 100 μm 的电容圆中;

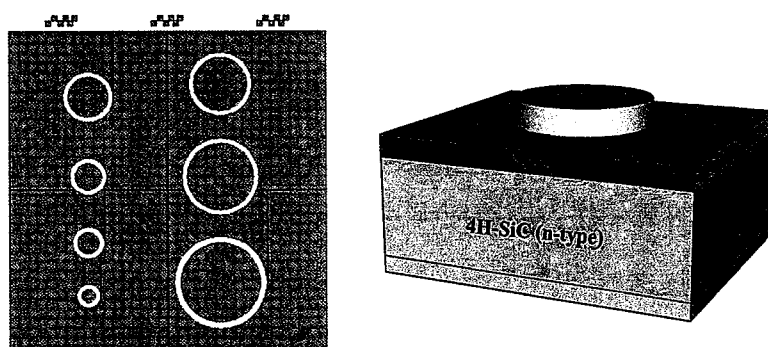


图 4.13 SiC MOS 电容光刻版及电容结构图

7) 淀积背面金属电极: 首先将 SiC 外延片的正面用光刻胶保护, 并用浓度为 5% 的稀释氢氟酸溶液作为腐蚀液刻蚀掉背面的 SiO₂ 膜, 再加热蒸发 Al 电极形成背面金属电极, Al 电极厚度为 200 nm, 同时完成 SiC MOS 电容器件制作, 器件结构图如图 4.13 (右) 所示, 用于 C-V 测试时, 背面金属电极接地, 正面的电极与探针连接。

4.4.2 电学特性分析

1) 背面硼离子注入前后应力分析

通过硼离子背面注入实验, 对样片 A 进行能量为 110keV, 剂量为 $1 \times 10^{16} \text{cm}^{-3}$ 的注入, 对样片 B 进行能量为 110keV, 剂量为 $5 \times 10^{15} \text{cm}^{-3}$ 的注入。图 4.14 表示了离子注入前后 SiC 材表面应力分布的 map 情况, 结果表明离子注入后 SiC 材料应力分布有较明显的变化。

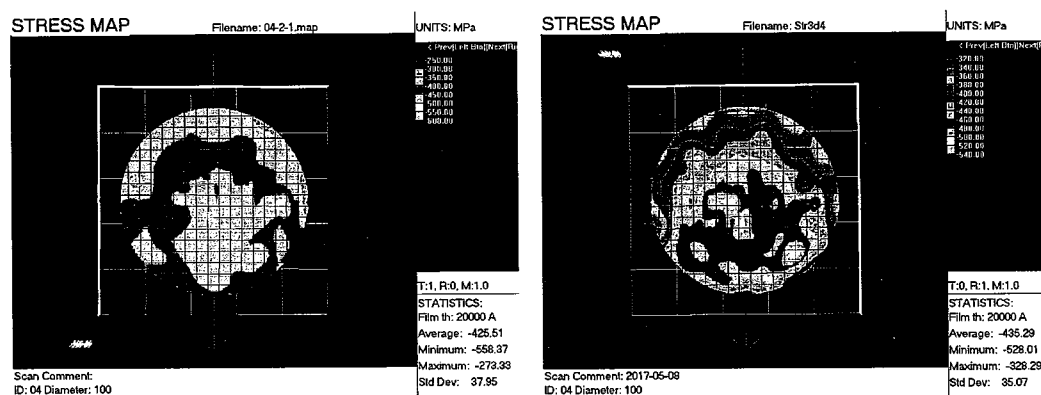


图 4.14 背面硼离子注入前后 SiC 的表面应力分布

如图 4.15, 为硼离子注入前后 SiC 材料表面受到的应力变化示意图, 对硼离子背面注入前后进行应力分析得到 (从图中的 bow 参数可以体现), 初始状态受到张应力的样片 A 和样片 B 在硼离子背面注入后, 分别转换为对应编号为样片 C、样片 D 的受到压应力的状态, 且对于不同剂量的离子注入, 导致的应力变化程度也不相同。

对于不同剂量的离子注入, 对应样片的应变的改变程度也有所不同, 表 4.1 显示了为曲率半径以及应力/应变的对应关系, 由此可知, 样片 A 初始受到较小的张应力经过较大剂量的离子注入后转换为受到较小压应力的样片 C, 而样片 B 受到较大的初始张应力经过小剂量离子注入后转化为较大压应力的样片 D。

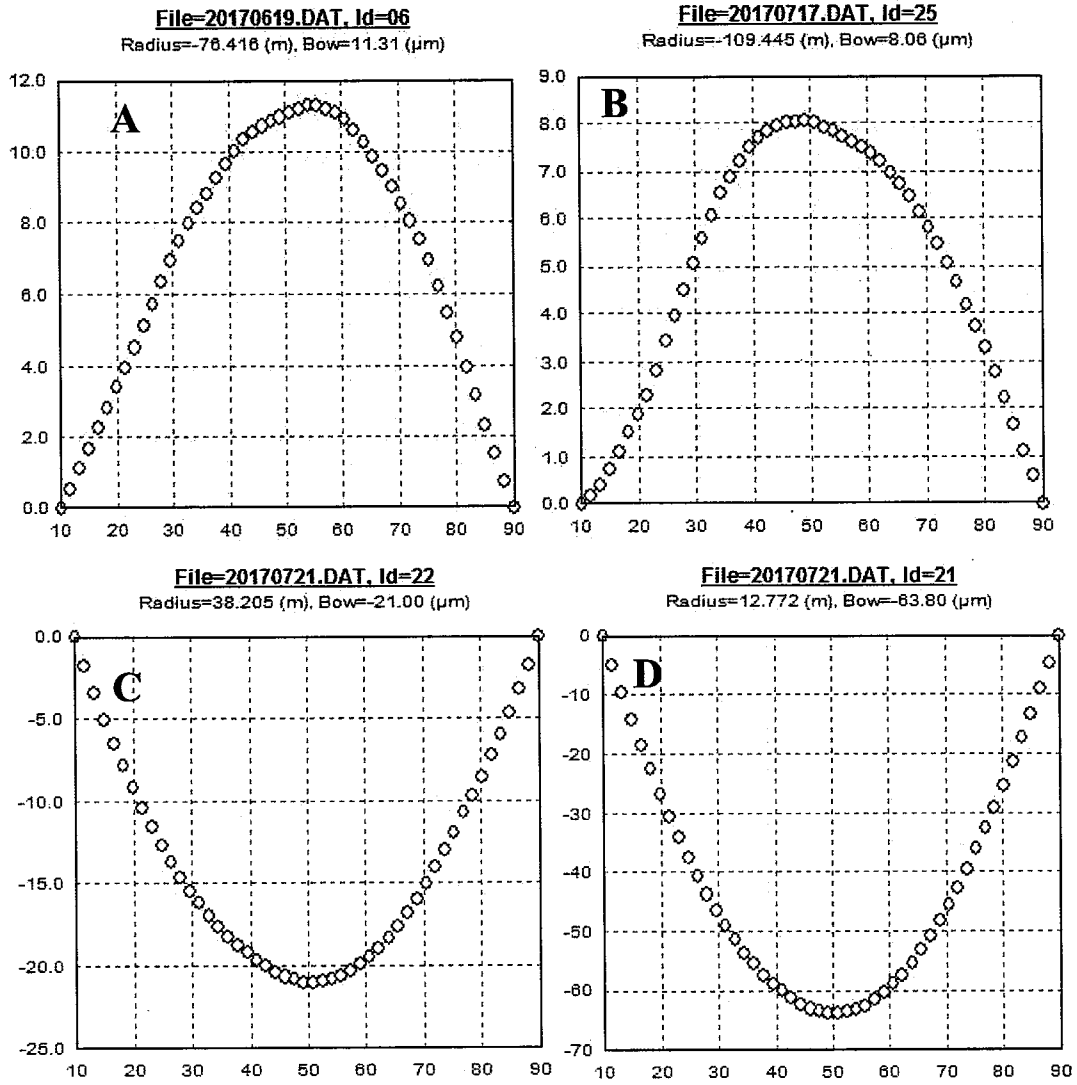


图 4.15 背面硼离子注入前后的应力状态变化

如图 4.16 为应力与曲率和翘曲度的关系, 对图(a)、(b)分析, 可知应力值的大小会随着曲率和翘曲度的增大而呈近似线性的增大, 由图(c)、(d)可知, 应力值与 bow 和 radius 表现出负相关的关系。

表 4.1 硼离子注入前后样片的曲率半径及应力

样片 ID	离子注入剂量	曲率(1/m)	应力 / 应变
A	w/o	-0.0132	Tensile--
B	w/o	-0.0091	Tensile-
C	1×10^{16}	0.0262	Compress+
D	5×10^{15}	0.0783	Compress++

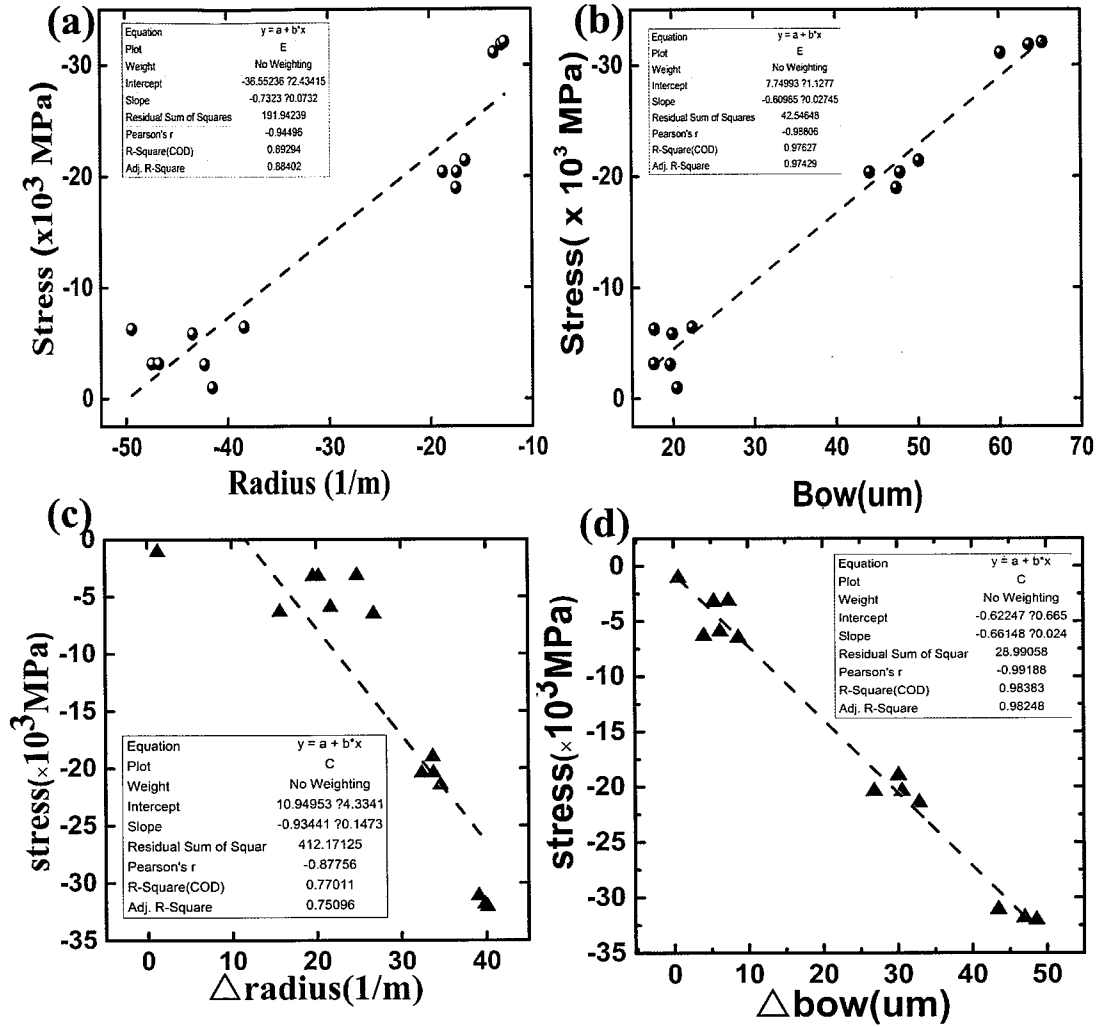


图 4.16 应力值与 radius 和 bow 的关系

2) C-V 特性分析

本论文中 SiC MOS 的 C-V 特性曲线测试基于高低温小信号测试平台 Agilent B1500A, 在室温下进行测试, 设备如图 4.17 所示。测试条件为在频率设定为 100 kHz、小信号振幅为 30mV 测量 SiC MOS 的高频 C-V 特性, 电压测试范围为 -10 V~10 V, 准静态 C-V 的电压扫描速率为 50mV/s。理想的 C-V 曲线根据第二章所述的 Poission 方程和表面电势计算所得。

如图 4.18 所示, 分别为样片 A、B、C、D 的 QSCV 曲线和高频 C-V 曲线, 根据下图分析可知, 100kHz 具有较强的响应能力, 准静态条件下的界面电荷响应频率变化的能力较差, 且准静态下平带电压向左偏移, 说明离子注入工艺在界面处带来了正电荷的产生。



图 4.17 用于 C-V 特性测试的高低温小信号测试平台

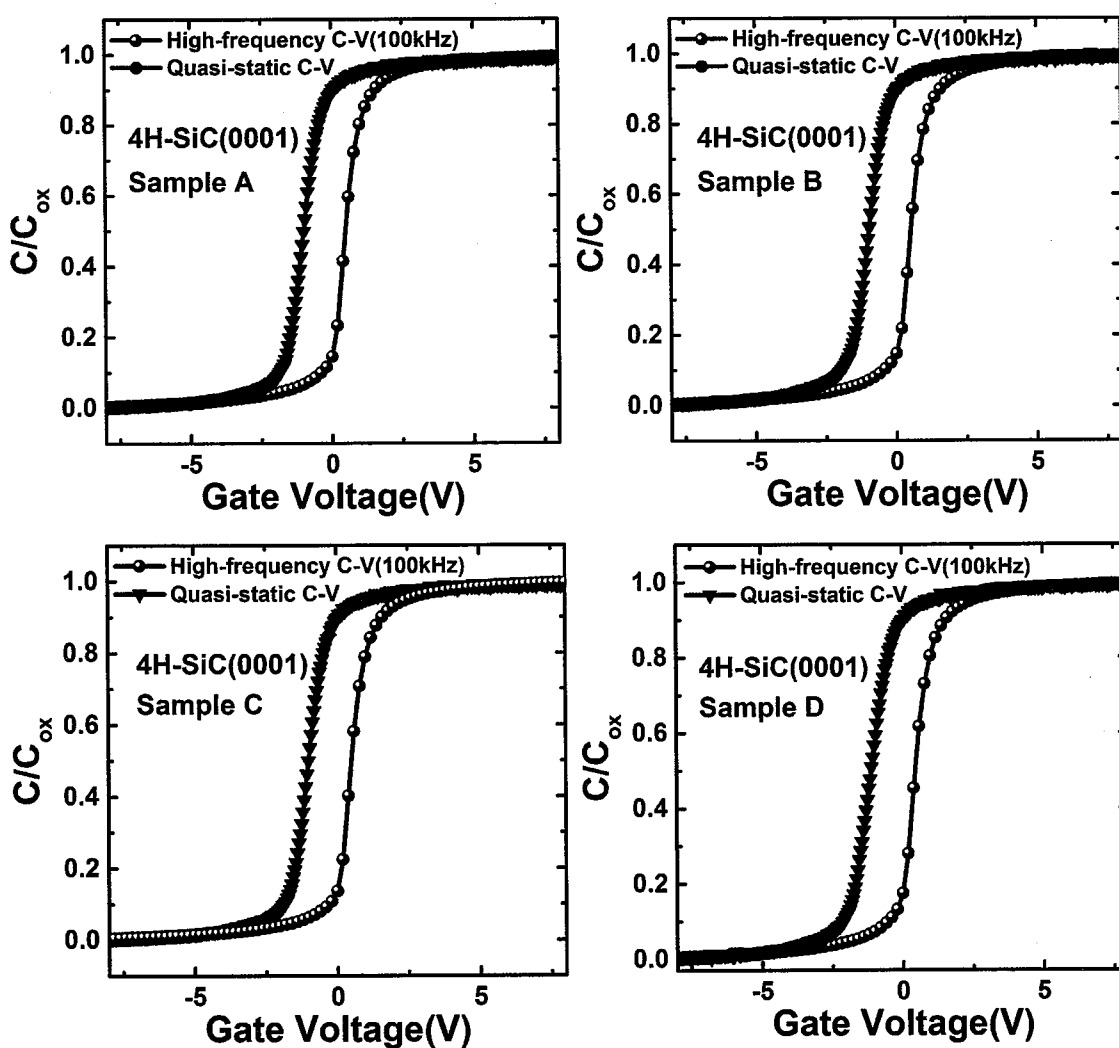


图 4.18 4H-SiC MOS 电容的 C-V 特性

3) 基于 C- ϕ_s 方法的界面态密度表征

对于界面态密度的计算, 根据第二章所述, 我们用 C- ϕ_s 的测量方法对界面态密度进行表征, 结合上一章可以得到 D_{it} 的计算公式:

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{QS}}{C_{ox} - C_{QS}} - \frac{C_{ideal}}{C_{ox} - C_{ideal}} \right) \quad \dots (4.6)$$

其中, q 为电子电荷量, C_{QS} , C_{ideal} , 和 C_{ox} 分别是准静态电容 (单位面积下)、理想电容以及氧化层电容。

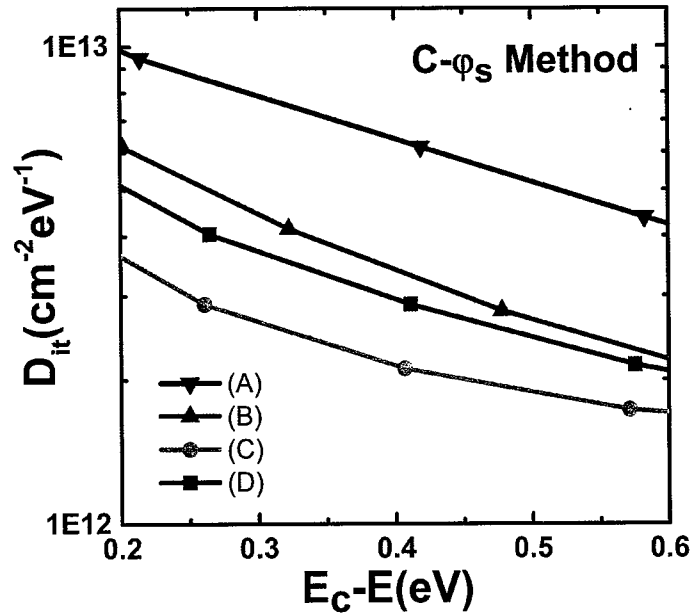


图 4.19 4H-SiC MOS 导带附近的界面态密度

图 4.19 为导带附近的界面态密度, 对 $E_c - E = 0.2 \text{ eV}$ 处的界面态密度结果进行观察对比, 可以得到以下结论: 首先, 样片 C (压应力状态) 的界面态密度大约为 $3.01 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$, 这个值大约是样片 A 的界面态密度值 (张应力状态) 的 1/3; 对于样片 D (压应力状态) 的界面态密度也低于样片 B (张应力状态) 的界面态密度。其次, 结合表 3.1 可知, 对于同处于宏观压应力状态, 压应力较小的样片 C 的界面态密度低于压应力较大的样片 D 的界面态密度值。

由此可知, 初始状态为张应力状态的样片 A 和样片 B, 经过硼离子背面注入工艺转变为压应力的样片 C 和样片 D。对样片的界面态密度对比发现, 宏观应力的改变能够影响 SiC/SiO₂ 的界面质量, 并且处于压应力状态的样片的界面态密度相对更低。其次, 样片 C 受到的压应力小于样片 D 受到的压应力, 但界面态密度低于样片 D, 由此可以认为压应力越小的外延片有更好的界面质量。

如图 4.20 所示, 显示在 $E_c - E = 0.2\text{eV}$ 处的界面态密度与样片曲率的关系, 由此可知, 从张应力释放转化为压应力的过程中, 处于压应力状态下的界面态密度更低, 且曲率小的情况下对应的界面态密度更低, 这与前述结论分析一致。因此, 在实际 SiC 外延片选择中, 选择曲率适合且处于压应力状态的外延片可能会获得更好的界面质量。

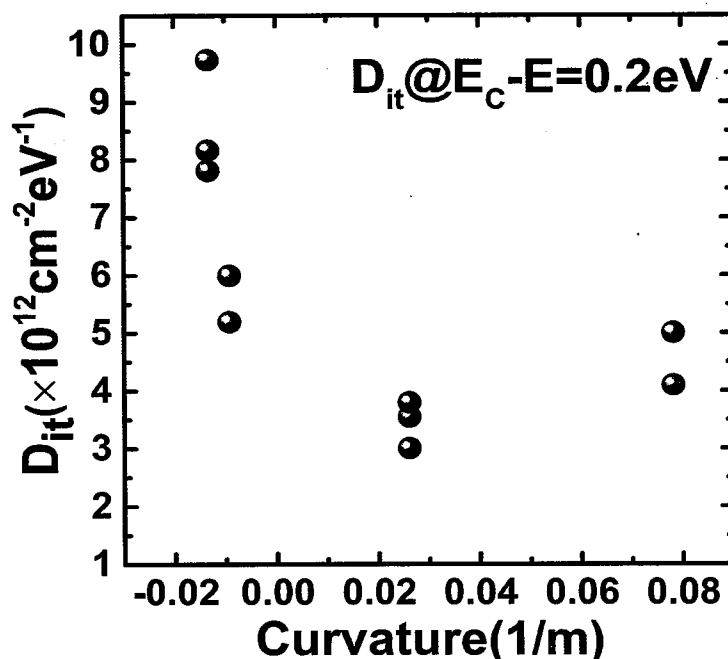


图 4.20 4H-SiC MOS 导带附近的界面态密度

综上所述, 在选择 SiC 外延片进行实验时, 选择初始应力状态为受到尽量小的压应力的外延片, 更有利于得到好的实验结果。

4.4.3 ATR-FTIR 表征分析

为了进一步表征宏观应力对电学特性造成的影响的机理, 本实验设计了 ATR-FTIR 实验, 用于研究 SiC 热生长氧化物的微观结构, 分析 SiO₂ 的应力状态。设备基于清华大学的 PerkinElmer - L1050022, 由于 ZnSe 的折射率为 2.4, 符合测试要求, 因此反射晶体选用为 ZnSe 晶体, 为了增加光程和测试强度, 采用入射角为 45° 的三次反射系统。测试条件为波长扫描范围为 1300~1000 cm^{-1} , 分辨率为 4 cm^{-1} , 以及设置扫描次数 8 次。ATR-FTIR 测试结果如图 4.21 所示, 测试光谱的主要特征是 TO 和 LO 模式, 由基于氧化硅组分化合物 SiO₄ 四面体的非对称 Si-O 键的拉伸运动所致。

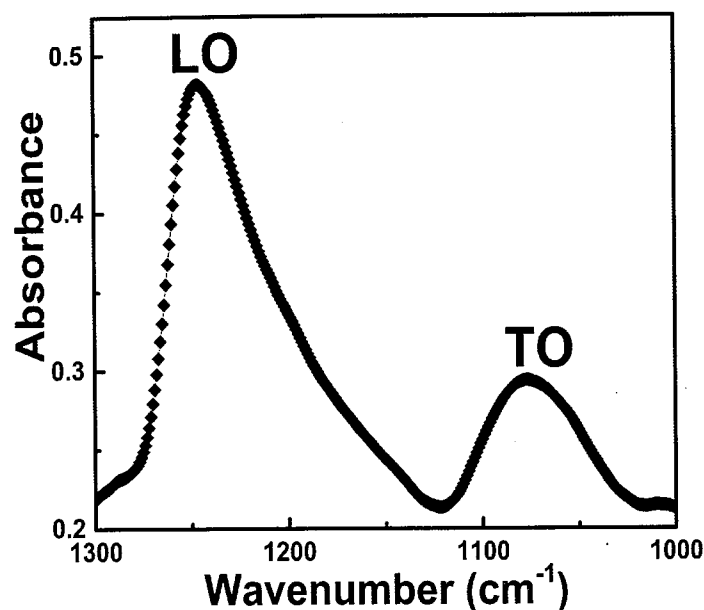


图 4.21 ATR-FTIR 测试结果

图 4.22 显示了 LO 声子模式的波数与曲率的关系，由图可知，受到张应力的样片 A 和样片 B 的 LO 声子大约在波数为 1300 cm⁻¹ 处被采集，受到较小的压应力的样片 C 在波数为 1260 cm⁻¹ 附近被采集，受到较大的压应力的样片 D 的 LO 声子大约也在 1300 cm⁻¹ 处被采集。由于 SiO_x 的变化和 Si-O-Si 键角的减小会导致 LO 声子的偏移，因此本论文认为样片 C 所呈现的低应力是导致其对应的界面态密度最低的原因。

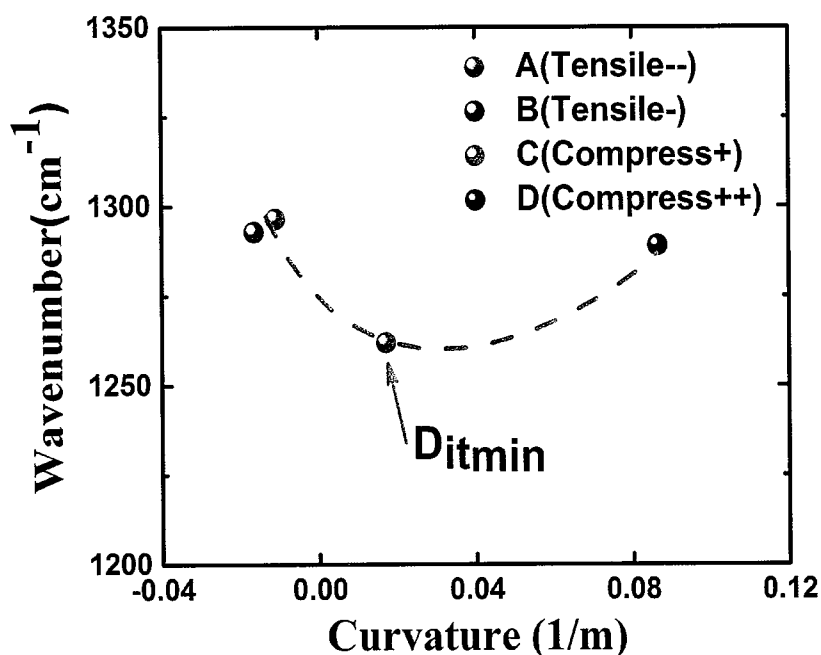


图 4.22 LO 波数随曲率变化的关系

4.5 本章小结

本章首先从第一性原理计算的角度介绍了应力相关工艺对于 SiC 材料界面态研究的重要意义,从多篇文献详细介绍了计算材料科学角度出发的氧化应力及界面态成因,并且基于以上文献的调研,给出了本实验的详细实验技术路线。为了研究 SiC 材料应力对 SiC/SiO₂ 界面态的影响机理,本章通过硼离子背面注入的方式改变宏观应力,详细介绍了本论文实验的工艺流程及相关参数,并通过 C-V 测试分析了 SiC MOS 的电学特性、用 C- ϕ_s 方法表征了 SiC/SiO₂ 的界面态密度,用 ATR-FTIR 的方法表征了应力对于 SiC MOS 界面态密度的机理。主要的研究成果如下:

- 1、通过仿真的方式对硼离子背面注入模型的选择、注入剂量及能量的选择以及单次和多次的注入方式进行了模拟,并且对离子注入前后衬底材料的应力分布变化进行了仿真,结果表明,本实验应采用 10^{15} cm^{-3} 、 10^{16} cm^{-3} 的注入剂量进行实验;对离子注入前后对材料应力分布的影响进行仿真得出,离子注入工艺会导致 SiC 材料应力的增大;

- 2、对 SiC 外延片进行不同剂量的硼离子背面注入,对应力分析发现,初始受到张应力状态的实验样片在离子注入后改变为压应力状态,且不同的剂量对应的应力改变程度不同;C- ϕ_s 法对界面态密度表征表明,宏观应力的改变能够影响 SiC/SiO₂ 的界面质量,且受到压应力样片的界面态密度更低,且压应力越小,外延片的界面质量越好,因此在实际工艺中,选择初始应力状态为更小的压应力状态的外延片,会有利于得到更好的实验结果,其中,对曲率和界面态的关系分析可知,处于压应力状态且曲率小的情况下对应的界面态密度更低;ATR-FTIR 的主要特征是 TO 和 LO 模式,对 LO 模式的波数和曲率关系分析,由于 SiO_x 的变化和 Si-O-Si 键角的减小会导致 LO 声子的偏移,因此样片 C 所呈现的低应力是导致其对应的界面态密度最低的原因。

第5章 总结与展望

SiC 材料由于其宽禁带的特性,与传统 Si 材料相比,具有诸多独特优异性能。SiC MOSFET 器件的导通电阻小、耐高温等卓越特性,是 SiC 器件领域的研究热点。但是 SiC MOS 的界面态问题一直制约着 SiC MOS 器件的发展,近年有研究团队从第一性原理计算的角度出发得出结论, SiC/SiO₂ 界面的内在问题和应变相关工艺密切相关。因此,从 SiC 材料本身出发研究应力对于高质量 SiC MOSFET 具有重要意义。本论文对 SiC MOS 器件中 SiC 材料应力对 SiO₂/SiC 界面的影响机理进行了研究,通过硼离子背面注入的方式改变宏观应力以及背面减薄工艺的方式改变表面应力,基于以上两种实验方法进行理论学习、仿真分析以及实验研究。

5.1 论文总结

首先,在正式实验前,本论文对 SiC 材料的研究意义、MOS 器件的发展现状、SiC/SiO₂ 界面态研究的发展进行了大量的文献调研,并且根据第一性原理计算的分析提出了从 SiC 材料本身出发的应力相关工艺研究对于高质量 SiC MOSFET 的重要意义。其次对 SiC/SiO₂ 的界面态问题的起源及改善办法进行了详细的介绍,并且对 SiC MOS 电容特性和界面态密度的表征方法进行了理论推导分析。基于以上理论基础,本论文的研究内容和成果如下:

(1) 首先本论文通过背面淀积氮化硅薄膜的方式改变了 SiC 材料的表面应力,但是在氧化过程中由于二者的晶格常数差异较大,造成在 SiO₂ 生长过程中背面氮化硅薄膜的碎裂,因此本论文通过减薄工艺的方式分析了表面应力对 SiC/SiO₂ 界面特性的影响机理。首先通过 ANSYS 有限元仿真软件对 SiC 材料减薄前后的形变、应力分布及应力变化进行了仿真,结果表明,减薄工艺会造成 SiC 材料的翘曲度增加以及应力的增大。对 SiC 外延材料 MOS 电容制作的实验结果表明,对应力分析发现,背面减薄工艺会导致 warp 和 TTV 值均增长了 3 倍以上;表明表面应力明显增大,这与上述仿真结果一致;对减薄前后进行 C-V 曲线分析表明,经过背面减薄工艺后电容增大,说明减薄后的样片有更多的电荷能够相应频率的变化,且平带电压发生左移,说明背面减薄工艺导致了界面处正电荷的产生;对 SiC/SiO₂ 界面态密度表征的结果进行分析,未进行背面减薄的

SiC 外延片的界面态密度低于减薄工艺后的 SiC 外延片，因此可知减薄工艺致应力的增加会导致界面态密度的增加，可以认为表面应力越小的外延片，界面态密度相应的越低，这与上述离子注入致应力对界面态密度的影响的结论一致。综上，在选择 SiC 外延片进行实验时，更应考虑初始应力更小的外延片，对低压器件的背面减薄工艺也应当进一步深入研究。

(2) 前述研究为表面应力对 SiC/SiO₂ 界面特性的影响机理。本论文通过硼离子背面注入的方式改变宏观应力，分析了宏观应力对界面特性的影响机理。首先通过 Silvaco 软件对硼离子背面注入模型、硼离子注入剂量及能量、注入方式及离子注入前后衬底材料的应力分布变化进行了仿真，结果表明离子注入工艺会导致材料表面应力的增大。通过 MOS 电容流片制作，对应力分析表明，始受到张应力状态的 SiC 外延片，通过背面硼离子注入改变为受到压应力状态，且对于不同剂量的注入，应力的改变程度不同；通过 $C-\phi_s$ 法对界面态密度表征分析，宏观应力的改变能够影响 SiC/SiO₂ 的界面质量，压应力状态下的界面态密度更低，同时压应力越小，SiC MOS 电容的界面态密度越低；对曲率和界面态的关系分析可知，处于压应力状态且曲率小的情况下对应的界面态密度更低；对 ATR-FTIR LO 模式特征的波数和曲率关系分析，由于 SiO_x 的变化和 Si-O-Si 键角的减小会导致 LO 声子的偏移，因此样片 C 所呈现的低应力是导致其对应的界面态密度最低的原因。综上所述，在实际的 SiC 材料流片实验中，最好选择初始应力状态为受到尽量小的压应力的外延片，更有利于得到好的实验结果；

5.2 研究展望

本论文主要研究了 SiC MOS 器件中 SiC 材料应力对 SiO₂/SiC 界面的影响机理，通过硼离子背面注入的方式改变宏观应力，以及通过背面减薄工艺的方式改变宏观应力，进行了 SiO₂/SiC 界面态密度的测试表征分析。但是还有一些不足之处：

(1) 本实验关于背面离子注入工艺和背面减薄工艺对于应力的影响的量化关系研究的不够深入，并且应力对界面态密度影响的量化分析的数据量有所欠缺，没有进行进一步大量的实验研究；

(2) 由于工艺条件和测试条件的限制，测试内容没有进一步展开，如背面离子注入致应力和背面减薄致应力对 SiC MOS 器件电学特性的影响，以及表面

粗糙度、迁移率的测试分析等；

(3) 对于界面态密度的表征以及应力对界面质量的影响机理测试方案，需进一步深入研究；

针对以上本实验的不足，下一步工作的建议如下：

(1) 深入研究第一性原理计算，深入研究应力对 SiC MOSFET 的原子层面的影响机理；

(2) 在以上实验的基础上，多次进行实验，对数据进行详细的分析，以研究应力对于界面态的量化关系；

(3) 在改善 SiC MOS 电容界面态密度的基础上，进一步开展电学方面的实验，研究应力相关工艺对电学特性的影响。