



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

3300V SiC MOSFET 设计及可靠性研究

作者姓名: 陈 宏

指导教师: 韩郑生 研究员

中国科学院微电子研究所

企业导师: 邱宇峰 教授级高工

全球能源互联网研究院

学位类别: 工程博士

学科专业: 电子与信息

培养单位: 中国科学院微电子研究所

2019 年 6 月

Investigation on Design and Reliability of 3300V SiC MOSFET

**A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Doctor of Engineering
in Electronics and Information**

By

Hong Chen

Supervisor: Zhengsheng Han

Institute of Microelectronics of Chinese Academy of Sciences

June 2019

中国科学院大学
研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名： 陈宏
日 期： 2019.5.21

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名： 陈宏
日 期： 2019.5.21

导师签名： 胡卫光
日 期： 2019.5.21

摘 要

碳化硅(Silicon Carbide, SiC)功率器件因其卓越的材料特性得到了快速的发展, 其中金属-氧化物-半导体场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)是其中核心器件之一, 在新能源汽车、光伏、风电、轨道交通、智能电网等领域具有巨大的应用前景。目前中低压 SiC MOSFET 已经商业化, 高压 SiC MOSFET 已经出现样品及并且逐步在轨道交通等领域展开试用。实际应用中除对 SiC MOSFET 电流电压等基本性能参数的要求外, 对其鲁棒性及可靠性也有很高的要求。鲁棒性是指其承受超出工作边界的能力, 包括抗浪涌能力、抗雪崩能力及短路能力等。可靠性是指其在工作边界内长期使用的寿命, 通常通过加速老化试验来进行预估。本文主要围绕 3300V SiC MOSFET 的仿真设计、性能评估、短路鲁棒性及可靠性展开研究工作, 主要研究成果如下:

1) 完成了 3300V SiC MOSFET 的设计仿真, 从材料参数、结构参数及工艺参数等几个方面探索了 3300V SiC MOSFET 的设计要素, 并实现了不同结构的 3300V SiC MOSFET 器件研制。

2) 完成了所研制 3300V SiC MOSFET 的静、动态特性的测试分析, 包括击穿特性、阈值电压、导通电阻及开关特性等, 并将实际测试结果与仿真结果进行对比分析。所研制的 3300V SiC MOSFET 击穿电压大于 4250V, 比导通电阻为 $27\text{m}\Omega\cdot\text{cm}^2$, 阈值电压为 2.6V。

3) 通过不同条件下的短路测试及仿真分析, 详细研究了 3300V SiC MOSFET 短路机理及短路时内部载流子的行为规律。通过测试发现, 所研制的 3300V SiC MOSFET 最大短路时间达到 $22\mu\text{s}$ 。借助 Sentaurus TCAD 仿真分析, 短路时芯片内部最大温度达到 1100K 以上时, 会激发出空穴电流, 空穴注入到栅氧化层中会造成栅极电压的下降, 当内部最高温度超过 1700K 时, 器件会发生失效。温度激发的空穴电流足够大时, 会使寄生 NPN 管开启, 器件直接失效; 当空穴电流足够小时, 空穴电流会在关断后慢慢降低至零, 器件不会发生失效;

当空穴电流大小不足以触发寄生 NPN 管开启,但在关断后会造成电流拖尾,引起热电正反馈,导致器件热失效。此外还发现芯片内部最高温度点出现在栅氧正下方 $3.5\mu\text{m}$ 左右,空穴电流会随温度升高而呈指数增大。最后,基于优化短路时内部空穴电流路径的方法,提出了一种提高短路能力的设计方案。

4) 对 3300V SiC MOSFET 的可靠性展开研究,完成高温反偏(High Temperature Reverse Bias, HTRB)和高温栅偏(High Temperature Gate Bias, HTGB)两项试验。通过仿真及试验,验证了高压 SiC MOSFET 反偏状态下栅氧电应力问题,得到了不同温度下栅氧电应力与反偏电压的关系,对于这种失效隐患需要在设计及应用中引起重视。

关键词: 碳化硅, 金属-氧化物-半导体场效应晶体管, 设计, 短路鲁棒性, 可靠性

Abstract

Silicon Carbide power devices have developed rapidly due to its excellent material properties, of which MOSFET is one of the most important devices. There are huge demands in the new energy automobiles, photovoltaic, wind power, rail traction, smart grid and other fields. So far, the medium and low voltage SiC MOSFETs have been commercialized, while the high voltage SiC MOSFETs are in the stage of sample and trial. In the practical applications, besides the fundamental performance parameters of SiC MOSFET, the robustness and reliability are also very important. Robustness refers to its ability to withstand surge, avalanche and short circuit beyond the working boundary, while reliability means the lifetime under normal conditions, which is predicted by the accelerated aging test. This dissertation focuses on the design, fabrication, characteristics analysis, short circuit robustness and reliability of 3300V SiC MOSFET. The main research contents and achievements are as follows:

1) Complete the design and simulation of 3300V SiC MOSFET, and achieve the key design elements of 3300V SiC MOSFET from the material, structure and process parameters. Subsequently, different 3300V SiC MOSFETs have been manufactured.

2) The static and dynamic characteristics of 3300V SiC MOSFETs have been studied carefully, including breakdown voltage, threshold voltage, on-resistance and switching performance. In addition, the test results are compared with the simulation results. This 3300V SiC MOSFET's breakdown voltage is greater than 4250V, the specific on-resistance is about $27\text{m}\Omega\cdot\text{cm}^2$ and the threshold voltage is 2.6V.

3) The short circuit performances of 3300V SiC MOSFET have been studied in detail by testing and simulation. The short circuit tests are carried out under different conditions, and the max short circuit time reaches to $22\mu\text{s}$. With the Sentaurus TCAD, the hole current appears when the max temperature exceeds 1100K during the short circuit process. The hole will inject into the gate oxidation,

causing the reduction of gate voltage. While the max temperature exceeds 1700K, the failure occurs. If the hole current is large enough, it will lead to short failure directly due to the parasitic NPN working, while the hole current is small enough, the hole current will decrease to zero slowly. Otherwise, the hole current is insufficient to turn on the parasitic transistor, and it will cause the current tailing and lead to thermal runaway. The max temperature in the chip appears about $3.5\mu\text{m}$ below the center of the gate oxidation, and the hole current increases exponentially with the max temperature. Furthermore, a new design aimed to enhance the short circuit capability is proposed, which is based on optimizing the path of hole current.

4) The reliability of 3300V SiC MOSFETs is studied. Furthermore, the HTRB and HTGB tests are carried out. The electrical stress of gate oxidation under reverse bias is verified by tests and simulation, and the relationship between gate oxidation stress and reverse voltage is obtained under different temperatures. This potential failure risk should be paid attention to in design and application.

Key Words: SiC, MOSFET, Design and Fabrication, Short Circuit Robustness, Reliability

目 录

第 1 章 绪 论	1
1.1 SiC 材料器件及应用.....	1
1.2 SiC MOSFET 简介.....	3
1.3 3300V SiC MOSFET 研究现状.....	5
1.4 研究内容.....	7
第 2 章 3300V SiC MOSFET 设计研究	11
2.1 迁移率模型校准.....	11
2.2 3300V SiC MOSFET 仿真设计	15
2.2.1 元胞击穿电压设计.....	17
2.2.2 终端击穿电压设计.....	22
2.2.3 阈值电压设计.....	26
2.2.4 导通电阻设计.....	28
2.2.5 设计结果汇总.....	35
2.3 版图设计.....	35
2.4 本章小结.....	37
第 3 章 3300V SiC MOSFET 制造及测试	39
3.1 3300V SiC MOSFET 流片及封装.....	39
3.2 器件特性测试研究.....	40
3.2.1 击穿电压分析.....	40
3.2.2 阈值电压分析.....	43
3.2.3 输出特性分析.....	44
3.2.4 其他特性分析.....	45
3.3 仿真及测试结果对比.....	47
3.4 本章小结.....	48
第 4 章 3300V SiC MOSFET 开关及短路特性研究	51
4.1 开关特性测试研究.....	51
4.1.1 测试原理及参数定义.....	51
4.1.2 不同设计开关特性研究.....	53
4.1.3 开关条件影响分析.....	56

4.2 短路测试研究.....	61
4.2.1 短路测试原理及失效机理.....	61
4.2.2 短路条件影响分析.....	63
4.2.3 最大短路能力研究.....	66
4.2.4 脉冲短路测试研究.....	69
4.3 短路仿真研究.....	70
4.3.1 不同设计短路仿真分析.....	71
4.3.2 短路过程内部状态研究.....	77
4.3.3 脉冲短路仿真研究.....	79
4.4 新型抗短路设计.....	82
4.5 本章小结.....	85
第 5 章 3300V SiC MOSFET 可靠性研究	87
5.1 SiC 功率器件可靠性试验方法.....	87
5.2 HTRB 试验分析	88
5.3 HTGB 试验分析.....	91
5.4 反偏时栅氧电应力研究.....	95
5.5 本章小结.....	101
第 6 章 总结与展望	103
6.1 研究总结.....	103
6.2 创新点.....	104
6.3 展望.....	104
参考文献	107
致 谢.....	115
作者简历及攻读学位期间发表的学术论文与研究成果	116

第1章 绪论

碳化硅(Silicon Carbide, SiC)功率器件因其卓越的材料优势,近年来得到迅速的发展。因其高压、高频、高温、高功率密度等器件特性,在高效电能转换领域具有巨大的市场,其中以金属-氧化物-半导体场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)的发展最为引人注目,在电源、新能源汽车、轨道交通、智能电网等领域中具有广阔的应用前景。

1.1 SiC 材料器件及应用

碳化硅材料是碳(C)元素和硅(Si)元素形成的化合物,目前已经发现超过200种 SiC 同质异形晶体结构,其中 3C-、4H-和 6H-SiC 是最为常见的三种结构。因 C、Si 原子的排列方式不同,不同晶型的 SiC 材料具有不同的电学、光学和热学特性。表 1.1 列出了 Si、4H-和 6H-SiC 的关键电学参数^[1]。

表 1.1 Si, 4H-, 6H-SiC 电学参数对比

特性	单位	Si	4H-SiC	6H-SiC
禁带宽度	eV	1.1	3.2	3.0
击穿场强	MV/cm	0.3	//c: 3.0	//c: 3.2
($N_D=10^{17}\text{cm}^{-3}$)			$\perp$ c: 2.5	$\perp$ c: >1
热导率	$\text{Wcm}^{-1}\text{K}^{-1}$	1.5	3~5	3~5
本征载流子浓度	cm^{-3}	10^{10}	$\sim 10^{-7}$	$\sim 10^{-5}$
饱和电子漂移速度	10^7cm/s	1	2	2
电子迁移率	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	1200	//c: 800	//c: 60
($N_D=10^{16}\text{cm}^{-3}$)			$\perp$ c: 800	$\perp$ c: 400
空穴迁移率	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	420	115	90
($N_D=10^{16}\text{cm}^{-3}$)				

相对于 6H-SiC 而言, 4H-SiC 具有更高的载流子迁移率和更低的本征载流子浓度, 对于制造高压、高频和高温的电力电子器件具有更大的优势。此外,

4H-SiC 在水平和垂直方向具有相同的电子迁移率,更适于高压垂直结构的功率器件。

相比于 Si 材料,4H-SiC 材料具有如下优势:

(1) 4H-SiC 材料禁带宽度大,临界击穿场强高,这使得实现相同耐压的情况下,SiC 器件需要的漂移区厚度更薄,可以降低器件的导通电阻,降低导通损耗。更宽的禁带宽度,可以显著降低 SiC 器件高温下的漏电流,使得 4H-SiC 具有更高的工作温度。此外,更宽的禁带宽度也可以提高器件的抗辐照能力。

(2) 4H-SiC 材料热导率高,可以提高器件的散热能力,使得器件具有更高的热稳定性。

(3) 4H-SiC 材料饱和电子漂移速度高,可以提高器件的电流能力,同时可以使器件更快速的关断。

4H-SiC 是目前综合性能最好、商品化程度最高、技术成熟度最高的 SiC 材料。由于缺乏高品质的衬底,目前 SiC 器件都是在衬底上生长一层规定掺杂浓度、厚度的外延层中制备。

碳化硅功率器件的发展经历了与硅器件相同的历程,如图 1.1 所示,主要包括二极管和晶体管两大类。其中二极管主要有肖特基势垒二极管(Schottky Barrier Diode, SBD)、结势垒肖特基二极管(Junction Barrier Schottky Diode, JBS)、PiN 功率二极管和混合 PiN 肖特基二极管(Merged PiN Schottky Diode, MPS)四大类;晶体管主要包括结型场效应晶体管(Junction Field Effect Transistor, JFET)、金属氧化物半导体场效应晶体管(MOSFET)、双极型晶体管(Bipolar Junction Transistor, BJT)、绝缘栅双极型晶体管(Insulated Gate Bipolar Transistor, IGBT)和门极可关断晶闸管(Gate Turn-Off Thyristor, GTO)五大类。其中 SBD、JBS、JFET 和 MOSFET 为单极器件,其余为双极器件。

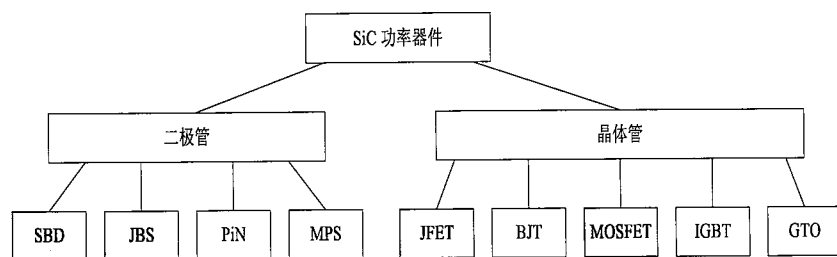


图 1.1 SiC 功率器件分类

2001 年,德国英飞凌 (Infineon) 公司最先发布了碳化硅肖特基功率二极管产品,同年美国科锐 (Cree) 公司也宣布实现了碳化硅肖特基功率二极管的产业化。2010 年日本罗姆 (Rohm) 公司首先量产 SiC MOSFET 产品,2011 年美国科锐公司开始销售 SiC MOSFET 产品^[2]。SiC IGBT 和 GTO 等双极器件由于技术难度更大,仍处于研发阶段^[3]。SiC SBD、JBS、MPS 二极管和 JFET、MOSFET 晶体管由于其性能优越、技术成熟度高,是目前已经商业化的碳化硅功率器件。

碳化硅功率器件因其材料特性具有高电压、大电流密度、高温、高频等优势,将极大的提高电能的转换效率,对高效能源转换领域具有重大的影响,主要应用在电源管理、光伏逆变、电动汽车、轨道交通、智能电网等领域^[4]。

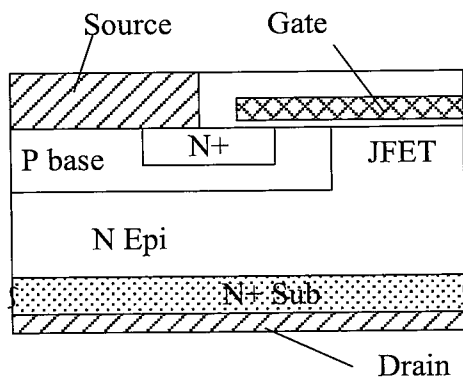
1.2 SiC MOSFET 简介

对于 Si MOSFET 器件而言,漂移区的电阻随着击穿电压的增大而迅速增大,成为 Si 高压 MOSFET 导通电阻的主要部分,限制了其在大功率领域的应用,目前传统的 Si MOSFET 的电压一般低于 600V^[5]。超结 MOSFET (Super Junction, SJ-MOSFET) 的出现,降低了其漂移区的厚度,提高了其电压上限,但目前商业化超结 MOSFET 的耐压也基本在 1000V 以下^[6]。IGBT 的出现,由于其漂移区的电导调制效应,大大降低了漂移区的电阻,使其迅速成为功率市场的宠儿,在中大功率领域具有巨大的应用市场^[7]。但由于 IGBT 是双极器件,在关断后因电子空穴复合带来的电流拖尾,增加了其开关损耗,限制了其在高频领域的应用。

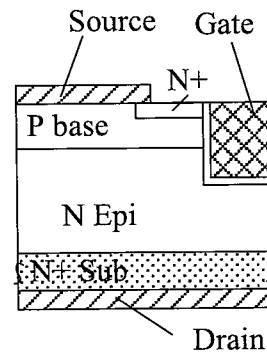
由于 SiC 材料的击穿场强大约是 Si 材料的 10 倍,在实现相同耐压的情况下, SiC 器件漂移区的厚度只有 Si 器件的 1/10,并且由于 SiC MOSFET 是单极器件,与 Si IGBT 相比不存在电子空穴复合带来的电流拖尾问题,开关速度快,更适合在高频领域的应用。但 SiC MOSFET 也存在一些难点:首先,为实现不同掺杂而注入的 Al、N 等元素,在 SiC 材料中扩散系数很小,无法沿用传统的 DMOS 双扩散工艺;其次,因为 SiC 材料击穿场强高,导致栅氧化层中的场强很容易超过其临界击穿场强而造成失效;最后,因为 SiC 材料与 SiO₂ 材料能级

相近，容易造成载流子注入到氧化层中，使得氧化层发生退化，造成长期使用的可靠性问题。此外，SiC MOSFET 器件的栅氧工艺尤为关键，需要在沟道迁移率跟阈值电压的大小方面进行取舍折中^[8]。这些问题是早期限制 SiC MOSFET 发展的主要原因，近年来通过工艺的优化及结构的创新，基本得到了解决，使得 SiC MOSFET 迅速进入商业化。

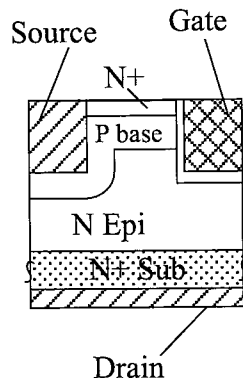
SiC MOSFET 按照沟道的方向可以分为平面型 MOSFET(Planar MOSFET)和沟槽型 MOSFET(Trench MOSFET)。其截面示意图如图 1.2 所示，图 1.2a 为平面栅 MOSFET，图 1.2b 为沟槽栅 MOSFET。



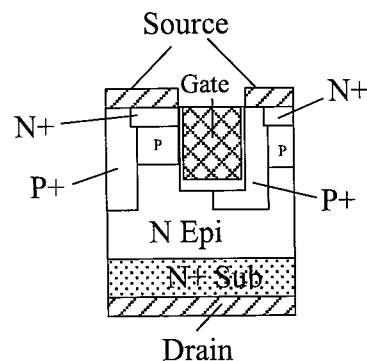
a. 平面栅 MOSFET



b. 沟槽栅 MOSFET



c. 双沟槽栅 MOSFET



d. 改进型沟槽栅 MOSFET

图 1.2 平面型和沟槽型 MOSFET 截面图

平面型 SiC MOSFET 工艺相对简单，但 JFET 区域会存在“颈”效应，会阻碍电流的流动造成导通电阻加大，在 JFET 区进行 N 型的 JFET 注入或者采用载流子扩展(Carrier Spreading Layer, CSL)技术可以一定程度上降低该区域电阻，另外平面栅结构整个元胞的尺寸相对较大，Cree 公司的 MOSFET 产品均

是平面型 MOSFET^[9,10]。与 Si 功率器件一样,为克服 JFET 区域电阻,沟槽型 MOSFET 被开发出来,如图 1.2b 所示。通过垂直沟道,消除了 JFET 区域的电阻,同时减小了元胞结构的横向尺寸。但这种结构存在一个缺点, SiC 沟槽刻蚀只能由干法形成,沟槽底部拐角基本为直角,该位置容易形成电场尖峰引起失效。为克服这个弊端, Rohm 公司开发出双沟槽栅 MOSFET,如图 1.2c 所示,同时增加沟槽底部氧化层的厚度,以提高器件的可靠性^[11,12],但这种结构的两个沟槽之间,也会对电流有一定的夹断。Infineon 公司的改进型沟槽型 MOSFET 只使用了一侧的沟道,另外一侧的沟槽被深注入的 Pbase 包裹,在反偏时 Pbase 耗尽保护另外一侧的沟槽拐角,如图 1.2d 所示,这种结构也会牺牲一定的电流能力^{[13][14]}。

1.3 3300V SiC MOSFET 研究现状

3300V SiC MOSFET 由于其高频高压的特性,未来在机车牵引、轨道交通及智能电网方向有巨大的应用前景,目前国际上的厂商对于 3300V 的 SiC MOSFET 主要围绕器件制造、鲁棒性及可靠性几个方面展开研究工作,国内相关的研究较少。

1.3.1) 器件制造

Cree、GE 分别在 2009 年和 2012 年报道了 3300V SiC MOSFET 的器件^[15,16],其结构为普通的平面栅 SiC MOSFET,其比导通电阻($R_{on,sp}$)在 $20\sim 27\text{m}\Omega\cdot\text{cm}^2$,击穿电压大约为 3800V,GE 公司还对其研制的器件进行了开关特性的评估。

Mitsubishi 公司报道了一款对 JFET 区域进行注入的 3300V SiC MOSFET^[17,18,19],其器件是在厚度 $30\mu\text{m}$ 、浓度 $3\times 10^{15}\text{cm}^{-3}$ 外延层上制备而成,通过 N 型离子注入, JFET 区域形成了大约 $1\mu\text{m}$ 深,浓度为 $1\times 10^{17}\text{cm}^{-3}$ 的注入区,这种设计可以有效的降低 JFET 区域的导通电阻,该款芯片击穿电压大约为 3740V,比导通电阻大约为 $15\text{m}\Omega\cdot\text{cm}^2$,其安全工作区优于 Si 器件。利用该芯片制备成的 3300V/1500A 全 SiC 模块被使用在机车牵引逆变器中,与传统的 Si 器件相比,损耗大约降低了 55%^[19]。

Sumitomo 公司报道的 3300V SiC MOSFET 中^[20,21,22],对终端注入区进行了

优化,有效解决了终端电场集中的问题,其优化后的终端效率达到 94%,该款芯片击穿电压 3850V,比导通电阻为 $14.2\text{m}\Omega\cdot\text{cm}^2$ 。

AIST& Fuji Electric& Sumitomo Electric 在 2016 年报道了基于载流子扩展层(CSL)技术的 3300V SiC MOSFET^[23],其击穿电压 3978V,比导通电阻 $11.6\text{m}\Omega\cdot\text{cm}^2$,同时对终端进行优化设计,其雪崩耐量达到 $4.6\text{J}/\text{cm}^2$ 。

日本 AIST 在 2016 年报道了一款沟槽型的 3300V SiC MOSFET,在沟槽底部进行 P 型埋层设计,该设计可以有效的抑制沟槽底部电场,其击穿电压达到 3740V,比导通电阻极低,大约为 $8\text{m}\Omega\cdot\text{cm}^2$ ^[24,25],这是仅有的沟槽型 3300V SiC MOSFET 的报道。

综合调研可以看到,3300V SiC MOSFET 从普通的平面栅结构开始发展,外延层规格基本为厚度 $30\mu\text{m}$ 、浓度 $3\times 10^{15}\text{cm}^{-3}$ 左右,比导通电阻在 $25\text{m}\Omega\cdot\text{cm}^2$ 左右,后续通过采用 JFET 区注入、CSL 技术和 Trench 结构来降低 JFET 区域的电阻,器件的比导通电阻降低到 $8\sim 15\text{m}\Omega\cdot\text{cm}^2$,此外在器件的终端设计方面也进行了一定的研究,器件的击穿电压一般在 3800V 左右。器件完成制备后对器件的静态特性、开关特性进行了一系列的分析研究。

1.3.2) 鲁棒性及可靠性方面

ABB 公司研究了不同结构的 3300V SiC MOSFET 的短路及体二极管的浪涌能力,其报道的 3300V SiC MOSFET 短路能力可以大于 $10\mu\text{s}$,其体二极管可以承受 9ms、15 倍额定电流的浪涌冲击^[26]。United Silicon Carbide 公司研究了沟道密度对导通电阻及短路特性的影响,同时对不同栅电阻 R_G 、不同开关电流 I_D 的关断波形进行了测试分析^[27,28]。Cree 公司 2018 年报道的文章同样对 3300V SiC MOSFET 进行了不同条件下的开关特性分析^[29]。诺丁汉大学也将多个芯片并联封装成 3300V/100A 模块,并利用 MOSFET 自身的体二极管,进行了开关特性的研究^[30]。

Mitsubishi 公司公布了其针对 3300V SiC MOSFET 体二极管退化方面的研究^[31,32],分析了不同的缓冲层厚度对体二极管性能的影响,此外他们还提出一种新的结构,在 SiC MOSFET 体二管区域集成一个肖特基二极管,使得器件在反向续流工作时,电流流过的是肖特基二极管而非体二极管,以此解决体二极

管退化的问题。Hitachi 公司也研究了工艺条件对体二极管退化的影响,并对引起体二极管退化的缺陷衍变机制进行了探索^[33,34]。

United Silicon Carbide 公司对 3300V SiC MOSFET 进行了高温反偏(High Temperature Bias, HTRB)、高温高湿(High Temperature and Humidity Bias, H3TRB)的可靠性试验研究^[28]。Hitachi 公司利用电流泵的方法对不同结构的栅氧可靠性进行了研究^[35,36],同时提出一种短路能力测试的方法,可以在不损坏器件的前提下评估器件的短路能力。Cree 公司使用传统的平面栅 MOSFET 器件,进行了产品级批量的 HTRB 试验^[37],试验结果显示传统结构的平面栅 SiC MOSFET 的可靠性能够满足大规模应用需求,同时利用栅氧电容结构对栅氧的可靠性也进行了评估。

综上所述,在鲁棒性及可靠性方面,3300V SiC MOSFET 研究主要集中在不同条件的开关特性和短路特性的分析、体二极管退化的机理以及解决方案。此外各厂商还利用不同的手段对栅氧的可靠性进行了表征,也进行了批量产品级可靠性评估,证明了传统的平面栅 3300V SiC MOSFET 满足应用需求。

1.3.3) 国内研究进展

国内对于 3300V SiC MOSFET 的研究较少,从文献报道来看,仅有中国电科集团第五十五研究所相关报道^[38,39],他们在 2015 年和 2018 年分别报道了其制备的 3300V/5A 及 10A 的 SiC MOSFET,结构为传统的平面栅 MOSFET,所用外延材料厚度为 30~32 μm ,浓度为 $2.5\times 10^{15}\sim 2.8\times 10^{15}\text{cm}^{-3}$,所研制的器件击穿电压大于 3500V,通过缩短沟道长度比导通电阻从 $33\text{m}\Omega\cdot\text{cm}^2$ 优化至 $19.7\text{m}\Omega\cdot\text{cm}^2$,主要研究集中在器件结构及参数的优化方面。

1.4 研究内容

如前文介绍,因材料特性 SiC 在电力电子领域具有巨大的优势,其高频、高温、高功率密度的特性极度契合功率器件未来的应用需求。SiC MOSFET 因其材料优势得到快速的发展,在中低压领域已经进入到应用领域,如充电桩、电动汽车等。高压 SiC MOSFET 的研究相对较慢,国外仅 Cree、Mitsubishi、Hitachi 等几家公司有相关报道,并且研究主要集中在其性能参数方面,对其鲁

棒性、可靠性的研究也刚刚起步。国内针对 3300V SiC MOSFET 的研究仅有中国电科集团第五十五研究所有过报道，但仅局限在器件的性能参数方面。本文借助 Sentaurus TCAD 仿真工具，对 3300V SiC MOSFET 的设计进行全面的探索，在流片制造完成后，对其静态、动态等性能进行系统的评估，最后对其短路特性及可靠性进行了较详细的测试分析及仿真研究，并针对提升短路能力及栅氧可靠性方面提出了新的方案，具体研究内容如下：

第一章绪论。概述 SiC 材料特性、器件类别及应用情况，介绍 SiC MOSFET 的结构及工作原理，对国内外 3300V SiC MOSFET 发展现状进行汇总分析，同时提出本论文的主要研究内容。

第二章 3300V SiC MOSFET 的设计仿真。基于 Sentaurus TCAD 开展 3300V SiC MOSFET 设计仿真研究，探索击穿电压、阈值电压、输出特性等特性参数的设计关键，并分析材料、结构及工艺对其特性参数的影响，提出三种元胞结构及三种终端结构，完成版图设计。

第三章 3300V SiC MOSFET 的研制及测试分析。在完成 3300V SiC MOSFET 研制后，对 3300V SiC MOSFET 的电学特性进行了全面评估，包括击穿特性、阈值电压、输出特性、电容特性及热阻等，并将测试结果与仿真结果进行了对比分析。

第四章 3300V SiC MOSFET 开关及短路特性研究。研究了栅电阻、栅开启电压及母线电压等条件对开关过程及短路过程的影响，测试结果显示所研制的 3300V SiC MOSFET 最大短路能力大于 $22\mu\text{s}$ 。借助 Sentaurus TCAD 对短路过程中器件内部的状态进行研究，对芯片温度、电流的空间分布及随时间变化的关系进行了分析，并指出空穴电流在短路失效中的重要影响。最后根据测试及仿真结果，提出了一种提升短路能力的新器件结构。

第五章 3300V SiC MOSFET 可靠性研究。探索 3300V SiC MOSFET 的可靠性试验方法，并对制备的器件进行了 HTRB 和 HTGB 的可靠性试验。另外指出了高压 SiC MOSFET 反偏状态下栅氧电应力的问题，通过理论分析及试验验证指出了该模式下栅氧存在的隐患，需要在设计及应用中引起重视，最后提出几种可行的解决方案。

第六章总结和展望。最后对本文所述研究工作进行总结，并在此基础上对后续工作进行展望。

第2章 3300V SiC MOSFET 设计研究

本章基于 Sentaurus TCAD 软件开展 3300V SiC MOSFET 的仿真研究，在完成仿真模型校准后，从外延材料规格、器件结构、工艺条件等方面对 3300V SiC MOSFET 的设计要点进行探索，最后基于仿真结果完成 3300V SiC MOSFET 的版图设计。

2.1 迁移率模型校准

为准确的完成 SiC 的设计仿真，对 SiC 仿真的模型进行了研究，主要包括迁移率模型、复合模型及不完全离化模型，其中最重要的为迁移率模型。SiC 仿真的软件主要有 Sentaurus 和 Silvaco，这两款仿真软件中的模型也在不断的更新。本论文的仿真工作主要基于 Sentaurus 完成，其仿真模型校准工作是在 Sentaurus 自带模型的基础上，对迁移率模型中的部分参数针对实际工艺进行修正，其他则使用软件自带模型。

当器件的迁移率受多个因素共同影响时，其最终的迁移率如公式 2.1 所示：

$$\frac{1}{\mu} = \frac{1}{\mu_1} + \frac{1}{\mu_2} + \dots \quad (2.1)$$

式中 μ 为最终迁移率， μ_1 、 μ_2 ...为不同影响因素的迁移率。

对于 SiC 材料的迁移率，其体材料内部影响迁移率的主要因素有声子散射、载流子散射；对于 SiC MOSFET 表面沟道处，迁移率还受到表面电场、表面粗糙度等影响。

a) 声子散射

SiC 材料的体迁移率主要受声子散射的影响，其基本关系式如公式 2.2 所示：

$$\mu_{const} = \mu_L \left(\frac{T}{300K} \right)^{\zeta} \quad (2.2)$$

式中 μ_{const} 为受声子散射影响后的迁移率， μ_L 为材料的迁移率， T 为晶格温度， ζ 为修正系数。

对于 4H-SiC 而言，其材料为各向异性，因此在平行于碳(C)面与垂直于碳

面两个方向该部分系数略有不同, 表 2.1 给出了公式 2.2 中的相关参数^[40]:

表 2.1 4H-SiC 声子散射模型系数

符号	晶向	电子	空穴	单位
μ_L	$\perp c$	950	125	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$
	$//c$	1140	125	
ζ	$\perp c$	2.4	2.15	1
	$//c$	2.4	2.15	

b) 载流子散射

对于被掺杂的材料来说, 其迁移率同时还受掺杂浓度的影响, Masetti Model 是最常用描述该影响的模型, 其基本表达式如公式 2.3 所示^[41]:

$$\mu_{dop} = \mu_{min1} \exp\left(-\frac{P_C}{N_{A,0} + N_{D,0}}\right) + \frac{\mu_{const} - \mu_{min2}}{1 + [(N_{A,0} + N_{D,0}) / C_r]^\alpha} - \frac{\mu_1}{1 + [C_s / (N_{A,0} + N_{D,0})]^\beta} \quad (2.3)$$

式中 μ_{dop} 为受载流子散射影响后的迁移率, μ_{const} 为低掺杂下的参考迁移率, 已经由式 2.2 给出; μ_{min1} 、 μ_{min2} 、 μ_1 是参考迁移率, P_C 、 C_r 、 C_s 为参考的浓度, α 、 β 为修正系数。同样对于 4H-SiC 而言, 这部分系数如表 2.2 所示^[40,42,43,44]:

表 2.2 4H-SiC 载流子散射模型系数

符号	晶向	电子	空穴	单位
μ_{min1}	$\perp c$ & $//c$	40	15.9	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$
μ_{min2}	$\perp c$ & $//c$	40	15.9	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$
μ_1	$\perp c$ & $//c$	0	0	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$
P_C	$\perp c$ & $//c$	0	0	cm^{-3}
C_r	$\perp c$ & $//c$	1.94×10^{17}	1.76×10^{19}	cm^{-3}
C_s	$\perp c$ & $//c$	3.43×10^{20}	6.10×10^{20}	cm^{-3}
α	$\perp c$ & $//c$	0.61	0.34	1
β	$\perp c$ & $//c$	2	2	1

c) 表面散射

Enhanced Lombardi Model 常用来描述材料表面散射, 其主要包括表面声子散射和表面粗糙度散射^[45]。对于 SiC MOSFET 而言, 受表面散射等因素的影响, 实际制造器件的沟道迁移率远低于体内迁移率。公式 2.4、公式 2.5 分别是表面声子散射和表面粗糙度散射的模型:

$$\mu_{ac} = \frac{B}{F_{\perp}} + \frac{C[(N_{A,0} + N_{D,0}) / N_0]^2}{F_{\perp}^{1/3}(T / 300K)} \quad (2.4)$$

$$\mu_{sr} = \left[\left(\frac{F_{\perp} / F_{ref}}{\delta} \right)^2 + \frac{F_{\perp}^3}{\eta} \right]^{-1} \quad (2.5)$$

其中 μ_{ac} 为表面声子散射, μ_{sr} 为表面粗糙度散射。B、C、 λ 、 δ 、 η 为相应系数, $N_{A,0}$ 与 $N_{D,0}$ 分别为受主与施主的掺杂浓度; F_{ref} 为 1V/cm, N_0 为 1cm^{-3} 以保证量纲的统一, $F_{\perp}$ 为垂直于半导体界面的场强。同时将体材料的迁移率 μ_L 考虑进来, 最终的表面迁移率由式 2.6 给出:

$$\frac{1}{\mu} = \frac{1}{\mu_L} + \frac{D}{\mu_{ac}} + \frac{D}{\mu_{sr}} \quad (2.6)$$

式中 D 表面深度比例系数, 由式 2.7 所示:

$$D = -\frac{x}{l_{crit}} \quad (2.7)$$

其中 x 为距离界面的距离, l_{crit} 为临界深度, 其值为 10nm。表 2.3 给出了 4H-SiC 表面散射模型中的相关系数^[46,47]。

表 2.3 4H-SiC 表面散射模型系数

符号	晶向	电子	空穴	单位
B	$\perp c$ & $\parallel c$	1×10^6	9.92×10^6	cm/s
C	$\perp c$ & $\parallel c$	280	2.95×10^3	$\text{cm}^{5/3} \text{V}^{-2/3} \text{s}^{-1}$
λ	$\perp c$ & $\parallel c$	0.125	0.0317	1
δ	$\perp c$ & $\parallel c$	5.82×10^{14}	2.05×10^{14}	$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$
η	$\perp c$ & $\parallel c$	5.82×10^{30}	2.06×10^{30}	$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$

d) 高场饱和

在大电场下，载流子的漂移速度不再与电场强度成正比，而是饱和到一个有限的速度，Extended Canali Mode 常用来描述迁移率在大电场下的这个变化^[48]。式 2.8 给出高场饱和模型：

$$\mu_F = \frac{\mu_{low}}{\left[1 + \left(\frac{\mu_{low} F_{hfs}}{v_{sat}}\right)^\beta\right]^{1/\beta}} \quad (2.8)$$

式中 μ_F 是高场饱和下的迁移率， μ_{low} 是低场下的迁移率，它综合了前述的声子散射、载流子散射及表面散射等因素的影响； v_{sat} 为载流子漂移速度， F_{hfs} 为电场强度， β 是与温度相关的系数，如式 2.9 所示：

$$\beta = \beta_0 \left(\frac{T}{300K}\right)^{\beta_{exp}} \quad (2.9)$$

表 2.4 给出了 4H-SiC 高场饱和模型中的各个系数^[49,50]。

表 2.4 4H-SiC 高场饱和模型系数

符号	晶向	电子	空穴	单位
β_0	$\perp c$ & $//c$	1.2	1.2	1
β_{exp}	$\perp c$ & $//c$	1	1	1
v_{sat}	$\perp c$	2.2×10^7	2.2×10^7	cm/s
	$//c$	1.9×10^7	1.9×10^7	cm/s

e) 模型校准

通过对迁移率模型的研究，对迁移率模型进行优化调整，主要是对表面散射模型中的相关系数进行了数值拟合，使得仿真曲线与实际曲线匹配，得到图 2.1 所示的结果。

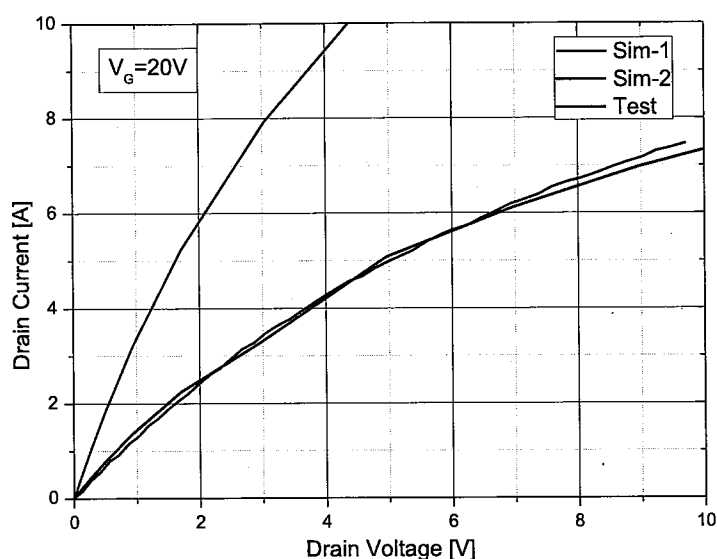


图 2.1 仿真模型校准

可以看到，直接使用软件默认参数，图 2.1 中输出特性曲线(Sim-1)与实际测试结果(Test)相差很大。通过前述模型中系数的优化，主要是表面散射部分系数(表 2.3 中 B、C)优化，使得器件的沟道迁移率与实际匹配，得到图 2.1 中的仿真曲线(Sim-2)与实际测试曲线高度吻合，后续的仿真模拟工作基于该校准后的模型进行。

2.2 3300V SiC MOSFET 仿真设计

对于 3300V SiC MOSFET 的仿真设计，主要从材料规格、器件结构及工艺参数等方面展开研究，借助 Sentaurus TCAD 完成器件击穿电压设计、阈值电压设计及导通电阻设计，并分析各因素对器件特性的影响。

按照 Cree 公司的大批次的可靠性试验结果^[37]，传统平面栅 MOSFET 的可靠性满足应用需求，考虑到初次设计流片，选择该相对简单的结构，同时对芯片元胞及终端的结构设计进行拉偏。仿真所用的平面栅 MOSFET 如图 2.2 所示。

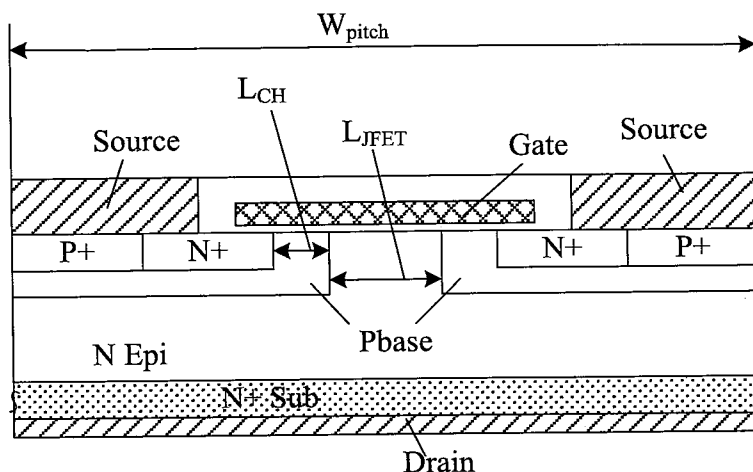


图 2.2 3300V SiC MOSFET 截面图

图 2.2 中 W_{pitch} 为元胞的宽度、 L_{CH} 为沟道长度、 L_{JFET} 为 JFET 区域的尺寸，是 MOSFET 器件设计中的关键尺寸。Pbase 区域的注入，关系到击穿电压及阈值电压两个关键参数，一方面要保证 Pbase 区域表面的浓度合适，以达到既定的阈值电压值，另一方面要保证反向偏置时 Pbase 区域不发生击穿^[51]，综合这两方面考虑，以最终确定 Pbase 掺杂分布；N+、P+区域的掺杂要保证与源极形成良好的欧姆接触；JFET 区域的掺杂可以有效的降低 JFET 区域的电阻。综合这多方面考虑，3300V SiC MOSFET 仿真所用的各区域基准的掺杂分布如图 2.3 所示，在后续的仿真中进行适当的拉偏验证。

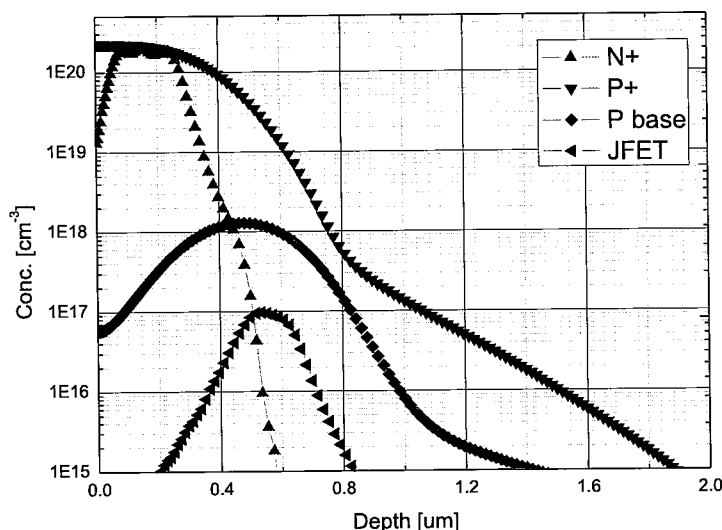


图 2.3 3300V SiC MOSFET 各区域掺杂分布

此外，在 SiC 材料中进行离子注入后，离子在 SiC 材料中的扩散系数几乎为零^[52]，但实际工艺中受注入散射、掩模形貌等影响，实际的注入区会与版图设计有一定偏差。图 2.4 给出了 Pbase 注入的版图尺寸与实际形貌的对比，可以看到版图中 Pbase 的注入窗口为 $L=10\mu\text{m}$ ，实际形成的注入区 $L'=10.7\mu\text{m}$ ，每边比版图尺寸扩大约 $0.35\mu\text{m}$ ，后续的仿真中以此为参考进行修正。

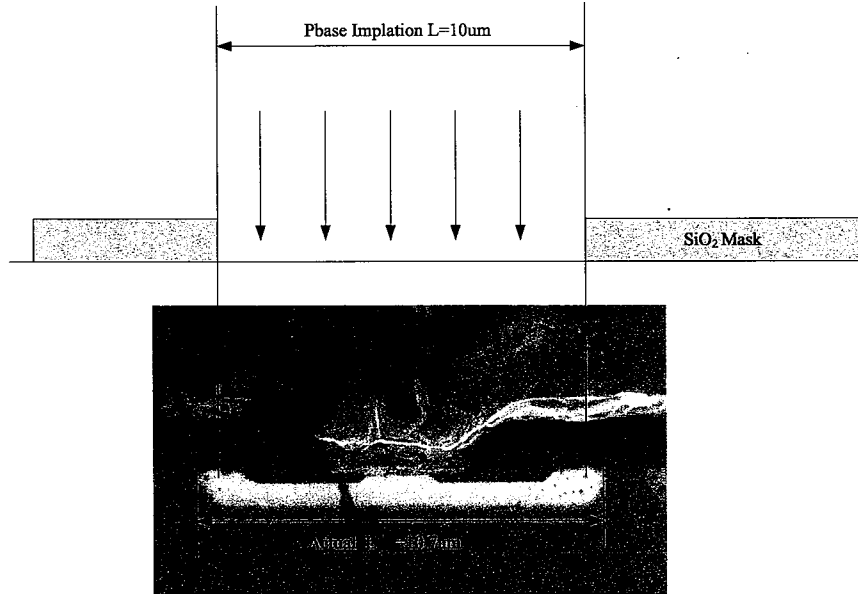


图 2.4 Pbase 注入版图及实际尺寸对比

2.2.1 元胞击穿电压设计

对于 SiC MOSFET 的击穿电压，由器件的元胞区域及终端区域共同决定。对于元胞区域，在器件反向偏置承受电压时，其 Pbase-Nepi 结扩展来承受器件垂直方向的耐压。对于终端区域，由 P 型掺杂的注入区来实现电场的横向扩展，以承受水平方向的电场，本研究方案中终端区域的 P 型掺杂由 Pbase 注入来实现。

对于击穿电压设计目标为 3300V 的 SiC MOSFET 器件，一般会留有 10%~20% 余量，因此本研究中将器件的耐压设计目标定为 3800V；按照终端效率 90% 计算，元胞的耐压应在 4200V 左右。元胞区的耐压由 PbaseNepi 结来承受，考虑到 Pbase 注入区拐角位置的曲率效应，会有一定的电压损失，按照 90% 来估算；同时考虑到外延材料浓度、厚度分别会有 5%~10% 的波动，因此在外延材料的选择中，按理想 PN 结耐压大于 5500V 来确定。

对于穿通型结构，击穿时电场分布如图 2.5 所示：

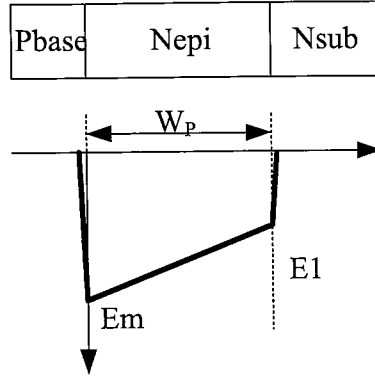


图 2.5 穿通型器件击穿时电场示意图

图中 E_m 为 PN 结处的最大击穿场强， E_1 为 N_{epi} 与 N_{sub} 结合处的电场强度， E_m 最大值为材料的临界击穿场强 E_c ，对于 4H-SiC 由式 2.10 给出^[100]：

$$E_m (Max) = E_c = 3.3 \times 10^4 N_D^{1/8} \quad (2.10)$$

式中 N_D 为外延层 N_{epi} 的掺杂浓度，当外延层厚度为 W_p 时， E_1 可以表示为式 2.11：

$$E_1 = E_m - \frac{q N_D W_p}{\epsilon_s} \quad (2.11)$$

式中 ϵ_s 为 4H-SiC 的介电常数。对于穿通型结构击穿电压可以表示为式 2.12：

$$V_{PT} = \frac{(E_m + E_1) W_p}{2} \quad (2.12)$$

由于器件的击穿电压与导通电阻存在折中关系，材料的导通电阻可以表示为式 2.13：

$$R_{on,sp} = \frac{W_p}{q \mu_n N_D} \quad (2.13)$$

式中 μ_n 为 N_{epi} 中载流子的迁移率，由式 2.14 决定：

$$\mu_n = \frac{900}{1 + \left(\frac{N_A + N_D}{1.8 \times 10^{17}} \right)^{0.6}} \quad (2.14)$$

式中 N_A ， N_D 分别为外延层中受主与施主的掺杂浓度。

从式 2.12 和式 2.13 中可以看到，外延层的越厚，掺杂浓度越低，其击穿电压越高，而导通电阻越大，因此在设计中需要合理的选择以实现两者的折中。

表 2.5 给出了不同外延层规格材料理想 PN 结击穿电压及特征电阻的计算值:

表 2.5 理想 PN 结耐压及特征电阻

N_D cm^{-3}	μ_n $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	E_C MV/cm	W_P μm	V_{PT} V	$R_{\text{on,sp}}$ $\text{m}\Omega\cdot\text{cm}^2$
4.5×10^{15}	875	2.99	40	5230	6.35
4.0×10^{15}	877	2.94	32	5598	5.70
3.5×10^{15}	879	2.89	28	5545	5.69
3.0×10^{15}	880	2.84	27	5626	6.39
2.5×10^{15}	882	2.77	26	5639	7.37
2.0×10^{15}	880	2.75	25	5581	8.83

表 2.5 给出了不同掺杂浓度下,理想 PN 结耐压大于 5500V 时,所对应的材料厚度。当浓度达到 $4.5\times 10^{15}\text{cm}^{-3}$ 后,在材料厚度达到 $40\mu\text{m}$ 时,电场已经扩展到最宽,器件的最大击穿电压为 5230V,不足 5500V;当浓度低于 $2.5\times 10^{15}\text{cm}^{-3}$ 后,即使厚度可以稍微变薄,但材料的特征电阻明显增显。因此初步选定材料的浓度范围为 $2.5\times 10^{15}\text{cm}^{-3}\sim 4.0\times 10^{15}\text{cm}^{-3}$,厚度 $28\mu\text{m}\sim 32\mu\text{m}$,以此规格为参考,根据后续仿真结果最终确定外延层规格。

此外,对于 SiC 器件而言,其氧化层中的电场强度与下方 SiC 材料的场强存在如式 2.15 所示关系^[100]:

$$E_{\text{Oxide}} = \left(\frac{\epsilon_{\text{Semi}}}{\epsilon_{\text{Oxide}}} \right) E_{\text{Semi}} \quad (2.15)$$

式中, ϵ_{semi} 与 ϵ_{Oxide} 分别为半导体材料和氧化层的相对介电常数。对于 4H-SiC 而言 E_{Semi} 大约为 3MV/cm,对于 Si 器件而言 E_{Semi} 大约为 0.3MV/cm,而两者的相对介电常数分别为 9.7、11.9。因此 SiC 器件中氧化层的场强大约为 Si 器件的 10 倍,为保证其长期的寿命,一般将 SiC 器件表面场强控制在 2MV/cm 以下。

a) 外延层的规格研究

基于上述分析结果,对不同外延层规格的元胞击穿电压使用 Sentaurus TCAD 进行仿真,在该仿真中元胞 JFET 宽度为 $3.5\mu\text{m}$,沟道长度 $1\mu\text{m}$,仿真

结果汇总如表 2.6 所示。

表 2.6 元胞击穿电压仿真结果

厚度	浓度	击穿电压	峰值电场	表面电场
μm	cm^{-3}	V	MV/cm	MV/cm
28	3.0×10^{15}	4094	2.72	1.37
	2.5×10^{15}	4524	2.67	1.34
	2.8×10^{15}	4399	2.70	1.36
30	3.0×10^{15}	4249	2.72	1.36
	3.2×10^{15}	4111	2.77	1.38
	3.5×10^{15}	3903	2.78	1.40
32	3.0×10^{15}	4332	2.72	1.36

从表 2.6 中可以看到, 对于同一掺杂浓度, 随着外延层厚度的增加, 击穿电压随之增大; 对于同一外延层厚度, 其耐压值随着掺杂浓度的增大而降低, 所有条件下表面电场小于 1.4MV/cm 。按照元胞区域耐压大于 4200V 要求, 厚度应不小于 $30\mu\text{m}$ 、浓度应不大于 $3.0 \times 10^{15} \text{ cm}^{-3}$ 。

b) Pbase 掺杂浓度研究

Pbase 的掺杂浓度及深度, 影响着元胞区域的击穿电压, Pbase 的表面浓度决定着器件的阈值电压。对 Pbase 的掺杂分布进行仿真, 分析其对元胞耐压的影响。仿真中所使用的 Pbase 分布如图 2.6 所示:

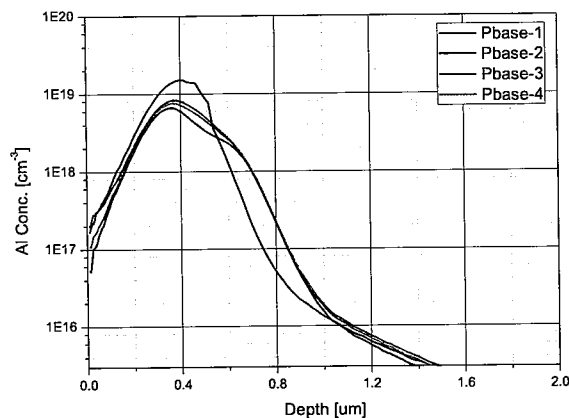


图 2.6 不同 Pbase 掺杂形貌

图 2.6 中给出了四种不同的 Pbase 的掺杂形貌, 其结深、表面浓度、峰值浓度等考虑后续的阈值电压及导通电阻而有一定区分, 对这四种 Pbase 掺杂条件下的元胞耐压进行仿真, 结果如表 2.7 所示:

表 2.7 不同 Pbase 掺杂下元胞耐压仿真

	单位	Pbase-1	Pbase-2	Pbase-3	Pbase-4
击穿电压	V	4249	4214	4189	4189
峰值电场	MV/cm	2.72	2.64	2.62	2.62
表面电场	MV/cm	1.36	1.36	1.38	1.46

从表 2.7 中的仿真结果可以看到, 在四种不同 Pbase 掺杂浓度条件下, 均未出现提前击穿的现象, 表面峰值电场大约在 1.3MV/cm, 与 Pbase 浓度相关性不大。

c) JFET 设计研究

选择 $30\mu\text{m}$ 、 $3\times 10^{15}\text{cm}^{-3}$ 的外延规格, 选择 Pbase-1 的注入条件, 对 JFET 的宽度进行分组仿真, 研究 JFET 宽度对元胞击穿电压的影响, 仿真中 JFET 的宽度变化会引起元胞 Pitch 的变化, 通过调整面积因子, 保证不同 JFET 宽度时, 芯片的有源区面积一致, 其仿真结果汇总如表 2.8 所示:

表 2.8 不同 JFET 宽度元胞耐压仿真

	单位	JFET2.5	JFET3.5	JFET4.5
击穿电压	V	4252	4249	4205
峰值电场	MV/cm	2.64	2.72	2.84
表面电场	MV/cm	1.02	1.36	1.58

从表 2.8 中可以看出, 击穿时峰值电场随着 JFET 增大而增大, 对于栅氧下方的表面电场同样随着 JFET 的增大而增大, 在 JFET4.5 的结构中, 其最大值达到了 1.58MV/cm, 均满足设计要求。

进一步考虑, 对于元胞区的结构, 常见的有条形元胞、方形元胞及六角元胞, 如图 2.7 所示。对于条形元胞及六角元胞, 其 JFET 宽度各个方向保持一致, 但对于方形元胞结构, JFET 的宽度最宽处位于元胞对角线方向, 为水平方向的 $\sqrt{2}$ 倍, 如图 2.7b 所示。

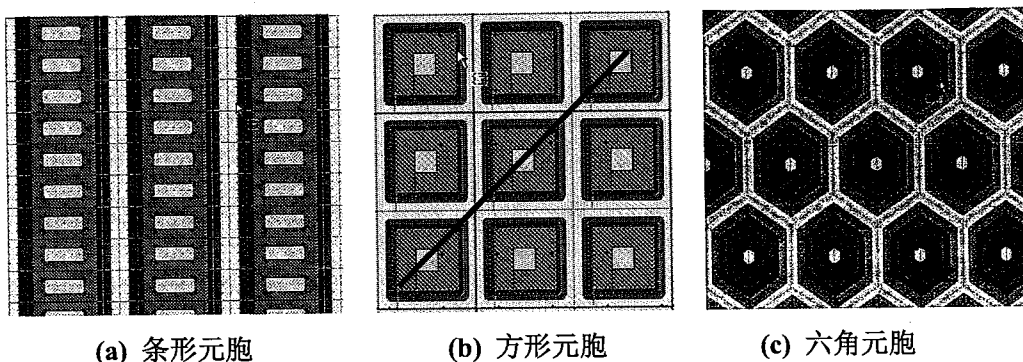


图 2.7 三种元胞结构

因此针对方形元胞结构，做进一步的仿真确认，得到结果如表 2.9 所示，从表 2.9 中可以看出，击穿时峰值电场比表 2.8 中的结果略有增大，表面电场增大更为明显，JFET 为 $4.5\mu\text{m}$ 时，表面电场已达到 1.79MV/cm ，虽然较大但仍满足要求。

表 2.9 方形元胞不同 JFET 宽度耐压仿真

	单位	JFET2.5'	JFET3.5'	JFET4.5'
击穿电压	V	4212	4201	4154
峰值电场	MV/cm	2.78	2.88	2.92
表面电场	MV/cm	1.37	1.65	1.79

2.2.2 终端击穿电压设计

SiC MOSFET 器件的终端最常见的为场限环设计，通过调整 P 型注入区的宽度及间距，实现目标耐压^[52, 53, 54]。此外，在 SiC 功率器件中，也有一些新的终端设计报道，如结终端扩展技术(Junction Termination Extension, JTE)等^[55, 56, 57, 58]，这些设计在终端效率、工艺兼容性等方面具有一定的提升，但工艺相对复杂。综合考虑，本次终端设计基于传统的场限环结构来实现，其注入条件使用与元胞区 Pbase 相同的注入条件来实现，因此外延层材料规格、Pbase 注入条件均按照元胞部分仿真条件，另外加入对终端环结构的设计研究。

a) 外延层的规格

在外延层规格的选择方面，与 2.2.1 部分中元胞击穿电压的仿真保持一致，其终端耐压仿真结果如表 2.10 所示，该部分仿真中 Pbase 注入条件选用的为 Pbase-3:

表 2.10 不同外延规格终端击穿电压仿真结果

厚度	浓度	击穿电压	峰值场强	表面场强
μm	cm^{-3}	V	MV/cm	MV/cm
28	3.0×10^{15}	3668	2.65	1.27
	2.5×10^{15}	4058	2.66	1.30
	2.8×10^{15}	3842	2.67	1.30
30	3.0×10^{15}	3652	2.65	1.29
	3.2×10^{15}	3561	2.68	1.30
	3.5×10^{15}	3247	2.65	1.28
32	3.0×10^{15}	3655	2.65	1.27

从表 2.10 中可以看出, 终端耐压同时受材料的厚度及浓度的影响, 材料的浓度影响更大。这是因为材料浓度影响着终端区域 PN 结在 Nepi 内的扩展情况, 进而影响到电场的横向扩展, 引起耐压的变化。该仿真中在外延层浓度大于 $3.0 \times 10^{15} \text{cm}^{-3}$ 后, 终端耐压下降明显, 不满足设计要求。各材料规格的峰值电场约为 2.65MV/cm, 表面峰值电场大约为 1.3MV/cm, 同样满足设计要求。

b) Pbase 掺杂浓度

基于 $30\mu\text{m}$ 、 $3 \times 10^{15} \text{cm}^{-3}$ 的外延材料, 对不同的 Pbase 掺杂浓度下终端耐压进行仿真, 确认不同 P 型掺杂下终端的击穿电压情况, 仿真中所用的 Pbase 掺杂分布同图 2.6, 仿真结果如表 2.11 所示:

表 2.11 不同 Pbase 掺杂下终端击穿电压仿真结果

	单位	Pbase-1	Pbase-2	Pbase-3	Pbase-4
击穿电压	V	3662	3658	3652	3617
峰值电场	MV/cm	2.68	2.66	2.65	2.58
表面电场	MV/cm	1.68	1.34	1.29	1.28

从表 2.11 可以看出, 四种 Pbase 的掺杂条件对终端击穿电压的影响不大, 都在 3600V 以上, 峰值电场小于 2.7MV/cm, 表面电场有一定区别, Pbase-1 的表面电场最大, 都满足设计中小于 2MV/cm 的要求。

c) 环宽及环间距

器件终端的设计，其核心在于其环宽及环间距的优化设计，使得电场在终端区域的扩展情况达到最佳，此外终端的效率与其对工艺误差的容忍度也是研究的热点。综合各种情况考虑，提出三种不同类型的终端设计，其信息如表 2.12 所示：

表 2.12 三种终端结构设计方案

名称	环数	环宽	环间距	终端宽度
GR1	35	3 μm	从 1.7 μm 开始渐变，最大 3.0 μm	213 μm
GR2	45	3 μm	从 1.1 μm 开始渐变，最大 1.8 μm	225 μm
GR3	80	3 μm	1.5 μm 固定值	360 μm

对这三种终端结构的击穿电压进行仿真研究，所用的 Pbase 注入条件为图 2.6 中的 Pbase-3，外延材料的厚度为 30 μm ，浓度为 $3\times 10^{15}\text{cm}^{-3}$ ，其仿真结果如表 2.13 所示：

表 2.13 三种终端结构仿真结果

	单位	GR1	GR2	GR3
击穿电压	V	3652	4596	3974
峰值电场	MV/cm	2.65	2.60	2.61
表面电场	MV/cm	1.29	2.00	2.11

从仿真结果来看，三种结构的终端耐压均大于 3650V，都满足目标要求。GR1 结构耐压余量稍低。图 2.8 给出了三种终端结构的峰值电场及表面电场的情况：

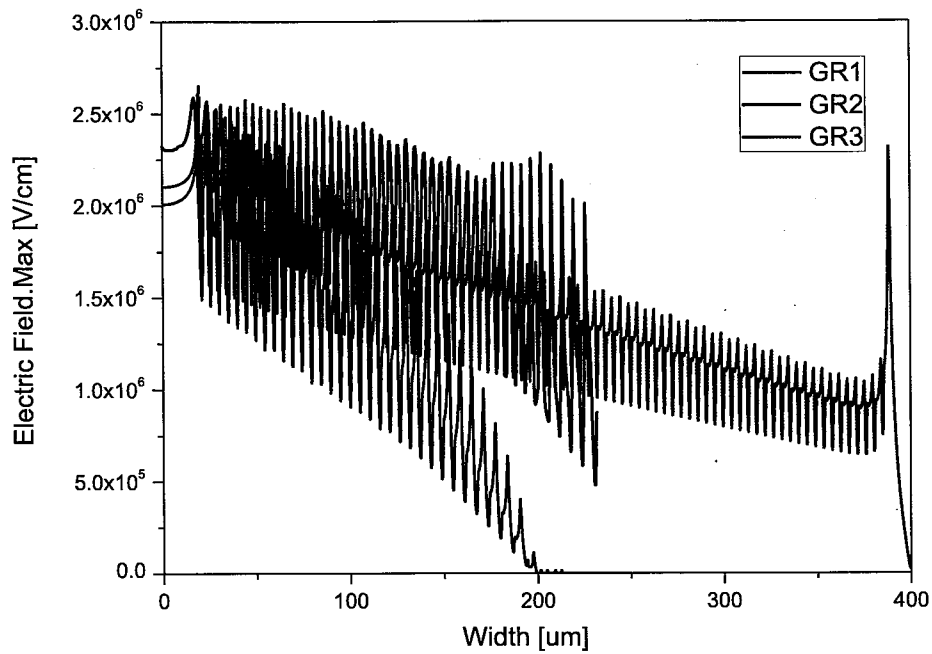
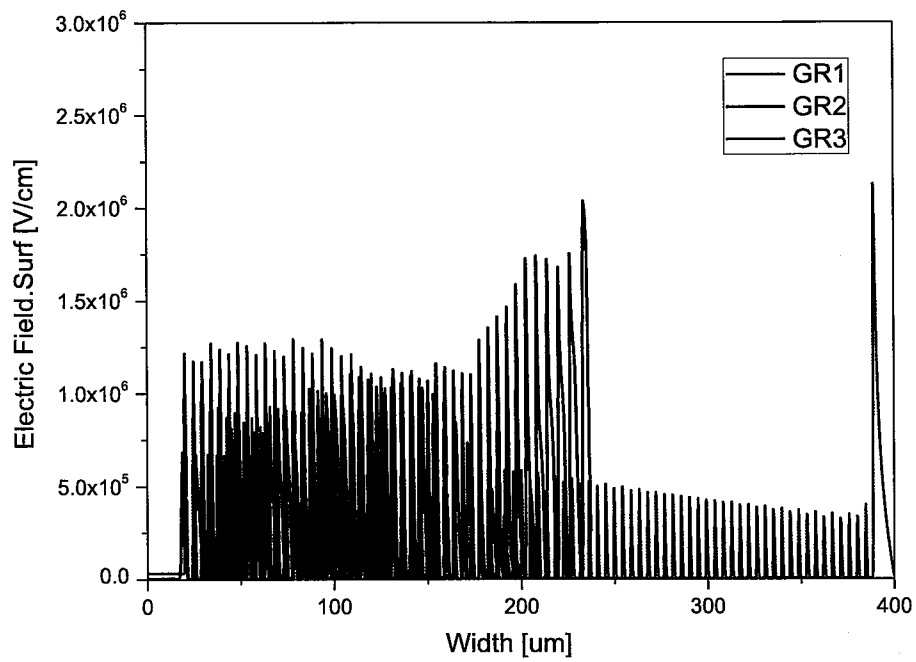
a) 最大电场分布 ($Y=1\mu\text{m}$)b) 表面电场分布 ($Y=0.1\mu\text{m}$)

图 2.8 三种终端结构电场分布情况

在图 2.8a 中可以看到，三种不同设计终端的区别，GR1 最大电场峰值出现

在最内侧的终端环位置，电场强度随着终端宽度增大而迅速下降；GR2 最大电场峰值同样出现在终端内侧，但各终端环的电场强度基本一致；GR3 通过增加终端环的数量，来实现承压的目的，最大电场峰值最大值较低，但最后一个环的峰值电场较高。

从图 2.8b 中可以看到三种终端设计的表面电场的区别，GR1 表面电场的峰值同样出现在终端内侧；GR2 表面电场的峰值出现在最外侧环的位置；GR3 整体表面峰值电场较低，但最后一个环电场值较高。

综合上面结果来看，虽然三种终端结构的电场分布情况有一定差异，但从表 2.13 中可以看到，其击穿电压、峰值电场、表面电场等仿真结果都满足设计要求，后续将在流片中进行验证。

2.2.3 阈值电压设计

SiC MOSFET 的阈值电压需要合理设计，在实际应用中，过高的阈值不利于器件的开启会降低器件的电流能力，过低的阈值电压容易造成器件关断时的误开启导致失效。对于 3300V SiC MOSFET 一般阈值电压设计值在 3V 左右，阈值电压的表达式如 2.16 所示^[5]：

$$V_{th} = \frac{\sqrt{4\epsilon_s k T N_A \ln(N_A / n_i)}}{C_{ox}} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.16)$$

式中， ϵ_s 为 SiC 材料的介电常数， k 为玻尔兹曼常数， T 为热力学温度， N_A 为沟道区域的掺杂浓度， n_i 为本征载流子浓度， C_{ox} 为单位面积栅氧化层电容， q 为电子电荷量。此外，阈值电压还受表面电荷的影响，其关系如式 2.17 所示， Q_F 为表面电荷密度。

$$\Delta V_{th} = \frac{Q_F}{C_{ox}} \quad (2.17)$$

按照上述分析，对 3300V SiC MOSFET 的阈值电压展开仿真研究，由于其外延材料的掺杂浓度与 Pbase 的表面浓度相比，要低 2~3 个数量级，而且外延层的厚度也对阈值电压无影响。因此对于阈值电压的研究从 Pbase 的表面浓度、表面电荷密度及栅氧化层厚度三个方面进行。

a) Pbase 掺杂浓度

使用 $30\mu\text{m}$, $3\times 10^{15}\text{cm}^{-3}$ 的外延规格进行该仿真分析, 其中栅氧厚度选择为 60nm , 元胞为 $\text{JFET}=2.5\mu\text{m}$ 的结构, 对图 2.6 中所示的四种 Pbase 的掺杂分布, 进行阈值电压的仿真, 其结果如表 2.14 所示:

表 2.14 不同 Pbase 掺杂下的阈值电压

名称	单位	Pbase-1	Pbase-2	Pbase-3	Pbase-4
表面浓度	cm^{-3}	1.65×10^{17}	5.32×10^{16}	1.93×10^{17}	1.09×10^{17}
阈值电压	V	2.03	1.35	2.24	1.65

从仿真结果中可以看到, Pbase-2 与 Pbase-4 阈值电压偏低, Pbase-1 与 Pbase-3 满足要求。

b) 栅氧厚度

栅氧厚度决定着单位面积栅氧电容的大小, 从而影响到阈值电压的大小。因此, 使用图 2.6 中的 Pbase-3 掺杂条件, JFET 宽度为 $2.5\mu\text{m}$ 的元胞结构进行不同栅氧厚度下阈值电压的仿真, 结果如图 2.9 所示, 从图中可以看出阈值电压随着栅氧厚度基本呈线性变化, 变化幅度大约为 $0.05\text{V}/\text{nm}$ 。

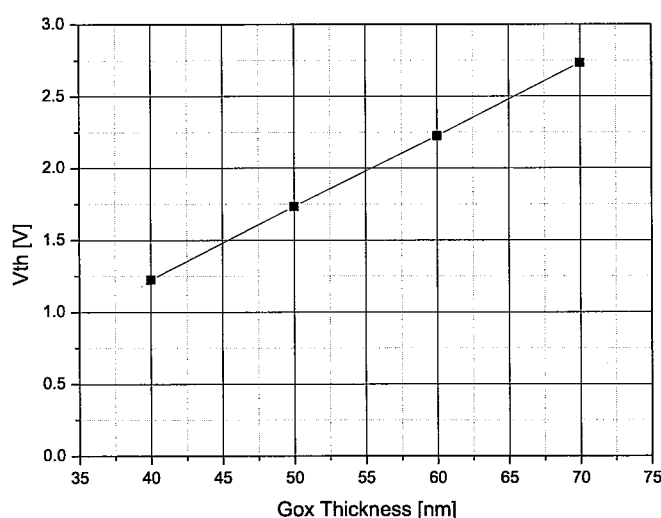


图 2.9 阈值电压随栅氧厚度的变化

c) 表面电荷

氧化层与半导体材料界面会存在多种形式的电荷, 包括可移动离子、固定电荷、界面态及陷阱电荷等。这些电荷的存在会影响器件的阈值电压。通过仿真对 SiC 与 SiO_2 界面添加一定浓度的固定电荷来分析其对阈值电压的影响。仿

真所使用的元胞结构 JFET 为 $2.5\mu\text{m}$ ，外延层厚度为 $30\mu\text{m}$ ，浓度为 $3\times 10^{15}\text{cm}^{-3}$ ，Pbase-3 的 P 型掺杂及 60nm 的栅氧厚度，仿真结果如图 2.10 所示：

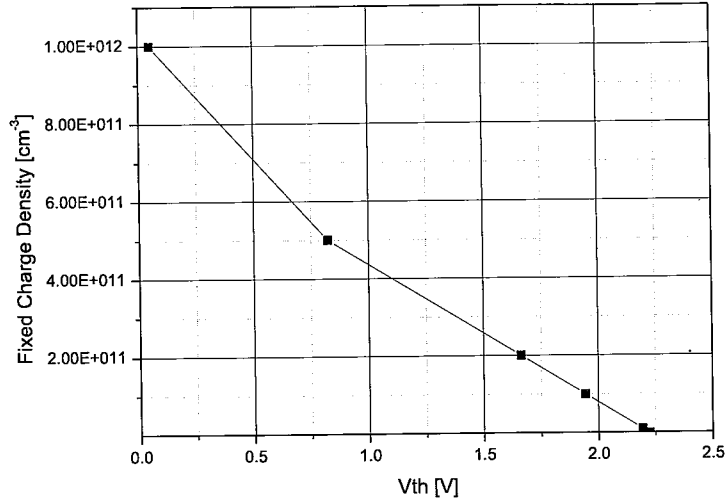


图 2.10 固定电荷对阈值电压的影响

从图 2.10 可以看出，器件的阈值电压随着界面电荷密度的增大而降低，基本为线性关系，界面电荷密度每增大 $1\times 10^{11}\text{cm}^{-3}$ ，阈值电压下降 0.28V ，因此在阈值电压的设计方面要重视实际工艺中界面的影响。

2.2.4 导通电阻设计

SiC MOSFET 器件导通时，其导通电阻的组成部分如图 2.11 所示^[51]：

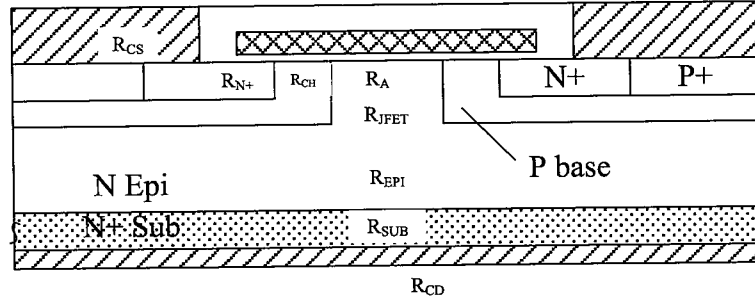


图 2.11 3300V SiC MOSFET 各区域掺杂分布

由图可见，器件导通电阻可以表示为式 2.18：

$$R_{ON} = R_{CS} + R_{N+} + R_{CH} + R_A + R_{JFET} + R_{EPI} + R_{SUB} + R_{CD} \quad (2.18)$$

式中， R_{CS} 、 R_{CD} 分别为源极、漏极的接触电阻，该部分主要由工艺决定，其值较小，在后续仿真中忽略； R_{N+} 为 N+ 区域电阻， R_{SUB} 为衬底层电阻，这两个电阻基本在 $10^{-3}\text{m}\Omega\cdot\text{cm}^2$ 以下，同样可以忽略； R_{CH} 为沟道区域电阻、 R_A 为积累

层电阻、 R_{JFET} 为 JFET 区域电阻、 R_{EPI} 为外延层电阻，这几部分是 SiC MOSFET 器件导通电阻的主要组成部分。

沟道电阻 R_{CH} 可以表示如式 2.19:

$$R_{\text{CH}} = \frac{L_{\text{CH}} \cdot W_{\text{pitch}}}{2\mu_{\text{inv}} C_{\text{ox}} (V_{\text{G}} - V_{\text{TH}})} \quad (2.19)$$

式中 L_{CH} 为沟道长度， W_{pitch} 为器件元胞宽度， μ_{inv} 为沟道载流子迁移率， V_{G} 为栅极电压， V_{TH} 为器件阈值电压， C_{ox} 为单位面积栅氧化层电容。

积累区电阻 R_{A} 表达式如式 2.20:

$$R_{\text{A}} = \frac{K(W_{\text{J}}/2 - W_{\text{P}})W_{\text{pitch}}/2}{2\mu_{\text{a}} C_{\text{ox}} (V_{\text{G}} - V_{\text{TH}})} \quad (2.20)$$

式中， μ_{a} 为积累层载流子迁移率， V_{G} 为栅极电压， V_{TH} 为器件阈值电压， C_{ox} 为单位面积栅氧化层电容， K 为描述二维电流从 P base 区域流向 JFET 区域的因子， W_{J} 为 JFET 区域宽度， W_{P} 为零偏压下 P Base 与 N 型外延层形成 PN 结的耗尽区宽度。由于 μ_{a} 是积累层电子的迁移率，其值远大于沟道反型层迁移率，因此该积累区的电阻在后续的分析中忽略。

JFET 区域电阻 R_{JFET} 表达式如 2.21 所示:

$$R_{\text{JFET}} = \rho_{\text{JFET}} \cdot t_{\text{P}} \left(\frac{W_{\text{pitch}}}{W_{\text{J}} - 2W_{\text{P}}} \right) \quad (2.21)$$

式中， t_{P} 为 P base 掺杂深度， ρ_{JFET} 为 JFET 区域的电阻率。

外延层电阻 R_{EPI} 表达式如 2.22 所示:

$$R_{\text{EPI}} = \frac{1}{2} \rho_{\text{EPI}} \cdot W_{\text{pitch}} \ln \left(\frac{W_{\text{pitch}}}{W_{\text{J}} - 2W_{\text{P}}} \right) + \rho_{\text{EPI}} \cdot (t - s - W_{\text{P}}) \quad (2.22)$$

式中， t 为不计 P base 深度的外延层厚度， s 为 P base 区域宽度， ρ_{EPI} 为外延层的电阻率。

按照上述分析，可以看到，影响器件导通电阻的因素有很多，可以综合为两类:

- (1) 器件结构: 包括沟道尺寸、Pbase 尺寸、JFET 尺寸及元胞尺寸等;
- (2) 掺杂条件: 外延层掺杂、Pbase 区域掺杂及 JFET 区域的掺杂。

因此，从外延材料的规格、器件结构几个方面展开导通电阻的仿真研究。

a) 外延层规格

对不同外延材料的导通特性进行仿真，仿真中的元胞结构 $L_{CH}=1\mu\text{m}$ ， $JFET=3.5\mu\text{m}$ ，Pbase 注入条件为 Pbase-3，仿真结果如图 2.12 和表 2.15 所示：

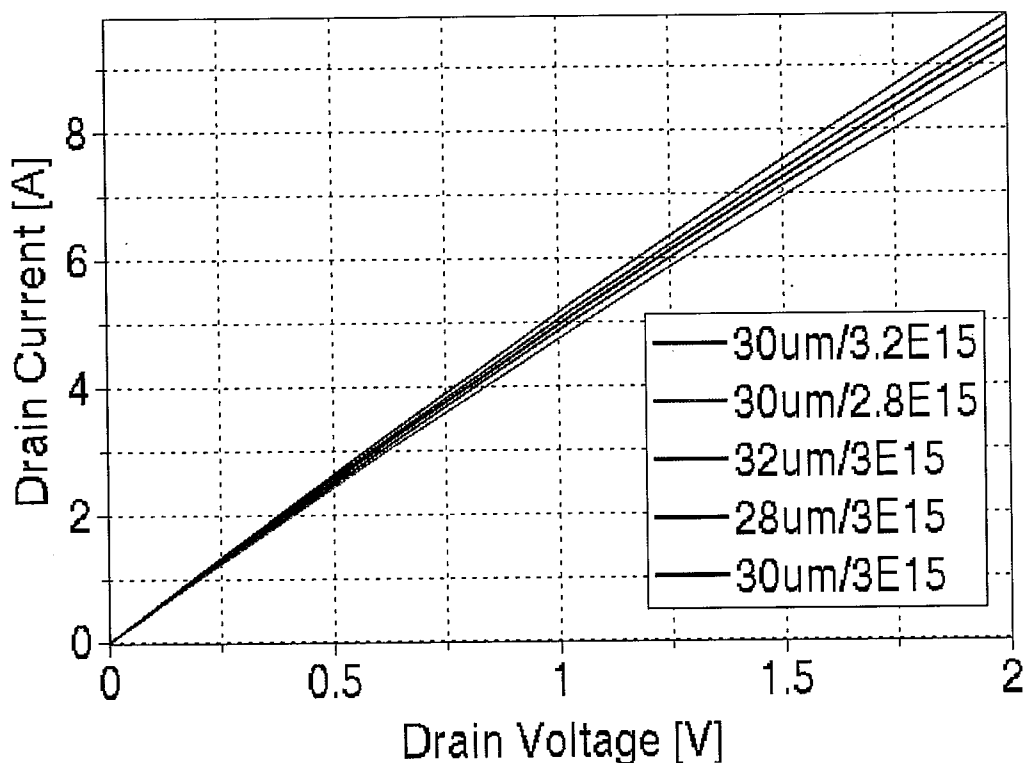


图 2.12 不同外延规格输出特性仿真 ($V_{GS}=20V$)

表 2.15 不同外延规格输出特性仿真结果

厚度 μm	浓度 cm^{-3}	$I_D@V_{GS}=20V, V_{DS}=2V$ A	比导通电阻 $\text{m}\Omega \cdot \text{cm}^2$
28	3.0×10^{15}	9.604	22.91
	2.8×10^{15}	9.041	24.33
30	3.0×10^{15}	9.445	23.29
	3.2×10^{15}	9.819	22.41
32	3.0×10^{15}	9.291	23.68

表 2.15 中，比导通电阻按照有源区面积 0.11cm^2 来计算，从仿真结果中可以看到材料厚度越薄，掺杂浓度越高，其芯片电流能力越大，比导通电阻越小。其电流能力受外延层浓度的影响更为明显。

b) 沟道长度

改变元胞结构中的沟道长度，对器件的输出特性进行仿真，仿真所用的元胞结构 JFET 宽度为 $3.5\mu\text{m}$ ，外延层材料厚度为 $30\mu\text{m}$ ，浓度为 $3\times 10^{15}\text{cm}^{-3}$ ，Pbase 的注入条件为图 2.6 中的 Pbase-3。仿真中沟道长度的变化，引起元胞尺寸的变化，通过调整面积因子，保证所有结构的有源区面积均为 0.11cm^2 ，仿真结果如图 2.13 所示：

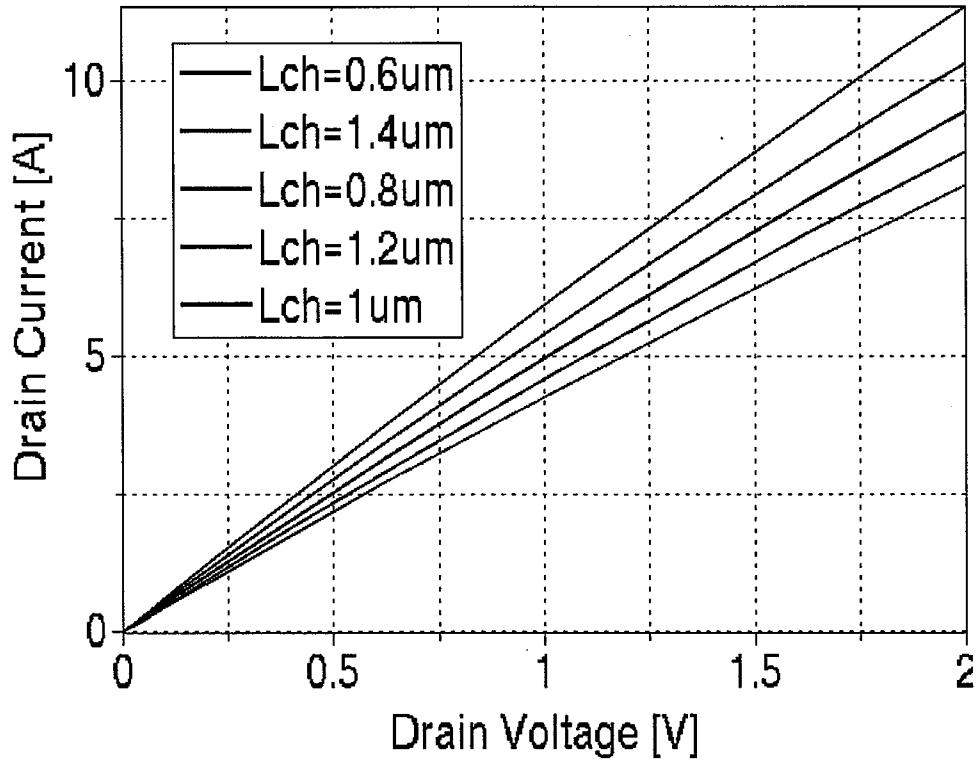


图 2.13 不同沟道长度的输出特性仿真

汇总仿真数据如表 2.16 所示：

表 2.16 不同沟道长度输出特性仿真结果

沟道长度	$I_D@V_{GS}=20V, V_{DS}=2V$	比导通电阻
μm	A	$\text{m}\Omega\cdot\text{cm}^2$
0.6	11.35	19.38
0.8	10.31	21.34
1.0	9.445	23.29
1.2	8.712	25.25
1.4	8.082	27.22

结合图 2.13 和表 2.16 可以看出, 对于 3300V SiC MOSFET 而言, 沟道电阻对导通电阻的影响很明显, 随着沟道长度的增大, 器件的电流能力有明显的降低, 比导通电阻加大。

c) JFET 结构

JFET 宽度影响着电流在 JFET 区域内流动的情况, 通过仿真研究 JFET 宽度对导通电阻的影响。在该仿真的元胞结构中, 沟道长度 $L_{CH}=1\mu\text{m}$, 其外延层厚度为 $30\mu\text{m}$, 浓度为 $3\times 10^{15}\text{cm}^{-3}$, 使用 Pbase-3 的注入条件, 芯片有源区面积为 0.11cm^2 , 仿真结果如图 2.14 所示:

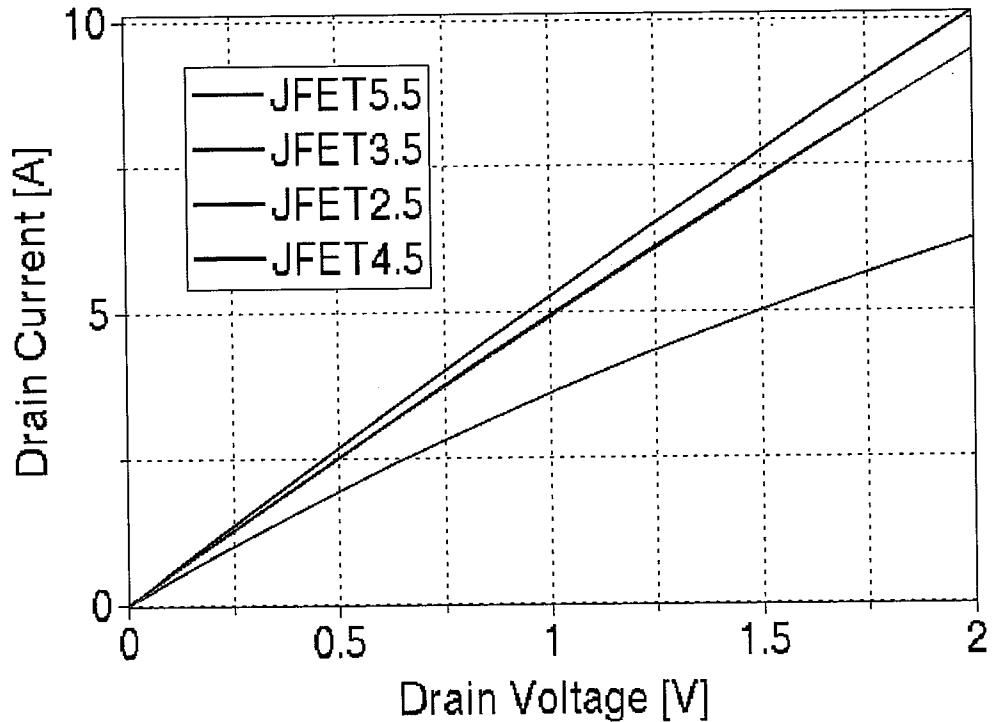


图 2.14 不同 JFET 宽度输出特性仿真

汇总仿真数据如表 2.17 所示:

表 2.17 不同 JFET 宽度输出特性仿真结果

JFET 宽度	$I_D@V_{GS}=20V, V_{DS}=2V$	$R_{on,sp}$
μm	A	$\text{m}\Omega\cdot\text{cm}^2$
2.5	6.239	35.26
3.5	9.445	23.29
4.5	10.21	21.55
5.5	9.440	23.31

结合图 2.14 及表 2.16 可以看出, JFET 宽度由 $2.5\mu\text{m}$ 增大到 $4.5\mu\text{m}$ 时, 器件的电流能力增大, 比导通电阻降低; 当 JFET 宽度增大到 $5.5\mu\text{m}$ 时, 器件的电流能力反而下降。这是因为随着 JFET 的增大, JFET 区域的电阻减小, 但当 JFET 增大到一定程度后, JFET 的电阻减小已经有限, 虽然单个元胞电流能力仍在提升, 但由于元胞的尺寸变大, 相同有源区面积下的元胞数量减少, 造成了整体电流能力的下降。

d) 导通电阻占比分析

从前面的分析可以看到, 外延材料的规格、沟道的尺寸、JFET 的尺寸等对 3300V SiC MOSFET 的导通电阻都有着不同的影响, 借助仿真, 对导通电阻的各部分占比做进一步的分析, 图 2.15 给出了仿真中 R_{CH} 、 R_{JFET} 与 R_{EPI} 的定义:

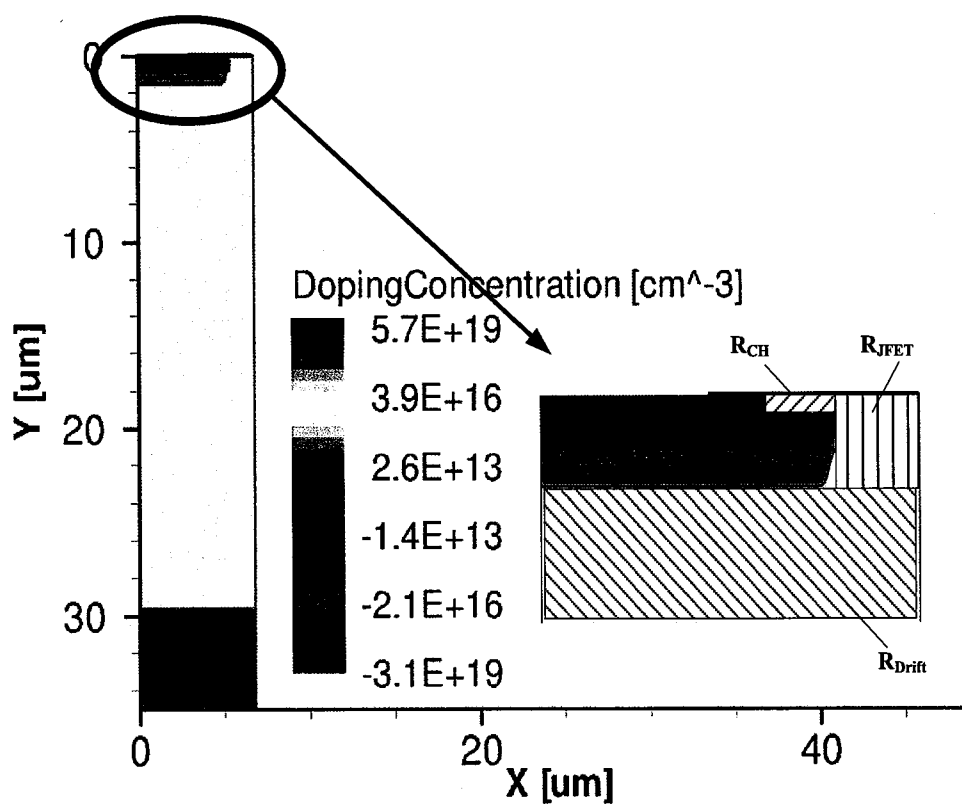


图 2.15 导通电阻占比分析

在图 2.15 中分别标识出 R_{CH} 、 R_{JFET} 与 R_{EPI} 的影响区域, 以 $\text{JFET}=3.5\mu\text{m}$, $L_{\text{CH}}=1\mu\text{m}$, 外延材料的厚度 $30\mu\text{m}$, 掺杂浓度为 $3\times 10^{15}\text{cm}^{-3}$ 为基准条件, 对 JFET 宽度、沟道长度及外延材料的厚度及浓度进行调整, 分析沟道电阻、JFET 电阻及漂移区电阻的占比, 仿真结果汇总如表 2.18 所示:

表 2.18 导通电阻占比分析

No.	BL	LJFET -	LCH +	THK +	CONC -
	JFET=3.5 μm	JFET=2.5 μm	JFET=3.5 μm	JFET=3.5 μm	JFET=3.5 μm
m Ω	L _{CH} =1 μm	L _{CH} =1 μm	L _{CH} =1.2 μm	L _{CH} =1 μm	L _{CH} =1 μm
cm ²	THK=30 μm	THK=30 μm	THK=30 μm	THK=32 μm	THK=30 μm
	Conc=3 $\times 10^{15}\text{cm}^{-3}$	Conc=3 $\times 10^{15}\text{cm}^{-3}$	Conc=3 $\times 10^{15}\text{cm}^{-3}$	Conc=3 $\times 10^{15}\text{cm}^{-3}$	Conc=2.8 $\times 10^{15}\text{cm}^{-3}$
R _{CH}	8.85	8.83	10.48	8.87	8.92
R _{JFET}	4.77	13.42	4.92	4.79	5.07
R _{EPI}	8.85	11.27	8.84	9.14	9.35
R _{total}	22.47	33.52	24.24	22.80	23.34

图 2.16 是将表 2.18 中不同条件下各部分导通电阻用堆栈图表示出来：

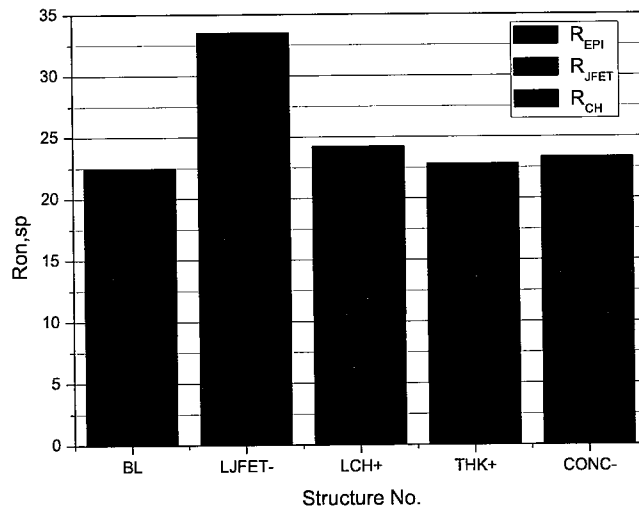


图 2.16 导通电阻占比分析

从图 2.16 中可以看到，对于基准结构（BL）导通电阻，其沟道部分大约占比 40%，JFET 区域大约占比 20%，外延层大约占比 40%。由于该部分分析中未考虑 N 型区中的传导电阻、积累层电阻及衬底层的电阻，其导通电阻的结果比前面仿真结果略小。

从图中还可以看到，减小 JFET 宽度，其 JFET 区域的电阻增大很明显，因此合理选择 JFET 宽度是 3300V SiC MOSFET 电流能力设计的关键。沟道长度的增加会引起沟道电阻的增大，外延材料的浓度及厚度的变化对导通电阻的影

响较小。

通过国外文献的报道,对于传统的平面栅 3300V MOSFET,其比导通电阻大约在 $25\text{m}\Omega\cdot\text{cm}^2$ 左右,与本研究中的仿真结果基本相当。针对 JFET 区域的优化,目前通常采用的手段有 JFET 区域的注入技术(JFET Doping, JD)和载流子扩展层技术(Carrier Spreading Layer, CSL)。JD 技术是通过在 JFET 区域进行更高浓度的 N 型注入,提高 JFET 区域的浓度,可以大幅降低 JFET 区域的电阻,并减小 JFET 区的横向尺寸,提高元胞密度;CSL 技术是在 N 型外延层上方,再次外延一层规定浓度厚度的 N+型外延层,这个高掺杂的外延层不但可以大幅降低 JFET 区域的电阻,还可以加快电流在漂移区中的横向扩展,可以部分降低漂移区电阻。采用 JD 或者 CSL 技术,3300V SiC MOSFET 的比导通电阻可以优化到 $10\sim 15\text{m}\Omega\cdot\text{cm}^2$ 。

2.2.5 设计结果汇总

综合仿真分析,确定芯片的设计方案如下,其仿真结果如表 2.19 所示:

- 1) 外延材料厚度 $30\mu\text{m}$, 浓度 $3\times 10^{15}\text{cm}^{-3}$ 。栅氧厚度 60nm , 沟道长度 $1\mu\text{m}$ 。
- 2) 元胞结构: JFET2.5, JFET3.5, JFET4.5, 方形元胞;
- 3) 终端结构: GR1, GR2, GR3;

表 2.19 仿真设计结果汇总

参数	单位	JFET2.5	JFET3.5	JFET4.5
阈值电压	V	2.24	2.24	2.24
元胞耐压	V	4212	4201	4154
比导通电阻	$\text{m}\Omega\cdot\text{cm}^2$	35.26	23.29	21.55
		GR1	GR2	GR3
终端耐压	V	3652	4596	3974V

2.3 版图设计

在版图设计方面,考虑到初次流片,需要多种设计方案来进行验证。综合考虑,最终的版图中包含如下结构:

- (1) 大芯片 3 种: GR1、GR2、GR3 终端结构,元胞选择 JFET3.5 结构,

有源区面积 0.95cm^2 ;

(2) 小芯片 9 种: 不同元胞及终端结构相互组合; 有源区面积 0.11cm^2 ;

(3) PCM 图形: TLM 图形、横向 LDMOS、标记等。

对于 SiC MOSFET 的流片制备, 共需要 10 层版, 结合实际的工艺流程, 各层版定义及描述如表 2.20 所示。

表 2.20 3300V SiC MOSFET 版图说明

GDS II No.	版图名称	描述	C/D*
1	MARK	标记光刻	C
2	PBASE	定义 P base 注入区	C
3	NPLUS	定义 N+ 注入区	C
4	PPLUS	定义 P+ 注入区	C
5	ACTIVE	场氧光刻图形	D
6	POLY	多晶硅栅极光刻图形	D
7	SOURCE_CTT	源极开孔图形	C
8	POLY_CTT	栅极开孔图形	C
9	METAL	金属化图形	D
10	PAD	钝化层图形	C

注: C/D*表示 Clear、Dark, 指明版暗版;

按照上述版层的定义, 并考虑 GatePad、SourcePad 布局, 使用 L-EDIT 完成版图绘制, 得到最终的 3300V SiC MOSFET 版图 Topview 如图 2.17 所示:

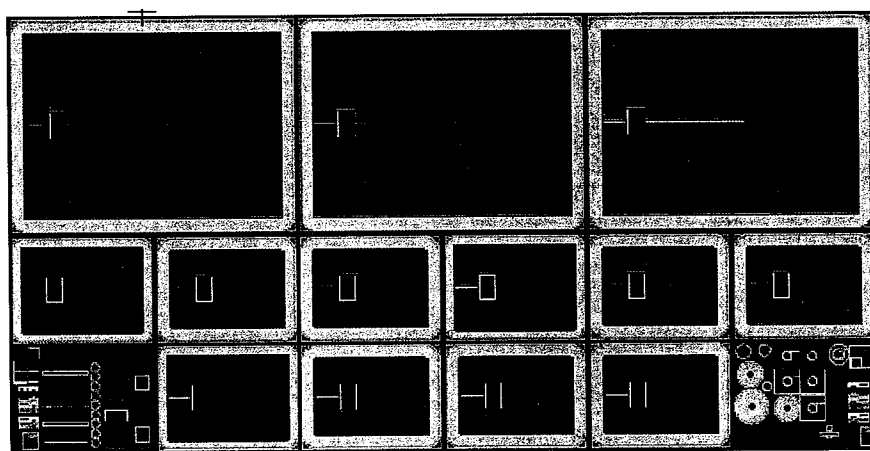


图 2.17 3300V SiC MOSFET 版图

2.4 本章小结

本章利用 Sentaurus 展开 3300V SiC MOSFET 的设计要点研究, 首先对迁移率模型进行研究, 根据早期流片结果完成了迁移率模型优化及工艺校准, 然后对 3300V SiC MOSFET 击穿电压、阈值电压及导通电阻展开详细的仿真, 其研究的内容主要包括:

(1) 研究了外延材料规格、Pbase 掺杂条件及 JFET 宽度对元胞区域击穿电压的影响。

(2) 研究了外延材料规格、Pbase 掺杂条件及环宽环间距对终端击穿电压的影响, 并提出了三种不同类型的终端设计。

(3) 研究了 Pbase 表面浓度、栅氧厚度及表面电荷对阈值电压的影响。

(4) 研究了外延材料规格、沟道长度及 JFET 宽度等对导通电阻的影响, 同时分析了各部分电阻在 3300V SiC MOSFET 导通电阻中的占比情况。

最后, 根据上述的仿真结果, 确定了 3300V SiC MOSFET 的版图设计方案。

第3章 3300V SiC MOSFET 制造及测试

本章将简单介绍 3300V SiC MOSFET 的流片流程，并对封装后器件进行全面的测试，包括击穿特性、阈值特性、导通电阻、电容特性、体二极管特性和热阻特性，并将测试结果与仿真结果进行对比分析。

3.1 3300V SiC MOSFET 流片及封装

基于中车时代电气股份有限公司 SiC 工艺平台，完成了 3300V SiC MOSFET 的流片制备。对于 SiC MOSFET 的制备工艺中，关键的工艺包括离子注入激活、P 型欧姆接触以及栅氧化氮化技术，团队早期在这些方面有丰富的研究，在此不展开赘述^[59,60,61]。

最终确定 3300V SiC MOSFET 的工艺流程如图 3.1 所示：

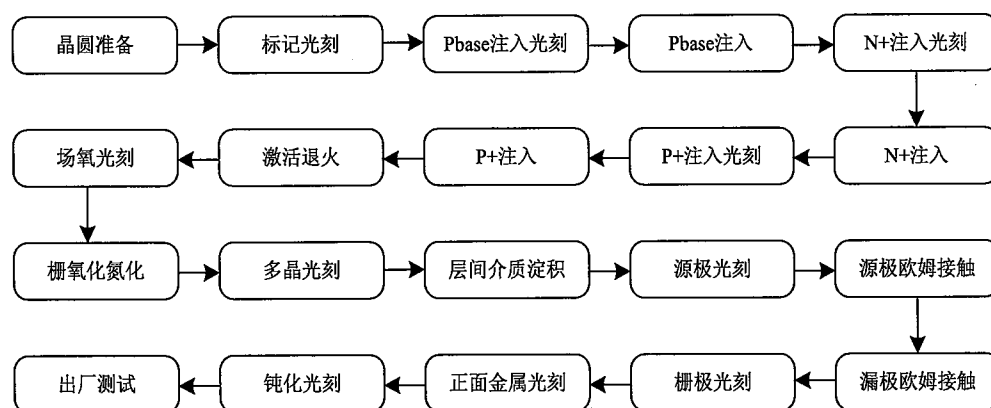


图 3.1 3300V SiC MOSFET 制备流程

首先对 4H-SiC 晶圆进行标记光刻，依次进行 Pbase、N+、P+三次高温离子注入，再对三次注入进行高温激活退火，在终端等区域覆盖场氧以保护终端环，然后进行栅氧热氧生长及氮化处理，再进行多晶硅栅极的淀积光刻，再覆盖层间介质以实现正面栅极源极的隔离，对正面源极开孔后，依次完成正背面的欧姆接触并进行快速热退火，然后再完成栅极的开孔，对正面进行 Al 金属图形化以形成栅极、源极，最后在终端等区域覆盖 Polyimide 进行钝化保护，完成芯片的出厂测试。完成流片后对晶圆进行划片，对其中的小芯片在捷捷半导体股份有限公司进行 TO-247 封装，以进行后续的测试研究。制备得到的 3300V SiC

MOSFET 晶圆及封装后器件如图 3.2 所示。

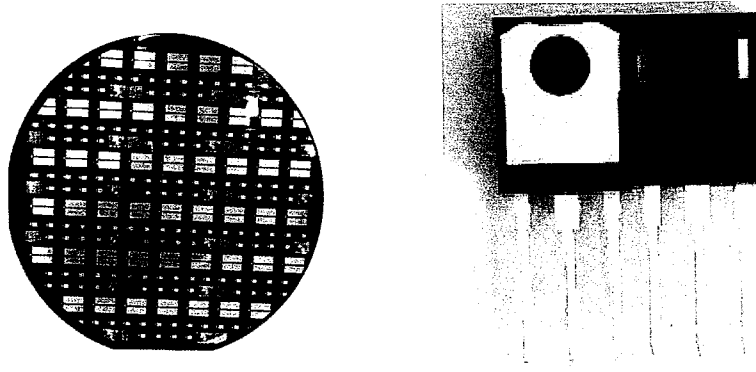


图 3.2 3300V SiC MOSFET 晶圆及器件

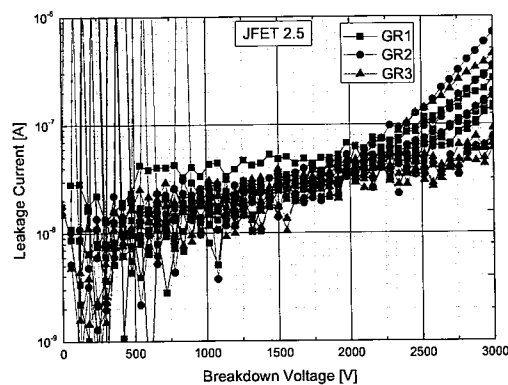
3.2 器件特性测试研究

国际上关于 MOSFET 的测试标准，主要是国际电工委员会(IEC)的 IEC 60747-8:2010^[62]与固态技术协会(JEDEC)的 JESD-24^[63]，暂没有专门针对 SiC MOSFET 的测试标准，因此后续的测试参考这两个标准完成。

3.2.1 击穿电压分析

击穿电压 BV 的测试方法为栅极 G 与源极 S 短接，漏极 D 接高压，以此得到 D-GS 之间的 IV 特性。本研究对击穿电压测试使用的设备为 Agilent B1505A。由于 TO-247 这种封装类型理论上承受的耐压为 3000V，因此测试时电压上限限定为 3000V。

图 3.3 分别给出了相同元胞结构，不同终端结构的击穿特性对比测试结果：



a. JFET=2.5 μ m

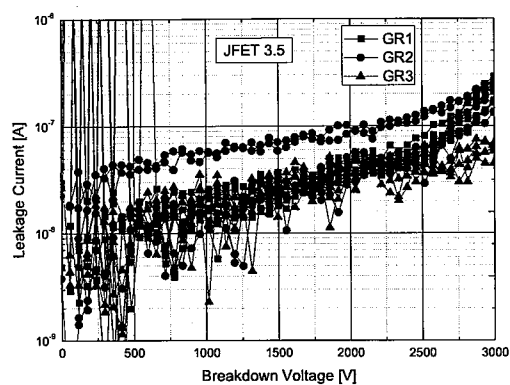
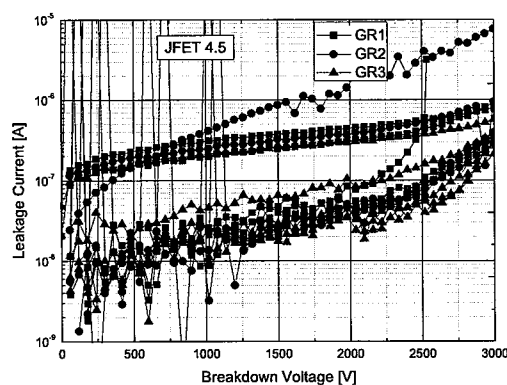
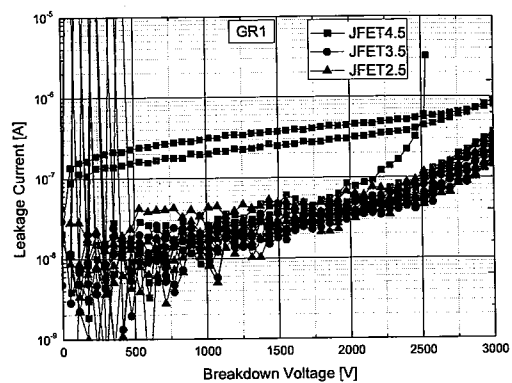
b. JFET=3.5 μm c. JFET=4.5 μm

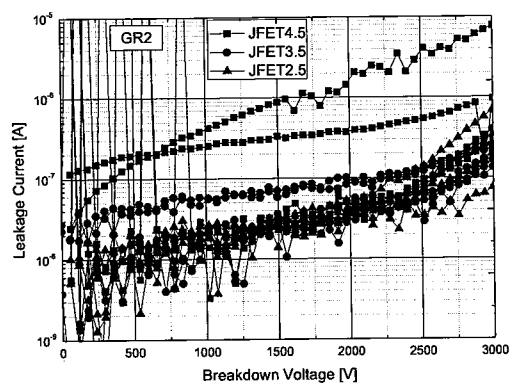
图 3.3 三种终端结构击穿特性对比

图 3.3a、3.3b、3.3c 分别给出了相同的 JFET 宽度下，GR1，GR2，GR3 三种终端结构的击穿特性。从图中可以看出，其三种终端结构，3000V 下漏电流均小于 5 μA ，表现较好。对比而言，GR3 的表现最好，GR1 与 GR2 基本相当。

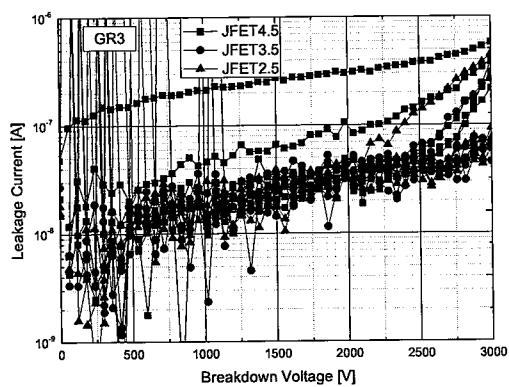
图 3.4 给出了相同终端结构，不同 JFET 宽度对击穿特性的对比测试结果：



a. GR1 结构



b. GR2 结构



c. GR3 结构

图 3.4 不同 JFET 宽度击穿特性对比

从图 3.4 中可以看出,在相同的终端结构下,JFET2.5 μm 结构与 JFET3.5 μm 结构漏电基本相当,整体优于 JFET4.5 μm 结构,与第二章仿真趋势一致。

为了进一步确认器件的击穿电压,对 TO-247 D、S 管脚之间做了绝缘保护,抽测了 JFET3.5 μm 、GR2 这种结构器件的击穿电压,如图 3.5 所示,器件在 1 μA 下其击穿电压大约为 4250V。

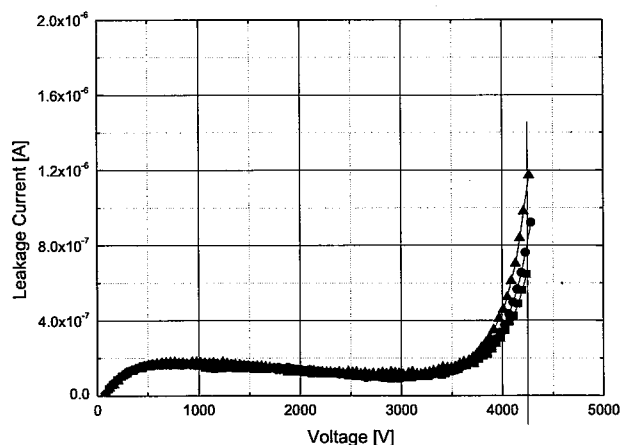


图 3.5 3300V SiC MOSFET 击穿曲线

3.2.2 阈值电压分析

阈值电压由元胞结构决定,与终端结构无关。阈值电压的测试方法为:器件栅极 G 与漏极 D 短接,源极 S 接地,得到 GD-S 的 IV 曲线,当 I_D 达到 2mA 时其电压值为阈值电压 V_{th} 。使用 Agilent B1505A 测试不同器件的阈值电压如图 3.6 所示:

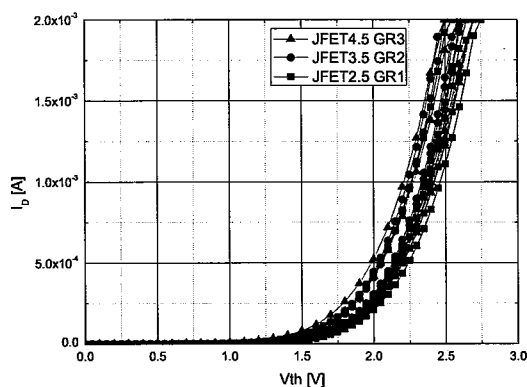


图 3.6 3300V SiC MOSFET 阈值电压曲线

从图 3.6 中可以看出,对于不同 JFET 宽度及不同的终端结构,各种器件的

阈值电压基本一致，整体分布在 2.5V~2.75V 之间，与仿真结果一致。

3.2.3 输出特性分析

器件输出特性的测试方法为：在栅源电压 V_{GS} 分别在 10V、15V、20V 的情况下，扫描得到源漏电压 V_{DS} 与源漏电流 I_D 的关系，使用 Agilent B1505A 测试不同元胞设计的输出特性如图 3.7 所示：

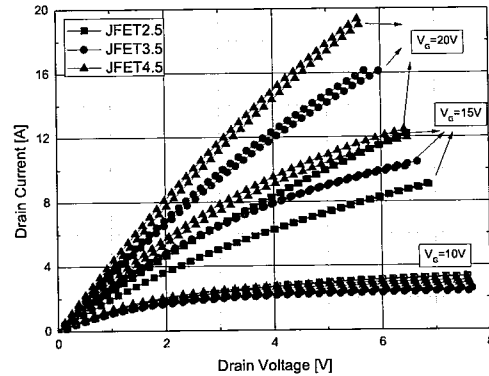


图 3.7 3300V SiC MOSFET 输出特性曲线

从图 3.7 中可以看出，对于不同的 JFET 结构，其电流能力有明显区别。JFET4.5 结构的电流能力最强，JFET2.5 结构的电流能力最小。测试结果汇总如表 3.1 所示：

表 3.1 3300V SiC MOSFET 导通电阻测试结果

项目	单位	测试条件	JFET2.5	JFET3.5	JFET4.5
I_D	A	$V_{GS}=20V$, $V_{DS}=3V$,	6.5	9.5	11.8
R_{on}	$m\Omega$	$V_{GS}=20V$,	245	294	435
Area	cm^2	--	0.11	0.11	0.11
$R_{on,sp}$	$m\Omega \cdot cm^2$	--	48.3	32.6	27.4

从表 3.1 的结果可以看出，三种结构的器件，其电流能力依次为 6.5A、9.5A、11.8A，比导通电阻 $R_{on,sp}$ 依次为 $48.3 m\Omega \cdot cm^2$ ， $32.6 m\Omega \cdot cm^2$ ， $27.4 m\Omega \cdot cm^2$ 。其 JFET4.5 μm 器件比导通电阻与国外传统的 3300V 平面栅 SiC MOSFET 大小基本相当，与仿真结果趋势保持一致，但比仿真结果偏大。这是由于仿真中源极、

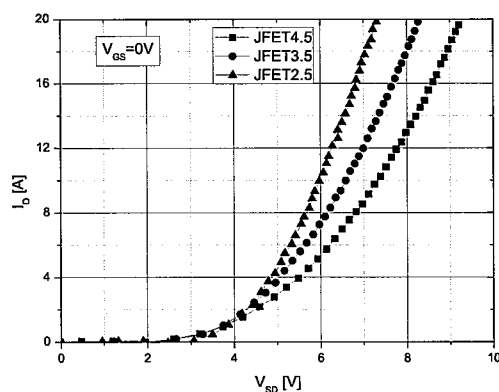
漏极的欧姆接触电阻被忽略,而实际器件这部分电阻与工艺相关,不能被忽略,也存在仿真模型仍不够精确,需要进一步校准的可能性。

3.2.4 其他特性分析

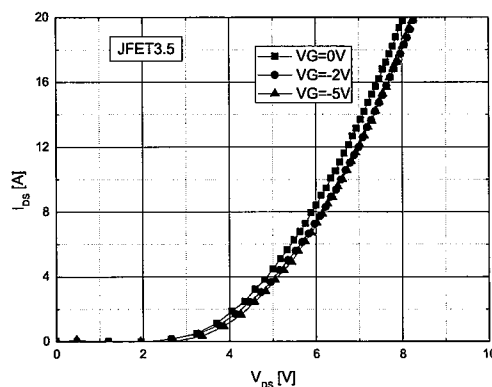
除上述电学特性外,对 3300V SiC MOSFET 的体二极管特性、电容特性及热阻特性也进行了测试。

a) 体二极管特性

体二极管电流特性的测试方法为:栅源电压 V_{GS} 在 0V 到 -5V 的不同条件下,得到漏源电压 V_{SD} 与漏源电流 I_{SD} 之间的关系,其测试结果如图 3.8 所示:



a. 不同结构 3300V SiC MOSFET 体二极管特性 ($V_{GS}=0V$)



b. 不同栅源电压下体二极管特性对比

图 3.8 3300V SiC MOSFET 体二极管特性

图中 3.8a 中是三种不同的元胞结构的器件,在 $V_{GS}=0V$ 下体二极管特性的对比,可以看到 JFET2.5 μm 结构的体二极管电流能力最强, JFET4.5 μm 结构的

电流能力最小。这是由于体二极管的电流是由内部寄生的 PiN 结构决定, JFET 宽度的变化影响相同面积下元胞的数量, JFET 越小, 元胞数量越多, 其体二极管电流能力也就越强。图 3.8b 为 JFET3.5 结构的 3300V SiC MOSFET 器件, 在 $V_{GS}=0V$ 、 $-2V$ 、 $-5V$ 条件下体二极管的特性, 可以看到 $V_{GS}=0V$ 时, 体二极管电流能力最强, $V_{GS}=-2V$ 与 $-5V$ 时, 体二极管电流能力基本相当。

b) 电容特性

SiC MOSFET 的电容特性对后续应用, 尤其是驱动至关重要, 因此对器件的输入电容 C_{iss} 、输出电容 C_{oss} 和反馈电容 C_{rss} 进行了测试, 测试条件为: $f=10KHz$, $V_{GS}=0V$, $V_{DS}=3000V$, $V_{AC}=25mV$ 。对 JFET3.5&GR2 结构的器件电容测试曲线如图 3.9 所示, 其输入电容为 2350pF, 输出电容为 33.7pF, 反馈电容为 6.9pF。

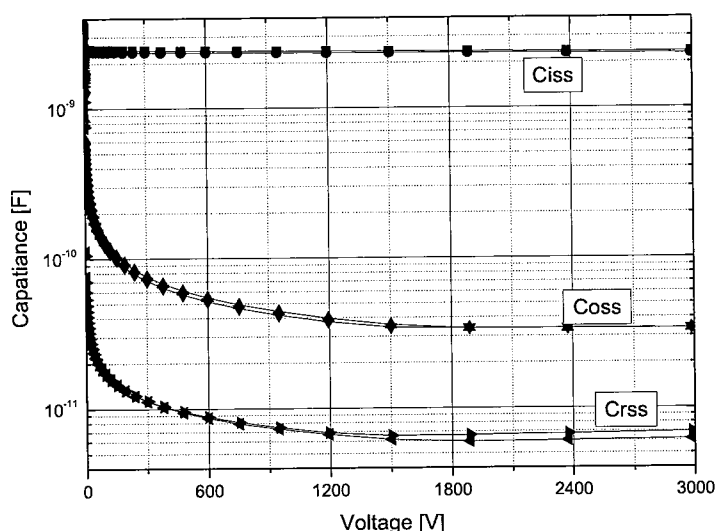


图 3.9 3300V SiC MOSFET 电容特性

c) 热阻特性

SiC MOSFET 的热阻特性是影响散热的重要因素。因此对 JFET3.5&GR2 结构的器件进行了热阻曲线的测试。对不同脉宽、不同占空比下器件的瞬态结壳热阻抗进行了测试, 测试结果如图 3.10 所示, 其瞬态热阻抗 Z_{thjc} 为 0.38K/W。

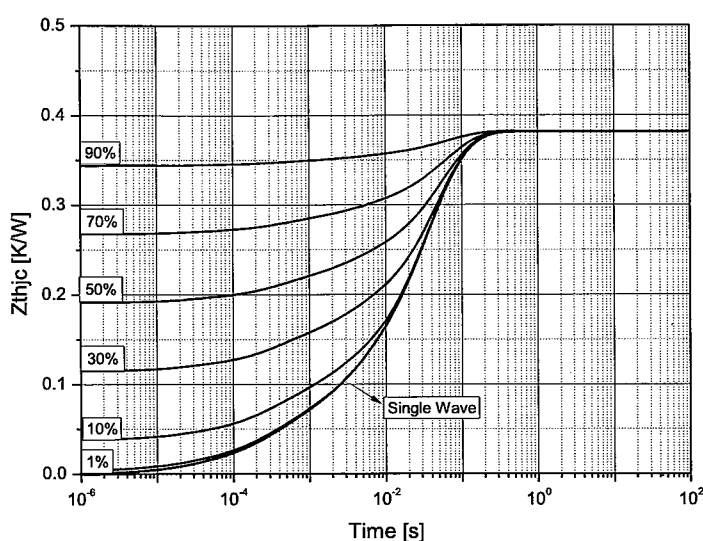


图 3.10 3300V SiC MOSFET 热阻特性曲线

3.3 仿真及测试结果对比

表 3.2 给出了阈值电压与比导通电阻的仿真与实测结果对比,从表中可以看出, 阈值电压仿真值与实测值基本一致, 而比导通电阻测试值偏大。这主要是因为仿真中源极与漏极的接触电阻被忽略, 而实际中这部分电阻与工艺相关性比较大, 尤其是源极的接触电阻, 这部分不可被忽略。此外, 也可能是因为仿真模型仍不够准确, 需要进一步校准。

表 3.2 仿真及测试结果对比 (阈值电压、导通电阻)

参数		单位	JFET2.5	JFET3.5	JFET4.5
$V_{TH@}$ 1mA	仿真值	V	2.24	2.24	2.24
	测试值	V	2.25~2.45	2.25~2.40	2.25~2.40
$R_{on,sp}$	仿真值	$m\Omega \cdot cm^2$	35.26	23.29	21.55
	测试值	$m\Omega \cdot cm^2$	48.3	32.6	27.4

表 3.3 给出了击穿特性的仿真值与实测值对比,由于实测中大部分器件只是测试了 3000V 下的漏电流。因此表 3.3 给出了仿真 BV 值及实测 $I_{DSS@3000V}$ 的对比, 一般来说 BV 值越高漏电 I_{DSS} 越小, 仿真中的 BV 值是选取元胞耐压与终端耐压两者耐压的最小值。

表 3.3 击穿特性仿真与测试对比

单位	终端结构	JFET2.5	JFET3.5	JFET4.5
BV 仿真值	GR1	3652V	3652V	3652V
I_{DSS} 测试值		$\sim 0.3\mu A$	$\sim 0.2\mu A$	$\sim 1\mu A$
BV 仿真值	GR2	4212V	4201V	4154V
I_{DSS} 测试值		$\sim 0.3\mu A$	$\sim 0.2\mu A$	$\sim 1\mu A$
BV 仿真值	GR3	3974V	3974V	3974V
I_{DSS} 测试值		$\sim 0.1\mu A$	$\sim 0.1\mu A$	$\sim 0.5\mu A$

从表 3.3 可以看出：

1) 对于不同的 JFET 结构，仿真中元胞的耐压高于终端的耐压，器件耐压由终端耐压决定；但实际测试中，漏电流随着 JFET 的增大而增大，说明元胞区域对漏电仍有比较大的贡献。

2) 对于不同的终端，仿真中 GR2 的耐压最高，但是实际测试中 GR3 的漏电表现最好，GR1 与 GR2 漏电表现相当，与 GR3 差距也不大。

3) 实际测试中，抽测了 JFET3.5、GR2 结构器件的击穿电压，其 $1\mu A$ 下击穿电压大约为 4250V，与仿真值 4201V 基本相当。

因此，在器件的击穿电压设计方面，一方面需要进一步的加强仿真设计与实际工艺的匹配关系，尤其是离子注入后结的深度及横向散射的情况，以保证仿真的准确性；另一方面，需要重视元胞区域耐压的设计，对 JFET 宽度的设计需考虑电流能力与击穿电压之间的折中。

3.4 本章小结

本章介绍了 3300V SiC MOSFET 的工艺流程，进行了 3300V SiC MOSFET 晶圆的流片及封装，完成了不同设计的 3300V SiC MOSFET 的全参数测试分析，整体而言，测试结果与仿真结果基本保持一致。

对器件的漏电及耐压进行了测试分析，通过小批量的测试，器件 3000V 下漏电流在 $5\mu A$ 以下，其中终端 GR3 结构表现最好，元胞结构 JFET2.5 和 JFET3.5 漏电表现最好。对 JFET3.5、GR2 器件的击穿电压进行测试，在 $1\mu A$ 下其击穿

电压达到了 4250V。

对器件的电流能力进行测试分析, 三种元胞结构的比导通电阻 $R_{on,sp}$ 依次为 $48.3 \text{ m}\Omega\cdot\text{cm}^2$, $32.6 \text{ m}\Omega\cdot\text{cm}^2$, $27.4 \text{ m}\Omega\cdot\text{cm}^2$, JFET4.5 μm 结构的器件与国际上 3300V 传统的平面栅 3300V SiC MOSFET 电流能力相当, 但实测结果比仿真结果稍微偏大。

对 JFET3.5、GR2 结构器件的阈值电压、体二极管、电容特性及热阻特性进行了测试。器件的阈值电压为 2.6V($I_D=2\text{mA}$), 体二极管电流为 8A($V_{SD}=6\text{V}$), 输入电容为 2350pF, 输出电容为 33.7pF, 反馈电容为 6.9pF, 结壳热阻为 0.38K/W。

第4章 3300V SiC MOSFET 开关及短路特性研究

SiC MOSFET 器件是一种电子开关器件，在正常工况中，SiC MOSFET 在栅极的控制下完成电流的开通与关断。在开关过程中，电流电压的变化时间、变化速率、过冲震荡等受器件本身及使用条件来决定。在异常情况及特定需求中，需要 SiC MOSFET 具有一定的短路承受能力，以等待系统启动保护机制。本章中将研究 3300V SiC MOSFET 在不同开关条件、短路条件下的表现，并针对短路过程中的内部载流子行为规律展开仿真研究。

4.1 开关特性测试研究

本部分将研究不同结构的 3300V SiC MOSFET 双脉冲测试的表现，同时对不同测试条件下的波形及数据进行分析。

4.1.1 测试原理及参数定义

参考实际的应用需求，SiC MOSFET 的开关性能一般在感性负载双脉冲电路下进行测试，其测试电路图如 4.1 所示^[64]。

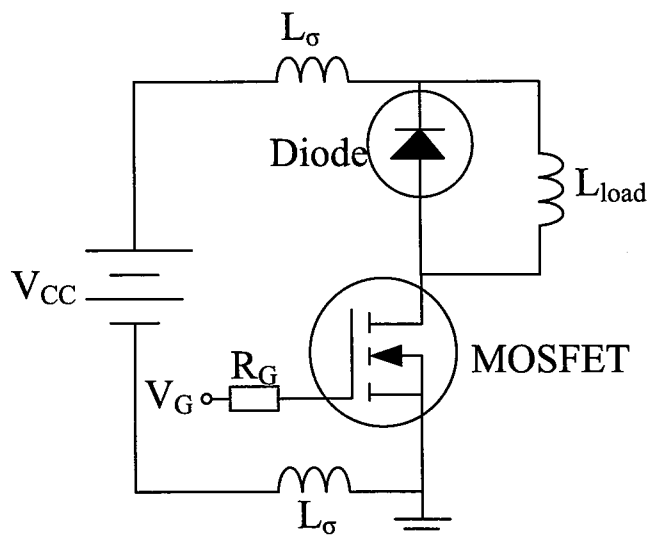


图 4.1 双脉冲测试电路示意图

在 4.1 图中， V_{CC} 是开关时的母线电压， L_{load} 是负载电感， R_G 是栅电阻， L_σ 是测试回路的寄生电感， V_G 是栅极电压。MOSFET 位于下管位置，上管位置

为续流二极管。

双脉冲测试的典型波形如图 4.2 所示：

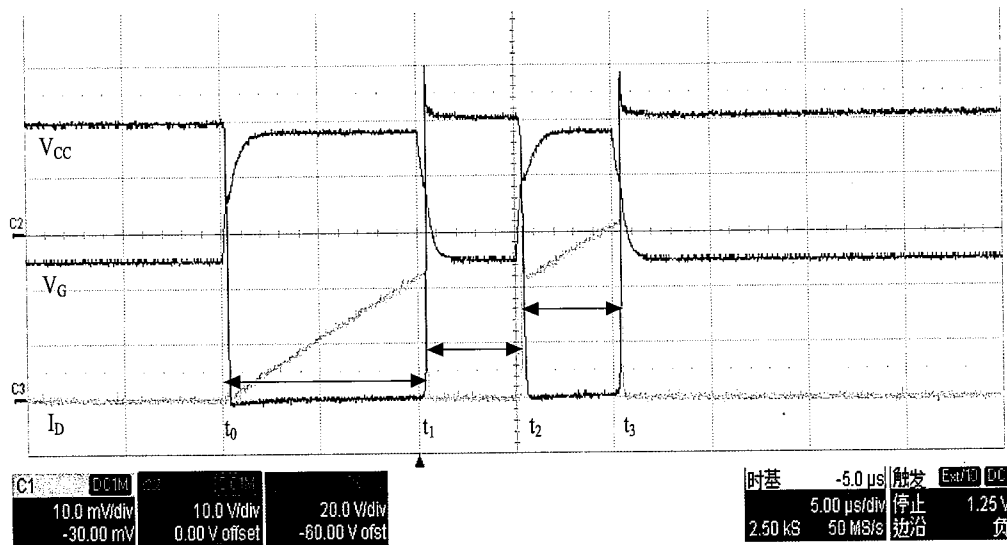


图 4.2 双脉冲测试波形

在图 4.2 中，蓝色曲线为 V_{CC} 为源漏之间的母线电压，红色曲线为栅极电压 V_G ，黄色曲线为源漏电流 I_D 。在 t_0 时刻，栅极施加正向的开启电压，MOSFET 器件开启，电源给负载电感充电，电流经过负载电感流过 MOSFET 器件，充电的速度受母线电压及负载电感的影响。到 t_1 时刻，电流达到被测器件的关断电流 I_D ，栅极电压降低至关断电压，MOSFET 开始关断，同时上管续流二极管开始工作，电感电流变化引起的感生电动势叠加到母线电压上，电压 V_{CC} 在此刻出现尖峰。在 t_2 时刻，MOSFET 在栅极电压的控制下再次开启，上管的续流二极管开始关断，其反向恢复电流叠加在 MOSFET 的电流上，因此 t_2 时刻电流出现尖峰，到 t_3 时刻 MOSFET 再次关断^[8]。

通常在开关过程中，关注的参数有电流下降时间 t_f ，关断延迟 t_{doff} ，电流上升时间 t_r ，开通延迟 t_{don} ，电流变化速率 di/dt ，电压变化速率 dv/dt ，电流峰值 I_{peak} ，电压峰值 V_{peak} 。对于开关过程中参数的定义，如图 4.3 所示。

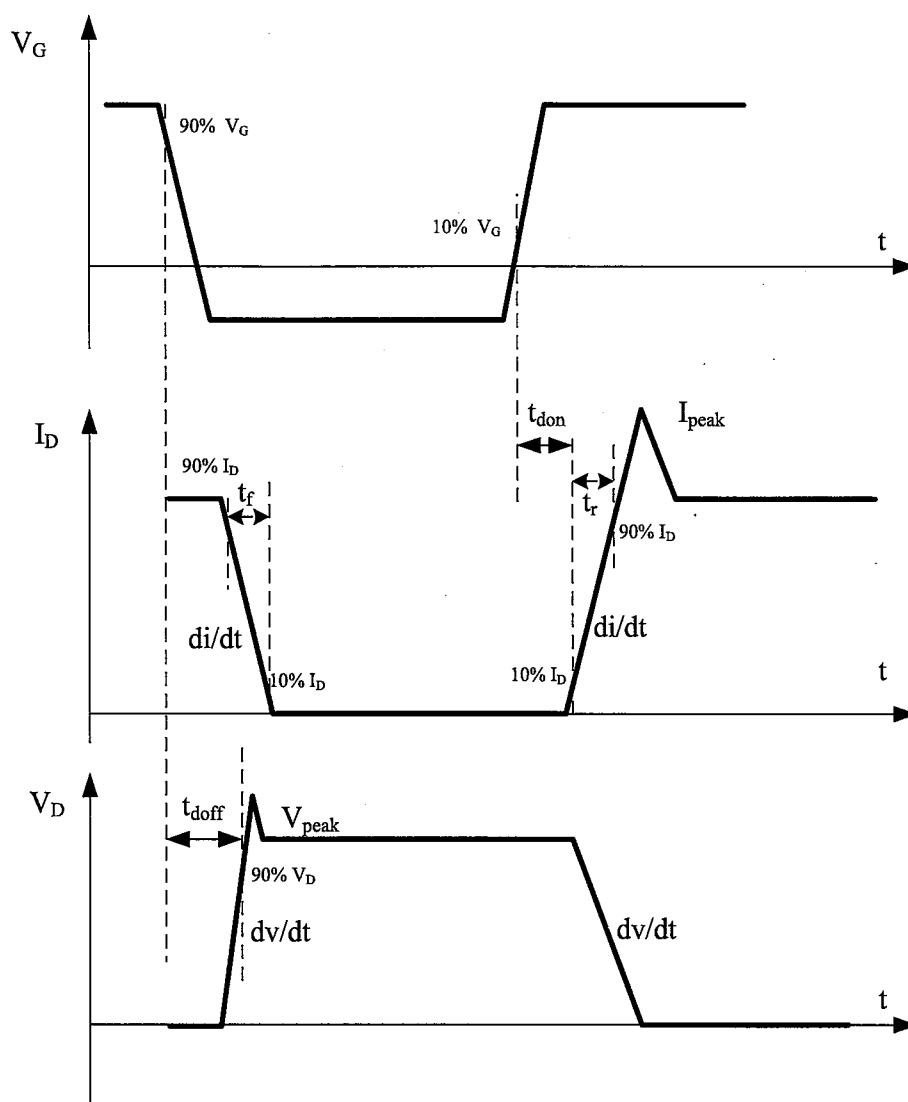


图 4.3 开关过程中参数定义

本研究中双脉冲测试使用的是 Tesec3430-SW 动态参数测试系统，其设备内置的续流二极管使用的 1700V Si 快恢复二极管（未找到合适的 SiC 二极管进行替换），其续流二极管的反向恢复能量包含在 MOSFET 的开通损耗中，因此开通损耗比使用 SiC SBD 作反向续流二极管要高，但不影响后续的分析。接下来依次研究不同设计的 3300V SiC MOSFET 开关特性，以及开关特性随栅电阻、栅开启电压及母线电压的变化关系。

4.1.2 不同设计开关特性研究

对不同结构的器件，在相同的双脉冲测试条件下进行研究分析，其双脉冲测试条件为：

$V_{CC}=1500V$, $V_G=18V/-5V$, $I_D=7.5A(t_1=5\mu s)$, $R_G=10\Omega$, $L_{load}=500\mu H$

对 JFET2.5、JFET3.5 和 JFET4.5 三种结构的器件进行双脉冲测试，其关断过程波形测试结果如图 4.4 所示。

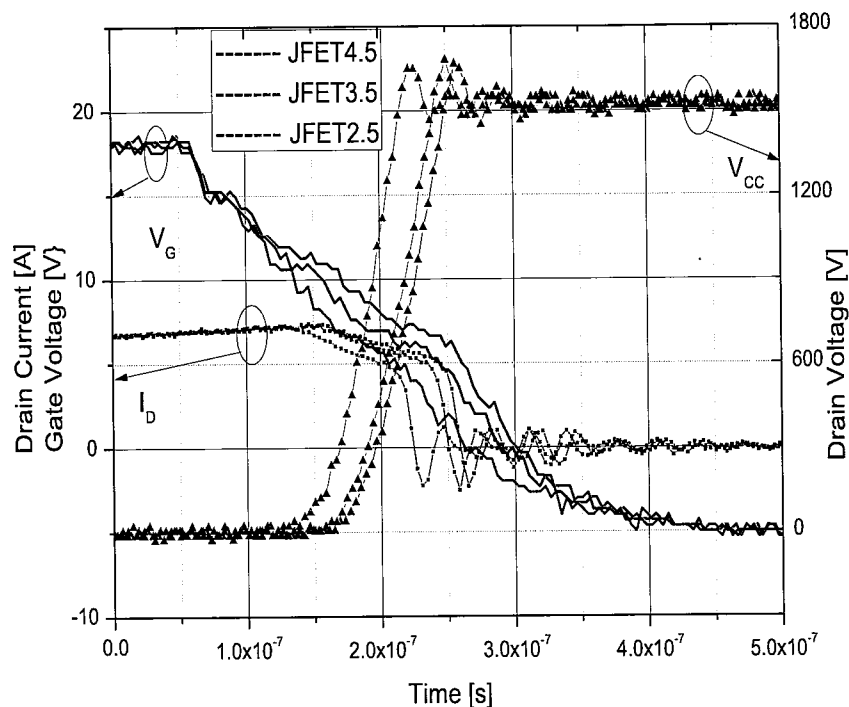


图 4.4 三种结构器件关断过程波形

从图 4.4 中可以看到，在栅极电压开始关断后，JFET2.5（蓝色曲线）结构的器件电流率先开始下降，JFET4.5 结构（黑色曲线）电流最后开始下降，在电流下降的同时，源漏电压开始上升。三种结构器件关断过程中的相关参数提取如表 4.1 所示：

表 4.1 三种结构器件关断参数对比

项目	单位	测试条件	JFET4.5	JFET3.5	JFET2.5
t_f	ns	$V_G=18V/-5V$;	80	78	76
t_{doff}	ns	$I_D=7.5A$;	183	173	165
V_{peak}	V	$V_{CC}=1500V$;	1666	1682	1649
di/dt	A/ μs	$R_G=10\Omega$;	96.9	69.2	52.6
dv/dt	V/ μs	$L_{load}=500\mu H$	2050	2120	2250

从表 4.1 中看出, 对于 t_f 、 V_{peak} 、 di/dt 、 dv/dt 这四个参数, 三种结构器件有微小区别, 但结合图 4.4 综合分析, 这部分差距可以认为是测试误差, 与示波器的精度及取点的位置有一定关系。但不同器件结构的 t_{doff} 可以看到明显的差别, JFET4.5 结构 t_{doff} 最大, JFET2.5 结构 t_{doff} 最小。这因为 t_{doff} 主要是受栅极电容决定, JFET4.5 结构与 JFET2.5 结构相比, JFET 区域变大, 相同芯片面积下栅氧总面积变大, 因此 JFET4.5 结构的栅电容大于 JFET2.5 结构, 在关断过程中栅电容的放电速度变慢, 其关断延迟时间变大。

不同结构的三款 3300V SiC MOSFET 器件, 开启过程波形如图 4.5 所示:

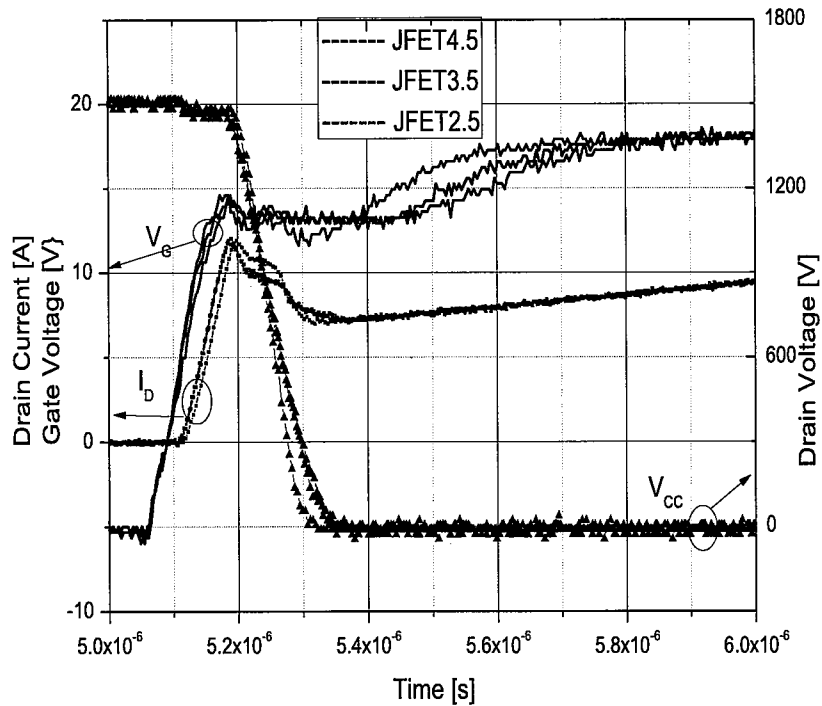


图 4.5 三种结构器件开启过程波形

从图 4.5 可以看到, 在栅极电压由 -5V 开始增大后, JFET4.5 结构器件率先开启, 电流开始增大, 源漏电压开始降低, JFET2.5 结构器件最后开启。JFET4.5 结构的器件 V_G 达到 18V 开启电压值的时间最长, JFET2.5 结构器件 V_G 达到 18V 所用的时间最短, 这因为在相同有源区面积下, JFET4.5 结构的栅氧面积最大, JFET2.5 结构的栅氧面积最小, 其栅氧电容的差异引起开启过程中栅电容的充电速度不同。

三种结构开启过程中的相关参数提取如表 4.2 所示:

表 4.2 三种结构器件开启参数对比

项目	单位	测试条件	JFET4.5	JFET3.5	JFET2.5
t_r	ns	$V_G=18V/-5V$;	36	36	40
t_{don}	ns	$I_D=7.5A$;	20	20	24
I_{peak}	A	$V_{CC}=1500V$;	11.8	12	11.9
di/dt	A/ μs	$R_G=10\Omega$;	162	166	155
dv/dt	V/ μs	$L_{load}=500\mu H$	1.05×10^4	1.10×10^4	1.23×10^4

对于 JFET4.5 和 JFET3.5 两种结构而言, 各开启参数基本一样, JFET2.5 开启的速度要慢一些。这是因为 JFET2.5 结构的器件电流能力最小, 要同样达到 7.5A 的关断电流, 需要 V_{DS} 更大, 因此开启速度稍慢于另外两款器件。

4.1.3 开关条件影响分析

a) 栅电阻影响研究

栅极电阻 R_G 影响器件开关过程中栅电容的充电速度, 进而影响器件的开关性能, 在不同栅电阻 R_G 下, 对 JFET4.5 GR2 器件进行如下测试:

$V_{CC}=100V$, $V_G=18V/-5V$, $I_D=2A(t_1=5\mu s)$, $R_G=100\Omega/50\Omega/20\Omega/5\Omega$, $L_{load}=500\mu H$

其关断过程波形如图 4.6 所示:

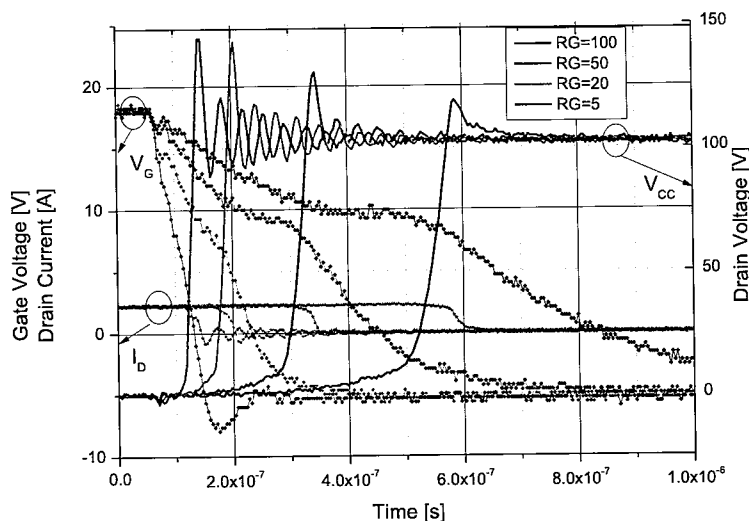


图 4.6 不同 R_G 下关断波形对比

不同栅电阻下关断过程中相关参数如表 4.3 所示:

表 4.3 不同栅电阻下关断参数对比

项目	单位	测试条件	$R_G=100\Omega$	$R_G=50\Omega$	$R_G=20\Omega$	$R_G=5\Omega$
t_f	ns	$V_G=18V/-5V$;	28	28	24	24
t_{doff}	ns	$I_D=2A$;	450	250	121	64
V_{peak}	V	$V_{CC}=1500V$;	119	130	142	144
di/dt	A/ μs	$L_{load}=500\mu H$	34	61	66	72
dv/dt	V/ μs		1330	2410	3820	5480

结合图 4.6 和表 4.3 可以看到, 随着 R_G 的降低, 器件关断延迟时间 t_{doff} 明显减小, 引起 V_{peak} 、 di/dt 、 dv/dt 的增大, t_f 随 R_G 的降低略有减小。

不同栅电阻下开启过程的波形如图 4.7 所示, 相关参数如表 4.4 所示:

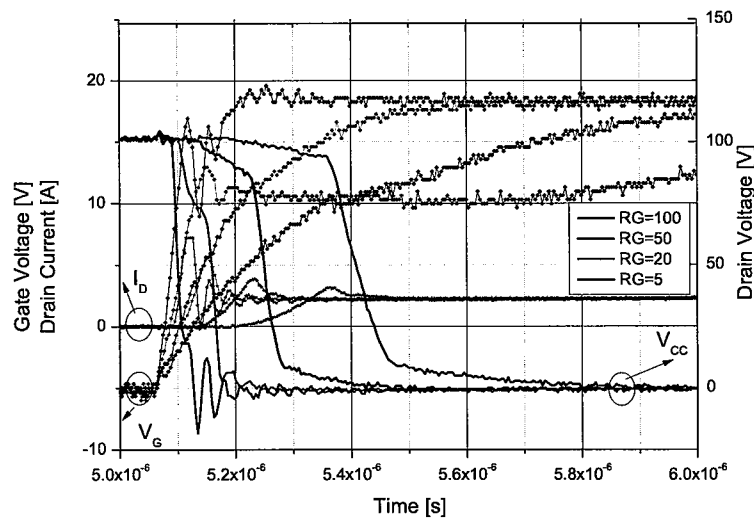


图 4.7 不同栅电阻 R_G 下开启波形对比

表 4.4 不同栅电阻下开启参数对比

项目	单位	测试条件	$R_G=100\Omega$	$R_G=50\Omega$	$R_G=20\Omega$	$R_G=5\Omega$
t_r	ns	$V_G=18V/-5V$;	92	40	16	8
t_{don}	ns	$I_D=2A$;	68	36	16	12
I_{peak}	A	$V_{CC}=1500V$;	3.2	3.9	5.5	7.2
di/dt	A/ μs	$L_{load}=500\mu H$	18.5	30.4	114	278
dv/dt	V/ μs		924	1870	2280	4030

结合图 4.7 和表 4.4 可以看到, 随着 R_G 的降低, 电流上升时间 t_r 跟开启延迟时间 t_{don} 都随之变小, 但 I_{peak} 、 di/dt 、 dv/dt 都随之变大, 引起波形震荡加剧。

b) 栅开启电压影响研究

栅极开启电压 V_G 影响到器件的开启程度及开关速度, 因此对不同栅极开启电压下的开关过程进行研究, 测试条件如下:

$V_{CC}=100V$, $V_G=10V$ 、 $15V$ 、 $18V$ 、 $20V/-5V$, $I_D=2A(t_1=5\mu s)$, $R_G=100\Omega$, $L_{load}=500\mu H$

选用 JFET4.5 GR2 结构的器件按照上述条件进行双脉冲测试, 其关断过程的波形如图 4.8 所示, 其关断过程中相关参数如表 4.5 所示。

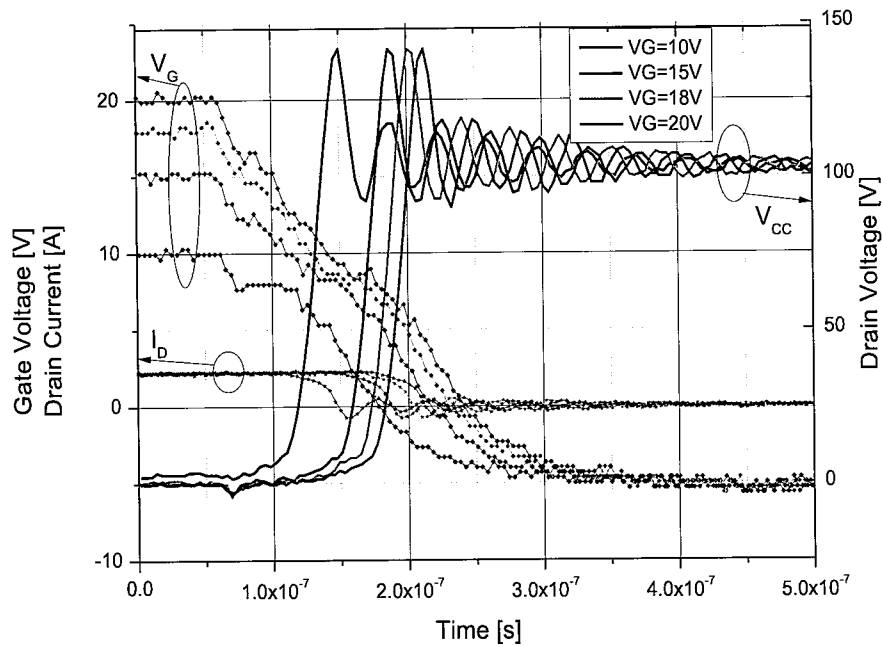


图 4.8 不同 V_G 下关断波形对比

表 4.5 不同 V_G 下关断参数对比

项目	单位	测试条件	$V_{G,on}=10V$	$V_{G,on}=15V$	$V_{G,on}=18V$	$V_{G,on}=20V$
t_r	ns	$V_{G,off}=-5V$;	20	24	24	28
t_{doff}	ns	$I_D=2A$;	68	108	122	130
V_{peak}	V	$R_G=100\Omega$;	141	141	141	141
di/dt	A/ μs	$V_{CC}=100V$;	75	68	69	66
dv/dt	V/ μs	$L_{load}=500\mu H$	3990	3780	3930	3730

从图 4.8 和表 4.5 可以综合看出, 栅极开启电压 $V_{G,on}$ 的不同, 主要影响着关断延迟时间 t_{doff} , 对 t_r 、 di/dt 略有影响, 对 V_{peak} 及 dv/dt 影响很小。

不同栅开启电压下, 其开启过程的波形如图 4.9 所示, 其开启过程中相关参数如表 4.6 所示。

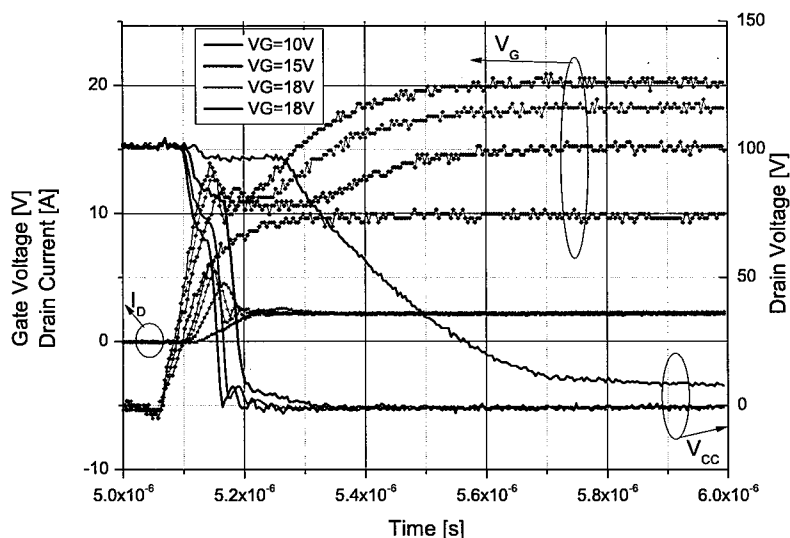


图 4.9 不同 V_G 下开启波形对比

表 4.6 不同栅压下开启参数对比

项目	单位	测试条件	$V_{G,on}=10V$	$V_{G,on}=15V$	$V_{G,on}=18V$	$V_{G,on}=20V$
t_r	ns	$V_{G,off}=-5V$;	68	24	20	12
t_{don}	ns	$I_D=2A$;	184	26	24	24
I_{peak}	A	$R_G=100\Omega$;	2.6	4.5	5.5	6.1
di/dt	A/ μs	$V_{CC}=100V$;	23	81	98	133
dv/dt	V/ μs	$L_{load}=500\mu H$	171	781	1270	1290

从图 4.9 和表 4.6 可以综合看出, 栅极 $V_{G,on}$ 的不同, 对 t_r 、 t_{don} 、 di/dt 、 dv/dt 均有影响。 $V_{G,on}$ 对 t_{don} 的影响是因其对栅电容充电速度不同造成, 对 di/dt 、 t_r 、 dv/dt 的影响是因为对于同一器件不同栅压下, 沟道开启程度不同, 源漏电流达到开启电流($I_D=2A$)的速度不同造成。栅开启电压越大, 沟道电流能力越强, 电流达到额定开启电流的速度越快, 其 t_r 越小, 而 di/dt 、 dv/dt 明显变大。另外, 图中 $V_{G,on}=10V$ 下, V_{DS} 电压较高是因为器件已经进入饱和区。

c) 母线电压影响研究

对 JFET4.5 GR2 结构器件, 在不同的母线电压 V_{CC} 下, 对其开关过程进行研究, 其双脉冲测试条件如下:

$V_{CC}=100V/500V/1000V/1500V$, $V_G=18V/-5V$, $t_1=5\mu s$, $R_G=100\Omega$, $L_{load}=500\mu H$

该测试的关断过程波形如图 4.10 所示, 该关断过程的相关参数见表 4.7。

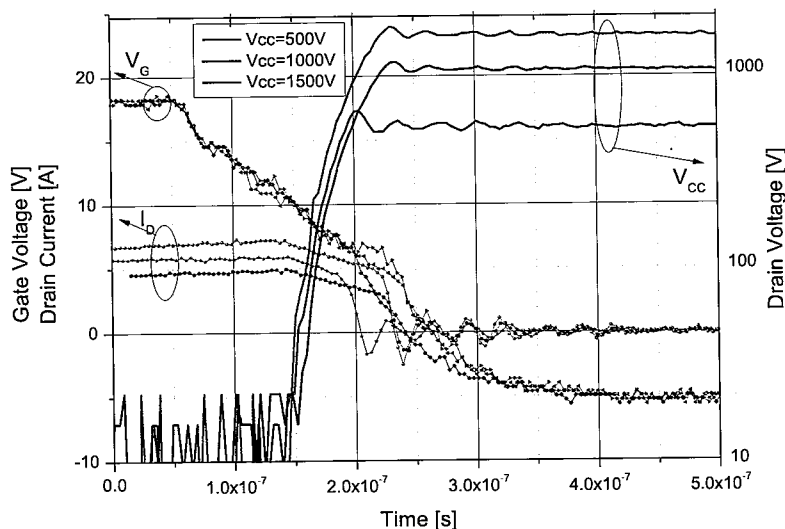


图 4.10 不同 V_{CC} 下关断波形

表 4.7 不同 V_{CC} 下关断参数对比

项目	单位	测试条件	$V_{CC}=500V$	$V_{CC}=1000V$	$V_{CC}=1500V$
t_f	ns		16	14	16
t_{doff}	ns	$V_G=18/-5V$;	148	152	151
V_{peak}	V	$R_G=100\Omega$;	620	1111	1682
di/dt	A/ μs	$L_{load}=500\mu H$	227	224	226
dv/dt	V/ μs		1.57×10^3	1.44×10^3	2.01×10^3

在不同 V_{CC} 的双脉冲测试中, I_D 会随着 V_{CC} 增大而增大, 因此调整第一脉宽的时间, 使 I_D 尽可能的相同, 但因器件电流能力较小及设备精度影响, 开关测试中的 I_D 有一定差别。结合图 4.10 及表 4.7 可以看出, 增大 V_{CC} 主要影响的是 dv/dt 这一个参数, 而对 t_f 、 t_{doff} 、电压过冲 ($V_{peak}-V_{CC}$)、 di/dt 等基本无影响。

在不同 V_{CC} 下器件的开启波形如图 4.11 所示, 开启过程中的相关参数如表

4.8 所示。

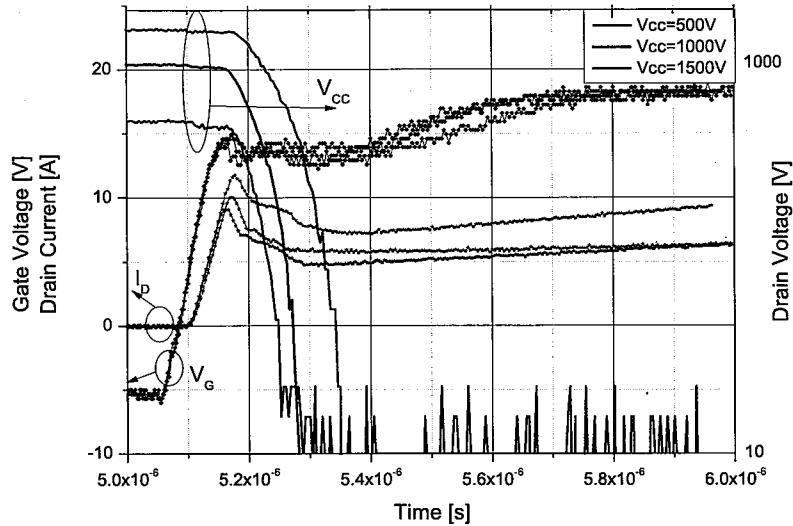


图 4.11 不同 V_{CC} 下开启波形对比

表 4.8 不同 V_{CC} 下开启参数对比

项目	单位	测试条件	$V_{CC}=500V$	$V_{CC}=1000V$	$V_{CC}=1500V$
t_r	ns		24	24	24
t_{don}	ns	$V_G=18/-5V$;	16	16	16
I_{peak}	A	$R_G=100\Omega$;	10.5	9.1	11.7
di/dt	A/ μs	$L_{load}=500\mu H$	169	163	163
dv/dt	V/ μs		6.27×10^3	9.55×10^3	1.04×10^4

从图 4.11 和表 4.8 可以综合看出, 在不同 V_{CC} 的条件下, 器件的开启过程基本相同, dv/dt 受 V_{CC} 大小的影响, V_{CC} 越高, dv/dt 越大。 I_{peak} 由续流二极管跟 I_D 决定, 由于本次测试中 I_D 不完全相同, 故 I_{peak} 的值略有差异, 其电流过冲值 $I_{peak}-I_D$ 基本相同。

4.2 短路测试研究

4.2.1 短路测试原理及失效机理

SiC MOSFET 的短路能力是 SiC MOSFET 鲁棒性的一个重要指标。高压 SiC MOSFET 器件的主要竞争对手是 Si IGBT, 但 SiC MOSFET 的短路能力被认为

低于 Si IGBT^[36]。3300V SiC MOSFET 的短路特性目前研究较少，主要集中在短路能力的测试方面^[28,36]，缺少对内部机理的研究。1200V 系列的 SiC MOSFET 的短路研究相对较多，主要集中在：1) SiC MOSFET 与 SiC JFET、SiC BJT 以及 Si MOSFET、Si IGBT 等进行短路特性对比分析^[65~75]；2) 在短路测试中发现栅电压下降及电流拖尾等问题的出现^[76~88]；3) 部分研究针对短路过程中器件内部的状态，利用仿真工具对其进行过了分析，指出不同模式下其失效的机理^[76,79,87,88]；4) 同时部分报道进行了短路失效现象的研究^[89,90,91]；5) 另外在短路的表征及保护方面，也有一定的分析研究^[92~95]。因此，本论文中 3300V SiC MOSFET 的短路研究中，部分结果及机理与 1200V SiC MOSFET 的研究结论进行对比分析。

高压 SiC MOSFET 应用场景与 Si IGBT 相同，其短路失效模式与 Si IGBT 的失效模式也基本相同^[68]，如图 4.12 所示。

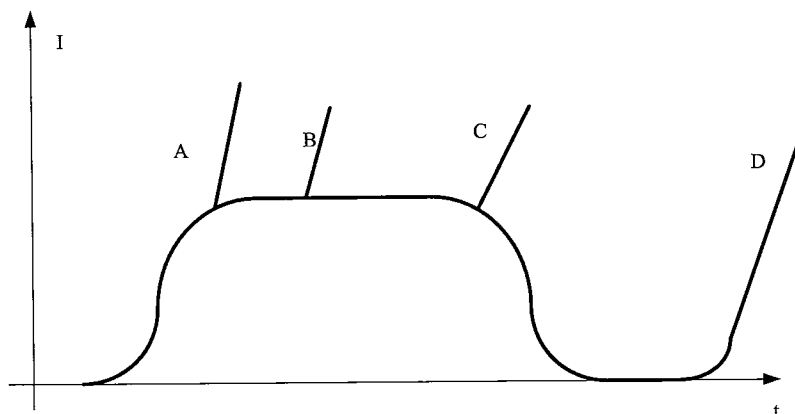


图 4.12 IGBT 中短路失效模式

A 处发生短路是由于高压大电流触发了器件内部的雪崩电离，造成电子空穴倍增失效^[96]，B 处发生失效是由于芯片内部温度升高，达到了本征激发的温度而造成的失效^[97]，C 处发生失效一种解释是芯片内部温度过高而引起的热失效^[96]，另一种解释是在器件关断时高的 dv/dt 触发了动态门锁造成失效^[98]，D 处发生失效原因是受到器件散热能力的限制，器件关断后芯片内部局部区域的热电正反馈造成失效^[99]。

SiC MOSFET 短路测试的电路图如图 4.13 所示：

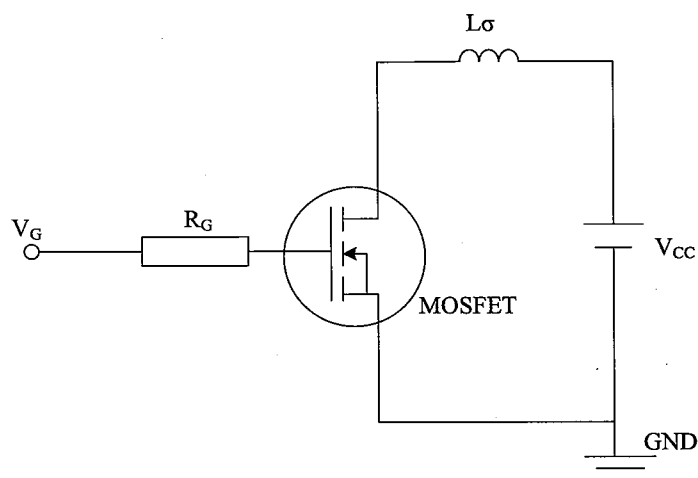


图 4.13 SiC MOSFET 短路测试电路图

图中， V_G 是栅极电压， R_G 是栅极电阻， V_{CC} 是母线电压(源漏之间电压)， L_σ 是母线寄生电感。这些条件均会对 SiC MOSFET 器件的短路能力产生影响，下面依次对这些短路条件进行分析研究。

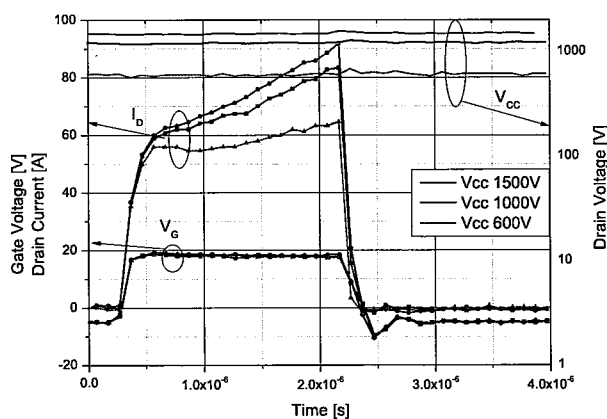
4.2.2 短路条件影响分析

a) 母线电压影响研究

基于 JFET2.5 GR1 结构的器件，对不同母线电压下短路波形进行研究，该分析主要目的是分析 V_{CC} 对短路波形的影响，因此短路时间设置为 $2\mu\text{s}$ ，以保证器件不会发生短路失效。其短路测试条件如下：

$$V_G=18\text{V}/-5\text{V}, R_G=0.1\Omega, t_{sc}=2\mu\text{s}, V_{CC}=600\text{V}/1200\text{V}/1500\text{V}$$

其测试的短路波形如图 4.14 所示：

图 4.14 不同 V_{CC} 下短路波形

从图 4.14 中可以看出, 不同 V_{CC} 下, 其短路电流不同。在 1500V、1000V、600V 下, 峰值短路饱和电流 I_{SC} 依次为 92A、83A、65A, 器件在这三种短路条件下均能正常关断, 未出现栅极电压 V_G 降低的现象。 V_{CC} 在器件开关过程中, 受寄生电感影响, 在器件开启过程中略有下降, 关断过程中略有上升, 其电压峰值分别为 1560V/1444V、1261V/1161V、680V/565V, 说明其短路开关过程中电流变化斜率 di/dt 不同, 与 V_{CC} 有一定相关性。另外, 三种条件下栅压波形 V_G 重合, 未受到 V_{CC} 变化的影响。

b) 栅开启电压影响研究

基于 JFET2.5、GR1 结构的器件, 按照如下的短路测试条件, 对器件的短路波形进行研究, 该分析主要目的是分析 V_G 对短路波形的影响, 因此短路时间设置为 $2\mu s$, 以保证器件不会发生短路失效。短路测试条件如下:

$$V_{CC}=1200V, R_G=0.1\Omega, t_{sc}=2\mu s, V_{G,off}=-5V, V_{G,on}=10V/15V/20V$$

其测试的短路波形如图 4.15 所示:

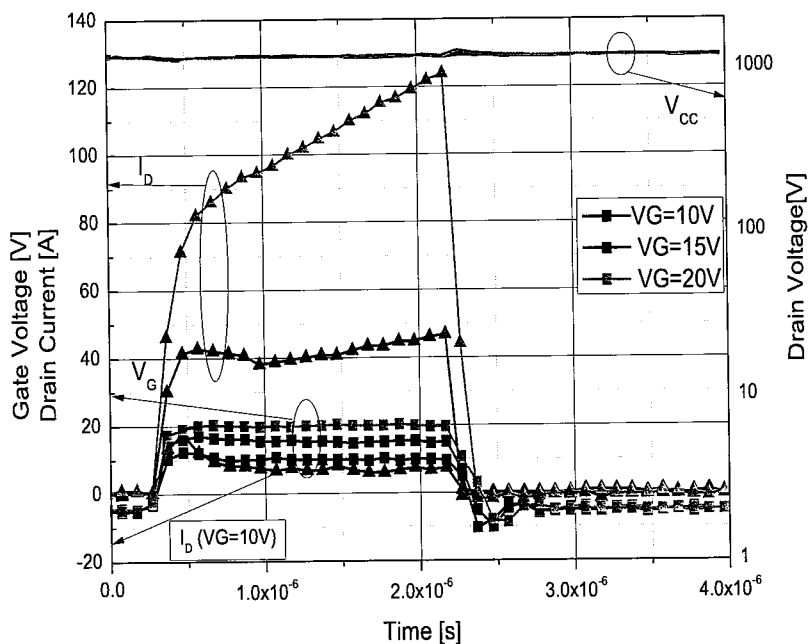


图 4.15 不同 V_G 下短路波形

从图 4.15 中可以看出, 不同 V_G 下器件的短路电流 I_{SC} 明显不同。在 $V_G=10V$ 、15V、20V 下, 短路饱和电流 I_{SC} 依次为 17A、47A、124A。其中 $V_G=10V$ 与 15V

下, 短路电流出现先下降后上升的情况, 这是因为器件饱和电流随着温度的升高而降低; $V_G=20V$ 下, 短路电流未达到最大值, 因此未出现短路电流下降的情况。 V_{CC} 在开关过程瞬间, 同样受到寄生电感影响, 引起一定波动, 其电压峰值分别为 1228V/1178V、1245V/1162V、1295V/1129V, ΔV_{CC} 随着 V_G 增大而增大。

c) 栅电阻影响研究

基于 JFET2.5、GR1 结构的器件, 按照如下的短路测试条件, 对器件的短路波形进行研究, 该分析主要目的是为分析 R_G 对短路波形的影响, 因此短路时间设置为 $2\mu s$ 。

$V_{CC}=1200V$, $V_G=18V/-5V$, $t_{sc}=2\mu s$, $R_G=0.1\Omega$, 1Ω , 10Ω , 100Ω

其测试的短路波形如图 4.16 所示:

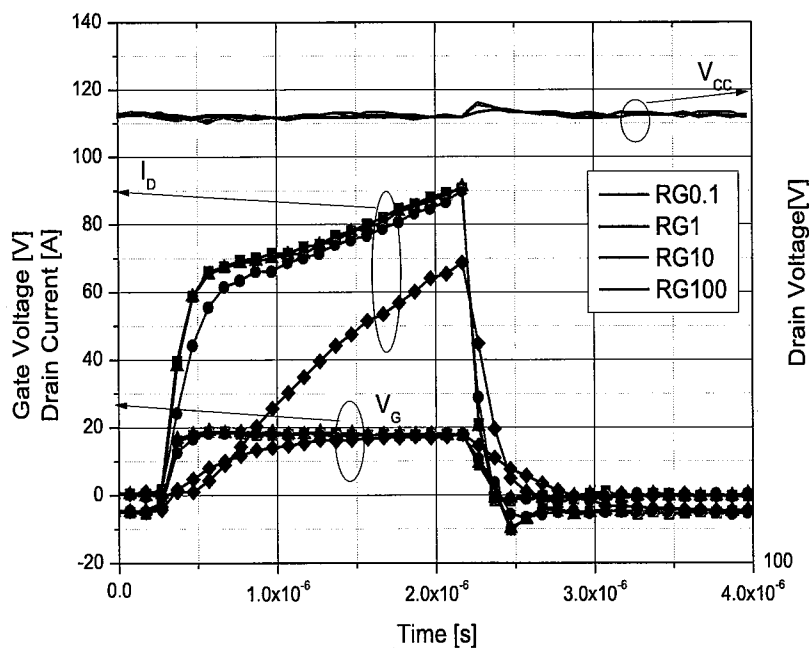


图 4.16 不同 R_G 下短路波形

从图 4.16 中可以看出, 不同 R_G 下, 短路电流达到最大值的速度不同, $R_G=0.1\Omega$ 与 $R_G=1\Omega$ 电流波形基本重合, 与 $R_G=10\Omega$ 、 100Ω 有明显区别, 在不同 R_G 下, 最大短路电流基本一样约为 90A($R_G=100\Omega$ 未达到最大值)。同样, 因寄生电感的影响, V_{CC} 的峰值略有区别, $R_G=0.1\Omega$ 下电压峰值最高。

4.2.3 最大短路能力研究

为研究不同设计的最大短路能力，选用相同终端(GR2)结构的三种器件，设置短路脉宽为 $50\mu\text{s}$ ，进行最大短路能力的测试，短路测试条件如下：

$$V_{CC}=1500\text{V}, V_G=18\text{V}/-5\text{V}, t_{sc}=50\mu\text{s}, R_G=10\Omega$$

测试波形如图 4.17 所示：

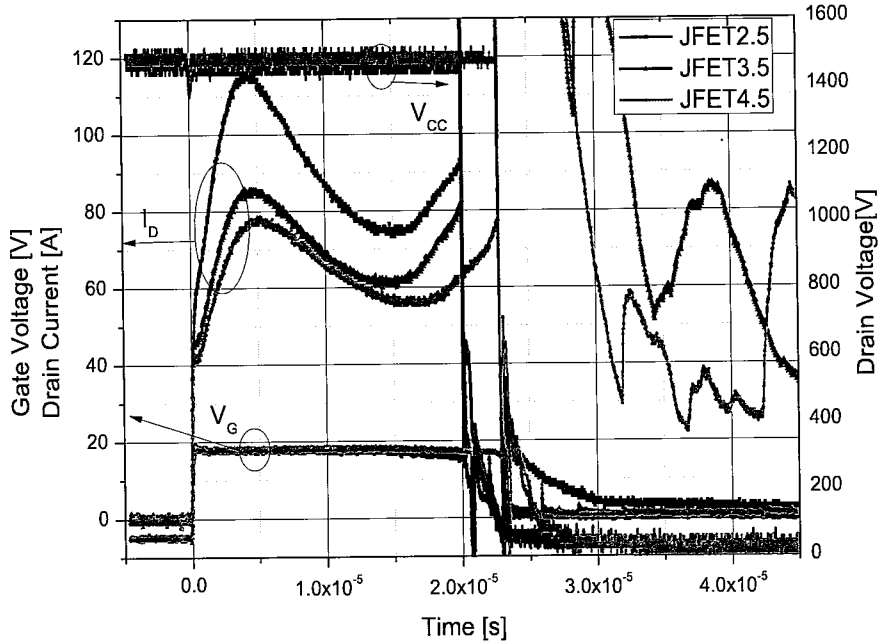
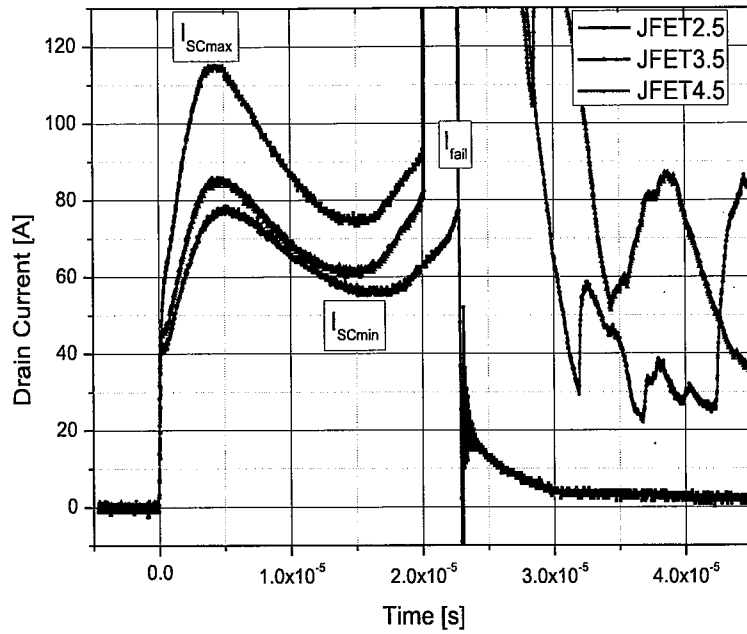


图 4.17 三种结构器件最大短路能力对比

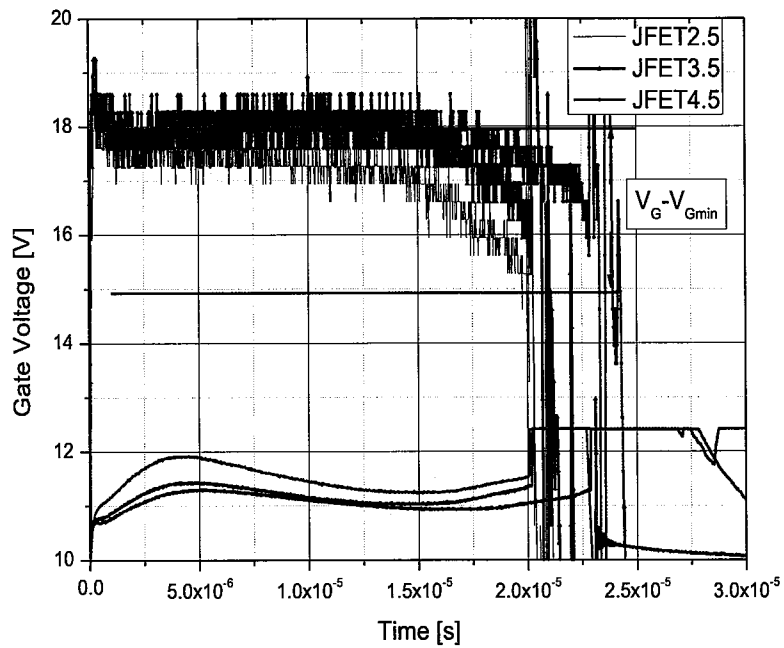
从图 4.17 可以看出，三种结构的器件在 $20\mu\text{s}$ 左右依次发生短路失效，其短路的电流波形、栅压波形等均存在较大差异，源漏之间电压基本一致，下面针对电流及栅压波形进行进一步的分析。图 4.18 分别给出了电流、栅压的波形放大图。

从图 4.18a 可以看出，短路电流首先在 $5\mu\text{s}$ 左右达到最大值 I_{SCmax} ，芯片温度升高，然后短路电流在温度的影响下，在 $15\mu\text{s}$ 左右下降到 I_{SCmin} ，芯片温度继续升高，空穴参与导电^[76]，电流开始增大，在 t_{scmax} 时刻达到 I_{fail} ，器件失效。

从图 4.18b 可以看出，栅极电压大约从 I_{SCmin} 时刻开始下降，在失效时刻下降至 V_{Gmin} ，这些现象在 1200V SiC MOSFET 的研究中均有发现^[71,73,82,87]，将 V_G 开始下降的时刻定为 t_{VG} ，短路过程中 V_G 下降的幅度定为 $\Delta V_G = V_G - V_{Gmin}$ 。



a. 三种结构短路电流波形



b. 三种结构短路栅压波形

图 4.18 三种结构器件短路失效波形对比

将最大短路时间测试中的相关系数提取，如表 4.9 所示：

表 4.9 三种结构短路测试相关参数

项目	单位	测试条件	JFET2.5	JFET3.5	JFET4.5
I_{SCmax}	A		115.1	85.9	78.6
I_{SCmin}	A	$V_{CC}=1500V$;	73.3	60	55.3
I_{fail}	A	$V_G=18V/-5V$;	93.2	82.6	77.9
t_{scmax}	μs	$t_{sc}=50\mu s$;	20.1	20.2	22.8
ΔV_G	V	$R_G=10\Omega$	1.75	1.4	1.4
t_{VG}	μs		~ 7	~ 15	~ 18
E_{sc}	J		2.57	2.09	2.17

从表 4.9 中可以看出, 随着 JFET 的宽度增加, 最大短路电流 I_{SCmax} 变小, 这与其沟道密度相关, JFET4.5 具有最小的沟道密度, 因此短路饱和电流最小。短路饱和电流随着短路时间的增加而降低, 从 I_{SCmax} 降低至 I_{SCmin} , 同样 JFET4.5 结构具有最小的 I_{SCmin} 。芯片内部空穴电流被激发后, 短路电流又开始增大直至器件失效, 失效时刻 JFET4.5 的失效电流 I_{fail} 同样最低。对于 JFET4.5 结构而言, 该结构具有最小的导通电阻; 而在短路过程中, 又具有最小的短路饱和电流和最大的短路时间, 从这方面来看该结构优于其他两种结构设计。

JFET2.5、JFET3.5 和 JFET4.5 三种结构的最大短路时间分别为 $20.1\mu s$, $20.2\mu s$ 和 $22.8\mu s$ 。三种结构的短路能量分别为 $2.57J$, $2.09J$ 和 $2.17J$, 按照有源区面积 $0.11cm^2$ 来计算, 短路能量密度分别为 $23.4J/cm^2$, $19J/cm^2$ 和 $19.7J/cm^2$ 。对于 $1200V$ SiC MOSFET 短路能量密度的报道, 大约在 $8\sim 12J/cm^2$ ^[67,88], $3300V$ SiC MOSFET 器件的短路能量密度要远高于 $1200V$ SiC MOSFET 器件, 这与 $3300V$ SiC 材料厚度更厚, 元胞尺寸更大有关^[88,100]。从短路能量的角度来看, JFET2.5 具有最大的短路能量, 这主要是因为其短路饱和电流较高。然而在实际应用中, 短路等异常情况发生时, 希望器件能够承受一定时间而不失效, 因此使用短路能量或者短路能量密度来描述器件的短路能力并不准确。

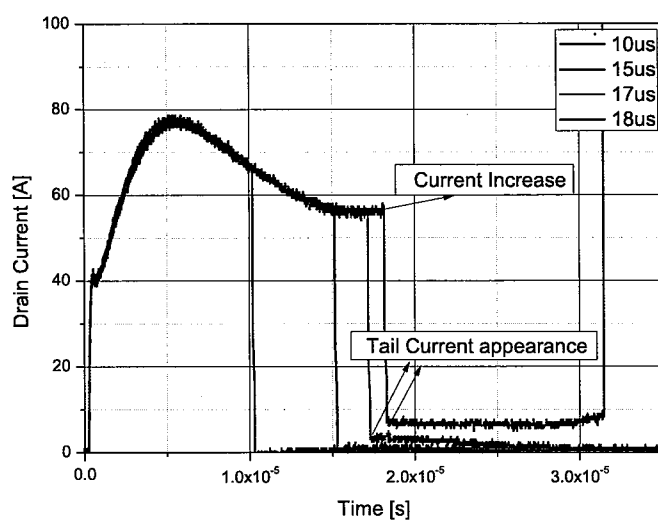
三种结构短路失效前 V_G 的波形均出现 V_G 降低的情况, V_G 降低的幅度均在 $1.5V$ 左右, 但 V_G 开始降低的时间 t_{VG} 有所不同, JFET2.5 结构 V_G 最先出现降低($\sim 7\mu s$), JFET4.5 结构的 V_G 最迟出现降低($\sim 15\mu s$)。

4.2.4 脉冲短路测试研究

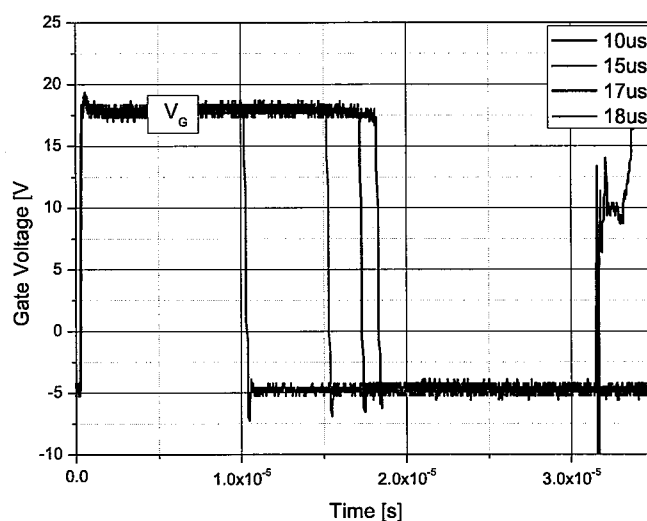
为了进一步研究器件的短路失效机理，以短路时间最长的 JFET4.5 结构按照如下条件进行短路测试：

$$V_{CC}=1500V, V_G=18V/-5V, R_G=10\Omega, t_{sc0}=10\mu s, \text{step}=1\mu s$$

测试中，短路脉宽从 $10\mu s$ 开始， $1\mu s$ 为步进，逐步增大器件的短路时间，被测 3 只器件均是在 $17\mu s$ 时能够正常关断， $18\mu s$ 关断后发生热失效，具有较好的一致性，其中 1 只器件的短路波形如图 4.19 所示：



a. 电流波形



b. 栅压波形

图 4.19 脉冲短路测试

图 4.19 给出了 $10\mu\text{s}$ 、 $15\mu\text{s}$ 、 $17\mu\text{s}$ 和 $18\mu\text{s}$ 下的短路电流波形和栅极电压波形，将短路过程中相关参数提取至表 4.10 中：

表 4.10 脉冲短路测试结果

项目	单位	测试条件	$10\mu\text{s}$	$15\mu\text{s}$	$17\mu\text{s}$	$18\mu\text{s}$
I_{SCmax}	A		78.7	78.7	78.0	78.0
I_{SCmin}	A		/	/	54.7	54.7
I_{OFF}	A	$V_{\text{CC}}=1500\text{V};$	67.4	56.1	56.7	56.7
I_{tail}	A	$V_{\text{G}}=18\text{V}/-5\text{V};$	0	0	$\sim 3\text{A}$	$\sim 7\text{A}$
ΔV_{G}	V	$R_{\text{G}}=10\Omega$	0	0	0.3	0.5
E_{SC}	J		1.0	1.45	1.62	1.71
Result	/		PASS	PASS	PASS	FAIL

该测试中器件在 $18\mu\text{s}$ 关断后失效，小于其最大短路能力测试中的 $22\mu\text{s}$ ，是因为器件受散热能力的影响。器件在 $10\mu\text{s}$ 、 $15\mu\text{s}$ 和 $17\mu\text{s}$ 的短路脉宽下，能够关断而不发生失效，但 $17\mu\text{s}$ 关断后已经出现了拖尾电流，但拖尾电流较小慢慢降低至零，而 $18\mu\text{s}$ 关断后拖尾电流较大，关断后拖尾电流没能降低至零，因内部的热电正反馈而失效。

从表 4.10 中可以看到，器件在不同脉宽的短路脉冲下关断时，其最大短路电流 I_{SCmax} 与最小短路饱和电路 I_{SCmin} 基本相当，其中 $10\mu\text{s}$ 与 $15\mu\text{s}$ 短路电流未降低至 I_{SCmin} 便已关断，在 $17\mu\text{s}$ 与 $18\mu\text{s}$ 时刻关断，其关断电流 I_{OFF} 也基本相同。

在 $17\mu\text{s}$ 关断时，关断后出现大约 3A 的拖尾电流，拖尾电流慢慢降低至零，器件未发生失效，关断瞬间栅极电压 V_{G} 略有下降，大约下降了 0.3V；而 $18\mu\text{s}$ 关断时，关断后出现大约 7A 的拖尾电流，在关断大约 $15\mu\text{s}$ 后，器件失效，关断瞬间栅极电压 V_{G} 大约降低了 0.5V。

4.3 短路仿真研究

使用 Sentaurus TCAD 对器件的短路特性进行仿真，以研究短路过程中内部的状态。在仿真程序中，添加热模型，考虑到器件的散热主要是通过背面漏极，因此仿真中热电极的定义如下，并在后续的求解 Solve 部分激活热相关的部分。

Thermode{Name="Drain" Temperature=300 SurfaceResistance=0.1}

利用仿真工具研究不同设计及短路过程中内部的状态，以期进一步了解 3300V SiC MOSFET 的短路失效机理。

4.3.1 不同设计短路仿真分析

对 JFET2.5, JFET3.5, JFET4.5 三种器件结构，进行短路特性仿真，仿真中电流及最高温度的波形如图 4.20 所示：

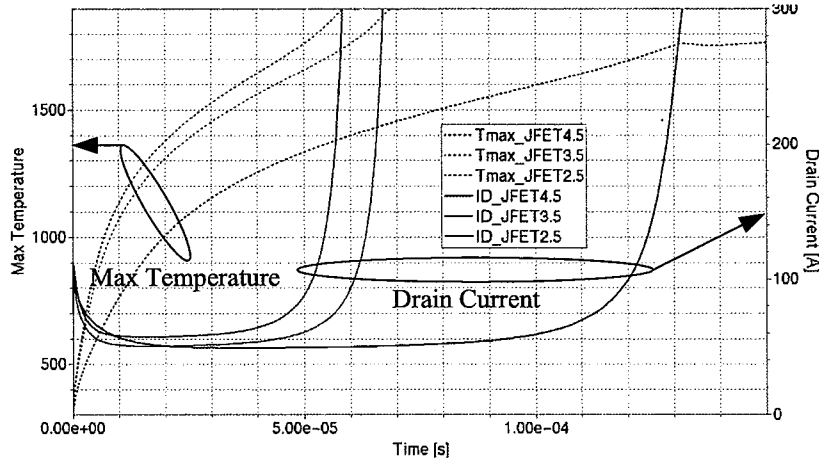


图 4.20 三种结构的短路仿真

将图 4.20 中三种结构短路仿真结果汇总如表 4.11 所示：

表 4.11 三种结构短路仿真结果

项目	单位	测试条件	JFET2.5	JFET3.5	JFET4.5
I_{SCmax}	A	$V_{CC}=1500V$;	104.6	99.9	99.1
I_{SCmin}	A	$V_G=20V/0V$;	54.1	50.4	49.1
t_{scmax}	μs	$R_G=10\Omega$	59.4	64.7	133.8

从仿真结果可以看出，对于这三种结构的仿真结果与实测结果(表 4.9)趋势保持一致，但绝对值方面有差异。JFET2.5 这种结构具有最大的短路饱和电流，其短路时间最短，最早发生失效，JFET4.5 结构短路电流最小，短路时间最长，JFET3.5 结构介于上述两者之间。

对于仿真与实测绝对值差异的原因，主要是由热相关设置引起。在仿真中，虽然参考实际的结壳热阻结果设定了漏极的热阻 $Surface\ Resistance = 0.1cm^2 \cdot K/W$ ，但壳到环境的热阻被默认为理想状态，即芯片背面漏极外是一个

理想的散热环境。实际情况中,受封装等影响,芯片内部会有热量的积累,并非一个理想散热状态。此外,从图 2.20 中可以看出,仿真中当芯片内部的最高温度达到 1900K 才失效,这主要考虑的是 SiC、SiO₂ 等材料的特性,未考虑到高温对芯片金属化系统的影响,实际测试中失效的温度要比这个温度低。因此,综合这两方面的影响,仿真的短路时间要比实测的短路时间偏大,但整体趋势是合理的,不影响借助仿真对短路过程中内部状态的研究。

a) 仿真结果

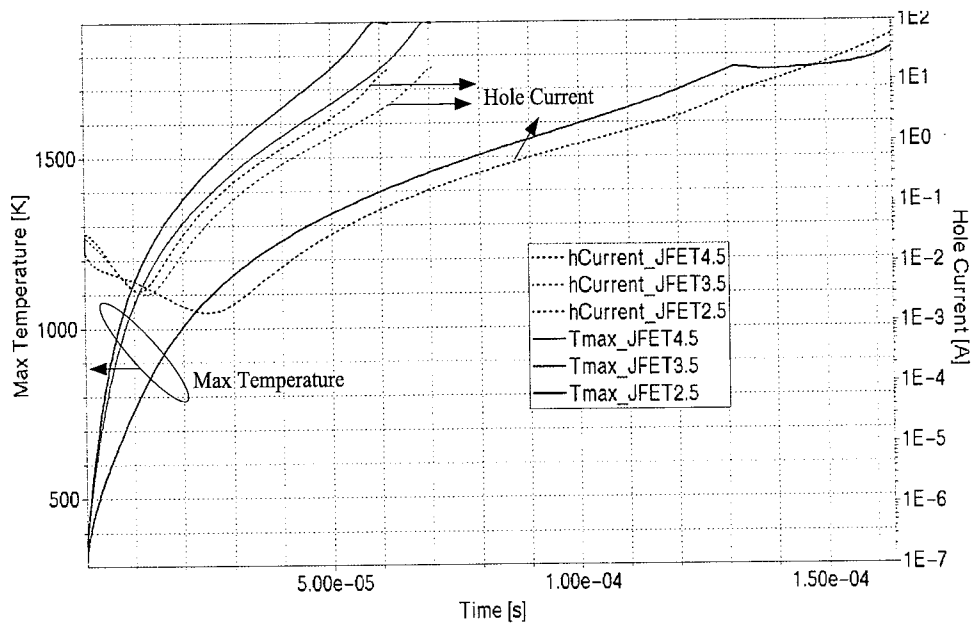


图 4.21 空穴电流与最高温度的关系

图 4.21 给出了仿真中的空穴电流及最高温度随短路时间的变化关系。从图中可以看到,在温度达到 1100K 左右时,空穴电流被激发,其大小随着温度的增大而增大。从这个图中还可以看出,三种结构空穴电流被激发的温度略有差异,JFET2.5 的器件在 1200K 左右被激发,JFET4.5 的结构大约在 1100K 被激发。

在仿真中,同样可以看到在器件短路失效前,栅压下降的现象,如图 4.22 所示。图中给出了栅极电压、空穴电流与引起栅极电压下降的栅极漏电流的随时间变化的曲线。

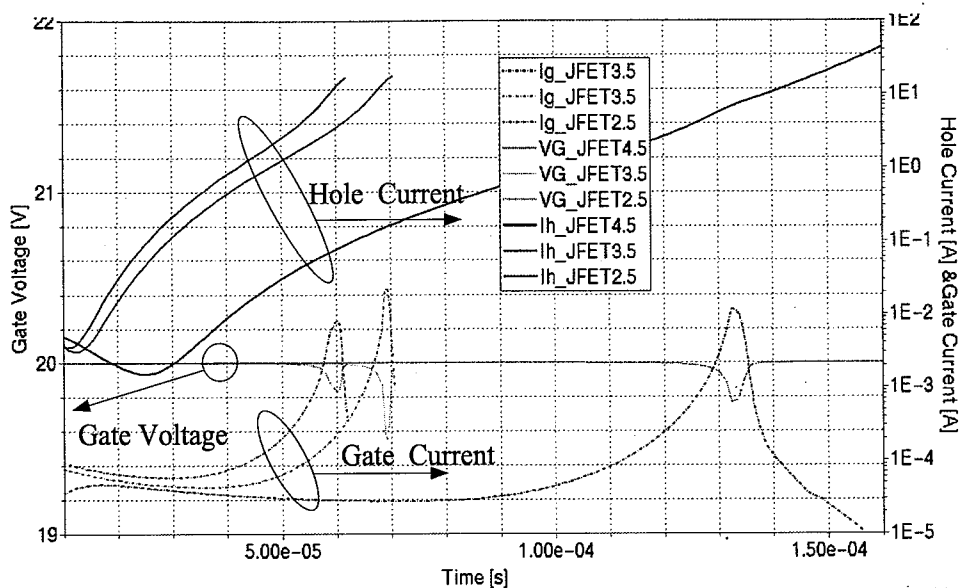


图 4.22 空穴电流与栅电流及栅压的关系

从图 4.22 中可以看到，在空穴电流增大的同时，栅极开始出现漏电流，并随着空穴电流的升高而增大，栅极漏电流引起栅极电压下降，在失效前栅极漏电流达到最大值，同时栅极电压降低至最低值。

对于栅极漏电流出现的原因，有两种可能的解释，一种是因为 SiC 器件栅氧较薄，高温造成的隧穿引起漏电^[71]；另一种认为是热载流子（空穴）注入到氧化层中，使栅氧电容放电引起栅压下降^[84,92]。

b) 仿真结果研究

图 4.23 给出了空穴电流、电子电流与温度之间的关系。

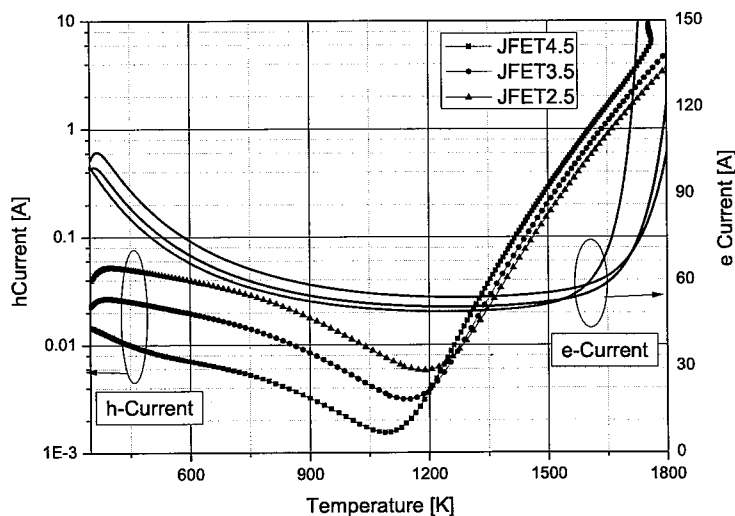


图 4.23 空穴电流、电子电流随最高温度的关系

从图 4.23 中可以看到：

1) 在温度位于 350K~1000K 之间升高时，空穴电流及电子电流随着温度升高而降低，此时空穴电流密度远小于电子电流密度。

2) 在温度大约为 1100K 时，空穴电流被激发，开始迅速增大。

3) 在 1200K~1750K（失效）之间，空穴电流与温度有很强的相关性，大致可以描述如式 5.1 所示：

$$I(hCurrent)=A*\exp(T_{MAX}-T_0) \quad (5.1)$$

式中， T_{MAX} 为器件最高温度， T_0 为空穴被激发的温度， A 为比例系数。

从图 4.23 中可以看出，三种结构空穴被激发的温度 T_0 略有差异，JFET 越宽， T_0 越低。图 4.24 给出了 1200K~1700K 之间时空穴电流与温度的关系，三种结构器件的曲线基本平行，说明式 5.1 中三种结构的系数 A 基本相同。

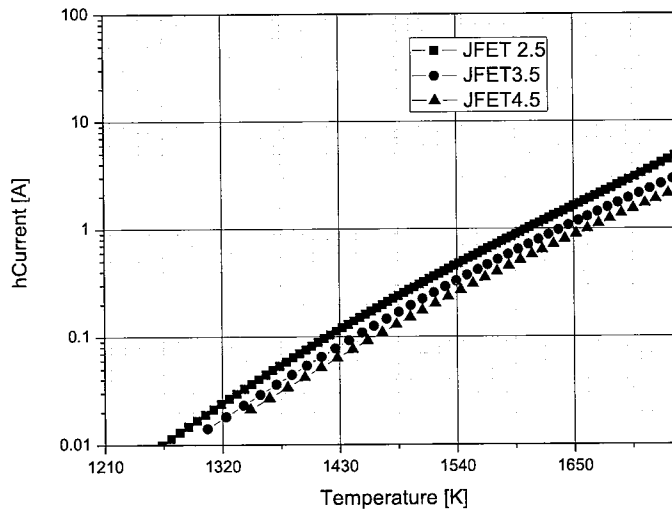


图 4.24 空穴电流与温度关系

4) 在 1000K~1750K（失效）这个阶段，电子电流行为可以分为两段：在 1000K~1600K 阶段电子电流基本保持不变；1600K 之后电子电流迅速增大，使得器件失效。

图 4.25 给出了空穴电流与栅极漏电流之间的关系，从图中可以看出，栅电流可以表示为式 5.2：

$$I(\text{gate})=B*\exp(I_{hCurrent}) \quad (5.2)$$

从图 4.25 及式 5.2 中可以看到, 比例系数 B 与器件结构有一定相关性, JFET4.5 结构斜率最大, JFET3.5 与 JFET2.5 结构斜率相当。栅极漏电流与空穴电流的相关性, 可以初步证明栅极漏电是由于空穴注入到氧化层中而引起。

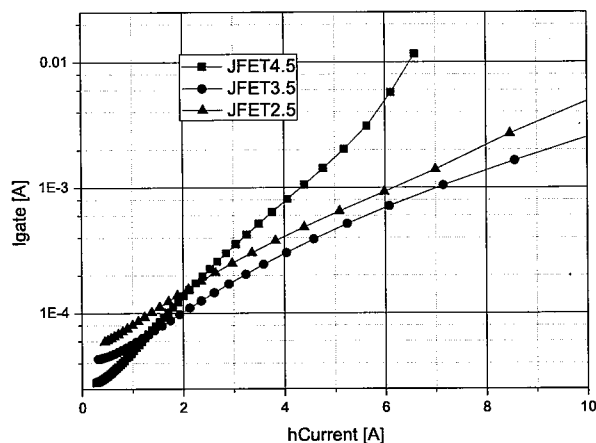


图 4.25 空穴电流与栅电流关系

图 4.26 给出了栅压与栅极漏电流的关系, 从图中可以看到, 栅压的降低与栅极漏电流的大小呈高度线性的关系, 栅压随着栅极漏电流的增大而降低。三种结构器件的降低速度一致。栅极漏电流的产生是因为空穴注入引起栅氧电容的放电, 进而导致栅压的降低, 因此斜率是由器件单位面积的栅氧电容决定, 即栅氧厚度决定。由于本仿真中及实际器件中使用相同的栅氧厚度, 因此三种结构的曲线重合, 斜率保持一致。

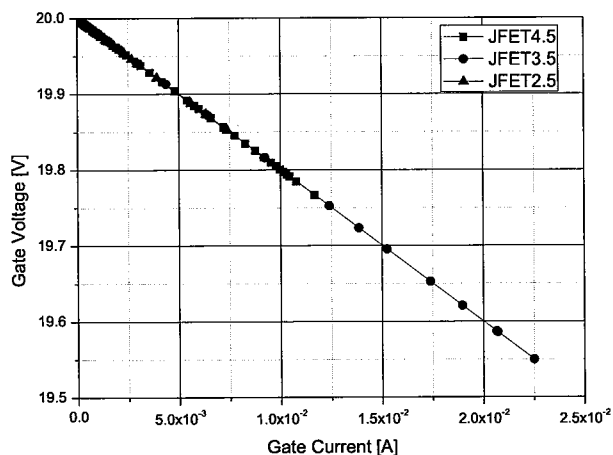


图 4.26 栅电流与栅压的关系

对该部分简单总结，借助仿真可以看到，在短路过程中温度升高激发出空穴电流，被激发的空穴电流随温度指数关系上升；空穴注入到栅氧化层中产生栅极漏电流，并引起栅极电压的下降，当栅极电压下降超过一定幅度后器件短路失效。

c) 实测结果分析

从上面仿真图 4.23 可以看到，在器件进入失效之前，电子电流在一段时间内基本保持不变，空穴电流随温度呈指数关系上升，但初始阶段空穴电流与电子电流相比可以忽略。因此，将短路过程中图 4.17 的电流数据进行分析，分析思路如下：

- 1) 短路电流波形中，在电流稳定阶段，认为是电子电流值，因为在此阶段初始时刻空穴电流比电子电流小 2~3 个数量级。
- 2) 将短路失效前电流的波形与上述电子电流值做差，得到的即为空穴电流值。

由于实际测试中，无法的得到器件内部的最高温度，只能对空穴电流随时间的变化进行研究，其结果如图 4.27 所示：

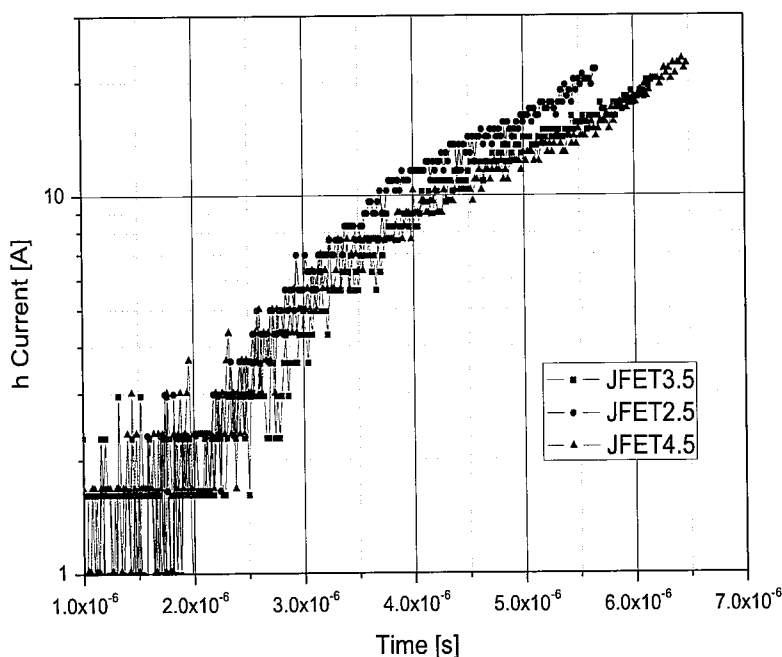


图 4.27 实测中空穴电流与时间的关系

从图 4.27 中可以看到,三条曲线基本重合,空穴电流在增大到 20A 左右后,器件发生失效。由于图中横坐标曲线为时间,未能直接体现空穴电流随温度变化的关系,但图 4.27 与图 4.21 中空穴电流随时间的变化关系基本一致,通过该测试结果的分析基本证实了仿真中的结论。

另外从图 4.27 中可以看到,空穴电流在失效前的最大值基本一致,均在 20A 左右,按照式 5.1 的分析,相同的空穴电流意味着器件内部达到的最高温度相同,这也符合实际情况。

4.3.2 短路过程内部状态研究

为研究短路过程中器件内部的状态,对 JFET3.5 的结构进行仿真分析。从图 4.20 中可以看出,该器件仿真中在 $65\mu\text{s}$ 左右时发生短路失效,因此将 $1\mu\text{s}$ 、 $10\mu\text{s}$ 、 $20\mu\text{s}$ 、 $30\mu\text{s}$ 、 $40\mu\text{s}$ 、 $50\mu\text{s}$ 、 $60\mu\text{s}$ 、 $70\mu\text{s}$ 八个时刻器件内部状态进行分析。图 4.28 给出了元胞在各时刻的温度分布,图 4.29 是元胞中央位置($X=6.75\mu\text{m}$)的从正面到背面芯片内部的温度分布。

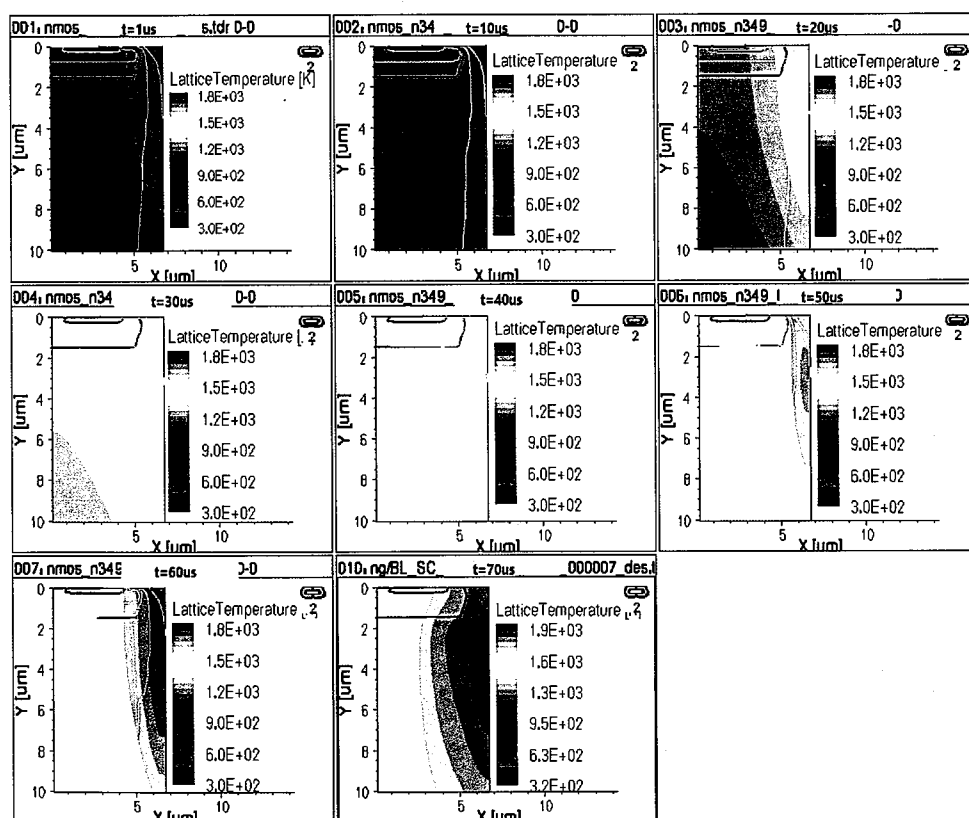


图 4.28 短路不同时刻器件内部温度分布

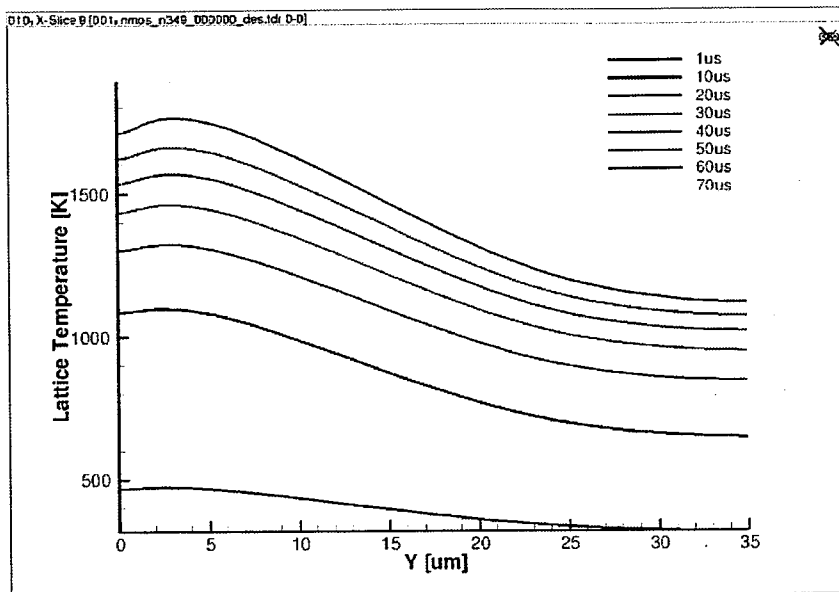
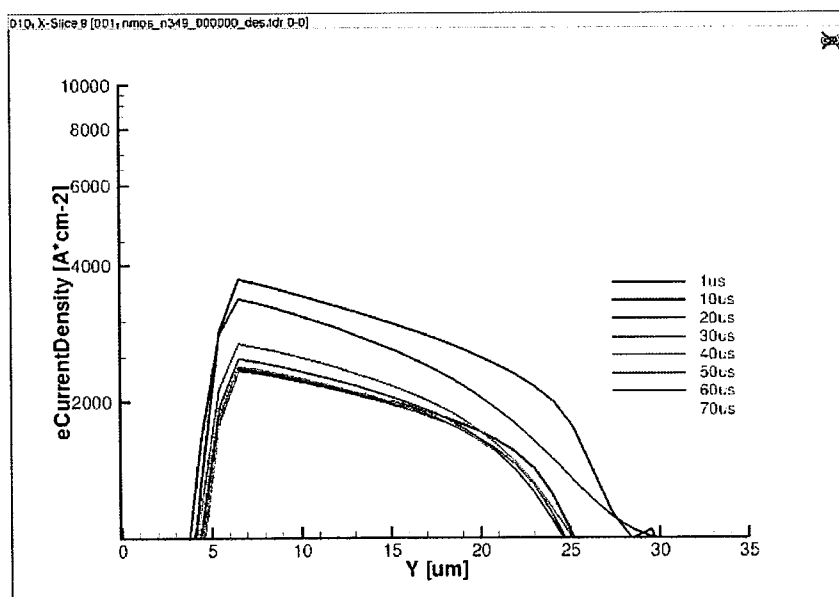


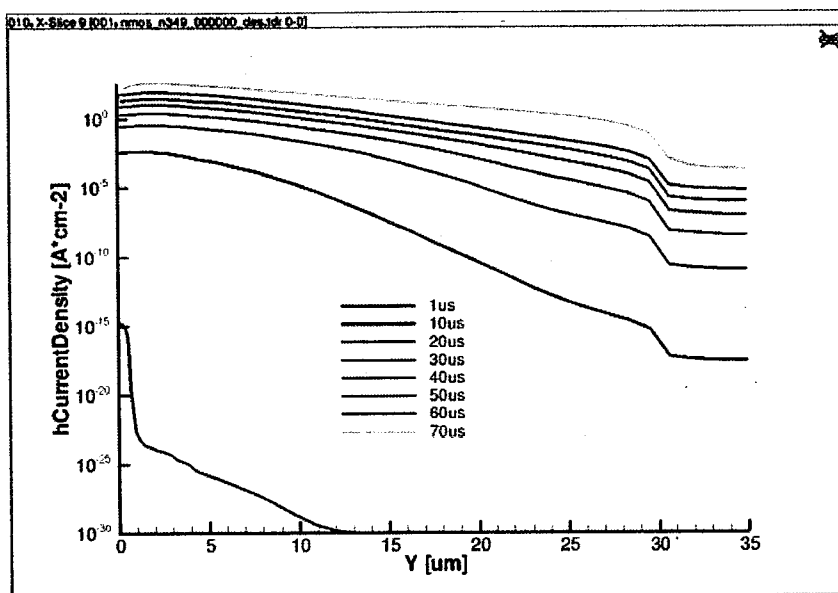
图 4.29 短路不同时刻纵向温度分布 ($X=6.75\mu\text{m}$)

从图 4.28 可以看出, 在短路过程中, 在水平方向芯片的最高温度点出现在元胞的正中央 ($X=6.75\mu\text{m}$), 随着短路时间的增加, 温度越来越高。从图 4.29 中可以看出, 在芯片的垂直方向, 芯片的最高温度出现在表面以下大约 $3.5\mu\text{m}$ 处, 而且最高温度的位置随着短路时间增加基本不变。器件正面 (源极) 最高温度从 500K 上升到 1800K , 背面 (漏极) 最高温度从 300K 上升到 1400K 左右, 低于芯片内部最高温度。

图 4.30 给出上述短路不同时刻芯片内部的电子电流浓度和空穴电流浓度分布情况。



a. 短路不同时刻电子电流浓度分布 ($X=6.75\mu\text{m}$)

b. 短路不同时刻空穴电流浓度分布($X=6.75\mu\text{m}$)

4.30 短路不同时刻电子电流与空穴电流浓度分布

从图 4.30a 可以看出, 电子电流密度随着短路时间增加, 先降低, 然后稳定一段时间 ($10\mu\text{s}\sim 40\mu\text{s}$), $50\mu\text{s}$ 时有明显的上升, $60\mu\text{s}$ 继续增大, 直至 $70\mu\text{s}$ 器件失效, 失效时电子电流密度达到很高值, 未失效时电子电流密度峰值出现在表面下方 $7\mu\text{m}$ 左右。

从图 4.30b 可以看到, 空穴电流密度随着短路时间的增加, 持续增大直至失效, 失效时 ($70\mu\text{s}$) 空穴电流密度达到最高, 而空穴电流密度的峰值出现在正面源极下方 $1\mu\text{m}$ 左右, 这与 Pbase 的结深大概一致。

4.3.3 脉冲短路仿真研究

从图 4.18a 和 4.19 中可以看到, JFET3.5 结构的器件最大短路时间在 $20\mu\text{s}$, 而在脉冲短路测试中, $18\mu\text{s}$ 时发生失效。借助 Sentaurus TCAD, 对该器件在不同短路脉冲下进行仿真研究。

图 4.20 仿真结果显示, JFET3.5 结构仿真最大短路时间大约为 $65\mu\text{s}$, 因此对 JFET3.5 结构在 $30\mu\text{s}$ 、 $40\mu\text{s}$ 和 $50\mu\text{s}$ 分别进行关断, 以分析其内部的状态。

图 4.31 给出了 JFET3.5 结构器件在这三个时刻关断的电流及温度波形。可以看到, 器件在 $30\mu\text{s}$ 关断时能够正常关断; 在 $40\mu\text{s}$ 关断时, 出现拖尾电流但仍可以关断; 在 $50\mu\text{s}$ 关断时, 拖尾电流较大, 未能降低至零, 器件发生失效。该脉冲短路的仿真结果中, 其脉冲短路时间($50\mu\text{s}$)小于最大短路时间($65\mu\text{s}$), 与

实际测试趋势也保持一致。

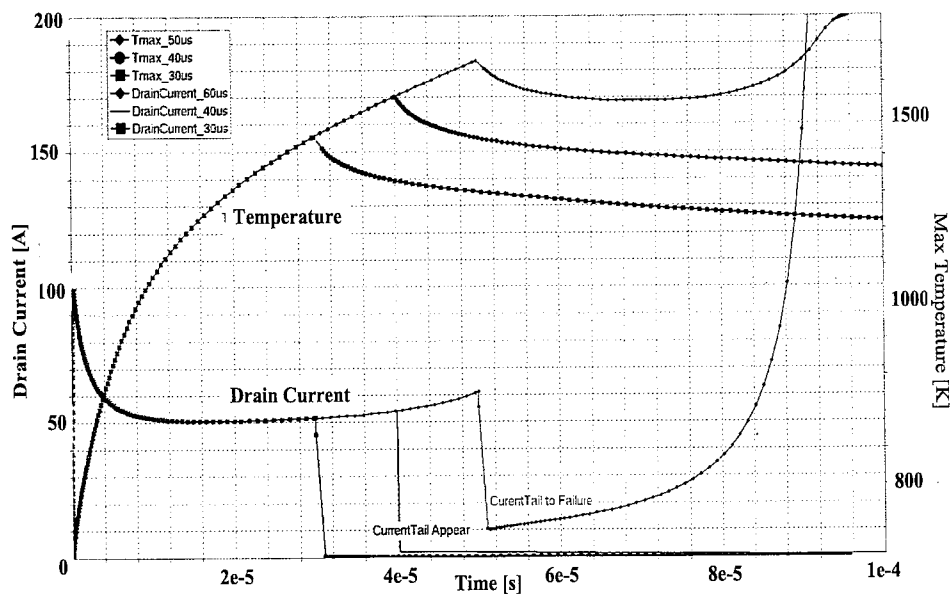


图 4.31 JFET3.5 器件不同时间关断波形

从图 4.31 中可以看出，在 $30\mu\text{s}$ 关断时，器件能够正常关断，内部最高温度在 1300K 左右；在 $40\mu\text{s}$ 关断时，器件能够正常关断，关断时已经出现电流拖尾现象，拖尾电流大约为 2A 左右并逐渐降低到零，内部最高温度达到 1550K 左右，关断后降低至 1350K 左右；在 $50\mu\text{s}$ 关断时，器件电流拖尾严重，电流未能完全关断，在电流下降到 10A 左右后继续增大，导致器件热失效，短路过程中器件内部最高温度达到 1650K ，关断后温度下降到 1550K 左右后继续增大，导致器件失效。

图 4.32 给出了这三个时刻关断时内部空穴电流的情况。

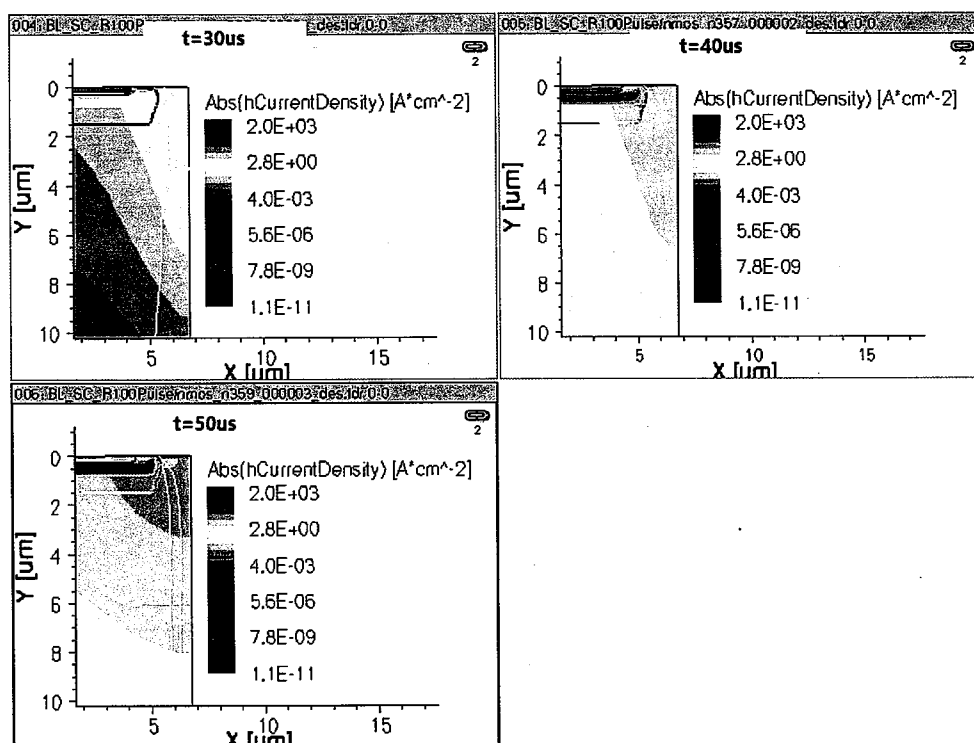


图 4.32 JFET3.5 器件不同时间关断内部空穴电流分布

从图 4.32 中可以看出, $30\mu\text{s}$ 关断时内部空穴电流密度很小; $40\mu\text{s}$ 关断时内部空穴电流有一定增大, 空穴电流由 Phase-Nepi 处直接流出; 而在 $50\mu\text{s}$ 关断后, 器件因热电正反馈失效, 正面寄生的 NPN 结构开启, 空穴电流直接经 Phase 流出, 其空穴电流密度已经大于 $300\text{A}/\text{cm}^2$ 。

对短路过程的仿真研究进行简单总结:

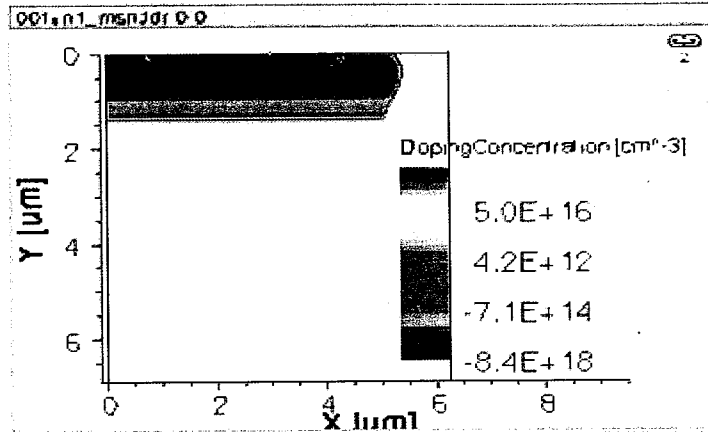
1) 随着短路时间的增加, 芯片内部的温度升高, 空穴电流被高温激发, 并且随温度呈指数增大; 空穴电流注入到栅氧化层中, 引起栅极漏电流, 造成栅极电压下降而导致器件失效。

2) 在脉冲短路仿真中, 当空穴电流出现后, 如果在空穴电流较小时关断, 虽然会出现电流拖尾, 仍可以正常关断; 当空穴电流较大时, 在关断后会因热电正反馈引起器件的热失效, 其脉冲短路时间小于最大的短路时间。

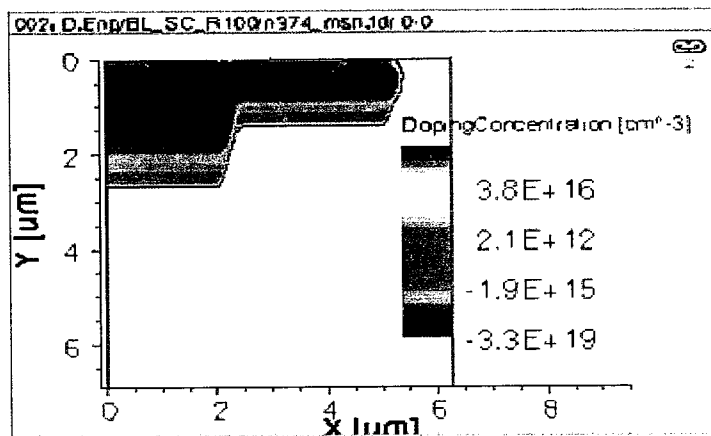
3) 对于芯片内部最高温度, 出现在元胞中间表面下方 $3.5\mu\text{m}$ 左右, 电子电流密度峰值位置出现在元胞中间表面下方 $7\mu\text{m}$ 左右, 空穴电流密度峰值位置出现在元胞中间表面下方 $1\mu\text{m}$ 左右。短路失效时内部最高温度大约在 1700K 以上。

4.4 新型抗短路设计

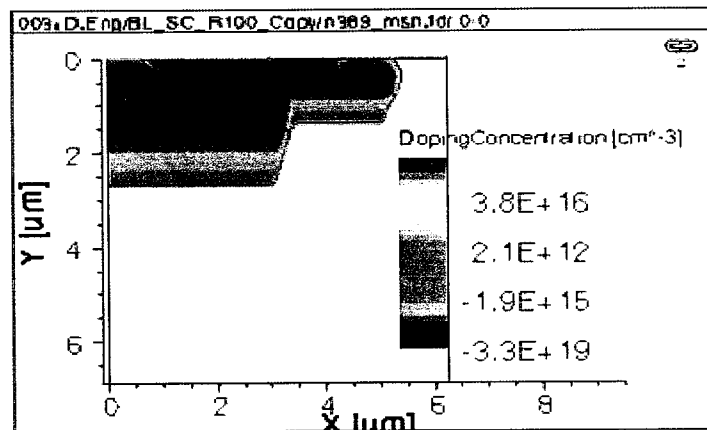
从前面的测试及仿真分析可以看出, 空穴电流在短路过程中起到的重要作用, 因此可以通过优化空穴电流路径, 来提升 SiC MOSFET 的抗短路能力。



a. 基本结构(BL)



b. 优化结构 1(New1)



c. 优化结构 2(New2)

图 4.33 短路能力提升结构

图 4.33 给出三种不同的元胞结构, 通过调整 Pplus 注入能量及窗口, 使得 SiC MOSFET 中正面 P 型的形貌不同。图 4.33a 为基准结构(BL), 图 4.33b 结构(New1)通过增大 Pplus 注入能量, 使得 Pplus 结深变深至 $2.6\mu\text{m}$, 图 4.33c 结构(New2)在增加 Pplus 注入深度的基础上, 扩大 Pplus 的注入窗口。图 4.34 给出了这三种结构 $V_{GS}=20\text{V}$ 下的输出特性。

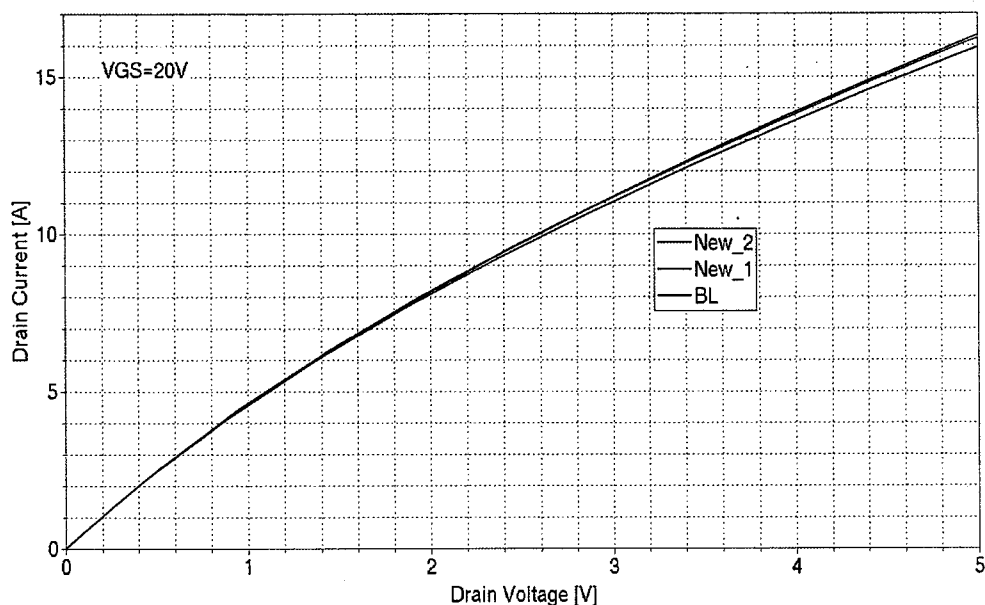


图 4.34 短路能力提升结构输出特性对比

从图 4.34 中可以看出, 基准结构(BL)与优化结构 1(New1)输出曲线结构重合, 优化结构 2(New2)因 P 型掺杂区域变大, 略微影响到电流的横向扩展, 电流能力比基准结构只降低 2%, 基本可以忽略不计。

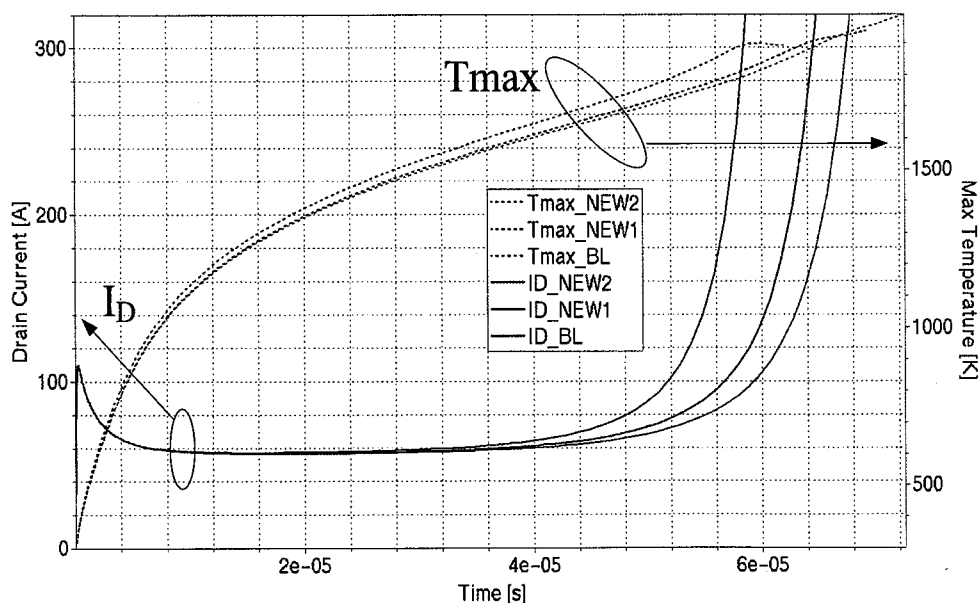


图 4.35 优化结构短路仿真结果

图 4.35 给出了三种结构最大短路能力的仿真结果, 按照短路电流增大到 200A 的时间来计算, 三种结构的短路时间分别为 57 μ s、63 μ s 和 66 μ s, 优化后的两种结构短路能力分别提升 10.5%和 15.7%。

图 4.36 给出了 60 μ s 时三种结构内部空穴电流密度分布图。从图中可以看出, 优化后的 P 型区域给空穴电流提供了很好的路径, 使得空穴电流可以从深的 P 型区域快速流出。

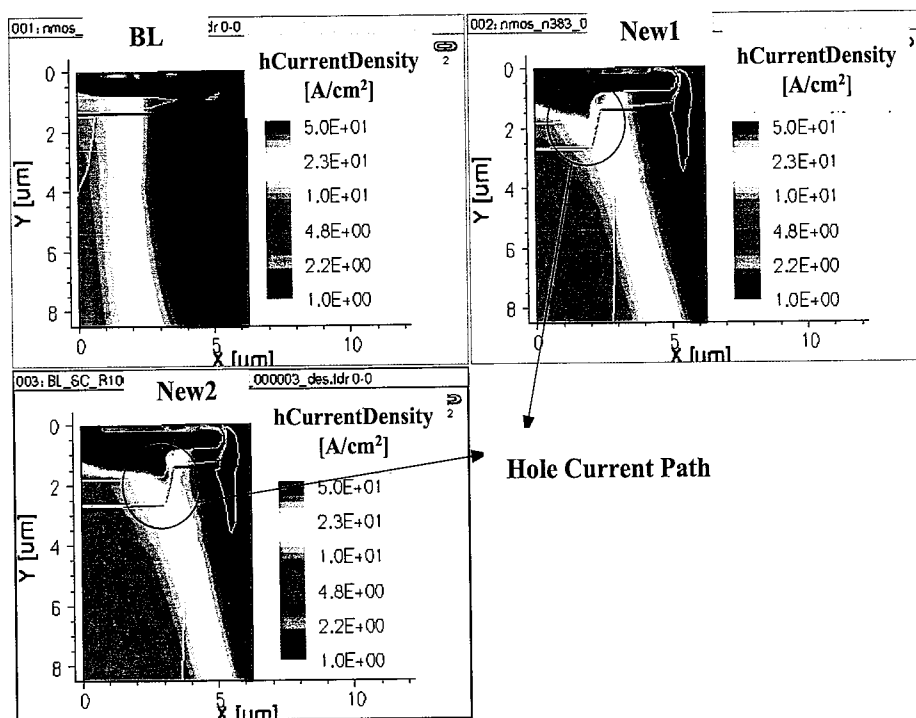


图 4.36 三种结构短路内部空穴电流密度分布

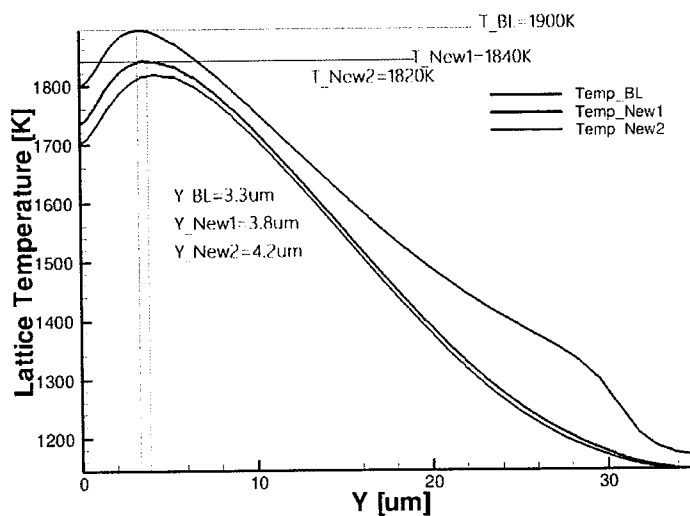


图 4.37 三种结构短路内部温度分布

图 4.37 给出了三种结构 60 μ s 时内部的温度分布,从图中可以看到,最高温度从 1800K 降低至 1740K(New1)和 1720K(New2),最高温度有明显的降低;另外,最高温度的位置分别出现在 $Y=3.3\mu\text{m}$ 、 $3.8\mu\text{m}$ 和 $4.4\mu\text{m}$ 处,最高温度的位置往芯片背面漏极方向移动。由于实际中热量主要通过芯片背面漏极流出,因此最高温度位置的下移,更有利于其短路状态下热量的散出。

4.5 本章小结

本章基于自主研制的 3300V SiC MOSFET 进行了开关及短路特性的测试,详细分析了各条件对测试结果的影响,并对不同设计的最大短路能力进行了评估。借助 Sentaurus TCAD 对短路失效的机理进行了仔细研究,发现高温激发的空穴电流是短路失效的关键因素,一方面空穴注入到栅氧化层中造成栅极电压降低,同时空穴电流使得寄生 NPN 管开启,使得器件迅速失效;另一方面短路关断后,由于空穴电流造成的电流拖尾,很容易引起器件的热电正反馈造成短路失效。基于此,提出了一种新型的抗短路设计方案,通过优化短路状态下芯片内部空穴电流的路径,器件在不损失电流能力的情况下,对短路能力有明显的提升。

具体研究内容包括:

1) 研究母线电压、栅极电阻、栅极开启电压对不同设计的 3300V SiC MOSFET 开关特性及短路特性的影响。

2) 完成三种元胞结构器件的最大短路能力的测试,其最大短路能力分别为 20.1 μ s, 20.2 μ s 和 22.8 μ s,不同结构器件的最大短路时间有区别,短路饱和电流也不同。

3) 在脉冲短路测试的实验中,被测器件在 17 μ s 短路脉宽下能够正常关断,但已出现电流拖尾;短路脉宽增大到 18 μ s 时关断,拖尾电流未能降低至零,因热电正反馈造成器件失效。

4) 借助仿真工具研究了不同短路失效模式下内部机理,包括温度、电子电流、空穴电流的空间分布及其随时间的变化,得到了温度、空穴电流、栅极漏电流及栅电压退化之间的相互联系,并用实测数据得到了验证。

5) 提出一种 SiC MOSFET 器件的抗短路设计方案, 通过增加 Pplus 注入区的深度及宽度, 实现不同的正面 P 掺杂形貌, 以此优化短路时空穴电流流出的路径。从仿真结果可以看到, 该优化后的结构输出特性没有损失, 但有效的提高了器件的短路能力。

第 5 章 3300V SiC MOSFET 可靠性研究

功率器件的可靠性是用来描述器件长时间使用的寿命，一般使用加速老化的方法来估算器件的寿命^[101]，本章参考 Si 功率器件可靠性的评估方法，对 3300V SiC MOSFET 进行了高温反偏（HTRB）和高温栅偏（HTGB）的可靠性摸底试验，并完成了失效器件的分析。另外对 3300V SiC MOSFET 的栅氧应力进行了理论分析及试验验证，指出了高压 SiC MOSFET 的栅氧失效隐患，并给出了可行的解决方案，需要在设计及应用中予以重视。

5.1 SiC 功率器件可靠性试验方法

为确保器件长期使用的可靠性，需要在短时间内完成寿命的预测，这就需要在较高的应力下完成器件的加速老化，通常通过高温、高压或者高变化率来实现器件的加速老化^[102]。

目前暂时没有针对 SiC MOSFET 的老化试验方法或标准，通常是参考 Si 功率 MOSFET 或者 Si IGBT 的标准进行，如 IEC 60747-8, AEC-Q101 及 JEDEC 等标准，企业会针对器件不同的应用领域，有相应更加完善的考核标准。如 Infineon 公司针对工业级 IGBT 模块的考核标准如表 5.1 所示^[101]：

表 5.1 Infineon 公司工业级 IGBT 模块可靠性标准

项目	描述	试验条件
HTRB	高温反偏	1000 小时, $T_j=T_{jmax}$, $V_{CE}=80\%V_{CEmax}$
HTGB	高温栅偏	1000 小时, $T_j=T_{jmax}$, $\pm V_{GEmax}$
H3TRB	高温高湿	1000 小时, 85°C , $85\%\text{RH}$, $V_{CE}=80\%V_{CE}$ (max.80V)
TST	热冲击	$T_a=-40^{\circ}\text{C}$, $T_b=125^{\circ}\text{C}$, $t_{stg}>1$ 小时, $t_{sw}<3\text{s}$, 20-25 次
TC	温度循环	$t_{cycl}=2\sim6$ 分钟, $\Delta T=80^{\circ}\text{C}$, $T_C=25^{\circ}\text{C}$, 2000~5000 次
PC	功率循环	$t_{cycl}=2\sim5$ 秒, $\Delta T=60^{\circ}\text{C}$, $T_j=T_{jmax}$, 130000 次

对于可靠性试验后器件是否失效的判据，通常以试验过程中或者试验后，参数漂移的幅度或者是否超出限制而定，也基本以企业标准而定，并无统一的

规范。如 Infineon 公司对 HTRB 考核的标准, 在试验前测量漏电流 I_{CES} 为参考值, 试验过程中或者试验后, 漏电流的变化超出额定范围($\pm 100\mu\text{A}$ 或者 $\pm 100\%$), 则认为考核不通过。表 5.2 给出了可靠性失效响应细节的关系^[101]。

表 5.2 失效细节与考核关系

项目	半导 体空 间缺 陷	半导 体表 面缺 陷	键合 连接	外壳	电气 连接	电气 稳定 性	栅极 氧化	腐蚀	钝化	绝缘	内部 焊层
HTRB	X	X				X			X	X	
HTGB						X	X				
H3TRB		X				X		X	X	X	
TST			X	X	X					X	X
TC			X	X	X					X	X
PC			X								X

5.2 HTRB 试验分析

从表 5.2 可以看出, 高温反偏试验 (HTRB) 主要考核的是芯片材料缺陷、表面钝化及绝缘, 挑选不同结构的 3300V SiC MOSFET 按照如下的条件进行 168 小时的 HTRB 试验, HTRB 试验的现场照片如图 5.1 所示:

$T_a=150^\circ\text{C}$, $V_{GS}=0\text{V}$, $V_{DS}=2000\text{V}$, $t=168\text{hours}$

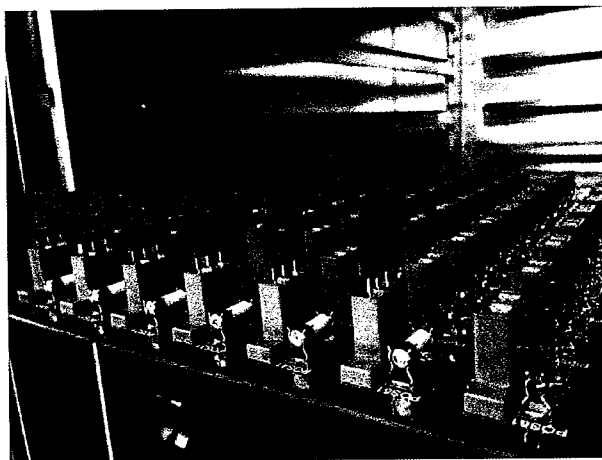


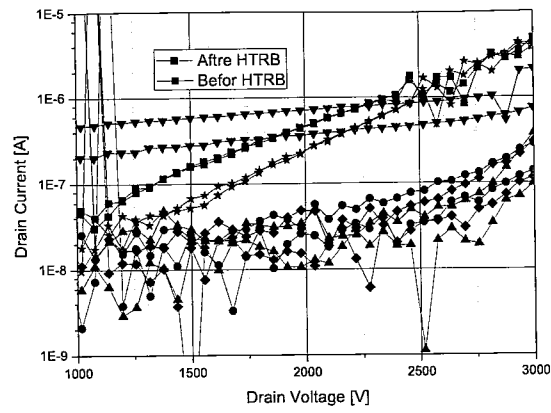
图 5.1 3300V SiC MOSFET HTRB 试验照片

对进行 HTRB 试验的器件考核前后的数据进行测试分析, 其考核前后数据对比如表 5.3 所示:

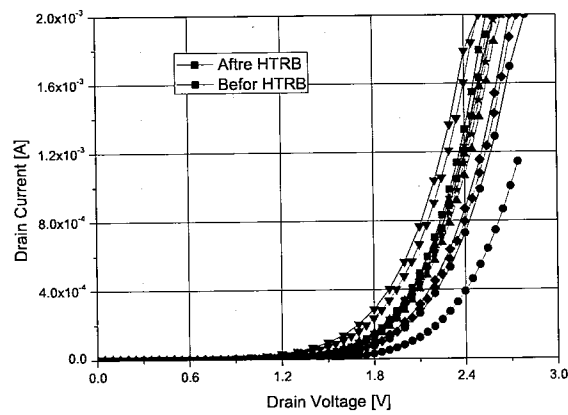
表 5.3 HTRB 器件考核前后数据对比

参数	测试条件	单位	器件编号	考核前	考核后	参数漂移
I_{DSS}	$V_{GS}=0V$ $V_{DS}=3000V$	μA	1-9#	4.82	3.81	-21.0%
			6-2#	0.29	0.14	-51.7%
			7-1#	0.38	0.10	-73.7%
			7-7#	2.13	0.76	-64.3%
			7-9#	0.30	0.12	-60.0%
			7-11#	4.04	4.21	4.2%
V_{th}	$V_{GS}=V_{DS}$ $I_D=2mA$	V	1-9#	2.55	2.60	2.0%
			6-2#	2.80	3.00	7.1%
			7-1#	2.60	2.65	1.9%
			7-7#	2.50	2.50	0.0%
			7-9#	2.70	2.75	1.9%
			7-11#	2.60	2.65	1.9%
$R_{DS,on}$	$V_{GS}=20V,$ $I_{DS}=5A$	$m\Omega$	1-9#	413	409	-1.0%
			6-2#	290	292	0.7%
			7-1#	247	246	-0.4%
			7-7#	247	246	-0.4%
			7-9#	236	234	-0.8%
			7-11#	260	259	-0.4%

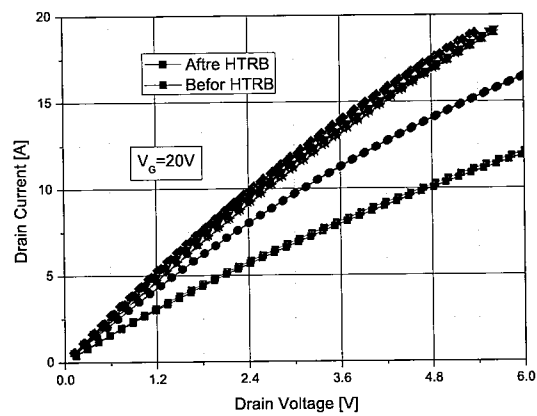
考核前后的曲线对比如图 5.2 所示, 其中图 5.2a 为 HTRB 前后击穿曲线对比, 图 5.2b 为 HTRB 前后阈值曲线对比, 图 5.2c 为 $V_{GS}=20V$ 下输出特性曲线对比。



a. HTRB 前后击穿曲线对比



b. HTRB 前后阈值曲线对比



c. HTRB 前后输出特性曲线对比

图 5.2 HTRB 前后器件特性曲线对比

结合表 5.3 及图 5.2 可以看出, 在 168 小时 HTRB 后, 不同器件的漏电流 $I_{DSS@3000V}$ 略有下降, 器件的阈值电压 V_{th} 略有增大 $\sim 0.05V$, 导通电阻 $R_{DS,on}$ 基本无变化。由于漏电很小, 参数漂移百分比较高, 但仍在合格范围内。故这些被考核器件通过 168 小时的 HTRB 试验。

5.3 HTGB 试验分析

高温栅偏试验 (HTGB) 主要是对器件栅氧可靠性的考核, 挑选不同结构的 3300V SiC MOSFET 按照如下的条件进行 168 小时的 HTGB 可靠性试验:

$T_a=150^{\circ}C$, $V_{DS}=0V$, $V_{GS}=20V$, $t=168\text{hours}$

可靠性试验的现场如图 5.3 所示:

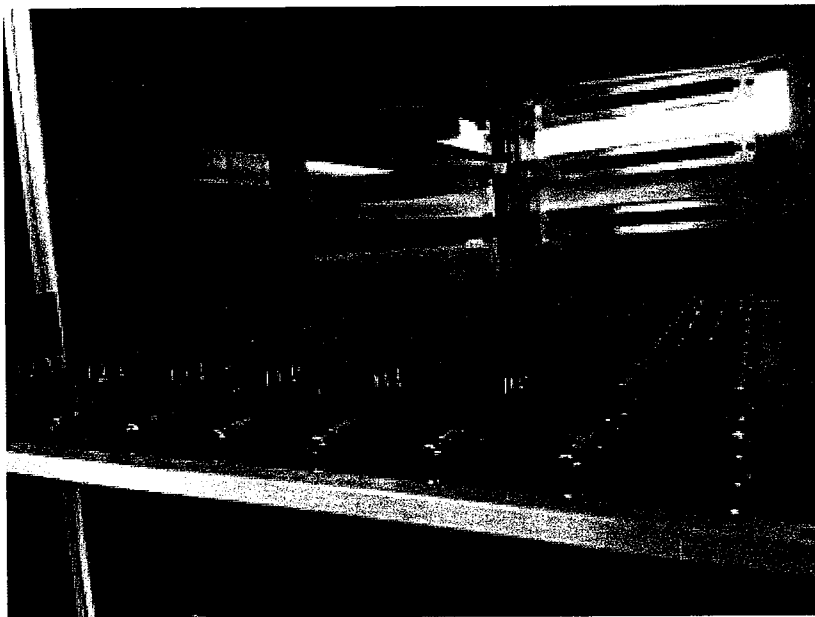


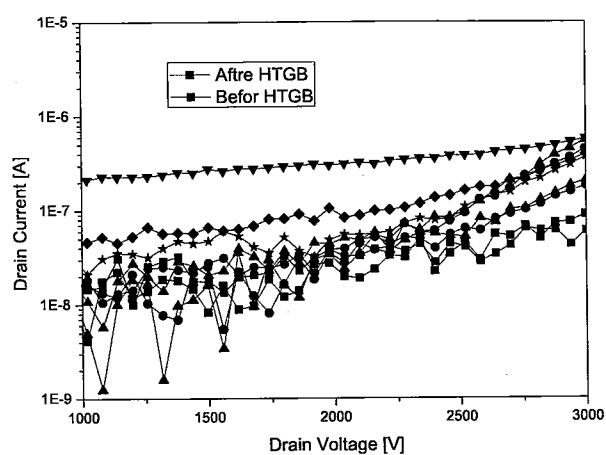
图 5.3 3300V SiC MOSFET HTGB 考核现场

对进行 HTGB 试验的器件考核前后的数据进行测试分析, 其考核前后数据对比如表 5.4 所示, 从测试结果来看, 有三只器件在考核后发生失效, 器件的击穿耐压基本为 0V。

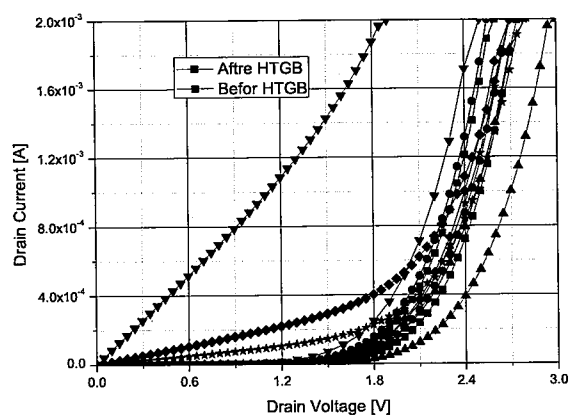
考核前后的曲线对比如图 5.4 所示, 其中图 5.4a 为 HTGB 前后合格器件的击穿曲线对比, 图 5.4b 为 HTGB 前后全部器件的阈值曲线对比, 可以看到失效的器件阈值曲线明显出现退化, 图 5.4c 为 $V_{GS}=20V$ 栅压下输出特性曲线对比, 合格与失效的器件在输出特性方面未出现明显差别。

表 5.4 HTGB 器件考核前后数据对比

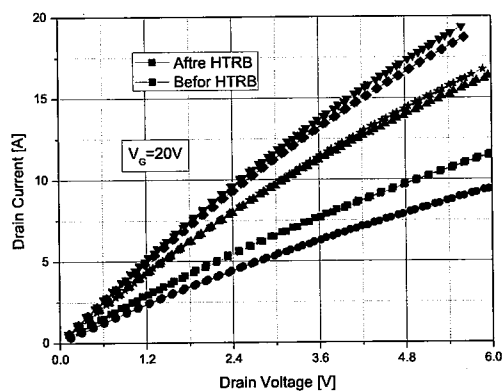
参数	测试条件	单位	器件编号	考核前	考核后	参数漂移
I_{DSS}	$V_{GS}=0V$ $V_{DS}=3000V$	μA	1-6#	0.06	0.09	50.0%
			2-9#	0.18	0.45	150.0%
			6-3#	0.21	0.56	166.7%
			7-10#	0.57	Fail	/
			7-13#	0.39	Fail	/
			9-7#	0.37	Fail	/
V_{TH}	$V_{GS}=V_{DS}$ $I_D=2mA$	V	1-6#	2.60	2.75	5.8%
			2-9#	2.55	2.70	5.9%
			6-3#	2.80	3.00	7.1%
			7-10#	2.50	1.90	-24.0%
			7-13#	2.70	2.70	0.0%
			9-7#	2.70	2.80	3.7%
$R_{DS,on}$	$V_{GS}=20V,$ $I_{DS}=5A$	$m\Omega$	1-6#	435	443	1.8%
			2-9#	543	544	0.2%
			6-3#	296	296	0.0%
			7-10#	243	245	0.8%
			7-13#	252	254	0.8%
			9-7#	292	294	0.7%



a. HTGB 前后击穿曲线对比



b. HTGB 前后阈值曲线对比



c. 考核前后输出特性曲线对比

图 5.4 HTGB 前后器件特性曲线对比

结合表 5.5 及图 5.4 可以看出, 在 168 小时 HTGB 试验后, 有 3 只器件发生击穿特性出现失效, 未失效的器件漏电流 $I_{DSS}@3000V$ 略有增大; 器件的阈值电压 V_{th} 变得更为离散, 失效 3 只器件的阈值电压降低并且曲线变软, 亚阈值特性变差; 导通电阻 $R_{DS,on}$ 基本无变化。

图 5.5 给出了 HTGB 试验过程中的监控数据, 从监控数据可以看到, 各只器件考核的栅漏电流在 $0.15\sim 0.2nA$ 之间, 随着试验时间的增加而略微增大, 无明显异常。对于失效的原因结合本论文中后续 5.4 部分的分析, 基本确认为高温栅偏试验造成器件栅氧性能一定的退化, 在击穿特性测试时, 由于反偏时栅氧同样承受较大的电应力, 造成栅氧的击穿失效, 这也能够解释在 HTGB 过程中监控数据正常的现象。

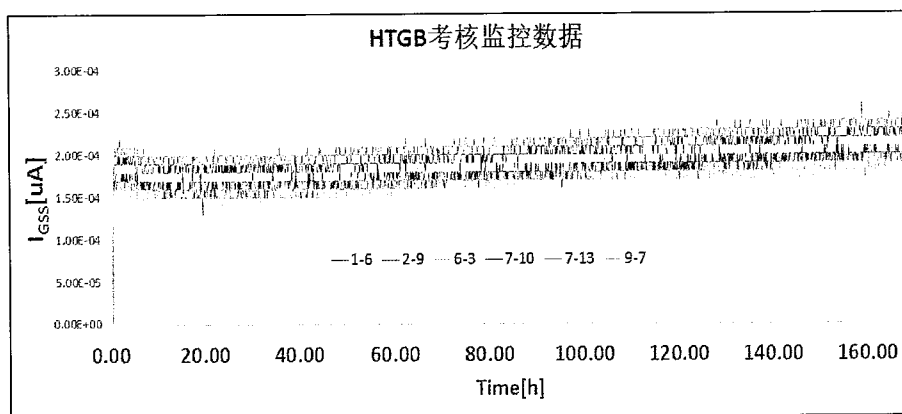
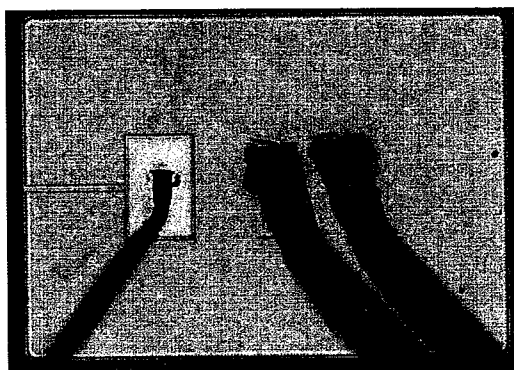


图 5.5 HTGB 过程中监控数据

对失效的 9-7#样品进行分析, Decap 后未发现明显的烧毁点, 如图 5.6a 所示; 利用 EMMI 进行漏电的位置定位, 如图 5.6b 所示, 失效点位于芯片主结拐角区域, 与版图对比发现是 GatePloy 的边缘位置, 说明需要对该区域的设计及工艺进一步优化。



a. 9-7# Decap 后照片



b. 利用 EMMI 定位 9-7#失效点位置

图 5.6 HTGB 9-7#样品失效分析

5.4 反偏时栅氧电应力研究

SiC MOSFET 中栅氧的可靠性有过不少研究报道^[103~108], 从阈值电压的漂移、长期栅氧的寿命等方面均展开验证及研究, 文献[108]中也指出, 栅氧的质量已经满足应用需求, 后续应该把研究的重点放在阈值电压的漂移上面。本部分拟对高压 3300V SiC MOSFET 在反偏状态下栅氧的电应力进行理论及试验方面的分析研究。

a) 反偏时栅氧电应力分析

当 SiC MOSFET 处于反偏状态时, Pbase-Nepi 这个 PN 结反偏, 其耗尽层扩展以承受耐压, 如图 5.7 所示。

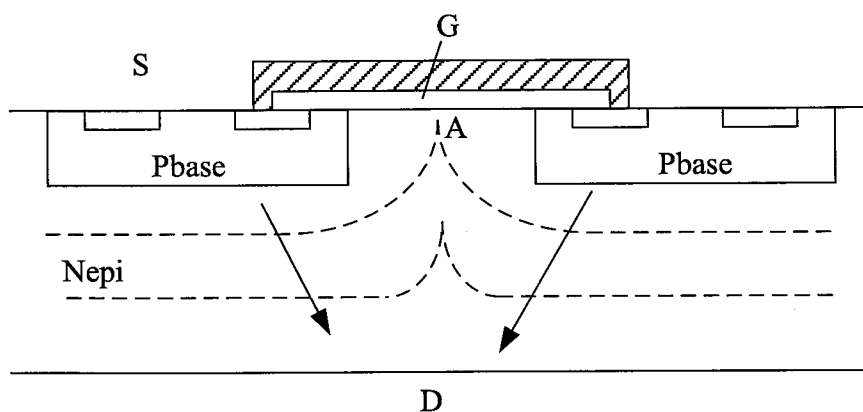


图 5.7 SiC MOSFET 反偏时电场示意图

随着反向耐压的增大, 耗尽层 (图中虚线) 会继续往垂直方向扩展。与此

同时在器件横向方面,同样会存在电场扩展,造成A点的电势升高,由于SiC材料击穿场强约为Si器件的10倍,因此SiC器件A点的电势会远高于Si器件,A点上方的栅氧化层会承受一个比较高的电应力。该点的电势高低与横向尺寸(JFET宽度)及掺杂浓度有关。横向尺寸越大,掺杂浓度越高,A点的电势值越高。而对于传统的3300V SiC MOSFET而言,当JFET区域无注入时,为保证器件的电流能力,JFET区域的设计尺寸一般较宽,造成A点电势偏高;对JFET区域进行注入后,虽然JFET的尺寸可以缩小,但因浓度的提高,同样会造成A点的电势较高。

对于本论文中制备的三种JFET宽度的器件,通过仿真可以看到,在击穿时A点的电压值(方形元胞对角线方向),如图5.8所示:

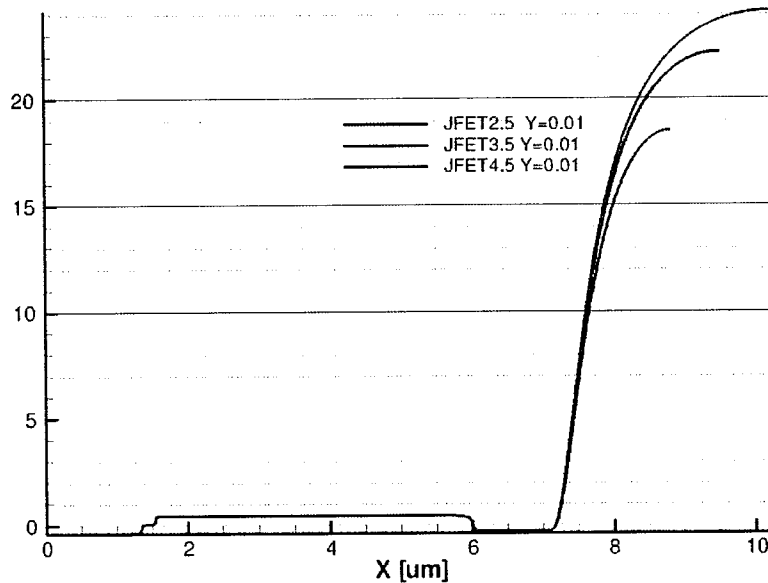


图 5.8 击穿时不同结构的表面电势分布 ($Y=0.01\mu\text{m}$)

从图 5.7 可以看出在器件击穿时,JFET2.5/JFET3.5/JFET4.5 三种元胞结构,其栅氧中间下方的电势分别为 18.5V、22.2V 和 25.1V,对于 60nm 厚的栅氧而言,该点栅氧化层中电场强度达到了 $3.1\text{MV}/\text{cm}\sim 4.2\text{MV}/\text{cm}$,处于较高的电应力下。而在实际应用中为保证器件不发生误开启,栅极一般会进行负压箝位,会进一步加大该位置栅氧的电应力。

b) 试验验证

为验证上述的分析,基于 HTRB 设备进行改进,对 3300V SiC MOSFET 高压反偏时进行漏电测试分析。HTRB 试验设备检测电路示意图如 5.9a 所示,在

HTRB 试验中对器件漏极 D 施加高压 V_{CC} ，栅极 G 源极 S 短接接地，通过电阻 R 检测漏极与栅源之间的漏电流。为研究前述的问题，对 HTRB 的电路进行了改进，如图 5.9b 所示。

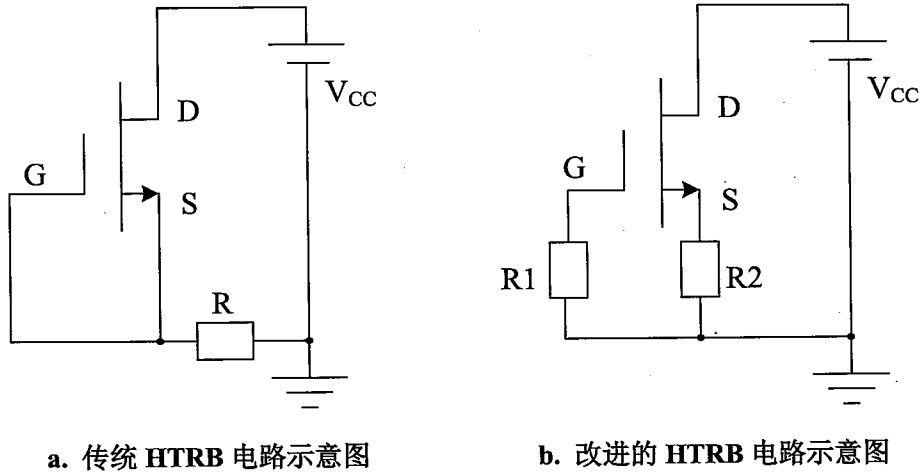


图 5.9 HTRB 电路原理图

在图 5.9b 改进的电路中，漏极 D 依然加高压 V_{CC} ，栅极 G 与源极 S 在短接前，分别串联一个电阻，本试验中使用 $R_1=2M\Omega$ 、 $R_2=50\Omega$ 的两个电阻，通过检测 R_1 、 R_2 两端的压降，分别对 DG、DS 两个通道中的漏电流 I_{DG} 、 I_{DS} 进行检测。该部分试验使用山东阅芯科技有限公司 GR-D HTXB 设备改进完成。

挑选 JFET2.5 器件 2 颗、JFET3.5 器件 6 颗、JFET4.5 器件 2 颗共 10 颗器件按照如下试验方案进行试验：

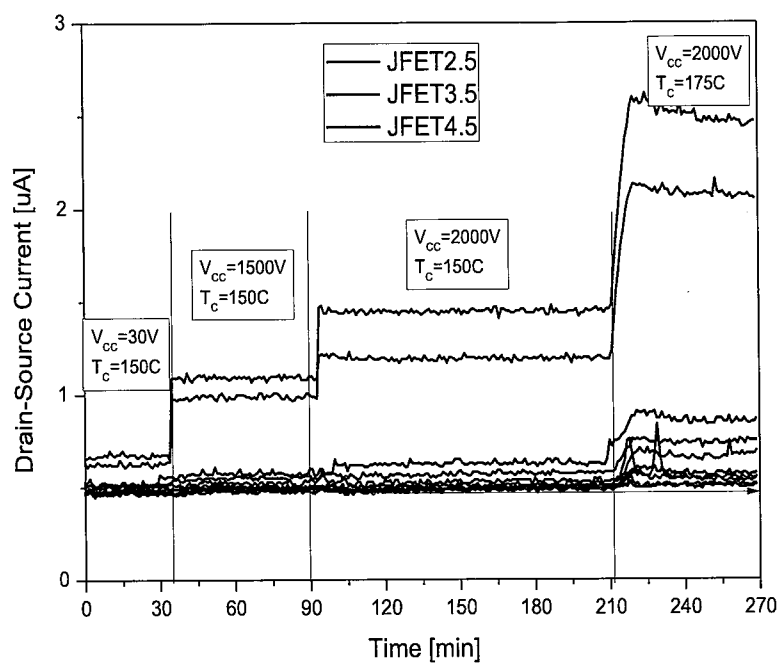
Step1: $T_a=150^{\circ}\text{C}$ ， $V_{CC}=30\text{V}$ ， $t=30\text{min}$ ，记录 I_{DS} 、 I_{DG} ；

Step2: $T_a=150^{\circ}\text{C}$ ， $V_{CC}=1500\text{V}$ ， $t=60\text{min}$ ，记录 I_{DS} 、 I_{DG} ；

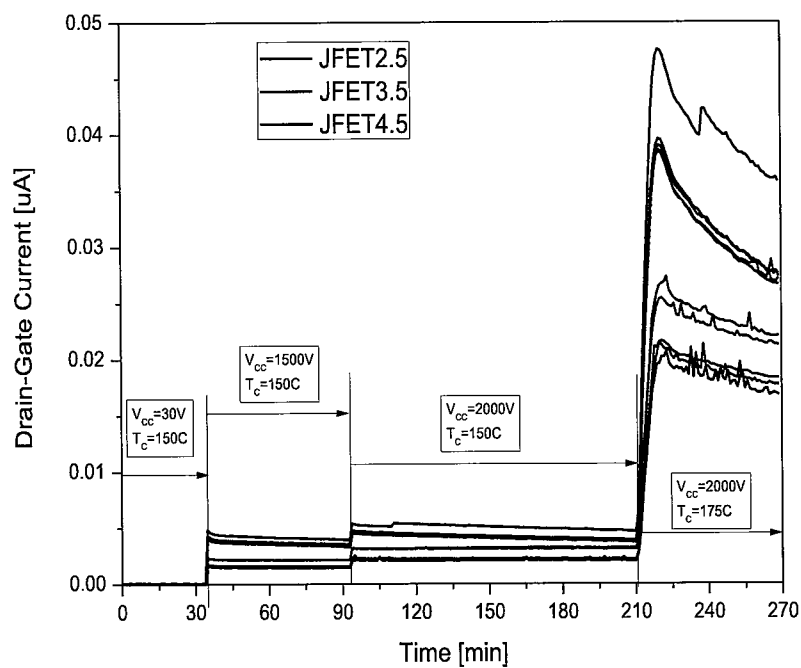
Step3: $T_a=150^{\circ}\text{C}$ ， $V_{CC}=2000\text{V}$ ， $t=120\text{min}$ ，记录 I_{DS} 、 I_{DG} ；

Step4: $T_a=175^{\circ}\text{C}$ ， $V_{CC}=2000\text{V}$ ， $t=60\text{min}$ ，记录 I_{DS} 、 I_{DG} ；

上述试验中 I_{DS} 的漏电结果如图 5.10 所示，从图中可以看到， I_{DS} 随着 V_{CC} 增大而增大，随着温度的升高而增大，整体在 $0\sim 3\mu\text{A}$ 之间，受器件个体差异影响明显，与器件的 JFET 宽度无明显关系。

图 5.10 高温反偏下 I_{DS} 监控结果

漏栅之间的漏电流 I_{DG} 如图 5.11 所示：

图 5.11 高温反偏下 I_{DG} 监控结果

从图 5.11 中可以如下结果:

1) 温度 150℃下, $V_{CC}=30V$ 时, 这时候的漏电可以认为是栅氧反向的漏电流, 该漏电小于 1nA, 这与图 5.4 中 HTGB 试验中栅漏电监控结果 (~0.2nA) 匹配。

2) 温度 150℃下, V_{CC} 增大至 1500V 后, 该漏电增大至 5nA 左右, 并且呈现出与器件 JFET 结构的相关性, JFET 越宽漏电越大。

3) 温度 150℃下, V_{CC} 增大至 2000V 后, 该漏电进一步增大, 仍保持与器件结构的相关性。

4) V_{CC} 保持在 2000V 不变, 温度由 150℃提高到 175℃, 该漏电继续增大至 20~50nA, 基本趋势保持不变。

因此, 通过该部分试验可以看到, 当器件处于反偏状态下, 其栅氧化层承受较大的电应力而导致较大的栅漏电, 该栅漏电随着反偏电压的增大而增大, 随温度的升高而增大。

鉴于这种情况在后续的试验及应用中, 需要额外重视, 尤其是高压 SiC MOSFET, 因此:

1) 在 SiC MOSFET 的 HTRB 可靠性试验中, 完全照搬 Si 功率器件的试验方法则有不足之处, HTRB 的考核同时对栅氧进行了老化, 需要对其老化的机理及模型进行进一步的考虑;

2) 这种问题带来的失效隐患在器件应用中需要被重视。如在 SiC MOSFET 器件的应用中, 器件一般处于高速的开关过程中, 器件内部的温度较高, 并且为保证器件不发生误开启, 栅极都会进行负压钳位保护, 因此在器件关断状态下, 很容易造成栅氧的击穿或影响其长期使用寿命, 需从器件设计及应用中给予更多的考虑。

c) 解决方案

针对栅氧化层在器件反偏状态时电应力较高的隐患, 有以下几个方案可以对该问题进行抑制^[109-111], 这些结构已经有过相关报道, 但最初报道的主要目的是降低栅电荷 Q_g , 以提高器件的整体性能, 并非针对降低栅氧中电场而提出:

1) 器件 JFET 区域的合理设计。JFET 区域的掺杂浓度及宽度, 需要根据栅氧化层中电场强度及正向特性进行折中, 增加 JFET 注入后, 可以有效缩短 JFET 的横向尺寸, 但高掺杂浓度下电场下降速度加快, A 点的电势也会提高。因此, 无论常规的无掺杂结构, 还是 JFET 区域有注入的高掺杂结构, 其 JFET 的宽度及掺杂浓度均需要合理的设计。

2) 增加中间区域氧化层的厚度。栅氧的厚度关系到器件的阈值电压等器件参数, 整体加厚栅氧的厚度并不可取。从前面分析可以看到, 栅氧电应力最高的点, 出现在栅氧中间的位置, 并非整个栅氧区域, 因此对该位置的氧化层进行加厚, 如图 5.12 所示 A 区域, 可以有效的解决该问题。

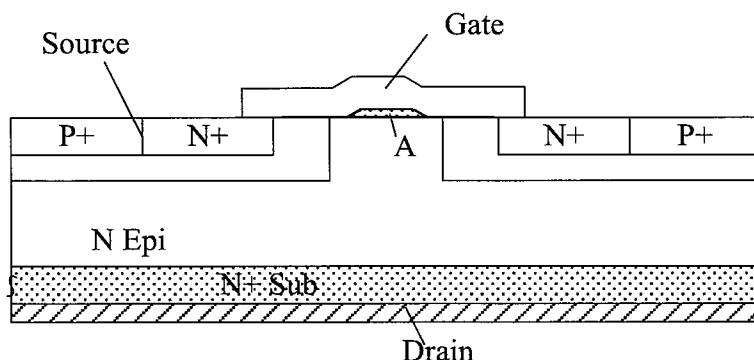


图 5.12 中心区域氧化层加厚

3) 对 JFET 区域进行 P 型掺杂。在 JFET 区域的中间区域进行 P 型掺杂, 这样在反偏时通过该 PN 结的扩展, 可以避免栅氧中间位置的电应力过高, 如图 5.13 所示。但该结构中的 P 注入区与 Pbase 区域会对电流造成一定夹断, 影响器件的电流能力, 因此该 P 注入区的尺寸需要精确的设计。

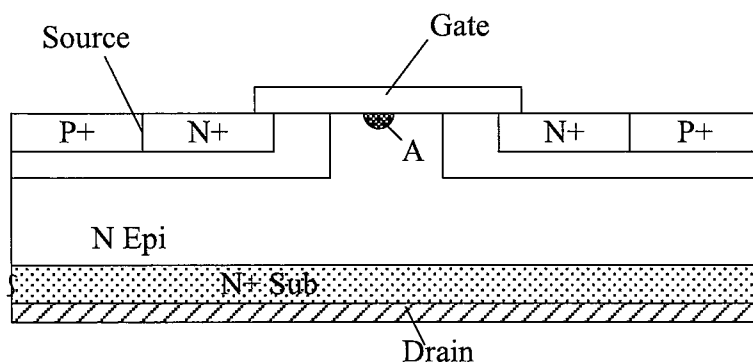


图 5.13 JFET 中间区域增加 P 型注入

5.5 本章小结

本章首先对 SiC 功率器件的可靠性评估方法进行研究, 然后对 3300V SiC MOSFET 进行了高温反偏 (HTRB) 和高温栅偏 (HTGB) 的可靠性摸底试验, 并对 HTGB 中的失效器件进行了失效分析, 明确了失效原因。另外, 对高压 SiC MOSFET 反偏时栅氧承受的电应力进行了分析, 理论及试验结果表明器件在承受反偏电压时, 会给栅氧施加较大的电应力, 引起栅漏电, 并且该栅漏电会随着反偏电压与温度而增大。最后, 从器件结构及工艺设计方面提出了几种对应的解决思路, 该隐患需要在设计及应用中引起重视并加以防范。

第6章 总结与展望

6.1 研究总结

SiC 功率器件因其卓越的材料优势,近年来得到迅速的发展,因其高压、高频、高温、高功率密度等器件特性,在高效电能转换领域具有巨大的市场。SiC 二极管和 MOSFET 晶体管由于其性能优越、技术成熟度高,是目前产业化成熟度最高的碳化硅功率器件。3300V 等高压 SiC MOSFET 是目前国内外各大厂商及研究所的研究热点,本文从 3300V SiC MOSFET 的设计、制造、鲁棒性及可靠性方面展开研究,主要研究内容总结如下:

1) 基于 Sentaurus TCAD 仿真工具,完成了 3300V SiC MOSFET 的仿真设计及流片制造。从材料参数、结构尺寸、工艺窗口等方面对 3300V SiC MOSFET 的设计展开研究,确定了 3300V SiC MOSFET 的设计要点,完成了几种不同结构的 3300V SiC MOSFET 设计,并完成芯片的流片制造及封装。

2) 完成不同结构的 3300V SiC MOSFET 的特性参数测试,并与仿真结果进行对比分析。对流片制造的 3300V SiC MOSFET 开展参数特性评估,对其源漏漏电流、击穿电压、阈值电压、导通电阻、体二极管及热阻特性展开测试分析,其各参数的测试结果与仿真结果基本一致。

3) 完成不同结构的 3300V SiC MOSFET 的开关特性及短路特性的分析研究,并借助 Sentaurus TCAD 对短路过程中器件内部的状态进行分析。研究了母线电压、栅电阻、栅电压等外围电路条件对开关特性及短路特性的影响,并对器件的最大短路时间进行了测试,结果显示最大短路时间大于 22 μ s,器件在短路失效前栅极电压降低并出现空穴电流。利用 Sentaurus TCAD 对短路过程器件内部的状态进行了研究,发现当器件承受一定的短路时间后,在内部最高温度大约 1100K 以上时,空穴电流被激发,空穴电流随着温度升高而呈指数增大,空穴注入到栅氧化层中,引起栅极电压的降低,并且通过实际测试初步验证了该理论分析。此外,在短路脉冲的测试中,发现电流拖尾的现象,当拖尾电流大到一定程度后,会因热电正反馈导致器件失效,这种失效模式下的短路时间

会小于最大短路时间，仿真与实测的结果趋势一致。最后提出了通过优化穴电流路径来提升短路能力的结构设计。

4) 针对 3300V SiC MOSFET 的可靠性进行研究，进行了 HTRB 和 HTGB 的可靠性试验，并完成失效器件的分析。此外，对高压 SiC MOSFET 中一种特有的失效隐患进行了研究。理论分析及试验结果表明，在器件反偏时，栅氧化层会承受一定的电应力，造成栅极漏电，该漏电流会随反偏电压及温度的升高而增大，在设计及使用过程中需要引起重视。

6.2 创新点

本文的创新工作主要体现在以下三点：

1) 完成了 3300V SiC MOSFET 的仿真设计及研制。利用 Sentaurus TCAD 完成了 3300V SiC MOSFET 的设计仿真研究，分析了材料、结构及工艺对器件性能的影响，并完成了流片。

2) 通过测试及仿真，全面的分析了 3300V SiC MOSFET 短路特性。对不同条件下的短路鲁棒性进行了分析研究，并利用 Sentaurus TCAD 完成了短路状态下内部载流子行为的机理研究，发现了空穴电流在短路过程中的作用机制，提出了一种提升短路能力的结构设计方案。

3) 研究了高压 SiC MOSFET 反偏状态下栅氧电应力问题。从理论上分析了高压 SiC MOSFET 的栅氧电应力的机制，并通过试验进行了验证，试验结果与理论分析一致，对高压 SiC MOSFET 的设计及应用具有重要的指导意义。

6.3 展望

SiC 功率器件因其材料卓越特性显示出巨大的应用前景，SiC MOSFET 是其中的核心器件，其应用的推广必将加速 SiC 市场的发展。目前，中低压 SiC MOSFET 已经逐步商品化，高压 SiC MOSFET 样品及试用已经逐步展开，但高压 SiC MOSFET 的鲁棒性及可靠性的提升是目前亟待解决的问题。本文的研究工作主要集中在 3300V SiC MOSFET 的设计制造及特性评估，并对短路鲁棒性、栅氧可靠性进行了系统的测试及仿真研究，为器件的设计与分析提供了理论依

据与数据支撑,但仍有很多的工作需要加强。本文的研究主要集中在常温下各种特性的研究,对于全工作温度范围内的分析仍需要进行,尤其高温下的各种特性,以体现 SiC MOSFET 高温的优势;另外对于高压 SiC MOSFET 体二极管退化的问题,本文并未展开研究。未来高压 SiC MOSFET 的研究工作仍充满挑战,主要集中在以下几个方向:

1) 提升 SiC 材料质量,加强高性能 SiC MOSFET 的研制,根据应用需求进一步提高其鲁棒性和可靠性,提高 SiC MOSFET 的抗冲击能力及长时间使用寿命。

2) 加强应用方面的验证,完善 SiC MOSFET 的驱动及保护方案,针对性的开发 SiC MOSFET 的应用方案,以充分发挥其性能优势。

3) 提升 SiC MOSFET 参数一致性,降低生产制造成本,提高 SiC MOSFET 的市场竞争力。

国产 SiC 器件的发展虽然落后于国外的发展,但整体差距不大,并且因中国巨大的市场空间,其发展潜力巨大。高压 SiC MOSFET 的性能、鲁棒性及可靠性的优化提升是一项长期艰巨的任务,需要持续的投入及技术积累,相信通过国内高校院所及企业的共同努力,国产高压 SiC MOSFET 的未来可期。