

密级:_____



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

SiC MOSFET 功率器件的封装技术改进研究

作者姓名: _____ 沈鹏飞

指导教师: _____ 吴怀宇 副研究员 _____ 中国科学院自动化研究所

_____ 石海忠 高级工程师 _____ 通富微电子股份有限公司

学位类别: _____ 工程硕士

学科专业: _____ 电子与通信工程

培养单位: _____ 中国科学院大学人工智能学院

2020 年 7 月

Packaging technology improvement study for
SiC MOSFET power device

A thesis submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Master of Engineering
in Electronics and communication

By

Pengfei Shen

Supervisor: Doctor Wu Huaiyu

School of Artificial Intelligence
University of Chinese Academy of Sciences

July 2020

中国科学院大学
研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：沈鹏飞
日期：2020.7.28

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：沈鹏飞	导师签名：吴怀宇
日期：2020.7.28	日期：2020.7.28

摘 要

相比于传统硅（Silicon, Si）器件，碳化硅（Silicon Carbide, SiC）器件有着众多优势，如击穿电场高（10 倍于 Si）、能带隙宽（3 倍于 Si）、热导率大（3 倍于 Si）、耐高温高压等特性。然而受到现有封装形式、封装工艺以及封装材料的限制，导致 SiC 器件大多只能在 150℃以下的环境中工作，同时也没有发挥出 SiC 器件本身的电热性及电特性优势。无法满足现代电子技术对高温、高频、高压以及抗辐射的要求。

研究表明，采用正确的封装技术，SiC 器件可获得 250℃甚至更高的额定温度，这就对传统的封装技术提出了挑战。本文顺应趋势，以 SiC MOSFET 芯片为例，围绕现有的 SiC MOSFET 封装技术中核心工艺存在的一些问题，从芯片结构的优化设计、封装材料的合理选择、互连技术的研究开发等环节进行了多角度全方位的探索，研究了新形式的封装互连技术在 SiC MOSFET 芯片上的应用可行性，使得 SiC MOSFET 器件能够充分发挥出自身性能。

本文以 TO263-7L 分立器件的封装形式，以加压式低温烧结技术替代焊料合金回流焊技术，以铜片贴合技术替代铝线键合技术。并通过软件建立模型，进行器件电性能、热性能的仿真。通过探索新设备结合人工操作的方式，完成整个器件的制作。

与此同时，通过与传统的 SiC MOSFET 封装技术进行全方面对比研究。以凸显新的封装技术在工艺过程、电性能、热性能以及可靠性能等方面取得的优势。

最后，本文也会对目前的发展限制及未来的研究方向作出分析，希望能为后续 SiC 功率模块产品的新型封装技术研究提供思路。

关键词： Si, SiC MOSFET, 封装技术, 优势, 性能

Abstract

Compared with traditional Si(Silicon) device, SiC(Silicon Carbide) device has many advantages. Such as high breakdown voltage(10 times of Si), band gap wide(3 times of Si), high thermal conductivity(3 times of Si), high temperature and high pressure resistance and so on. However, due to the limitations of existing package forms, package technology and package materials, most of the SiC devices can only work in the environment temperature below than 150°C, and at the same time, SiC device can not play its own advantage of electrothermal and electrical characteristics. So most of the SiC devices can not meet the requirement of modern electronic technology for high temperature, high frequency, high pressure and radiation resistance.

Research shows that with the suitable packaging technology, SiC device can achieve an operating temperature rating of 250°C or higher, which challenges the traditional packaging technology. Following the trend, taking the SiC MOSFET chip as an example, this paper revolves around some problems of the existing SiC MOSFET packaging technology. From the optimization design of chip structure, the reasonable selection of packaging materials, the research and development of interconnection technology and so on, the exploration of paper is on multi-angle. This paper studies the new forms of packaging interconnection technology in the application feasibility of SiC MOSFET chip, makes SiC MOSFET device can play its advantages.

In this thesis, the packaging form of TO263-7L discrete device is adopted. Using the pressure Low-temperature-sintering technology to replace the solder alloy reflow welding technology, Using the Copper-Strap technology to replace the ALWB(Aluminum Wire Bonding) technology. In the meantime, the simulation for electrical and thermal performance of the device is carried out by building software model. Manufacturing the whole device through the exploration of new equipment combined with manual operation.

At the same time, by comparing with the traditional SiC MOSFET packaging technology. The new SiC MOSFET packaging technology shows the advantages in technical process, electrical ability, thermal ability and reliability.

Finally, this thesis also analyzes the current development constraints and future

research direction, hoping to provide ideas for future research on new packaging technology for SiC power module products.

Key Words: Si, SiC MOSFET, Packaging Technology, Advantage, Performance

摘 要.....	I
Abstract.....	III
第 1 章 绪论.....	1
1.1 研究背景与意义.....	1
1.2 本课题的研究进展.....	2
1.2.1 国外的封装技术发展状况.....	2
1.2.2 国内的封装技术发展状况.....	4
1.3 本文主要研究内容和章节安排.....	5
第 2 章 SiC MOSFET 的封装技术及关键参数.....	7
2.1 SiC MOSFET 的结构及工作原理.....	7
2.1.1 SiC MOSFET 简介.....	7
2.1.2 SiC MOSFET 的基本工作原理.....	8
2.1.3 本文采用的 SiC MOSFET 芯片.....	9
2.2 SiC MOSFET 功率器件的封装技术.....	10
2.2.1 封装的作用与要求.....	10
2.2.2 常见的封装形式.....	10
2.2.3 半导体封装流程.....	11
2.3 SiC MOSFET 功率器件的电热性能参数.....	15
2.3.1 SiC MOSFET 功率器件导通电阻 $R_{DS(on)}$	15
2.3.2 SiC MOSFET 功率器件热阻 R_{thjc}	15
2.3.3 SiC MOSFET 功率器件开关性能.....	17
2.4 本章小结.....	18
第 3 章 SiC MOSFET 封装的优化设计与改进.....	21
3.1 封装内部互连技术改进.....	21
3.1.1 低温烧结技术.....	21
3.1.2 铜片贴合技术.....	24
3.2 SiC MOSFET 芯片的优化设计.....	27
3.2.1 芯片背面金属层优化.....	27
3.2.2 芯片表面金属层优化.....	28
3.2.3 芯片表面 PSPI 层优化.....	29
3.3 引线框架的改良和铜带设计.....	34
3.3.1 引线框架的改良.....	34
3.3.2 铜片的设计.....	36
3.4 新封装设计的仿真.....	37

3.5 SiC MOSFET 器件的工艺制作.....	39
3.5.1 低温烧结贴片制作.....	39
3.5.2 铜片贴合连接制作.....	41
3.6 本章小结.....	43
第4章 新封装工艺优势与性能提升测试.....	45
4.1 新封装技术的工艺优势.....	45
4.1.1 芯片四边焊料溢出的改善.....	45
4.1.2 芯片与引线框架连接层空洞的改善.....	46
4.1.3 焊接强度的提升.....	47
4.1.4 避免铝线键合造成芯片损伤或焊点脱落.....	48
4.2 SiC MOSFET 器件性能提升测试.....	49
4.2.1 导通电阻 $R_{DS(on)}$ 提升测试.....	49
4.2.2 热阻 R_{thjc} 提升测试.....	51
4.2.3 开关性能测试提升.....	53
4.3 可靠性进展.....	55
4.4 本章小结.....	57
第5章 总结与展望.....	59
5.1 全文总结.....	59
5.2 前景展望.....	59
参考文献.....	61
致谢.....	65
作者简历及攻读学位期间发表的学术论文与研究成果.....	67

图目录

图 1.1	SiC 功率器件的主要应用领域	1
图 1.2	SiC MOSFET TO263-7L 封装	2
图 1.3	SiC 功率模块的一种	2
图 1.4	单管翻转封	3
图 1.5	传统技术与 SKIN 技术	3
图 1.6	双面散热模块模型	4
图 1.7	混合 SiC 功率模块实物内部结构	5
图 2.1	SiC MOSFET 内部结构及符号	7
图 2.2	N 沟道 SiC MOSFET 截面图	8
图 2.3	SiC MOSFET 芯片电极图和内部 SEM 照片	10
图 2.4	典型的 TO 封装	11
图 2.5	半导体封装工艺流程	11
图 2.6	切割后的圆片	12
图 2.7	装片过程和装片后的图片	13
图 2.8	键合过程及键合后的图片	13
图 2.9	SiC MOSFET 功率器件散热激励	16
图 2.10	SiC MOSFET 理想关断瞬态波形	18
图 3.1	低温烧结示意图	22
图 3.2	芯片结温仿真对比图	22
图 3.3	点胶型纳米烧结银与点胶方式	23
图 3.4	圆膜型纳米烧结银方案	24
图 3.5	胶带状纳米烧结银方案	24
图 3.6	倒装芯片示意图	25
图 3.7	铜片贴合技术示意图	26
图 3.8	SiC MOSFET 芯片内部结构	27
图 3.9	芯片背面金属层前后对比	28

图 3.10	优化前表面金属层结构及厚度	28
图 3.11	优化后表面金属层结构及厚度	29
图 3.12	低温烧结辅助压力试验基板	29
图 3.13	STM 与 PSPI 的 2D 简化模型图	30
图 3.14	芯片表面所受应力网状剖面图	30
图 3.15	STM 所受压力仿真结果	31
图 3.16	STM 所受应力影响因子	32
图 3.17	PSPI 所受应力仿真结果	32
图 3.18	PSPI 层所受应力影响因子	33
图 3.19	$\theta 1$ 、H1 的大小对 STM 所受应力的影响	33
图 3.20	优化前后 SiC MOSFET 芯片实物	34
图 3.21	新旧框架的 2D 结构图	35
图 3.22	新旧框架不同点对比	36
图 3.23	新旧引线框架实物图	36
图 3.24	铜片方案的 3D 图	37
图 3.25	源极区域的 Source 与 Sink	38
图 3.26	漏极区域的 Source 与 Sink	38
图 3.27	低温烧结贴片工艺流程图	39
图 3.28	低温烧结贴片设备	40
图 3.29	加压设备和内部压头	41
图 3.30	低温烧结贴片后的样品	41
图 3.31	铜片贴合工艺流程图	41
图 3.32	铜片贴合工艺设备	42
图 3.33	铜片贴合后的样品	42
图 3.34	新工艺下的 TO263-7L SiC MOSFET	43
图 4.1	焊料装片与烧结银贴片的溢出	46
图 4.2	两种装片工艺的扫描图片对比	46
图 4.3	剪切力测试过程	47
图 4.4	两种装片工艺的剪切力图片对比	47

图 4.5 剪切力数据 JMP 分析	48
图 4.6 常见的键合过程问题	49
图 4.7 导通电阻 $R_{DS(on)}$ 的组成	50
图 4.8 导通电阻 $R_{DS(on)}$ 测试设备与原理	50
图 4.9 $R_{DS(on)}$ 数据 JMP 分析	51
图 4.10 热阻 R_{thjc} 的组成	51
图 4.11 热阻 R_{thjc} 测试设备	52
图 4.12 R_{thjc} 数据 JMP 分析	53
图 4.13 SiC MOSFET TO263-7L 内部原理及器件电路模型	53
图 4.14 开关性能测试设备	54
图 4.15 旧新关断波形对比	54
图 4.16 T_{off} 数据 JMP 分析	55
图 4.17 对新器件进行开封	56
图 4.18 旧封装器件 SEM 照片	56
图 4.19 新封装器件 SEM 照片	57
图 4.20 新器件 TC1500 跟 TC2000 后的 SEM 照片	57

表目录

表 3.1	常见芯片连接材料物理性质	21
表 3.2	自由能与银粒子尺寸的关系	23
表 3.3	铝与铜的材料属性对比	26
表 3.4	SiC MOSFET 关键层厚度	27
表 3.5	所涉及材料的性质	31
表 3.6	C192 与 C194 的性质对比	35
表 3.7	材料特性表	37
表 3.8	四种方案 RLC 仿真结果	39
表 4.1	剪切力测试数据对比	48
表 4.2	导通电阻 $R_{DS(on)}$ 测试数据对比	50
表 4.3	热阻 R_{thjc} 测试数据对比	52
表 4.4	关断延时测试数据对比	55

第1章 绪论

1.1 研究背景与意义

目前,随着电子器件内部芯片集成度和整个集成电路功率的提高,电子封装技术正逐渐进入飞速发展的时代。与此同时,电子器件的服役条件也越来越苛刻。在这种趋势下,一些耐高温、耐高压、大功率的宽带隙半导体器件不断涌现^[1]。例如,碳化硅(Silicon Carbon, SiC)和氮化镓(Gallium Nitride, GaN)等宽带隙半导体芯片在 250℃ 仍然具有良好的工作性能。SiC 功率器件也称 SiC 电力电子器件,其具有耐高温、耐高压、高频、高功率以及抗辐射的特性,可以为高效、高功率密度、高可靠变流器提供技术支撑^[2]。在高铁、新能源汽车、太阳能发电、工业电机、智能电网、航空航天等领域,具有广阔的应用发展前景,如图 1.1 所示。随着 SiC 功率芯片制造工艺的迅猛发展, SiC 功率器件的成本也将得到下降, SiC 金属氧化物半导体场效应晶体管(SiC Metal Oxide Semiconductor Field Effect Transistor, SiC MOSFET)已成为 Si 绝缘栅双极型晶体管(Si Insulated Gate Bipolar Transistor, Si IGBT)的潜在替代者^[3]。

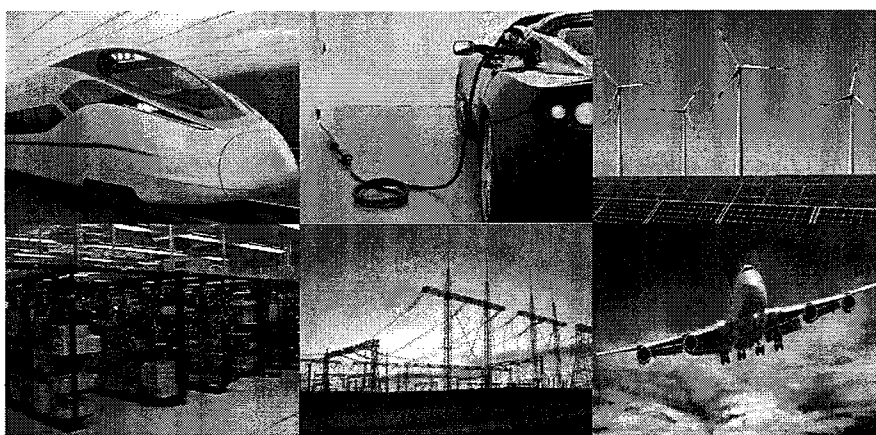


图 1.1 SiC 功率器件的主要应用领域

Figure1.1 Main application fields of SiC power device

SiC 功率器件的应用离不开封装技术,电子封装技术与集成电路芯片设计、制造并称半导体产业三大支柱^[4]。在电子产品的设计过程中,需要考虑四个因素,即产品的功能、成本、尺寸和可靠性,而封装与这四个因素息息相关。不仅如此, SiC 功率器件的电化学性能、热学性能和机械性能,都和封装技术有直接联系。这些都对现有的 SiC 功率器件的封装技术提出了极其巨大的挑战。

但是, 目前 SiC 功率器件大多沿用 Si 功率器件的封装技术。传统的封装工艺和互连材料, 其可靠工作温度远低于 200°C , 难以充分发挥 SiC 功率器件的优越性能。而无论是现在亦或未来, 飞机、高铁、航空航天等领域都将会需要电子器件在高温高压下工作, 这对现有的 SiC 功率器件的封装形式、封装材料和封装工艺提出了严峻的挑战^[5]。随着半导体工艺生产中的新技术、新工艺、新品种的不断涌现, 新型的 SiC 功率器件的封装研究已经成为了一个热点问题。

安森美半导体作为一家美国的上市公司, 在 SiC 功率器件方面积累了丰富的多年的经验。但在最近几年内, 随着通信、汽车电子行业的不断发展, 一些世界知名企业如华为、博世等, 也对我们的功率器件提出越来越高的要求: 适应更高温度的工作环境、更高的可靠性要求以及具备更好的电热性能等。

为了满足国内外客户越来越迫切的市场需求, 同时也为了提高公司在全球功率器件领域的竞争实力。本文依据公司的战略需求, 首先, 以 SiC MOSFET 芯片在分立器件 TO263-7L 上研究更为合适的新型封装技术。随后逐步实现量产, 并最终由 SiC MOSFET 分立器件 (图 1.2) 延伸到 SiC 功率模块 (图 1.3)。

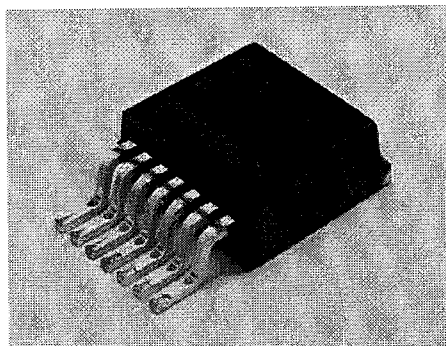


图 1.2 SiC MOSFET TO263-7L 封装
Figure1.2 SiC MOSFET TO263-7L package

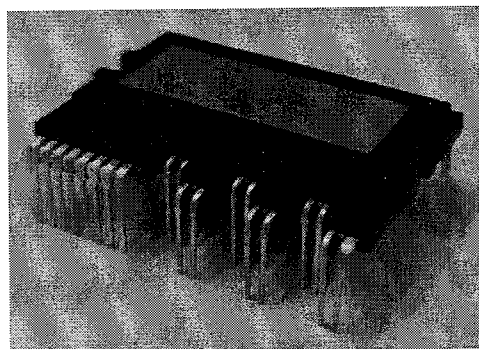


图 1.3 SiC 功率模块的一种
Figure1.3 One of SiC power modules

1.2 本课题的研究进展

1.2.1 国外的封装技术发展状况

其实, 一些国外的半导体企业跟高校早已开始关注 SiC 功率器件新型封装技术的研究。

来自阿肯色大学的团队^[6]借鉴了 BGA (Ball Grid Array) 的封装技术, 提出了一种单管的翻转贴片封装技术, 并将其应用于 SiC 功率器件的封装。如图 1.4 所示, 该封装内部通过一个“U 形”的金属连接件将 SiC 功率芯片背面电极翻转

到和正面电极相同的水平位置，然后在相应的电极位置上植上焊锡球，消除了键合引线和引脚端子所带来的杂散电感。相比于普通的 TO247-3L 封装外形，其体积减小了 14 倍，导通电阻减小了 24%。

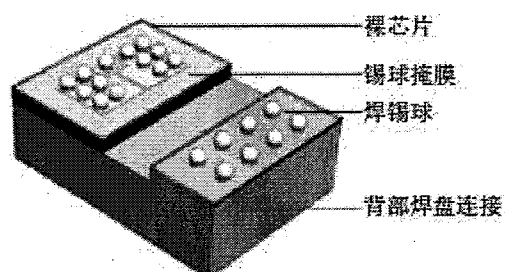
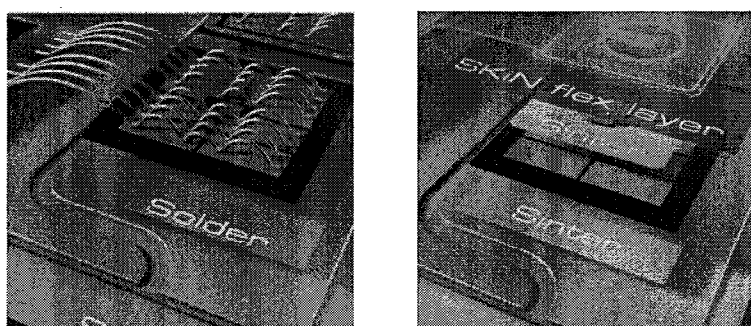


图 1.4 单管翻转封装

Figure1.4 Discrete flip-chip packag

德国 SEMIKRON 公司^[7]采用 SKIN 与烧结银相结合的封装互连技术，研发了 SiC 功率模块的新型封装工艺，如图 1.5 (a) 所示。与图 1.5 (b) 传统功率模块相比，芯片正面以 SKIN 柔性层代替键合铝线，芯片与基板间采用烧结银代替传统焊料。由于 SKIN 柔性层相比于铝线而言，可以承载更大的电流密度，提高了电流密度，使得功率模块的浪涌电流提高了约 25%。此外，由于使用了烧结银技术，可以将基板直接烧结到散热片上，与传统界面材料相比，银烧结层连接使基板到散热器的热阻降低了约 30%。总体而言，模块功率与寿命均得到了提高，体积进一步减小。



(a) 传统技术

(b) SKIN 技术

图 1.5 传统技术与 SKIN 技术

Figure1.5 Traditional technology and SKIN technology

日本罗姆公司通过引入一种新的封装方法和涂层材料，将 SiC MOSFET 与 SiC SBD 集成到同一功率模块中，并通过优化内部结构，使得 SiC 功率模块的导通电阻降低了 10%。同样是来自日本的富士电机公司，研发试制了一种可适用于太阳能光伏发电的 SiC 功率器件，其同样采用烧结银技术进行芯片与基板的连

接, 并采用铜接头进行芯片与引脚连接, SiC 器件的寿命相较于原结构提高了约 10 倍, 这是在 SiC 器件可靠性方面取得的重大突破。

美国北卡州立大学的 Guo.SX, Zhang.LQ 等人通过将两颗 1.2KV 的 SiC MOSFET 芯片与两颗高电流驱动芯片同时集成到功率模块内部的方式, 来减少寄生电感, 从而研发了一款超低关断损耗的 SiC 功率模块^[8]。来自美国田纳西大学的 Liang.ZX 等人采用全 SiC 功率模块的热集成封装结构, 通过直接连接功率极跟冷基板, 实现了 SiC 功率模块的高效冷却, 此模块可应用于汽车领域^[9]。

综上, 国外很多半导体研究机构已经在 SiC 功率器件的先进封装技术领域取得了不俗进展, 其产品性能及寿命均已得到大幅度提升, 但目前还没有适用于大批量生产的可行方案。

1.2.2 国内的封装技术发展状况

SiC 功率器件随着输出功率增加, 结温会随之明显上升, 热阻增大, 电学性能退化。袁凤坡、白欣娇等人针对 1200V/200A 的 SiC 功率器件, 利用仿真软件建立了有限元分析模型, 研究了 SiC 功率器件封装工艺与器件热电特性的关系, 包括焊接层厚度、空洞率及键合参数对器件热特性和寄生参数的影响^[10]。

由于传统的引线键合技术只能使 SiC 功率器件实现单面散热, 因而双面散热的封装结构近些年来得到广泛关注。其采用缓冲层代替键合引线, 与芯片电极相连, 增加散热通道, 有效地提高了器件的散热性能, 但双面互连的封装结构须承受更高的热应力。陆国权教授采用有限元法, 通过仿真研究双面 SiC 功率器件应力缓冲层形状、厚度和焊层面积对器件各层材料的受力与变形的影响规律, 为双面封装结构强度设计提供理论指导, 从而实现高可靠性的 SiC 功率器件双面散热封装技术^[11], 如图 1.6 所示。

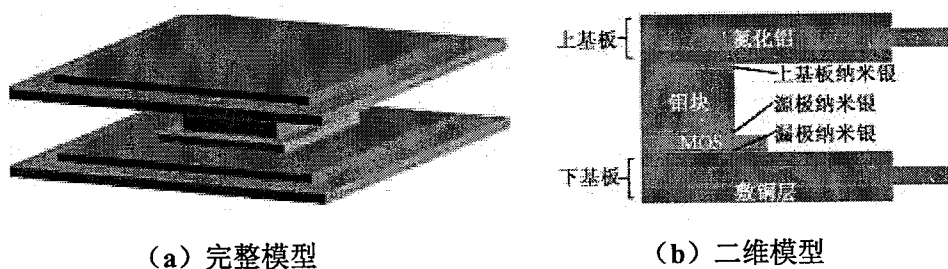


图 1.6 双面散热模块模型

Figure1.6 Model of double-sided cooling module

李诚瞻博士通过封装内部优化布局设计、采用低感母排取代键合铝线的跨接

等措施, 将 SiC 功率器件的寄生电感减小到 16nH, 有效降低了整个器件的峰值电流和振荡时长, 减少了器件的开关损耗, 实现了 1200V 混合 SiC 功率器件的低感封装^[12], 其内部结构如图 1.7 所示。将该低感设计 SiC 功率器件应用于 30kW 光伏逆变器中, 光伏逆变器的转化效率可提升至 97.9%。

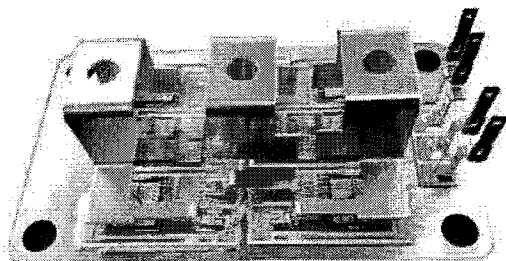


图 1.7 混合 SiC 功率模块实物内部结构

Figure 1.7 Inner structure of the hybrid SiC power module

由此可见, 由于国内相关研究起步比较晚, 在 SiC 功率器件的封装理论与技术方面基础薄弱, 仅有少数企业和高校开始研究 SiC 功率器件的先进封装技术。同时, 相较于国外优秀的半导体公司, 国内产商在半导体芯片设计方面涉足较少, 主要从事 SiC 功率器件外围封装技术的研究。基本是以仿真研究或封装材料为出发点进行封装技术的提升, 研究较为单一, 多数仍停留在理论阶段且研究不够系统化。

同时, 国内外的相关研究大部分仍处于试验性阶段, 主要是以对排线、芯片等重新布局为主。缺乏创新, 也缺乏大批量生产的可行性。因此, 急需梳理 SiC 功率器件的封装理论和技术, 并结合芯片设计、封装材料和封装技术, 进行综合性的 SiC 功率器件的封装技术研究。所获得的研究成果对于 SiC 功率器件封装技术的开发与推广具有实际意义和参考价值。

1.3 本文主要研究内容和章节安排

SiC 功率器件封装技术的日渐发展, 对其性能的要求也日渐提高。SiC 功率芯片的优良特性只有在封装技术的支撑下才能发挥出来。而对于 SiC 功率器件的封装而言, 低导通损耗、良好的散热性能、良好的电性能和高可靠性是衡量其是否成功的性能指标。

本文以 TO263-7L 分立器件的封装形式对 SiC MOSFET 芯片进行封装。围绕现有封装工艺的互连技术存在的一些问题, 通过优化芯片设计, 探索新的封装材

料，研发新的封装技术并优化工艺流程。最终使得 SiC MOSFET 功率器件的性能很大程度上摆脱传统封装互连技术的束缚。本文的最终目的是提升 SiC MOSFET 功率器件的电热性能及可靠性，以适应通信、电网、新能源汽车等行业的更高要求。论文分为五章，各章主要内容如下：

第一章：绪论，分析了封装技术对于 SiC 功率器件的重要性以及目前遇到的瓶颈。介绍了目前国内外 SiC 功率器件先进封装技术的发展状况。

第二章：介绍 SiC MOSFET 功率器件的基本结构和工作原理，同时对现有的 SiC MOSFET 封装技术进行了详细介绍。对 SiC MOSFET 功率器件的导通电阻 $R_{DS(on)}$ 、热阻 R_{thjc} 、开关性能等重要性能指标进行了较为详细的阐述。

第三章：首先分析了现有 SiC MOSFET 封装内部互连技术的缺陷，并进行了互连技术改进。然后对原先的 SiC MOSFET 芯片进行了优化设计，同时，对引线框架和铜片进行了改良。最后，通过对新封装设计进行仿真结果的确认分析，完成了整个新型 SiC MOSFET 功率器件的制作。为后续的进一步分析研究打下基础。

第四章：主要围绕新型 SiC MOSFET 的封装技术在工艺和综合性能上所取的提升展开研究。通过与旧封装技术进行对比，详细分析了新工艺在焊料溢出、焊接层空洞和焊点强度等方面取得的优势。并且利用 JMP 软件对两种封装技术的 SiC MOSFET 测试数据进行对比分析，确定了新型封装技术下的 SiC MOSFET 功率器件性能优势。

第五章：结合前述主要研究成果，开展了相关的总结和展望。

第2章 SiC MOSFET 的封装技术及关键参数

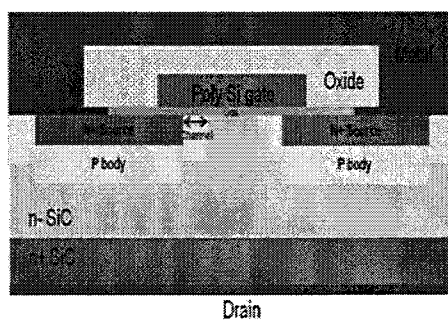
与本文相关的背景已经在上一章中进行了详细介绍，讨论了目前国内外 SiC 功率器件的发展状况，以及本文要做的一些工作。本章主要介绍目前 SiC MOSFET 芯片的封装流程、关键的封装技术、主要的改良工艺以及关键的性能参数。一般来说，贴片工艺跟铝线键合工艺是 SiC MOSFET 封装流程中最为关键的技术，也将是本文主要研究的方向。

2.1 SiC MOSFET 的结构及工作原理

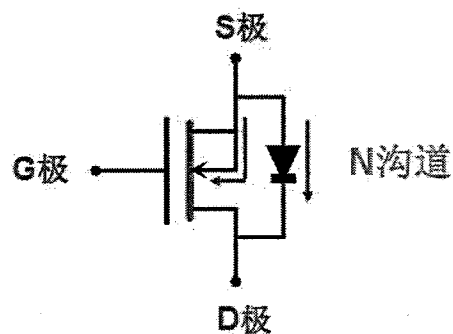
为了深入地研究 SiC MOSFET 功率器件的封装技术，首先就要对 SiC MOSFET 的结构构造和工作原理有所了解。掌握 SiC MOSFET 的特性对正确使用及充分发挥器件的优势具有重要意义。

2.1.1 SiC MOSFET 简介

SiC MOSFET 即为碳化硅金属氧化物半导体场效应晶体管。根据导电沟道的不同，SiC MOSFET 可以分为 N 型 SiC MOSFET 跟 P 型 SiC MOSFET；而根据开启模式的差异，又可以分为耗尽型 SiC MOSFET 及增强型 SiC MOSFET。但功率 SiC MOSFET 一般采用 N 沟道增强型。这是因为考虑到 N 沟道增强型 SiC MOSFET 在关断状态下的损耗更低，并且在耐压及迁移率方面具有优势。图 2.1 (a) 为 SiC MOSFET 内部结构，图 2.1 (b) 为其符号表示。



(a) SiC MOSFET 芯片内部结构



(b) SiC MOSFET 符号表示

图 2.1 SiC MOSFET 内部结构及符号

Figure 2.1 SiC MOSFET structure and symbol

SiC MOSFET 的内部结构主要包括漏电极（Drain）、源电极（Source）、多晶硅栅及栅电极（Gate）、栅介质、N+源、P body、n-外延以及 n+衬底等。在正向

阻断态下，栅电极为零偏或负偏压、源电极零偏，漏电极正偏，器件正向阻断耐压主要由 P body 与 n-外延形成的 PN 结承担；通态下，栅电极正偏，P 型基区表面形成由电子积累产生的反型层，漏、源之间的势垒得以降低，电子可自由地朝漏电极漂移^[13]。

当 P 型基区表面刚形成由电子积累产生的反型层时，对应的栅压称为阈值电压 V_{th} ，其理论值可表示为：

$$V_{th} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\Phi_{FB} + 2\frac{\sqrt{qN_A\epsilon_s\Phi_{FB}}}{C_{ox}} \quad \dots (2.1)$$

其中，

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \dots (2.2)$$

$$\Phi_{FB} = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad \dots (2.3)$$

以上， ϕ_{ms} 表示金-半接触间的功函数差； Q_{ss} 表示半导体-氧化层界面电荷； C_{ox} 则表示单位面积氧化层电容。

2.1.2 SiC MOSFET 的基本工作原理

N 沟道 SiC MOSFET 截面图如图 2.2 所示。

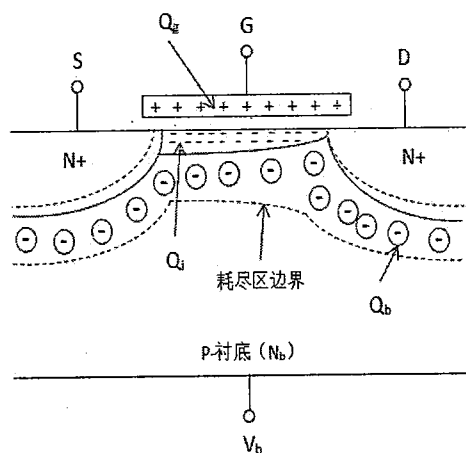


图 2.2 N 沟道 SiC MOSFET 截面图

Figure 2.2 N trench SiC MOSFET profile

假设漏源极电压 $V_{ds} > 0$ ，当在栅极上施加一个小于阈值电压 V_{th} 的正栅源电压 V_{gs} 时（即 $0 < V_{gs} < V_{th}$ ），栅极和衬底之间的 SiO_2 绝缘层中便会产生一个垂直于半导体表面的且由栅极指向衬底的电场。这个电场能吸引电子而排斥空穴，栅极

氧化层下面的 P 型表面区的空穴受到排斥离开硅表面,然后留下了不能移动的带负电的杂质原子,从而在硅表面形成了一层负电荷,此负电荷被称作耗尽层电荷或体电荷 Q_b 。泄漏电流指的就是此刻的漏源极电流^[14]。

吸引到 P 衬底表面层的电子随着 V_{gs} 的增大而增多。当 $V_{gs} > V_{th}$ 时,这些电子在栅极附近的 P 型硅的表层便会形成可以移动的负电荷 Q_i ,即常说的导电沟道。因为表面是 N 型的导电沟道,它和 P 型衬底的导电类型相反,从而 SiC MOSFET 表面形成反型层。此时, SiC MOSFET 表现为非线性压控电阻^[15]。

当 $V_{gs} = V_{th}$ 时, P 衬底表面的少数载流子即电子的浓度将等于体内多数载流子即空穴的浓度。 $V_{gs} > V_{th}$ 越高,表面的少数载流子的电荷密度 Q_i 就越高, Q_i 也称为反型电荷,利用电荷守恒原理可得, Q_i 与 Q_b 之和应等于栅电荷 Q_g 。此时,如果漏极和源极间存在电势差,因为载流子有扩散效应,会产生电流 I_{ds} 。这时, PN 结的泄漏电依然存在,但是它与沟道电流相比很小,所以一般可忽略不计。由于反型电荷 Q_i 很大程度上取决于栅压,所以可以运用栅压来控制沟道电流,并且由此完成放大作用。

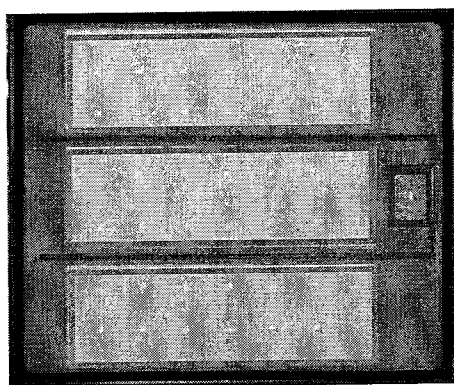
若在栅极上施加偏压,当 $V_{gs} < V_{th}$ 时,则 SiC MOSFET 处于截止状态,漏源极之间没有电流,器件也没有导通,漏源区域之间不能形成导电沟道。但在实际的器件中,其特性并非如此。对于 $V_{gs} < V_{th}$ 的情况,漏源电流实际上并不为 0,而是按指数规律随栅压变化,通常称此电流为弱反型电流或者泄漏电流。该电流高于反向漏源 PN 结引起的泄漏电流,反向 PN 结引起的泄漏电流的数量级约为 $10^{-12}A$ 或更低。实际电路里,一般要把泄漏电流减到最小。而对用于电路模拟的器件模型,有时可以忽略泄漏电流。在数字电路中,截止状态非常重要,当 $V_{gs} < V_{th}$ 时, SiC MOSFET 器件处于截止状态,从而使漏源电流关断,此时器件不工作。

根据上面的论述可知, SiC MOSFET 器件可以被当做开关管来使用,这也是 SiC MOSFET 的基本工作原理。

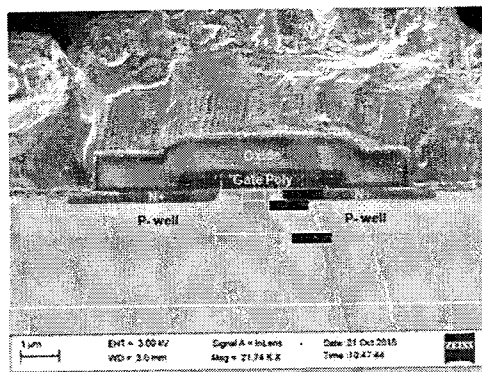
2.1.3 本文采用的 SiC MOSFET 芯片

上文中,对 SiC MOSFET 的结构与工作原理进行了简单的论述。我们知道 SiC MOSFET 有三个电极,分别是漏极(Drain)、源极(Source)和栅极(Gate)。上述的 SiC MOSFET 指的是 SiC MOSFET 单元(Cell),一个个小 Cell 便构成了 SiC MOSFET 芯片,本课题需要用的 SiC MOSFET 芯片如图 2.3 (a) 所示, 2.3

(b) 为内部单个的 Cell 的 SEM (扫描电子显微镜, Scanning Electronic Microscope) 照片。此芯片对应的漏极 (Drain) 为芯片的背金区, 源极 (Source) 为图 2.3 (a) 中的蓝色区域, 栅极 (Gate) 为红色区域。



(a) SiC MOSFET 芯片电极示意



(b) 内部 SEM 照片

图 2.3 SiC MOSFET 芯片电极图和内部 SEM 照片

Figure 2.3 SiC MOSFET electrode and SEM picture

2.2 SiC MOSFET 功率器件的封装技术

2.2.1 封装的作用与要求

电子元器件封装技术对半导体集成电路和器件起着不可磨灭的作用。SiC MOSFET 功率器件的电化学性能、热学性能和机械性能, 以及器件的可靠性和成本, 都和封装有着千丝万缕的联系。

一个可行并且可靠的电子封装技术必须具备以下要求^[16]: (1) 电气特征保护, 在进行整体封装设计时, 必须考虑包括信号完整性、电源完整性、串扰耦合、寄生效应等对电子元器件地影响; (2) 良好的导电导热性能, 使结温处于可控范围之内, 保证器件正常工作; (3) 信号传输, 功率分配, 并且通过合理的内部互连技术设计, 以尽可能地减少信号延迟; (4) 良好的机械可靠性, 通过封装技术保护芯片以及内部结构, 避免外部环境及外力对其造成影响。因此, 对于封装设计者而言, 除了要了解芯片本身的性能参数和引线排布, 还要对封装的整个工艺流程、封装外形的尺寸、内部的结构特点、工艺规范和封装材料特性等有一个整体把握。这样才能提出更合理的设计和改进方案, 提升器件性能。

2.2.2 常见的封装形式

根据半导体芯片的功率大小, 功率半导体器件的封装外形可分为压接式封装

(Press Package)、直敷铜 (Direct Bonded Copper, DBC) 基板结构和分立式封装 (Discrete Package)。对于 SiC MOSFET 功率器件而言, 分立式封装则最为常见。

对于分立式封装而言, SiC MOSFET 芯片通过焊接材料直接焊接在引线框架上, 每个封装只有一个开关。晶体管 (Transistor Outline, TO) 是目前全球范围内应用最为广泛的分立式封装外形, 这种封装形式普遍应用于各种小功率芯片。其中典型的封装型号包括 TO247、TO220、TO263、TO252 等, 如图 2.4 所示。

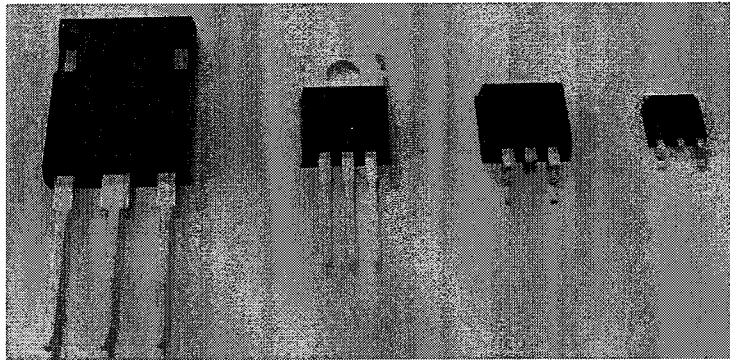


图 2.4 典型的 TO 封装

Figure 2.4 Typical TO package

近年来, 由于插入式封装工艺焊接成本高、散热性能也不如贴装式产品, 使得表面贴装产品市场需求量不断增大, 也使得 TO 封装发展到表面贴装式封装。同时, 用表面贴装式封装形式取代插入式封装形式, 这正符合电子产品小型化的发展趋势。其中, TO252 和 TO263 就是典型的贴装式封装。

考虑到芯片尺寸与封装外形的匹配性, 同时也兼顾客户端的需求, 本课题将采用 TO263-7L 的封装形式对 1200V SiC MOSFET 功率芯片进行封装。

2.2.3 半导体封装流程

传统的半导体封装工艺流程图 2.5 如下:

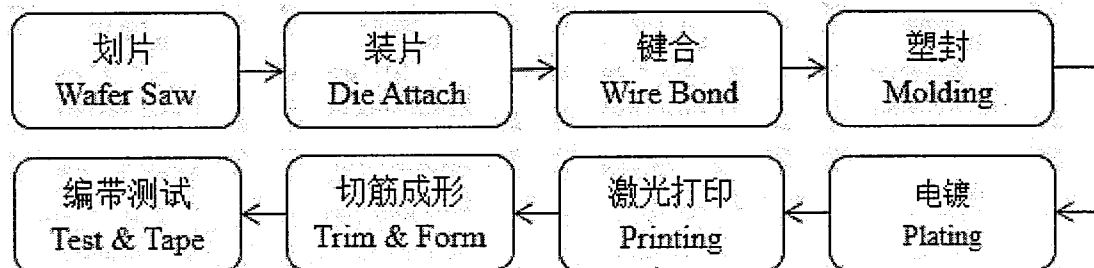


图 2.5 半导体封装工艺流程

Figure 2.5 Semiconductor packaging process flow

1) 划片

圆片切割工艺简称“划片”。划片刀一般由金刚石颗粒构成，目前有超声切割和非超声切割两种工艺。SiC MOSFET 圆片采用超声切割工艺。切割前先将晶元通过一定的方式粘贴在蓝膜上。然后将整张圆片放置在真空底盘上，最后在超声切割工艺下，晶元被切割成一个个独立的芯片。切割的过程会伴有去离子水不断冲洗圆片表面，既可以保持圆片表面清洁度，又可以带走热量，防止圆片损坏。切割后的圆片如图 2.6 所示。由于 SiC MOSFET 芯片硬度大且较脆，所以切割过程中划片刀的选择跟切割工艺参数的优化尤其重要。

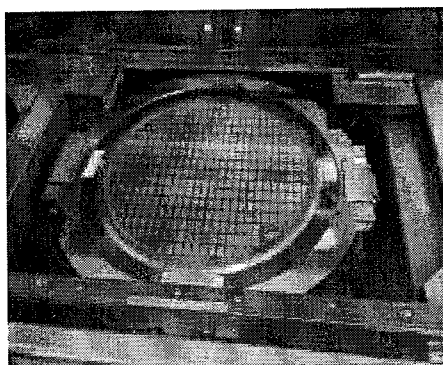


图 2.6 切割后的圆片

Figure2.6 Wafer after sawing

2) 装片

高温焊料装片工艺简称“装片”。装片的作用是实现芯片的背面电极与引线框架的物理连接及电气连接。装片工艺实现情况的好坏直接影响到整个电子元器件的电热参数与可靠性，特别是对于功率器件的影响更加明显^[17]。

装片工艺中常用的粘接材料有导电胶、焊膏、焊料等。功率器件主要使用焊膏、焊料两种，焊料凭借其工艺简单、性能稳定、适用范围广等优良的特性，在功率器件的应用中颇受欢迎。

其主要流程如下：引线框架在经过高温加热的轨道中往前移动，轨道温度为 300℃至 400℃，焊料在氮氢混合气体的保护下，接触到高温的引线框架载片台后变为熔融状态，再由压模压制成形。随后，装片机吸取芯片放置在熔融焊料上，同时施加一定的压力和时间。最后，引线框架在退出轨道后经过冷却，芯片便与引线框架的载片台紧密的结合在一起。图 2.7 展示了装片的过程及装片后的图片。

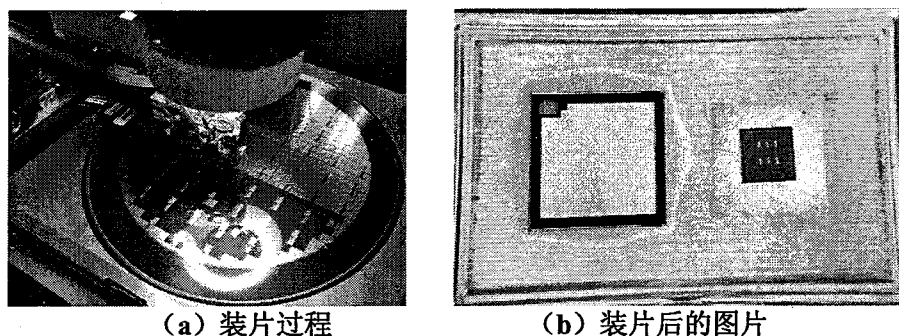


图 2.7 装片过程和装片后的图片

Figure 2.7 Die attach process and picture after DA

3) 键合

常用的键合线材料有金线、铜线、铝线等。铝线材料凭借其成本较低、熔断电流大的优点。被广泛应用于高压、大电流等大功率器件。相较于金铜线键合，铝线键合工艺也更为成熟。

键合工艺的作用就是将芯片引出电极与封装外壳引出脚连接起来实现电气连接的过程。铝线键合又被称为冷焊接工艺，这是因为在焊接过程中并不需要加热，是通过超声振动实现的。所用的铝线通常是 99.99% 纯铝线，因为这种纯度的铝线中含有一些微量颗粒可以抑制铝的晶界扩张^[18]。

焊接的过程如下：首先，钢嘴（即焊接工具）将铝线压在芯片表面并施以超声振动，振动再通过铝线作用于芯片表面。铝线在超声振动的作用下变软，随后与芯片表面的金属原子间熔合而形成相互共享电子，即形成金属共价键。此时，铝线与芯片的焊接便完成。紧接着，铝线在钢嘴的带动下来到框架内引线区域，以完成第二点超声焊接。最后，切刀将铝线切断，便完成了第一根铝线的焊接。图 2.8 展示了键合的过程及键合后的图片。

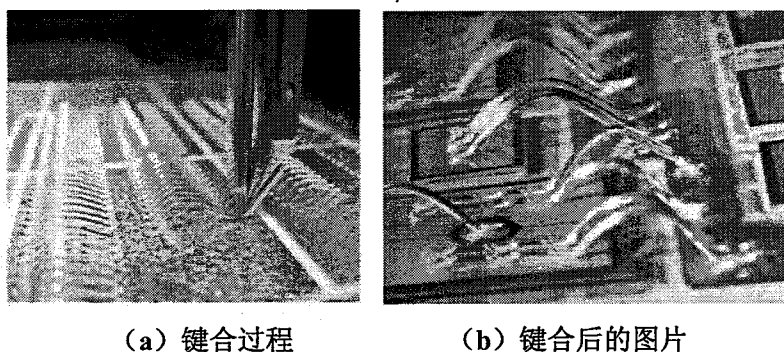


图 2.8 键合过程及键合后的图片

Figure 2.8 Wire bond process and picture after WB

一般粗铝线主要用于 SiC MOSFET 芯片的源极区域（Source），承载高压、

大电流。细铝线($\leq 6\text{mil}$)主要用于栅极区域(Gate), 承载低压、小电流。铝线键合过程根据不同铝线直径需要选择不同规格的钢嘴(Wedge)、线夹(Wire Guide)、切刀(Wire Cutter)等治具。铝线键合后, 样品需要进行拉力、推力测试, 以判定第一焊点及第二焊点是否焊接牢固; 同时需要进行 KOH 测试(Etching Test), 以监控铝线键合过程中, 芯片内部的结构是否遭受损伤, 以防止造成整个器件电性能失效以及后续成品使用过程中出现的可靠性问题^[19]。

4) 塑封

塑封的作用是保护器件内部的互连结构免受外部的干扰。塑封料的主要成分为环氧树脂及各种添加剂, 呈黑色块状, 需要低温保存。目前基本上是以无铅的绿色塑封料为主。

塑封工艺主要过程如下: 使用前, 对塑封料进行预热。先将已经完成装片跟键合的引线框架放置于模具中, 然后将塑封料放入模具孔中, 在高温的作用下, 塑封料开始熔化并顺着浇道, 流入到模腔。在这个过程中, 熔融的塑封料从底部开始逐渐覆盖芯片。最后塑封料在模具中成型固化, 完成整个塑封过程。

塑封完成后, 通常还需要对引脚之间、塑封体周围产生的树脂溢料进行清理, 从而达到外形美观的效果。

5) 电镀

电镀是在铜引脚表面上镀锡或者浸锡的过程。该工序是为了防止外界环境的影响, 并且使元器件在 PCB 板子上容易焊接并且提高导电、导热性能。

6) 激光打印

为了确保每个产品的唯一性(便于追溯信息), 通常在塑封后, 在器件的塑封体表面进行激光打印。打印内容通常为产品的关键性能信息。

7) 切筋成形

该工序是将一条片的引线框架切割成一个个单独元器件的过程。对切筋后的器件需要进行引脚成型, 以符合产品外观图的形状, 达到终端客户的规范要求。切筋成形完成后需要将产品有序地放置在特制的塑料管中, 既为了保护产品, 也为了下一步测试做准备。

8) 编带测试

根据电参数规范对产品进行各项电参数测试, 并同步筛选不良产品。

上文对封装技术的大致流程做了一些介绍, 装片工艺与铝线键合工艺是整个

封装技术中最核心的工艺。因为装片与键合都属于封装内部的互连技术，它们不仅决定了整个电子元器件的内部电气连接，而且关系着器件的可靠性。研究表明，在高温、高压工作环境下，功率电子器件最容易出现疲劳失效的位置主要为芯片表面键合线以及芯片下面的焊层内部^[20]。所以装片工艺与铝线键合工艺的改进是本课题重点研究的方向。

2.3 SiC MOSFET 功率器件的电热性能参数

对于功率半导体元器件而言，最重要的性能指标是功率，换句话说就是“较低的功耗”。损耗可以分为“导通损耗”、“热损耗”、“开关损耗”。三者之间有着相辅相成的关系，可以说，SiC MOSFET 功率器件封装技术的研究重点就是提高三者的平衡点。

2.3.1 SiC MOSFET 功率器件导通电阻 $R_{DS(on)}$

$R_{DS(on)}$ 即漏极 (Drain) 和源极 (Source) 之间的导通电阻，简称导通电阻。它是 SiC MOSFET 功率器件的主要特征参数之一。导通电阻决定了“导通损耗”^[21]。特别是在汽车电子、通信基站等实际应用中， $R_{DS(on)}$ 值的大小，直接决定了 SiC MOSFET 功率器件在工作的情况下，器件所消耗的功率和热量。因此，在研究 SiC MOSFET 功率器件的先进封装技术时， $R_{DS(on)}$ 是我们需要重点关注的影响因子^[22]。

低导通电阻 $R_{DS(on)}$ 是功率电子元器件的重要特性，这种特性有利于降低元器件的导通损耗，降低元器件使用升温，提升电源类、开关类元器件的整体效率^[23]。 $R_{DS(on)}$ 的大小取决与芯片自身和封装的电阻，很长一段时间内， $R_{DS(on)}$ 的主要来源都是芯片自身内阻 $R_{ds(on)}$ 。但随着晶圆制造加工能力与结构特性的不断变革，尤其是 SiC MOSFET 芯片技术的发展，芯片内阻已经大大降低。 $R_{DS(on)}$ 的主要来源逐渐转向封装内阻。

在实际应用中，降低 SiC MOSFET 功率器件封装所带来的 $R_{DS(on)}$ ，可以有效地降低器件消耗的热功率，也称为无用功率，从而提升器件的有用功率。因此， $R_{DS(on)}$ 是决定封装电性能的一个重要的测量参数。

2.3.2 SiC MOSFET 功率器件热阻 R_{thjc}

在工作状态下，SiC MOSFET 功率器件由于各种瞬态和稳态功率损耗产生大

量的热（即“热损耗”），集中在芯片内部，导致芯片温度在瞬间快速上升。过高的升温会改变器件的特性，甚至造成器件失效。因此，在进行功率消耗之后必须进行散热。

在封装 SiC MOSFET 功率器件时，所采用的封装材料在热传导方面能力不一样，所以器件的热应力也将存在一定的差异，它们可能产生自外部或是源自器件本身。上述因素都将会引起其工作寿命的显著降低。对于 SiC MOSFET 功率器件而言，结温和热阻是最重要的两个热学参数。前者是指有源区的相应温度值，采用 T_J 来表示。后者可以体现出器件的静态散热能力，也就是发生热传导的过程中，其所经过路径的具体阻力^[24]，采用 R_{thjx} 进行表示。

在芯片封装领域，常用 R_{thjx} 表示器件结与特定环境之间的热阻值。其一般定义为在热平衡条件下，芯片发热结点到某一固定位置的温度差与产生这两点温度差的耗散功率之比：

$$R_{thjx} = \frac{T_J - T_x}{P_H} \quad \dots (2.4)$$

其中， T_J 代表了芯片发热节点区域温度， T_x 代表了热传到某点位置的温度， P_H 代表了器件所具备的耗散功率水平。

如果散热主要是依靠热对流与热辐射的途径，则其热阻表示为 R_{thja} (Junction to Ambience)，指芯片结到环境的热阻，一般用于比较封装散热的难易，主要用于定性比较^[25]。

R_{thjc} (Junction to case) 是指热量由芯片发热结处到封装外壳表面温度最高处的热阻，散热过程主要依赖于热传导（需要保持接触）^[26]，衡量了封装体自身的散热能力，如图 2.9 所示，更具参考意义，所以本课题重点关注 R_{thjc} 值。

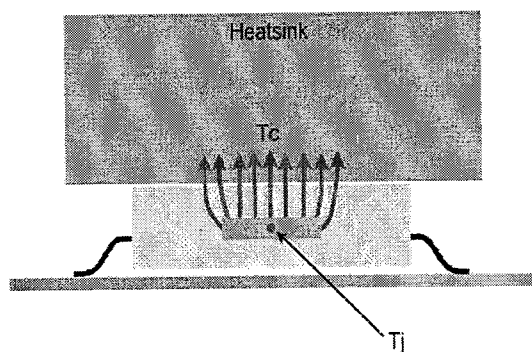


图 2.9 SiC MOSFET 功率器件散热激励

Figure 2.9 SiC MOSFET R_{thjc}

研究热阻的目的是探索影响 SiC MOSFET 功率器件热阻及可靠性的因素，并提出减小器件热阻的方法，为提高器件的可靠性提供依据。也是本课题探索的方向之一。

2.3.3 SiC MOSFET 功率器件开关性能

前面已经提到，与普通的 Si MOSFET 功率电子器件相比，SiC MOSFET 功率电子器件具有更加优良的器件特性，可望大幅度提高电力电子变换器的性能^[27]。然而，SiC MOSFET 功率器件的高频、高温、高压特性也对传统封装提出了新的挑战，随着开关速度的提高，传统封装所带来的寄生参数以及器件自身特性的非线性参数（如跨导、寄生电容等）对 SiC MOSFET 功率器件的开关损耗影响值得关注。

虽然 SiC MOSFET 功率器件具有驱动功率小和开关速度快的特点，但是随着工作频率的逐渐提高，寄生参数对开关性能的影响也逐渐变大。这就导致器件的“开关损耗”也随之增大^[28]。因此，开关损耗已成为导致器件损耗的首要因素，需要重点关注。

本文重点研究分析封装所带来的寄生参数，因为芯片本身的寄生参数已经确定，而当我们研究新的封装工艺时，就要尽量减少封装所带来的寄生参数，从而减少开关过程中的损耗。

寄生参数主要包含了三方面，即寄生电容、寄生电感和寄生电阻。寄生电容和寄生电感在 SiC MOSFET 工作频率较高时容易产生振荡和噪声，造成开关损耗增大。而寄生电阻则会增加 SiC MOSFET 功率器件内部寄生电容的充放电时间，影响开关速度，并导致损耗发热加剧，电路效率降低^[29]。封装引入的寄生参数主要是来自互连材料自身以及材料相互之间的影响。为了减小器件本身的功率损耗和提高开关速度，就要降低 SiC MOSFET 功率器件封装时所带来的寄生电容和寄生电感，并实现低导通电阻，以降低开关损耗和导通损耗^[30]。

为了更好地分析 SiC MOSFET 功率器件的开关性能，就要对 SiC MOSFET 功率器件的开关过程有所了解。本文仅讨论开关关断瞬态下的波形（开启的过程与关断的过程类似），图 2.10 为 SiC MOSFET 开关关断瞬态下，理想的工作波形和工作顺序。

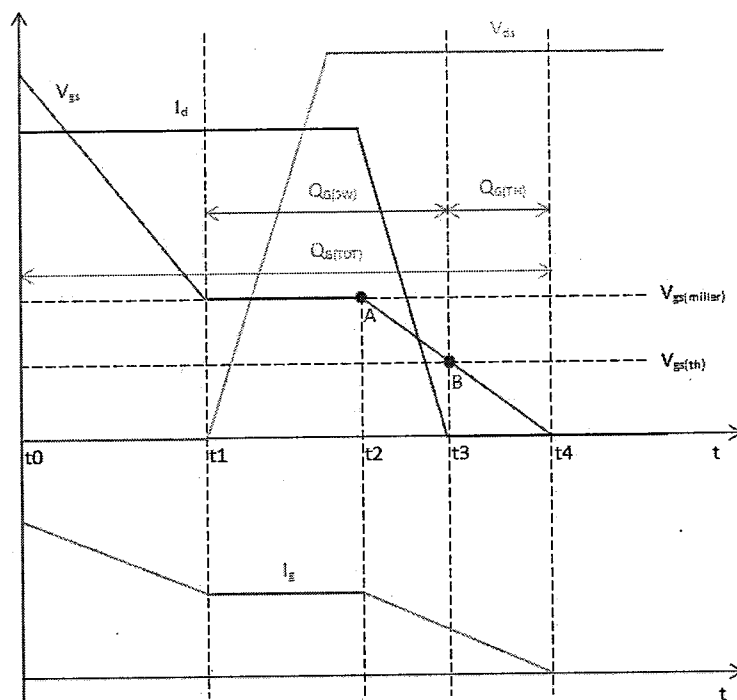


图 2.10 SiC MOSFET 理想关断瞬态波形

Figure 2.10 Ideal turn off transient waveform for SiC MOSFET

t0-t1 阶段：关断信号发出后，栅极与源极之间的电容 C_{gs} 将开始放电，栅源电压 V_{gs} 开始减小。此时 SiC MOSFET 的阻断特性保持不变，这个 t0-t1 阶段被称为延时。它表明着 SiC MOSFET 的响应时间，当栅源电压 V_{gs} 达到栅极平台电压 $V_{gs(miller)}$ 时，这个阶段便告结束^[31]。

t1-t2 阶段：此阶段， $V_{gs}=V_{gs(miller)}$ ，且 V_{gs} 电压水平保持不变。负载电流将对漏极与源极之间的电容 C_{ds} 进行充电，以重建空间电荷区，漏源电压 V_{ds} 开始缓慢上升，直至 V_{ds} 达到电路输出电压为止。

t2-t3 阶段： C_{gs} 将继续放电，漏极电流 I_d 和 V_{gs} 开始下降，阻断 SiC MOSFET 导通通道，当 V_{gs} 与栅极阈值电压 $V_{gs(th)}$ 相等，并且 $I_d=0$ 时，这个阶段即结束。这个阶段结束后，SiC MOSFET 将完全关断。此阶段为开关关断的延时时间，用 T_{off} 表示，也是后面要验证的部分。

t3-t4 阶段：栅极驱动对 C_{gs} 持续放电，栅源电压 V_{gs} 继续降低，直到 t4 时刻降低为 0。

2.4 本章小结

本章首先对 SiC MOSFET 芯片的基本结构和工作原理进行了介绍，从而引

出了本课题所要用到的 SiC MOSFET 功率芯片。然后介绍了传统的 Si 功率器件的封装流程,对本课题重点改进的键合跟装片流程进行了详细介绍,并点明这两种互连技术是本文研究的重点。最后介绍了考量 SiC MOSFET 功率器件整体电热性能的关键参数,这也是本课题最后进行重点测试的项目。

第3章 SiC MOSFET 封装的优化设计与改进

前面的章节中研究了 SiC MOSFET 功率器件的基本工作原理、介绍了传统 Si 器件的封装流程、介绍了 SiC MOSFET 主要的电热参数。本章便要对传统的封装流程中一些关键的封装技术进行分析,在基于一些现有技术的基础上提出优化与改进的方案。再通过一系列的仿真,来辅助设计的过程,从而保证新封装技术的可行性与优势。最后在理论的指导下完成整个器件的工艺制作。

3.1 封装内部互连技术改进

3.1.1 低温烧结技术

通过之前的介绍我们已经知道,目前的 SiC MOSFET 封装工艺的芯片-基板互连技术主要以高温焊料装片工艺为主。这种工艺由于自身材料的限制,目前存在诸多缺陷。如焊料的电阻率较大,会增加封装所带来的寄生电阻;焊料在大变温的条件下容易发生蠕变,极易造成焊点失效;大部分常用焊料的熔点只有 200 多 $^{\circ}\text{C}$,无法满足 SiC MOSFET 功率芯片在较高温度下工作的可靠性^[32]。

以银烧结工艺为代表的低温烧结技术 (Low Temperature Joining Technology, LTJT) 是目前功率电子器件朝高温、高可靠性应用发展的主要趋势。由表 3.1 可知,相较于常见的芯片连接材料,烧结银材料具有高熔点、高导电率、低电阻率的特点。正符合了本文所研究的方向。

表 3.1 常见芯片连接材料物理性质

Table 3.1 Common die attach material physical property

芯片连接材料	熔点 $^{\circ}\text{C}$	导热率 W/mK	电阻率 $\mu\Omega\cdot\text{cm}$	模量 Gpa
88Pb/10Sn/2Ag	268-299	27	8.5	19
80Au/20Sn	280	57	16	59
96.5Sn/3Ag/0.5Cu	217-218	55	14.5	55
烧结银	962	200-300	2.5-3.5	20-30

所以在封装的芯片-基板互连技术上,我们将采用低温烧结技术,如图 3.1 所示,细小的银颗粒在低温烧结工艺下,变成了致密的烧结银层,从而连接芯片的漏极区域 (Drain) 与引线框架载片台。

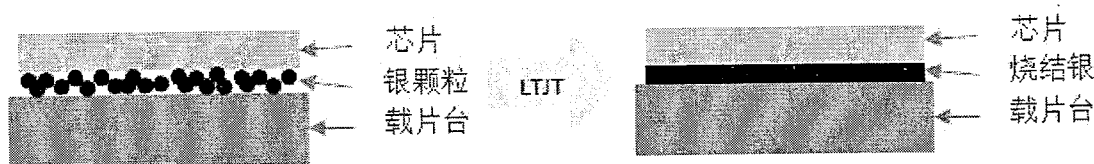


图 3.1 低温烧结示意图

Figure3.1 LTJT result sketch

为了验证采用银烧结工艺进行芯片封装的优势，我们利用 ANSYS 软件对同一芯片分别使用普通焊料和烧结银，进行芯片结温 T_j 的仿真，其中位于下方角落的亮色小方块表示芯片，结果如下图 3.2 所示，可以清楚的看出芯片的结温情况。由图可见，采用烧结银装片的最大芯片结温仅为 104°C ，而采用普通焊料装片的最大芯片结温为 123°C 。研究表明，功率器件的故障率会随着芯片结温的上升而增大。由此可见，降低芯片结温的重要性。采用烧结银材料的低温烧结技术相较于采用焊料的高温焊料装片工艺，芯片的最大结温理论上可以降低约 15%。

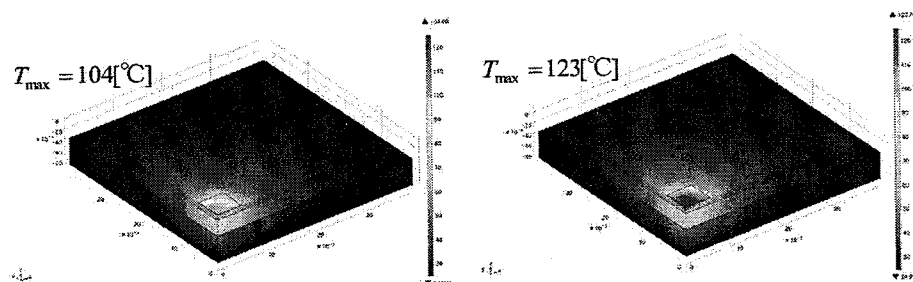


图 3.2 芯片结温仿真对比图

Figure3.2 Die Tj simulation comparison picture

烧结银材料根据银颗粒尺寸的不同，可分为微米烧结银与纳米烧结银。烧结技术基于银的焊接和塑性变形的扩散原理，因此烧结的驱动力是存储在银粒子表面的自由能，其主要的烧结过程基于 Mackenzie Shuttleworth 模型：

$$\frac{d\rho}{dt} = \frac{3\gamma}{2r_0\eta(T)}(1 - \rho_0) \quad \dots (3.1)$$

其中， γ 为银粒子自由表面能； r_0 为球孔的初始半径； ρ_0 为起始空隙率； $\eta(T)$ 为焊接粘度-温度关系^[33]。

而且，银粒子的自由能量值是随着银粒子尺度的降低而增大的，自由能的增长可以降低烧结温度。表 3.2 为自由表面能与银粒子尺寸的关系，银颗粒的尺寸越小，其表面能越高，活性也就越高。在吉布斯自由能降低的推动下，系统的表面能就降低，引起粒子的迁移、物质传递，烧结银材料收缩、体积缩小，最终实现致密化烧结^[34]。所以，在一定尺寸范围内，纳米烧结银比微米烧结银更具优势。纳米银烧结与微米银烧结技术相比连接温度和辅助压力有明显下降，极大扩大了

工艺的适用范围。基于以上理论，本文将选用性能更优的纳米烧结银进行试验。

表 3.2 自由能与银粒子尺寸的关系

Table3.2 The relation between free energy and Ag particles

含银粒子尺寸	200nm	100nm	30nm
自由表面能	2.0MPa	40MPa	143Mpa

银烧结技术一般可以分为加压式烧结和无压式烧结两大类。这是因为银烧结所需要的驱动力不仅可以来自银颗粒自身具备的表面自由能，也可以来自外部施加的辅助压力。虽然烧结理论由来已久，但具体的工艺流程还有待进一步探索开发。所以通过与供应商的探索合作，我们拟制定了三种对银进行烧结的技术方案来对本课题要研究的 SiC MOSFET 芯片进行芯片-基板互连。

方案一：采用无压式烧结技术，将纳米烧结银材料存储在塑料的针管中。操作时，先利用点胶设备，在引线框架载片台上点成星形图案，然后将通过贴片设备将芯片放置在图案上面，再通过高温回流焊烧结成型，如图 3.3 所示。

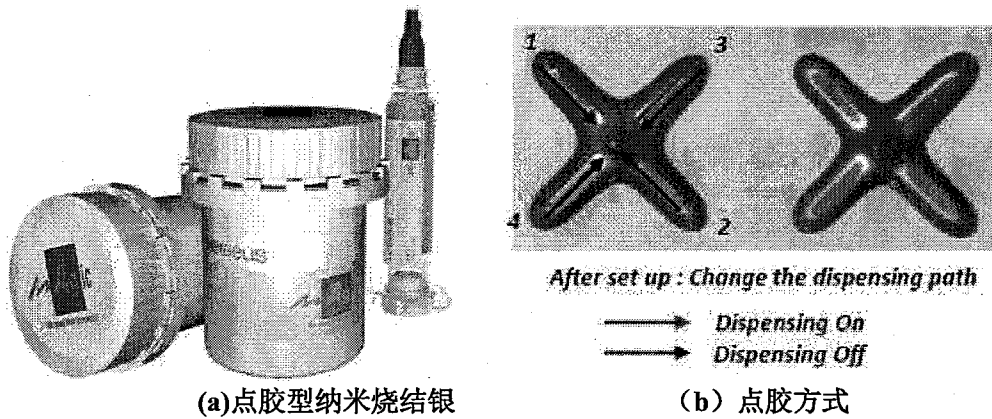


图 3.3 点胶型纳米烧结银与点胶方式

Figure3.3 Dispensing type nano sintering Ag and dispensing method

此方案工艺较为简单，而且设备成本较低。但根据烧结理论，烧结过程中驱动力的不足会导致颗粒之间的非致密化扩散，它会使得银颗粒之间的连接不牢靠，从而影响烧结过程中整体的机械性能和可靠性能^[35]。同时，经过前期的一些研究，我们得出结论：在不施加任何辅助压力的情况下，芯片面积不应超过 $3*3\text{mm}^2$ ，而本课题使用的 SiC MOSFET 芯片面积为 $4.38*6.38\text{mm}^2$ 。随着芯片面积的变大，在银烧结过程中，空气进入的通道变大，会影响烧结的效果，烧结层就容易出现裂纹或分层。所以又提出了如下两种辅助压力的银烧结方案。

方案二：采用有压式烧结技术，并将纳米烧结银直接做成圆形膜状。使用时，先通过设备施加一定的温度与压力，将烧结银胶膜贴敷在整张圆片的背面，如图

3.4 所示。然后进行划片-贴片-加压烧结等流程，完成低温烧结工艺。

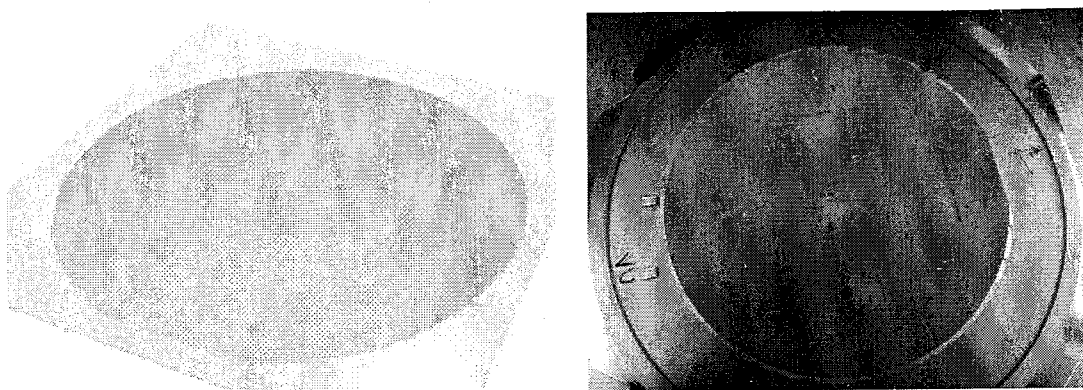


图 3.4 圆膜型纳米烧结银方案

Figure3.4 Circular tape nano sintering Ag solution

此方案可以有效的控制烧结银层的厚度，保证芯片在载片台上不倾斜，同时因为采用的加压式烧结方式，可以有效的保证烧结银层的致密性，从而获得良好的可靠性结果。与此同时，成本也会变高，晶圆背面覆膜需要另购新设备。而且由于烧结银胶膜是直接贴敷在晶圆上，若一次无法使用完，剩下的芯片将无法长期保存。所以此方案，适合用于大批量生产。

方案三：依旧采用有压式烧结技术。此方案将纳米银材料做成胶带膜状，如图 3.5 所示。然后再进行贴片，加压烧结等流程。

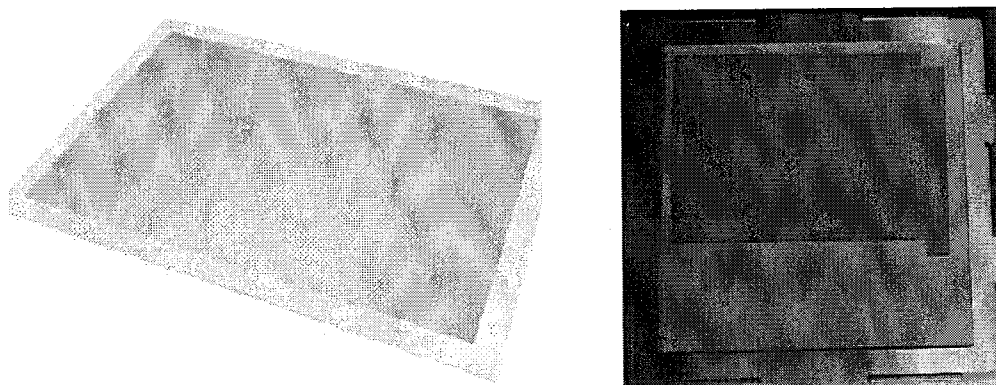


图 3.5 胶带状纳米烧结银方案

Figure3.5 Tape trpe nano sintering Ag solution

此方案兼具了方案二的优点，且工艺上无需先进行覆膜的动作，而是直接在芯片粘贴时进行。同时由于剩下的纳米银胶带膜未与芯片接触，仍然可以保存使用，可以一定程度上降低成本。所以，我们在后面制作样品时将采用方案三进行操作。

3.1.2 铜片贴合技术

目前，在集成电路芯片的封装领域，芯片-引脚的互连技术主要有三种：引

线键合技术（Wire Bond）、载带自动键合技术（Tape Automated Bonding）和倒装芯片技术（Flip Chip）。对于功率 SiC MOSFET 芯片封装而言，铝线键合技术最为常见^[36]。

其实，铝线的热学特性和导电性能并不是太理想，特别是其热膨胀系数（25ppm/K）与半导体芯片 SiC（4.7ppm/K）之间失配较大，在经过热循环或者功率循环后容易产生较大的热应力积累，使键合线出现裂痕或脱落，从而导致整个功率器件失效^[37]。有统计表明，半导体功率器件 25% 以上的失效是由于键和系统的失效导致的。

最近几年，倒装芯片技术已被运用到各种高端电子器件和高密度封装领域。相较于传统的键合工艺将芯片源极朝上，芯片倒装技术将芯片源极朝下，使得芯片源极与基板直接焊接。其实现流程是先在晶片圆盘表面进行植球（Bumping），然后将晶片翻转传送进贴片设备与基板进行贴片焊接。相当于将前者进行了翻转，因而称为“倒装芯片技术”^[38]，图 3.6 为简单示意图。Flip Chip 技术是目前高输入输出的主流封装技术，输入与输出端可以同时分布在整個芯片表面，因而封装密度更高，信号处理速度更快。其工艺简单成熟，可采用类似表面贴装技术（Surface Mounted Technology, SMT）来实现，是高密度封装和系统级封装的发展方向。与传统铝线键合技术相比，Flip Chip 技术有其鲜明的优点，例如良好的电性能和热性能，输入输出引脚数多，封装尺寸小等等^[39]。当然也有其局限性。

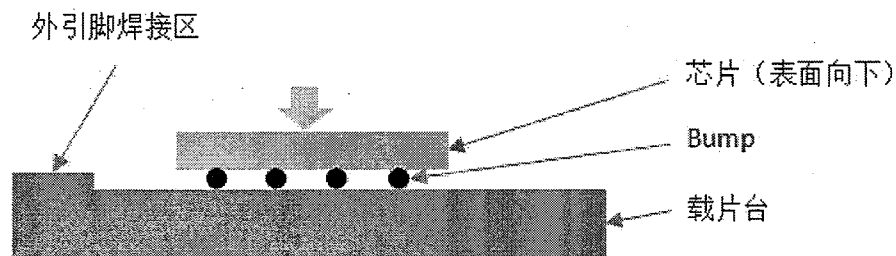


图 3.6 倒装芯片示意图

Figure 3.6 Flip Chip sketch

例如 Flip Chip 技术一般适用于小芯片，本课题所封装的 SiC MOSFET 芯片尺寸较大，且有栅极区域（Gate）在芯片正面需要通过键合线与外引脚相连。这时候，Flip chip 技术就不适用了。但是，Flip Chip 技术的很多优点却是值得借鉴的，首先，Flip Chip 技术使用的 Bumping 工艺。由于 Bumping 工艺的焊接过程是通过回流工艺在芯片与基板之间形成焊点，此过程中，没有压力直接作用在芯片表面，这样就可以避免粗铝线键合时造成的焊点损伤芯片风险。同时，这种焊

接形式可以更有效地利用芯片 Source 区的有效面积^[40], 从而提高通流能力。其次, Flip Chip 技术无需使用引线去连接芯片与外引脚, 而是芯片表面直接与基板进行接触, 这种形式可以很大程度上减少粗铝线键合所带来的寄生阻抗。

通过以上的总结, 我们就可以对现有的 Flip Chip 技术进行优化设计, 利用其优点, 研究一种新的互连方式, 来适应本课题中 SiC MOSFET 功率芯片的封装。这时候, 铜片贴合技术 (Copper Clip Bonding) 就应运而生, 这是一种新的设计方案。首先, 芯片通过低温烧结技术粘贴在引线框架的载片台上, 然后, 我们同样对 SiC MOSFET 功率芯片使用 Bumping 工艺, 不过铜带贴合技术是在芯片的表面跟引线框架的引脚连接区域进行 Bumping。我们这里 Bumping 工艺所使用的材料为纳米烧结银, 为上文小结 3.1.1 中方案一所提及的烧结银材料。最后, 我们通过设计好的治具, 将经过优化设计好的铜片放置在 Bump 之上, 将芯片正面源极区域与引线框架的引脚相连接, 如图 3.7 所示。

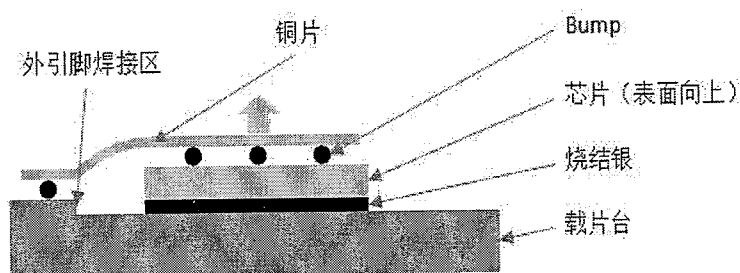


图 3.7 铜片贴合技术示意图

Figure3.7 Copper clip bonding sketch

之后再通过高温回流, 将焊点进行固化。这样我们就以另一种形式, 通过用铜片代替了铝线, 完成了芯片源极-引脚互连。如表 3.3 所示, 由于铜材质的电阻率、热导率均要优于铝材质, 这样可以减小粗铝线带来的寄生参数。同时, 铜的热膨胀系数 (16.5ppm/K) 相较于铝的热膨胀系数 (25ppm/K) 与半导体芯片 SiC (4.7ppm/K) 之间的匹配度更优, 可以有效降低热应力的积累, 从而提高整个器件的可靠性。

表 3.3 铝与铜的材料属性对比

Figure3.3 Property comparison for Al and Cu

材料	电阻率 $\mu\Omega\cdot\text{cm}$	热导率 $\text{W}/(\text{m}\cdot\text{K})$	热膨胀系数 ppm/K	熔点 $^{\circ}\text{C}$
铝	2.7	220	25	660
铜	1.7	400	16.5	1083

总体而言, 采用铜片贴合技术, 从理论上讲有利于降低功率电子元器件的寄生参数, 提高电流导通量, 从而降低元器件的导通损耗, 提升了产品的散热能力,

提升元器件的整体效率。而且,这种工艺的设计简单,工艺也不复杂,综合成本相对低廉,利于推广。

3.2 SiC MOSFET 芯片的优化设计

芯片是电子元器件中最为关键的部分,是电子封装的核心,芯片设计的好坏,会影响封装的难易程度及可行性,进而影响整个电子元器件的性能及可靠性。而封装对芯片起着固定、密封、保护及增强电热性能等方面的作用,所以芯片与封装有着相辅相成的关系。

3.2.1 芯片背面金属层优化

由于本课题将采用新的芯片-基板互连技术及芯片-引脚互连技术。就需要在原先的芯片基础上进行一定的优化,以便更好地适应新的封装技术。原先的 SiC MOSFET 芯片的内部结构及关键层厚度如图 3.8 及表 3.4 所示

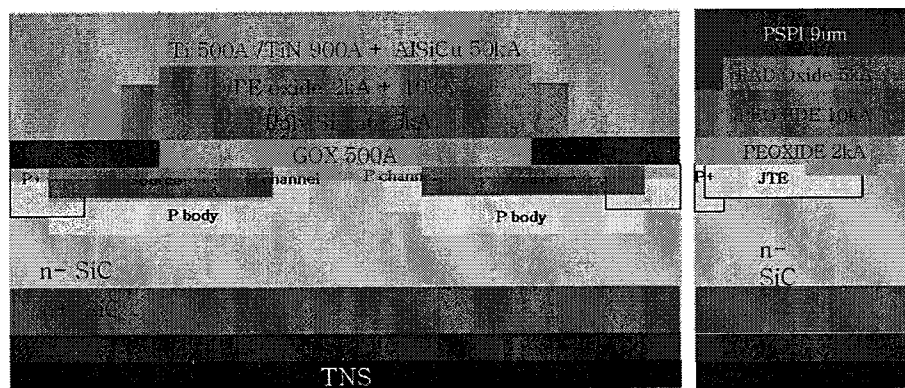


图 3.8 SiC MOSFET 芯片内部结构

Figure3.8 SiC MOSFET die inner structure

表 3.4 SiC MOSFET 关键层厚度

Table3.4 SiC MOSFET key layer thickness

SiC Information		Elements & Thickness
Top Metal	Barrier Metal	Ti500Å+TiN900Å
	Top Metal	0.5%Cu+0.8%Si+98.7%Al: 5um
Passivation	PE OXIDE	5kÅ
	PSPI	9um
BSG	Final Thickness	200um
Ni Silicide	Scheme	5um
Back Metal	Scheme	Ti500Å+NiV3kÅ+Ag1.5kÅ

首先, 针对芯片的背面金属层 (Back Metal) 进行优化, 由于芯片-基板互连技术采用的是低温烧结技术, 低温烧结技术采用的焊接材料为纳米级的烧结银。我们公司一般的 SiC MOSFET 芯片的背面金属层的成分由下往上依次为银 (Ag)、镍 (Ni)、钛 (Ti), 背面金属层即为图 3.8 芯片内部结构图的最底层黑色部分。银金属层的作用是为了芯片能够与焊料结合在一起。这款产品, 为了使芯片更好的与烧结银结合在一起, 同时为了满足汽车产品高可靠性的要求, 我们适当增加了 Ag 层与 Ni 层的厚度, 同时, 适当减小了 Ti 层的厚度。Ag 层的厚度由之前的 $1.5\text{K}\text{\AA}$ 增加到 $1.8\text{K}\text{\AA}$, 优化前后的前后对比图如图 3.9 所示。

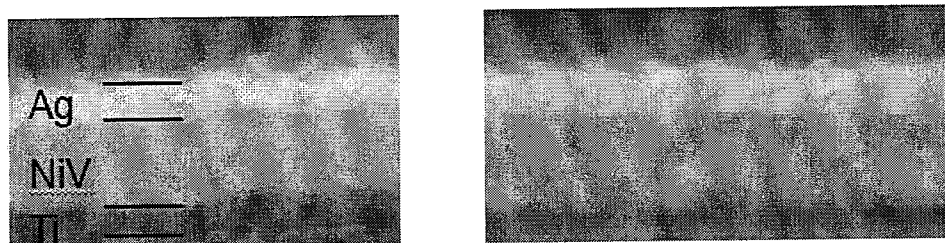


图 3.9 芯片背面金属层前后对比

Figure3.9 Die back metal comparison

3.2.2 芯片表面金属层优化

通过上一小节中的图 3.8 和表 3.4 我们可以知道, 此 SiC MOSFET 芯片的表面金属层的成分为 Al、Si、Cu, 总厚度为 $5\mu\text{m}$ 。但其实表面金属层并不是一体结构, 而是一个多层结构, 如图 3.10 所示, Al、Si、Cu 构成的金属层被分为了三层, 中间夹着两层 TiN。这样的结构存在着一个缺陷, 最表面的 Al、Si、Cu 层过于单薄, 在较为苛刻的可靠性条件下, 容易发生表面金属层剥落 (Top Metal Peeling) 与弹坑 (Bonding Damage) 的问题。

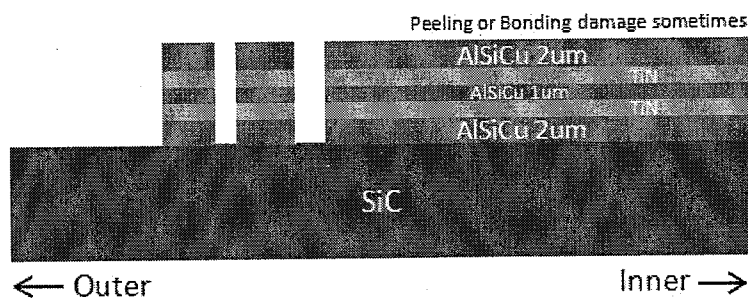


图 3.10 优化前表面金属层结构及厚度

Figure3.10 Top metal structure and thickness before optimization

为了解决这个问题, 我们对表面金属层进行了优化设计, 如图 3.11 所示, 表面金属层被分为了两层, 最外层的 Al、Si、Cu 层由原来的 $2\mu\text{m}$ 变成了 $3\mu\text{m}$ 。

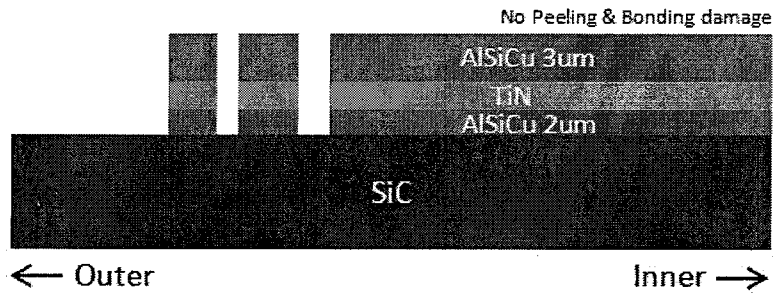


图 3.11 优化后表面金属层结构及厚度

Figure 3.11 Top metal structure and thickness after optimization

此外，由于原本的芯片源极区域是直接使用粗铝线键合工艺与引脚进行连接，并不需要芯片表面的金属层具备可焊性。但新的方案中芯片-引脚互连技术采用的铜带贴合技术，此技术需要在芯片的表面使用 Bumping 工艺，这就需要芯片源极区域的表面金属层具有可焊性的特性。所以就需要在新的 SiC MOSFET 芯片的表面金属层上增加可焊接金属层 STM（Solderable Top Metal）。

可焊接金属层（STM）分为 3 层，分别为 Ti、NiV、Ag，各层厚度范围分别为 0.15-0.3μm、0.15-0.7μm、0.25-0.8μm。为了得到最佳的 STM 厚度以及 STM 与 PSPI（Passivation Polyimide）之间的角度 θ_1 ，我们将在下一小结结合 PSPI 的厚度进行讨论。

3.2.3 芯片表面 PSPI 层优化

由于低温烧结技术，需要对烧结银材料施加一定温度的同时，还要在芯片表面辅助一定的压力，这就对芯片表面的抗应力能力提出了一定的要求。在实验过程中，我们发现，在辅助烧结压力过大时，芯片表面如图 3.12 的红色标记位置（芯片边缘区域）容易出现微裂纹。

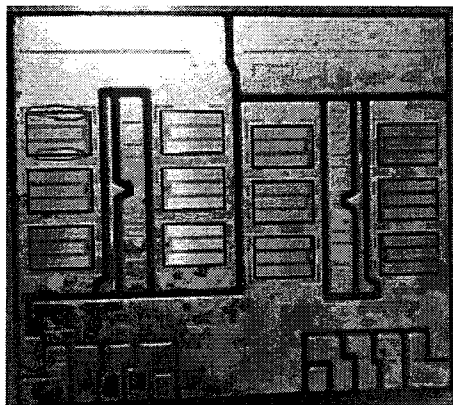


图 3.12 低温烧结辅助压力试验基板

Figure 3.12 LTJT assistant pressure test substrate

而芯片边缘区域正好是 STM 与 PSPI (Passivation Polyimide) 交界处, 芯片表面的 PSPI 可以对芯片尤其是芯片边缘区域起到很好的保护作用。原先的 SiC MOSFET 芯片表面的 PSPI 为单层设计, 优化后的芯片将采用双层 PSPI 设计。STM 与 PSPI 的 2D 简化模型如图 3.13 所示。

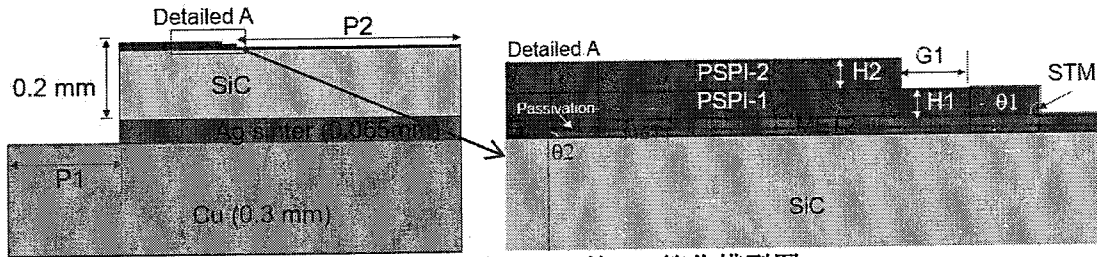


图 3.13 STM 与 PSPI 的 2D 简化模型图

Figure 3.13 2D model draft for STM and PSPI

其中, 各部分的尺寸如下: 第一层金属层 MET1 厚度为 $2\mu\text{m}$, 第二层金属层厚度为 $3\mu\text{m}$, 它们到芯片边缘的距离分别为 $173\mu\text{m}$ 和 $213\mu\text{m}$ 。H1 表示第一层 PSPI 的厚度为 $8\text{--}17\mu\text{m}$, H2 表示第二层 PSPI 的厚度为 $0\text{--}9\mu\text{m}$, 同时考虑到芯片的整体厚度, $H1+H2$ 必须小于 $17\mu\text{m}$ 。 θ_1 表示 STM 的蚀刻角度 (Etching Angle) 为 30° 至 90° , θ_2 表示 MET1 与 Passivation 之间的角度为 30° 至 90° 。G1 表示 STM 与 PSPI2 之间的距离。

为了更直观的理解芯片所受到的应力情况, 我们通过 ANSYS 仿真软件, 建立如图 3.14 的网状剖面图, 辅助的压强值设定为 20MPa 。

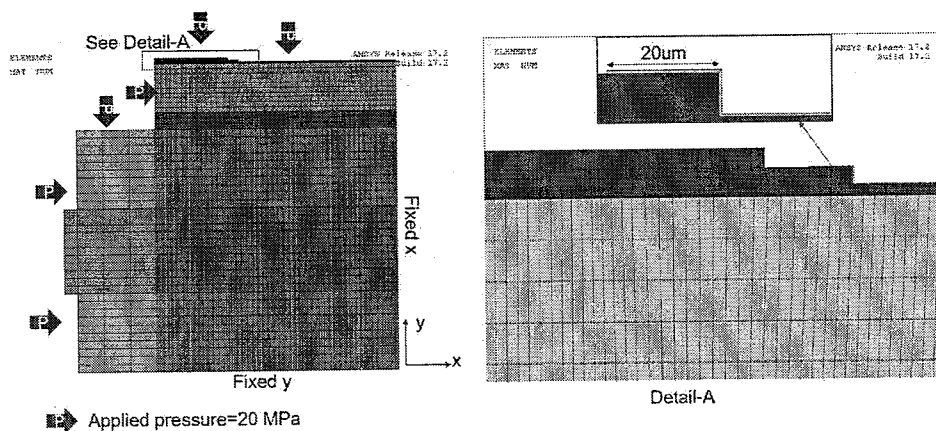


图 3.14 芯片表面所受应力网状剖面图

Figure 3.14 ANSYS simulation for die surface pressure

所用到的各种材料的特性如表 3.5 所示

表 3.5 所涉及材料的性质

Table3.5 Related material property

Component	Elastic Modulus MPa	Poisson Ratio	Yield Stress MPa	Tangent Modulus MPa	CTE ppm/C
PSPI	2000	0.3	/	/	55
Pad Passivation	80000	0.3	/	/	0.5
AiSiCu	70300	0.345	200	2000	22
STM	Computed from Ti/TiV/Ag thickness				
Ag Sinter	20000	0.37	/	/	20
SiC	448000	0.17	/	/	4.2
Cu	70300	0.345	70	700	17.5

然后对 STM 所受应力进行仿真, 得到图 3.15, 由图可知 STM 所受到的应力主要集中在 STM 的蚀刻角度 θ_1 处。当 θ_1 由 90° 减小到接近 30° 时, STM 在 θ_1 处所受的应力也由 326.6MPa 减小到 101.8MPa。所以可知随着 θ_1 的减小, 应力值也会相应的减小。当 θ_1 接近 30° 时, 此时 STM 中 Ti、Ni、Ag 的厚度分别为 0.198mm、0.195mm、0.688mm。

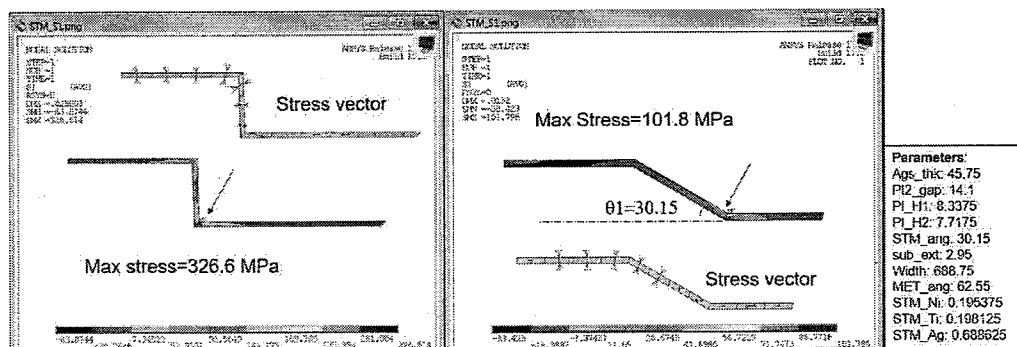


图 3.15 STM 所受压力仿真结果

Figure3.15 Pressure simulation result for STM

其影响因子如图 3.16 所示, 可见 θ_1 与 PSPI1 的厚度 H1 为最主要的影响因子, 而 STM 的厚度对 STM 所受应力的影响较小。

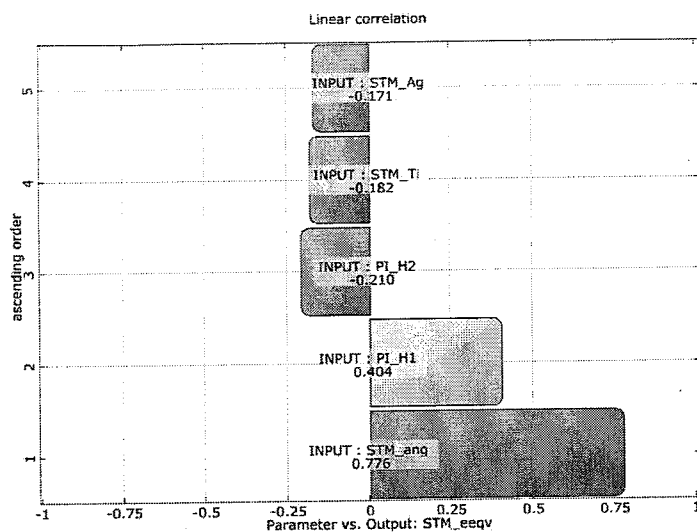


图 3.16 STM 所受应力影响因子

Figure3.16 Affected factors for STM pressure

我们同样对 PSPI 层所受应力进行仿真，如图 3.17 所示，可见，PSPI 所受应力主要集中在芯片边缘区域。

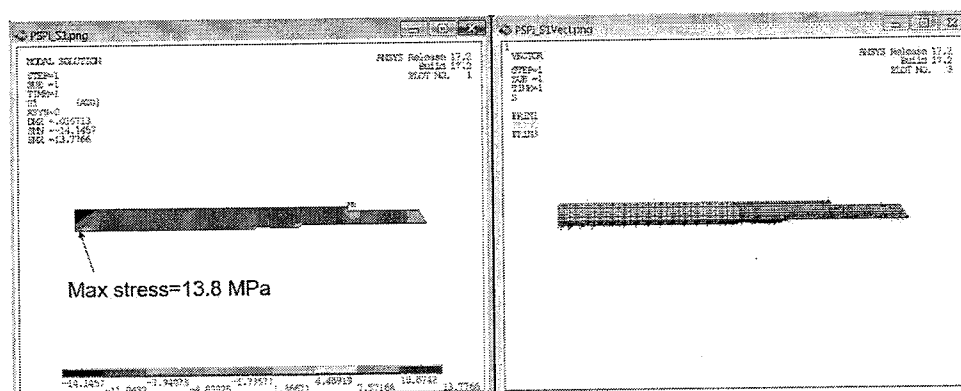


图 3.17 PSPI 所受应力仿真结果

Figure3.17 Pressure simulation result for PSPI

其主要的影晌因子如图 3.18 所示，可见 PSPI1 与 PSPI2 的厚度 H1 与 H2 为最主要的影响影子，而 STM 的厚度对 PSPI 所受应力的影响较小。

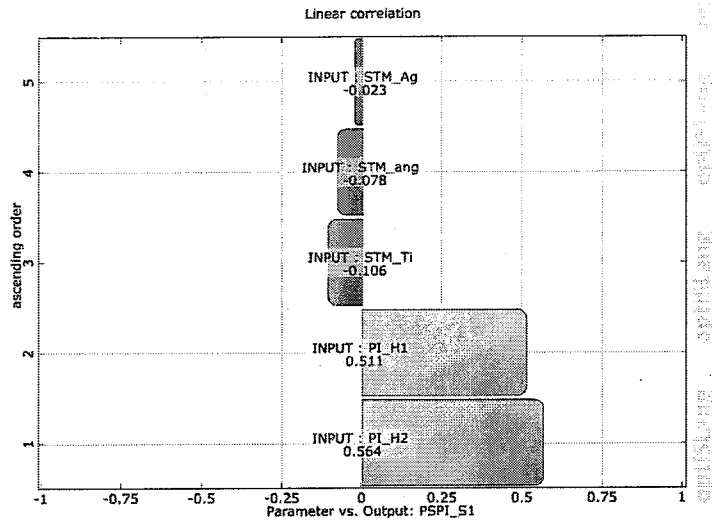
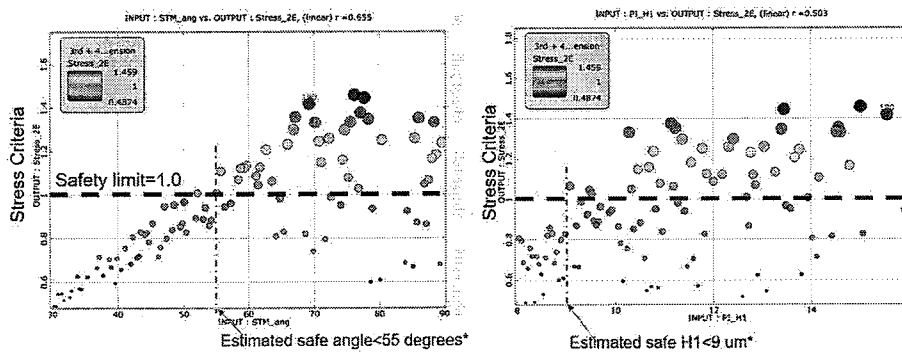


图 3.18 PSPI 层所受应力影响因子

Figure3.18 Affected factors for PSPI pressure

根据以上的仿真结果，我们可以得出结论：STM 所受应力主要受 STM 的蚀刻角度 θ_1 与 PSPI1 厚度 H1 的影响，PSPI 所受应力主要受 PSPI 的厚度影响。

为了得到最佳的 θ_1 与 H1，我们利用 ANSYS OptiSlang 软件，运行了 200 组设计方案，得到如图 3.19 的结果，并且在图中，我们标记了安全压力标准的警戒线，所以我们可以很直观的得出结论：当 $\theta_1 < 55^\circ$ ， $H1 < 9\mu\text{m}$ 时，为安全的范围，之前我们提到过， $H1+H2$ 需要小于 $17\mu\text{m}$ ，且 $H2$ 范围为 $0-9\mu\text{m}$ ，所以 $H2$ 必须小于 $8\mu\text{m}$ 。

图 3.19 θ_1 、H1 的大小对 STM 所受应力的影响Figure3.19 Influence of θ_1 and H1 on STM suffered pressure

根据以上的仿真结果，为了确保在安全范围内，我们将 θ_1 的标准范围定在 30° 至 55° ，H1 为 $8-9\mu\text{m}$ ，H2 为 $5-8\mu\text{m}$ 。而 STM 各层的最佳厚度则为 θ_1 角度最接近 30° 时，即为图 14 中的仿真结果：STM 中 Ti、Ni、Ag 的厚度分别为 0.198mm 、 0.195mm 、 0.688mm 。

当然，针对 PSPI 层的优化，并不仅是针对于厚度，同时对 PSPI 的形状与范

围也进行了一定的优化。芯片的表面的源极区域被分成了 3 部分，中间有氧化线（Bus Line）隔离，Bus Line 实际上是与芯片的 Gate 区域相连的，所以进行粗铝线键合工艺的时候要避免铝线接触到 Bus Line，否则会引起短路。本课题采用的是铜带贴合工艺，需要在芯片表面进行植球，这时候就需要将 Bus Line 规避起来。我们的方法是在 Bus Line 上覆盖 PSPI 层，同时保证 PSPI 有一定的宽度。

基于以上，整个的芯片的优化就完成了，优化前后的芯片实物如图 3.20 所示。

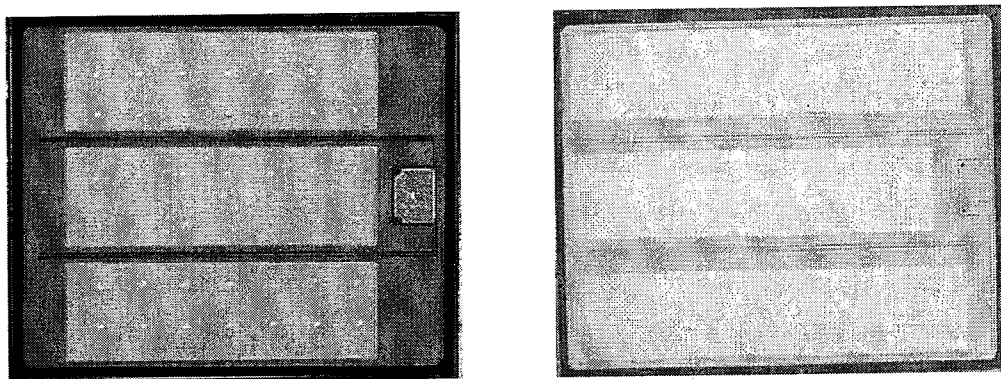


图 3.20 优化前后 SiC MOSFET 芯片实物

Figure3.20 Before and after optimization SiC MOSFET

3.3 引线框架的改良和铜带设计

3.3.1 引线框架的改良

引线框架是 SiC MOSFET 功率芯片的载体，对芯片起着一定程度的保护作用。同时也连接芯片内部电路与外部引脚的桥梁^[41]。所以，引线框架在半导体封装中起着举足轻重的作用。引线框架为芯片提供了基座、焊接区域及引脚。我们常用的引线框架材质一般为镍铁合金或铜基合金。镍铁合金的引线框架优点是抗拉强度好、热膨胀率低、成本低廉等，缺点是导电率低。但目前随着 SiC MOSFET 的封装向着低阻抗的方向发展，铜基合金的引线框架以其优良的导电性、导热性、加工工艺性能和适宜的强度及可镀性、可焊性、与其它封装材料的亲和性、较低的成本等优势^[42]，目前占据引线框架总量的 80%以上，是集成电路和半导体分立器件等电子信息产业的关键性材料。

目前，引线框架根据铜基合金材料划分主要分为 Cu-Fe-P 系、Cu-Ni-Si 系及 Cu-Cr-Zr 系合金，并以 Cu-Fe-P 系为主。其中 Cu-Fe-P 系可分为 C192 与 C194，约占铜基合金引线框架的 80%以上。老款的引线框架采用 C194 材质，新款的引

线框架将采用导电、导热性能更好的 C192 材质，表 3.6 为 C192 与 C194 的性质对比。众所周知，电子产品一旦被弃用，其中的铅就会通过各种介质流入到自然环境中，包括土壤、地表水中，对其造成污染，尽管这些铅的含量比较少，但是造成的影响却十分严重，尤其是溶于水的铅而形成的酸雨，更是严重威胁到生态环境，再加上这些雨水会渗入到人类使用的地下水中，进而进入人体，对人类的健康造成严重的影响^[43]。所以，为了满足环境要求，无铅含量的 C192 材质也是更好的选择。

表 3.6 C192 与 C194 的性质对比

Table 3.6 Property comparison for C192 and C194

材料规格	化学成分					物理性能		
	Cu	Fe	P	Zn	Pb	导电率 IACS	导热率 W/(m·k)	热膨胀 系数
C192	余量	0.05-0.15	0.015-0.05	/	/	85	350	17
C194	余量	2.1-2.6	0.015-0.15	0.05-0.2	≤0.03	60	280	17.6

新旧框架均采用单排 16 单元设计，其 AUTOCAD 的 2D 结构如图 3.21 所示。

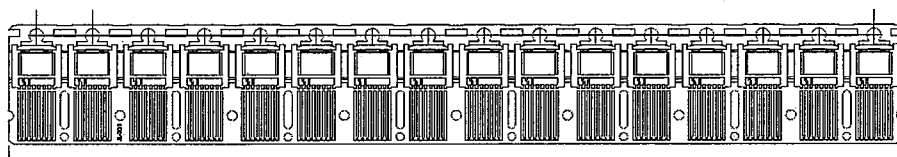


图 3.21 新旧框架的 2D 结构图

Figure 3.21 2D model for new and old LF structure

不同点在于细节上的变化，旧引线框架的载片台采用了“酒窝”化（Dimple）的设计，如图 3.22（a）所示，目的是为了使芯片与载片台之间有更好的结合力。由于采用了低温烧结工艺，而低温烧结工艺采用的材料为烧结银材料，考虑到材料与引线框架的结合性问题，新引线框架采用载片台镀银设计，如图 3.22（b）所示。镀银层厚度为 10um，可以有效地防止引线框架氧化和提高氧化层的可靠性。此设计，不仅利于提高引线框架与芯片件的可焊性，同时也有利于提高元器件本身的电热参数性能^[44]。

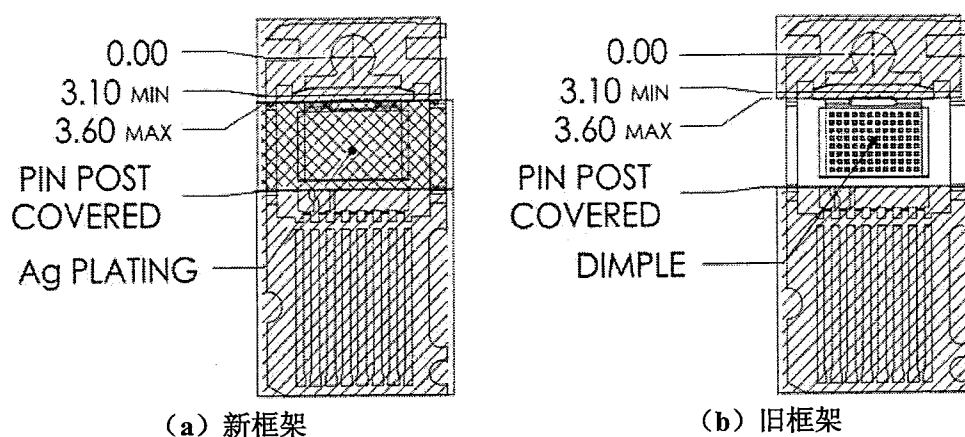


图 3.22 新旧框架不同点对比

Figure 3.22 The difference between the new and old LF

图 3.23 为两种引线框架实物的对比图。

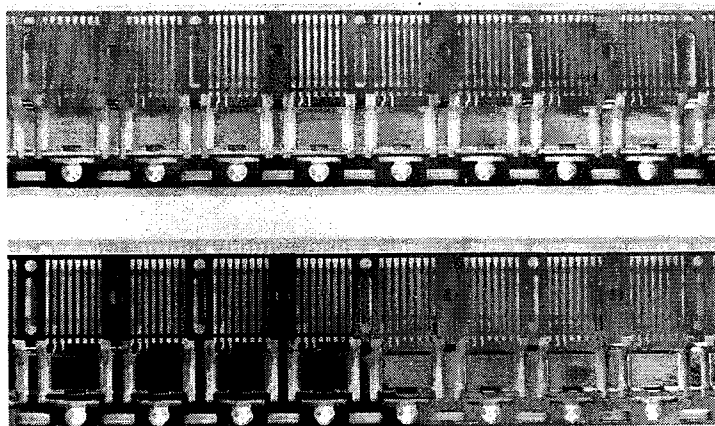


图 3.23 新旧引线框架实物图

Figure 3.23 LF real objects comparison

3.3.2 铜片的设计

铜片的设计需要根据封装的整体要求，并且与引线框架以及芯片相匹配。为了评估最为适合此 TO263-7L 封装的铜片形式，我们使用 Solid Works 软件设计了三种铜片的方案，如图 3.24 所示。其中图 3.24 (a) 称之为“Z 型铜片”，图 3.24 (b) 称为“一型铜片”，图 3.24 (c) 称为“一型铜片”。三种铜片材质均使用 C192 铜材，且最薄处厚度为 0.5mm。具体哪种设计形式的铜片更有优势，我们将结合上一小节的内容，在下一小节利用软件进行仿真分析，从而挑选出最优结果。

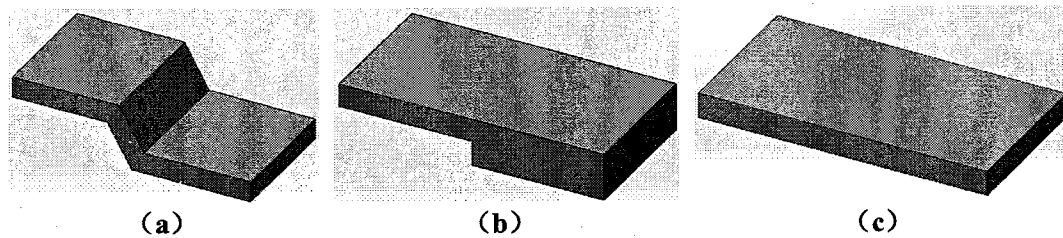


图 3.24 铜片方案的 3D 图

Figure 3.24 3D pictures for copper clip solution

3.4 新封装设计的仿真

我们采用低温烧结工艺以及铜片贴合技术的本质目的是通过减小封装带来的寄生电阻 R 、寄生电感 L 及寄生电容 C （简称寄生 RLC），来提升整个电子元器件的电气性能。所以为了更好的评估低温烧结工艺以及三种铜片设计方案的优劣。

我们使用 FLOTHERM 仿真软件分别对三种铜片方案进行仿真，同时也加入粗铝线方案进行对比分析，其中对于寄生电感 L 而言，将考虑 20KHz、100KHz、1MHz 三种情况下的阻抗值。其中 3 种铜片方案均采用低温烧结工艺，铝线采用的高温焊料装片工艺。各材料的相关特性如表 3.7 所示

表 3.7 材料特性表

Table 3.7 Material property table

Materials	Relative Permittivity	Relative Permeability	Bulk Conductivity Siemen/m	Die Electric Loss Tangent
Lead Frame/C192	1	1	52631579	0
Clip/C192	1	1	34800000	0
Soft Solder	1	1	9615385	0
92.5Pb5Sn2.5Ag	1	1	4600000	0
Ag Sinter	1	1	10000000	0
Si	11.9	1	0	0
Al Wire	1	1.000021	38000000	0

由于 Gate 区我们并未使用铜片贴合技术，依旧沿用之间的细铝线键合工艺，并且 Gate 区域受 RLC 的影响较小，这里不作考虑。首先我们考虑，源极（Source）区域的影响。以铝线键合为例，如图 3.25 所示。其中 Sink 电流表示灌电流，对于输入电流的器件而言，外部电流通过芯片引脚向芯片内‘流入’称为灌电流（被灌入）。Source 电流表示拉电流，对于输入电流的器件而言，内部电流通过芯片

引脚从芯片内‘流出’称为拉电流。可以简单地将 Source 理解为流出端，Sink 理解为流入端。对于源极（Source）区域而言，芯片表面金属层即为 Source，元器件源极外引脚即为 Sink。

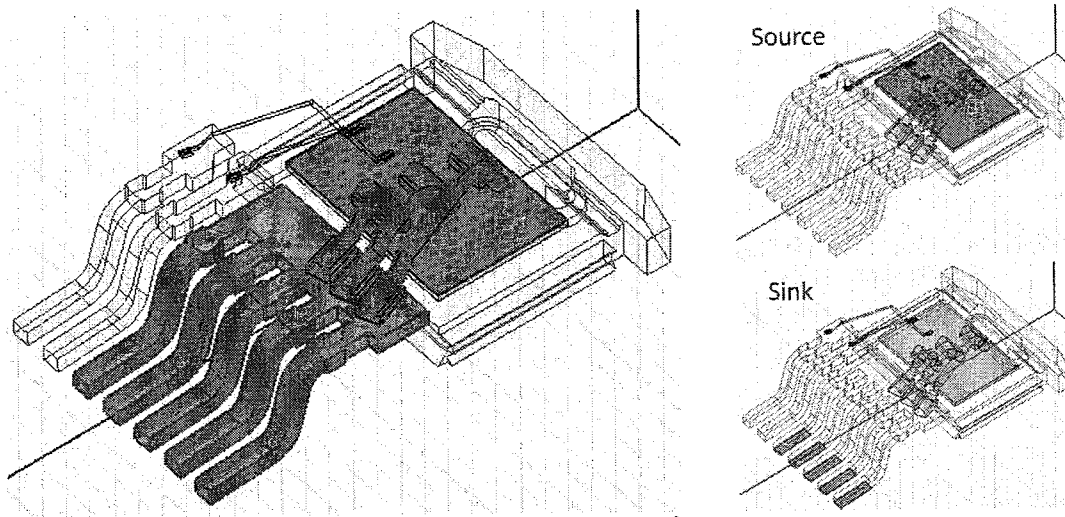


图 3.25 源极区域的 Source 与 Sink

Figure3.25 Source and Sink of source area

漏极（Drain）区域的影响如图 3.26 所示，芯片与引线框架载片之间的连接层即为 Source，元器件底部的漏极散热片即为 Sink。

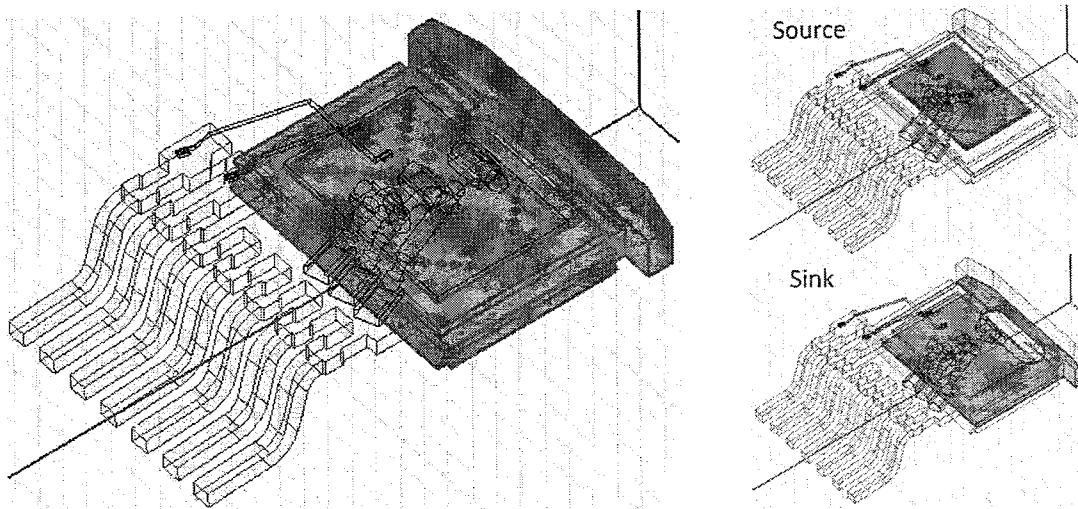


图 3.26 漏极区域的 Source 与 Sink

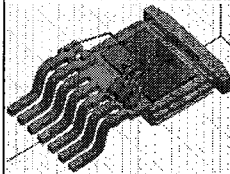
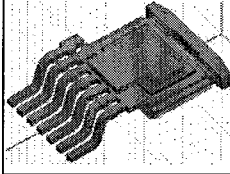
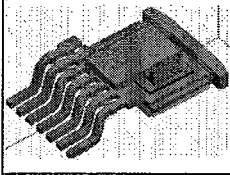
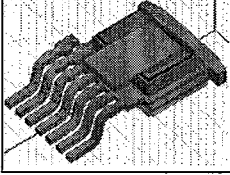
Figure3.26 Source and Sink of drain area

为了方便观察结果，我们将源极（Source）区与漏极（Drain）区的 RLC 仿真结果进行合并，此时的 Sink 为元器件漏极散热片（Drain Lead），Source 为元器件的源极外引脚（Source Lead）。并将结果汇总如表 3.8，根据表中仿真的结果可知。方案一的表现最差，这也在意料之中。在性能上，方案四的“一型铜片”表现最佳，方案二的“Z 型铜片”次之。但考虑到成本问题，虽然方案四中的“一

型铜片”看似制作简单，但是此方案需要另外制作铜垫片抬高载片台厚度，较为复杂，增加工艺难度与成本。而方案二中的“Z 型铜片”制作简单，成本较低。所以综合以上考量，方案二中基于“Z 型铜片”的铜片贴合工艺加低温烧结工艺的方案最优，也是本课题的优先设计考虑。

表 3.8 四种方案 RLC 仿真结果

Figure3.8 RLC simulation result for the four solutions

Design	Sink	Source	DC resistance mOhm	AC Inductance, nH			Capacitance pF
				20KHz	100KHz	1MHz	
	Drain Lead	Source Lead	0.3066	3.6650	2.9564	2.7532	3.5515
			0.1258	2.6377	2.2742	2.0545	2.6587
			0.1116	2.7379	2.3588	2.1346	2.6927
			0.1376	2.4409	2.0814	1.8601	2.7335

3.5 SiC MOSFET 器件的工艺制作

3.5.1 低温烧结贴片制作

通过之前的半导体封装流程简介，我们知道整张圆片在经过划片工艺之后，便被分割成了一颗颗小芯片。然后，再通过低温烧结技术将一颗颗芯片连接到引线框架上，从而实现芯片背面漏极（Drain）与引线框架的物理连接及电气连接。

我们定义整个低温烧结贴片工艺的流程如图 3.27：

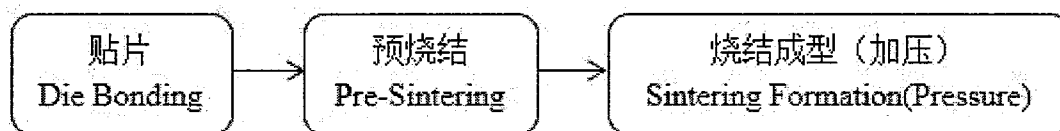


图 3.27 低温烧结贴片工艺流程图

Figure3.27 LTJT DA process flow

第一步：贴片，焊头从圆片上吸取芯片，同时对芯片进行加热，加热温度约为 180°C 。然后将芯片接触烧结银薄膜，薄膜接触到高温芯片会与其结合；最后将芯片放置在引线框架上完成贴片。

第二步：预烧结，芯片通过烧结银薄膜与引线框架结合后，设备会通过引线框架载具对引线框架进行加热，约为 150°C ，同时焊头也会对芯片施加 100N 左右的压力，从而完成预烧结。

第一步与第二步都是在同一台设备上完成，所使用的低温烧结贴片设备如图 3.28 所示

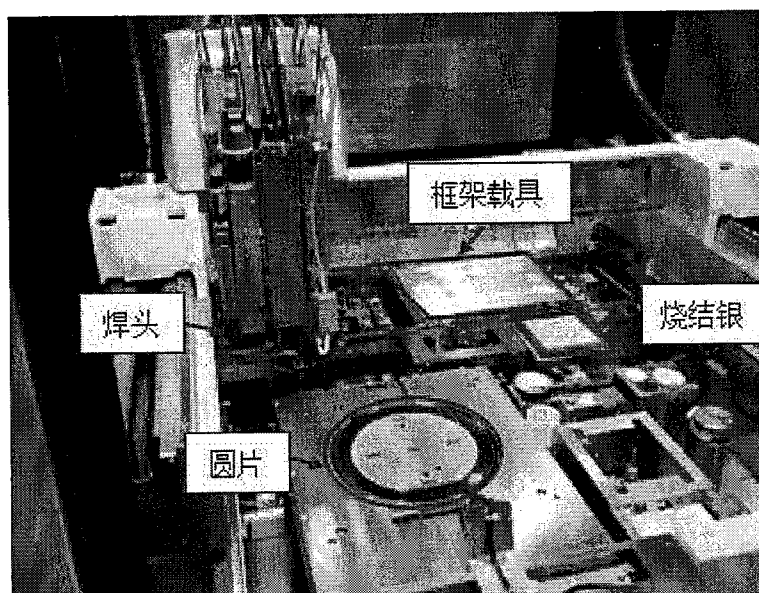
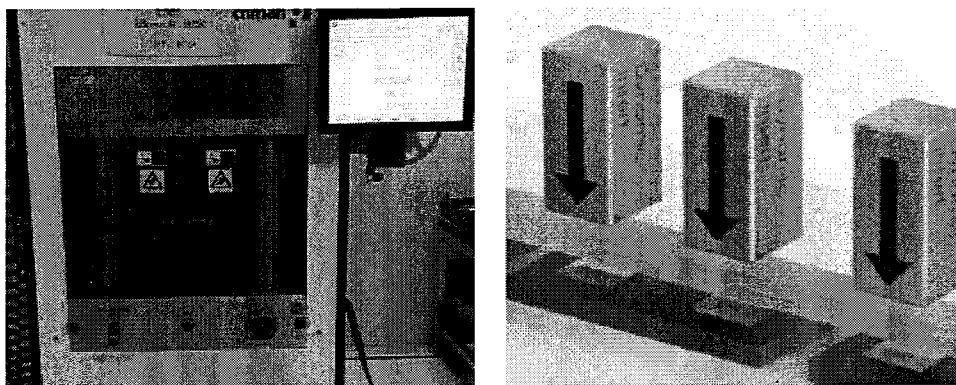


图 3.28 低温烧结贴片设备

Figure 3.28 LTJT DA machine

第三步：加压烧结成型，将完成预烧结的引线框架放入如图 3.29 (a) 所示的加压设备中，通过在芯片表面施加一定的压力与温度。图 3.29 (b) 为加压设备内部的示意图，通过精确的压力控制将每个压头压制到单个芯片上，芯片与压头之间有 $50\mu\text{m}$ 厚度的薄膜相隔，可以有效地保护芯片。施加的压力与温度的参数值，根据芯片的大小以及引线框架的类型而定，通过多次反复验证，本课题所使用的这款芯片粘贴在 TO263 的引线框架需要的辅助压强与温度值分别为 20MPa 与 250°C ，加压的时间约为 100s 。



(a) 加压设备

(b) 内部压头

图 3.29 加压设备和内部压头

Figure3.29 Pressurized equipment and inner press-head

通过上述的流程，便完成了整个低温烧结贴片工艺流程，贴片后的样品如图 3.30 所示。

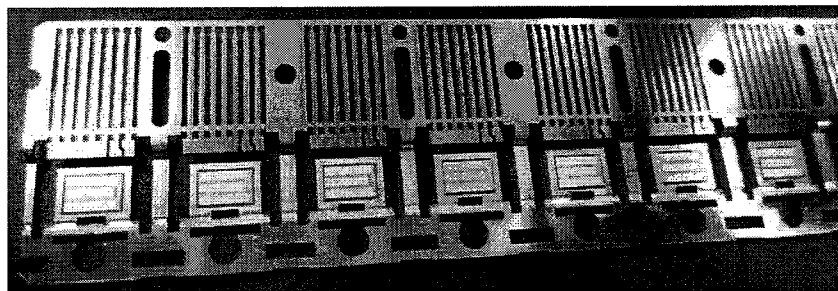


图 3.30 低温烧结贴片后的样品

Figure3.30 Samples after LTJT DA

3.5.2 铜片贴合连接制作

完成了低温烧结贴片的制作之后，接下来便是对样品进行铜片贴合工艺。铜片贴合的工艺流程如图 3.31：



图 3.31 铜片贴合工艺流程图

Figure3.31 CCB process flow

第一步：芯片\引脚植球，如图 3.32 (a)，通过点胶设备在芯片表面的源极区域与引线框架内引脚上进行植球，即将膏状的纳米烧结银点在芯片表面与内引脚上。

第二步：铜片贴合，如图 3.32 (b)，将引线框架固定在特制的模具中，通过人工操作的方式，用镊子夹起铜片放置在纳米银浆上，将铜片连接芯片表面源极区域与内引脚，使其固定。此流程后续可通过改造现有设备，实现自动化，目前相关改造方案已出。

第三步：高温回流，如图 3.32 (c)，利用高温回流装置，将产品放入其中，使得焊点融化后再固结，完成铜片贴合连接制作。

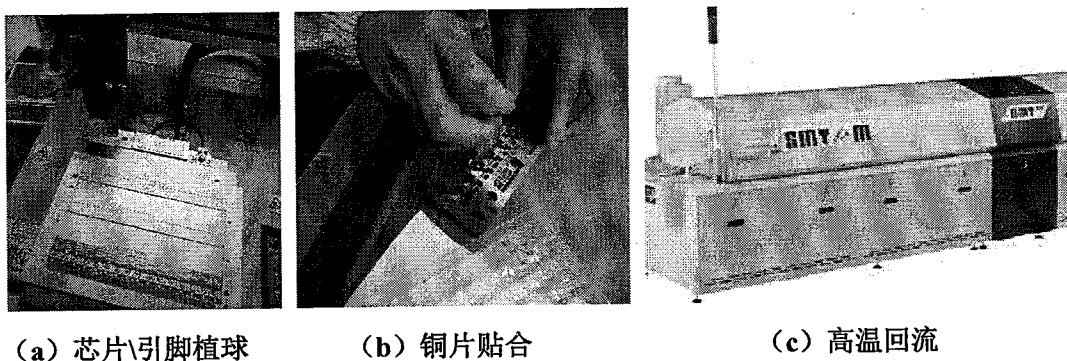


图 3.32 铜片贴合工艺设备

Figure3.32 CCB mahine

完成低温烧结贴片与铜片贴合工序后的半成品如图 3.33 所示。

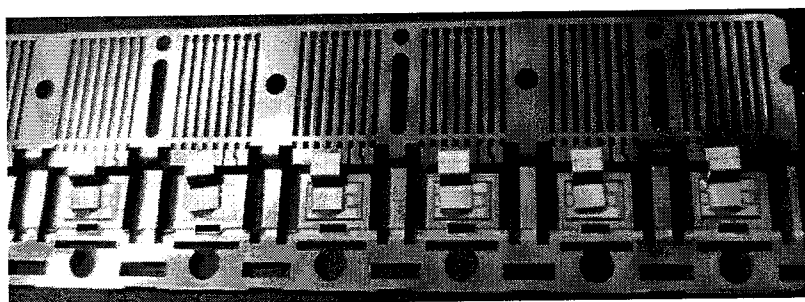


图 3.33 铜片贴合后的样品

Figure3.33 Samples after CCB

完成铜片贴合工艺之后的半成品，在经过细铝线键合工艺、塑封、电镀、激光打印等常规流程，便完成了整个 SiC MOSFET 功率器件新型封装的流程，图 3.34 为最后的成品。

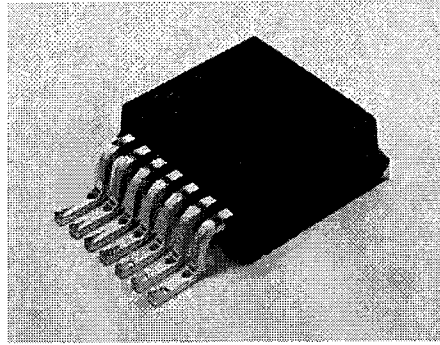


图 3.34 新工艺下的 TO263-7L SiC MOSFET

Figure 3.34 New technology TO263-7L SiC MOSFET

3.6 本章小结

首先, 分析了传统的 SiC MOSFET 功率器件的封装形式所存在的问题, 具体分析了内部互连技术, 包括芯片-基板及芯片-引脚互连技术所存在的一些缺陷。然后, 对现有的内部互连方式进行重新优化设计。采用低温烧结工艺代替高温焊料装片, 采用铜片贴合技术代替粗铝线键合工艺。

确定了采用的工艺路线之后, 本文首先对芯片进行优化设计, 使其更为适应新的封装技术, 并对之前所存在的一些问题进行改善。其次, 对引线框架进行改良, 使用了新的铜材, 并对载片台使用镀银工艺, 以适应新的封装技术。最后设计了 3 种铜片方案, 并结合之前的优化方案, 对包括旧封装形式在内的 4 种技术方案进行 RLC 仿真, 通过对仿真结果分析并结合成本考虑, 选择最优的方案。

最后根据最优方案, 完成实物的制作。

第4章 新封装工艺优势与性能提升测试

上一章节通过对传统 Si 封装工艺中的内部互连技术进行了重新设计与改进,并通过使用新的封装互连材料,使得新的封装设计方案在仿真结果中有着优异的表现。最后在新的工艺流程下完成了新 SiC MOSFET 功率器件的制作。本章将对制作新器件的过程以及新器件的性能表现进行分析,并通过与旧封装器件进行对比,以确定新封装方案的优势。

4.1 新封装技术的工艺优势

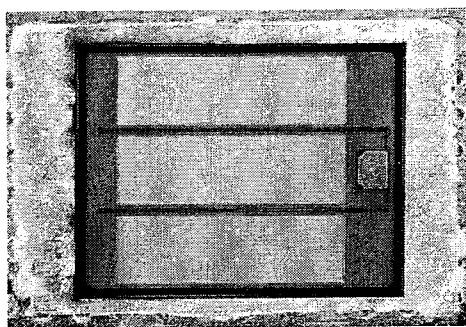
4.1.1 芯片四边焊料溢出的改善

在 SiC MOSFET 功率器件的芯片-基板互连工艺中,焊层起着机械连接、电气连接和热传导的作用。同时,在功率循环过程中还要承受因材料间热膨胀系数不匹配而产生的热应力^[45]。所以,焊料本身的热力学性能的提升一直是改善功率器件封装可靠性的关键所在。

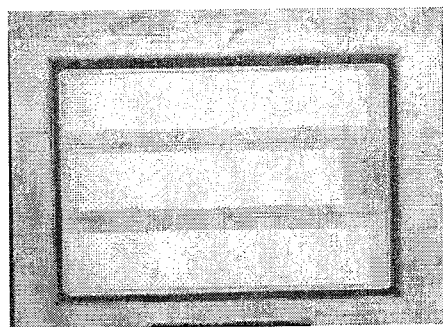
本课题中用做对比试验的传统封装工艺使用的装片材料为常用焊料 96.5Sn/3Ag/0.5Cu,具有导热性较好、熔点低、流动性好等特点。在进行 SiC MOSFET 功率器件封装时,由于此款芯片较大,芯片焊接区域要铺满足够的焊料,这就必须保证所涂覆焊料面积不小于芯片面积^[46]。由于贴片机焊头在进行贴片的过程中,会施加一定的压力作用于芯片表面。这时候就容易出现焊料溢出过多的情况。焊料溢出过多时,会影响后续塑封料与框架载片台的结合度,从而影响整个器件的可靠性。

由于本课题采用的低温烧结贴片工艺,所用的装片材料为薄膜状的纳米烧结银材料。在贴片工艺过程中,薄膜的大小正好与芯片尺寸保持一致,再加上在烧结过程中,烧结银材料低温烧结过程中不易发生流动,这就很好的控制了芯片四边溢出。

如图 4.1 (a),采用焊料装片的样品,芯片呈四周溢出的分布态势,而图 4.1 (b)采用低温烧结贴片的样品,四周无明显溢出。



(a) 焊料装片的溢出



(b) 烧结银贴片的溢出

图 4.1 焊料装片与烧结银贴片的溢出

Figure 4.1 Over flow of Solder DA and LTJT

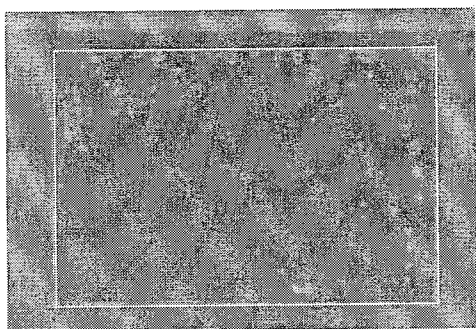
4.1.2 芯片与引线框架连接层空洞的改善

研究表明, SiC MOSFET 功率器件焊料层中的空洞将降低焊层的散热能力, 芯片结温升高, 影响整个器件的电热性能和机械性能, 甚至导致整个器件失效。

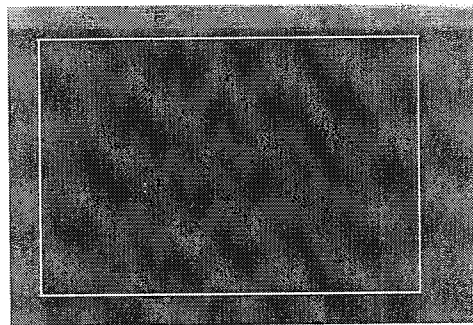
尽量降低焊层中单体较大的空洞面积, 并降低整体的空洞率, 有利于提升整个功率器件的性能, 增强产品可靠性。因此解决焊料装片后的空洞成为一个必须解决的工艺技术问题。

本课题中采用的是纳米级的烧结银材料, 其驱动力是来自于存储在银粒子表面的自由能, 银粒子与粒子之间相互作用, 加压烧结后会形成致密的烧结层, 这就意味着烧结银的材料特性以及工艺流程决定了其不易甚至不会产生空洞。

为了验证空洞结果, 我们分别对旧新两种装片样品进行了空洞扫描, 结果如图 4.2。可以很直观的看到, 图 4.2 (a) 旧工艺有大量的小空洞, 图 4.2 (b) 新工艺无可见空洞。我们又对多颗采用新工艺的样品进行空洞扫描, 均未看到明显空洞。



(a) 旧工艺空洞扫描图片



(b) 新工艺空洞扫描图片

图 4.2 两种装片工艺的扫描图片对比

Figure 4.2 Void comparison for the different DA technology

4.1.3 焊接强度的提升

剪切力是一种沿物体表面的横向力,可以使材料的横截面沿力的方向发生相对错动变形。当物体由于受力或湿度变化等外因而产生变形时,物体内部各部分间会产生相互作用的内力,来抵抗由于外因导致的变形^[47]。如果芯片与引线框架之间的结合强度不够,久而久之,便很容易造成器件失效。当芯片的大小一定时,可以通过测试剪切力大小来评价焊接层的强度,所以剪切力测试有着重要意义。

剪切力的测试过程如图 4.3 所示,将待测试样品放在夹具中并将其固定,然后移动推头,在显微镜下观察其位置,使其对准样品中芯片侧面位置,可以通过控制推头 XYZ 的方向移动,并可设定推头的移动速度与距离。最后,推头对芯片连接层进行破坏性剪切,从而得到剪切力大小。

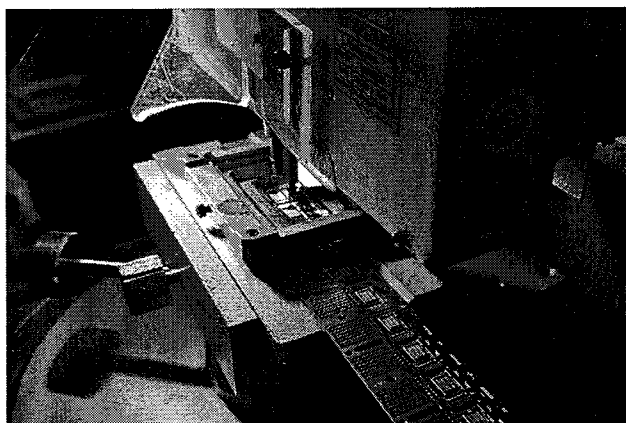


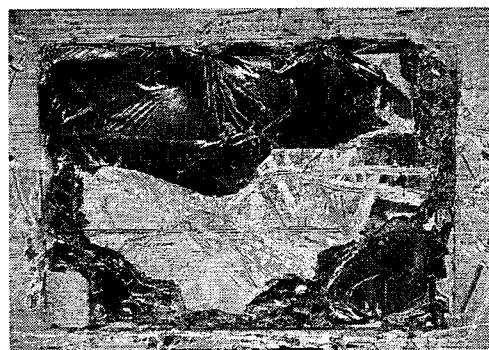
图 4.3 剪切力测试过程

Figure4.3 Die shear test process

考虑到样品在制备和测试过程中的差异性,我们分别取了旧、新工艺封装的 SiC MOSFET 功率器件各 10 颗,进行剪切力的测试。测试后的图片如图 4.4 所示,图 4.4 (a) 为旧工艺的结果,图 4.4 (b) 为新工艺的结果。



(a) 旧工艺剪切力后照片



(b) 新工艺剪切力后照片

图 4.4 两种装片工艺的剪切力图片对比

Figure4.4 Die shear test pictures comparison for the different DA technology

由以上图片可以知道：

1) 传统的焊料贴片技术，可以看到框架基板上残留的焊料很多，但焊料与芯片之间结合的似乎没那么完美，仅有少量的芯片残留。

2) 低温烧结技术，由于芯片与框架基板结合力过强，测试过程中无法将芯片完全推干净，我们多次尝试用手动的方式将芯片剥离，但只是芯片结构破损，芯片背面金属层依旧与焊层结合紧密。可见采用加压式银烧结技术，材料与框架基板，材料与芯片，均结合的比较理想。

测试数据如表 4.1 所示。

表 4.1 剪切力测试数据对比

Table 4.1 Die shear test data comparison

样品#	1	2	3	4	5	6	7	8	9	10
旧工艺 剪切力 (Kg)	40.51	41.63	40.95	39.89	42.66	40.55	43.56	45.68	41.29	43.19
新工艺 剪切力 (Kg)	86.45	71.52	77.56	81.18	82.22	75.61	76.56	78.49	80.01	75.66

我们利用 JMP 数据分析软件对剪切力数据进行进一步分析，如图 4.5 所示。无论是从数据结果，还是从现象结果，加压式银烧结技术均较为理想。

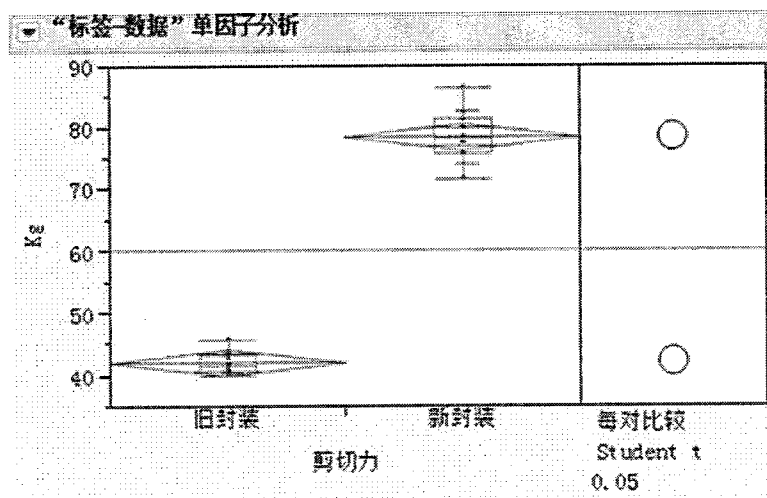


图 4.5 剪切力数据 JMP 分析

Figure 4.5 JMP analysis for die shear test data

由 JMP 软件的分析结果可得出结论：采用低温烧结贴片工艺的芯片剪切力更大，连接层的结合强度更高。新装片工艺比旧工艺的剪切力提升了约 46.5%

4.1.4 避免铝线键合造成芯片损伤或焊点脱落

采用粗铝线键合工艺时，键合线在功率器件中实现芯片源极区域与外部引脚

的电气连接,是功率器件中最为脆弱的部分。从之前的介绍,我们知道超声键合大致分为3步,第一步超声头在铝线与芯片的接触面产生水平方向的振动及垂直方向的压力,第二步通过高频超声摩擦芯片表面去除氧化层,第三步键合线与芯片表面金属层发生原子的相互扩散。所以从粗铝线键合的原理,我们可以知道,在铝线与芯片表面金属层结合的过程中,会有压力与超声震动间接作用于芯片表面^[48]。这就很容易对芯片造成破坏性损伤,如图4.6(a)所示。又或者因为压力与超声震动的频率过小,导致铝线与芯片表面金属层结合力不够导致脱落,如图4.6(b)所示。这些在之前的SiC MOSFET器件铝线键合工艺的过程中都是较为常见的失效模式。

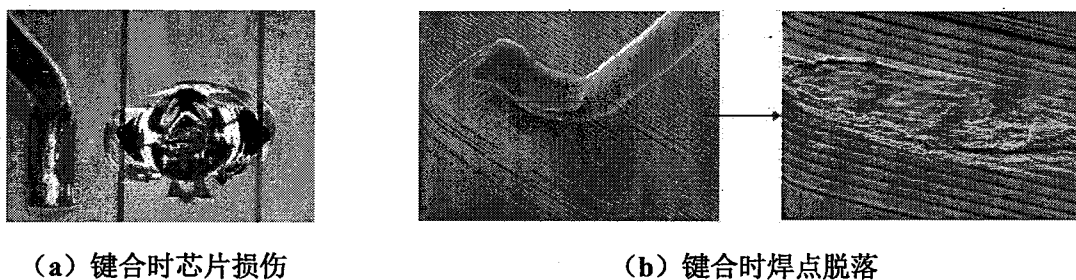


图 4.6 常见的键合过程问题

Figure 4.6 Common failure mode during WB process

当采用铜片贴合工艺时,整个工艺流程中,几乎没有力作用于芯片表面,同时,由于上一道工序采用了低温烧结贴片工艺,空洞的减少也能对芯片损伤起到积极作用。当然,这些还仅仅是从理论的角度分析,后面还需要大量的数据进行验证。

4.2 SiC MOSFET 器件性能提升测试

4.2.1 导通电阻 $R_{DS(on)}$ 提升测试

一定程度上, $R_{DS(on)}$ 越低,则意味着电性能越好。封装内部最大的导通电阻来源于4部分:芯片自身内阻 $R_{ds(on)}$ 、引线阻值 R_1 、贴片材料阻值 R_2 、框架阻值 R_3 ,即 $R_{DS(on)} = R_{ds(on)} + R_1 + R_2 + R_3$,如图4.7。其中, $R_{ds(on)}$ 即芯片自身内阻已经固定。本课题通过对封装材料的合理选择,对封装设计的优化改进,重点对 R_1 , R_2 , R_3 进行了改善。对于 R_1 ,由于本课题采用了铜片贴合技术,使用了电阻率更低的铜片代替了铝线。对于 R_2 ,本课题采用了低温烧结技术,使用的是电阻率更低的纳米烧结银材料,同时烧结银材料烧结成型后的

致密性也远高于普通焊料。对于 R3，本课题采用了电阻率更低的 C192 铜材料。因此，从理论上讲，采用新型封装工艺的 SiC MOSFET 功率器件的 $R_{DS(on)}$ 值要更小一些。

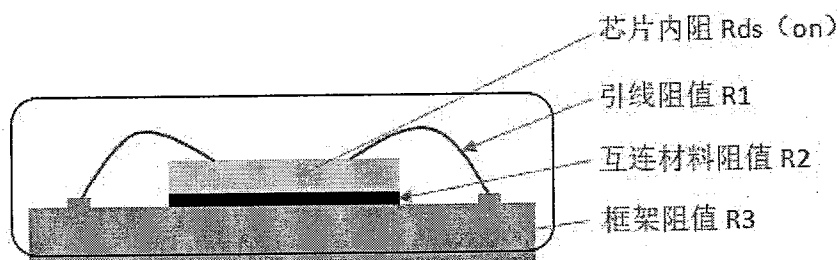
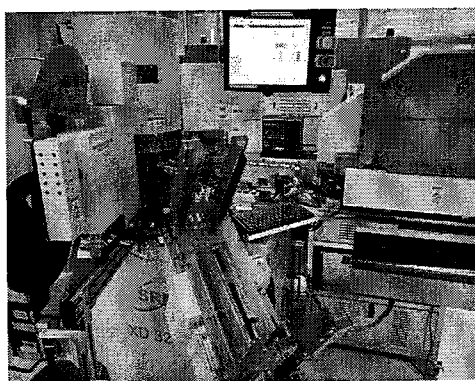


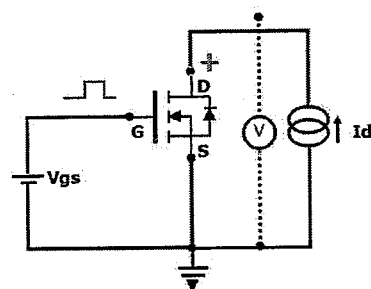
图 4.7 导通电阻 $R_{DS(on)}$ 的组成

Figure4.7 The composition of $R_{DS(on)}$

为了使结果更为直观，我们分别取了旧、新工艺封装的 SiC MOSFET 功率器件各 10 颗，进行 $R_{DS(on)}$ 值的测试。测试条件为室温 25°C ， $V_{GS}=20\text{V}$ ， $I_D=60\text{A}$ ，使用的测试设备以及测试原理如图 4.8 所示：



(a) $R_{DS(on)}$ 测试设备



$$R_{ds(on)} = V_{ds} / I_d$$

(b) $R_{DS(on)}$ 测试原理

图 4.8 导通电阻 $R_{DS(on)}$ 测试设备与原理

Figure4.8 The test equipment and mechanism

测试数据如表 4.2 所示。

表 4.2 导通电阻 $R_{DS(on)}$ 测试数据对比

Table4.2 $R_{DS(on)}$ test data comparison

样品#	1	2	3	4	5	6	7	8	9	10
旧工艺										
$R_{DS(on)}$ (mOhm)	20.35	21.78	20.28	20.96	21.11	20.21	20.92	22.01	22.68	21.58
新工艺										
$R_{DS(on)}$ (mOhm)	18.57	18.69	18.77	18.56	18.65	18.74	18.58	18.11	17.92	17.80

我们利用 JMP 数据分析软件对 $R_{DS(on)}$ 结果进行进一步分析，如图 4.9 所示。

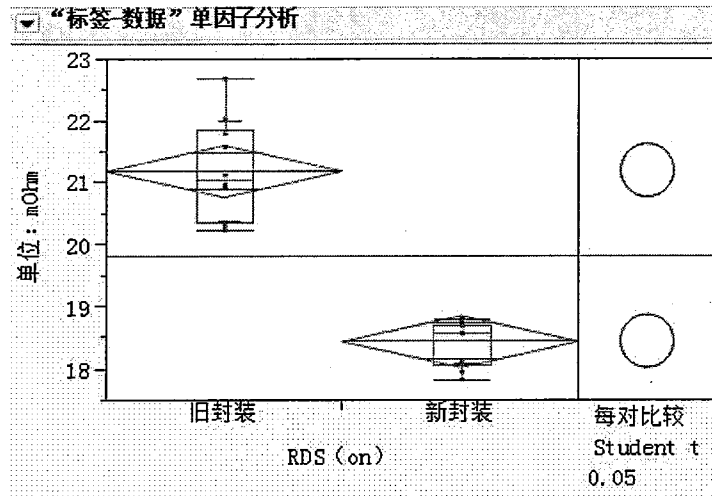


图 4.9 RDS(on)数据 JMP 分析

Figure 4.9 JMP analysis for RDS(on) data

由 JMP 软件的分析结果可得出结论:新封装的 SiC MOSFET 功率器件的 RDS (on) 值小于旧封装, 且新封装的测试结果数据更为集中, 结果表现的更稳定。新封装比旧封装的 RDS (on) 值降低了约 12.5%, 结果更为优异。

4.2.2 热阻 Rthjc 提升测试

SiC MOSFET 功率器件的热阻 Rthjc 越小, 则表明整个器件的散热能力越好。在功率损耗一定的情况下, 进一步减小封装所引入的热阻能够有效地降低器件的结温, 从而增强功率器件的可靠性, 提高使用寿命。

本文所采用的 TO263 封装形式, 其内部封装各区域热阻如图 4.10 所示。芯片表面有源区工作产生的热量垂直向下传导依次通过芯片、焊接层、引线框架、塑封体到管壳外。因此所测的热阻 Rthjc 应为四种不同层材料的热阻组成, 即 $R_{thjc} = R_{th}(\text{chip}) + R_{th}(\text{solder}) + R_{th}(\text{LF}) + R_{th}(\text{resin})$ 。

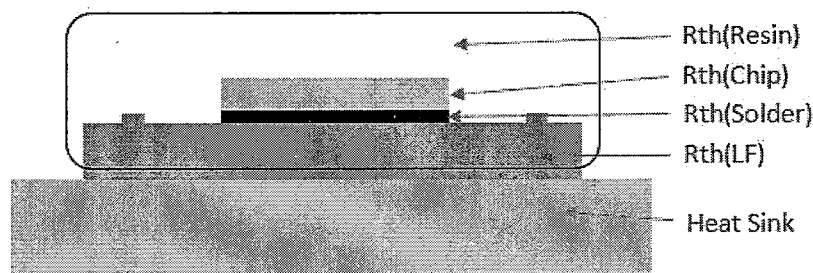


图 4.10 热阻 Rthjc 的组成

Figure 4.10 The composition of Rthjc

本文重点对焊接层的热阻即 Rth (solder) 进行了改善。焊接层对器件 Rth (solder) 主要体现在两个方面, 材料自身的导热率跟焊接层空洞率。研究表明,

除了连接材料自身，芯片下方焊接层的空洞对热阻的影响也非常大，相关研究表明，芯片的结壳热阻与空洞率也近似呈线性关系增大。本文采用低温烧结技术，一方面，纳米烧结银有着优异的导热率。另一方面，在辅助压力的作用下，几乎可以做到零空洞。对热阻 R_{thjc} 的改善有着积极的作用。

目前半导体器件热阻 R_{thjc} 的测试方法主要有红外热像仪法、电学参数法、光谱法等。本课题的研究内容的原则则基于电学测量方法。

如下，试验所用的热阻测试设备为如图 4.11 所示的 Thermal Analyzer 型热阻测量仪。SiC MOSFET 功率器件通过气压顶针而被紧密地压在标准尺寸的铜材散热板的上，散热板则保持在 25 摄氏度的温度。通过特制排线插座将引脚连出，由此可进行测试值的读取以及测试参数的加载。

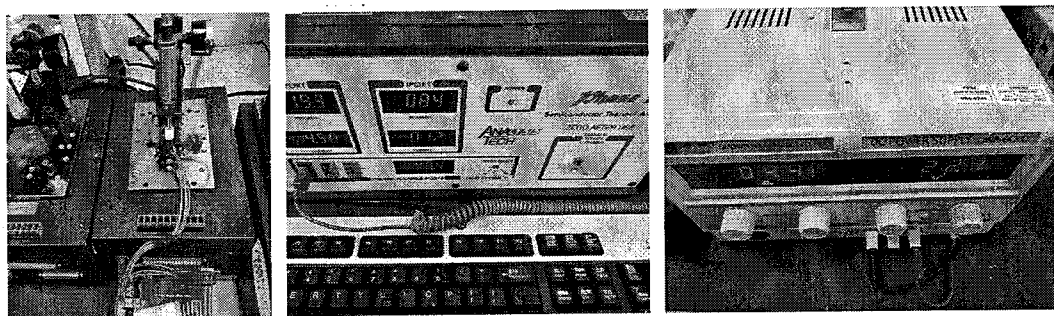


图 4.11 热阻 R_{thjc} 测试设备

Figure4.11 The test equipment of R_{thjc}

同样我们分别取了旧、新工艺封装的 SiC MOSFET 功率器件各 10 颗，进行 R_{thjc} 值的测试。测试数据如表 4.3 所示。

表 4.3 热阻 R_{thjc} 测试数据对比

Table4.3 R_{thjc} test data comparison

样品#	1	2	3	4	5	6	7	8	9	10
旧工艺 R_{thjc} ($^{\circ}\text{C}/\text{W}$)	0.45	0.41	0.48	0.42	0.41	0.49	0.45	0.47	0.42	0.45
新工艺 $R_{DS(on)}$ ($^{\circ}\text{C}/\text{W}$)	0.25	0.22	0.22	0.26	0.25	0.26	0.23	0.26	0.19	0.20

利用 JMP 数据分析软件对 R_{thjc} 结果进行进一步分析，如图 4.12 所示。

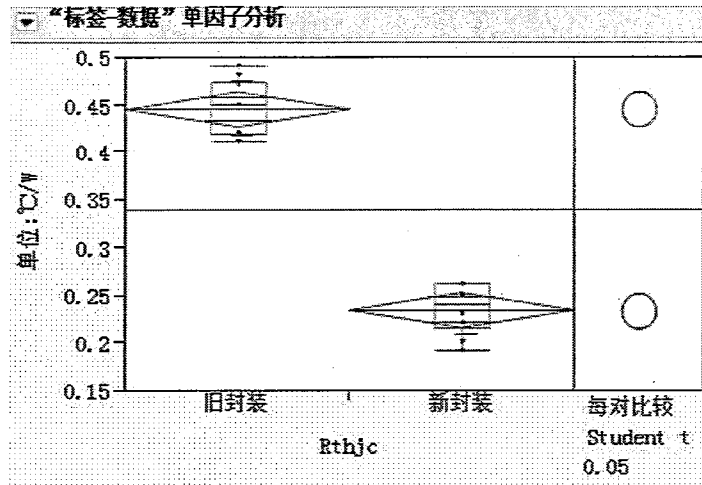


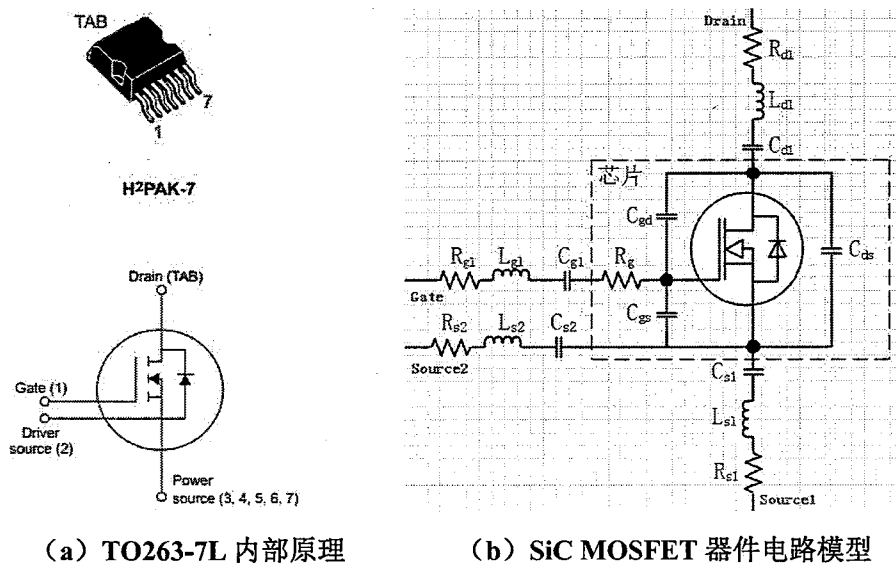
图 4.12 Rthjc 数据 JMP 分析

Figure 4.12 JMP analysis for Rthjc data

由 JMP 软件的分析结果可得出结论：新封装的 SiC MOSFET 功率器件的 Rthjc 值小于旧封装，具有更好的散热能力。新封装比旧封装的 Rthjc 值降低了约 47.4%，结果更为优异。

4.2.3 开关性能测试提升

寄生参数越小，则其对开关影响越小，从而获得更好的开关性能。图为 4.13 (a) 采用 TO263-7L 封装的 SiC MOSFET 功率器件地内部原理图。为了更好的评估封装所带来的寄生参数对 SiC MOSFET 功率器件的开关速度的影响，考虑所有关键寄生参数影响的 SiC MOSFET 功率器件开关暂态分析等效电路模型如图 4.13 (b)。



(a) TO263-7L 内部原理

(b) SiC MOSFET 器件电路模型

图 4.13 SiC MOSFET TO263-7L 内部原理及器件电路模型

Figure 4.13 TO263-7L SiC MOSFET inner mechanism and circuit model

对于 TO263-7L SiC MOSFET 功率器件电路模型, 其中包括栅极 (Drain) 驱动电阻 R_g , 3 个电容为硅结构, 分别位于各个连线引脚只之间: 栅源极之间寄生电容 C_{gs} , 漏源极之间寄生电容 C_{ds} , 栅漏极之间寄生电容 C_{gd} 。封装引入的寄生电阻、寄生电感、寄生电容。对于栅极而言, 包括焊接层、引线框架引入的寄生参数 R_{d1} 、 L_{d1} 和 C_{d1} 。对于门极而言, 包括键合引线、引脚带入的寄生参数 R_{g1} 、 L_{g1} 和 C_{g1} 。对于源极而言, 包括铜片、引脚带入的寄生参数 R_s 、 L_s 和 C_s (由于 TO263-7L 封装特殊的源极分离, 这里不再分别叙述, 将 s1 与 s2 统一考虑)。根据上一章的 RLC 仿真结果, 新型封装的 RLC 均要小于旧封装形式。

我们通过对两种封装形式的器件进行开关关断延迟时间 T_{off} 测试来进行验证, 如下图 4.14 所示, 通过测试设备连接示波器来完成测试并读取的过程。

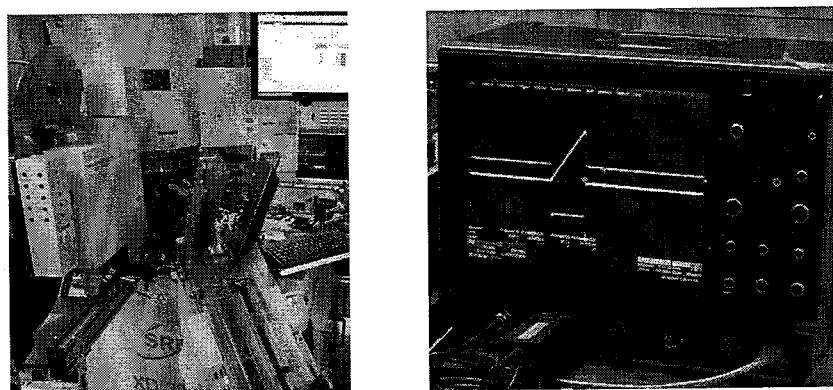


图 4.14 开关性能测试设备

Figure 4.14 The test equipment of turn-off

对测试波形进行局部放大, 图 4.15 为旧封装与新型封装的硬开关关断波形对比。根据测得波形, 从 V_{ds} 到 I_d 的穿过时间 T_{off} , 从 145.26ns 降到了 122.88ns, V_{ds} 与 I_d 的重叠越少, 意味着开关损耗越低。

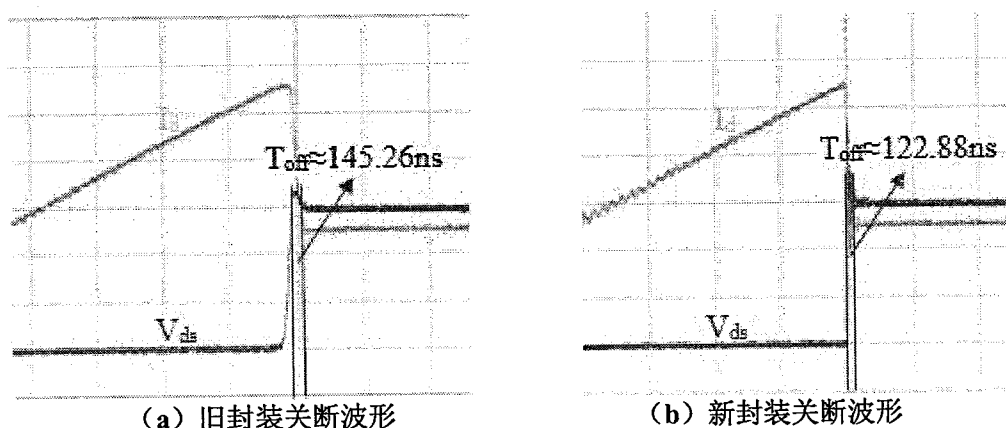


图 4.15 旧新关断波形对比

Figure 4.15 Turn off waveform comparison for the old and new technology

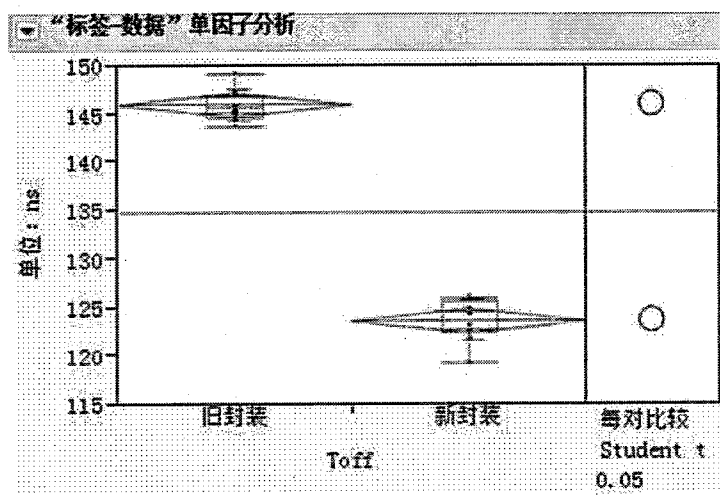
考虑到样品在测试过程中的差异性，我们分别取了旧、新工艺封装的 SiC MOSFET 功率器件各 10 颗，进行开关关断延时 T_{off} 测试。测试数据如表 4.4 所示。

表 4.4 关断延时测试数据对比

Table 4.4 T_{off} test data comparison

样品#	1	2	3	4	5	6	7	8	9	10
旧工艺										
T_{off} (ns)	125.41	122.88	124.68	119.17	122.36	125.92	125.90	124.21	122.90	121.61
新工艺										
T_{off} (ns)	149.01	144.31	145.81	146.83	145.26	147.32	143.52	146.86	144.71	145.08

利用 JMP 数据分析软件对 T_{off} 结果进行进一步分析，如图 4.16 所示。

图 4.16 T_{off} 数据 JMP 分析Figure 4.16 JMP analysis for T_{off} data

由 JMP 软件的分析结果可得出结论：新封装的 SiC MOSFET 功率器件的 T_{off} 值小于旧封装，降低了开关损耗。新封装比旧封装的开关性能提升了约 15.3%，结果更为优异。

4.3 可靠性进展

电子器件的可靠性说白了就是在规定的时间内和规定的条件下完成规定功能的能力。在导致电子产品失效的诸多因素中。相关统计表明，在众多导致可靠性失效的因素中，温度造成的失效排在首位。

SiC MOSFET 功率器件在服役过程中，往往面临着外部环境温度的不断变

化。这种温度的变化往往呈周期性，以循环载荷的方式加载在器件上。久而久之，焊接层便会产生热疲劳，从而产生空洞、裂纹等一系列问题，最终导致整个 SiC MOSFET 功率器件失效^[49]。所以在不断的温度循环下，SiC MOSFET 功率器件的可靠性分析就显得至关重要。

处于芯片与引线框架之间的焊接层，在温度循环过程中会受到热应力的不断冲击，从封装结构的角度来讲属于整个器件的关键部位。所以本文重点研究在温度循环试验（Temperature Cycling, TC）下芯片与框架间的焊接层表现。

我们将循环温度设置为：高温 150℃，低温 -65℃。高温、低温的持续时间均设置为 10 分钟，温度的转换时间设置为 1 分钟。TC1000（即 1000 次高低温循环）后，对器件进行开封，如图 4.17 所示，器件结构完好。

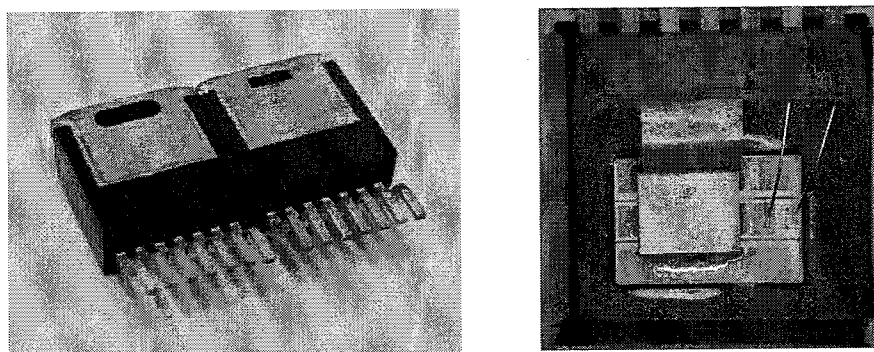


图 4.17 对新器件进行开封

Figure4.17 Decaping the new device

我们更为最关心的是芯片下方焊接层的表现，分别取旧封装器件与新封装器件进行断面研磨处理，然后用扫描电子显微镜（Scanning Electron Microscope, SEM）拍摄焊接层的图片，放大倍数设置为 2000 倍，如图 4.18 与图 4.19 所示。

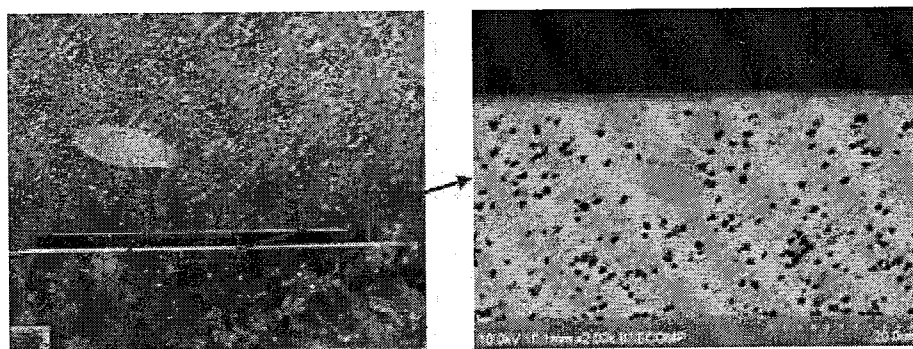


图 4.18 旧封装器件 SEM 照片

Figure4.18 SEM photo of old device

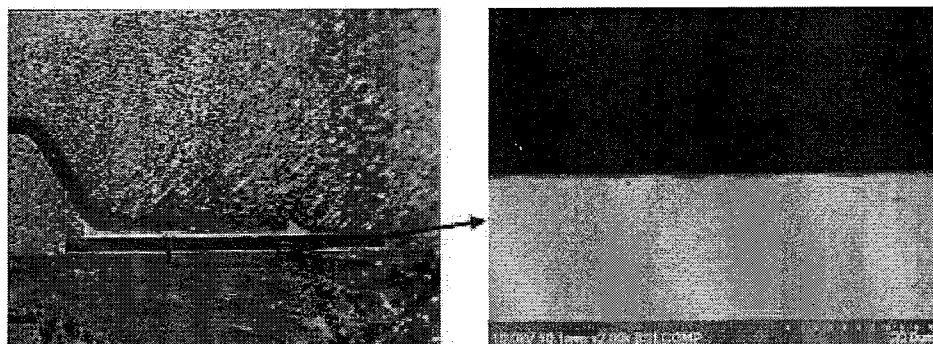
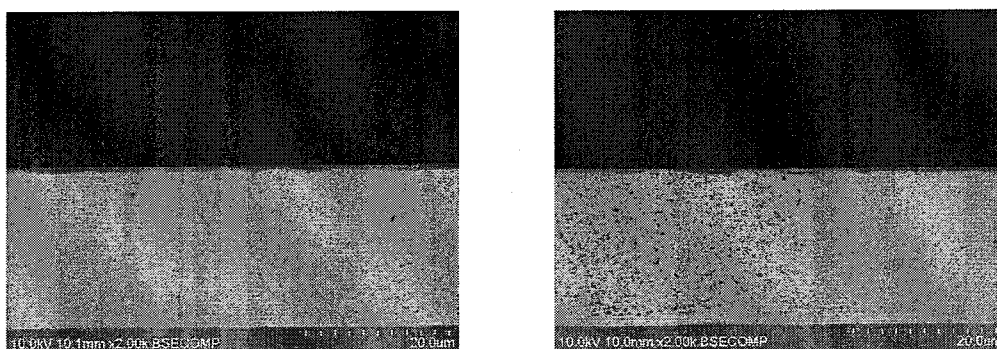


图 4.19 新封装器件 SEM 照片

Figure4.19 SEM photo of new device

从 SEM 照片可以看出，经过 TC1000 后，旧封装形式的器件芯片下方焊接层出现了很多细小的空洞，而新封装形式的焊接层完好无损。继续对新封装进行 TC1500 以及 TC2000 的试验，2000 倍下的 SEM 照片如图 4.20 所示。



(a) TC1500 后的 SEM

(b) TC2000 后的 SEM

图 4.20 新器件 TC1500 跟 TC2000 后的 SEM 照片

Figure4.20 SEM photos after TC1000 and TC2000 for new device

以上 SEM 照片可以看出，在经过 TC2000 后，新封装形式芯片下方的焊接层才出现了极其细微的小孔。由此可见新封装形式的 SiC MOSFET 功率器件可靠性表现更好，更稳定。

4.4 本章小结

本章主要研究了新封装工艺下的 SiC MOSFET 功率器件在工艺过程以及电热性能方面取得的优势与进展。首先讨论了在新的封装内部互连技术下，器件在工艺上所取得的优势。然后对两种封装形式的 SiC MOSFET 功率器件进行了性能测试，无论是在导通电阻 $R_{DS(on)}$ 、热阻 R_{thjc} ，还是开关性能等方面，新工艺下的器件表现均要优于旧工艺。最后，重点介绍了新封装器件在温度循环试验下的表现，即使在 TC2000 后，芯片下方焊接层依旧表现良好。

第5章 总结与展望

5.1 全文总结

本课题以众多终端客户对高电性能、高热性能及高可靠性的 SiC 功率器件的诉求作为切入点,分析了近年来国内外关于 SiC 功率器件先进封装技术的发展状况,发现已有的研究比较单一且不够系统化,很多研究以理论为主且不具备批量生产的可行性,难以应用到实际生产中去。本课题围绕现有的功率器件封装技术中核心工艺存在的一些问题,从封装内部互连技术的改进、芯片的优化设计、封装材料的合理选择与改良等各环节进行了系统性地探索。

本课题以 TO263-7L 的外形对 SiC MOSFET 功率芯片进行封装,研究了新形式的封装内部互连技术实际应用的可行性,并取得以下研究成果:

1) 对封装内部的互连技术进行了重新设计,以低温烧结技术代替高温焊料装片技术,以铜片贴合技术代替粗铝线键合技术。通过对现有 SiC MOSFET 功率芯片的优化设计以及其它封装材料的配合,最终完成了整个方案的设计。

2) 通过利用 FLOTHERM 仿真软件建立模型,对新型的封装内部互连技术进行了 RLC 仿真,从而确立了新的设计方案理论上的优势。

3) 定义了低温烧结贴片工艺与铜片贴合连接工艺的流程,并完成了整个 SiC MOSFET 功率器件的制作,从而确立了新封装技术的实际可行性。

4) 通过与旧封装设计方案的对比,确立了新封装设计方案在工艺流程上的优势,主要包括芯片四边连接材料溢出的改善、芯片与引线框架连接层无空洞、芯片与引线框架的结合强度提升了 46.5%、不易造成焊点脱落或芯片损伤等。

5) 通过与旧器件的电热性能对比测试,确立了新 SiC MOSFET 功率器件在性能上的优势,主要包括导通电阻降低了约 12%、热阻降低了约 47%、开关性能提升了约 15%,综合性能提升了约 24%。同时在可靠性方面,新封装形式芯片下方的焊接层在 TC2000 后依旧表现良好。

5.2 前景展望

随着 SiC 功率器件的封装逐渐向高电热性能、高可靠性的方向发展。先进的封装内部互连技术一定会成为炙手可热的研究课题。从目前来看,本课题已经取得了一定的进展,但距离大批量生产,还有很长的一段路要走。

首先，对于低温烧结贴片技术而言，虽然低温烧结的流程方面已经取得一定突破，并且烧结银层在高低温循环试验下的可靠性优势也得到验证。但由于其材料成本较高，多了辅助加压的过程，导致整个流程时间变长，影响生产效率，并且对于烧结层还缺乏有效地检测手段。这些都是后续有待解决的问题。

其次，对于铜片贴合技术而言。其相较于粗铝线键合工艺，可以提升电流的通过量，同时带来更低的导通电阻。但目前此封装形式的铜片贴合技术还处于摸索阶段，仍然是采用人工的方式进行操作。设备还在改造中，后续还需要进行可行性的验证，需要大量数据的验证。相信随着封装技术的发展，铜片贴合技术一定能充分发挥其优势。

纵观全球市场，随着 SiC 功率器件价格的下降和应用技术的日益成熟，SiC 功率器件的应用也会越来越广泛

本文一开始提到，课题的最终目的是由 SiC MOSFET 分立器件延伸到 SiC 功率模块，接下来我们会逐步研究如何将这些先进的封装互连技术应用到模块的封装中去。