



中国科学院大学

University of Chinese Academy of Sciences

硕士学位论文

硅基光波导集成锗探测器的研究

作者姓名: 崔中正

指导教师: 李志华 研究员

学位类别: 工程硕士

学科专业: 集成电路工程

培养单位: 中国科学院大学微电子学院

2021 年 6 月

Study on silicon waveguide integrated germanium detector

A thesis submitted to

University of Chinese Academy of Sciences

in partial fulfillment of the requirement

for the degree of

Master of engineering

in Integrated circuit engineering

By

Cui zhongzheng

Supervisor: Researcher Li zhihua

School of Microelectronics, University of Chinese Academy of Sciences

June 2021

中国科学院大学

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：崔中正
日期：2021.6.18

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：崔中正
日期：2021.6.18

导师签名：李志华
日期：2021.6.18

摘 要

随着信息技术的发展，人们对于信息的处理、传递、计算等需求越来越高，传统集成电路在不断提高集成度和性能以满足发展需求的同时也呈现出了技术的瓶颈，面临着带宽难以进一步提升以及功耗越来越高等问题。硅光技术以它传输速率快、散热小、抗干扰等优异的性能迅速发展起来，硅光和微电子技术的结合有望突破传统集成电路的发展瓶颈。

本文面向光通信的应用，基于硅光集成技术研究硅基锗探测器。相比与其他材料，锗材料有两个主要优势，一个是锗材料在红外光波段的光吸收系数较强，载流子迁移率高；另一个是制备锗薄膜的工艺和现有的 CMOS 工艺兼容。结合锗材料和硅光技术的优势，在使用 silvaco 软件对两种不同结构的锗光电探测器进行仿真的基础上，我们设计并制备了波导集成型水平结构的 PIN 锗光电探测器。

本文中的探测器在中科院微电子研究所 8 英寸标准 CMOS 工艺线上制备完成，本次制备选用 SOI 作为衬底材料，刻蚀波导长度 $1545\ \mu\text{m}$ ，厚度为 220nm ，探测器与波导之间采用倏逝波耦合方式，光电探测器为水平结构，外延锗工艺方面则结合了高低温生长技术和选择外延生长技术两种方法的优点，外延锗尺寸长度为 $14.2\ \mu\text{m}$ ，宽厚度为 $0.5\ \mu\text{m}$ 。本文在制备探测器过程中，没有选择在锗层中进行离子注入，而是选择在顶层硅上进行以避免给锗层带来大量损伤。

本器件的结构表征显示锗层中的位错被很好地限制在低温层中，高温层晶格缺陷很少，晶格排列整齐，这表明锗层质量良好；波导结构刻蚀尺寸精度在 10% 以内；测试结果显示该探测器在 1550nm 激光激励下，反偏电压为 -1V 时的暗电流低至 11.6nA ，光响应度为 0.86A/W ，量子效率为 68.9% ，在 -2V 的偏压下，测得 3-dB 带宽为 20GHz ，得到了传输速率为 30.26Gbs 的清晰眼图。

关键词：硅光技术，波导集成，锗光电探测器，CMOS 工艺兼容

ABSTRACT

With the development of information technology, the demand for information processing, transmission and calculation is continuously higher. While traditional integrated circuits continue to improve the integration to meet the demand, they also present the bottleneck of development, facing the problems of bandwidth difficult to further improve and power consumption. Silicon photonics technology is developing rapidly with its excellent performance of fast transmission speed, low heat dissipation and anti-interference. The combination of silicon photonics and microelectronics is expected to break through the bottleneck of the development of integrated circuits.

In this dissertation, the silicon-based germanium detector is studied based on silicon photonics integration technology for the application of optical communication. Compared with other materials, germanium materials have two main advantages: one is the strong optical absorption coefficient and high carrier mobility in the infrared band; The other is that the process of germanium thin films is compatible with the existing CMOS process. Combined with the advantages of germanium materials and silicon photonics technology, based on the simulation of two kinds of germanium photodetectors with different structures by using Silvaco software, we designed and fabricated a waveguide integrated horizontal PIN germanium photodetector.

The detector in this dissertation is fabricated on the 8-inch standard CMOS process line of Institute of microelectronics, Chinese Academy of Sciences. SOI is used as the substrate material in this work, and the length of waveguide is 1545 μm . The thickness is 220nm, evanescent wave coupling is used between the detector and waveguide, the photodetector is horizontal structure, selective epitaxial growth technology and two step growth method are applied for germanium film. The size of epitaxial germanium is 14.2 μm of length and 0.5 μm of thickness. In order to avoid lattice damage to the germanium layer, the ion implantation and electrode are implemented on the silicon

layer.

Transmission electron microscope is used to analyze the lattice quality of germanium film. It shows that the dislocations are well confined in the low-temperature buffer layer, and the lattice defects in the high temperature layer are few and the lattice arrangement is neat, which indicates that the quality of the germanium layer is good; The etching size of the waveguide structure is accurately controlled; Test results show that the dark current is as low as 11.6nA at the bias voltage of -1V with 1550nm laser excitation, which indicates that the germanium epitaxial material has good lattice quality. The optical responsivity is 0.75A/W, and quantum efficiency is 60.1%. At the same time, we measured a 3-dB bandwidth of 20GHz at -2V bias voltage, and obtained a clear eye pattern with a transmission rate of 30.26Gbps.

Keywords: Silicon Photonics Technology, Waveguide Integration, Germanium Photodetector, CMOS Process Compatible

目 录

摘 要	I
ABSTRACT	III
目 录	V
第一章 绪 论	1
1.1 引言	1
1.2 硅光子技术的发展	5
1.2.1 硅光技术的发展背景和意义	5
1.2.2 硅光技术的应用和发展中的问题	7
1.3 硅基波导集成锗探测器的研究进展	8
1.3.1 硅基锗探测器的研究进展	9
1.3.2 硅基锗探测器波导集成方面的研究进展	12
1.4 论文的研究内容和结构安排	16
第二章 PIN 型光电探测器的基本工作原理及其仿真研究	19
2.1 引言	19
2.2 光电探测器的基本工作原理	19
2.2.1 PN 结光电二极管的工作原理	20
2.2.2 雪崩光电二极管的工作原理	22
2.2.3 PIN 光电二极管的工作原理	23
2.3 光电探测器的主要性能参数	24
2.3.1 量子效率	24
2.3.2 光响应度	25
2.3.3 暗电流	26
2.3.4 3-dB 带宽	26
2.4 基于光波导的 PIN 型锗光电探测器的分类	27

2.4.1 PIN 型锗光电探测器与波导之间的光耦合方式.....	27
2.4.2 基于光波导的 PIN 型锗光电探测器的结构.....	29
2.5 基于 silvaco 的不同结构的 PIN 型锗光电探测器的仿真研究.....	31
2.6 本章小结.....	36
第三章 硅基波导集成锗探测器的器件设计和工艺制备.....	37
3.1 引言.....	37
3.2 波导集成型锗探测器的器件设计.....	37
3.3 外延锗薄膜工艺.....	39
3.3.1 外延锗薄膜工艺的发展现状.....	39
3.3.2 硅基外延锗薄膜的具体工艺流程.....	42
3.4 波导集成 PIN 型水平锗探测器的工艺制备流程.....	45
3.5 本章小结.....	52
第四章 波导集成锗光电探测器的结构表征和测试分析.....	53
4.1 引言.....	53
4.2 光电探测器的结构表征.....	53
4.2.1 探测器表征方法.....	53
4.2.2 探测器表征结果.....	55
4.3 波导集成型光电探测器的测试分析.....	59
4.3.1 波导和光栅的光学损耗计算.....	59
4.3.2 暗电流分析.....	61
4.3.3 光响应度分析.....	63
4.3.4 3-dB 带宽和眼图.....	66
4.4 本章小结.....	69
第五章 全文总结与展望.....	71
5.1 全文总结.....	71
5.2 未来展望.....	72
参考文献.....	75

致 谢.....	79
作者简历及攻读学位期间发表的论文和申请专利.....	81

图表目录

图 1-1 摩尔定律发展趋势.....	1
图 1-2 各波段波长示意图.....	3
图 1-3 半导体材料的光吸收系数示意图.....	4
图 1-4 垂直结构的波导集成锗探测器.....	4
图 1-5 水平结构的波导集成锗探测器.....	5
图 1-6 硅光技术产业的发展历程.....	6
图 1-7 IBM 公司展示首款研制的硅光芯片.....	6
图 1-8 量子通信中的具备纠缠状态的光子.....	7
图 1-9 面入射型锗光电探测器示意图.....	9
图 1-10 一平等人制备的锗红外探测器结构示意图.....	10
图 1-11 (a) SB Samavedam 等人所制备的探测器结构和 CMP 工艺改善示意图; (b) 该器件在 1.3 微米波长激励下的光响应和暗电流.....	10
图 1-12 (a) Dongwoo 等人所制备的锗垂直探测器结构 (b) RPCVD 法在硅衬底上生长 Ge 的透射电镜横断面图像.....	11
图 1-13 波导集成型锗探测器的工作示意图.....	12
图 1-14 Liu J.F 等人制备的两种不同对接方式的探测器结构 (a) 对接耦合方式结构及其工艺流程示意图; (b) 倏逝耦合方式结构及其工艺流程示意图.....	13
图 1-15 Yin Tao 等人的工作 (a) 硅基脊形波导的 PIN 型锗探测器结构图; (b) 探测器的 SEM 图像.....	14
图 1-16 Chen 等人制备的器件 (a) 器件的三维立体结构 (b) 器件的截面示意图.....	14
图 2-1 光电效应微观示意图.....	18
图 2-2 处于平衡状态下的 PN 结示意图.....	19
图 2-3 在反偏电压下的 PN 结能带示意图.....	19
图 2-4 雪崩光电二极管工作示意图.....	21

图 2-5 PIN 光电探测器工作示意图: (a) 结构和工作模式 (b) 净电荷分布 (c) 电场分布.....	21
图 2-6 光响应与工作波长的关系 (100%的光吸收情况下)	23
图 2-7 对接耦合方式示意图.....	26
图 2-8 倏逝波耦合方式示意图.....	26
图 2-9 垂直光栅耦合方式示意图.....	27
图 2-10 (a) 三维水平结构的波导集成型锗光电探测器; (b) 二维水平结构的波导集成型锗光电探测器.....	27
图 2-11 传统锗探测器的掺杂方式示意图.....	28
图 2-12 (a) 三维垂直结构的波导集成型锗光电探测器; (b) 二维垂直结构的波导集成型锗光电探测器.....	28
图 2-13 水平结构的 PIN 型锗探测器二维剖面结构图.....	29
图 2-14 水平结构的器件网格化显示.....	30
图 2-15 水平结构器件的离子掺杂分布和电极显示.....	30
图 2-16 (a)水平结构器件整体电场分布图; (b) 锗硅接触面处的电场分布 (c) 锗区顶部区域的电场分布.....	31
图 2-17 暗电流仿真结果.....	32
图 2-18 暗电流和光电流比对的仿真结果.....	32
图 2-19 垂直结构仿真结构图.....	33
图 2-20 垂直结构器件的内部电场整体分布和锗区电场分布.....	33
图 3-1 SOI 衬底结构示意图.....	37
图 3-2 本文所研制 PIN 型锗探测器的立体结构.....	38
图 3-3 器件截面示意图.....	38
图 3-4 Thomas 等人利用 Ge 组分渐变的 SiGe 缓冲层技术研制的 Ge 薄膜.....	39
图 3-5 Ge 薄膜经化学腐蚀后的表面形貌光学显微镜图.....	40
图 3-6 Ge 区外延工艺流程图.....	41
图 3-7 Park 等人选择外延生长的 Ge 膜 TEM 截面图.....	41
图 3-8 RPCVD 生长设备.....	42

图 3-9 本文硅上外延锗薄膜的工艺流程示意图.....	43
图 3-10 在 SiO ₂ 窗口中选择性外延生长的 Ge 台面的原子力显微镜图像.....	43
图 3-11 Ge 膜生长 SEM 图.....	44
图 3-12 本次波导集成水平 PIN 型锗探测器版图.....	45
图 3-13 淀积一层 150nm 厚的 Poly-Si.....	46
图 3-14 刻蚀形成 taper.....	46
图 3-15 刻蚀 220nm 的顶层硅形成波导.....	47
图 3-16 刻蚀波导形成光栅.....	47
图 3-17 形成的离子注入区.....	48
图 3-18 外延生长出锗膜（器件俯视图）.....	48
图 3-19 刻蚀出金属接触孔（器件俯视图）.....	49
图 3-20 将金属接触孔填充金属钨（器件侧视图）.....	49
图 3-21 刻蚀形成金属电极 Pad（器件侧视图）.....	50
图 3-22 刻蚀钝化层漏出金属 Pad（器件侧视图）.....	50
图 4-1 扫描电子显微镜（SEM）设备实物图.....	52
图 4-2 沙白粉末不同放大倍数下的 SEM 图.....	52
图 4-3 原子力显微镜（AFM）设备实物图.....	53
图 4-4 原子力显微镜基本架构.....	53
图 4-5 器件结构设计图.....	53
图 4-6 本文所制备器件水平截面 SEM 图.....	54
图 4-7 探测器金属 Pad 的 SEM 图.....	54
图 4-8 Taper-Si 表面 SEM 图.....	54
图 4-9 矩形波导侧面 SEM 图.....	55
图 4-10 矩形波导俯面 SEM 图.....	55
图 4-11 光栅表面 SEM 图.....	55
图 4-12 锗外延薄膜 AFM 图（a）表面形貌（b）3D 立体图.....	56
图 4-13 锗外延薄膜 SEM 图.....	56
图 4-14 锗外延薄膜全貌 SEM 图（CMP 前）.....	56

图 4-15 波导长度呈现等差数列的多种波导示意图.....	58
图 4-16 波导损耗随波导长度变化的线性拟合曲线.....	58
图 4-17 暗电流测试装置示意图.....	59
图 4-18 暗电流随反偏电压变化曲线.....	59
图 4-19 探测器暗电流特性曲线.....	60
图 4-20 光响应度测试装置示意图.....	60
图 4-21 光响应度测试原理示意图.....	61
图 4-22 光电流随电压变化曲线.....	62
图 4-23 光电流随反偏电压变化曲线.....	63
图 4-24 带宽测试装置示意图.....	63
图 4-25 矢量网络分析仪工作示意图.....	64
图 4-26 探测器 S21 参数随频率变化曲线.....	64
图 4-27 眼图测试装置示意图.....	65
图 4-28 眼图测试原理示意图.....	65
图 4-29 30.26Gb/s 眼图.....	65
图 5-1 CMP 步骤的工艺优化.....	68

第一章 绪 论

本章主要讲述硅光子学的发展状况，光电集成发展的背景和意义，以及近几年有关硅基锗探测器的国内外研究进展，最后简述了全论文各章的主要研究内容和阐明本论文研究课题的意义所在。

1.1 引言

近年来，自从集成电路产业上升到国家战略之后，集成电路行业得到了迅猛、健康的发展，已经成为了近十年来的朝阳行业，现如今各行各业都越来越离不开集成电路了。1965 年，集成电路巨头英特尔公司的联合创始人之一戈登·摩尔对集成电路的发展提出了自己的预测，后来随着集成电路的飞速发展，摩尔当初所做的预测被总结成了摩尔定律，定律指出：集成电路上可容纳的晶体管数目，约每隔 18 个月便会增加一倍，性能也将提升一倍。该定律描述了集成电路行业未来的发展趋势，得到了业界人士的公认，并产生巨大的反响^[1]。

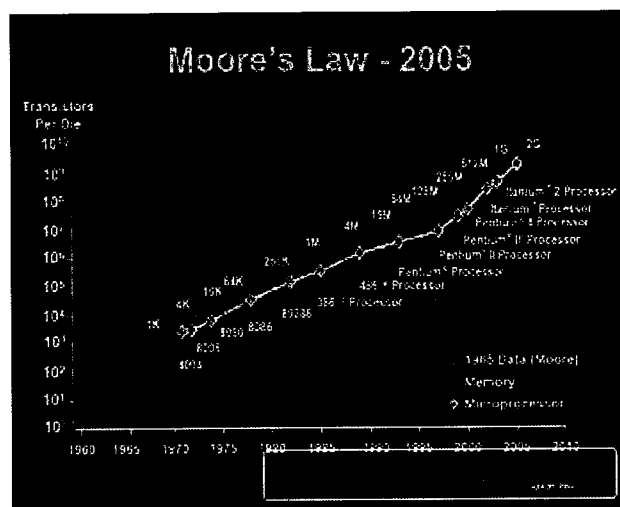


图 1-1 摩尔定律发展趋势^[3]

Figure 1-1 Development trend of Moore's Law^[3]

后来随着人们对集成电路功能的要求越来越高，需要在不同的应用场合实现不同的功能，以实现功能的多样化，同时又需要降低功耗，减小电路体积等。集

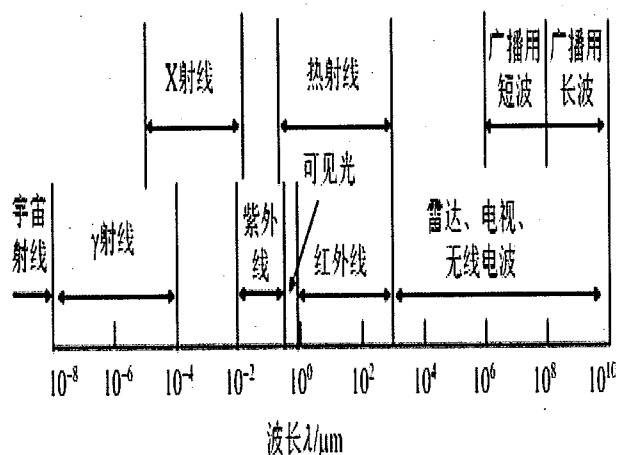
成电路有一个永无止境的追求目标，那就是不断提高集成电路的集成度。但是，在后摩尔时代，在追求提高集成度的过程中，传统的集成电路遇到了很多的瓶颈问题。传统的集成电路，随着集成度的提高，晶片上集成的晶体管数量会越来越大，呈指数级增长,如表格 1-1 所示。

表 1-1 集成电路技术集成度演变^[2]

年份	阶段划分	集成度	代表产品
1962	小规模超大集成电路	小于 100	逻辑门、触发器
1966	中规模集成电路	100-1000	计时器、译码器
1967-1973	大规模集成电路	1000-10 万	半导体存储器
1977	超大规模集成电路	10 万-1000 万	64K 随机存储器
1993	特大规模集成电路	1000 万-10 亿	256M DRAM
1994	巨大规模集成电路	大于 10 亿	1G DRAM

晶体管之间的连线会越来越复杂，也越来越密集，随之而来的问题就是会产生大量的寄生电容，大量的寄生电容会使芯片的延迟增加，同时也会有更多的散热问题等，在集成电路高频率应用的场合下，这样的芯片就不适合被应用。我们所追求的集成电路的终极目标就是不断提高其集成度，而集成度不断提高的根本目的是实现芯片功能的多样化。随着半导体技术的发展，硅光子技术兴起，并为解决传统集成电路发展过程中出现的上述问题带来了希望，有关硅光技术的详尽介绍将在 1.2 小结展开。

光电探测器作为集成电路领域应用最广泛的微电子器件之一，一直以来都是人们所关注和研究的焦点，同时光电探测器作为硅光集成和光子通讯的核心器件，人们一直希望能够研制出高性能的光电探测器，比如尽可能地让光电探测器具有响应度高、暗电流低、带宽高等高性能指标。光电探测器是微电子行业被使用最为频繁的器件之一，其中近红外光电探测器更是在国计民生和军事国防领域应用广泛，比如光纤通讯、航空航天、工业控制等领域，因此本论文将主要进行近红外（1.3 μm —1.55 μm ）波段的光电探测器研究，各波段波长示意如图 1-2 所示。

图 1-2 各波段波长示意图^[4]Figure 1-2 Schematic diagram of wavelength of each wave band^[4]

近红外光电探测器的研制是在基于硅光集成技术的基础上进行的，但是众所周知，体硅材料在近红外（ $1.3\ \mu\text{m}$ — $1.55\ \mu\text{m}$ ）波段对光的吸收系数很低，单纯使用硅材料无法用作近红外光电探测的研制。近些年来，使用 III-V 族化合物材料来制备近红外探测器已经取得了不错的进展，但是使用 III-V 族化合物材料制备光电探测器的工艺与 CMOS 工艺无法兼容，这为 III-V 族化合物材料在硅光集成技术上进行光电探测器的研制带来了很大的困难。于是我调研了国内外有关近红外探测器在硅光集成方面研究的文献，有关国内外研究现状的详细情况将在本章的 1.3 节中重点介绍。经过调研发现，金属锗可以作为近红外光电探测器的光吸收层，并且国外对硅基上锗光电探测器的研究已经取得了不错的进展。金属锗用作光电探测器的吸收层一方面因为金属锗具有在近红外（ $1.3\ \mu\text{m}$ — $1.55\ \mu\text{m}$ ）波段比较高的光吸收系数，这一点相比硅材料优势明显；另一方面锗和硅都是属于 IV 族元素，在硅基上外延生长锗薄膜的工艺与现在成熟的 CMOS 工艺兼容性很好。虽然硅（晶格常数约为 0.357nm ）和锗（晶格常数约为 0.357nm ）的晶格失配大约为 4.2%，尽管这是比较大的晶格失配，但随着近些年来，人们开创了很多工艺方法在硅上外延生长出了高质量的锗薄膜，外延设备和技术的不断进步也使制备得到的锗层的位错密度和表面粗糙度不断下降。

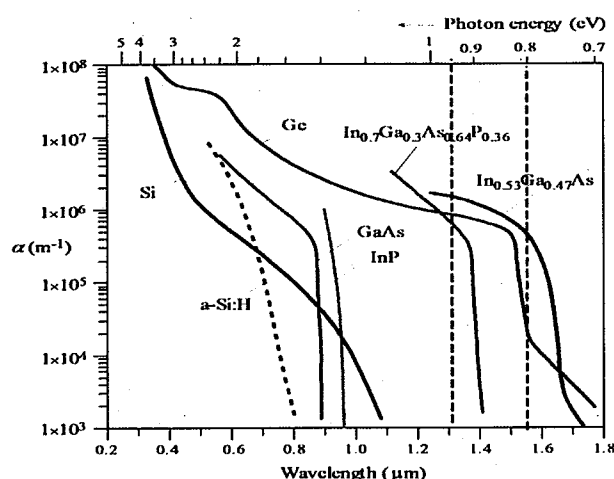

 图 1-3 半导体材料的光吸收系数示意图^[5]

 Fig. 1-3 Schematic diagram of light absorption coefficient of semiconductor materials^[5]

综上所述，硅光集成技术解决了传统集成电路发展过程中遇到的瓶颈，同时我们着眼于应用广泛的近红外光波段的光电探测领域，选择了业界共识的锗材料作为光吸收层。目前主要存在两种波导集成探测器的结构，如图 1-4、1-5 所示。本论文将提出一种 PIN 型的波导集成的硅基锗探测器结构，围绕硅基光波导集成锗探测器进行研究，依靠硅光子技术的发展，侧重光电探测领域，不同于传统的提高集成电路集成度的方法，本论文的课题研究对于我国硅光集成芯片的研究和集成电路集成度的提高具有一定的借鉴意义。

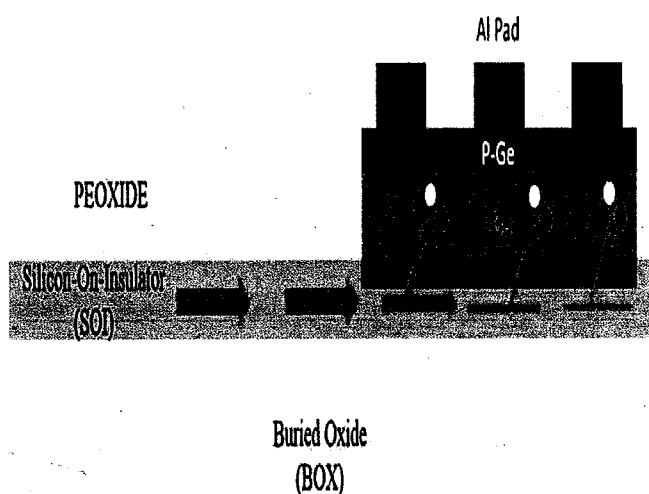


图 1-4 垂直结构的波导集成锗探测器

Fig. 1-4 Vertical structure waveguide integrated germanium detector

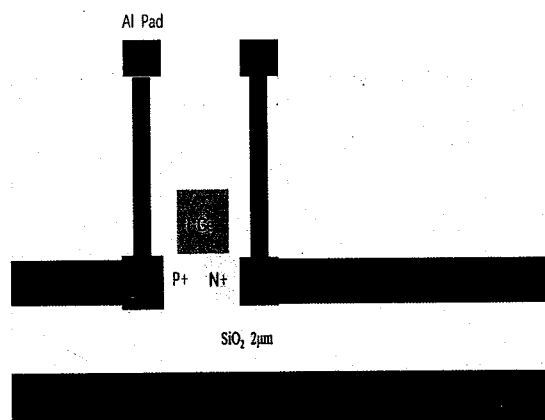


图 1-5 水平结构的波导集成锗探测器

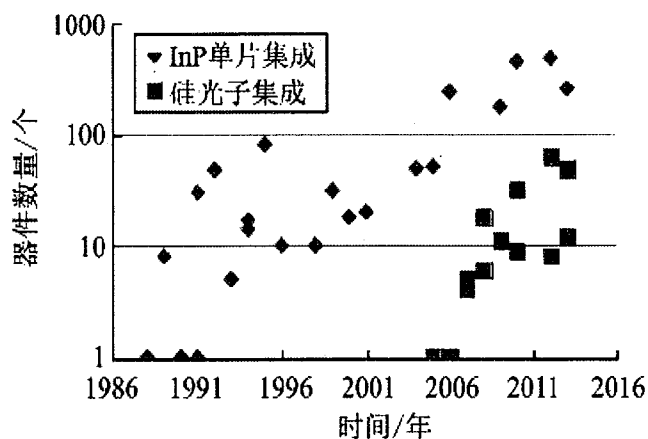
Figure 1-5 Waveguide integrated germanium detector with horizontal structure

1.2 硅光子技术的发展

硅光子技术，也叫作硅基光电技术，它是把硅和硅基作为衬底，属于新一代技术。衬底材料主要是 SOI（硅上绝缘体），该技术利用发展成熟的兼容工艺来进行光器件的开发研究，在硅基平台上结合了微电子和光电子，是一门交叉科学。硅光子技术一方面利用了大规模集成电路的集成所带来的价格低廉优势；另一方面又充分发挥了光电器件电路自身所具有的高抗干扰性、高带宽等优势，在人工智能、物联网发展、超级计算等领域展现了巨大的作用，前景广阔。

1.2.1 硅光技术的发展背景和意义

历史上，1972 年美国加州理工学院的 Yariv 教授等人提出光电集成的概念，并率先于 1978 年研制出世界上第一个仅由一个短波长（850nm）GaAs 激光二极管和一个 GaAs 耿氏二极管构成^[6]的光电集成单片。在 1985 年左右，波导理论被提出，基于波导理论的硅光子技术开始发展起来。进入 21 世纪初，硅光技术实现了从理论到产业的转变，一批像 Luxtera、Kotura 的开创探索者不断推动着硅光技术和硅光产业链的发展，很多的硅光芯片代工厂简建立形成了起来，同时还包括一些硅光芯片设计和封装的企业。在集成电路中，将光学元件和电学元件结合到电路中的独立芯片模块中，用光通路信号去代替电子成为新的信息传输载体，具有很广阔的前景。

图 1-6 硅光技术产业的发展历程^[7]Figure 1-6 The development history of the silicon optical technology industry^[7]

另一方面推动硅光技术发展的动力则是集成电路发展的现状，众所周知，集成电路行业的发展在摩尔定律的指导下已经有五十多年了，随着集成电路的集成度不断提高，器件的特征尺寸已经越来越小了，但是在集成度不断提高的过程中，器件的散热、功耗、速度却已经严重制约了微电子行业继续向前发展；同时，科学发展到今天，每天都会有大量的数据产生，并且还要快速处理这些海量的数据，通信和计算机行业需要它们相关的功能器件具有更快的处理速度和传输速率，但是鉴于微电子技术似乎已经遇到了发展上的瓶颈，集成电路仅仅依靠电子作为信息传输的载体已经很难满足需求了。而硅光技术的发展则正好能够解决这一问题。

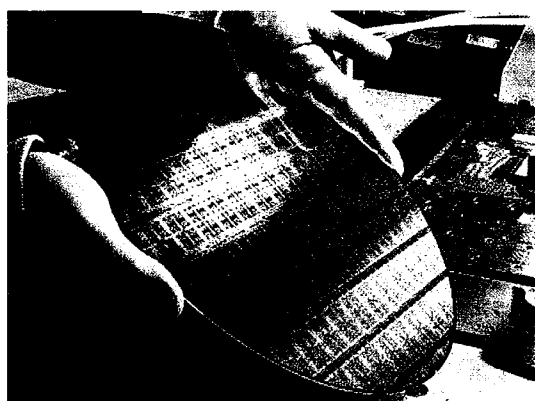


图 1-7 IBM 公司展示首款研制的硅光芯片

Figure 1-7 IBM shows the first silicon optical chip developed

在海量数据和超快速度的巨大压力之下，电子芯片在性能上遇到了瓶颈。所以我们要把光子引入到芯片中，使光子和电子相互作用，从而解决这个问题^[8]；基于硅光技术的光子芯片则拥有速度上的绝对优势，能够解决电子芯片发展过程中所遇到的问题。可以预见，硅光技术可以使芯片集成度得到提升，芯片的运算速度得到巨大提升，同时能够解决散热、功耗的问题，能够使摩尔定律很好的延续下去。目前硅基光电技术正在呈现以井喷式的蓬勃发展状态，相信硅光技术将会给传统集成电路行业带来一场革命，并带动新一代的微电子学继续向前发展。

1.2.2 硅光技术的应用和发展中的问题

硅光技术应用微电子技术的方法进行加工，即硅光集成技术，这种技术本身具有高度集成、高传输速率等传统集成电路不具备的巨大优势，在消费电子、量子通讯等领域有着广阔的应用需求和发展空间。高度集成的硅光技术可以使像手机、相机、笔记本电脑等消费电子产品拥有更多的功能，可以很好的应用到消费电子领域；智能驾驶应用了车载的激光雷达，雷达需要很多的激光发射器和接收器，硅光集成技术的高度集成特性非常适用于车载激光雷达，以后随着自动驾驶的成熟和普及，智能驾驶将会成为硅光技术的重要应用领域；量子通信是新兴的一种通信技术，它在信息加密、长途干线保密等方面有很大的用途。量子通信需要制备纠缠态的光子，并对其进行操作和分析，硅光技术非常适合复杂的光路控制和高集成度，基于硅光的量子通信芯片有望成为未来重要的技术方案^[9]。

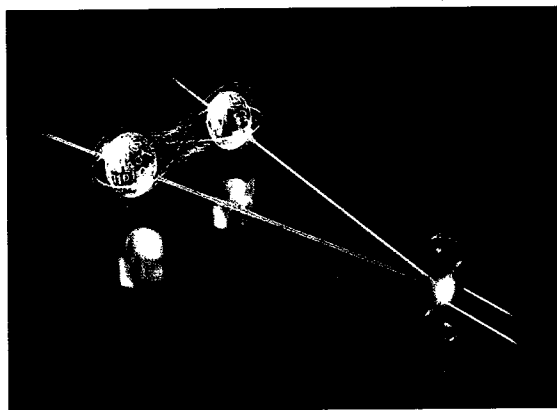


图 1-8 量子通信中的具备纠缠状态的光子^[9]

Figure 1-8 Photons with Entanglement in Quantum Communication^[9]

虽然硅光技术相比传统微电子技术有着一些明显的优势，但是硅光技术发展的时间远远不如已经发展了五十年的集成电路行业，很多方面发展还不太成熟。相比传统集成电路成熟的制造工艺，硅光芯片的工艺发展不太成熟，目前还存在很多的问题，比如现在制造硅光芯片的设备还很紧缺，产品设计标准还没有统一，制造硅光芯片的设备自动化程度不高等问题，这一系列问题导致硅光芯片的制作成本很高，并且良品率低；封装也是硅光芯片所要面临的巨大问题之一。硅光芯片的封装主要分为两个部分，分别是光学部分和电学部分。从光学部分的封装来说，因为硅光芯片所使用的光波长一般都是非常小，存在和光纤不匹配的问题，这会导致耦合损耗比较大。这是硅光芯片封装与传统封装相比最大的区别^[9]。不过随着硅光集成技术越来越受到人们的关注，未来相信这些问题会被一一解决的。

1.3 硅基波导集成锗探测器的研究进展

硅基光子技术在近些年来已经成为了国内外研究的热点，和传统的微电子行业交叉结合之后，形成了硅基光子集成技术。随着人们深入研究发现，硅基光子集成技术具有与 CMOS 工艺兼容、抗干扰性强、信息传输速率快的优势，让似乎已经走到尽头的摩尔定律能够延续下去。

光电探测器作为微电子行业应用最广泛的器件之一，同时也是光通信的重要器件，一直以来都是微电子行业的研究重点。硅光技术自身抗干扰性强、传输速率快的优点可以使光电探测器的性能更进一步。硅因为是间接半导体材料，光电转换的效率不高，一直以来都不是制备高性能光电探测器的理想材料。然而 III-V 族化合物材料和锗材料的出现解决了硅材料发光效率低的问题。虽然 III-V 族材料在近红外波段（ $1.3\ \mu\text{m}\sim 1.5\ \mu\text{m}$ ）具有很高的吸收系数，但是制备 III-V 族化合物材料的工艺与现在成熟的微电子工艺并不兼容，这些都使由 III-V 族材料制备的光电探测器无法在硅基上集成。而锗材料则具有很多 III-V 族化合物材料不具有的优势，首先锗和硅都是 IV 族元素，外延锗薄膜的工艺和现在成熟的 CMOS 制备工艺兼容，而且金属锗在近红外波段（ $1.3\ \mu\text{m}\sim 1.5\ \mu\text{m}$ ）的吸收系数高，并且锗在较高的光波段有着高的载流子移动率。虽然硅锗之间有着比较高的晶格失配，硅的

晶格常数约为 0.54nm，锗的晶格常数约为 0.57nm，晶格失配公式：

$$c = \frac{2(b-a)}{a+b} \quad (1-1)$$

式 (1-1) 中，b、a 分别代表两种材料的晶格常数，b 代表两种材料中晶格常数比较大的一种，c 表示计算出来的晶格失配百分比，经过计算，硅、锗大约有 4.2% 的晶格失配，但是随着人们不断提升外延锗薄膜的工艺，现在已经可以制备得到高质量的锗薄膜了，这为制备高性能的硅基锗光电探测器及其集成奠定了基础。

1.3.1 硅基锗探测器的研究进展

早期人们对硅基锗探测器的研究大多是集中在结构相对简单的垂直型光电探测器，这种结构的光电探测器除了结构简单，设计起来比较容易之外，在器件的工艺方面也比较好制备。

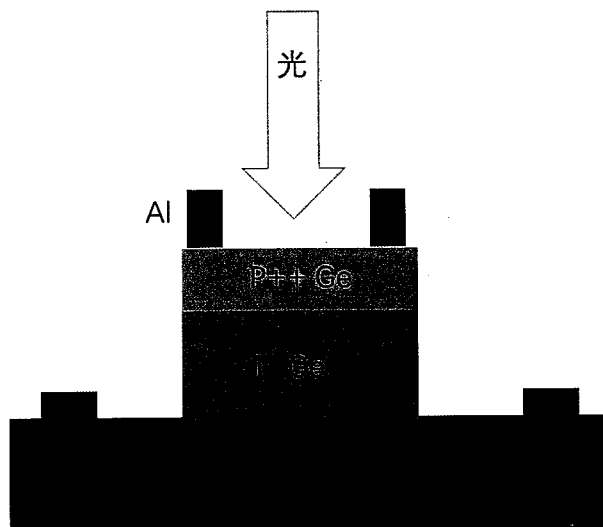


图 1-9 面入射型锗光电探测器示意图

Fig. 1-9 Schematic diagram of incident germanium photodetector

有关 Ge 的 PIN 型的红外光电探测器研究文献最早可见在 1972 年，一平^[10]等人在扩散锂的基础上，利用锂在反向电压的漂移下，通过锂中的正离子进入到整个锗层中，通过补偿受主形成本征层，结构如图 1-10 所示。该结构在 1600nm 波长下的测试中显示灵敏度最高，测得的外部量子效率为 0.66。在 80 年代，金属锗材料的外延生长技术还没有发展起来，虽然该结构不是基于硅基材料的，但是通过测试的数据可见，金属锗作为光的本征吸收层对较长光波段的光吸收有着良好的表现，锗光电探测器在红外波段有着不错的性能。

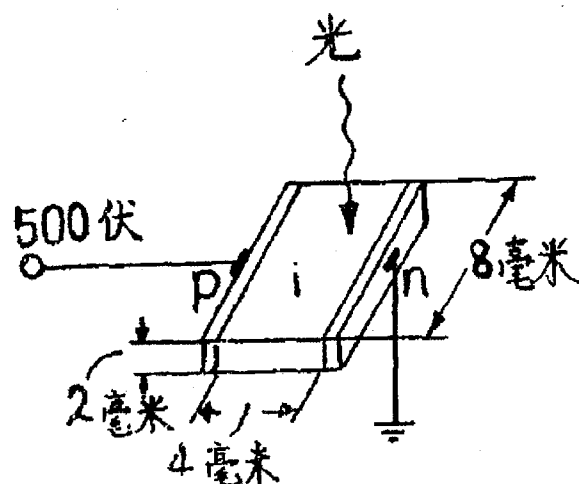

 图 1-10 一平等人制备的锗红外探测器结构示意图^[10]

 Fig. 1-10 Schematic diagram of germanium infrared detector prepared by Yiping et al^[10]

随后几十年中，锗光电探测器的发展陷入了停滞，很大程度上是受限于锗材料外延生长工艺无法取得突破进展，而外延生长的锗层质量又决定了锗光电探测器的性能。随着人们不断对锗外延工艺的探索。

在 1998 年，SB Samavedam^[11]等人利用优化的 $\text{Ge}_x\text{Si}_{1-x}$ 缓冲层技术外延生长锗薄膜，他们在锗薄膜生长 $\text{Ge}_{0.5}\text{Si}_{0.5}$ 梯度结构中，使用化学机械抛光（CMP）对缓冲层进行处理，析出了外延生长中的位错，大大缓解了缓冲层中的应力，位错的密度明显下降，从而生长出了高质量的锗层。他们最终制备的 PIN 型锗探测器在 -1V 的反偏电压下测得暗电流密度为 $0.15\text{mA}/\text{cm}^2$ ，是当时集成在 Si 衬底上的 Ge 二极管的最低暗电流密度的记录，也表明制备的锗层质量很高；但是在 $1.3\mu\text{m}$ 波长的激励下，该探测器的量子效率只有 12.6%，图 1-11 是该探测器的结构和测试结果。

2009 年，Dongwoo^[12]等人利用减压化学气相沉积法（RPCVD）生长出了质量很高的锗层，在 -1V 的反偏电压下，暗电流密度低至 $4.63\text{mA}/\text{cm}^2$ ；在 1550nm 的波长激励下，探测器的响应度为 $0.47\text{A}/\text{W}$ ，3-dB 带宽更是达到了最高的 36GHz ，以上的测试结果是当时高响应度和高带宽方面的最高纪录。同时证明了利用 RPCVD 制备 Ge 光电探测器可以大幅提高探测器的性能，其关键在于 RPCVD 可以在硅衬底上生长出和硅匹配的锗层。图 1-12 中的 b 图可以看出 Ge 原子在晶格尺度上与

硅衬底相匹配, 说明了 RPCVD 法大大改善了外延锗的质量。

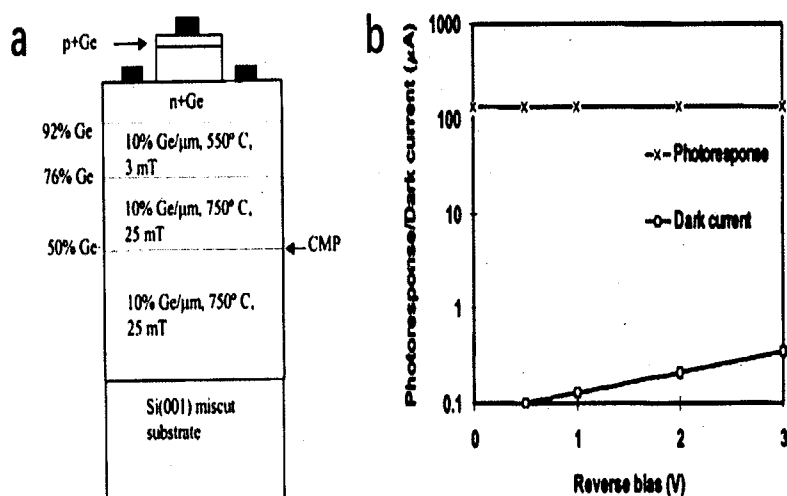


图 1-11 (a) SB Samavedam 等人所制备的探测器结构和 CMP 工艺改善示意图^[11]; (b) 该器件在 1.3 微米波长激励下的光响应和暗电流^[11]

Fig. 1-11 (a) Schematic diagram of detector structure and CMP process improvement prepared by SB Samavedam et al. ^[11]; (b) Optical response and dark current of the device at 1.3 micron wavelength excitation^[11]

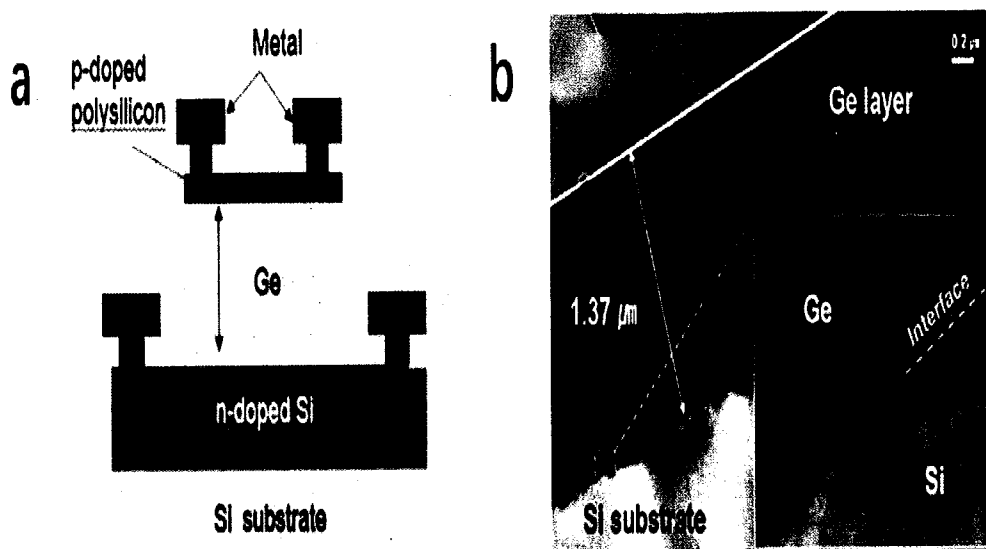


图 1-12 (a) Dongwoo 等人所制备的锗垂直探测器结构^[12]; (b) RPCVD 法在硅衬底上生长 Ge 的透射电镜横断面图像^[12]。

Fig. 1-12 (a) Structure of germanium vertical detector prepared by Dongwoo et al ^[12]; (b) Transmission electron microscopy image of GE growing on silicon substrate by RPCVD method^[12]

表 1-2 近二十年垂直结构 PIN 型锗探测器的主要性能参数^[13,14,15,16,17,18,19]

年份	暗电流 (nA)	响应度 (A/W)	3-dB 带宽 (GHz)
2008	30	0.47	18.9
2009	13.9	0.32	12.04
2010	1000	0.23	-
2011	30 μ A	0.37	-
2013	52	0.68	25.2
2015	341	0.84	13.4@-2V
2017	50	0.27@0V	38@-1V

注：表中未给出明确说明的，性能参数均在反偏电压为-1V、激励波长为 1550nm 下测试得到，“-”表示相关参考文献没有给出对应参数。

随着锗外延技术的不断发展，外延生长得到的锗薄膜质量越来越高，由锗制备的光电探测器性能也越来越好。工艺方面的改善使分立的硅光器件性能大幅提高，这为以后硅光器件的集成技术奠定了基础。

1.3.2 硅基锗探测器波导集成方面的研究进展

1969 年，美国贝尔实验室的 Miller 首次提出了“集成光学”(Integrated Optics)的概念^[20]。该概念的中心思想就是将分立的耦合器、光波导等光学元器件集中在同一个基底上，让其成为具有特定功能的光学芯片。与传统的集成电路不同，这种集成光路降低了成本和能耗，大幅度降低了器件的尺寸。在集成光路发展的过程中，硅基材料最终成为了最合适的基底材料选择，其实早在上世纪 80 年代，硅材料作为集成光子学材料的可能性就被 R. A. Soref 等提出^[21]。硅基材料有很多独有的优势，首先硅基材料和很多化合物的工艺相兼容；其次硅在土中的含量很高，成本很低；另外对光电探测器的集成光路而言，硅材料有着很好的光学性质，硅波导的光损耗很小。这些独特的优势使硅基成为了集成光路基底材料最好的选择。

集成光路的快速发展引起了人们的关注，而摩尔定律在集成电路这里似乎也走到了尽头，光芯片被认为是目前突破集成电路发展瓶颈的有效方案，同时硅材

料和锗材料在作为基底和光吸收层方面具有很多的优势，不再赘述，波导集成型硅基锗光电探测器的研究应运而生了。简单来说，就是在硅基底上制备出锗光电探测器，光信号通过波导传输后耦合进入到光电探测器中，然后探测器将光信号转换为电信号，如图 1-13 所示。

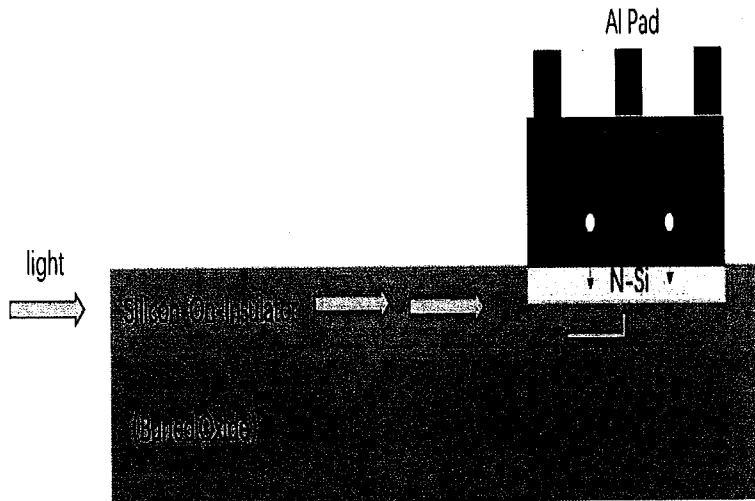


图 1-13 波导集成型锗探测器的工作示意图

Figure 1-13 Schematic diagram of the operation of waveguide integrated germanium detector

随着集成光学和波导理论的发展，在 2006 年，Liu J. F^[22]等人制备出了第一个性能较强的波导集成型 PIN 锗探测器。他们在硅基平台上演示了两种不同的探测器耦合方式：对接耦合和倏逝耦合。他们都制备了这两种耦合方式的锗探测器，并且比较了两种探测器的性能。采用对接耦合方式制备的锗光电探测器在激励波长 1520nm 下的光响应度高达 1.0A/W，带宽高达 4.5GHz；倏逝耦合方式的探测器在相同测试条件下得到的光响应度和 3-dB 带宽远不及前者。采用对接耦合方式的探测器性能突出，但是工艺上的实现要更复杂。因为在实现对接耦合方式时，为了减少锗层和波导接触面的端面反射，减少光损耗，就需要波导和探测器实现无缝对接，这显然对波导集成工艺带来了很大的挑战。相比较来说，倏逝对接方式在工艺上的实现要简单一些。这两种对接方式都各有优点，它们成为了以后设计波导集成锗探测器的主要参考结构。

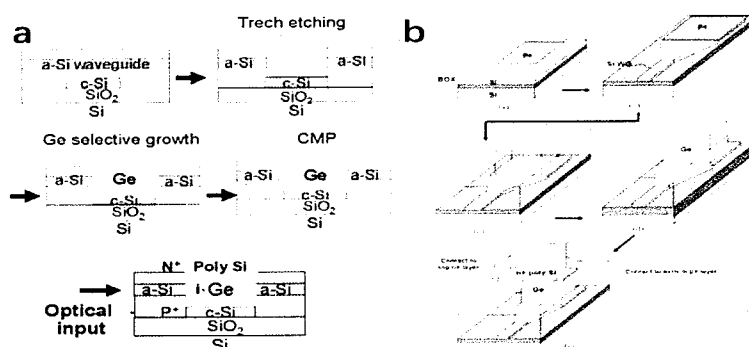


图 1-14 Liu J. F 等人制备的两种不同对接方式的探测器结构^[22] (a) 对接耦合方式结构及其工艺流程示意图; (b) 倏逝耦合方式结构及其工艺流程示意图。

Fig. 1-14 Detector structures with two different docking modes prepared by Liu J. F et al. ^[22] (a) Schematic diagram of docking coupling mode structure and its process flow; (b) Diagram of evanescent coupling structure and its process flow.

2007 年, Yin Tao^[23]等人采用倏逝耦合的方式制备了硅基脊形波导的 PIN 型锗探测器, 该探测器在 -1V 偏压下, 带宽测试高达 31GHz; 同样偏压下, 暗电流密度为 27mA/cm², 这是相对较低的数值; 在宽光谱激励下的光响应度均超过 0.8A/W, 表现不俗。可以看出采用倏逝耦合的方式可以兼顾到光响应度和带宽, 同时使用选择性生长工艺, 即锗层高低温生长的工艺, 进一步降低锗层的位错密度, 27mA/cm² 的低暗电流密度表明了锗层质量很好。Yin Tao^[23]等人展示了具有低暗电流、高量子效率和高速数据传输能力的 Ge 脊形波导光电探测器。

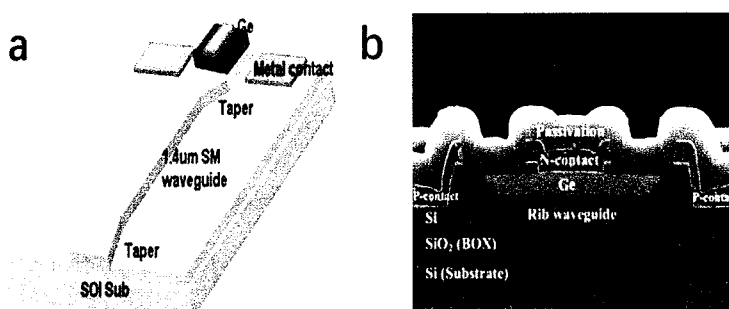


图 1-15 Yin Tao^[23]等人的工作 (a) 硅基脊形波导的 PIN 型锗探测器结构图; (b) 探测器的 SEM 图像

Fig. 1-15 Work of Yin Tao^[23] et al. (a) Structure diagram of PIN type germanium detector based on silicon ridge waveguide; (b) SEM image of the detector

随着锗外延工艺越来越成熟，同时在前人的基础上人们不断对锗光电探测器的两种基本结构进行优化，后续制备的波导集成锗探测器性能越来越突出，而探测器的高带宽、高响应度和低暗电流大大提高了光电芯片的性能。2006 年，Chen H.^[24]等人通过 CMOS 工艺的兼容性，在硅波导向锗波导耦合的过程中，添加了一个锥形的多晶硅 (Poly-Si)，该做法提高了光的耦合效率，使制备得到的锗探测器性能表现优异。在-1V 的反偏电压下，暗电流低至 3nA，在 1550nm、1330nm 的激励波长下，光响应度更是分别高达 0.74A/W 和 0.93A/W, 3-dB 带宽的测试结果也均在 45GHz 之上。

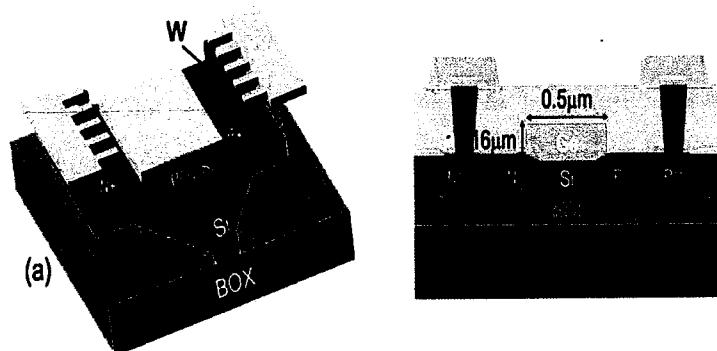


图 1-16 Chen H.^[24]等人制备的器件 (a) 器件的三维立体结构; (b) 器件的截面示意图

Fig. 1-16 The three-dimensional structure of the device (a) prepared by Chen H.^[24] et al.(b) Diagram of cross section of the device

表 1-3 近二十年波导集成型 PIN Ge 光电探测器的研究进展^[25,26,27,28,29,24,30]

年份	暗电流 (nA)	响应度 (A/W)	3-dB 带宽 (GHz)
2007	10^3	1.08	7.2
2010	1.3×10^3	1.06	32.6
2012	4×10^3	0.8	120@-2V
2014	50	1.0	33
2015	3.3	1.0	20
2016	3.0	0.74	>45
2018	42	0.43@-2V	48@-2V

注：表中未给出明确说明的，性能参数均在反偏电压为-1V、激励波长为 1550nm 下测试得到，“-”表示相关参考文献没有给出对应参数。

集成光路和集成电路发展的最终目的是一样的，同样也是不断集成，来实现功能的多样化。虽然波导集成的光学器件尺寸和集成电路器件相比还是比较大，但是在频率反应速度上已经远远超过集成电路了，这也是集成光路的意义所在。近些年，波导集成的光学元器件也正在呈现微型化、低功耗等方向发展，但是尺寸密度方面还不及传统集成电路集成密度，仍然有很长的路要走。

1.4 论文的研究内容和结构安排

本文在深入调查硅基光电探测器的基础上，同时在国家重点科技项目《硅基多层三维集成芯片及工艺技术研究》的支持下，提出了一种波导集成水平结构 PIN 型的锗光电探测器，并完成了从器件设计、工艺制备、结构表征、测试分析等一系列工作，重点研究了外延锗工艺对探测器光电性能的影响，并提出了一些工艺优化方案，本文所做工作展现了硅光平台制造高密度硅光芯片的潜力和能力，对硅光集成电路和光电探测器的研究具有一定参考和借鉴意义。本论文的组织结构安排如下。

第一章：首先介绍了硅光技术的背景和发展意义，论述了传统集成电路发展的瓶颈和波导集成锗探测器在红外波段的发展现状，阐明了在硅光技术的支持下，进行波导集成锗探测器研究和制备的意义。

第二章：梳理了不同结构的光电探测器的工作原理，同时对不同结构的探测器进行了对比，阐明了各自的优缺点；然后详细介绍了光电探测器的主要性能参数；最后我们总结了波导集成型锗探测器的结构类型。

第三章：完成了对波导集成型锗探测器的基本器件设计，包括衬底选择、光吸收层、光耦合方式等；重点介绍了外延锗薄膜工艺，包括它的发展现状和本次外延锗薄膜的具体工艺流程，随后具体讲述了本次器件制备的整个工艺过程。

第四章：使用隧道电子显微镜（SEM）等主要表征手段对探测器的主要部分进行了详细表征，并对表征结果进行了分析；随后完成了对探测器暗电流、光响应度、3-dB 带宽等主要参数进行了测试，同时对测试结果进行了半导体器件理论上的分析。

第五章：总结了全文所做工作，提出其中的不足之处，并尝试提出一些提高

器件性能的工艺方案。

第二章 PIN 型光电探测器的基本工作原理及其仿真研究

本章主要讲述光电探测器的基本工作原理，其中将重点详细讲述 PIN 型光电探测器，包括它的结构，工作原理和主要性能参数等，然后详细讲述了波导集成型的 PIN 光电探测器种类和结构，最后用半导体器件仿真软件 silvaco 对 PIN 型的两种不同结构的锗光电探测器进行了仿真研究，阐明了它们的工作运行机制，并做了一些比较。

2.1 引言

光电探测器作为微电子领域最常用的半导体器件之一，一直以来都是人们研究的重点。光电探测器是一种将光信号转换为电信号的半导体器件，它本身具有广泛的应用。光电探测器的微观工作机制是光吸收材料的光电效应。半导体的光吸收机制有很多种，主要包括了本征吸收、自由载流子吸收、激子吸收等光吸收机制，这其中本征吸收是光电探测器最主要的光吸收机制，是本论文所研究的波导集成锗光电探测器的理论基础。

2.2 光电探测器的基本工作原理

简单来说，光电探测器由宏观到微观主要有三个工作过程：首先满足入射条件的光照射到半导体材料上，电子吸收光子后向高能级跃迁，产生电子空穴对；之后通过施加电压产生电场，电子空穴对在内部电场的作用下分离，通过某种电流增益机制倍增；最后在电极处收集形成电流，达到了将光信号转换为可检测到的电信号的目的。

每种半导体材料都有自己的本征吸收波长，材料的禁带宽度决定可吸收的波段。当照射光的能量满足 $h\nu > E_g$ (E_g 为半导体材料的禁带宽度， h 为普朗克常数， ν 为光的频率) 时，材料内部才会被激发产生载流子，这里的 $h\nu$ 指所有被材料完全吸收的光的能量。我们由 $h\nu = E_g$ ，可以得到材料所能吸收到的最大的波长为：

$$\lambda = \frac{hc}{E_g} \quad (2-1)$$

式中的 c 为光速。当光电探测器处于工作状态时，在工作波长下，它应该具有高的响应度、高带宽、低暗电流等，这同时也是光电探测器的主要性能参数，本章在 2.3 节中会对其有详细介绍。

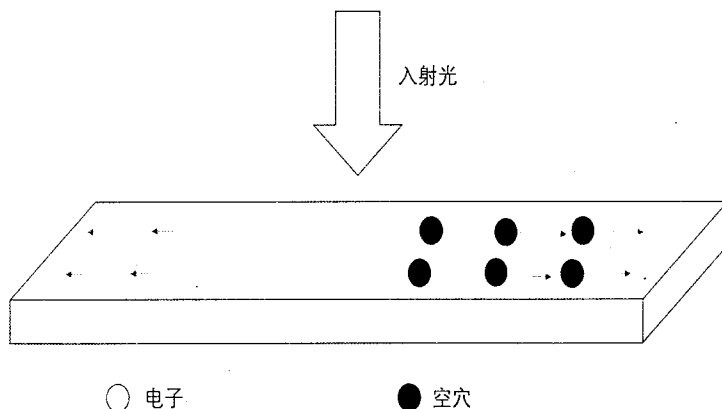


图 2-1 光电效应微观示意图

Fig. 2-1 Microscopic schematic diagram of photoelectric effect

尽管光电效应是光电探测器最基本的工作原理，但是光生载流子在产生之后，载流子在半导体器件内部的行为和器件内部的电场分布是光电探测器非常重要的两个环节。随着对光电探测器的深入研究，人们提出了多种具有不同结构的光电探测器，比如 PN 结光电二极管、雪崩光电二极管、PIN 光电二极管、M-S-M 光电二极管等。这些光电二极管虽然都是基于光电效应基本原理，但是它们的传导机制、工作条件和应用场合却不尽相同。下面将简要介绍三种探测器结构，其中将重点介绍 PIN 型光电二极管，以及它在作为波导集成型锗探测器的结构方面的优势。

2.2.1 PN 结光电二极管的工作原理

半导体主要分为 P 型半导体和 N 型半导体，P 型半导体内部空穴很多电子很少，依靠空穴导电；N 型半导体内部电子很多空穴很少，依靠电子导电。PN 结光电二极管是一种结构比较简单的光电探测器，我们在一块本征半导体上进行掺杂，这样半导体就被分成了两部分，分别为 P 型半导体和 N 型半导体。在 P 型和 N 型半导体的接触面，由于空穴和电子会存在浓度差，空穴会由 P 区向 N 区扩散，留

下大量负离子，同样电子会由 N 区向 P 区扩散，留下大量正离子。这样在 P 区、N 区交界处会形成一个空间电荷区，也叫 PN 结区。在这个电荷区内会有内建电场，该电场由正、负离子构成，由正离子指向负离子，即由 N 区指向 P 区。电子会在内建电场的作用下向 N 区移动，形成漂移电流，同时电子向 P 区的扩散运动也在进行着，两种运动实现动态平衡，空穴的分析同电子，不再赘述。在漂移运动和扩散作用的双重影响下，空间电荷区内部的载流子数量很少，呈现高阻态，我们称之为耗尽层。扩散运动会产生正负离子，使耗尽层变宽；而漂移运动会让载流子和正负离子复合，使耗尽层变窄。具体示意如图 2-2 所示。

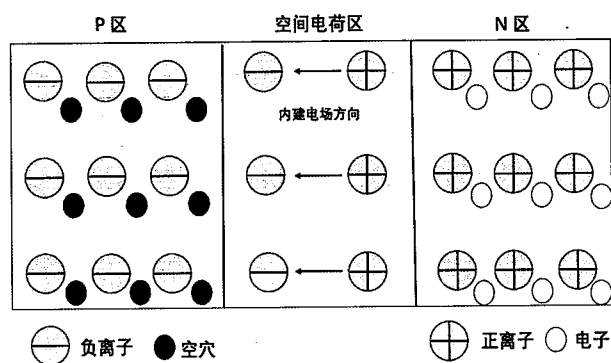


图 2-2 处于平衡状态下的 PN 结示意图

Fig. 2-2 Schematic diagram of PN junction in equilibrium state

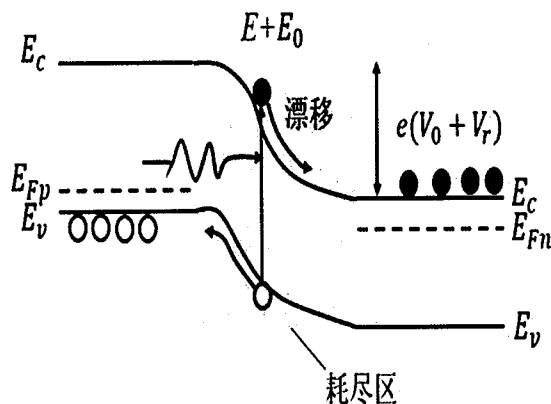


图 2-3 在反偏电压下的 PN 结能带示意图

Fig. 2-3 Schematic diagram of PN junction band under reverse bias voltage

当 PN 结接受光照射时，内部会产生大量电子空穴对，并向结区扩散。距离空间电荷区一个扩散长度内的电子空穴对会在内建电场的作用下分离，光生电子进

入到 N 区，光生空穴进入到 P 区，这时候如果将 P、N 区短路，就会产生光电流。光电流大小为：

$$I = I_0 \left(e^{\frac{eU}{kT}} - 1 \right) - I_p \quad (2-2)$$

其中 I_0 、 U 、 k 、 T 、 e 、 I_p 依次为反向饱和电流、PN 结偏置电压、玻尔兹曼常数、温度、基本电荷量、光电流值。

实际上空间电荷区相对于 P、N 区是很窄的，大量的光生载流子无法进入到内部电场区被吸收，而在距离空间电荷区一个扩散长度内的光生载流子则可以通过扩散运动进入到空间电荷区，但实际上这部分载流子有很大一部分在扩散过程中复合了，只有一小部分载流子对光电流有实质贡献。这导致光电转换效率和量子效率很低，同时扩散运动的速度很慢，导致探测器的响应速度也很低。对于 PN 结而言，空间电荷区很窄，不利于光生载流子进行漂移运动是造成 PN 结探测器性能差的主要原因。因此人们对 PN 结构进行改良，在 P、N 结中间加入比较宽的本征层 I，降低了结电容，能够吸收大部分光生载流子，能够大幅度提高光响应度和光响应速率，这就是 PIN 型光电探测器，将在 2.1.3 节重点讲述。

2.2.2 雪崩光电二极管的工作原理

雪崩光电二极管是利用高偏压下，光生载流子被加速到一个很高的速度后与晶格发生碰撞，由此持续产生更多的载流子。具体来讲，在 PN 结上加上 100V~200V 的高电压，在强内电场的加速下，光生载流子获得很高的速度，与晶格发生碰撞，晶格中的电子被电离，该过程不断重复，短时间内积累大量载流子，最终形成了雪崩效应。如图 2-4 所示。不难分析出，在高的 PN 结偏置电压下，结电容会变小，光生载流子的渡越时间很小，这会使雪崩光电二极管的光响应速度和响应度很高。在弱光检测场合中，雪崩光电二极管会有不错的增益。但是在较强光检测中，载流子的雪崩运动会带来较大的噪声和光电流的失真，而 PIN 型光电二极管在这一点上则可以避免。

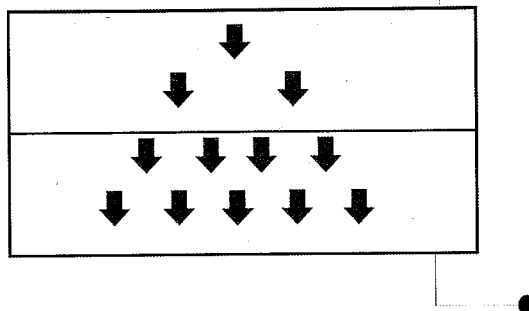


图 2-4 雪崩光电二极管工作示意图

Figure 2-4. Schematic diagram of operation of avalanche photodiode

2.2.3 PIN 光电二极管的工作原理

PIN 光电二极管是在 PN 结光电二极管的基础上经过改良后提出的，由于 PN 结的耗尽层较窄，存在光响应度小和响应速度慢的问题，我们在 PN 结的结构上加入了一层较厚的本征层，通常称它为 I 层。该层的掺杂浓度很低，可以保证在反偏电压下，该区域几乎无载流子存在，即全部耗尽。示意图如图 2-5^[31]。

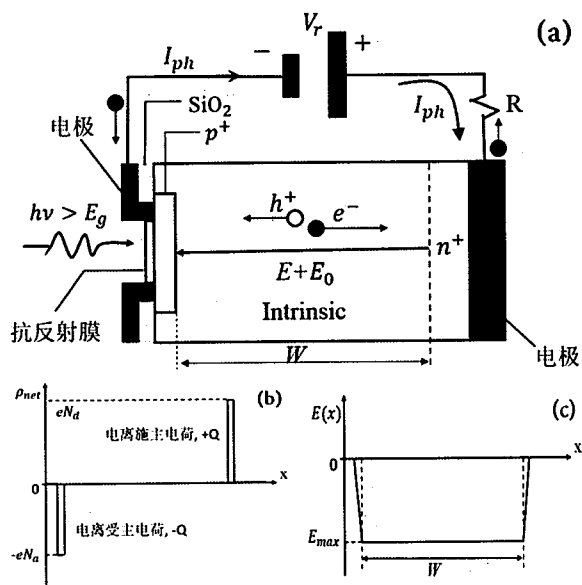


图 2-5 PIN 光电探测器工作示意图：(a) 结构和工作模式 (b) 净电荷分布 (c) 电场分布

Figure 2-5 Operation Diagram of PIN Photodetector : (a) Structure and Operation Mode; (b) Net Charge Distribution; (c) Electric Field Distribution

加入了本征层后的 PIN 光电二极管有以下几个优势：1、本征层几乎没有杂质

离子，光生载流子在输运过程中没有杂质散射，在一定程度上提高了光响应度和响应速度；2、本征层比较宽，可以吸收绝大部分的光生载流子，有效的光吸收区域扩大，大幅提高了探测器的灵敏度；3、同时宽的本征层也降低了结电容，提高了响应速度，在高频率场合下适用。此外，这种 PIN 型的结构可以做成波导结构，波导本身在光吸收方面有很大优势，这在 1.3.2 节中已经提及，从而更进一步地提高了 PIN 型光电探测器的性能。

当然，本征层不能过宽，太宽会延长载流子在耗尽区的漂移时间，降低器件的响应速度，降低带宽；如果宽度不够理想，有效光吸收区域不大，则会降低器件的光响应度。这种光响应度和带宽方面的相互制约一直以来是 PIN 型光电二极管存在的问题，找到合适的本征层厚度成为人们一直研究的重点。

2.3 光电探测器的主要性能参数

光电探测器可以将光信号转换为电信号，在工作时应该具有高的光响应度、低的暗电流、高的量子效率等，同时这些重要的参数也表征着一款光电探测器的性能水平，下面我们将详细介绍量子效率、光响应度、暗电流及 3-dB 带宽等光电探测器的主要性能参数。

2.3.1 量子效率

量子效率从微观上表征探测器的光电转换能力，简单来说，即每个入射光子所产生的电子-空穴对数目。我们从前几节探测器的原理分析知道，实际上入射光子不会被器件完全吸收，而且即便吸收光子后所产生的光生载流子也不会完全被电极吸收形成光电流，所以量子效率总是小于 1 的。量子效率又分为外量子效率和内量子效率。

外量子效率实际上是器件的光吸收效率，主要受探测器对光的反射、散射、衍射等因素影响。有以下公式表达：

$$u = \left(\frac{I_p}{q} \right) \left(\frac{P_{opt}}{h\nu} \right)^{-1} \quad (2-3)$$

其中 I_p 指探测器吸收波长为 λ 后所产生的光电流，波长 λ 对应的光子能量为 $h\nu$ ， P_{opt}

表示光的入射功率， u 表示探测器的外量子效率。一般我们可以通过减少器件表面的反射来提高外量子效率，从而增加了耗尽区对光的吸收。

内量子效率指每吸收一个光子所产生的电子空穴对数目，主要受器件内部光生载流子的复合损耗、辐射和杂质散射等因素影响。我们可以通过提高材料质量来减少光生载流子的复合，提高内量子效率。除此之外，器件整体的量子效率还受吸收系数 a 的影响，同样的材料，不同的波长对应着不同的 a 。

2.3.2 光响应度

光响应度宏观上表征光电探测器的能量转换能力，定义为单位入射光的能量（ P_{opt} ）所产生的光电流（ I_p ），通常用 R 表示，单位为 A/W ，光响应度和工作波长的关系如图 2-6 所示，光响应度 R 由以下公式定义：

$$R = \frac{I_p}{P_{opt}} \quad (2-4)$$

光响应度 R 本身和量子效率 u 有公式联系，存在如下的转换关系：

$$R = \frac{I_p}{P_{opt}} = \frac{eu}{\hbar\nu} = \frac{eu\lambda}{\hbar c} \quad (2-5)$$

这里的 $\hbar\nu$ 表示入射光的能量， I_p 表示净光电流。值得一提的是，对于波导集成型锗探测器而言，入射光功率 P_{opt} 的计算还要考虑波导的光传输损耗和光栅的耦合损耗。

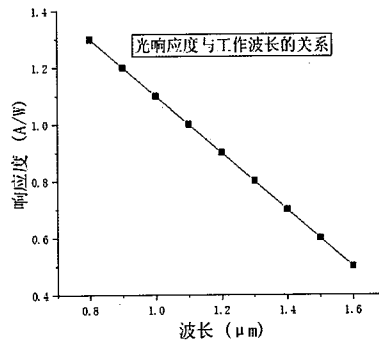


图 2-6 光响应与工作波长的关系（100%的光吸收情况下）

Figure 2-6 Relationship between optical response and working wavelength

2.3.3 暗电流

暗电流表征的是光吸收层的质量。具体来讲，当器件在无光情况下，加上反偏电压，这时仍旧会检测到电流，实际上这是一种漏电流，它并非由光照产生，但是很大程度影响着器件的性能。暗电流主要有以下几个部分构成，如以下公式[32]：

$$I_{dark} = I_{diff} + I_{G-R} + I_{BBT} + I_{TAT} + I_{INP} + I_{surf} \quad (2-6)$$

可以看出暗电流受多个因素影响，其中 I_{diff} 表示器件本身存在的扩散电流， I_{G-R} 表示载流子的复合电流， I_{BBT} 和 I_{TAT} 是与隧穿相关的电流， I_{INP} 是载流子碰撞晶格引起的电流， I_{surf} 是材料表面缺陷或杂质复合所引起的表面漏电流。降低暗电流的主要方法就是制备出高质量的外延光吸收层材料。

2.3.4 3-dB 带宽

3-dB 带宽表征的是探测器的频率响应性能。定义为功率减少为原来的 0.5 倍时所对应的频率值，即为 3-dB 带宽。由以下公式表示：

$$f_{3dB} = \frac{1}{2\pi \sqrt{t_{diff}^2 + t_{dift}^2 + t_{RC}^2}} \quad (2-7)$$

公式中的 t_{diff} 表示光生载流子扩散所用的时间， t_{dift} 表示光生载流子在耗尽区进行漂移运动所用的时间，由以下公式表示：

$$t_{dift} = \frac{w}{\mu E} \quad (2-8)$$

公式中 w 表示耗尽层的宽度， μ 表示载流子的迁移率， E 表示耗尽层的内部电场。 t_{RC} 为器件等效电路的时间常数。在器件实际工作过程中，光生载流子主要在耗尽区产生，主要作漂移运动，因此载流子扩散所用的时间 t_{diff} 往往忽略不计，所以 3-dB 带宽主要由光生载流子的漂移时间 t_{dift} 和器件等效电路的时间常数 t_{RC} 决定。 t_{RC} 由结电容和等效电路的总电阻决定。

2.4 基于光波导的 PIN 型锗光电探测器的分类

本节将根据 1.3.2 节的讲述, 立足于近些年来波导集成锗探测器的研究进展, 对基于光波导的光电探测器的结构、工作原理进行讲述。前面讲述了光电探测器作为一个独立器件工作时的基本工作原理, 当光电探测器和光波导结合时, 即此时的光电探测器不再是一个独立的器件, 它是在光波导上通过半导体工艺制备出来的光电探测器。因为本文研究的是波导集成型的 PIN 锗光电探测器, 所以下面我们主要讲述 PIN 型的光电探测器和波导之间的结构与工作原理, 包括它们之间的集成方式、光耦合方式等。

2.4.1 PIN 型锗光电探测器与波导之间的光耦合方式

所谓光耦合, 就是把光从一个物件有效转移到另一个物件中的过程。如光从激光器到光纤的耦合、光纤到探测器的耦合、一根光纤到另一根光纤的耦合^[33]。PIN 型光电探测器与波导之间的耦合方式有三种, 分别为倏逝波耦合、垂直光栅耦合和对接耦合。这三种耦合方式可以将传输光波导中的光信号直接输入到锗光电探测器上。

对接耦合方式, 即探测器的光吸收层与光波导直接接触。结构如图 2-7 所示。通常需要在光波导的末端光刻出与本征吸收层体积大小相仿的凹槽, 之后利用外延生长工艺把光电探测器集成上去。对接耦合方式可以使波导中的光绝大部分传输到探测器的吸收层中, 探测器的光响应度往往具有不错的表现, 一般通常都在 1.0A/W 以上。但是对接耦合方式需要做到 Ge 层和光波导无缝对接, 以减小波导和 Ge 层之间的端面反射, 提高光的吸收。然而无缝对接的工艺实现难度较大, 工艺复杂, 工艺成本较高。

倏逝波耦合方式, 即波导与光电探测器的一端互相靠近时, 通过倏逝电磁场传递能量, 实现光信号由波导到探测器的传输。结构如图 2-8 所示。倏逝波耦合的光信号能量与对接耦合相比要少很多, 因而光响应度要低一些, 但是在工艺实现上, 倏逝波耦合的难度要比对接耦合小很多。因此, 目前绝大多数波导集成型的锗光电探测器采用倏逝耦合的方式。

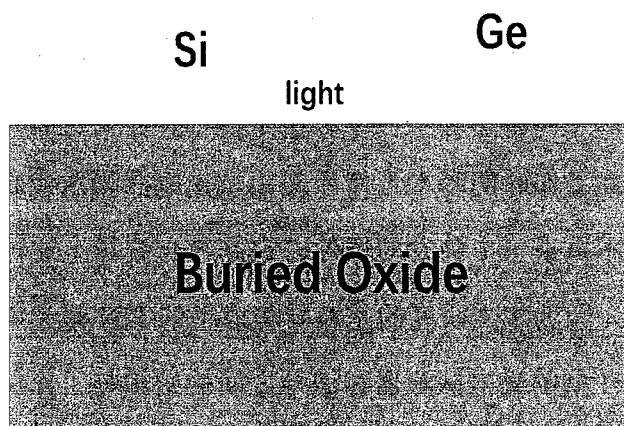


图 2-7 对接耦合方式示意图

Figure 2-7 Diagram of butt coupling mode

倏逝波耦合方式，即波导与光电探测器的一端互相靠近时，通过倏逝电磁场传递能量，实现光信号由波导到探测器的传输。结构如图 2-8 所示。倏逝波耦合的光信号能量与对接耦合相比要少很多，因而光响应度要低一些，但是在工艺实现上，倏逝波耦合的难度要比对接耦合小很多。因此，目前绝大多数波导集成型的锗光电探测器采用倏逝耦合的方式。

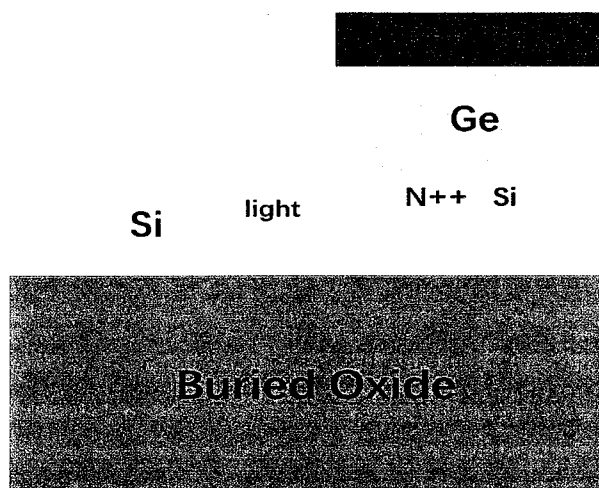


图 2-8 倏逝波耦合方式示意图

Figure 2-8. Diagram of the coupling mode of evanescent wave

光栅是一种具有周期性变化的光学元件，在光学系统中有很重要的作用。垂直光栅耦合方式被采用的不多，在集成工艺实现上比起前两种耦合方式更为简单。结构如图 2-9 所示。

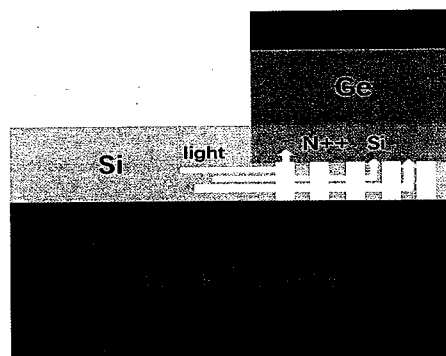


图 2-9 垂直光栅耦合方式示意图

Fig. 2-9 Schematic diagram of vertical grating coupling mode

2.4.2 基于光波导的 PIN 型锗光电探测器的结构

从宏观上来看,波导集成型的 PIN 型锗光电探测器的结构主要有水平结构和垂直结构。水平 PIN 型锗光电探测器的三维立体结构、二维平面结构如图 2-10 所示。由图 2-10 中所示结构不难看出,水平结构探测器的宏观光电流方向和 SOI 衬底平面方向是平行或者接近平行的,载流子的输运时间由锗层的宽度决定, P、N 区的离子掺杂都是在顶层硅上进行的,避免了对锗层缺陷的引入。不过在此种掺杂方式下,强电场主要是在掺杂的顶层硅区之间,锗区处于强电场的边缘,锗区的电场较弱,不利于光生载流子的收集。

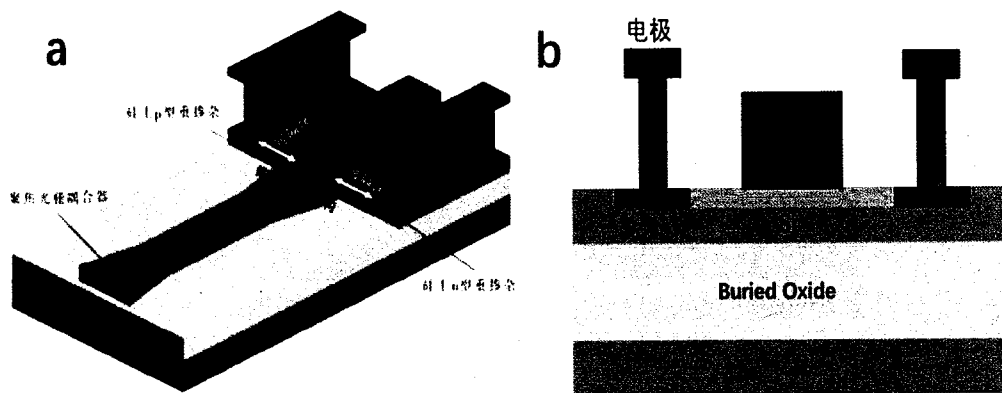


图 2-10 (a) 三维水平结构的波导集成型锗光电探测器^[34]; (b) 二维水平结构的波导集成型锗光电探测器。

Fig. 2-10 (a) Waveguide integrated germanium photodetector with three-dimensional horizontal structure^[34]; (b) Two-dimensional waveguide integrated germanium photodetector with horizontal structure.

传统水平结构的锗探测器的离子掺杂工艺是在锗区上直接进行掺杂的，包括后续的重掺杂以便与金属电极形成欧姆接触。示意如图 2-11 所示。这种掺杂方式下锗区的电场强度很强，光生载流子能以饱和载流子的速度在本征区中传输，带宽很高。但是在锗区的离子掺杂会引入大量的缺陷，进而会带来大量的复合中心，产生复合电流，由式（2-6）可知，这会使暗电流增加，同时载流子的复合也会降低量子效率和光响应度。

垂直结构的波导集成型锗探测器如图 2-12 所示。与水平结构不同的是，垂直结构的本征 Ge 区中的光电流方向与 SOI 衬底平面方向垂直或者接近垂直的。由图中结构可以看出，探测器的 P、N 区分别是在顶层硅上、本征锗区上进行离子掺杂形成的，载流子的输运时间由锗层的厚度决定。但是因为存在锗区的离子掺杂，锗区会引入缺陷，垂直结构的波导集成型锗光电探测器同样存在暗电流较大的问题。

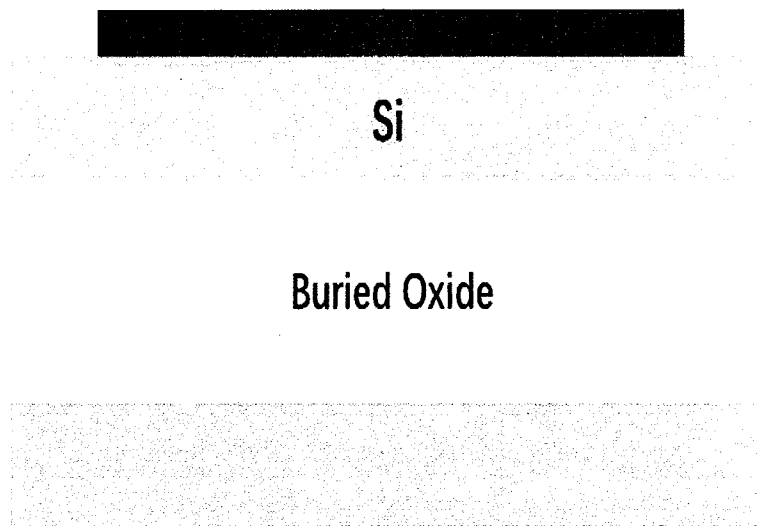


图 2-11 传统锗探测器的掺杂方式示意图

Figure 2-11 Schematic diagram of doping mode of traditional germanium detector

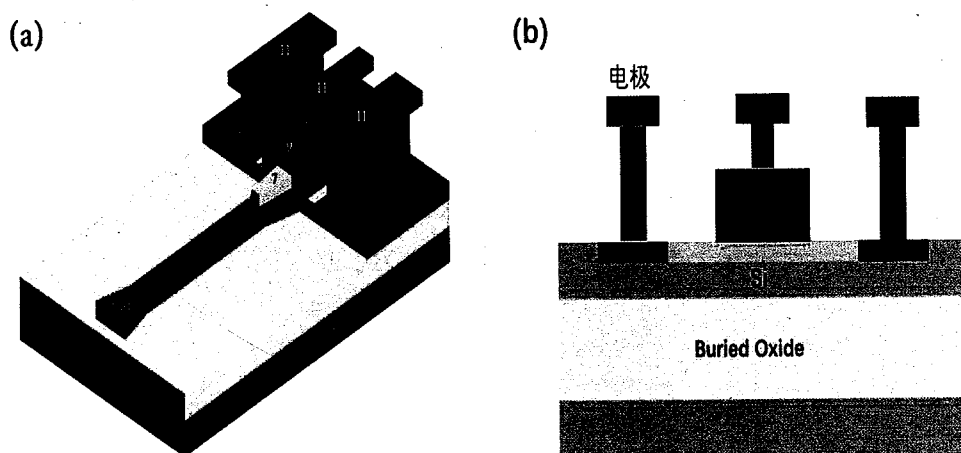


图 2-12 (a) 三维垂直结构的波导集成型锗光电探测器^[35]; (b) 二维垂直结构的波导集成型锗光电探测器。

Fig. 2-12 (a) 3D waveguide integrated germanium photodetector with vertical structure ^[35]; (b)

Two-dimensional vertical structure waveguide integrated germanium photodetector.

2.5 基于 silvaco 的不同结构的 PIN 型锗光电探测器的仿真研究

在 2.4.2 节中，我们总结了水平结构和垂直结构的 PIN 型锗光电探测器，为了更好的比较这两种结构，更加直观地认识这两种器件各自的工作运行机制，我们使用了半导体仿真软件 silvaco 对这两种结构的器件进行了仿真研究。Silvaco 公司的器件仿真模块 Atlas 可以对半导体器件的电学行为进行仿真研究，半导体软件仿真的意义可以降低工艺成本，比较直观的认识器件的电学行为，对于器件结构设计的可行性具有重要指导意义。

器件仿真模块 Atlas 通过网格划分、指定区域材料、掺杂分布等步骤形成器件的基本结构，然后在定义器件仿真时的电极参数、材料特性和物理模型，之后要定义数值计算的方法，最后再施加电压、电流、光照等来获取器件的特性。Silvaco 软件将半导体仿真的区域划分成若干网格，该软件在自身算法的运行下对各个网格点进行计算，得到电学、光学等特性。网格定义越细，仿真结果越精确，因此网格定义的是否精细对仿真结果至关重要。

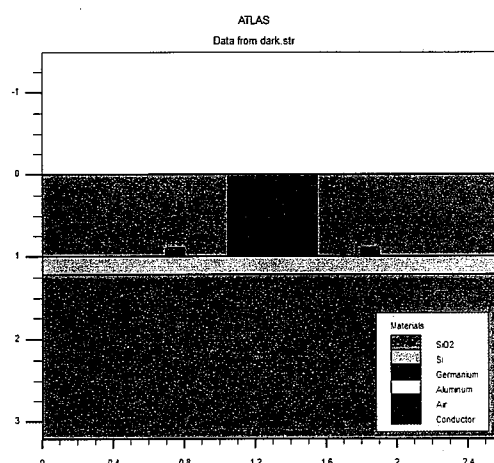


图 2-13 水平结构的 PIN 型锗探测器二维剖面结构图

Fig. 2-13 Two-dimensional profile diagram of PIN type germanium detector with horizontal structure

我们首先对水平结构的 PIN 型锗光电探测器进行仿真。使用软件中的 mesh 语句对器件区域进行了划分，并对特定区域指定了材料，得到了水平结构的 PIN 型锗探测器的二维剖面图，如图 2-13 所示，该器件的锗区长度为 $0.5\mu\text{m}$ ，宽度为 $0.5\mu\text{m}$ ，顶层硅长度为 $2.6\mu\text{m}$ ，宽度为 $0.22\mu\text{m}$ ；随后我们对该器件进行网格化处理，得到器件的网格化显示如图 2-14 所示，因为锗区和顶层硅掺杂区是器件的主要工作区，在图 2-14 中可以看到这两个区域的网格布线相对比较精密，这样做为了提高仿真的精确性，但是网格划分过于精细会导致软件仿真时间过长。随后我们对顶层硅区域进行了掺杂，形成欧姆接触，需要指出的是，锗层材料本身也要指定一定浓度的掺杂，因为实际锗外延生长出来的锗材料并不是纯净的，浓度掺杂分布和电极显示如图 2-15 所示。

然后我们在确定器件的模型之后，运用牛顿迭代算法对器件进行数值计算。我们在无光照下对该器件进行电压施加，在阴极施加正电压，以 0.1V 的间隔从 0V 到 4V 对阴极进行电压扫描。随后我们得到了该水平器件整体的内部电场和锗硅工作区电场，分布如图 2-16 所示；由图中观察可知，施加电压后，锗区充满电场，该器件可以正常工作，并且锗硅接触面处的电场比较强，锗区顶部的电场比较弱，因此水平结构的 PIN 锗光电探测器由于锗区整体电场强度分布不均，导致器件带宽响应相对不高，锗区的长度影响着载流子的输运时间和响应带宽。同时我们给

出了暗电流的仿真结果如图 2-17 所示, 同时我们对该器件在波长 1550nm 的光照激励下, 对阴极做了同样的电压扫描, 并对光电流和暗电流进行了对比, 如图 2-18 所示。值得一提的是, 仿真数值的结果由于软件和模型的缘故, 往往比较理想, 实际工艺制备出的器件很难达到, 但是仿真结果的曲线特性具有很高的可信度, 值得参考, 这对器件电学性质具有很高的指导意义。

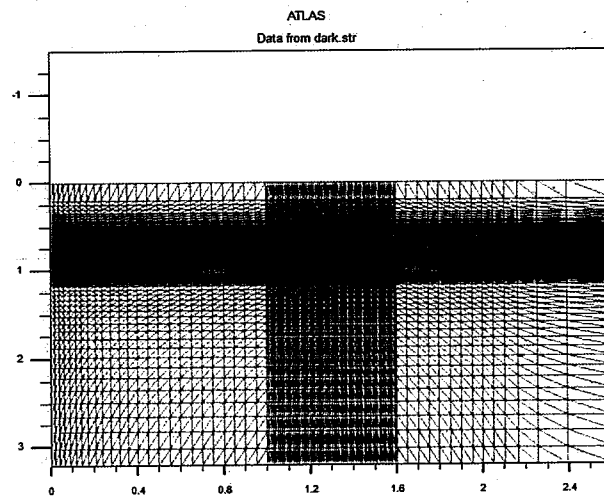


图 2-14 水平结构的器件网格化显示

Fig. 2-14 device meshing display of horizontal structure

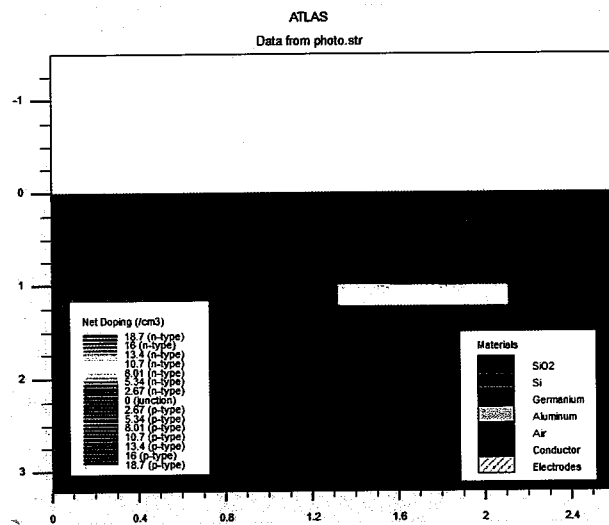


图 2-15 水平结构器件的离子掺杂分布和电极显示

Fig. 2-15 Ion doping distribution and electrode display of horizontal structure device

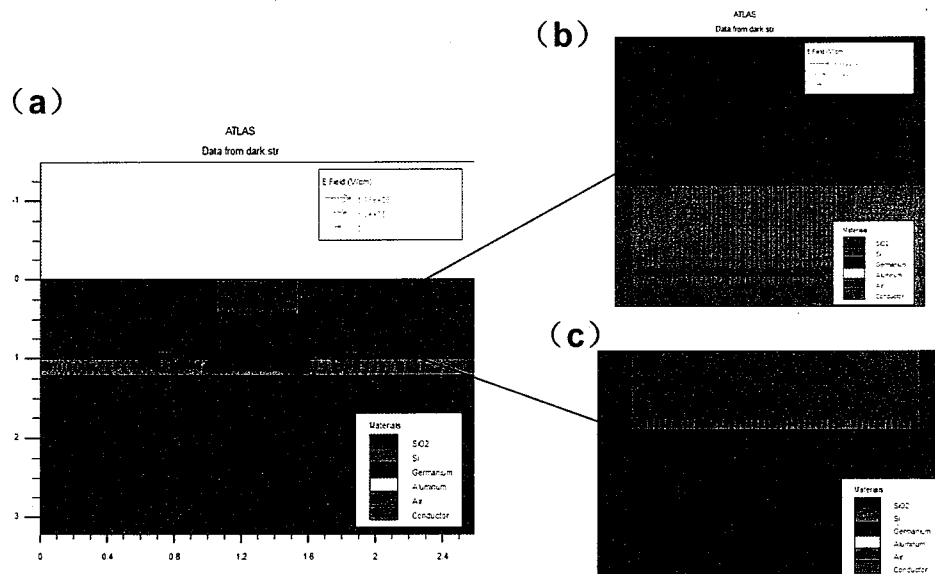


图 2-16 (a) 水平结构器件整体电场分布图；(b) 锗硅接触面处的电场分布；(c) 锗区顶部区域的电场分布。

Fig. 2-16 (a) Overall electric field distribution diagram of horizontal structure device;(b) electric field distribution at the germanium silicon interface;(c) Electric field distribution in the top region of germanium region.

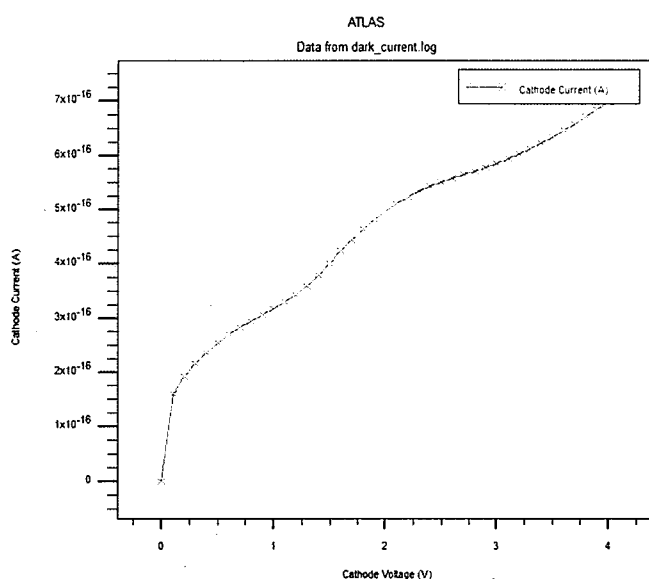


图 2-17 暗电流仿真结果

Figure 2-17 Simulation results of dark current

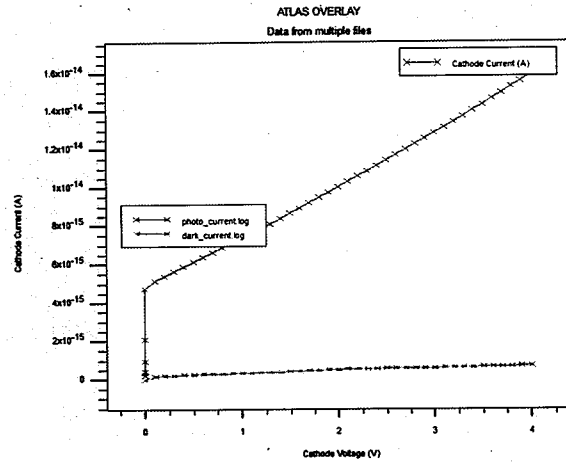


图 2-18 暗电流和光电流比对的仿真结果

Fig. 2-18 Simulation results of dark current and photocurrent comparison

此外我们在工艺条件和测试条件完全一样的情况下对垂直结构的 PIN 型探测器进行了仿真，得到了结构仿真图如图 2-19 所示，电场强度分布如图 2-20 所示，可以看出垂直结构的锗探测器电场分布均匀，电场强度相比较水平结构来说更大，因此垂直结构的锗光电探测器的响应带宽比较高，但是因为在锗区顶部会进行离子注入工艺，这会给锗区引入离子损伤，通常情况下暗电流会比较高。水平结构的锗光电探测器因为离子注入工艺在顶层硅上进行，锗区不受影响，相比之下，水平结构的锗探测器暗电流水平较低。

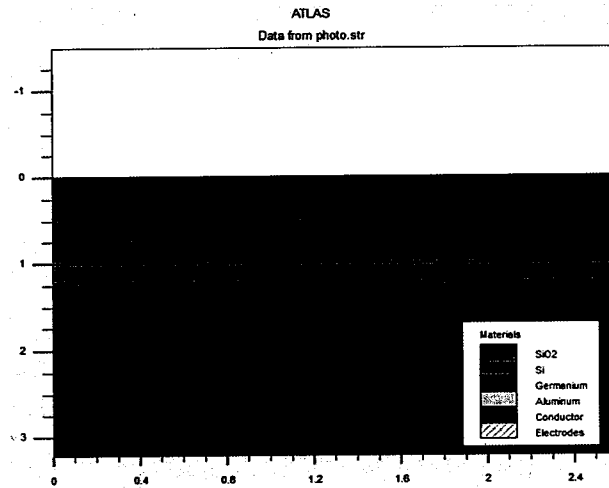


图 2-19 垂直结构仿真结构图

Fig. 2-19 Vertical structure simulation structure diagram

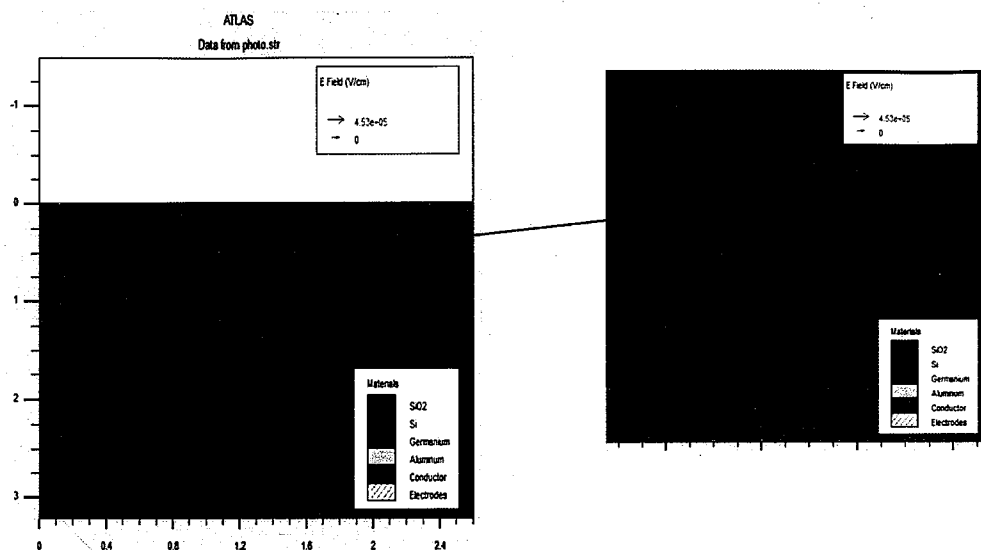


图 2-20 垂直结构器件的内部电场整体分布和锗区电场分布

Fig. 2-20 Overall distribution of internal electric field of vertical structure device and germanium region electric field distribution

2.6 本章小结

本章一上来先详细介绍了光电探测器的基本工作原理，在此基础上详细介绍了几种光电二极管的结构和工作机制，并分析了 PN 结型、PIN 型光电二极管的优缺点。随后介绍了光电探测器的主要性能参数，包括光响应度、暗电流、3-dB 带宽等。然后说明了波导集成型的锗光电探测器的结构和探测器与波导之间的光耦合方式，最后我们应用半导体仿真软件 silvaco 对两种不同结构的半导体器件进行了电学仿真，阐明了它们各自的工作运行机制，这为第三章探测器的结构设计和工艺制备打下基础。

第三章 硅基波导集成锗探测器的器件设计和工艺制备

本章将要详细讲述本论文所研制的波导集成型锗探测器的重要组成部分以及整体结构设计的确定,最后介绍该器件的整个工艺制备流程,其中将详细介绍最为关键的锗外延薄膜工艺和其发展状况。

3.1 引言

一种高性能器件的实现包括很多步骤,首先需要确定器件的材料,然后是器件的结构,之后要对器件进行制备,最后是对器件进行表征和测试,由表征和测试的结果对器件提出改进和优化。

对于波导集成型的光电探测器而言,在器件设计方面,主要是从器件的主要性能参数出发,使光电探测器具有高响应度、高带宽、低暗电流等高性能指标。工艺是半导体行业水平的体现,因此器件的制备是整个器件实现中的最重要的环节,本章将会对器件的整个制备过程进行讲解,其中将在 3.3 节单独重点讲解最为关键的锗外延工艺,包括它的发展现状和具体实施过程。

3.2 波导集成型锗探测器的器件设计

波导集成的光电探测器整体设计包括了衬底选择、探测器材料、光耦合方式、探测器与波导的结合方式等方面。

1998 年,美国 IBM 公司在世界上首次利用 SOI 技术成功地研制出高速、低功耗、高可靠的微电子主流产品——微处理器等高性能芯片^[36]。SOI 技术应用了 SOI 衬底,SOI (Silicon-on-insulator) 指的是绝缘体上硅。结构如图 3-1 所示。它不同于传统的体硅技术,SOI 衬底的硅下方有一层二氧化硅,可以使器件的漏电流和功耗降低很多,同时由于 Si ($n=3.45$) 和 SiO_2 ($n=1.45$) 之间存在较大的光折射率差,可以限制住光信号在以 Si 为芯材料以 SiO_2 为包层材料的波导中很好的传输,有利于减少器件的尺寸,提高器件的集成度。这种优异的光学性质使 SOI 材料非常适合作为波导集成型锗光电探测器的衬底,因此 SOI 衬底目前已经成为光子器

件集成最可靠的平台了。基于上述 SOI 衬底的优势，我们选择 SOI 材料作为本论文探测器研制的衬底片。

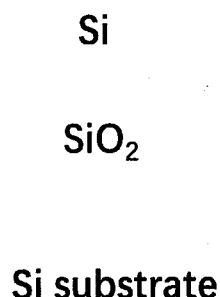


图 3-1 SOI 衬底结构示意图

Fig. 3-1 Schematic diagram of SOI substrate structure

在衬底片确定的情况下，我们需要确定光吸收层材料，由于体硅材料在近红外（ $1.3\ \mu\text{m}$ — $1.55\ \mu\text{m}$ ）波段的吸收效率较低，因此硅不适合做光电探测器的光吸收层。Ge 和 Si 同为 IV 族材料，但是 Ge 在高波段的光吸收系数很高，而且 Ge 的载流子迁移率比较高，很适合做光电探测器的光吸收层，同时也与 CMOS 工艺兼容。尽管 Ge 和 Si 之间有着比较高的 4.2% 的晶格失配，但是随着锗外延工艺的发展，人们已经可以在硅基上外延得到高质量的锗层，有关外延锗薄膜的工艺将在下一节中详细介绍。因此我们选用锗材料作为光电探测器的光吸收层。

在 2.3.1 节、2.3.2 节中，我们依次详细介绍了光耦合方式和探测器与波导的结构类型，并分析了它们各自的优缺点，不再赘述。由于倏逝波耦合方式在工艺上实现难度较小，且更为常用，因此我们选择倏逝波耦合作为探测器和波导的耦合方式。垂直结构的波导集成型锗探测器由于在工艺中会存在对锗层的离子注入，离子注入会给锗层引入大量缺陷和损伤，这会提高探测器的暗电流。因此我们选择水平结构作为探测器和波导的构成方式，并选择在顶层硅上进行所有的离子掺杂工艺，以避免损伤锗层。至此我们确定了本论文所研制的波导集成型探测器的衬底片材料、光吸收层、光耦合方式、探测器与波导的构成方式，完成了器件上的设计。示意图如图 3-2、3-3 所示。

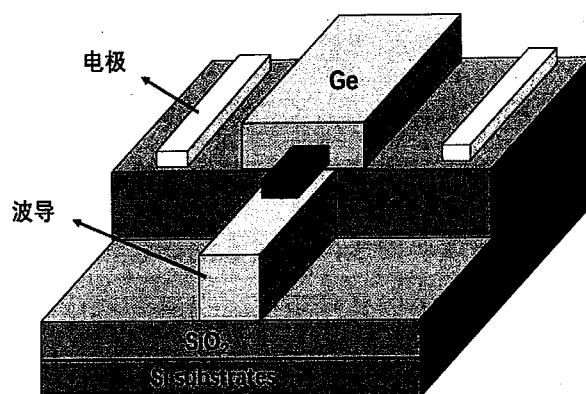


图 3-2 本文所研制 PIN 型锗探测器的立体结构

Fig. 3-2 Stereoscopic structure of PIN germanium detector developed in this paper

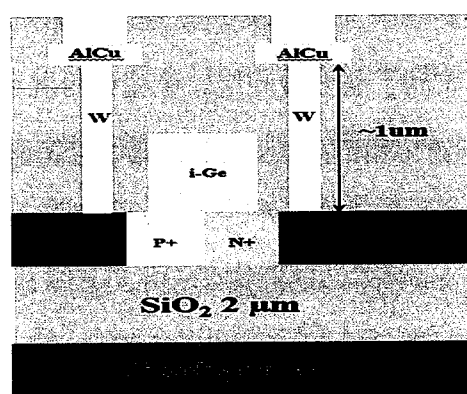


图 3-3 器件截面示意图

Fig. 3-3 Diagram of device cross section

3.3 外延锗薄膜工艺

锗材料因其在近红外光波段有较高的光吸收系数、高的载流子迁移率、与硅工艺兼容等优势，已经被视为制备硅基光电集成领域最有潜力的光吸收材料之一。因此，在硅上制备出高质量的锗薄膜一直是人们所追求的，这也是制备出性能优异的波导集成 PIN 型锗光电探测器最为关键的一环。

3.3.1 外延锗薄膜工艺的发展现状

硅基外延生长锗薄膜属于异质外延生长，对于异质外延生长而言，最大的挑战是晶格失配和热失配。而在室温下锗和硅的晶格失配高达 4.2%，热失配高达 50%，这使得在硅基上制备得到高质量的锗薄膜十分困难。当在硅基上异质外延生

长锗薄膜时，外延层的厚度超过临界厚度时必然导致应变弛豫^[37]，应变弛豫又带来两种严重的后果：大的表面起伏和高位错密度^[38]。高位错密度会降低器件的性能，主要表现在锗探测器暗电流的升高和响应度的下降，而材料表面粗糙会给后续的工艺制备带来很多麻烦。为了减少锗表面的位错密度和降低粗糙度，在外延锗薄膜工艺的发展过程中，人们总结出了很多缓冲层技术。简单来说，这些缓冲层技术主要分为三类：Ge 组分变化的 SiGe 缓冲层技术、高-低温生长技术、选择性外延生长技术。

Ge 组分变化的 SiGe 缓冲层技术是传统的硅上外延生长锗薄膜的方法，即在 SiGe 缓冲层上外延生长锗薄膜。随着 Ge 厚度逐渐增加，累积的应变通过晶格失配的位错被释放掉，位错充满了整个缓冲层。位错的钉扎几率减小，有利于已有位错半环的扩展运动，限制新位错的产生，从而降低了位错密度^[39]。2003 年，Thomas^[40]等人使用化学气相沉积设备在硅基上外延生长了锗薄膜，如图 3-4 所示，由图中可以观察到，位错被很好的限制在 SiGe 缓冲层内，上层 Ge 薄膜的位错较少，薄膜质量较高。经过多年的发展，该技术所制备得到的 Ge 薄膜位错密度越来越小，但是 SiGe 缓冲层因此也变得越来越厚，生长周期变长，不利于波导集成型光电器件的集成，同时 Ge 表面粗糙度也难以控制。



图 3-4 Thomas^[40]等人利用 Ge 组分变化的 SiGe 缓冲层技术研制的 Ge 薄膜

Fig. 3-4 Ge thin films developed by Thomas^[40] et al using the SiGe buffer layer technology with Ge component change

高-低温生长技术指的是先在低温下生长一层 Ge 缓冲层，之后在高温下再快速结晶生长一层高质量 Ge 层。在低温生长 Ge 层时，因为锗原子的迁移率比较低，这就导致了该生长层中有很多点缺陷。点缺陷的存在降低了材料的弹性常数，使其机械性能变差，起到柔性衬底的作用：参与应力调节、捕获湮灭位错，从而提高晶体质量^[41]。该技术最早由 Fukuda 等^[42,43,44]在 1987 年提出的，他们发现先生长一层低温 Ge 缓冲层后再高温生长 Ge 外延层，Ge 膜质量会有明显提升。之后若进行高温退火，则会进一步降低 Ge 膜中的位错密度。低温 Ge 缓冲层很薄，且制备得到的 Ge 薄膜表面平整，表面无交叉起伏形貌，这些都是该技术的优点；但值得一提的是该技术制备得到的锗膜位错密度仍旧偏高 ($10^8/\text{cm}^2$)，所以还需要在每一步生长过后采用高温退火的手段来进一步降低位错密度。利用退火时 Ge 和 Si 晶格热膨胀系数不同产生的热失配应力，推动位错运动，并使其发生反应，使位错湮灭。退火过程可以使位错密度降低 2—3 个数量级^[45,46,47]。相比 Ge 组分变化的 SiGe 缓冲层技术，高-低温生长技术的低温缓冲层很薄，生长周期较短，有利于波导光电器件的集成。2011 年，周志文^[48]等人采用低温缓冲层技术在 Si 衬底上生长出了高质量的 Ge 膜，之后他们采用化学腐蚀位错坑的方法测量了 Ge 膜的位错密度，如图 3-5 所示，可以看出 Ge 位错露头较少，位错密度很小，Ge 薄膜质量很高。

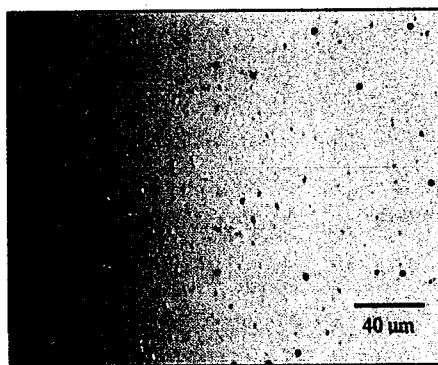


图 3-5 Ge 薄膜经化学腐蚀后的表面形貌光学显微镜图^[48]

Fig. 3-5 Surface morphology of Ge films after chemical etching under optical microscope^[48]

选择性外延生长技术指首先在硅衬底上通过光刻、刻蚀等工艺形成凹槽，之后在凹槽里选择外延生长 Ge 薄膜，该技术的原理是利用了凹槽的侧壁对 Ge 层内位错传播具有限制作用，从而获得了高质量的 Ge 层。具体工艺流程如图 3-6 所示。

当凹槽的深度大于其宽度时，穿透位错将被凹槽的侧壁阻止并湮灭，从而外延层薄膜的位错密度得到降低^[50]。2007 年，Park^[51]等人在 SiO_2 衬底上刻蚀出了一个宽度为 400nm、深度为 500nm 的凹槽，并在凹槽内进行 Ge 的外延生长，如图 3-7 所示，随后对 Ge 膜进行观察，发现绝大部分穿透位错被 SiO_2 侧壁阻挡住，Ge 薄膜的上半部分穿透位错很少，Ge 层质量很好。选择性外延生长技术可以选定特殊区域生长出高质量的 Ge 膜，这为不同材料和器件之间的集成提供了保障和便利。

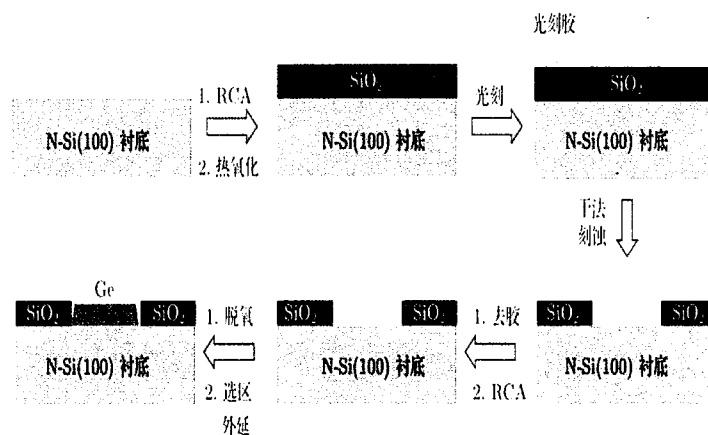


图 3-6 Ge 薄膜外延工艺流程图^[49]

Fig. 3-6 Eepitaxy process flow chart of Ge thin film ^[49]

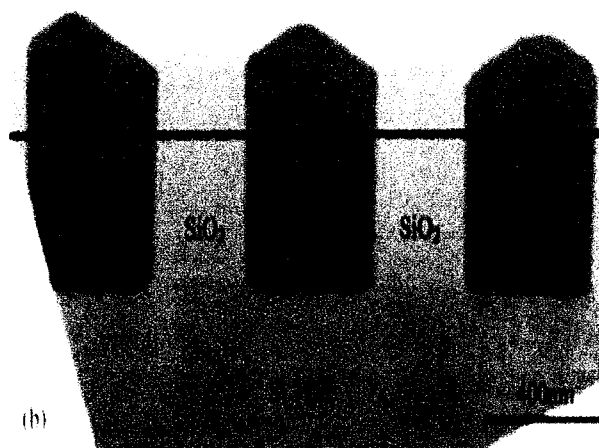


图 3-7 Park^[51]等人选择外延生长的 Ge 膜 TEM 截面图

Figure 3-7. TEM cross section of Ge film with epitaxial growth selected by Park et al^[51].

3.3.2 硅基外延锗薄膜的具体工艺流程

本次在制备波导集成锗探测器过程中所涉及到的锗薄膜外延工艺是在中科院微电子所 8 英寸 CMOS 工艺线上完成的，本次的锗薄膜外延工艺结合了选择性

外延生长技术和高-低温生长技术的优点。我们在对硅波导进行离子注入和相应退火完成后,接下来进行的是锗外延薄膜生长工艺。该工艺是在 RPCVD (减压化学气相淀积) 系统中进行的, RPCVD 系统工艺操作相对简单、工艺周期相对较短,成本低效率高,适合批量化生产。如图 3-8 所示。以下是本次硅基外延锗薄膜的具体工艺流程:

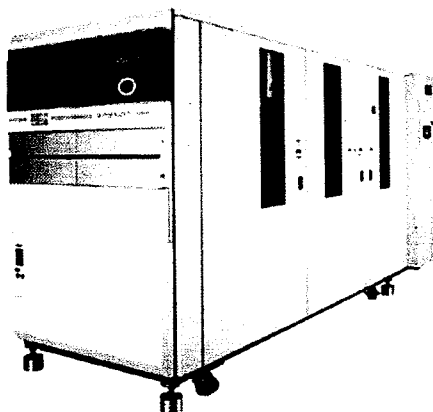


图 3-8 RPCVD 生长设备

Figure 3-8 RPCVD growth device

(1) 准备硅衬底片(已完成离子注入和相关退火工艺),然后在硅衬底片上进行等离子体化学气相沉积(PECVD),沉积 600nm 厚的 SiO_2 薄膜;

(2) 之后悬涂光刻胶,并随后对其进行曝光和显影,在 SiO_2 薄膜的光刻胶上光刻出特定尺寸的窗口,之后以光刻胶为掩膜,对窗口处暴露的 SiO_2 进行电感耦合等离子刻蚀(ICP);

(3) 刻蚀过后对其进行去胶,之后按照集成电路标准的清洗工艺对 Si 衬底片进行彻底清洗,防止表面的污染和有机物颗粒的残存。此时为了防止硅衬底片在空气中自然氧化,清洗过后应该尽快将衬底片送入 RPCVD 系统的反应腔里,为下一步锗外延做准备;

(4) 在衬底片被送入反应腔后,先在 800°C 的高温下通入一定量的 H_2 对硅衬底片进行烘烤,时间为 5 分钟,目的是去除 SiO_2 开窗暴露的 Si 上存在的自然氧化层,之后腔体降温至 400°C ,同时以一定量速度向反应腔内通入 GeH_4 ,发生如下反应:



完成 Ge 的低温生长，低温生长过后需要进行高温下原位退火；这时将腔体温度上调至 600℃，同时快速通入 GeH_4 完成高温下的 Ge 生长，之后同样需要进行高温下退火，退火的目的是减少 Ge 薄膜中的缺陷和位错，在 Ge 膜生长过程中，需要定期通入 HCl 气体，目的是刻蚀掉 SiO_2 窗口之外的 SiO_2 上生长的的锗膜，该过程随着锗膜的生长要重复进行。

(5) 最后使用化学机械抛光 (CMP) 研磨掉多余的 Ge，有利于后续器件的制备。

整个工艺流程示意如图 3-9 所示，在 Ge 膜生长过程中，Ge 膜的顶部要与窗口的 SiO_2 侧壁上沿生长完全接触，这意味要生长足够厚的 Ge 膜，否则一旦接触处出现缝隙，如图 3-10 所示，将不利于后续光电探测器和波导之间的集成。而且我们需要使用 HCl 气体来刻蚀掉 SiO_2 上的多晶 Ge，因为这部分的锗我们不需要。实际上在反应腔体里，Ge 薄膜的生长是一个不断刻蚀和不断生长的过程，最终通过窗口里 Ge 膜刻蚀过后再生长的重复过程形成了我们想要的单晶 Ge，如图 3-11 所示。对制备完成后的 Ge 薄膜应进行结构上的表征，我们将在第四章进行相关介绍。

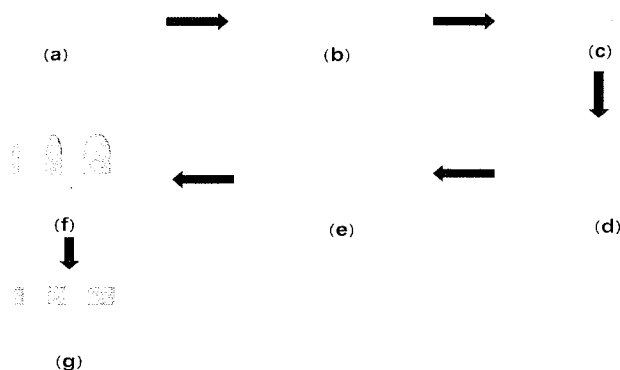


图 3-9 本文硅上外延锗薄膜的工艺流程示意图：(a) 准备硅片；(b) 悬涂光刻胶 (c) 光刻胶开窗 (d) 刻蚀 SiO_2 (e) 去胶 (f) 外延生长 Ge (g) CMP 打磨

Figure 3-9. Process diagram of germanium film epitaxial on silicon in this paper (a) Preparation of silicon wafers; (b) suspension coating photoresist (c) photoresist window (d) etching SiO_2 (e) degumming (f) epitaxy growth Ge (g) CMP grinding

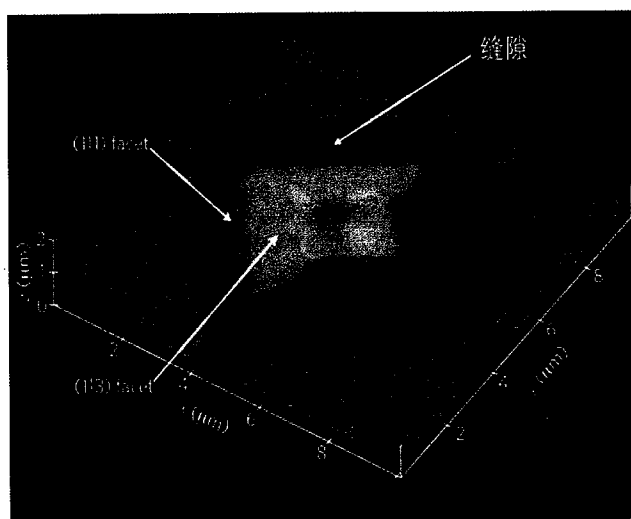


图 3-10 在 SiO_2 窗口中选择性生长的 Ge 台面的原子力显微镜图像^[52]

Fig. 3-10 Atomic force microscope image of GE mesa selectively grown in SiO_2 window^[52]

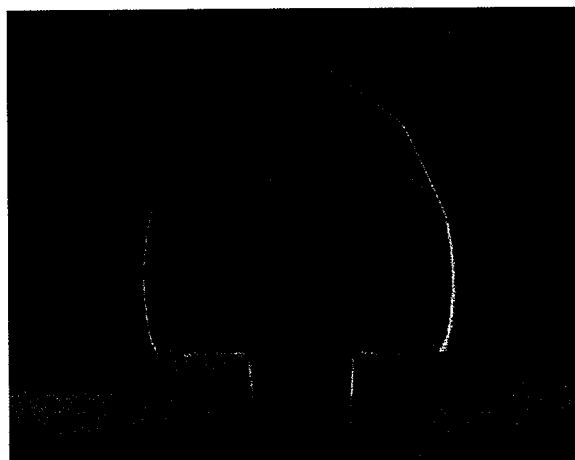


图 3-11 Ge 膜生长 SEM 图^[35]

Fig. 3-11 SEM Figure of Ge Film Growth^[35]

3.4 波导集成 PIN 型水平锗探测器的工艺制备流程

工艺是芯片制作的关键，也是半导体行业水平的体现，本文所研究制备的波导集成 PIN 型水平结构的 Ge 探测器采用的是 CMOS 兼容工艺，其整个制备流程是在中科院微电子研究所先导工艺中心 CMOS 工艺线上完成的。本次波导集成锗探测器的制备包括了 11 层光刻版，其总版图如图 3-12 所示，各层版图对应实现的工艺目的如表格 3-1 所示，制备过程中所涉及的主要工艺如表格 3-2 所示。

表 3-1 本次波导集成水平 PIN 型锗探测器版图对应各版次的工艺目的

图层	图层目的
第一层	形成多晶硅 Taper
第二层	形成 220nm 的矩形波导
第三层	形成 75nm 的垂直耦合光栅
第四层	形成 P 区离子注入区
第五层	形成 N 区离子注入区
第六层	形成重掺杂 P 区离子注入区
第七层	形成重掺杂 N 区离子注入区
第八层	形成外延锗的窗口区域
第九层	形成金属钨 (W) 的金属接触孔
第十层	形成 AlCu 金属电极
第十一层	形成金属电极的测试孔

表 3-2 本次波导集成水平 PIN 型锗探测器制备过程中涉及到的主要工艺

工艺	步骤和目的
离子注入	向指定区域注射一定剂量的离子以形成 P 或 N 型掺杂
快速热退火 (RTA)	激活衬底中的杂质, 修复晶格损伤
深紫外光刻 (DUV)	悬涂光刻胶、曝光、显影, 为刻蚀准备
电感耦合等离子体刻蚀(ICP)	对光刻后的区域进行刻蚀, 转移图形
干法去胶	用离化的氧离子轰击光刻胶, 去除光刻胶
湿法溶液清洗	去除残胶, 清洗衬底, 避免有机颗粒污染
化学气相沉积(RPCVD)	在衬底发生化学反应生成所需薄膜
化学机械抛光(CMP)	对指定区域进行平坦化处理
物理气相沉积(PVD)	真空下, 改变物理状态以得到所需物质的薄膜

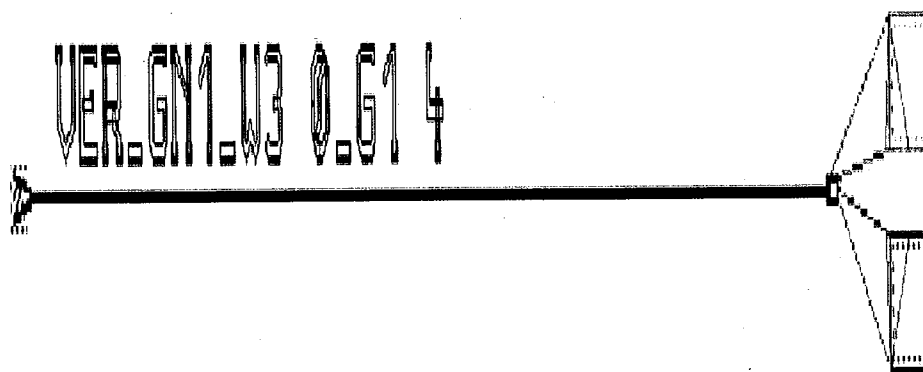


图 3-12 本次波导集成水平 PIN 型锗探测器版图

Figure 3-11 Layout of the waveguide integrated horizontal PIN germanium detector

本次波导集成水平结构的锗探测器的具体制备流程如下:

(1) 准备 SOI 衬底, 埋氧层厚度为 $2\mu\text{m}$, 顶层硅厚度为 220nm , 淀积一层 Poly-Si, 厚度为 150nm , 如图 3-13 所示;

(2) 然后进行标准光刻工艺, 对 Poly-Si 悬涂光刻胶、曝光、显影, 采用 ICP 对 Poly-Si 进行刻蚀形成 taper, 以增强波导与探测器之间的光耦合, 如图 3-14 所示, 之后采用干法去胶, 然后进行标准的湿法溶液清洗工艺, 如表格 3-3 所示, 最后进行甩干, 准备下一步工艺;

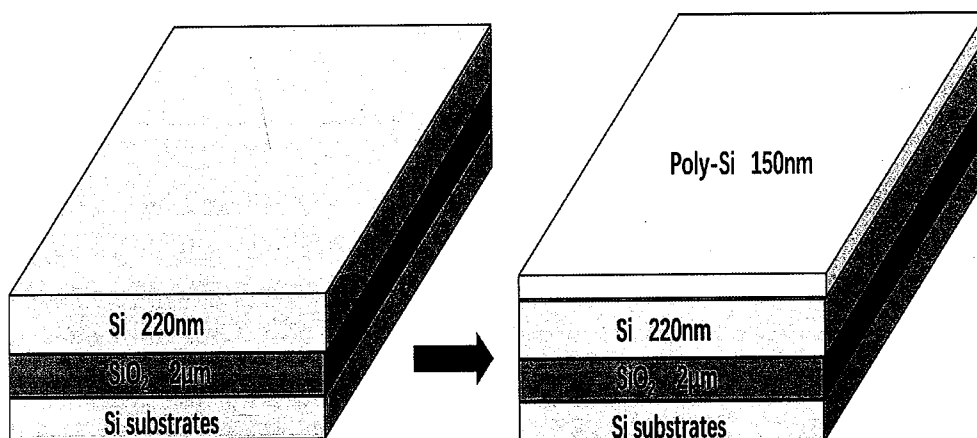


图 3-13 淀积一层 150nm 厚的 Poly-Si

Figure 3-13. A layer of poly-Si 150nm thick is deposited

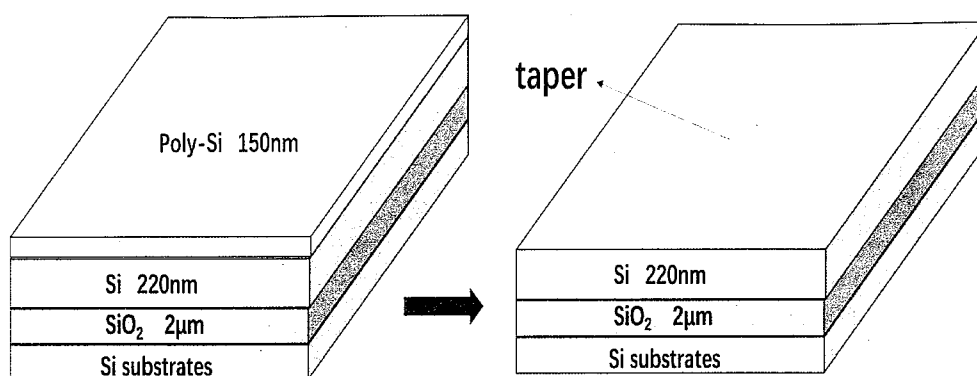


图 3-14 刻蚀形成 taper

Figure 3-14 etching to form the taper

表 3-3 湿法溶液清洗步骤

步骤	目的
(1) 100:1HF 溶液漂洗 60s	除去含氧聚合物
(2) 120℃下 SPM 溶液清洗 10min	除去金属离子、有机物颗粒、残胶等
(3) 去离子水漂洗 5min	去除残存颗粒
(4) APM 溶液漂洗 5min	去除残存颗粒

(3) 继续悬涂光刻胶、曝光、显影，之后采用 ICP 对顶层硅进行刻蚀，形成波导，如图 3-15 所示，然后采用干法去胶，执行如表格 3-3 的湿法溶液清洗工艺，甩干之后准备下一步工艺；

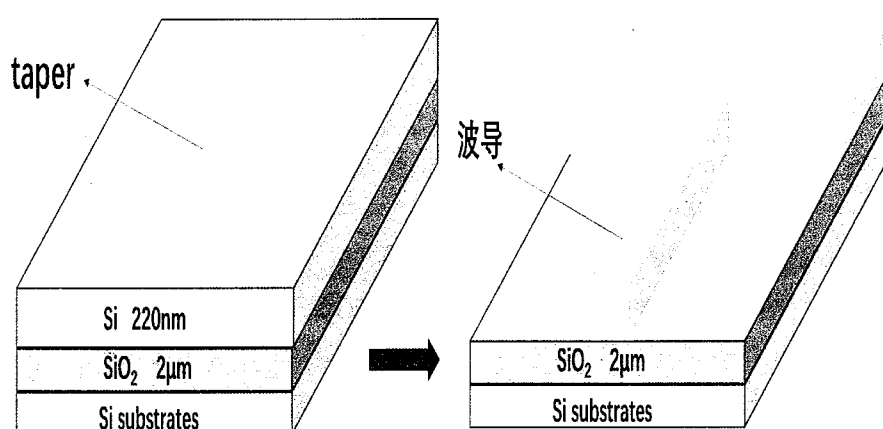


图 3-15 刻蚀 220nm 的顶层硅形成波导

Figure 3-15 etching the top layer of silicon at 220nm to form a waveguide

(4) 悬涂光刻胶、曝光、显影，之后采用 ICP 对波导进行刻蚀形成光栅，刻蚀深度 70nm，如图 3-16 所示，同样采用干法去胶，执行如表格 3-3 的湿法溶液清洗工艺，甩干之后准备下一步工艺；

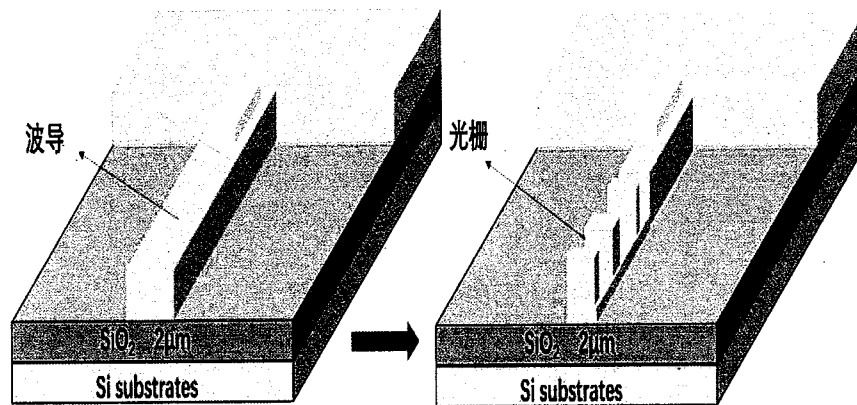


图 3-16 刻蚀波导形成光栅

Fig. 3-16 Grating formed by etching waveguides

(5) 采用 PECVD 法淀积一层 SiO_2 ，厚度为 15nm，用作离子注入的掩蔽层，悬涂光刻胶、曝光、显影，执行如表格 3-4 所示，依次进行离子注入，最后两次离子注入是为了形成重掺杂区，与金属形成欧姆接触，之后干法去胶，形成结构如图 3-17 所示，甩干之后我们要进行快速热退火，退火温度 1050°C ，退火时间 10s，目的是激活注入的离子和修复因离子注入引起的晶格损伤，准备下一步工艺；

表 3-4 离子注入步骤和要求

离子注入类型	离子注入要求
(1) P 型注入 B 离子	注入能量 40KeV，注入剂量 $4 \times 10^{14}\text{cm}^{-2}$
(2) N 型注入 P 离子	注入能量 40KeV，注入剂量 $4 \times 10^{14}\text{cm}^{-2}$
(3) P 型注入 B 离子	注入能量 30KeV，注入剂量 $5 \times 10^{15}\text{cm}^{-2}$
(4) N 型注入 P 离子	注入能量 30KeV，注入剂量 $5 \times 10^{15}\text{cm}^{-2}$

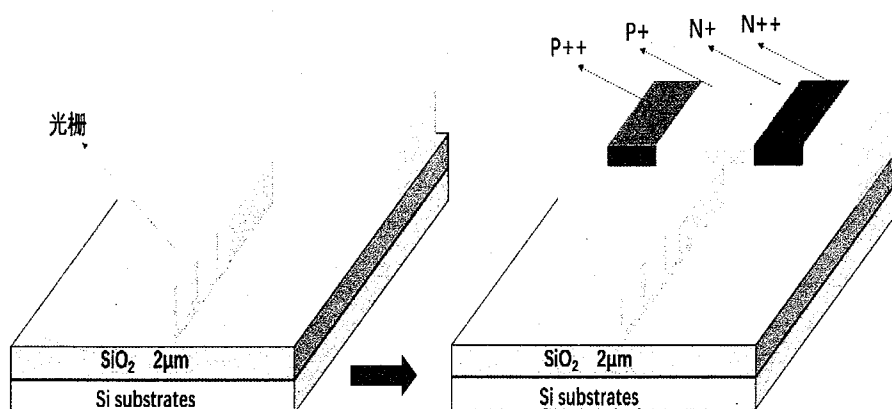


图 3-17 形成的离子注入区

Figure 3-17. Ion implanted regions formed

(6) 采用高-低温生长法和选择生长外延的方法，外延生长锗薄膜，具体工艺详见 3.3.2 节，不再赘述，形成结构如图 3-18 所示；

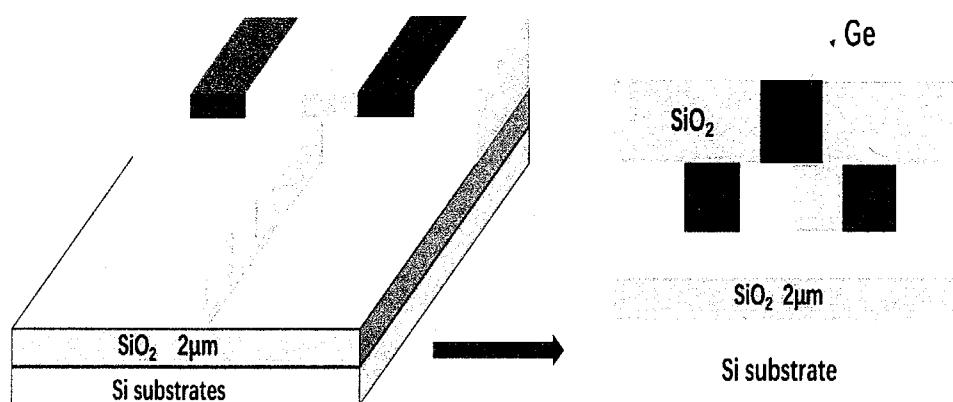


图 3-18 外延生长出锗膜（器件侧视图）

Figure 3-18 Germanium film epitaxial growth (device side view)

(7) 采用 PECVD 方法淀积出约 500nm 厚的 SiO_2 薄膜，悬涂光刻胶、曝光、显影，之后采用 ICP 刻蚀形成接触孔，结构如图 3-19 所示，然后进行干法去胶，并执行表格 3-3 的溶液清洗工艺，然后用 PVD 淀积一层金属镍(Ni)，厚度为 15nm，在进行高温快速热退火，以便形成 GeNi 和 SiNi 合金，目的是进一步减少器件的接触电阻，提高探测器的频率响应，多余的未形成合金化的 Ni 需要用热 HCl 溶液去除掉；

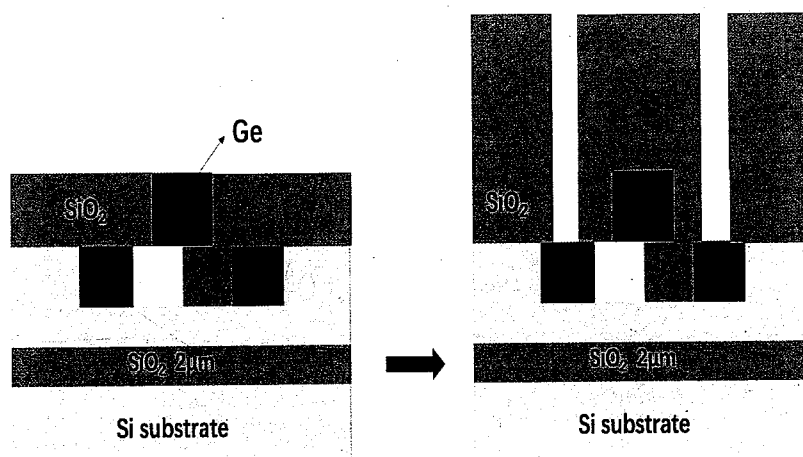


图 3-19 刻蚀出金属接触孔（器件侧视图）

Figure 3-19 Etched metal contact holes (device side view)

（8）在接触孔内，我们使用 PVD 法依次淀积金属钛（Ti）、氮化钛（TiN），目的是增强金属钨（W）和合金化合物之间的粘附性，然后使用 PVD 法将金属钨（W）填满接触孔，结构如图 3-20 所示，多余的金属钨需要用 CMP 法除掉；

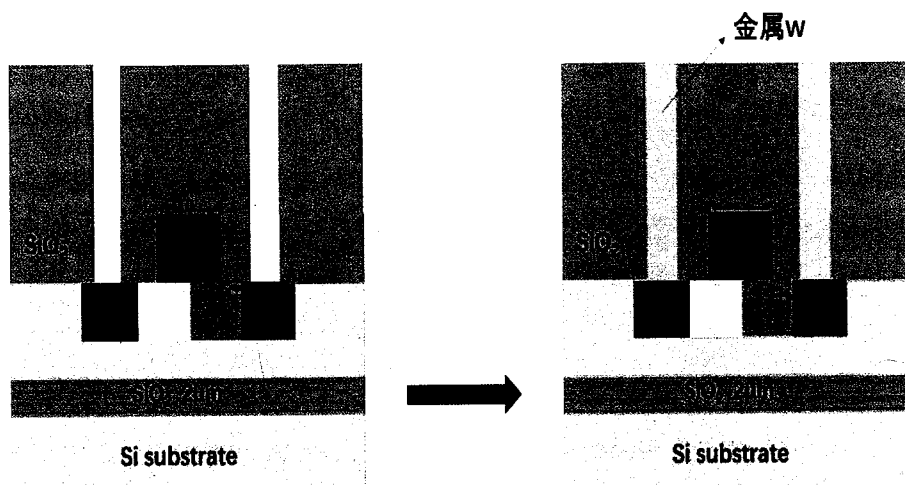


图 3-20 将金属接触孔填充金属钨（器件侧视图）

Figure 3-20 Filling the metal contact hole with tungsten metal (device side view)

（9）使用 PVD 法依次淀积金属 Ti、TiN、AlCu 金属电极，在悬涂光刻胶、曝光、显影后，刻蚀形成金属 Pad，如图结构 3-21，然后使用安集溶液进行清洗（该溶液在清洗过程中不损伤金属 Pad），甩干后准备下一步工艺；

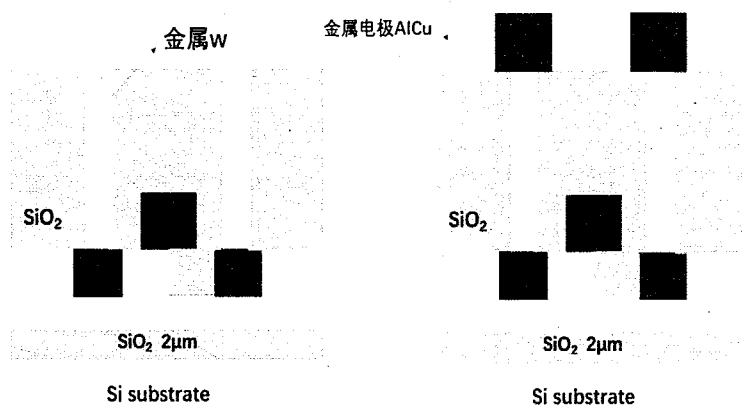


图 3-21 刻蚀形成金属电极 Pad (器件侧视图)

Figure 3-21 Etched Metal Electrode PAD (Device Side View)

(10) 使用 PVD 法淀积 SiO_2 薄膜, 厚度为 600nm, 用作钝化层, 对器件起到保护作用, 悬涂光刻胶、曝光、显影, 使用安集溶液进行清洗, 甩干后刻蚀 SiO_2 漏出金属 Pad, 如图 3-22 所示, 方便后续对电极进行扎针测试, 至此, 整个器件制备工作完成了。

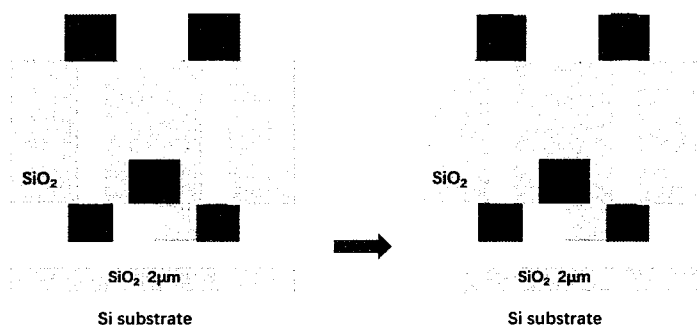


图 3-22 刻蚀钝化层漏出金属 Pad (器件侧视图)

Figure 3-22 Leakage of metal Pad from etching passivation layer (device side view)

3.5 本章小结

本章完整讲述了本文所研究的波导集成 PIN 型水平锗探测器从器件设计到工艺制备的整个过程。器件设计则包括了衬底的选择、探测器材料、光耦合方式、探测器与波导的结合方式等方面; 工艺制备方面, 我们先讲述了外延锗薄膜工艺的发展现状, 随后我们具体讲述了本次器件制备中涉及到的外延锗膜工艺; 最后我们对器件制备的整个工艺流程进行了详细介绍。

第四章 波导集成锗光电探测器的结构表征和测试分析

本章将要讲述的是对所研制的波导集成锗探测器进行结构表征和光电性能测试分析,其中结构表征包括了探测器的各个部分的 SEM 图、TEM 图、AFM 图等,性能测试则是对探测器的主要性能参数进行测试,其中包括暗电流、光电流、带宽等,以及光响应度和波导光学损耗的计算。

4.1 引言

在基于第三章完成了整个探测器器件的制备后,我们要对探测器进行结构表征和光电性能测试。结构表征对器件尤为重要,由于在实际工艺过程中会有来自人为或者机器设备等不可避免的误差,导致实际制备出来的器件与设计方案有偏差,这会影响器件的性能,因此对器件各部分进行结构表征可以让我们找出工艺上的误差,从工艺方面使器件得到改进,以最终使器件达到最理想的性能。

对探测器进行光电性能分析是为了衡量器件的性能水平,通过分析测试得到的数据,对器件的设计和应用场合具有一定的指导意义。对于波导集成型锗探测器的性能测试而言,我们主要进行光学性能测试和光电性能测试。在测试过程中,我们会对前文所提到的探测器的主要参数有着更深的理解,这也为器件的优化目标指明了方向。

4.2 光电探测器的结构表征

表征是为了进一步获得探测器的结构特征,获取得到探测器主要部分的厚度、表面形貌、应变等信息,本节首先介绍几种常用的结构表征方法,然后将按照 3.4 节中探测器的整个制备流程顺序对波导集成型锗探测器的主要部分依次进行结构表征和相关分析。

4.2.1 探测器表征方法

常用的结构表征方法有扫描电子显微镜 (SEM)、拉曼散射谱 (Raman)、透射

电子显微镜 (TEM)、原子力显微镜 (AFM) 等, 本文主要采用扫描电子显微镜 (SEM)、原子力显微镜 (AFM) 和透射电子显微镜 (TEM) 对探测器进行结构表征。

扫描电子显微镜 (SEM) 不同于传统的光学显微镜, 它可以观察到微观物质的具体形貌, 突破了普通光学显微镜的放大倍数限制, 极大地提高了分辨率。如图 4-1 所示, 其主要工作原理: 利用高能量、聚焦的电子束来轰击样品表面, 这样电子会和物质之间进行相互作用, 大量物理信息会被激发出来, 然后这些信息会被整理、放大, 最后以成像的方式将物质的微观形态表现出来。如图 4-2 所示, 沙白粉末在扫描电子显微镜下的 SEM 图像, 可以很清晰地看到沙子的具体形貌。因此在物质结构表征等科研领域, 扫描隧道电子显微镜 (SEM) 被广泛应用。

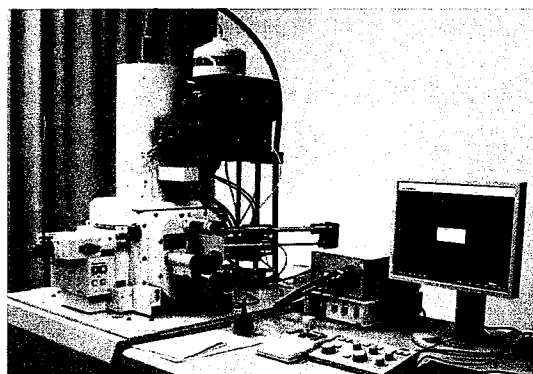


图 4-1 扫描电子显微镜 (SEM) 设备实物图

Fig. 4-1 Physical image of scanning electron microscope (SEM) equipment

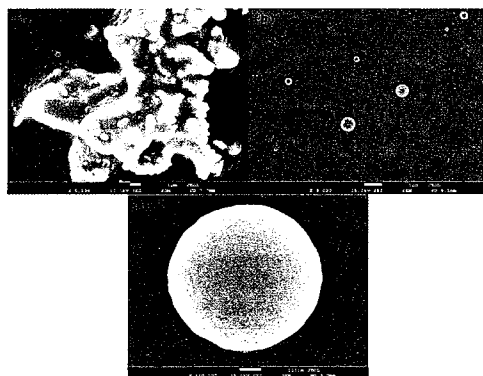


图 4-2 沙白粉末不同放大倍数下的 SEM 图^[52]

Fig. 4-2 SEM images of white sand powder at different magnification ratios ^[52]

原子力显微镜 (AFM) 是用来表征样品表面形貌的。它通过待测样品表面和

细微探针针尖之间的极微弱的原子间相互作用力来反映待测样品的形貌结构^[53]。仪器设备如图 4-3 所示，工作过程如图 4-4 所示。主要是利用系统对探针和物体之间相互作用时产生的形变进行检测，最终将形变量反馈给电脑，由电脑还原出物质的最终信息。



图 4-3 原子力显微镜 (AFM) 设备实物图

Figure 4-3 Atomic Force Microscope (AFM) equipment physical picture

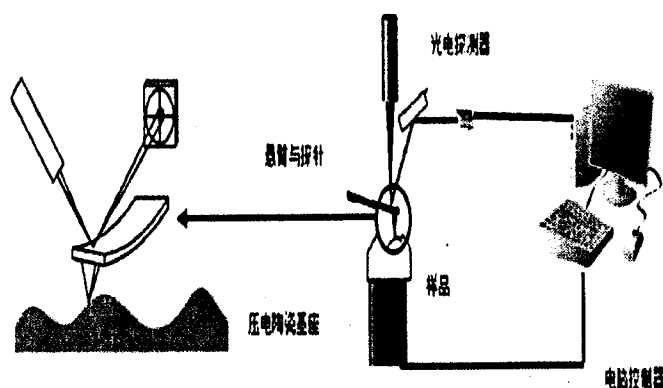


图 4-4 原子力显微镜基本架构^[53]

Figure 4-4 Basic structure of atomic force microscope^[53]

4.2.2 探测器表征结果

本节将按 3.4 节中器件的工艺制备顺序依次对探测器主要部分进行结构表征，本文所制备的波导集成水平结构 PIN 型锗探测器设计如图 4-5 所示，利用 SEM 对器件进行检测，得到器件的全貌截图和金属 Pad 截图如图 4-6、4-7 所示。

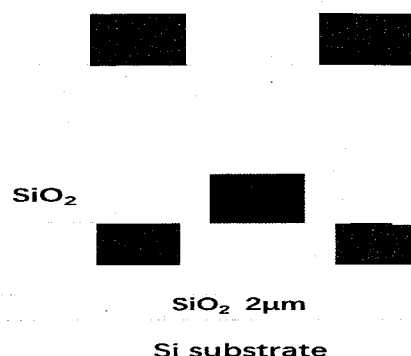


图 4-5 器件结构设计图

Fig. 4-5 Device structure design diagram

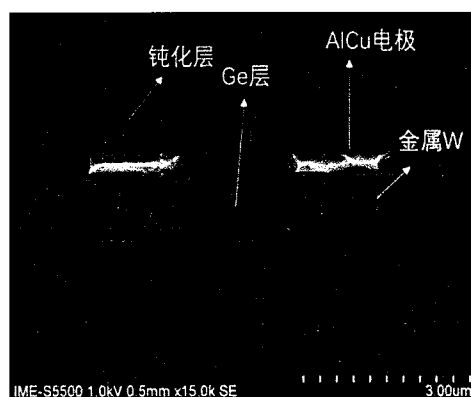


图 4-6 本文所制备器件水平截面 SEM 图

Figure 4-6 SEM image of horizontal cross section of the device prepared in this paper

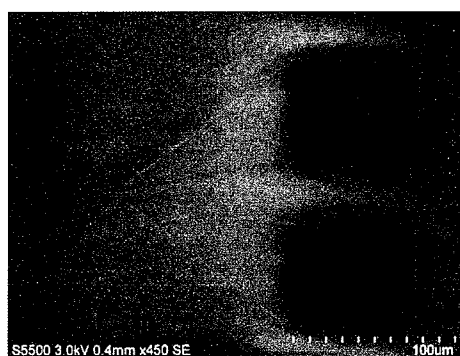


图 4-7 探测器金属 Pad 的 SEM 图

Fig. 4-7 SEM image of detector metal PAD

由 3.4 节工艺制备顺序可知，我们在淀积一层 Poly-Si 后对其进行刻蚀，得到 150nm 厚的 Taper-Si。Taper-Si 用来增强探测器与波导之间的光耦合，刻蚀厚度的准确与否会对波导集成探测器的光电性能产生影响，我们利用 SEM 对 Taper-Si 进行检测，得到如图 4-8 所示的金属 Pad 截图。

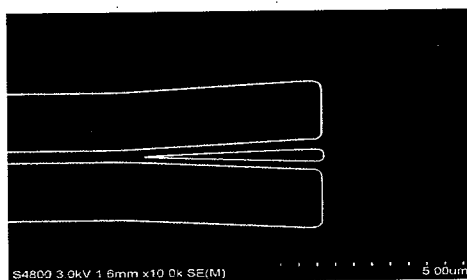


图 4-8 Taper-Si 表面 SEM 图

Figure 4-8 SEM image of Taper-Si surface

随后我们用 SEM 对刻蚀形成的 220nm 矩形波导和光栅分别进行检测,得到如图 4-9、4-10、4-11 所示,这里检测得到的波导高度为 219nm,在误差可控范围之内。这里高度不到 220nm 的原因可能有两个:一个原因可能是提供的 SOI 衬底本身的顶层硅厚度存在误差;另一个可能是在刻蚀形成 Taper-Si 时消耗掉了一部分顶层 Si;除此之外刻蚀的波导不是十分陡直。

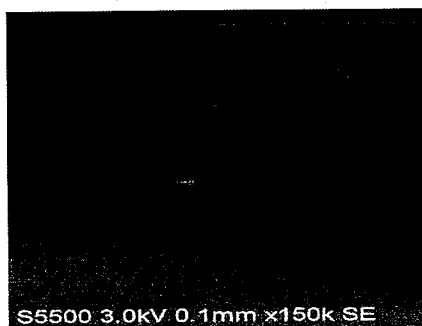


图 4-9 矩形波导侧面 SEM 图

Figure 4-9 SEM image of the side of rectangular waveguide

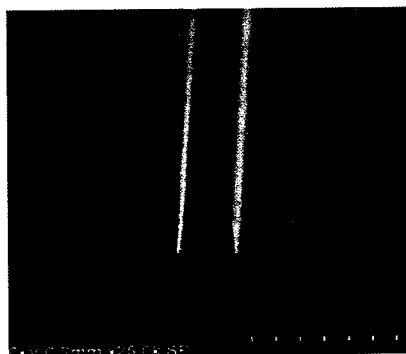


图 4-10 矩形波导俯面 SEM 图

Fig. 4-10 SEM image of the bent surface of rectangular waveguide

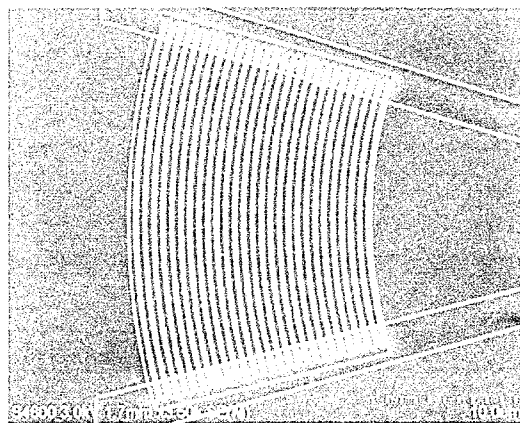


图 4-11 光栅表面 SEM 图

Figure 4-11 SEM image of grating surface

锗外延层的质量直接决定波导集成探测器的光电探测性能，所以锗外延工艺是制备锗探测器过程中最关键的一环。我们使用原子力显微镜（AFM）对外延生长的锗薄膜进行表征，得到结果如图 4-12 所示，表征结果显示锗外延薄膜表面平整，得到的粗糙度（RMS）为 1.09nm，粗糙度很小，锗外延层质量良好。随后我们在用 SEM 对外延锗薄膜的高低温生长部分表征，得到如图 4-13 所示，由图可以看出，高温层锗和低温层锗分层明显，高温层锗膜排列整齐，锗膜质量良好；低温层锗膜晶格排列混乱，薄膜质量较差，位错被基本限制在低温层中。随后利用 SEM 表征锗层得到 CMP 打磨前的外延锗薄膜的 SEM 图，如图 4-14 所示。值得一提的是在外延锗薄膜开始之前，要对外延锗窗口进行彻底的清洗，否则在外延过程中，会不利于锗薄膜很好地成长，最终会影响到锗薄膜的质量。

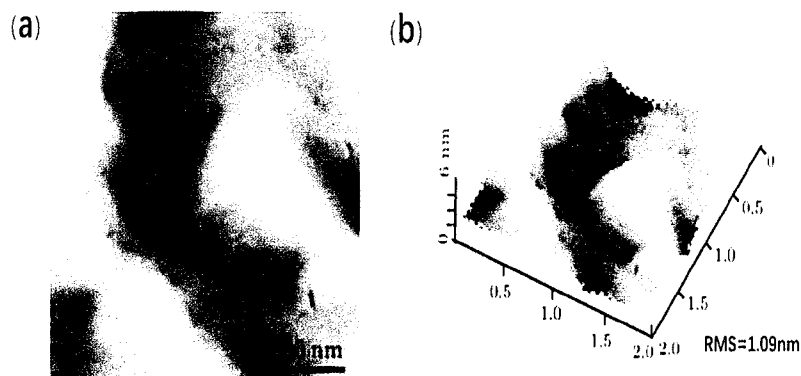


图 4-12 锗外延薄膜 AFM 图 (a) 表面形貌 (b) 3D 立体图

Figure 4-12 germanium epitaxial film AFM diagram (a) surface topography (b) 3D stereogram

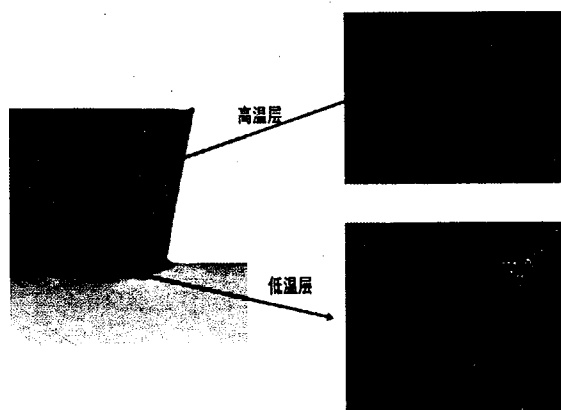


图 4-13 锗外延薄膜 SEM 图

Figure 4-13 SEM image of germanium epitaxial film

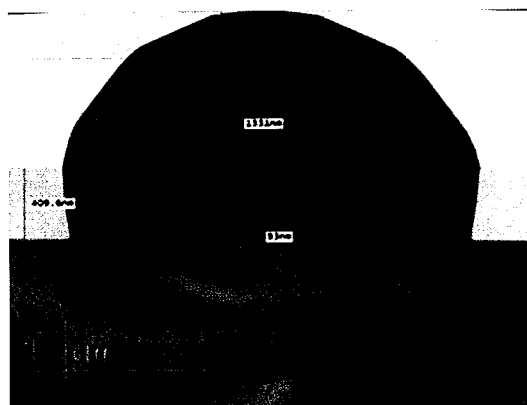


图 4-14 锗外延薄膜全貌 SEM 图 (CMP 前)

Figure 4-14 SEM image of germanium epitaxial film (before CMP)

4.3 波导集成型光电探测器的测试分析

对器件进行测试是对器件本身的一种性能反馈，对波导集成锗探测器而言，其测试分为高速测试和静态测试，静态测试用来检测光电探测器的主要性能参数，包括了暗电流、光电流等，高速测试主要测试器件的传输眼图和工作带宽，除此之外我们对波导和光栅的光损耗也进行了计算。

4.3.1 波导和光栅的光学损耗计算

光的传输损耗对于光波导而言是一个非常重要的参数，测定光波导的光传输损耗对于改善光波导的特性和相关工艺制备具有很重要的意义。由于波导材料本身固有的缺陷，使光在波导中的传输损耗不可避免。实际上光在波导中传输的过

程就是光子被吸收、散射、辐射的过程，一般情况下光在波导中传输损耗的原因主要有以下几种：

- 1、波导材料对光所造成的散射损耗；
- 2、波导材料对光的吸收（带间吸收、载流子吸收和杂质吸收）；
- 3、光波导能量耦合到辐射模式造成的辐射损耗。

测试波导中的传输光损耗有很多方法，比如截断法^[55]、双棱镜法^[56]、三棱镜法^[57]等，我们采用截断法来测试光在波导中的传输损耗，而且这种方法可以非常方便地同时测试出光栅上的光损耗。具体来说我们要先制备出多种不同长度的波导，且这些长度呈等差数列，示意如图 4-15 所示，实际中我们所制备的波导长度最短为 $2090\ \mu\text{m}$ ，然后以 $1000\ \mu\text{m}$ 为间隔增加到最长的波导长度为 $6090\ \mu\text{m}$ ，然后我们采用光谱仪、可调谐激光器、四维探针台等仪器，在 1550nm 波长下依次测出不同长度的波导的总损耗（波导损耗和光栅损耗），如表格 4-1 所示，表格中的第二组、第五组数据异常，所以我们在进行数据线性拟合时排除了这两组数据，得到了如图 4-16 所示图像，从图像中的信息我们得到了一个一元一次的拟合方程，由截断法的测试原理可知该方程的斜率为波导单位长度的光传输损耗，纵截距为光栅耦合损耗，需要说明的是因为光栅损耗分布在波导的两端，所以纵截距的一半是一端的光栅损耗。由图 4-16 中的线性拟合方程信息可以知道波导上的光传输损耗约为 5.31dB/cm ，光栅损耗约为 4.09dB/端 。

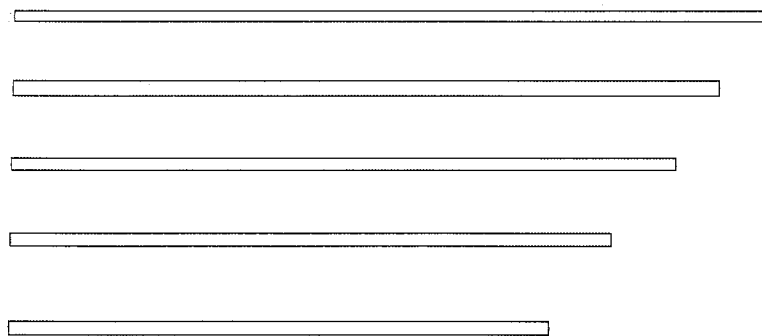


图 4-15 波导长度呈现等差数列的多种波导示意图

Fig. 4-15 Schematic diagram of multiple waveguides with arithmetic sequence of waveguide lengths

波导和光栅损耗测试的结果偏高，由图 4-9、4-10 中的结构表征结果可知，尽管波导不是十分陡直，但是鉴于光栅和波导损耗严重的结果，除了波导自身的散

射损耗，考虑到应该是光栅和波导的表面粗糙导致，这需要对光栅和波导进行精度更高的表征。

表 4-1 各波导对应的总损耗

波导长度 (cm)	总损耗 (dB)
0.209	9.37
0.309	9.11
0.409	10.09
0.509	11.05
0.609	10.93

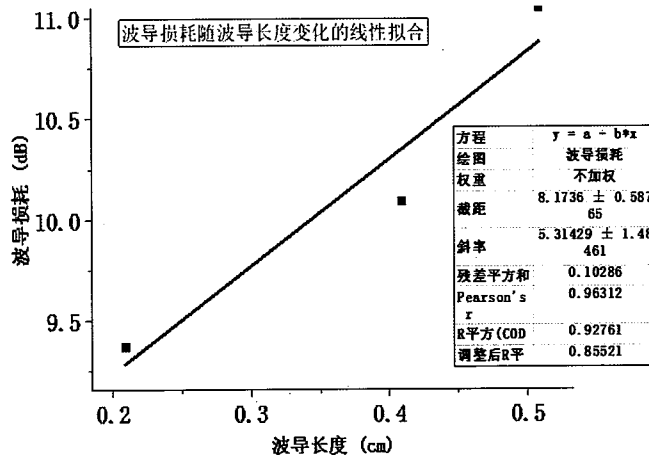


图 4-16 波导损耗随波导长度变化的线性拟合曲线

Figure 4-16. Linear fitting curve of waveguide loss as a function of waveguide length

4.3.2 暗电流分析

我们使用半导体参数测试仪 Keithley 4200 对本器件进行暗电流测试，其电流测试精度为 1pA，能够满足芯片测量精度的要求。本文所制备的波导集成锗探测器的锗区宽度为 $0.5 \mu\text{m}$ ，长度为 $14.2 \mu\text{m}$ ，测试在无光条件下进行，测试装置示意如图 4-17 所示，测试暗电流的原理比较简单，我们直接在探测器两端加源表进行测量，测试电压从 -3V 以 0.1V 的扫描间距增加到 1V，得到暗电流的 I-V 曲线，如

图 4-18 所示, 在图 4-18 的基础上对纵坐标做对数处理, 得到暗电流特性曲线, 如图 4-19 所示。从图 4-18 图中可以看出探测器整流特性良好, 暗电流随着反偏电压的增大呈现指数趋势增长, $-3\text{V}\sim 0\text{V}$ 内的暗电流变化稳定且增长饱和, 这从侧面反映了本次制备的锗层质量较高, 此外我们根据所测的数据给出了典型反偏电压下的暗电流数值, 如表格 4-2 所示。暗电流测试数值全部小于 $1\text{ }\mu\text{A}$, 满足探测器性能的要求。

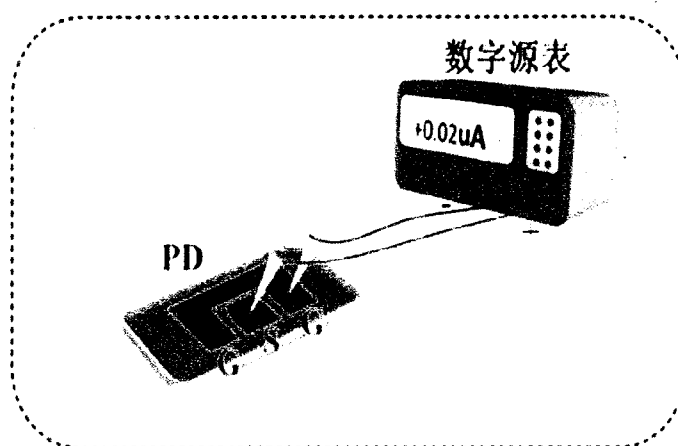


图 4-17 暗电流测试装置示意图^[54]

Fig. 4-17 Schematic Diagram of Dark Current Testing Device^[54]

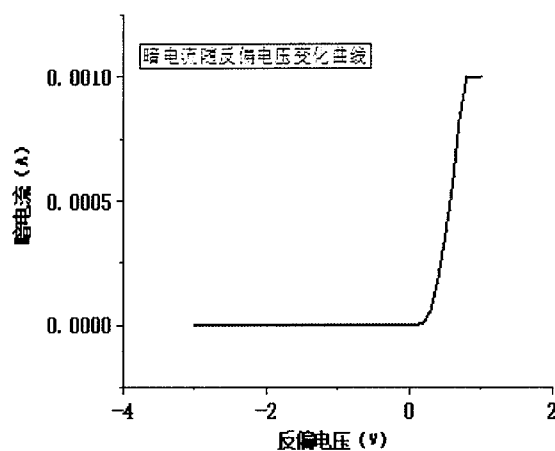


图 4-18 暗电流随反偏电压变化曲线

Fig. 4-18 Curve of dark current as a function of reverse bias voltage

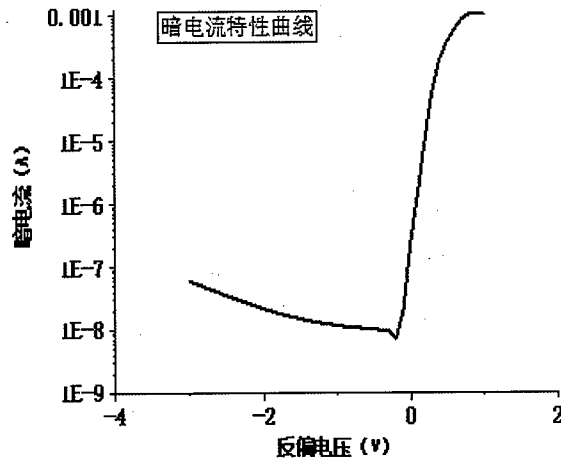


图 4-19 探测器暗电流特性曲线

Fig. 4-19 Dark current characteristic curve of detector

表 4-2 典型反偏电压下的暗电流数值

反偏电压 (V)	暗电流 (nA)
-1	11.6
-2	21.5
-3	59.5

4.3.3 光响应度分析

光响应度的定义由 2.2.2 节可知：输出光电流和输入光功率之比，其基本测试装置示意如图 4-20 所示，基本原理框图如图 4-21 所示。连续光源 (CW) 提供光源给调谐激光器 (PC)，调谐激光器 (PC) 使光源变为处于红外波段的光信号，这时红外光信号经过光学分支被分成两束等强度的光，一束到达光功率计，直接测量；另一束进入到探测器中后被转换为光电流，由电流表读出示数。实际上对于波导集成型锗探测器而言，入射光功率的计算还要考虑波导的光传输损耗和光栅的

耦合损耗，并且这里电流表最终读出的电流示数是已经包含了暗电流的总光电流。

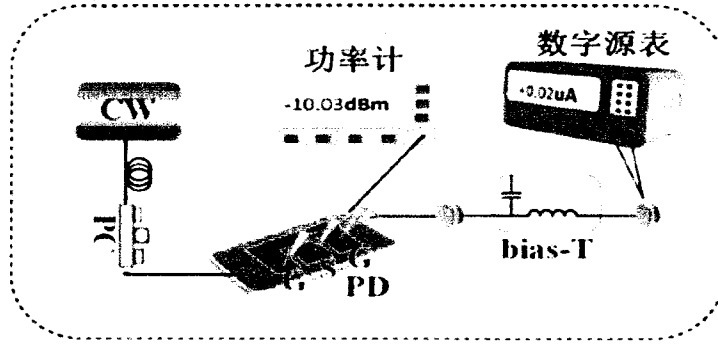

 图 4-20 光响应度测试装置示意图^[54]

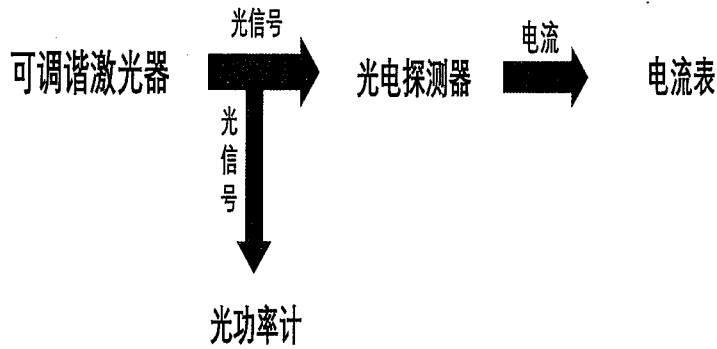
 Fig. 4-20 Schematic diagram of optical responsiveness test device^[54]


图 4-21 光响应度测试原理示意图

Fig. 4-21 Schematic diagram of optical responsiveness test principle

我们在 1550nm 波长下对探测器进行光电流测试，测试电压从 -3V 以 0.1V 的扫描间距增加到 1V，得到光电流随扫描电压变化曲线如图 4-22 所示，由曲线可知光电流随反偏电压增大呈现指数趋势增长，接下来我们进行光响应度的计算，本文测试所用的激光器发射光功率为 5dBm，即光功率计上的读数应为 5dBm，但是我们要减去系统测试的固定损耗、光栅耦合损耗和波导损耗，这样得到的光功率是真正入射到探测器上的光功率。本文的系统固定损耗为 4.27dB，单端光栅耦合损耗由图 4-16 可知为 3.55dB，探测器波导长度为 1545 μm ，波导损耗为 5.31dB/cm，计算得到波导损耗为 0.82dB，另外我们在实际测试当中，分别测试了带 Poly-Si 的波导和不带 Poly-Si 的波导，通过比较测试结果得出不带 Poly-Si 的波导要比带 Poly-Si 的波导多出 1.66dB 的损耗，本次探测器实际制备中不含有 Poly-Si。整理如表格 4-3 所示，由于 dBm、dB、mW 三者之间有转换关系，由资料可查，转换公

式如下所示，由表格 4-3 和激光器发射光功率为 5dBm，计算得到最终到达探测器的光功

$$p(w) = 10^{\frac{[p(\text{dBm})-30]}{10}} \quad (4-1)$$

率为-5.84dBm，代入到式 (4-1) 中算得真正照射到探测器的光功率约为 0.261mW，然后根据光电流曲线和光响应度定义、量子效率公式 (2-3)，给出了如表格 4-4 所示的光响应度和量子效率结果如下。

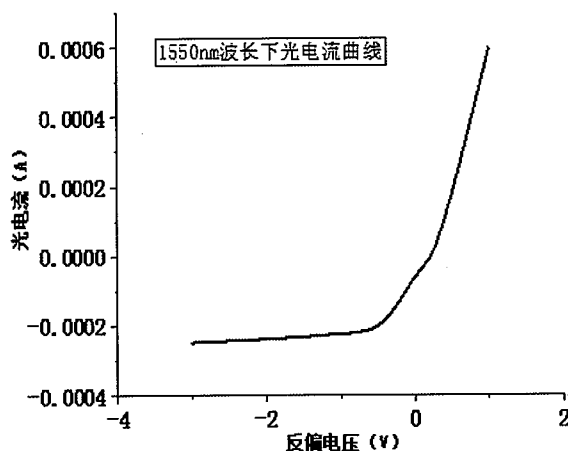


图 4-22 光电流随电压变化曲线

Figure 4-22 Curve of photocurrent as a function of voltage

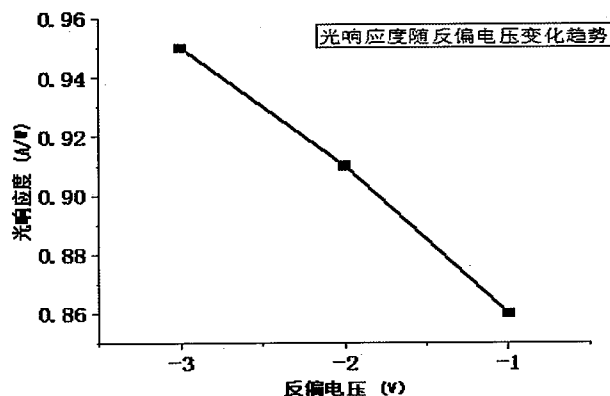


图 4-23 光电流随反偏电压变化曲线

Fig. 4-23 Curve of photocurrent as a function of reverse bias voltage

表 4-3 本次测试中存在的损耗

损耗来源	单位 (dB)
测试系统损耗	4.27
单端光栅损耗	4.09
波导传输损耗	0.82
不带 Poly-Si 引起的传输损耗	1.66

表 4-4 不同偏压下光响应度计算结果 (1550nm 波长)

反偏电压 (V)	光电流 (mA)	暗电流 (nA)	光响应度 (A/W)	量子效率
-1	0.224	11.6	0.86	0.689
-2	0.238	21.5	0.91	0.729
-3	0.248	59.5	0.95	0.761

由表图 4-23 可知, 光响应度随着偏压增大而增大, 光响应度计算结果整体不高。尽管测试得到的暗电流表明了锗层生长质量良好, 但考虑到光照到达探测器时, 激发的光生载流子要先经过低温层然后到达高温层, 而绝大多数位错集中在低温层, 低温层吸收了光生载流子, 很大程度上影响了光响应度。

4.3.4 3-dB 带宽和眼图

根据 2.2.4 节中的介绍, 我们知道 3-dB 带宽表征的是探测器的频率响应性能。由锗层中载流子的输运时间和 RC 时间常数决定, 我们一般使用小信号对器件进行工作带宽的测试, 因为信号的输入幅度一般小于器件的动态范围; 在测试光电探测器的眼图性能时, 我们一般使用大信号进行测试。测试 3-dB 带宽的装置示意如图 4-24 所示, 在进行 3-dB 带宽测试时, 首先要测试出探测器的 S 参数, S 参数代表的传送和反射信号的能力, S 参数具体由矢量网络分析仪 (VNA) 得出, 矢量网络分析仪工作过程如图 4-25 所示, 简单来说, a_1 表示从端口 1 入射的信号, S_{11} 表示反射系数, 即入射损耗, S_{21} 表示传输系数, b_1 表示透射信号, 对于端口 2 而

言, 各参数意义同理。探测器的 3-dB 带宽指 S_{21} 从初始衰减 3-dB 所对应的频率值。

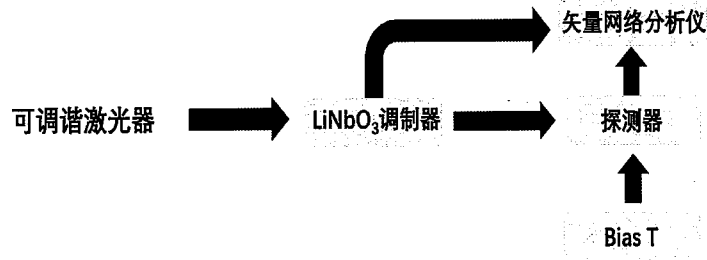


图 4-24 带宽测试装置示意图

Fig. 4-24 Schematic diagram of bandwidth test device

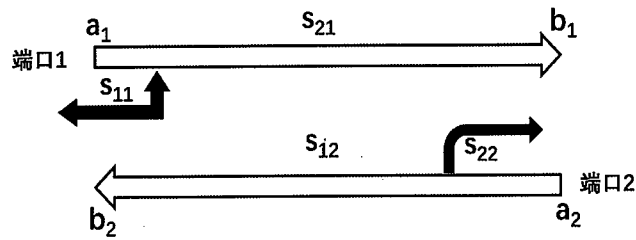


图 4-25 矢量网络分析仪工作示意图

Figure 4-25. Schematic diagram of work of vector network analyzer

我们在 -2V 的反偏电压下对探测器进行 3-dB 带宽测试, 由矢量网络分析仪得出 S_{21} 参数随频率的关系曲线如图 4-26 所示, 可以得知该探测器的 3-dB 带宽为 20GHz。

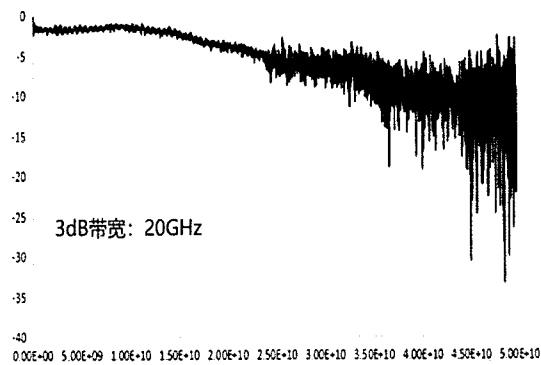


图 4-26 探测器 S_{21} 参数随频率变化曲线

Figure 4-26 Curve of detector S_{21} parameters as a function of frequency

该探测器的 3-dB 带宽相对不高,可以在保证光响应度性能的情况下尝试减小锗层的厚度,缩短载流子的渡越时间,从而提高探测器的带宽。

眼图指的是一系列数字信号经过传输然后在示波器上显现的图案，通过对图案中的“眼睛”图形的规整、大小、粗细等信息的观察，来评估码间串扰和噪声对探测器整个系统的影响，眼图可以看出一个系统的传输能力。为了测试本文所制备的波导集成锗探测器的传输能力，我们对探测器进行了眼图测试，眼图测试装置如图 4-27 所示，测试原理框图如图 4-28 所示。

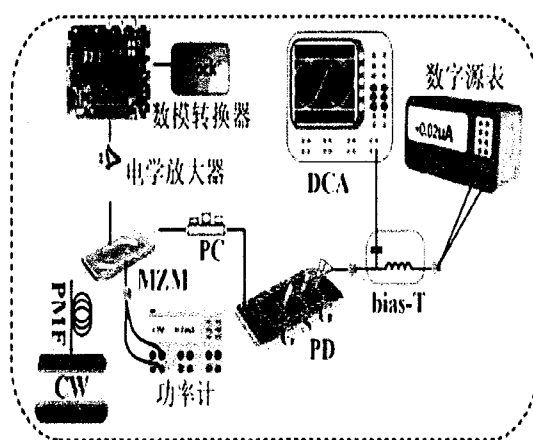


图 4-27 眼图测试装置示意图^[54]

Fig. 4-27 Schematic Diagram of Eye-map Testing Device [54]

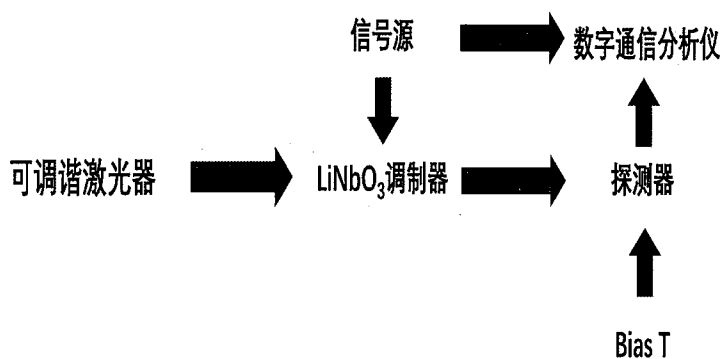


图 4-28 眼图测试原理示意图

Fig. 4-28 Schematic diagram of eye image test principle

在-2V 偏压下我们对探测器进行了眼图测试，得到如图 4-29 所示的 30.26Gb/s 的眼图。由图可知图像中图案比较清楚，这说明探测器可以在 30.26Gbs 的传输速度下稳定运行。

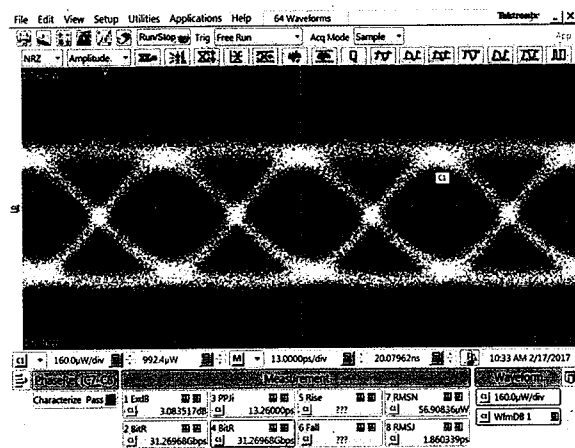


图 4-29 30.26Gb/s 眼图

Fig. 4-29 Eye chart of 30.26Gb/s

4.4 本章小结

本章对波导集成水平结构的锗探测器的光栅、波导、锗层等主要部分进行了结构上的表征，在表征之前介绍了常用的表征方法，并对表征结果进行了工艺方面的解释；随后我们对探测器进行了暗电流、光电流、3-dB 带宽等主要性能参数的测试，计算出了光响应度并分析了测试结果。

第五章 全文总结与展望

5.1 全文总结

本文在深入调研硅光技术的基础上,着眼于通信波段探测器应用领域,展开了对硅基光波导集成锗探测器的研究,完成了波导集成 PIN 型水平结构的锗光电探测器从器件设计、工艺制备、结构表征和性能测试等一系列工作,具体主要工作内容如下:

(1) 前期通过文献调研,深入研究了硅光技术的发展状况,充分认识到了传统集成电路的发展瓶颈和波导集成电路的优势;然后在确定对红外探测领域研究后,我们又调研了硅基波导集成锗探测器的发展现状和研究,充分认识到外延锗工艺对波导集成锗探测器性能有着决定性影响。

(2) 系统分析了光电探测器的基本工作原理,详细描述了三种光电探测器的主要结构和它们的工作原理,然后我们对暗电流、光响应度、3-dB 带宽等光电探测器主要性能参数进行了详细讲解和讨论,随后我们对波导集成锗探测器的光耦合方式和主要器件结构类型展开了详细讲解,最后使用 silvaco 仿真软件对水平结构和垂直结构的锗光电探测器进行了对比研究。

(3) 确定了器件的各个设计部分,包括衬底的选择、探测器材料、光耦合方式、探测器与波导的结合方式等,然后我们重点讲解了探测器中最重要的外延锗工艺,包括它的发展现状,和具体工艺的具体实施步骤;最后我们利用中科院的标准 CMOS 工艺线完成了整个波导集成锗探测器的研制,并详细地讲解了每一步工艺过程。

(4) 首先介绍了半导体中常用的结构表征方法,随后使用 SEM、AFM 等仪器完成了对光电探测器的光栅、波导、锗层等主要结构上的表征,表征显示锗层生长良好;随后我们对探测器进行了性能测试,得到了探测器的暗电流和光电流,并计算得出了光响应度。在 1550nm 波长下,本文探测器在-1V 电压下测得暗电流为 11.6nA,接近国际水平,暗电流在-3V~1V 的测试结果均小于 $1\mu\text{A}$,反映了锗

层生长质量良好，探测器整流特性良好；光响应度没有达到 1A/W ，整体不高；考虑到是低温锗层对光生载流子的吸收影响了光响应度；3-dB 带宽为 20GHz ，探测器在 30.26Gbs 传输速度下的眼图图形清晰可见，这说明该探测器可以在 30.26Gbs 的传输速度下稳定运行。

5.2 未来展望

本文器件的提出和制备展现了硅光平台制造高密度硅光芯片的潜力和能力，本文所做工作对波导集成锗探测器的研究和应用具有一定的借鉴意义，本文在写作过程当中整理了一些想法和问题，如下：

- 在探测器制备完成过程中，对外延生长的锗层会进行 CMP（化学机械平坦化）处理，但是该处理会不可避免地损伤到锗层，锗层的研磨损伤会引进大量缺陷，这会使探测器的暗电流变大，进而最终影响到器件的性能。我们有资料显示负性光刻胶具有轻微氧化腐蚀效果，可以腐蚀掉锗层的损伤层，同时不会影响到锗层本身，工艺优化过程如图 5-1 所示。

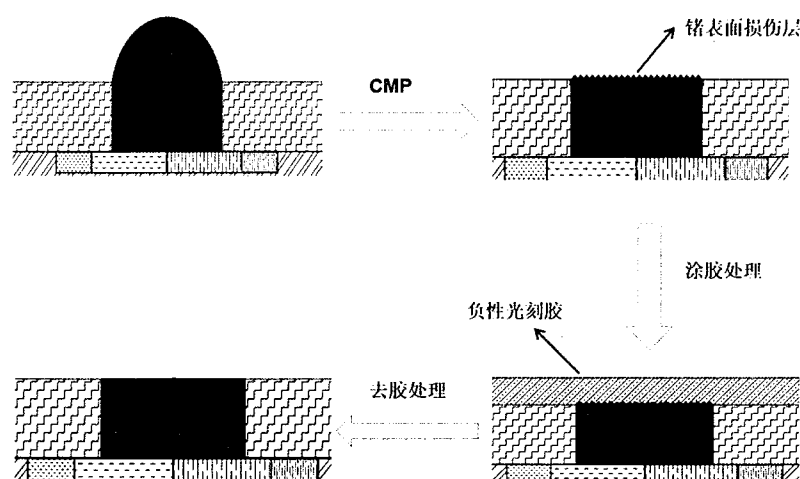


图 5-1 CMP 步骤的工艺优化

Fig. 5-1 Process optimization in the CMP step

- 本次制备波导集成锗探测器的工艺过程中，外延锗层采取的是高温生长和选择性外延生长结合的方法。在表征结果里面我们也看到位错被很好地限制在低温层中，但是低温层仍旧会在 220nm 硅层上，它会吸收探测器工

作时产生的光生载流子，这会影响器件的光响应度。如何降低甚至消除低温层对器件性能的影响成为一个值得研究的方向。