



硅基电光调制器及其 2.5D 封装关键技术研究

培养单位: 中国科学院微电子研究所

2021年6月

**Research on silicon-based electro-optical modulator and key
technologies of its 2.5D packaging**

**A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Doctor of Philosophy
in Microelectronics and Solid State Electronics**

By

Juan Wei

Supervisor: Professor Liqiang Cao

Professor Fengman Liu

[Institute of Microelectronics of The Chinese Academy of Sciences]

June 2021

中国科学院大学
研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名： 阮娟
日 期： 2021.3.22

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名： 阮娟
日 期： 2021.3.22

导师签名： 
日 期： 2021.3.22

摘 要

随着微电子集成电路不断向着小尺寸、高集成度和高速率方向飞速发展,传统电互连在固有损耗、反射、串扰、延迟、功耗、成本和重量等方面的问题越来越严重,不再能满足信息社会的发展需求。而硅基光电集成不仅可以充分地发挥出光子低功耗、高带宽、低串扰等优点,同时还可以充分利用现有成熟的微电子 CMOS 工艺平台。因此,硅基光电集成技术有着广泛的应用和市场前景,并将推动新一代高性能计算机、光通信设备和消费电子产品的发展。硅基光电子集成在近些年来发展迅速,但硅材料在光电特性方面的一些“先天不足”导致硅光在低能耗和大规模集成方面面临着一定的挑战,包括片上光源、光耦合、光调制以及高密度集成封装等。本文基于硅光工艺条件,针对这些挑战进行了系统的研究。本文主要研究内容和创新如下:

(1) 设计并制作了一种新型的背部耦合光栅结构以解决带有光栅接口的光子器件在倒装使用时的耦合问题。采用 FDTD 数值分析方法对光栅进行了系统地设计和优化,详细研究了各个参数对光栅性能的影响。在中心波长 1535nm 处处,TE 和 TM 偏振态的实测耦合效率分别为 ~ 3.3 dB 和 ~ 2.7 dB (包括链路损耗和耦合损耗),高于常规光栅的 -4.3 dB 和 -4.9 dB。此外,提出了一种基于背入射光栅耦合器的光源混合集成方案,并提出了一种空间光学和波动光学相结合的光场分析方法。计算得到该片上混合集成方案耦合效率 ~ 4 dB,初测耦合效率 < -40 dB,初步验证了该方案的有效性。

(2) 研究了高效率低功耗的硅基电光调制器,并通过 Lumerical Device 软件对 PN 结相移器进行了优化设计,通过 Ansys HFSS 软件对行波电极结构进行仿真优化,全面分析了各个参数对调制器性能的影响。该设计在比利时 IMEC 进行了流片制作。采用该调制器芯片设计制作了一款 100Gbps 的硅光收发模块,模块整体功耗低至 15.75 pJ/bit,误码率小于 $1e-13$ 。另外,提出了一种基于 1:4 定向耦合器结构的光域 PAM-4 调制器。调制器采用两段长度相等的单端推挽式分段电极结构,只需幅值相同的两组 NRZ 信号便可驱动其工作,有效减小了电极的微波损耗,并降低系统的复杂性。仿真结果显示,在 50Gbaud 数据传输速率时,

可以实现清晰的 PAM-4 眼图，且眼图的一致性较好，消光比达到了 4.6dB。

(3) 研究了硅基高速电光调制器的 2.5D 封装集成关键技术，制作了一款支持 4×64 Gbps 以上传输速率的硅光 PAM-4 发送模块。设计中采用有限元方法，仿真了电、热、应力等因素对模块性能的影响，并对 2.5D 集成的微组装工艺进行了研究和改进。封装完成的 2.5D 模块的小信号带宽在 20GHz 以上，在 32Gbaud 传输速率时可以实现清晰的 PAM-4 眼图，对应的 TDECQ 为 1.36dB，且模块功耗低至 6pJ/bit。

关键词：硅基光电集成，光栅耦合器，片上集成光源，硅光调制器，2.5D 集成

Abstract

With the rapid development of microelectronic integrated circuit in the direction of small size, high integration and high speed, traditional electrical interconnections have more and more serious problems in terms of inherent loss, reflection, crosstalk, delay, power consumption, cost, and weight, which can no longer meet the development needs of information society. Silicon-based optoelectronic integration can not only take full advantage of photonics' low power consumption, high bandwidth, low crosstalk, etc., but also make full use of the existing mature microelectronics CMOS process platform. Therefore, silicon-based optoelectronic integration technology has a wide range of applications and market prospects, and will promote the development of a new generation of high-performance computers, optical communication equipments and consumer electronic products. Silicon-based optoelectronic integration has developed rapidly in recent years, but some "congenital shortcomings" of silicon in terms of optoelectronic properties have caused silicon photonics to face certain challenges in low energy consumption and large-scale integration, including on-chip laser sources, optical coupling, optical modulation, and high-density package. Based on the silicon photonics process conditions, this paper conducts a systematic research on these challenges. The main research contents and innovations of this paper are as follows:

(1) A novel back-coupling grating structure was designed and manufactured to solve the coupling problem of photonic devices with grating interface in flip-chip applications. The grating is systematically designed and optimized using the FDTD numerical analysis method, and the influence of each parameter on the performance of the grating is studied in detail. At the central wavelength of 1535nm, the measured coupling efficiency of the TE and TM polarization is ~ 3.3 dB and ~ 2.7 dB (including the link loss and coupling loss), respectively, which are higher than the -4.3dB and -4.9dB of conventional gratings. In addition, a hybrid integrated laser source based on the back-incident grating coupler is proposed, and a light field analysis method combining space optics and wave optics is presented. The calculated coupling

efficiency of the on-chip hybrid integrated laser source is about -4 dB, and the initial measurement coupling efficiency is less than -40dB, which preliminarily verifies the effectiveness of the hybrid integrated laser source.

(2) The silicon-based electro-optical modulator with high efficiency and low power consumption was studied. The PN junction phase shifter was designed and optimized by Lumerical Device software, and the traveling wave electrode structure was simulated and optimized by Ansys HFSS software. The influence of each parameter on the performance of the modulator is comprehensively analyzed. The design was taped out at IMEC, Belgium. And we have designed and manufactured a 100Gbps silicon optical transceiver module using the modulator chip, achieving an overall power consumption of 15.75 pJ/bit and a bit error rate of less than $1e-13$. In addition, a light-domain PAM-4 modulator based on a 1:4 directional coupler structure is proposed. The modulator uses two single push-pull segmented electrode structures with equal lengths and only two NRZ signals with the same amplitude are required to drive its work, thereby effectively reducing the microwave loss of the electrode and reducing the complexity of the system. The simulation results show that at a data transmission rate of 50Gbaud, a clear PAM-4 eye pattern can be realized with a good consistency of the three eyes, and the extinction ratio reaches 4.6dB.

(3) The key technologies of 2.5D integration of silicon-based high-speed electro-optical modulators were studied, and a silicon photonic PAM-4 transmitting module supporting a transmission rate of more than 4×64 Gbps was fabricated. The finite element method was used in the design to simulate the influence of factors such as electricity, heat and stress on the performance of the module, and micro-assembly process of the 2.5D integration was researched and improved. The small signal bandwidth of the packaged 2.5D module is above 20GHz, and a clear PAM-4 eye pattern is realized at a transmission rate of 32Gbaud. The corresponding TDECQ is as low as 1.36dB, and power consumption of the module is as low as 6pJ/bit.

Key Words: silicon-based optoelectronic integration, grating coupler, on-chip integrated light source, silicon optical modulator, 2.5D integration

目 录

摘 要.....	I
ABSTRACT.....	III
目 录.....	VII
图目录.....	XI
表目录.....	XIX
第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.1.1 电互连的挑战.....	1
1.1.2 光通信技术概述.....	2
1.1.3 硅基光电子学的提出.....	4
1.2 硅基光电子集成研究和发展概述.....	7
1.2.1 硅基光电子集成发展历程.....	7
1.2.2 硅基光电子集成技术趋势.....	14
1.2.3 硅基光电子集成研究面临的挑战.....	15
1.3 本论文的主要工作及创新点.....	17
1.3.1 论文的主要工作.....	17
1.3.2 论文的主要创新点.....	18
第 2 章 SOI 光波导基础理论.....	21
2.1 平面光波导的基本理论.....	21
2.1.1 射线光学理论.....	21
2.1.2 波动光学理论.....	22
2.1.3 平面光波导的模式.....	23
2.2 SOI 光波导理论概述.....	27
2.2.1 SOI 光波导基本结构.....	29
2.2.2 SOI 波导的模式及其特性.....	29
2.2.3 有效折射率法.....	31
2.2.4 光波导的损耗机制.....	32
2.2.5 光波导的耦合机制.....	35
2.3 光波导数值研究方法.....	36

2.4 本章小结	38
第 3 章 背入射光栅及片上集成光源的研制	39
3.1 光栅耦合器概述	39
3.1.1 光栅耦合器的基本结构	39
3.1.2 光栅的工作原理和理论基础	40
3.1.3 光栅耦合器的研究现状	43
3.2 背入射光栅耦合器的设计和研究	47
3.2.1 背入射光栅的提出	47
3.2.2 背入射光栅的设计和优化	50
3.2.3 背入射光栅的制作和测试	60
3.3 片上集成光源的解决方案	64
3.3.1 片上集成光源研究概述	64
3.3.2 基于背入射光栅的片上集成光源方案	66
3.3.3 基于背入射光栅的片上集成光源的测试	68
3.4 本章小结	69
第 4 章 硅基电光调制器的研制	71
4.1 硅基电光调制器概述	71
4.1.1 硅材料中的调制机制	71
4.1.2 硅基电光调制器概述	74
4.1.3 调制器的性能指标	77
4.1.4 硅基电光调制器研究现状	80
4.2 硅基 NRZ 电光调制器的设计和研究	84
4.2.1 波导设计	85
4.2.2 PN 结设计	86
4.2.3 行波电极设计	93
4.2.4 硅基电光调制器制作与测试	100
4.3 硅基光域 PAM-4 调制器设计与研究	103
4.3.1 PAM-4 概述	103
4.3.2 PAM-4 研究现状	106
4.3.3 光域 PAM-4 调制器设计与流片	108
4.4 本章小结	119

第 5 章 硅基光电 2.5D 封装技术研究.....	121
5.1 硅基高密度光电集成技术概述.....	121
5.1.1 光电集成技术背景.....	121
5.1.2 硅基光电 2.5D 集成概述.....	125
5.1.3 2.5D 集成技术面临挑战.....	127
5.2 硅光调制器的 2.5D 封装方案设计.....	129
5.2.1 2.5D 硅光模块方案设计.....	129
5.2.2 2.5D 硅光模块的测试方案.....	131
5.3 2.5D 封装方案关键技术研究.....	132
5.3.1 电学信号完整性研究.....	132
5.3.2 2.5D 封装的散热特性.....	138
5.3.3 2.5D 封装的翘曲研究.....	140
5.4 2.5D 硅光模块的制作和组装.....	142
5.4.1 硅转接板和陶瓷基板的制作.....	142
5.4.2 组装工艺流程设计.....	144
5.4.3 2.5D 硅光模块的微组装工艺.....	145
5.5 2.5D 硅光模块的测试.....	152
5.5.1 高速传输线测试.....	153
5.5.2 模块的光损耗测试.....	154
5.5.3 2.5D 硅光模块的小信号带宽测试.....	155
5.5.4 2.5D 硅光模块的高速传输性能测试.....	156
5.6 本章小结.....	159
第 6 章 总结和展望.....	161
6.1 本论文主要工作内容和结论.....	161
6.2 未来工作展望.....	163
参考文献.....	165
致 谢.....	179
作者简历及攻读学位期间发表的学术论文与研究成果.....	181

图目录

图 1.1 (a)摩尔定律的发展; (b)微电子 CPU 制程成本	1
图 1.2 光通信技术的发展	3
图 1.3 短距光互连代表性工作: (a)Intel 50G 硅基光电联结系统; (b)IBM CMOS 集成硅纳米光子芯片	4
图 1.4 Intel 硅基光电子集成芯片概念图	6
图 1.5 一个典型的硅基光电子通信系统框架	6
图 1.6 英特尔和 UCSB: 世界上首个硅基混合集成电泵浦激光器	9
图 1.7 IBM: 40 Gb/s Ge 波导纳米光子雪崩探测器	10
图 1.8 中科院半导体研究所: 低插损高速率硅基马赫曾德尔调制器	10
图 1.9 硅基光电子集成: (a)Intel 400G QSFP-DD 硅光模块; (b)亨通洛克利 400G QSFP-DD DR4 硅光模块	11
图 1.10 硅光厂商的技术成熟度	12
图 1.11 硅基光电集成的应用领域	13
图 2.1 射线光学理论: (a)Snell 定律; (b)全反射	22
图 2.2 (a)平面波导; (b)波矢与波法线之间的关系	25
图 2.3 硅光子学中的常见波导	29
图 2.4 有效折射率法求解过程: (a)条形波导; (b)脊型波导	31
图 2.5 典型硅纳米线光波导和标准单模光纤的横截面示意图	35
图 3.1 典型光栅耦合器的截面图	39
图 3.2 光纤完全垂直时 (芯片耦合到光纤), 强背反射: (a)波矢图; (b)示意图	41
图 3.3 光纤正失谐时 ($\beta > K$), 背向反射得到抑制: (a)波矢图; (b)示意图 ...	42
图 3.4 光纤负失谐时 ($\beta < K$), 背向反射完全消除: (a)波矢图; (b)示意图 ...	42
图 3.5 用硅波导层内部不对称性来增强光栅方向性的方法: (a)双刻蚀光栅; (b) 倾斜刻蚀光栅; (c)双层光栅	44
图 3.6 三种不同的底部金属反射镜实现方法: (a)BCB 键合; (b)分布式布拉格反	

射器 (DBR); (c)硅上氮化硅平台 (SiNx-on-SOI)	45
图 3.7 改善偏振敏感的光栅耦合器: (a)1D PSGC ; (b)2D PSGC.....	46
图 3.8 基于微电子 45nm CMOS SOI 工艺实现向衬底衍射光栅	48
图 3.9 将球形透镜集成到有机封装基板的通孔中实现了光栅向下耦合输出 ^[101]	49
图 3.10 向下衍射光栅与混合集成聚合物透镜相结合实现高对准容差.....	49
图 3.11 背入射光栅耦合器结构.....	49
图 3.12 光栅耦合器在 Lumerical FDTD Solutions 软件的仿真模型.....	51
图 3.13 光栅耦合效率随刻蚀深度的变化: (a) 1550nm 波长处刻蚀深度对耦合效率的影响; (b) 不同刻蚀深度时耦合效率的波长扫描曲线	52
图 3.14 背入射光栅耦合器中不同界面处的反射示意图 ($\beta > K$).....	53
图 3.15 光栅耦合效率随上包层厚度的变化: (a) 1550nm 波长处上包层厚度对耦合效率的影响; (b) 不同上包层厚度时耦合效率的波长扫描曲线	54
图 3.16 1550nm 波长处不同埋氧层厚度时耦合效率的波长扫描曲线: (a)TE; (b)TM	55
图 3.17 背入射光栅耦合器中不同界面处的反射示意图 ($\beta < K$).....	55
图 3.18 光栅耦合效率随占空比的变化: (a) 1550nm 波长处占空比对耦合效率的影响; (b) 不同占空比时耦合效率的波长扫描曲线	56
图 3.19 光栅耦合效率随周期的变化: (a)1550nm 波长处光栅周期对耦合效率的影响; (b)不同光栅周期时耦合效率的波长扫描曲线	56
图 3.20 光栅耦合效率随 (空气中) 入射角的变化: (a) 1550nm 波长处入射角对耦合效率的影响; (b) 不同入射角时耦合效率的波长扫描曲线	58
图 3.21 光纤与光栅相对位置的定义.....	58
图 3.22 光栅耦合效率随光纤位置的变化: (a) 1550nm 波长处光纤位置对耦合效率的影响; (b) 不同光纤位置处耦合效率的波长扫描曲线	59
图 3.23 TE 模式的背入射光栅耦合效率.....	60
图 3.24 TE 模式的背入射光栅的光功率分布: (a)无金属反射镜; (b)有金属镜.....	60
图 3.25 背入射光栅的工艺流程	61

图 3.26 背入射光栅 SEM 照片: (a) 光栅整体结构照片; (b) TSV 形貌; (c) TSV 侧壁.....	62
图 3.27 背入射光栅耦合器耦合效率测试: (a)光栅测试系统; (b)光栅样品	62
图 3.28 背入射光栅耦合器耦合效率测试曲线: (a) TE; (b) TM.....	63
图 3.29 背入射光栅的切片图: (a)TE; (b)TM.....	64
图 3.30 用于 2.5D/3D 集成的片上混合集成光源解决方案.....	66
图 3.31 LoS 结构: (a)示意图; (b)SiOB 照片; (c)Zemax 软件的射线追踪仿真; (d)透镜位置偏移对耦合效率的影响	67
图 3.32 重叠积分计算失配损耗: (a)LoS 模场; (b)光栅模场; (c)模场位置偏移时的失配损耗.....	68
图 3.33 片上集成光源测试: (a)测试平台示意; (b)LoS 红外出光照片; (c)红外相机测试照片.....	69
图 4.1 1310nm 和 1550nm 波长处的等离子色散效应: (a)有效折射率变化; (b)吸收系数变化.....	74
图 4.2 基于等离子色散效应的三种硅基电光调制器: (a)累积型; (b)注入型; (c)耗尽型.....	74
图 4.3 光调制器原理.....	75
图 4.4 基于载流子色散效应的微环调制器: (a)示意图; (b)不同电压时的调制光传输谱.....	76
图 4.5 MZI 调制器示意图	77
图 4.6 MZM 的输出功率随施加电压的变化: (a)线性传输曲线; (b)分贝传输曲线.....	77
图 4.7 硅光调制器的研究热点.....	80
图 4.8 不同的掺杂分布优化方法.....	81
图 4.9 利用慢光效应优化行波电极以改善调制器性能: (a)折线型电极; (b)“T”型电极.....	82
图 4.10 硅与其他材料混合集成调制器: (a)硅-聚合物; (b)硅-石墨烯; (c)硅-铌酸锂薄膜; (d)硅-表面等离子体.....	83

图 4.11 硅基电光调制器的设计流程示意图	84
图 4.12 1550 nm 处的光学 TE 模式: (a)脊型波导; (b)条形波导	85
图 4.13 SOI 波导的有效折射率和群折射率	86
图 4.14 PN 结掺杂浓度和位置示意图	86
图 4.15 改变脊区 P 型掺杂浓度时的光损耗和有效折射率变化	87
图 4.16 改变脊区 N 型掺杂浓度时的光损耗和有效折射率变化	88
图 4.17 P/N 掺杂浓度对调制器节电容的影响: (a) N_p ; (b) N_n	89
图 4.18 PN 结偏移对光损耗和有效折射率变化的影响	89
图 4.19 PN 结在不同位置时波导内的空穴浓度分布: (a) $x_{offset} = 0$; (b) $x_{offset} = 100\text{nm}$; (c) $x_{offset} = 200\text{nm}$	90
图 4.20 中掺杂区位置对光损耗和有效折射率变化的影响	91
图 4.21 中掺杂区位置对平板区电阻的影响	91
图 4.22 重掺杂位置对光损耗的影响	92
图 4.23 调制器 PN 结性能: (a)光波导模式有效折射率; (b)光波导模式群折射率; (c)相移器损耗&调制效率; (d)PN 结耗尽区电容&调制器本征带宽	92
图 4.24 载流子耗尽式硅光调制器的行波电极等效电路模型	93
图 4.25 不同端接阻抗时的调制性能: (a)调制响应; (b)耗尽区电压	94
图 4.26 调制器的两种主要电极结构: (a)共面波导 CPW; (b)共面带状线 CPS	96
图 4.27 通孔等效对调制器行波电极传输特性的影响	97
图 4.28 有源区对行波电极特性的影响	97
图 4.29 信号电极的宽度 W 对行波电极特性的影响	98
图 4.30 信号电极与地电极的间距 D 对行波电极特性的影响	98
图 4.31 电极参数为 $W=5.5\mu\text{m}$, $D=3.5\mu\text{m}$ 时, 不同偏压下的调制器行波电极传输 特性	99
图 4.32 不同偏压下的电光带宽仿真结果: (a)1.5mm; (b)2.5mm	99
图 4.33 硅光调制器芯片 SEM 照片	100
图 4.34 硅基电光调制器封装原理图	100
图 4.35 硅基 MZI 调制器的封装基板实物	101

图 4.36 硅基 MZI 调制器的封装链路优化	102
图 4.37 硅光模块测试系统框图.....	102
图 4.38 不同传输距离时的硅光模块眼图测试结果: (a)1km; (b)2km	103
图 4.39 NRZ 和 PAM-4 调制编码方式和眼图: (a)NRZ; (b)PAM-4	104
图 4.40 PAM-4 光发射机的光功率传输曲线.....	105
图 4.41 PAM-4 产生方法示意图: (a)电域 PAM-4; (b)多段式 MZM; (c)两段式 MZM	108
图 4.42 利用双段 MZM 结构实现的 84 Gbaud PAM-4.....	108
图 4.43 基于定向耦合器的光域 PAM-4 调制器工作原理	109
图 4.44 定向耦合器示意图: (a)SOI 平台上的常规 DC; (b)所设计的大带宽 DC	112
图 4.45 定向耦合器: (a)Lumerical FDTD 软件中的仿真界面; (b)1:4 光功率分布	113
图 4.46 分光比 k 随光波长的变化.....	113
图 4.47 采用单推挽式行波电极结构的调制器截面图.....	114
图 4.48 光域 PAM-4 调制器的波导和 PN 尺寸	114
图 4.49 光域 PAM-4 调制器在不同偏压下: (a)调制效率&损耗; (b)耗尽区电容和本征带宽.....	114
图 4.50 0V 偏压下不同长度的单推挽式行波调制器的仿真带宽.....	115
图 4.51 两种情况的传输线: (a)行波电极在 M1 层布线; (b)行波电极在 M2 层布线.....	116
图 4.52 不同金属层作为传输线布线层时对调制器传输特性的影响.....	116
图 4.53 PAM-4 高速传输特性的仿真模型	118
图 4.54 不同波特率时的 PAM-4 眼图: (a)25Gbaud; (b)50Gbaud	118
图 4.55 CompoundTek 流片的 PAM-4 调制器版图	119
图 5.1 用于高性能数据中心的硅光 2.5D 多芯片模块收发器.....	126
图 5.2 2.5D 光收发机与 ASIC/FPGA 等计算节点芯片集成的方法	126
图 5.3 2.5D TSI 技术在移动设备和数据中心应用中的路线图.....	127

图 5.4 硅光 2.5D 集成封装示意图.....	129
图 5.5 (a)定制化的连接器; (b)放入连接器中的光模块	131
图 5.6 2.5D 光模块中无源链路的测试示意图.....	131
图 5.7 2.5D 光模块的测试示意图.....	132
图 5.8 硅转接板的叠层设计.....	133
图 5.9 不同基板上的高速传输线类型: (a)硅载板; (b)陶瓷基板; (c)PCB 测试板	134
图 5.10 不同尺寸的 BGA 传输特性对比: (a)仿真模型; (b)S21; (c)S11; (d)TDR	135
图 5.11 信号球周围地球个数对传输性能的影响.....	136
图 5.12 BGA 反焊盘大小对传输特性的影响	137
图 5.13 2.5D 硅光模块的仿真: (a)HFSS 中的仿真模型; (b)材料以及端口设置示 意.....	138
图 5.14 优化的 2.5D 硅光发送模块的高速 RF 传输特性.....	138
图 5.15 2.5D 硅光模块在实验室条件下的工作温度分布: (a)单通道; (b)四通道同 时工作.....	140
图 5.16 280 度高温回流后陶瓷基板和硅载板的翘曲情况仿真: (a)仿真模型及网 格; (b)翘曲仿真结果	141
图 5.17 2.5D 封装结构在最高 65°C 工作温度下的翘曲情况: (a)仿真模型及网格; (b)翘曲仿真结果	142
图 5.18 硅转接板的制作流程.....	143
图 5.19 LTCC 陶瓷基板的制作流程.....	144
图 5.20 2.5D 硅光模块的微组装工艺流程.....	145
图 5.21 硅转接板倒装工艺: (a)回流焊温度曲线; (b)组装好的硅载板-陶瓷基板 组件.....	146
图 5.22 初始倒装芯片工艺方案: 先在芯片上植金球.....	147
图 5.23 先在芯片上植金球工艺方案的问题: EIC/PIC 引脚未对准.....	147
图 5.24 改进方案: 直接在硅载板上植金球并采用热压金凸点键合技术.....	148

图 5.25 热压金凸点键合方案: (a)在硅载板上植金球; (b)热压后裂片的电芯片	148
图 5.26 硅载板上激光植 Sn 球方案	149
图 5.27 激光植焊球方案: (a)硅载板上植 Sn 球; (b)光芯片表面的打线	149
图 5.28 贴装完成的 EIC/PIC-硅载板-陶瓷基板组件: (a)显微镜下的实物照片; (b)X-ray 下观测的焊点	150
图 5.29 陶瓷基板背面植球: (a)回流温度曲线; (b)助焊剂焊接 BGA: 结合力差, 掉球; (c)采用锡铅焊膏+锡银铜焊球方案的陶瓷基板植球	151
图 5.30 光耦合: (a) 8 通道 FA 俯视示意图; (b) 光芯片上的光耦合口	151
图 5.31 组装完成的 2.5D 模块	152
图 5.32 硅载板的 S 参数: (a)S ₂₁ ; (b)S ₁₁	153
图 5.33 硅载板-陶瓷基板组件去嵌入后的 S 参数: (a)S ₂₁ ; (b)S ₁₁	153
图 5.34 模块插损测试框图	154
图 5.35 模块小信号测试框图	155
图 5.36 2.5D 硅光模块四通道的带宽	156
图 5.37 2.5D 封装器件大信号眼图测试框图	157
图 5.38 2.5D 光模块的 25Gbaud NRZ 眼图	157
图 5.39 26.5625GBaud 的 PAM-4 眼图: TDECQ=1.05dB	158
图 5.40 32GBaud 的 PAM-4 眼图: TDECQ=1.36dB	158

表目录

表 2.1 三种硅基光波导性能对比.....	28
表 2.2 光栅耦合和边缘耦合的对比.....	36
表 3.1 背入射光栅的设计参数及其调谐因子.....	59
表 3.2 硅基片上集成光源的方法对比.....	65
表 4.1 NRZ 和 PAM-4 电光调制器的对比.....	117
表 4.2 25 Gbaud 和 50 Gbaud 时光域 PAM-4 信号的相关性能.....	119
表 5.1 光电集成方法比较.....	121
表 5.2 硅光集成与III-V族光模块的特性.....	123
表 5.3 光电混合集成方法演变.....	124
表 5.4 不同基板材料的对比.....	130
表 5.5 2.5D 封装结构中的材料热导率.....	139
表 5.6 2.5D 封装中的材料等效热导率.....	140
表 5.7 2.5D 封装的 3 种基本组装流程对比.....	145
表 5.8 2.5D 模块微组装中的问题以及解决方案总结.....	152
表 5.9 模块的插损测试结果.....	155

第 1 章 绪论

1.1 研究背景及意义

1.1.1 电互连的挑战

随着现代信息产业的飞速发展，以及物联网 (IoT)、云计算和大数据时代的到来，人们对信息数据容量和处理速度的需求迅速增长。在传统的微电子领域，集成电路 (IC) 的制造工艺随着摩尔定律的发展而不断发展^[1]，现在 7nm 工艺已进入生产阶段，而 5nm 和 3nm 工艺也在稳步推进，工艺节点的每一次突破都会带来更好的性能和更低的功耗。但是，如图 1.1 所见，当 CPU 制程小于 28nm 之后，每百万门的成本不降反升，这意味着我们正在接近摩尔定律的极限。其原因在于，特征尺寸受到半导体处理技术的限制，并且不可能无限制地减小。当器件的尺寸约为 10nm 时，会有明显的量子效应，即电子越过屏障，导致电流泄露，从而导致晶体管失效。另一方面，随着设备的尺寸越来越小，电互连的延迟和损耗变得越来越突出^[2]。尽管已经使用铜代替铝，并且低 K 介电材料在某种程度上改善了这些性能，但是随着器件尺寸的进一步缩小，仍无法避免延迟和损耗的问题。此外，随着互连密度和互连层数量的增加，层间串扰、电磁干扰、带宽限制以及过多的功耗和散热等问题给微电子行业带来了新的挑战^[3-6]。

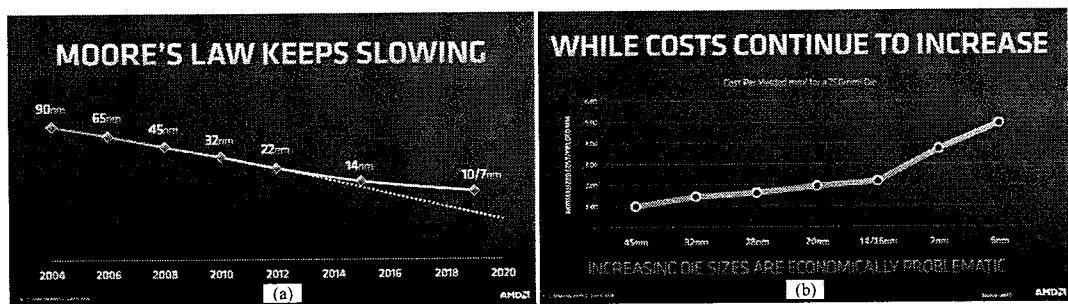


图 1.1 (a)摩尔定律的发展; (b)微电子 CPU 制程成本

Figure 1.1 (a)The development of Moore's Law; (b)Cost of microelectronics CPU process

在数据中心领域，当单核处理器的性能接近物理极限时，处理器的结构变得越来越复杂。此时，微处理器的发展已进入多核时代，这意味着一个高性能系统中的每一个单核处理器都需要具有独立的访问通道以访问存储器中的数据，单核

处理器已成为研究的重点^[7]。另外,随着处理器系统频率和尺寸的增加,由于信号衰减、反射、信号串扰、电磁干扰等问题,基于电子传输载体和金属线的电气互连技术的信息处理速度已经无法满足系统的整体要求。因此,电气互连或转换已经成为多核处理器发展的巨大瓶颈,严重制约了系统性能的提高^[3-6]。

当 ICs 的复杂性增加时,根据众所周知的 Rents 规则^[8],输入/输出 (I/O) 引脚的数量呈指数增长,从而导致系统级的布线需求增加^[9-10]。对于下一代系统,PCB 和电子封装面临着严峻的挑战,其原因是:(a)连接逻辑器件和存储器件的电子封装的互连密度有限;(b)较长的 PCB 和封装导线长度所带来的与寄生效应相关的更高 I/O 电路功耗;(c)较高时钟频率下的功耗劣势 ($1/2fCV^2$)。与 CMOS 技术节点相比,封装 (C4) 的凸点间距缩放速度明显降低,这也是电互连挑战的表现之一^[11]。

为了解决上述问题,研究人员作了很多努力,可能的解决方案包括^[12-13]:采用预加重和均衡技术来改善信号在互联线上的传输质量;采用 3D 堆叠封装技术;设计时对互连版图进行优化以保证互连线长度最短;采用超导传输线代替铜线等。这些方法虽然可以在某些方面改善电互连性能,但是要么需要严苛的外部条件,要么大幅增大了电路复杂度,成本高且良率无法保证,未免“得不偿失”。要想根本性地解决芯片内的互连“瓶颈”,从物理传输媒质上改变互连方式才是最有效的方案,即由电互连转为光互连。光作为一种信息传输媒质,与电相比,带宽大、延迟小、功耗低且免电磁干扰,已经在长距离光纤通信系统中获得了令人瞩目的成功。如果能将传统的电互连方式部分或完全替换为光互连,将很大程度上缓解芯片内的互连延迟和功耗等问题。

1.1.2 光通信技术概述

作为信息通信史上的一次重大变革,光纤通信技术一经问世便受到了广泛关注并获得了迅速发展,如今已经成为长距离高速通信的主流技术。光纤通信技术的研究开始于 20 世纪中叶,当时正处于第三次工业革命时期,最早研制的光纤损耗为 358 dB/km,这显然无法满足信号传输需求。1966 年,“纤维光学之父”高锟发表论文提出,高损耗是由于杂质引起的,并不是玻璃的固有属性,并首次提出在远距离通信时采用石英来制作光纤,损耗可以低至 20 dB/km^[14]。美国

Corning 公司在 1970 年验证了这一点, 实际制作出了损耗 $\sim 20 \text{ dB/km}$ 的石英光纤, 其长度约 $30\text{m}^{[15]}$ 。1976 年, Bell 实验室在华盛顿亚特兰大建立了一条实验线路, 但是由于当时还没有通信用的激光器, 而是用发光二极管 (LED) 做光纤通信的光源, 所以传输速率很低, 仅 $45 \text{ Mb/s}^{[17]}$ 。1984 年左右, 由于通信用半导体激光器的研制成功, 光纤通信速率可达 144 Mb/s 。1992 年, 一根光纤传输速率达到 2.5 Gb/s 。1996 年, 各种波长的激光器研制成功, 波分复用 (WDM) 技术诞生, 可实现多波长多通道的光纤通信, 于是光纤通信的传输容量可以通过增加信道数目按指数增长。之后光纤通信系统开始快速发展, 在 2000 年, 利用 WDM 技术, 一根光纤传输速率可以达到 640 Gb/s , 光纤通信系统的传输容量和传输速度都得到了大幅提高。而最新研发的掺铈石英光纤损耗为 0.2 dB/km , 已接近理论损耗极限值。光纤通信技术已经经过了几十年的研究, 尤其在近十几年中, 得到了长足的发展, 在 $>100\text{m}$ 的长距离通信时, 光通信, 主要是光纤通信, 以其低损耗和高容量的优势占据着绝对地位, 广泛应用于长途骨干网、局域网、城域网等领域。

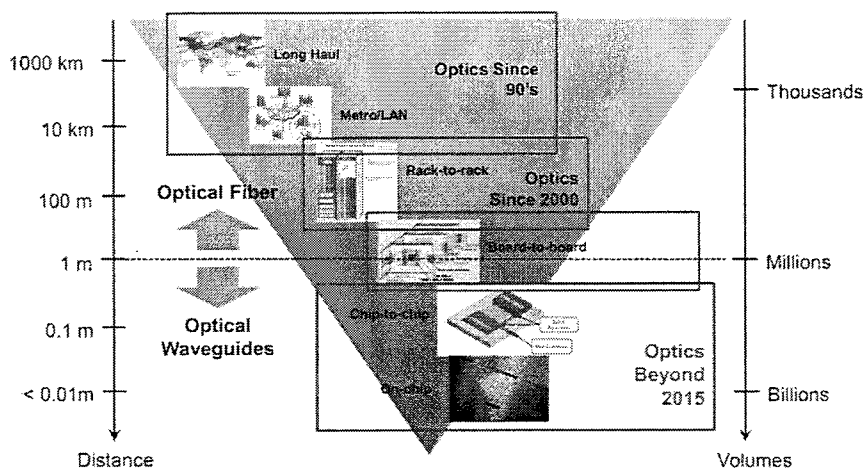


图 1.2 光通信技术的发展

Figure 1.2 The development of optical communication technology

而对于短距离传输, 特别是板级互连, 由图 1.2 可见, 光通信的媒介由光纤变为波导。其实, 2004 年之前, 光通信还是主要集中在远距离光纤通信的相关应用上, 而在短距离通信领域, 还是电互连占据主导地位。近年来, 一些应用场景, 比如数据中心信号传输、5G 接入网以及芯片间的光互连, 都产生了短距大容量

传输的需求,光器件和数字信号处理器件的发展,也让低成本大容量的短距光互连有了研究和发展的空间。2008 年,超级计算中心的机柜与机柜之间已经开始采用了光互连,并且 Luxtera、Lightwire 等公司陆续发布了嵌有硅光收发器的有源光缆 (AOC),这些产品在超级计算机、数据中心以及通信运营商的传输装置领域的应用迅速扩大。此后几年,Intel、Lightwire、Luxtera、IBM 等公司纷纷投入大量资源在短距离光通信的研究工作上,光互连因而迅速发展,且其应用进一步拓展到板级间和芯片间。其中,最具代表性的工作分别是 Intel 研究院发布的 50G 硅基光电联结系统和 IBM 宣布的 CMOS 集成硅纳米光子技术,如图 1.3 所示。Intel 使用光束替代电子在计算机内部及周边进行数据传输,光互连传输速率达到 50Gbps,这比电互连的传输速率高得多。IBM 提出的新型芯片技术,将电子和光学设备融合到同一硅晶圆上,实现了芯片间通道从电信号到光脉冲的进化,使处理器朝着更小、更快、更高效的方向迈进。这些研究成果使我们向着超细光纤替代金属连接线路的目标又前进了一步,从而可以在更长的距离上传输更多的数据,彻底改变了未来计算机的设计方式及数据中心的架构方式。虽然目前厘米/毫米量级的短距离光通信技术还没完全成熟,但是光子的先天优势加上研究人员的不懈努力,让我们有充分理由相信,使用光互连技术和光电集成电路部分或完全代替电子设备指日可待。

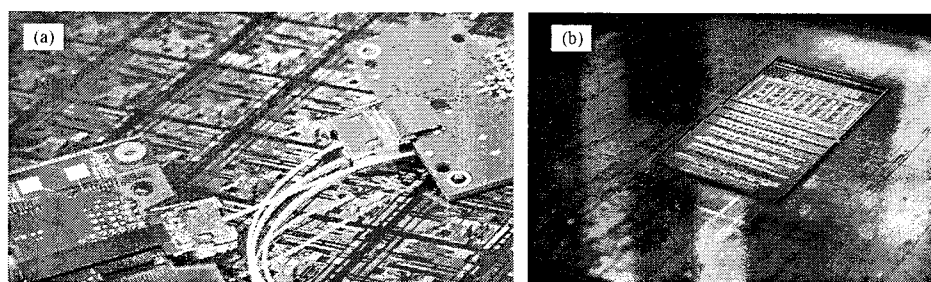


图 1.3 短距光互连代表性工作: (a)Intel 50G 硅基光电联结系统; (b)IBM CMOS 集成硅纳米光子芯片

Figure 1.3 Representative work of short-reach optical interconnection: (a)Intel 50G silicon-based optoelectronic system; (b)IBM CMOS integrated silicon nanophotonic chip

1.1.3 硅基光电子学的提出

由于光子不具有电荷与质量,拥有低能量耗损,且不容易受到外界干扰的特

性,是解决半导体在不断微缩过程中产生的延迟和功耗等问题的有效方案,并成为后摩尔定律时代中新兴的重要技术。光芯片主要是将多个具有不同功能的光学系统整合在一颗芯片上,就如同微电子领域的电芯片,但利用光波导取代金属导体并以光子来进行运算。光芯片与传统的电芯片相比,具有更高的运算效率和信息传输量,也兼具耗能低、无须复杂的散热设计等优点,因此被认为在未来可延续摩尔定律,并传承旧有硅芯片的发展。

在众多光子技术中,硅材料起初并不被看好,因为硅不是制作有源光子器件(包括激光器,光电探测器和调制器)的良好材料。首先,硅是一种间接带隙材料,发光效率较为低下,在硅中制造激光器非常具有挑战性。其次,由于硅光通信波段为 $1.31\sim 1.55\mu\text{m}$,而硅在该波段下是透明的,因此必须结合使用另一种带隙较小的材料来实现光探测。第三,硅是中心反演对称晶体,没有线性电光效应,因此,最初似乎不可能在硅中进行电光调制。但是随着 SOI 材料的引入和使用,人们逐渐发现,硅材料其实是一种特别突出的光电子材料。

硅光技术可以使用标准的 CMOS 技术来开发硅光子器件,并将硅光子器件 (Photonic integrated circuit, PIC) 和电子电路 (Electronic integrated circuit, EIC) 集成在同一硅芯片上,其中,“光子”是主要信号载体。与其它半导体材料相比,硅具有低成本和高质量的优势。首先,硅具有高的热导率(约为 GaAs 的 10 倍),较高的光学损伤阈值(约为 GaAs 的 10 倍)和较高的三阶光学非线性效应(Kerr 效应和 Raman 效应分别比标准光纤高 100 倍和 1000 倍)。另外,绝缘体上硅(SOI)材料具有较大的折射率差,这有利于实现超小型功能器件并提高芯片的集成度。而且,可以与成熟的硅处理技术相结合,创造出适合大规模市场应用的低成本光子器件。光互连与硅基光电集成电路技术的发展有着广泛的应用和市场前景,这将推动新一代高性能计算机、光通信设备和消费电子产品的发展。

Intel 提出的硅基光电子集成芯片概念图如图 1.4 所示,包括光纤耦合接口、波导、波长复用器/解复用器 (MUX/DEMUX)、光调制器、光探测器、光开关和光源等。一个典型的硅基光电子通信系统框架如图 1.5 所示,包括有光发射部分,光传输部分和光接收部分,具体器件如下:

- 1) 驱动器:驱动调制器工作的电芯片,将输入的小信号电压转变为调制器工

作所需的电压摆幅或电流驱动信号。

- 2) 硅光调制器：硅基有源器件，通过将高速电信号加载到光载波上，使电信号转化为光脉冲信号通过光波导/光纤进行传输。
- 3) 光纤：作为光发射机和光接收机之间的光传输媒介，实现信号传递。
- 4) 探测器：硅基有源器件，将硅光调制器的输出光信号转化为光电流，然后经过后续跨阻放大器（TIA）的处理，还原出原始电信号。
- 5) 跨阻放大器：接收并处理探测器输出电流的电芯片，将探测器输出的小电流信号转化为电压信号并进行放大和整形，然后可以从相关测试仪器读取原始电信号。

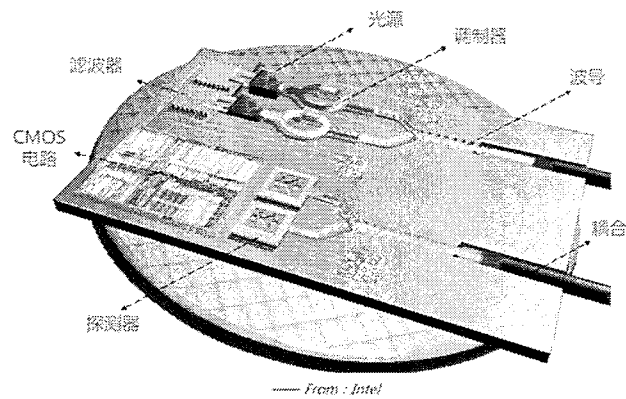


图 1.4 Intel 硅基光电子集成芯片概念图

Figure 1.4 Intel: Conceptual diagram of silicon-based optoelectronic integrated chip

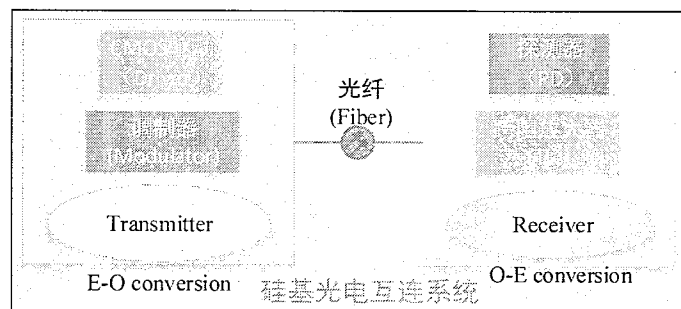


图 1.5 一个典型的硅基光电子通信系统框架

Figure 1.5 A typical framework of silicon-based optoelectronic communication system

另外，硅基光电子链路中还包括一些必需的无源器件：

- 1) 光栅耦合器/端面耦合器：光输入输出端口，通常用作光纤（或自由空间）和亚微米 SOI 光波导之间的光耦合。

- 2) 波导：硅基无源器件，包括脊型波导和条形波导。脊型波导用于电光器件制作，条形波导用于路由。
- 3) 合分波器：硅基无源器件，用于光的分束和合束，包括定向耦合器，Y分支器和多模干涉仪（MMI）等。

当然，这里所展示的只是一个最基本的单通道点对点的硅基光电子系统。为了实现更高的速度，更大的带宽和更低的功耗，一个完整的硅基光电系统还需要另外的电路和光路以实现多核处理器更为复杂的通信。例如，在电路中引入并/串转换器，将多路低速数据转换成一路高速数据，反之也可引入串/并转换器，将一路高速信号转换成多路低速信号进行传输；或者在光路中引入复用器/解复用器（MUX/DMUX），实现光的波分复用/解复用。毫无疑问，一个完整的硅基光电互连系统，是后摩尔时代带宽瓶颈的有效解决方案。尽管硅光领域现有还有一些关键技术尚未突破，但硅基光电子的低成本、低功耗、高集成度和高传输带宽的优势以及其广阔的应用前景一直激励着各大公司和高校的科研人员从事着相关研究，相信随着相关技术的不断进步，所有关键技术都将被一一突破，硅基光电子也将越来越市场化、实用化。

1.2 硅基光电子集成研究和发展概述

1.2.1 硅基光电子集成发展历程

硅基光电子集成由于其巨大的发展潜力和应用前景，吸引了全世界研究机构和人员的广泛关注。学术界的参与者包括麻省理工学院、南加州大学、康奈尔大学、普渡大学、哥伦比亚大学、东京大学、新加坡微电子研究所等，工业界的玩家包括 Intel、IBM、甲骨文、思科、三星、华为等知名大公司。众多国家投入巨资推动硅基光电子集成技术的快速发展。例如，欧洲 19 个国家推出的 HELIOS 项目，旨在利用微电子工艺来集成光电子和 CMOS 电路，研究内容包括硅基光源、高速电光调制器、锗探测器等关键光电器件，以及混合集成技术、光电功能器件、复杂功能 CMOS 单片集成等；日本实施的 PECST 项目，目标是实现“片上数据库”，即在硅片上实现数据库的部分功能；美国推出了超性能纳米光子芯片内通信计划（UNIC），实现了电子-光子异质集成（E-PHI），包括远程通信收发

器、激光雷达传感器和通信设备的相干光系统、光学任意波形发生器和基于综合图像处理和显示电路的多波长成像仪；中国开展的“973”、“863”等项目，也包含一系列硅基光互连的研究，中国科学院、北京大学、浙江大学、华中科技大学、上海交通大学等机构报告了许多创新成果，在一些研究领域达到世界级水平。硅基光电子集成自提出以来，经历了几十年的研究，取得了许多突破性进展，总的来说，硅基光电子集成的发展历程可以分为四个阶段：

(1) 概念和验证阶段

集成光学的概念最早由 Bell 实验室的 Stewart E. Miller 于 1969 年提出^[16]，指在光电子学和微电子学基础上，采用集成方法研究和发展光学器件和混合光电子器件。集成光学将复杂的光学功能集成到单个器件中以实现器件小型化、低成本，并改善器件效率和可靠性。1985 年，被称作硅基光电子之父的 Richard A. Soref 教授提出^[18]：单晶硅既可以作为微电子材料，也可以作为光波导材料，同时实现电/光信号传递。随后，出现了众多硅光技术的基础理论，如 Soref 波导理论、激光放大理论、硅掺杂调制等等，但当时器件的发展开始是比较缓慢的。1987 年，Soref 教授基于 Kramers-Kronig 关系与实验，发现了晶体硅中的等离子色散效应，即硅材料中载流子浓度的变化将会改变硅的折射率实部与虚部，该效应在相同场强下的电光相互作用比 Kerr 效应大一个数量级，这为后续硅基调制器的实现奠定了理论基础。1993 年可以算是硅基光电子概念研发的元年，因为 Soref 教授在其之前各种硅光器件研究的基础上，首次提出了硅基光电子集成的概念并展示了其优势与广泛的应用场景^[19]。他提出采用四族材料可以实现光电子与微电子集成 (OEIC)，并且采用张应力材料与量子阱结构可以弥补硅有源器件性能的不足，实现较高性能的有源器件。

(2) 性能爬升阶段

从上个世纪八十年代开始，学术界一直致力于硅基片上光器件集成的研究，但是由于硅材料本身的缺陷，硅基有源器件的性能一直无法与 III-V 族材料相比，限制了硅光的应用。自等离子色散效应被发现以来，多种硅基电光调制器被陆续提出，但带宽均很小，只有 MHz 量级。直到 2004 年，Intel 成功研制了基于 MOS 电容结构的高速硅基马赫曾德尔电光调制器 (MZM)^[20]，速率可达到 GHz 量级，

比此前发布的硅基调制器快了接近 50 倍，标志着徘徊多年的硅基光电子学研究取得了突破性的进展，所以 2004 年也被称为硅基光电子应用元年。随后，硅基无源器件包括光栅耦合器/模斑变换器，偏振调控器件，复用/解复用器，SOI 波导等，硅基有源器件包括硅基 III-V 激光器，MZ 调制器，锗硅探测器等，都得到了迅速发展。在这里我们无法一一列举所有成果，仅挑选几个最具代表的进行说明。

由于硅是一种间接带隙半导体，很难在硅材料上直接制作发光器件。除了使用耦合器将外部光源的光耦合到芯片中，一种解决方案是使用硅 III-V 混合集成 (Hybrid Silicon Laser)。2006 年，英特尔和 UCSB 首次将 III-V 族材料与 SOI 衬底相结合，从而在一个芯片中整合了 InP 的发光特性和 Si 的光路由优点，成功实现了世界上首个硅基混合集成电泵浦激光器^[21]。该激光器结构如图 1.6 所示，InP 掺杂形成电极，给其施加电压，产生的激光进入 Si 波导，从而形成持续的激光束。该激光器运行的连续波阈值为 65mA，最大输出光功率为 1.8mW，最高工作温度为 40°C。该激光器采用大规模硅基制造技术和制造方法，允许在一个键合步骤中制造百台激光器，实现了大批量、低成本和集成化，从而使得硅基光电子学可以更广泛地应用于未来计算机和数据中心中。

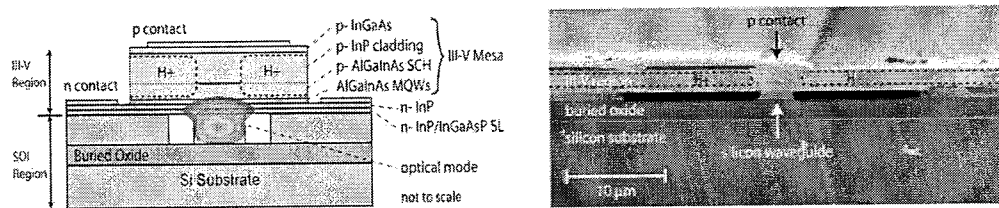


图 1.6 英特尔和 UCSB：世界上首个硅基混合集成电泵浦激光器

Figure 1.6 The world's first silicon-based hybrid integrated electric pump laser

硅基光电探测器有两种，分别是混合集成探测器和锗探测器。由于锗具有与 CMOS 兼容的工艺，它越来越受到人们的关注。2010 年，IBM 发布了一款 40 Gb/s Ge 波导纳米光子雪崩探测器 (Nano-photonics APD)^[22]，如图 1.7 所示，其工作电压低至 1.5V，比传统的雪崩光电探测器低 20 倍。同时，它采用的是标准的硅工艺流程，与 CMOS 工艺兼容，便于大规模集成。除此之外，该 APD 的雪崩增益可达 10dB 以上，且噪声降低了 70%。这项工作对于各种硅基光互连应用和高灵敏度光接收器来说都具有重要意义。

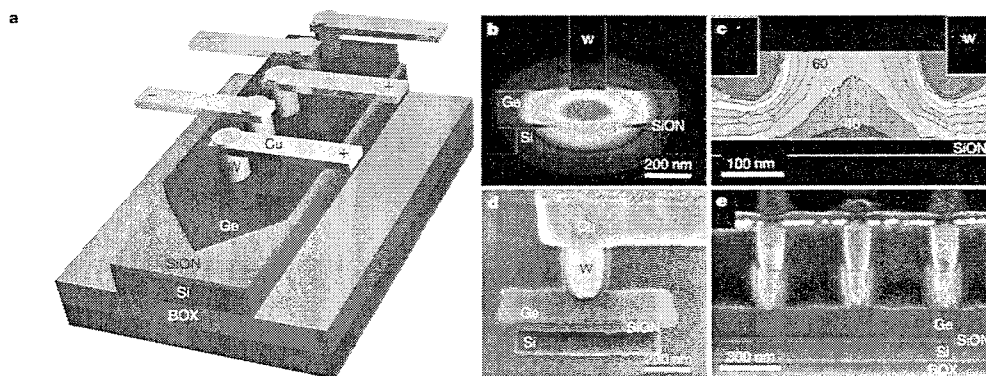


图 1.7 IBM: 40 Gb/s Ge 波导纳米光子雪崩探测器

Figure 1.7 IBM: 40 Gb/s Ge waveguide nanophotonic avalanche detector

2013 年, 中科院半导体研究所基于横向 PN 结中的载流子耗尽效应, 展示了具有低插入损耗的高速硅基马赫曾德尔调制器^[23], 其结构如图 1.8 所示。研究人员通过优化波导结构和精确定位 PN 结, 实现了 $<2\text{V}\cdot\text{cm}$ 的高调制效率; 通过优化掺杂浓度和位置, 实现了 1.9dB 的低片上插入损耗。该调制器长度为 750 μm , 可实现 60Gb/s 的数据传输速率。该硅基电光调制器的实现展示了单硅调制器与商用铌酸锂调制器的性能差距大幅缩小, 为高速、低功耗、低成本和可靠的电光信号转换奠定了坚实的基础, 为硅基光电子的进一步发展铺平了道路。

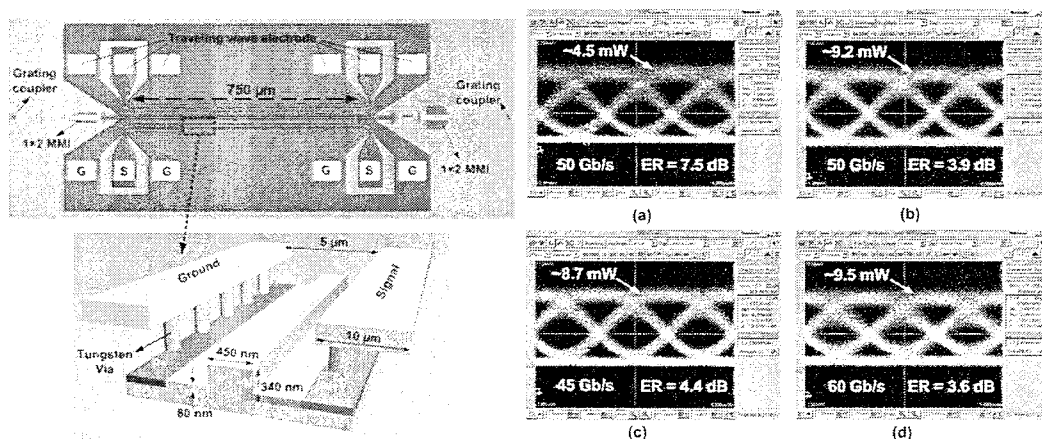


图 1.8 中科院半导体研究所: 低插损高速率硅基马赫曾德尔调制器

Figure 1.8 ISCAS: Low insertion loss and high rate Si-based Mach-Zehnder modulator

(3) 集成和商用阶段

硅基光电子集成的研究成果远远不止以上列举的这些, 但是, 也有必要看到, 近年来在高影响力期刊上发表的关于纯硅光子器件的论文很少, 这表明硅基光互连的基本结构和功能类别已经基本定型, 硅基光互连正在逐步从研究走向实用,

即进入了集成和商用阶段。美国的 Luxtera 公司引领了硅基光电子集成的商业化, 2006 年, 该公司首次采用标准 CMOS 工艺推出了 $4 \times 10 \text{ Gb/s}$ 集成光收发模块, 将光栅耦合器、MZI 电光调制器、锗探测器、波导解复用器、驱动电路和接收器电路集成在单片芯片上^[24]。2012 年, Luxtera 报告了其最新的 $4 \times 28 \text{ Gb/s}$ 集成模块。随后, IBM 在其之前提出的硅基三维光子集成芯片的概念基础上, 利用 90nm CMOS 技术实现了一个 25 Gb/s 的单片集成收发器^[25], 并于 2015 年 5 月报道了一个单片集成 $4 \times 25 \text{ Gb/s}$ 收发器芯片。此后, 用于 100 Gb/s 相干光通信的硅光子收发器模块得到了业界的广泛关注。2016 年, Intel 推出的硅光 100G PSM4 QSFP 和 100G CWDM4 QSFP 收发器产品, 整合了硅电子和硅光子元件, 在独立的硅芯片上实现了高达 100 Gbps 的传输速率, 是传统铜线传输的 4 倍。该产品具有的微型化、高速率和低功耗的优点, 可有效解决数据交换瓶颈及能耗问题。2018 年, SiFotonics 推出了 400G DR4 硅光全集成芯片 MP5041, 该芯片在几十平方 mm 的面积上集成了 4 通道 53 Gbaud 硅基 MZ 调制器、4 通道 53 Gbaud 波导型 Ge/Si 探测器、光监控探测器、片上电容/负载以及众多硅基无源器件。2019 年, Intel 展示了其采用 QSFP-DD 封装形式的 400 Gb/s 硅光收发模块, 如图 1.9(a) 所示。2020 年, 亨通洛克利发布了基于硅基光电子集成的 400G QSFP-DD DR4 光模块, 如图 1.9(b) 所示。

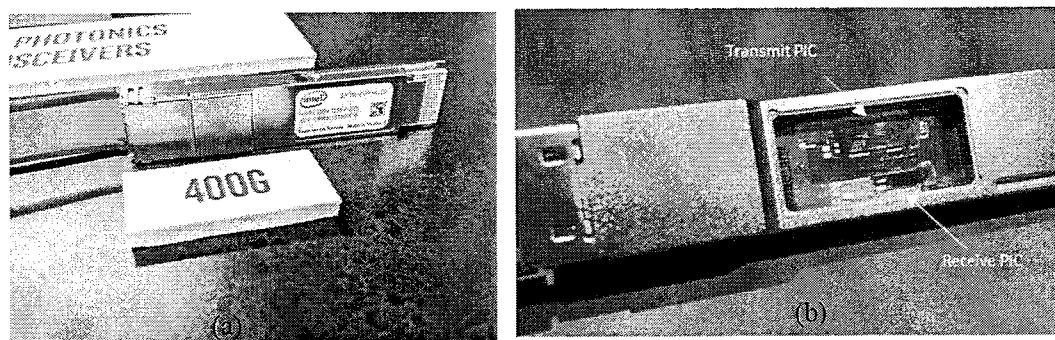


图 1.9 硅基光电子集成: (a) Intel 400G QSFP-DD 硅光模块; (b) 亨通洛克利 400G QSFP-DD DR4 硅光模块

Figure 1.9 Silicon-based optoelectronic integration: (a) Intel 400G QSFP-DD silicon optical module; (b) Hengtong Rockley 400G QSFP-DD DR4 silicon optical module

自 2015 年, 硅基光电子集成技术呈现出爆发式的成长, 并逐步从实验室走入市场, 吸引了 Microsoft、Amazon 及 Facebook 等互联网巨头的注意。这些公司的数据中心经常在云端连接和处理大量数据, 因此会受到传统铜线和低速光纤传输的限制, 运行效率低下, 硅光子技术的发展将有效解决这一问题。行业巨头公司对硅光的重视, 显示了硅光在实用性方面的巨大潜力, 业内对其也持乐观态度, 多个研究机构积极参与到硅基光电子技术的设计研发中, 硅基光电子产业主要参与者的技术成熟度如图 1.10 所示。传统的硅光芯片企业主要是以集成器件制造 (IDM) 模式为主, 而随着国际上硅光产业链逐渐成熟, 越来越多的无工厂芯片供应商 (Fabless) 企业开始加入。从基础研发到商业应用, 均在蓬勃发展, 各个研究机构相互竞争与合作, 共同推动硅基光电子产业的大规模应用。

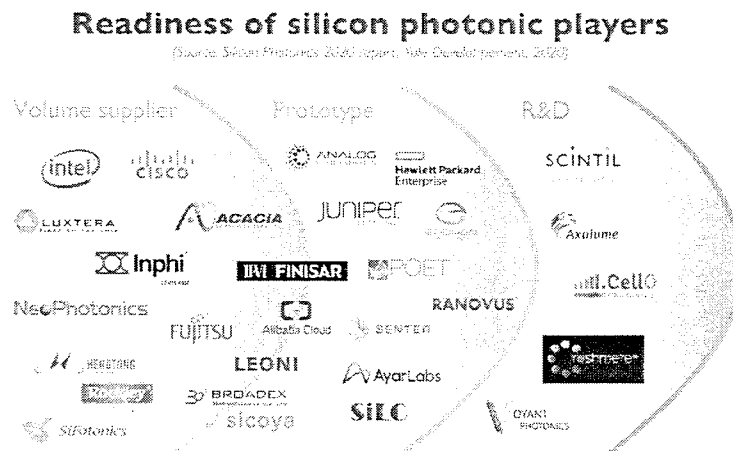


图 1.10 硅光厂商的技术成熟度

Figure 1.10 Technology maturity of silicon photonics vendors

(4) 泛在化应用阶段

硅基光电子集成在通信领域的应用, 经过几十年的研究, 已经基本建立了一系列用于数据中心、光纤传输、5G 承载网络以及光接入等场景的硅基光电子产品解决方案。其目前主要的应用是数据中心光模块和中长距离相干光模块, 占比几乎超过 90%。数据中心硅光模块主要是 100G CWDM4 和 PSM4, 以 Intel 为代表的厂商已经实现批量供货。相干光模块主要用于数据中心互连 (DCI) 或者电信城域网/骨干网中长距离通信, 很多厂商都已经推出了硅光相干产品, 比如国外的 Acacia、Macom、SiPhotonics 公司以及中国的国家信息光电子创新中心等, 并

且 Acacia 和 Macom 已经能够量产出货。但是，硅基光电集成的应用远不止通信领域，工业界和学术界也一直在积极探索该技术的新应用，包括：生物传感^[26-27]，激光雷达系统^[28-29]，量子技术^[30-32]，高速和微波信号处理^[33]，人工智能^[34]等，如图 1.11 所示，硅基光电子集成技术开始进入泛在化应用阶段。

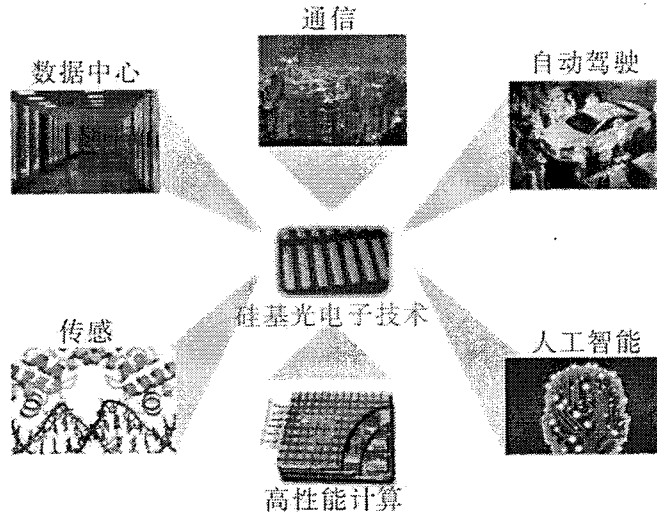


图 1.11 硅基光电集成的应用领域

Figure 1.11 Application areas of silicon-based optoelectronic integration

在传感领域，韩国高等科学技术研究院 (KAIST) 开发了一款基于硅的超小型、低功耗光学相控阵 (OPA) 芯片，该芯片可用于 3D 图像传感器的关键部件，具有集成度高，扫描速度快，体积小且成本低的优点，在自动驾驶、无人驾驶飞机、机器人和面部识别系统等多种电子产品中发挥重要作用。该款芯片还可以将其捕获到的 3D 图像数据在特定方向上进行无线传输，进而实现电子设备之间的高分辨率和大容量图像信息的无限制通信。相信在不远的将来，该芯片会被嵌入到智能手机中，以支持各种 3D 传感应用，如人脸识别和增强现实 (AR) 等。

在量子技术领域，布里斯托尔大学量子工程技术 (QET) 实验室的研究小组展示了由数百种近千个光学器件组成的量子干涉硅光子芯片，该芯片将硅光和硅微电子芯片结合起来，实现了高维度、高精度、高稳定性以及可编程的量子纠缠、量子操控、量子传输和量子测量^[32]。此外，该团队证明了小规模硅光子电路也可以产生和处理大量光子，这为下一代量子模拟器的制造提供了一种思路。

在人工智能 (AI) 领域，AI 处理器芯片所需的高吞吐量和大规模矩阵运算可以通过硅光学神经网络计算单元完成。2017 年，来自英国 Exeter 大学、Oxford

大学和 Münster 大学的研究人员，宣布了其类脑光驱动芯片的研究成果^[34]。他们用特殊相变材料和光子集成电路模拟人脑神经突触，使得这款芯片在测试中的数据传输速度达 300Gbps，比传统电子计算机快两个数量级，同时功耗降低了三个数量级。光计算速度快、功耗低、延时低，且不易受到外界条件如温度、电磁场和噪声变化等的影响，在 AI 应用领域，将光子学与电子学结合，有望实现比传统方法更好的速度和能效。

1.2.2 硅基光电子集成技术趋势

硅基光电子集成经历几十年的发展，已经可以实现较高的速度和较低的损耗，但是随着 5G、物联网和 AI 应用的兴起，对电光收发器的速率要求将会不断提高。为了进一步扩展传输链路的带宽，硅基光电子集成将从集成方案、封装形式和调制格式三个方面进行改进。

(1) 集成方案：2D 走向 2.5D/3D

引线键合 (Wire-bonding, WB) 技术是目前传统的光电器件 2D 封装方案，它是将半导体芯片焊区与电子封装外壳的 I/O 引线或基板上技术布线焊区用金丝连接起来的工艺技术。由于金丝会引入巨大的感性寄生效应，光电器件的高频性能深受金丝长度的影响，也不利于实现多芯片封装的小型化。因此，硅光封装方案逐渐向 2.5D/3D 集成演进，通过光电芯片协同设计以及小型化封装，突破 I/O 性能瓶颈。与传统的 WB 技术相比，2.5D/3D 集成允许在不增加芯片尺寸的情况下，将更多的功能封装到芯片中，并且缩短芯片之间的通信路径，有望提供更高的芯片连接性和更低的功耗。

(2) 封装形态：光电共封装

光电共封装 (Co-package, CPO) 是通过在高性能集成电路，如 CPU/FPGA/GPU/ASIC 等) 封装内集成光接口来大幅提升带宽密度和吞吐量、降低能耗并提高 I/O 能力的一种全新集成技术。通过光电共封装将光接口逐渐靠近高性能集成电路芯片，已经成为业界共识，Microsoft 与 Facebook 等公司成立了 CPO 组织，旨在推动光电共封装的发展。Intel 与 Ayalabs 基于小芯片 (Chiplet) 集成架构，将低工艺需求的硅光收发单片集成芯片从现有高需求的大芯片中剥离出来，采用并行高级接口总线 (Advanced Interface Bus, AIB)，通过嵌入式多芯片互连桥接

(Embedded Multi-Die Interconnect Bridge, EMIB) 封装技术将 CPU 和硅光收发芯片集成封装, 展示了业界第一个集成光口的 CPU, 其带宽密度约为 1Tb/s/mm, 功耗约为 0.5pJ/bit。亨通洛克利基于串行接口, 将 12 个功耗小于 3W 的 100Gbps 光接口与 Switch 芯片集成, 展示了业界首个 1.2 Tbps 以太网分组交换机。

(3) 先进调制格式: 低阶到高阶

当今时代的数据量呈现井喷式增长, 这不仅意味着更多的数据, 也意味着更快的数据传输速率。新一代的 200G/400G 接口标准对每对差分线上的数据速率诉求是提高到了 50Gbps 以上, 如果仍然采用传统的低阶调制方案如非归零技术 (NRZ), 每个符号周期只有不到 20ps, 这显然对整个光电传输链路的时间裕量要求太过于苛刻。而高阶调制格式, 比如 QPSK、QAM、PAM-4 等, 能够在有限的频谱宽度内, 更充分地提高频谱利用率, 并更大限度地增大数据传输速率。其中, 四级脉冲幅度调制 (PAM-4) 技术使用 4 个不同的幅度来传递信息, 一个通道相当于 NRZ 技术的两个通道, 可以有效提升带宽利用率, 并可以显著减少传输链路中光学器件的数量, 避免了额外的空间或能源消耗, 能够在成本、功耗以及密度之间达到一个平衡, 十分具有实用前景。

1.2.3 硅基光电子集成研究面临的挑战

硅基光电子集成在近近年来发展迅速, 但硅材料在光电特性方面的一些“先天不足”导致硅光在低能耗和大规模集成方面面临着一定的挑战, 主要可从以下几方面进行说明:

(1) 硅基光源

硅的最大缺点就是该材料具有间接带隙, 难以实现受激光子辐射, 所以发光效率非常低, 这也就意味着需要额外的制造步骤并产生光耦合损耗。由于三五族材料与硅的晶格不匹配, 直接在硅上外延生长三五族材料的难度较大, 且生长质量不是很理想, 所以目前普遍采用的方法是用三五族半导体激光器作为光源, 然后利用 die-to-wafer 或者 die-to-die 的方式将激光器芯片键合至硅基光电子芯片上, 即光源的混合集成。这种方法虽然一定程度上能解决硅基光源的问题, 但是它成本高、成品率较低和无法大规模量产的缺点限制了其广泛应用。

(2) 光耦合

由于硅芯和二氧化硅包层之间的折射率差异很大（在 1550nm 处 $\Delta n = 2$ ），传播模式可以被高度限制在波导中，硅波导尺寸在亚微米量级。这虽然有利于大规模集成，但是波导的小特征尺寸会导致光纤中的模式与波导内的模式之间产生巨大失配。光纤纤芯的直径为 9 μm ，其截面积几乎是硅波导截面积的 600 倍。目前主要的解决方案有两种，分别是端面耦合和光栅耦合。其中，端面耦合只能在芯片的边缘使用，并且需要复杂的后处理和高分辨率的光学对准，这显然增加了封装成本。光栅耦合器可以避免这些缺点，但目前还没有一款合适的应用于高密度高速率集成的倒装芯片的光栅接口。

(3) 硅光调制器

光调制器是硅光互连的关键部分之一，实现链路的电光转换。目前常用的硅基调制器的电学结构一般是基于载流子耗尽类型，光学结构主要有微环 (MR) 和马赫曾德尔 (MZ) 两种类型。MR 型硅光调制器结构紧凑，插入损耗低，功耗小，但是通常光学带宽较小，且对制造误差和环境温度变化十分敏感。尽管可以设计相应的温控和反馈电路来解决这个问题，但会增加电路复杂性，增大功耗。MZ 型硅光调制器一般结构对称，没有温度敏感的问题，易于测试，且光学带宽较大，但是 MZ 结构一般尺寸较大，功耗也高，不利于大规模片上集成。而且，MZ 调制器一般都采用行波电极结构，电光带宽受其 RC 常数的限制。

(4) 集成和封装

由于存在衍射极限，传统光电子器件的尺寸往往是 μm 甚至 mm 量级，基本很难达到 nm 级别，这会造成两个问题：一是占地面积大，二是难以与微电子器件高效连接，因此硅基光电子芯片的集成度上不去，暂时还无法与微电子芯片相比拟。目前的光电子集成多数采用 2D 封装，寄生效应明显，带宽提升有限。2.5D/3D 封装虽然能提供更高集成度，也会引入很多挑战，比如散热、应力和通道串扰等，设计时必须全面考虑芯片、封装、PCB 和系统的影响，在电、热、应力的各种效应之间寻求合适的平衡点。

除了硅光器件方面的挑战，硅基光电子目前在设计流程上也存在一些问题。首先，硅光设计软件一般功能单一，使得一个硅光器件的设计需要用到多个软件，

特别是有源器件,缺乏与微电子 EDA 工具的交互性,且还无法实现自动化设计;其次,缺少紧凑模型库 (CML) 和标准链路模型 (SLM),也缺少必要的验证方法,这些问题使得整个硅光器件设计过程效率较低。另外,从硅光产业链的角度来看,工艺平台也是硅基光电子的主要限制之一。尽管硅基光电子 ICs 和传统半导体 ICs 的工艺有一些相似,目前大多数厂商在硅光研发过程中也会借用成熟的 CMOS 平台,但实际上,硅光有很多工艺步骤都不同于 CMOS。硅基光电子集成若想做到真正的高性能,就得依靠一个专门的生产线,而生产线的建立需要大量资本支持,这也是限制硅光电子发展的原因之一。

综上所述,硅基光电子集成研究还面临着一些挑战,但是依靠 CMOS 兼容工艺,硅光将可以实现大规模生产制造,发挥成本优势,最终在晶圆级制造和封测技术上具有竞争力,从而成为“后摩尔时代”的领军技术力量。相信随着硅基光电子的不断发展以及产业化的推进,硅基光电子的设计工具也会不断改进,代工服务会日渐成熟。假以时日,硅基光电子集成会有一个更辉煌的明天。

1.3 本论文的主要工作及创新点

1.3.1 论文的主要工作

随着全球数据流量持续激增,数据中心带宽增加对传输链路的性能产生了更高要求,而摩尔定律陷入困境,使得硅光集成引起了广泛关注。硅光集成兼具微电子集成电路可大规模集成、高精度的优势和光子技术高速率、低功耗的优势。本文针对硅基光电子的关键挑战—光源、光耦合、硅光调制器及集成封装,设计并实现了一种新型的可应用于 2.5D/3D 集成的高效背入射光栅耦合器和片上混合集成光源,制作了一款高速率低损耗的差分 NRZ 电光调制器,提出了一种基于 1:4 定向耦合器的高效光域 PAM-4 调制器,并实现了硅光调制器的 2.5D 封装集成。本研究基于硅基光电子集成工艺,探索硅基光电集成的关键器件和技术。全文共分为 6 个章节,分别如下:

第 1 章,主要介绍了课题的研究背景及研究意义,概述了硅基光电子集成研究的发展历程、技术趋势和面临挑战。

第 2 章,主要介绍了硅基光电子学的 SOI 波导理论基础,包括平面光波导的

基本理论、SOI 亚微米波导的特性以及 SOI 光波导的数值研究方法等。

第 3 章，主要介绍了背入射光栅耦合器及片上集成光源的研制。首先介绍了光栅耦合器的基本理论，并综述了近年来光栅耦合器的研究进展。然后，详细介绍了背入射光栅耦合器的优化仿真设计以及制作测试结果。最后，介绍了基于背入射光栅的片上集成光源方案和相关测试结果。

第 4 章，主要介绍了硅基 NRZ 和 PAM-4 电光调制器的研制。首先概述了硅基电光调制器的原理和最新研究进展。然后系统地介绍了硅基电光调制器的设计优化方法以及制作测试结果。之后介绍了基于 1:4 定向耦合器的硅基光域 PAM-4 调制器的设计实现以及相关特性。

第 5 章，主要介绍硅基电光调制器的 2.5D 封装集成结构的研制。首先概述了硅基光电集成技术，包括技术背景、2.5D 集成研究进展以及面临挑战。然后，系统介绍了硅光调制器的 2.5D 封装方案的设计。之后介绍了 2.5D 封装方案的关键技术研究，包括信号完整性、散热以及翘曲特性。接着详细介绍了 2.5D 封装集成模块的制作和组装过程。最后详细阐述了 2.5D 硅光模块的测试结果并对测试和仿真之间的差异进行了分析。

第 6 章，为总结和展望部分。对全文的工作进行了总结，并在本文工作的基础上对后续工作作了展望。

1.3.2 论文的主要创新点

本文的主要创新点在于：

1) 针对硅基光芯片亟待解决的光耦合问题，我们提出一种新型的背部耦合光栅结构，光纤通过衬底上的盲孔与光栅耦合，并在顶部引入金属反射镜，从而解决了带有光栅接口的光子器件在倒装使用时的耦合问题。在中心波长 1535nm 处，TE 偏振态实测耦合效率 ~ 3.3 dB，TM 偏振态实测耦合效率 ~ 2.7 dB。若去除链路损耗和耦合损耗，光栅耦合效率更高，均超过了 IMEC 常规光栅的耦合效率 (TE: -4.3 dB@1558.0 nm; TM: -4.9 dB@1553.9nm)。此外，针对硅基光电集成的片上光源问题，本文提出了一种基于背入射光栅耦合器的光源混合集成方案。采用法布里-珀罗激光器加球透镜耦合结构作为光源，通过棱镜调整光源入射角度实现激光器和光栅之间的光耦合。同时，提出了一种空间光学仿真和波动光学

仿真相结合的光场分析方法,计算得到所提出的片上混合集成光源方案的耦合效率 ~ 4 dB, 初测耦合效率 < -40 dB。

2) 针对硅光集成的关键器件之一——硅基电光调制器速率受限的问题, 本文在 NRZ 调制器的研究基础上, 提出了一种基于 1:4 定向耦合器的硅基 PAM-4 电光调制器。该 PAM-4 调制器采用 1:4 定向耦合器使马赫曾德尔结构的上/下臂的光场强不一致, 相当于引入了一个新变量, 仅需两组幅值相同的 OOK 驱动信号, 便可直接在光域中生成 PAM-4 信号, 从而降低了系统的复杂性并可以实现更高的波特率。另外, 分段式结构使得每一段的电极长度都可以较短以降低微波损耗, 单端推挽式电极可以显著降低结电容从而改善带宽。仿真结果显示, 在 50 Gbaud 数据传输速率时, 可以实现清晰的 PAM-4 眼图, 且三个眼的一致性较好, 消光比达到了 4.6 dB。

3) 针对目前硅基光电子的封装和集成难题, 本文设计并实现了硅基高速光电调制器的 2.5D 封装。设计中全面考虑了电、热、应力等方面的影响, 并对组装工艺进行了设计和改进, 最终在 32 Gbaud 传输速率时实现了清晰的 PAM-4 眼图, 且其 TDECQ 低至 1.36, 模块功耗为 6 pJ/bit。该封装结构有充分潜力应用在下一代高密度高传输速率的数据中心互联应用中。

第2章 SOI 光波导基础理论

2.1 平面光波导的基本理论

硅基光电子所有无源和有源器件的基础都是光波导,包括用于光传输的条形波导、用于制作调制器的脊型波导以及用于实现光栅、探测器、多模干涉仪等器件的其他波导。光本质上是一种电磁波,光波导中的模式特性可以通过求解适当边界条件下的波动方程来得到。这是一个复杂的求解过程,我们可以先从射线光学的角度了解光波导限制光的基本原理。

2.1.1 射线光学理论

平面光波导的导光条件可以通过 Snell 折射定律来确定。设介质 1 的折射率为 n_1 ,介质 2 的折射率为 n_2 ,如图 2.1(a)所示,光线以角度 θ_1 入射到两种介质的交界面上,则部分光线会以角度 θ_1 发生反射,部分光线以角度 θ_2 发生折射并进入介质 2 中,Snell 定律指出:

$$n_1 \sin \theta_1 = n_2 \sin \theta_2 \quad (2.1)$$

当 $n_1 > n_2$ 时,折射角 θ_2 随着入射角 θ_1 增大,存在一个临界入射角 θ_c ,使得折射角为 90° ,此时公式(2.1)可简化为:

$$\sin \theta_c = n_2 / n_1 \quad (2.2)$$

对于大于临界角 θ_c 的入射角,不再有光透射到介质 2 中,这就是所谓的全内反射现象。考虑一个三层介质结构,芯层(Core)的折射率为 n_1 ,上下包层(Cladding)的折射率均为 n_2 ,且 $n_1 > n_2$ 。光线以一定角度 α 由空气-芯层界面入射进入纤芯,然后入射到纤芯-上包层界面。如果该角度超过临界角,则光线将被全内反射,然后朝纤芯下包层入射,并再次被反射,按照“之”字形路径沿纤芯层传播,如图 2.1(b)所示。从几何学原理来说,存在一个最大半角锥 α_{max} ,如果将空气中的光线限制在此圆锥内,它们将通过全内反射被纤芯引导。导波的数值孔径定义为:

$$n_0 \sin \alpha_{max} = n_1 \cos \theta_c = \sqrt{n_1^2 - n_2^2} \approx n_1 \sqrt{2\Delta} \quad (2.3)$$

其中, n_0 为空气的折射率, $\Delta = (n_1 - n_2)/n_1$ 是芯层和包层的折射率差。很明显, Δ 越大, 纤芯能接收的光线越多。

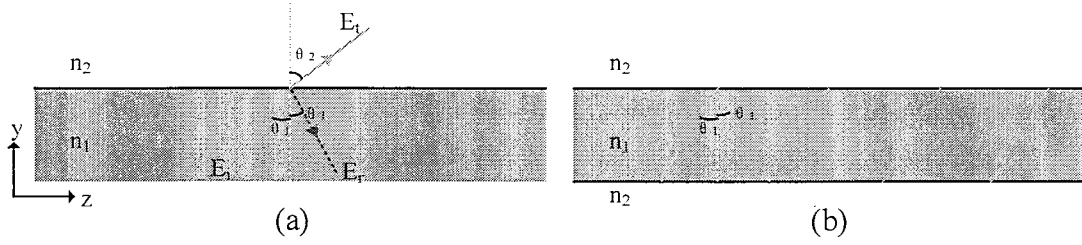


图 2.1 射线光学理论: (a)Snell 定律; (b)全反射

Figure 2.1 Ray optics theory: (a) Snell's law; (b) total reflection

2.1.2 波动光学理论

光波是一种电磁波, 其沿介质波导的传播行为满足麦克斯韦方程组。麦克斯韦方程组是 19 世纪最重要的科学发展之一, 描述了电场 $\mathbf{E}$ (V/m)、磁场 $\mathbf{H}$ (A/m)、电荷密度 ρ (C/m³) 和电流密度 $\mathbf{J}$ (A/cm²) 之间的关系。其微分形式通常如下:

$$\nabla \cdot \mathbf{D} = \rho \quad (2.4)$$

$$\nabla \cdot \mathbf{B} = 0 \quad (2.5)$$

$$\nabla \times \mathbf{E} = -\partial \mathbf{B} / \partial t \quad (2.6)$$

$$\nabla \times \mathbf{H} = \mathbf{J} + \partial \mathbf{D} / \partial t \quad (2.7)$$

假设介质为无损耗介质, 电场 $\mathbf{E}$ 、磁场 $\mathbf{H}$ 和电位移矢量 $\mathbf{D}$ 、磁感应密度 $\mathbf{B}$ 通过介质特性方程相联系, 电流密度 $\mathbf{J}$ 可用欧姆定律表示:

$$\mathbf{D} = \epsilon \mathbf{E} \quad (2.8)$$

$$\mathbf{B} = \mu \mathbf{H} \quad (2.9)$$

$$\mathbf{J} = \sigma \mathbf{E} \quad (2.10)$$

其中, ϵ 、 μ 、 σ 分别是介质的介电常数、磁导率和电导率。为了简化数学计算, 假设光波导介质材料不导电, 即 $\sigma = 0$, 首先对式 (2.6) 取旋度运算, 然后经过一系列的推导, 就可以得到如下波动方程:

$$\Delta^2 \mathbf{E} = \mu \epsilon \frac{\partial^2 \mathbf{E}}{\partial t^2} \quad (2.11)$$

同理也可以推导出磁场 $\mathbf{H}$ 的方程:

$$\Delta^2 \mathbf{H} = \mu \epsilon \frac{\partial^2 \mathbf{H}}{\partial t^2} \quad (2.12)$$

波动方程描述了电磁波的传播。求解波导的波动方程可以从数学上描述波导的模式,允许我们可视化模场,例如在从一个波导到另一个波导的光耦合过程中,可以看到一个场与另一个场的关系,这与描述模场的射线光学模型相比有明显的优势。

2.1.3 平面光波导的模式

在求解平面光波导的模式之前,首先应该了解平面光波导的一些性质,包括偏振态、反射系数、光波的相位和波矢、有效折射率等等。

(1) 模式偏振态

众所周知,电磁波的电场和磁场总是相互正交的,而且两者均垂直于传播方向,所以电磁波也称作横电磁波 (TEM)。定义模式的偏振方向是与波相关的电场矢量方向。若入射平面为 yoz 平面,电磁波沿 z 方向传输,当电场垂直于入射平面时,传播方向上没有电场,此时电磁波是横电场 (TE 模式)。与之相对应,当磁场垂直于入射平面时,传播方向上没有磁场,则为横磁场 (TM 模式)。

(2) 反射系数

考虑波在单一界面的反射和透射,根据菲涅尔公式,光在两种界面发生发射时,反射系数为复数,取决于入射角和光线的偏振。TE 和 TM 两种偏振态的反射系数分别为:

$$\gamma_{TE} = \frac{n_1 \cos \theta_1 - n_2 \cos \theta_2}{n_1 \cos \theta_1 + n_2 \cos \theta_2} \quad (2.13)$$

$$\gamma_{TM} = \frac{n_2 \cos \theta_1 - n_1 \cos \theta_2}{n_2 \cos \theta_1 + n_1 \cos \theta_2} \quad (2.14)$$

将 Snell 定律代入,式 (2.13) 和 (2.14) 变为:

$$\gamma_{TE} = \frac{n_1 \cos \theta_1 - \sqrt{n_2^2 - n_1^2 \sin^2 \theta_1}}{n_1 \cos \theta_1 + \sqrt{n_2^2 - n_1^2 \sin^2 \theta_1}} \quad (2.15)$$

$$\gamma_{TM} = \frac{n_2^2 \cos \theta_1 - n_1 \sqrt{n_2^2 - n_1^2 \sin^2 \theta_1}}{n_2^2 \cos \theta_1 + n_1 \sqrt{n_2^2 - n_1^2 \sin^2 \theta_1}} \quad (2.16)$$

当入射角小于临界角时,只发生部分反射,反射系数为实值。但是,当入射角超过临界角时,公式(2.15) 和 (2.16) 中平方根内的项变为负值,此时反射系数变为复数,反射波产生相移。与 TE 和 TM 波相关的相移可以表示为:

$$\phi_{TE} = 2 \tan^{-1} \left[\frac{\sqrt{\sin^2 \theta_1 - \left(\frac{n_2}{n_1}\right)^2}}{\cos \theta_1} \right] \quad (2.17)$$

$$\phi_{TM} = 2 \tan^{-1} \left[\frac{\sqrt{\left(\frac{n_1}{n_2}\right)^2 \sin^2 \theta_1 - 1}}{\left(\frac{n_2}{n_1}\right) \cos \theta_1} \right] \quad (2.18)$$

(3) 光波的相位和波矢

当我们将光波考虑为电磁波，那么其电场和磁场可分别表示为：

$$E = E_0 \exp [j(\omega t \pm kz)] \quad (2.19)$$

$$H = H_0 \exp [j(\omega t \pm kz)] \quad (2.20)$$

其中， $\phi = kz \pm \omega t$ 是波的相位，它随时间 t 和传播距离 z 变化，为了量化这种变化，分别取相位的时间导数和空间导数：

$$\left| \frac{\partial \phi}{\partial t} \right| = \omega = 2\pi f \quad (2.21)$$

$$\frac{\partial \phi}{\partial z} = k, k = \frac{2\pi}{\lambda} \quad (2.22)$$

上式中， ω 是角频率（单位：rad/s）， f 是频率（单位：Hz），它们描述了波的相位是如何随时间变化的。 k 是波矢，也可以称作波前方向上的传播常数，与波长有关。在自由空间中，传播常数通常表示为 k_0 ，因此介质中的传播常数 k 可表示为：

$$k = nk_0 \quad (2.23)$$

(4) 平面波导的模式及模式本征方程

平面波导是最简单的光波导，如图 2.2(a) 所示，其中芯层折射率为 n_1 ，上下包层的折射率分别为 n_2 和 n_3 。波导厚度为 h ，方向沿 y 方向，光传播沿 z 方向，之字形路径方向表示当光以波矢 k 沿波导传播时的波法线方向。 k 在 y 和 z 方向的分量分别为：

$$k_y = n_1 k_0 \cos \theta_1 \quad (2.24)$$

$$k_z = n_1 k_0 \sin \theta_1 \quad (2.25)$$

波矢和波法线之间的关系如图 2.2(b) 所示，当光沿 y 方向被引导时，相应的电磁波将形成沿该方向的驻波。考虑光沿 y 方向往返跨越 $2h$ 距离时引入的总相移：

$$\phi_t = 2n_1k_0h\cos\theta_1 - \phi_u - \phi_l \quad (2.26)$$

公式 (2.26) 右侧的第一项 $2n_1k_0h\cos\theta_1$ 是光沿 y 方向传输距离是 $2h$ 时的相位变化, ϕ_u 、 ϕ_l 分别表示光在波导-上包层和波导-下包层界面处的反射引起的相变, 这两项可以由公式 (2.17) 和 (2.18) 得到。为了使光波沿 y 方向保持不变 (满足相干增强条件), 总相移 ϕ_t 必须是 2π 的整数倍, 因此:

$$2n_1k_0h\cos\theta_1 - \phi_u - \phi_l = 2m\pi, m \text{ 为整数} \quad (2.27)$$

上式被称作平面光波导的模式本征方程。由于 ϕ_u 、 ϕ_l 都是关于 θ_1 的函数, 对于式 (2.27), 对给定的整数值 m , 可求解出对应的 θ_1 。很容易发现, θ_1 的值是离散的, 且每个 θ_1 都有相应的沿 y 和 z 方向的传播常数。由此得出结论, 光并不能以任意入射角传播, 而只能以离散的角度传播。这些离散解被称为传播模式, 由偏振和模式数来表征。例如, 第一个 TE 模式 (基本模式) 表示为 TE_0 , 高阶模式类推。

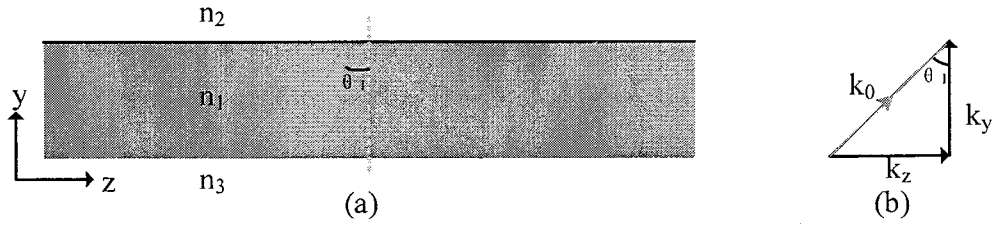


图 2.2 (a)平面波导; (b)波矢与波法线之间的关系

Figure 2.2 (a) Planar waveguide; (b) The relationship between the wave vector and normal

(5) 单模条件

根据波导介质折射率和厚度的不同, 有时波导可能仅支持单一模式, 而对于给定的光偏振方向, 单模传输对于降低波导光传播损耗是十分有利的, 因此单模条件的推导很有必要。平面光波导分为对称和非对称两种, 本文中为了简便, 仅以对称形式的平面光波导进行说明。

对称平面光波导中, 上下包层折射率相同, 所以 $\phi_u = \phi_l$, 对于 TE 偏振态, 式 (2.27) 变为:

$$2n_1k_0h\cos\theta_1 - 4\tan^{-1}\left[\frac{\sqrt{\sin^2\theta_1 - \left(\frac{n_2}{n_1}\right)^2}}{\cos\theta_1}\right] = 2m\pi, m \text{ 为整数} \quad (2.28)$$

这个方程经过重新整理，得到：

$$\tan[(n_1 k_0 h \cos \theta_1 - m\pi)/2] = \frac{\sqrt{\sin^2 \theta_1 - \left(\frac{n_2}{n_1}\right)^2}}{\cos \theta_1}, m \text{ 为整数} \quad (2.29)$$

根据之前的分析，入射角 θ_1 的最小值也就是临界角 θ_c ，对应着 m 的最大值，因此：

$$(n_1 k_0 h \cos \theta_c - m_{\max} \pi)/2 = 0 \quad (2.30)$$

$$m_{\max} = \frac{n_1 k_0 h \cos \theta_c}{\pi}, m \text{ 取整数} \quad (2.31)$$

在实际计算时， m 值应考虑最接近 $m_{\max}$ 且小于 $m_{\max}$ 的整数值，记作 M ，模式总数实际上是 $M+1$ ，因为最低阶模式的模式编号是 0。

(6) 模式的有效折射率

定义模式的有效折射率为：

$$N = n_1 \sin \theta_1 \quad (2.32)$$

则公式 (2.25) 变为：

$$k_z = \beta = N k_0 \quad (2.33)$$

前面已经介绍过，介质中的传播常数 k 等于介质折射率与真空中的传播常数 k_0 的乘积。因此我们可以认为，模式是以折射率 N 沿着波导 z 方向传播的，而不是来回“之”字形。模式的传播常数 β 的上限由入射角 θ 的最大值决定 (90°)，下限由临界角的大小决定。对于 SOI 波导，上包层折射率 n_3 一般小于等于下包层折射率 n_2 ，所以下包层和芯层界面的临界角更大，需要超过该临界角才能发生全内发射，所以：

$$k_0 n_1 \sin \theta_{\max} \geq \beta \geq k_0 n_1 \sin \theta_l \quad (2.34)$$

$$k_0 n_1 \geq \beta \geq k_0 n_2 \quad (2.35)$$

因此，对于模式的有效折射率 N ：

$$n_1 \geq N \geq n_2 \quad (2.36)$$

(7) 波动方程的求解

将电场和磁场的表达式 (2.19) 和 (2.20) 带入波动方程 (2.12) 和 (2.13) 中，可以得到：

$$\text{TE 偏振: } \begin{cases} \frac{d^2 E_x}{dy^2} + (k_0^2 n^2 - \beta^2) E_x = 0 \\ H_y = -\frac{\beta}{\omega \mu_0} E_x \\ H_z = -\frac{1}{j\omega \mu_0} \frac{dE_x}{dy} \end{cases} \quad (2.37)$$

$$\text{TM 偏振: } \begin{cases} \frac{d^2 H_x}{dy^2} + (k_0^2 n^2 - \beta^2) H_x = 0 \\ E_z = \frac{\beta}{\omega \mu_0 n^2} H_x \\ E_y = \frac{1}{j\omega \mu_0 n^2} \frac{dH_x}{dy} \end{cases} \quad (2.38)$$

对于 TE 偏振，电场 E 的通解形式为：

$$E_x = E_0 e^{-k_y y} e^{-j\beta z} e^{j\omega t} \quad (2.39)$$

我们知道，当在波导芯层和上下包层界面都发生全反射时，包层中的传播常数 k_y 是实数，而波导层中的 k_y 是虚数。通解 E_x 中 $e^{-k_y y}$ 表示的是沿 y 方向通过包层传播的场。由于 $e^{-j\psi}$ 对应于正弦/余弦类型的场， $e^{-\psi}$ 则简单地对应于指数衰减场，所以 k_y 为实数时， $e^{-k_y y}$ 表示指数衰减，反之则表示正弦/余弦传播。这也就是说，只有满足全反射条件的模式才能在波导中传输，并且由于包层传播常数的存在，部分场会在包层中传播，这对于芯层来说是损耗了一部分能量，所以包层传播常数也就是我们常说的衰减常数。显然，电场穿透包层的程度由该衰减常数决定。

2.2 SOI 光波导理论概述

光波导是所有硅光器件/系统最基本的组成部分，对光波进行耦合、限制和传输，以实现各个器件之间的光学连接。硅基光波导的材料主要有硅基聚合物 (Polymer) 波导和硅基四族光波导。硅基聚合物波导制备工艺简单、传输损耗小、价格低廉，但它极易受外界环境，如温度、湿度等的影响，而且与 CMOS 工艺不兼容，不利于大规模集成，所以聚合物波导不是我们关心的重点，在这里不再加以展开讨论。硅基四族光波导主要分为 SiO_2 光波导、GeSi/Si 光波导和 SOI 光波导，这三种硅基光波导性能对比如表 2.1 所示。

表 2.1 三种硅基光波导性能对比

Table 2.1 Comparison of three kinds of silicon-based optical waveguides

波导类型	SiO ₂ 光波导	GeSi / Si 光波导	SOI 光波导
材料制备	SiO ₂ 掺杂	晶格不匹配	成熟
折射率差值	0.1%~0.75%	小	大
几何尺寸	大	厚度受限制	大
制作容差	小	小	大
损耗	小	较小	较小
与 CMOS 工艺兼容性	不兼容	兼容	兼容
与光纤耦合效率	高	低	较高

SiO₂ 是最早用来制造光波导的材料,其芯层和包层都是 SiO₂,通过不同的掺杂来形成光波导,工艺成熟、波导损耗小且与光纤耦合损耗极小,但是对光的限制作用很弱,不适用于紧凑型集成波导器件的制作。此外,由于 SiO₂ 与 Si 的热膨胀系数不一致, SiO₂ 生长高度受到限制,给设计增加了一定难度。还有最重要的一点就是 SiO₂ 波导的制作与 CMOS 工艺不兼容,限制了其应用。GeSi/Si 光波导的制作与 CMOS 工艺兼容,可用于制作光电集成芯片,然而由于 GeSi 与 Si 的晶格不匹配,波导层的应变层厚度受到临界厚度限制,材料制备难度大,且与光纤几何尺寸不匹配,耦合损耗很大。

绝缘体上硅 (Silicon-on-Insulator, SOI),顾名思义,指的是在绝缘材料上覆盖一层薄硅层,绝缘材料下方是 Si 衬底。目前最常用的绝缘材料是 SiO₂,早期的 SOI 材料,如蓝宝石上硅 (SOS),主要用于空间探索和高温环境等利基市场。20 世纪 70 年代末,注入氧分离技术 (SIMOX) 被开发出来,成为了商业上所有可用的 SOI 材料制造技术中最成熟的技术。随后,又开发出了 Smart-CutTM、NanocLeave、BESOI 等制造 SOI 材料的先进技术^[35],这些技术奠定了 SOI 光波导迅速发展和广泛应用的基础。

SOI 光波导具有许多优势。首先,由于 Si 的折射率比 SiO₂ 和空气的折射率大得多 ($n_{\text{Si}}=3.5$, $n_{\text{SiO}_2}=1.45$, $n_{\text{air}}=1$),高折射率差使得 SOI 光波导具有较强的光限制能力,十分适合于制作紧凑型波导器件,有利于实现光电子器件的小型化,

从而实现大规模集成。其次，SOI 材料掺杂之后表现出的等离子色散效应，使其也可以用于制作硅基有源器件。还有，SOI 材料成本较低，而且制备工艺成熟，只需要采用普通的 Si 工艺，不会增加额外的工艺难度，所以加工成本更低。最重要的是，SOI 光波导的制作与 CMOS 工艺兼容，在标准 CMOS 工艺条件下可以同时制作光子芯片和电子芯片，使得光电单片集成成为可能。

2.2.1 SOI 光波导基本结构

平面波导作为光波导虽然很方便，但它对光的限制作用仅限于一维，实际用途有限。对于许多应用，需要 2D 约束。硅光器件主要使用了两种类型的波导：条形波导和脊型波导，如图 2.3 所示。条形波导 (Strip Waveguide) 通常用于布线，由于条形波导的四周都被包层包围，因此具有较高的光学限制，并且与附近其他波导的串扰较小，但是由于制造过程中侧壁粗糙，条形波导会有较高的散射损耗。脊形波导 (Rib Waveguide) 用于制作调制器等有源电光器件，因为它允许与通孔和电极进行电连接。脊形波导相当于是在一个平板上放置条形波导，芯层的光会泄露到平板中，所以对光的限制比条形波导弱。而较低的限制要求波导间距更大 ($\sim 2\mu\text{m}$ 以上) 以降低串扰，并要求较大的弯曲半径以降低 90° 弯曲波导的辐射损耗。但脊形波导具有较低的光传播损耗，因为光模式在侧壁处不是很强烈，受侧壁粗糙度的影响较小。

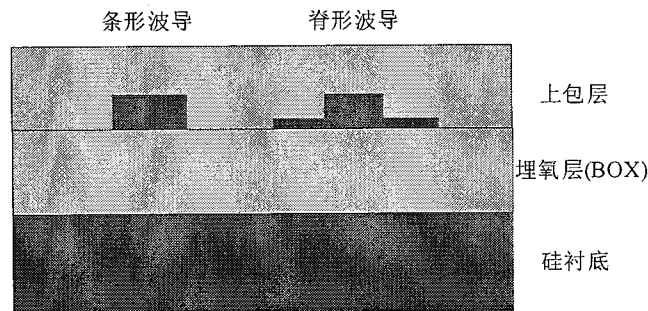


图 2.3 硅光子学中的常见波导

Figure 2.3 Common waveguides in silicon photonics

2.2.2 SOI 波导的模式及其特性

对平面波导来说，其模式可以说是严格的 TE 或 TM 偏振，但对于 2D 矩形 SOI 波导模式则不是这样。矩形波导中也存在两种模式，分别称为 HE 和 EH 模

式，但它们都是混合模式，严格地说并不是真正的 TE 或 TM 偏振。然而，由于这些结构中的偏振几乎是线性的，所以矩形 SOI 波导模式通常也被称为类 TE (TE-like) 和类 TM (TM-like) 模式，或 E^x 和 E^y 模式，这取决于它们主要是在 x 方向还是 y 方向偏振。引入两个下标 p 、 q 来标识矩形波导中的模式，即 $E^x_{p,q}$ ， $E^y_{p,q}$ ，其中整数 p 和 q 分别表示 x 和 y 方向上的场极大值的数目。因此，矩形波导的两种基模可分别被表示为 $E^x_{1,1}$ ， $E^y_{1,1}$ 。在另外一种表示方法中，模式表示的形式本质上是相同的，但是下标是从 0 而不是从 1 开始，这主要是考虑到平面波导的基模对应于 $m=0$ ，此时，两种基模分别被表示为 $E^x_{0,0}$ ， $E^y_{0,0}$ （或 $HE_{0,0}$ 和 $EH_{0,0}$ ）。下面我们将分别介绍脊型和条形波导的模式特性。

(1) 单模脊型波导

假设脊区 (rib) 宽度为 W ，高度为 H ，平板区高度为 h ，对于 $0.5 \leq r < 1$ ，Pogossian 等人提出脊型波导的单模条件如下^[36]：

$$\frac{W}{H} \leq c + \frac{r}{\sqrt{1-r^2}} \quad (2.40)$$

其中 W/H 是脊区宽度和高度的比值， r 是刻蚀厚度和波导高度的比值， c 是值为 -0.05 的常数。当 $0.5 \leq r < 1$ 时，平板基模的有效折射率高于中心脊区任何垂直高阶模式的有效折射率，垂直方向上的二阶模沿垂直轴强度分布为双峰分布，并且两个峰值中的一个（靠近波导底部的波瓣）将耦合到脊侧区域的平板基模中，这种横向泄漏确保了高阶模不会传播。这就是为什么 r 的取值范围在 0.5~1 才能保证脊型波导的单模传输。脊型波导的尺寸（rib 宽度、高度和 slab 高度）是实现单模的关键，必须精确设计。

(2) 纳米条形波导

硅光子器件小型化的趋势要求将波导的尺寸缩小到纳米量级，使用条形结构以实现更高的光限制。条形波导由芯层的宽度 W 和高度 H 定义单模区，但由于输入场是在包层中发射然后耦合到芯层的，必须确定 SiO_2 包层的宽度和厚度才能获得良好的耦合条件。条形波导单模条件如下^[37]：

$$H < 2.109e^{-11.93W} + 0.7365e^{-1.956W} \quad (2.41)$$

对于单偏振模（TE 或 TM），单模条件修改为^[38]：

$$H < 63.13e^{-23.92W} + 0.2684e^{-0.85776W} \quad (2.42)$$

2.2.3 有效折射率法

有效折射率法 (Effective Index Method, EIM) 是一种利用矩形波导的有效折射率来求其传播常数近似解的方法, 求解过程无需牵涉到波导内的电场, 因此十分简单有效, 是分析 2D 光波导的最常用方法之一。我们先对条形波导进行一般性讨论, 然后再对脊型波导进行分析。考虑一个广义的二维波导, 如图 2.4(a) 所示。利用 EIM 求解波导传播常数的思路是:

- 1) 将该波导看作是一个水平方向平面波导和一个垂直方向平面波导的组合;
- 2) 求解其中一个方向的平面波导本征值方程, 得到波导有效折射率 n_{eff1} ;
- 3) 以 n_{eff1} 作为另一个方向的波导折射率, 求解其本征值方程。

求解过程中, 必须注意模式所涉及的偏振态。对于 TE 偏振 (电场在 x 方向上极化), 第二步中应该使用 TE 本征值方程来求解 y 方向上的三层平面波导。然而, 随后求解垂直方向三层平面波导时, 必须使用 TM 本征值方程, 因为相对于这个假想的垂直波导, 场是在 TM 方向上极化的, 反之同理。图 2.4(b) 描述了将 2D 波导分解为两个不同方向平面波导的过程。

对于脊形波导结构, 由于 slab 的存在, 芯层两侧的折射率在芯层高度方向上不是恒定的, 情况变得复杂一些。在上述第一步中, 水平方向的三层平面波包括两部分, 波导高度分别是平板高度 h 和脊区高度 H , 求出对应的有效折射率 n_{effs} 和 n_{effc} 。然后 n_{effs} 作为垂直方向上的包层折射率, n_{effc} 作为垂直方向上的芯层折射率, 求其本征方程, 即可得到脊型波导的传播常数。

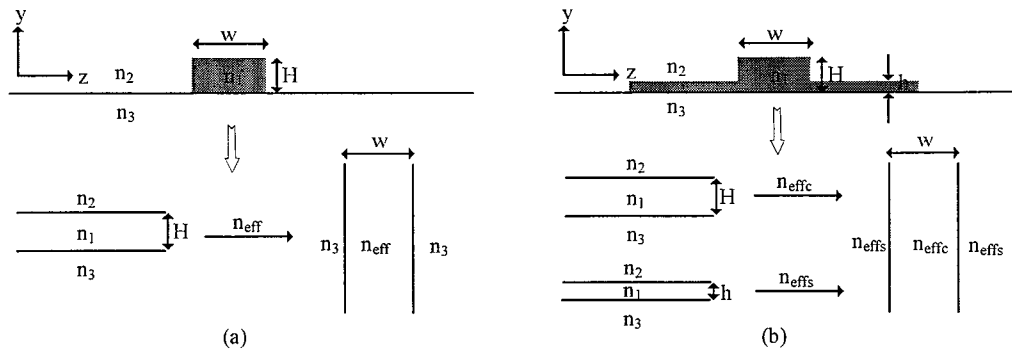


图 2.4 有效折射率法求解过程: (a) 条形波导; (b) 脊型波导

Figure 2.4 Process of effective index method: (a) strip waveguide; (b) ridge waveguide

2.2.4 光波导的损耗机制

前面的讨论中，我们一直将折射率当作是个实数，但实际上折射率是一个复数，可以表示为：

$$N = n' + jn'' \quad (2.43)$$

另外，光场可表示为：

$$E = E_0 e^{j(kz - \omega t)} \quad (2.44)$$

将复折射率表达式代入公式 (2.23) 中：

$$k = (n' + jn'')k_0 \quad (2.45)$$

则电场表达式变为：

$$E = E_0 e^{j[(n' + jn'')k_0 z - \omega t]} = E_0 e^{jk_0 n' z} e^{-k_0 n'' z} e^{-j\omega t} \quad (2.46)$$

其中，项 $e^{-k_0 n'' z}$ 通常定义为 $e^{-1/2\alpha}$ ， α 称作强度损耗系数，我们知道 $I = E^2$ ，这就是为什么电场表达式中包含项 $1/2$ 。光强 I 可以表示为：

$$I = I_0 e^{-\alpha z} \quad (2.47)$$

所以，光在波导中传播时是以损耗系数 α 沿传播方向指数衰减，一个性能优良的光学器件应该最小化这种衰减或损耗。造成损耗的原因有三个：散射、吸收和辐射。在玻璃或介质波导中散射损耗通常很重要，而在半导体波导中吸收损耗最重要，当光经过弯曲波导时，辐射损失又变得很重要。接下来我们将一一讨论这三种损耗机制。

(1) 散射损耗 (Scattering Loss)

光波导的散射损耗分为两种类型：体散射和界面散射。体散射是由波导材料中存在的缺陷（如杂质、缺陷、空洞等）引起的。单位长度的损耗与介质中单位体积的缺陷数成正比。另外，缺陷尺寸相对于辐射波长的大小也是决定损耗的一个因素。在成熟的波导技术中，已经最小化了波导材料中的缺陷密度，体缺陷造成的损耗可以忽略不计。但在某些情况下，体缺陷可能起主导作用。例如，离子注入工艺可能在波导材料中引入足够数量的缺陷。缺陷的大小与传播波长以及波导长度之间的关系很重要——在块状介质中，瑞利散射是主要的损耗机制^[39]，表现出 λ^{-4} 依赖性。而对于受限波，波长依赖性与缺陷的轴向相关长度有关^[40]，对于小于或等于波长量级的相关长度，散射损耗表现出 λ^{-3} 依赖性，因为波导

对较长波长的限制减小，部分抵消了 λ^{-4} 关系；对于与波长相比较长的相关长度，辐射损耗占主导地位，并且损耗随 λ^{-1} 变化。

由于加工工艺的限制，表面缺陷引起的界面散射损耗通常占主导地位。表面散射发生在芯-包层界面处，其根源在于从原子光滑的理想平面上产生波动的界面。Tien^[41] 在射线光学理论基础上提出：对于一个非对称的三层波导，由于全内反射，光线在波导芯层-包层界面来回反射，传播长度为 L 时，每个界面遇到的反射次数可表示为：

$$N = \frac{L}{2h \tan \theta_1} \quad (2.48)$$

其中， h 为波导厚度， θ_1 是芯层-上包层界面的入射角。波导中传播的波与界面有很强的相互作用，高阶模由于入射角较大而产生较大的反射，因而损耗较大。Tien 的分析是基于表面的镜面反射和瑞利准则，他指出，如果入射到表面的功率是 P_i ，那么从表面反射的镜面功率是 P_r ：

$$P_r = P_i \exp \left[- \left(\frac{4\pi\sigma n_1}{\lambda_0} \cos \theta_1 \right)^2 \right] \quad (2.49)$$

σ 是表面粗糙度方差。为了得到损耗系数的表达式，必须同时考虑界面和穿透到包层的距离，Tien 给出的最终表达式采用以下形式：

$$\alpha_s = \frac{\cos^3 \theta}{2 \sin \theta} \left(\frac{4\pi n_1 (\sigma_u^2 + \sigma_l^2)^{\frac{1}{2}}}{\lambda_0} \right)^2 \left(\frac{1}{h + (1/\gamma_c) + (1/\gamma_s)} \right) \quad (2.50)$$

其中 γ 是穿透到包层的场的衰减常数。观察式 (2.50)，可以发现，损耗系数与材料中粗糙度与波长之比的平方成正比，与波导的有效厚度成反比。该有效厚度包括波导的实际厚度和穿透到包层的厚度，有效厚度越大，散射损耗越小。因此，限制较好的模式反而比拖尾大的模式受到的影响更大。也就是说，折射率差值越大，散射损耗就越大。从物理上讲，波对包层的穿透越深，则对粗糙度的影响就越不敏感。

(2) 吸收损耗 (Absorption Loss)

尽管表面散射损耗可能存在于所有类型的波导中，但是可能很小，半导体中更重要的损耗机制是吸收损耗，包括带间和带内自由载流子吸收。

当能量超过半导体或晶体材料的基本带隙能量的光子被强吸收时，就会发生带间吸收，也称为基本吸收。当光子能量小于带隙能量时，几乎没有吸收。III-V

族化合物中的基本吸收系数非常大, 超过 10^{-4} , 而像硅这样的间接带隙材料的基本吸收系数很小。为了避免带间吸收, 应使用比波导材料的吸收边波长长得多的波长。Si 的截止波长约为 1.11 μm , 因此在 1310nm 和 1550nm 两个标准通信波长下, 硅波导的带间吸收损耗可以忽略不计。

对于有源器件来说, 自由载流子吸收损耗变得十分重要。自由载流子浓度的变化会同时影响折射率的实部和虚部。半导体吸收系数的变化可以用著名的 Drude-Lorenz 方程来描述^[42] :

$$\Delta\alpha = \frac{e^3\lambda_0^2}{4\pi^2c^3\varepsilon_0n} \left[\frac{N_e}{\mu_e(m_{ce}^*)} + \frac{N_h}{\mu_h(m_{ch}^*)} \right] \quad (2.51)$$

式中, e 是电荷, c 是真空中光速, μ_e 、 μ_h 分别是电子和空穴迁移率, m_{ce}^* 、 m_{ch}^* 分别是电子和空穴的有效质量, N_e 、 N_h 分别是自由电子和自由空穴浓度, ε_0 是自由空间的介电常数, λ_0 是自由空间波长。根据 Soref 和 Lorenzo 的评估^[43], 当注入空穴和电子浓度为 10^{18}cm^{-3} 时, 总的附加损耗约为 2.5cm^{-1} , 相当于 10.86 dB/cm 的损耗, 这充分显示了掺杂对波导损耗的显著影响。

(3) 辐射损耗 (Radiation Loss)

辐射损耗是指光从波导泄漏到周围的介质。理想情况下, 直光波导的辐射损耗几乎可以忽略不计。如果波导设计良好, 辐射损耗通常不会很大。而波导中一些多余扰动, 比如轻微损坏的制造掩模, 可能导致光从一种模式散射到另一种模式, 如果第二种模式泄漏, 则可能会导致一些辐射损耗。另外, 波导的曲率将改变光在波导壁处的入射角, 也可能导致一些辐射损耗。对于多层波导结构, 如果下波导包层厚度有限, 则也存在辐射损耗的可能性。对于 SOI 衬底, 埋氧层必须足够厚, 以防止光学模式穿透该层而泄露到硅衬底。显然, 由于每种模式穿透包层的深度不同, 不同模式所需的厚度也会有所不同。并且穿透深度也随着波导尺寸相对于工作波长的大小而变化。许多研究人员针对不同的材料体系系统分析了这一问题。对于表面包层厚度为几微米的 SOI 波导, 要在 1.3-1.6 μm 的波长范围内工作, 埋氧层厚度至少应为 0.4 μm , 才能防止辐射损耗^[44]。然而, 随着波导尺寸的减小, 模式受到的约束减小, 模尾将成比例地进一步延伸到包层中, 因此需要更厚的埋氧层。为了扩大空间和效率优势, 硅光子学倾向于更小的波导结构, 此时确保埋氧层足够厚非常重要。

2.2.5 光波导的耦合机制

硅基光电子集成通常需要将标准光纤或外部光源发出的光耦合到硅波导。图 2.5 显示了典型的硅纳米线光波导和标准单模光纤的横截面示意图。波导中的模面积通常小于 $1\text{ }\mu\text{m}^2$ ，而标准单模光纤的模场直径 (MFD) 在 1550nm 和 1310nm 波长处分别约为 $10.4\text{ }\mu\text{m}$ 和 $9.2\text{ }\mu\text{m}$ ，两种光场之间存在巨大的模场失配。此外，两种模式之间的有效折射率差也很大。因此，当光从光纤进入波导时，模式尺寸的失配会导致辐射模式和一些散射损耗，有效折射率的差异会导致反射和一些反射损耗，且光纤位置或角度的偏移也会引起较大的损耗。所以，硅基光电子集成最具挑战的任务之一是如何有效地将光耦合进/出光波导。

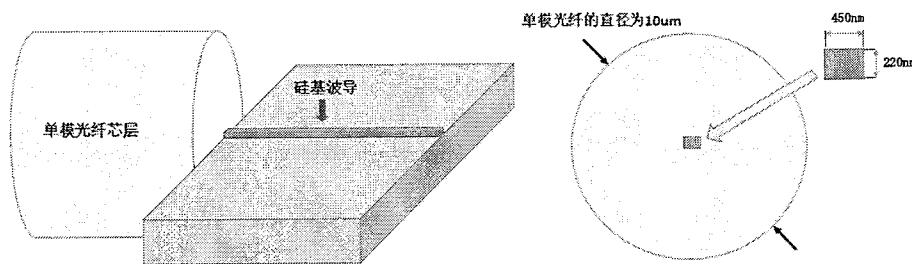


图 2.5 典型硅纳米线光波导和标准单模光纤的横截面示意图

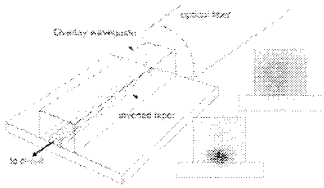
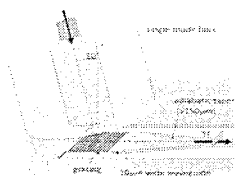
Figure 2.5 Cross-sectional schematic diagram of a typical silicon nanowire optical waveguide and standard single-mode fiber

光纤和波导的常用耦合方案有三种：(a)边缘耦合或面内耦合；(b)垂直耦合，也称为光栅耦合或面外耦合；(c)棱镜耦合^[45-46]。边缘耦合只需要简单地将光入射到波导的末端即可，光被引入到波导的端部，并且可能激发潜在地所有波导模式。倒锥形边缘耦合器具有结构紧凑、插损小、带宽大以及偏振不敏感等优点，但也存在着需要端面抛光、光纤对准容差能力小等缺陷。光栅耦合和棱镜耦合是与边缘耦合截然不同的方法，它们以特定角度将输入光束引到波导表面，使得输入光的相位匹配到波导内的特定传播常数，从而能够激发特定模式。棱镜耦合时，制成棱镜的材料折射率应比波导的折射率高，这严重地限制了其实用性，特别是对于具有高折射率的硅而言。除此之外，棱镜耦合会损坏波导表面，而且也不适合脊型波导的耦合，所以在硅光子学中并不适用。光栅耦合器的可以被放置在芯片表面的任何地方，由于对准容差大、避免了后工艺、便于封装测试等优点而具有极大的应用价值和前景。光栅耦合器的基本原理和相关理论会在第三章中进行详

细介绍。表 2.2 对比了目前硅光领域常用的两种耦合方式——光栅耦合和边缘耦合的优缺点，其中耦合损耗和带宽的数据来自于比利时 IMEC。

表 2.2 光栅耦合和边缘耦合的对比

Table 2.2 Comparison between grating coupler and edge coupler

耦合方式		边缘耦合	光栅耦合
示意图			
耦合损耗 @1550nm	TE	-1.2dB	标准光栅: -4.3dB; 优化光栅: -2.4dB
	TM	-1.2dB	-4.9dB
1dB 带宽	TE	宽带	标准光栅: 28.5nm; 优化光栅: 35.2nm
	TM		-35.1nm
偏振相关性		弱 (偏振相关损耗<0.5dB)	强
±1dB 对准容差		小	大
优势		结构紧凑、插损小、带宽大、偏振不敏感	对准容差大、避免了后工艺、便于封装测试
劣势		需要端面抛光、光纤对准容差能力小	偏振敏感、耦合损耗稍大

耦合效率 (Coupling Efficiency, CE) 是对耦合入/出波导的光功率比例的度量，它近似由光纤归一化场分布函数与波导归一化场分布函数的重叠平方给出。或者，可以用耦合损耗来表示 (以 dB 为单位)：

$$CE(\text{dB}) = -10 \log \frac{\text{耦合前光束的总功率}}{\text{耦合到/出 } m \text{ 阶模式的功率}} \quad (2.52)$$

2.3 光波导数值研究方法

研究光波导时，仅有少数波导结构存在波动方程的解析解，而对于带有弯曲或反射镜的波导、Y 分支耦合器、定向耦合器或光栅等复杂光波导结构而言，往往很难直接求得解析解。所以，通常需要借助计算机编程仿真或利用商业软件内嵌算法来对该类光波导器件进行求解计算。虽然这些算法一般都或多或少对 Maxwell 方程有所近似，物理意义上也没有解析方法那么清晰，但求解结果更直

观且准确，求解速度也更快。常用的光波导仿真软件包括 Rsoft、Lumerical 等，其内嵌的数值研究方法一般有束传播法 (BPM)、时域有限差分算法 (FDTD) 以及本征模扩展方法 (EME) 等。本节我们将简要介绍这几种数值分析方法的原理、优缺点及适用情况。

(1) 束传播法 (Beam Propagating Method, BPM)

BPM 的工作原理是使用傅立叶变换将空间模式分解为平面波的叠加，使每个平面波沿着略有不同的方向传播一定距离后，再将平面波叠加到一起以重建光波导的模场分布。BPM 在求解亥姆霍兹方程的过程中采用了一些假设和近似：(a)假设亥姆霍兹方程中的场为标量场；(b)假设电磁场主要分布在光传播方向上；(c)假设电磁场在光的传播方向上变化缓慢；(d)忽略光波的反射。从而降低了仿真计算的复杂性，使 BPM 十分适用于求解结构变化缓慢、角度变化小和折射率差小的波导，但也使得 BPM 无法对弯曲角度大、反射较强的波导结构进行计算。

(2) 有时域差分法 (Finite Difference Time Domain, FDTD)

FDTD 是一种求解三维麦克斯韦方程的数值方法^[47-48]，对于分析光与具有亚波长尺度特征的复杂结构之间的相互作用特别有效。FDTD 是对麦克斯韦方程的一种精确数值计算，其精度随着体积的空间离散化（即网格尺寸）的减小而收敛到精确解。顾名思义，FDTD 在时域中运行。FDTD 模拟的是光脉冲（几十到几百飞秒长）的传播，其中包含波长分量的宽频谱，通过傅立叶变换，系统对该短脉冲的响应与传输频谱有关。因此，一次单一的仿真即可同时提供光学系统对宽波长范围的响应。FDTD 可以模拟色散和非线性的材料，能够处理电磁波与任何复杂结构间的相互作用问题，且适用于并行计算，其应用甚至可以扩展到包括半导体激光器和光放大器中的电子相互作用^[49]。

(3) 本征模扩展方法 (EME)

本征模扩展方法 (Eigenmode Expansion Method, EME) 通过将局部场分解成该处的模式（称为“超模”）来研究光的传播。当在均匀介质中传播时，只需简单地乘以复传播常数，每个模式就可以单独传播。为了连接到器件的下一部分，需要使用散射参数 (S 参数)。S 参数的使用本质上是双向的，因此既包括前向传播也包括后向传播。EME 对于无限数量的模式都是准确的，当考虑大量模式时，

EME 允许模式以大角度和任意精度传播。EME 非常适用于 MMI 耦合器、锥形耦合器、定向耦合器、光栅等结构。

2.4 本章小结

本章介绍了平面光波导的基本理论，分析了 SOI 光波导的基本结构和模式特性，并概述了几种常用的光波导数值研究方法。光波导的基础理论包括射线光学理论和波动光学理论，分别从空间光学和电磁场的角度解释了光波导原理，这是我们后续所有研究的基础。需要说明的是，SOI 光波导的基本理论非常广泛和复杂，本节仅展示了其中一些具有指导意义和与本文工作相关的知识点。SOI 亚微米光波导是本文中光电器件——光栅和调制器的最主要无源结构，因此本章中重点讨论了 SOI 亚微米光波导的模式特性和损耗机制，并且回顾了亚微米光波导与单模光纤之间的耦合解决方案。这些理论知识为我们后续的光栅和调制器研究奠定了基础。最后，由于光波导的数值研究方法是硅光器件设计和研究的必要手段，在复杂光波导结构的仿真和设计中起着不可替代的作用，所以也对几种主要的研究方法进行了简要介绍。

第3章 背入射光栅及片上集成光源的研制

3.1 光栅耦合器概述

3.1.1 光栅耦合器的基本结构

光栅耦合器是一种周期性结构，它可以使光产生衍射，从波导（平面内）传播到自由空间（平面外），通常用作光纤（或自由空间）和亚微米 SOI 波导之间的光耦合 I/O 器件。光栅耦合器一般由硅波导芯层、顶部包层（氧化物或空气）、底部包层（埋氧层）和硅衬底组成。其设计参数包括：光栅的周期 Λ ，光栅齿的宽度 W （假设光栅均匀），占空比 ff （定义为 $ff=W/\Lambda$ ），光栅的蚀刻深度 d ，包层中表面法线与衍射光传播方向之间的夹角 θ_c ，以及光纤中表面法线与衍射光传播方向之间的夹角 θ_{fiber} （也就是光纤抛光角）。

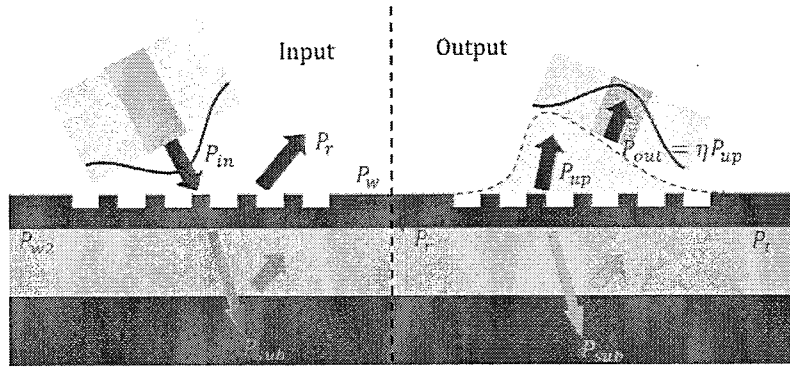


图 3.1 典型光栅耦合器的截面图

Figure 3.1 Cross-sectional view of a typical grating coupler

考虑图 3.1 所示的输入/输出光栅耦合器， P_{in} 是光纤中输入光的光功率， P_r 是反射光功率， P_{up} 表示光耦合处波导时向上衍射的光功率， P_{sub} 是泄露到衬底中的光功率， P_w 是从光纤耦合到光波导基本模式的功率。光栅耦合器的性能可以用以下参数来描述：

- 1) 方向性 (Directionality): 向上衍射的功率 P_{up} 和波导输入功率 P_w 之间的比值，通常用分贝 (dB) 表示为：

$$\text{Directionality} = 10 \log_{10} P_{up}/P_w \quad (3.1)$$

- 2) 插入损耗 (Insertion Loss, IL): 即耦合效率，是耦合到光纤基模的功率与来自

波导的输入功率之间的比值。插入损耗通常用分贝(dB)表示为:

$$IL=10\log_{10}P_w/P_{in}=10\log_{10}P_{out}/P_w \quad (3.2)$$

- 3) 穿透损耗 (Penetration Loss, PL): 在衬底中损耗的功率与波导输入功率的比值:

$$PL=10\log_{10}P_{sub}/P_{in} \quad (3.3)$$

- 4) 回波损耗 (Return Loss, RL): 由于硅波导与光栅的折射率差异, 部分来自波导的输入光会反射回波导。反射功率与波导输入功率的比值称为波导的背反射, 或光学回波损耗:

$$RL=10\log_{10}P_r/P_w \quad (3.4)$$

在光栅设计时, 需要避免这种反向反射, 因为它会在输入和输出光栅耦合器之间来回反射而引起法布里-珀罗振荡。若反射回光纤, 可能会影响光源的稳定性。通常需要将回波损耗抑制在 20~30dB 范围内。

- 5) 1dB 或 3dB 带宽: 光栅耦合效率比峰值耦合效率低 1dB 或 3dB 的波长范围。

3.1.2 光栅的工作原理和理论基础

光栅的工作原理可以用惠更斯-菲涅耳原理 (Huygens-Fresnel Principle) 来理解: 光沿平面波导进行传播时, 在光栅齿处发生光衍射, 每个光栅齿相当于一个新的光源, 产生的波阵面会形成干涉相长或干涉相消。本节讨论的光栅耦合器是一维周期结构, 可以很好地用布拉格定律描述。假设光从介质 3 中以角度 θ_{in} 入射到波导芯层中, 其传播常数为 k , 光在波导中的传播常数为 β 。为了将光耦合到波导模式中, 相位速度在传播方向上的分量必须相同, 即满足相位匹配条件。光在介质 3 中的传播常数在传播方向 x 方向上的分量为:

$$k_x = k_0 n_3 \sin \theta_{in} \quad (3.5)$$

则相位匹配条件可以表示为:

$$\beta = k_x = k_0 n_3 \sin \theta_{in} \quad (3.6)$$

但是, 从第二章中单模条件的求解已经知道, $\beta \geq k_0 n_3$, 所以式 (3.6) 的条件不可能被满足, 这就是为什么需要棱镜或光栅来将光耦合到波导中。光栅的周期性特性可以对其波导有效折射率进行周期性调制。假设光栅不存在时, 光波导传播常数为 β , 光栅周期性调制的结果是一系列可能的传播常数 β_{neff} , 则有:

$$\beta = k_0 \cdot n_{eff} \quad (3.7)$$

$$\beta_{neff} = \beta + m \cdot K = k_x, \quad (3.8)$$

其中, k_0 为真空中传播常数, n_{eff} 为平面光波导的有效折射率, $K = \frac{2\pi}{\Lambda}$ 是光栅矢量, m 是 $\pm 1, \pm 2, \pm 3$ 等整数。 m 对应着光栅的不同衍射级次, 如果 m 为正数, 式 (3.8) 很明显无法成立, 即 m 为正值对应的传播常数在波导中不存在, 所以只有负 m 值才能实现相位匹配。通常情况下, 需要将光栅的衍射限制为仅包含 1 阶耦合, 即 $m = -1$, 此时, 相位匹配条件变为 $k_x = \beta - K$, 即:

$$k_0 n_3 \sin \theta_{in} = k_0 \cdot N - \frac{2\pi}{\Lambda} \quad (3.9)$$

式 (3.9) 也称作光栅的布拉格方程, 它揭示了芯片上方入射光束的波矢量 k_0 与相应耦合光束进入波导后的传播常数 β_{neff} 之间的关系。当光垂直入射时, 布拉格条件变为 $\beta = K$, 此时, 波导中会同时激发出另外一个传播常数为 $-\beta$ 的衍射级, 这意味着光栅中存在着一个强烈的背反射, 如图 3.2(a) 所示。当光纤与光栅完全垂直时, 如图 3.2(b) 所示, 一阶衍射将垂直传播 (红色线表示), 二阶衍射将传播回波导 (绿色线表示)。虽然光纤与光栅完全垂直耦合时, 方便了放置和封装, 但背反射的存在会导致耦合效率低下, 不利于实际应用。

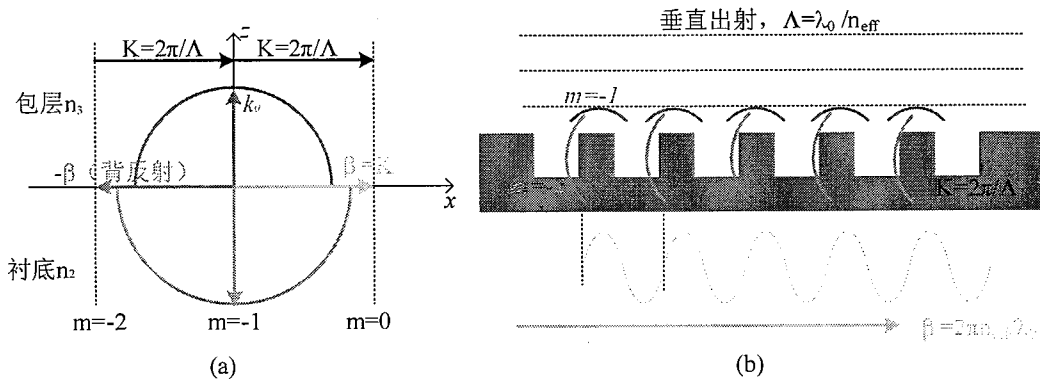


图 3.2 光纤完全垂直时 (芯片耦合到光纤), 强背反射: (a)波矢量图; (b)示意图

Figure 3.2 When the fiber is completely vertical (coupling from chip to fiber), there is strong back reflection: (a) wave vector diagram; (b) schematic diagram

如上一节所说, 背反射会导致输入和输出耦合器之间产生法布里-珀罗振荡。为了避免二次衍射回到波导中, 应当使得光栅失谐, 即光纤与光栅表面法线有一个小的角度。所谓的失谐也就是 $\beta \neq K$, 分为两种情况, 分别是正失谐 ($\beta > K$)

和负失谐 ($\beta < K$), 如图 3.3 和图 3.4 所示。当光栅处于正失谐时, 光栅周期大于光波导内的光波长, 输出波将以一个角度传播 (由图 3.3 中红线表示), 且二阶反射被大大抑制。当光栅处于负失谐时, 光栅周期小于光波导内的光波长, 输出波也将以一定角度传播 (由图 3.4 中红线表示), 且二阶反射被完全消除。所以, 通过合适的光纤倾角 θ_{in} 设计, 可以实现高效的光纤-芯片耦合。

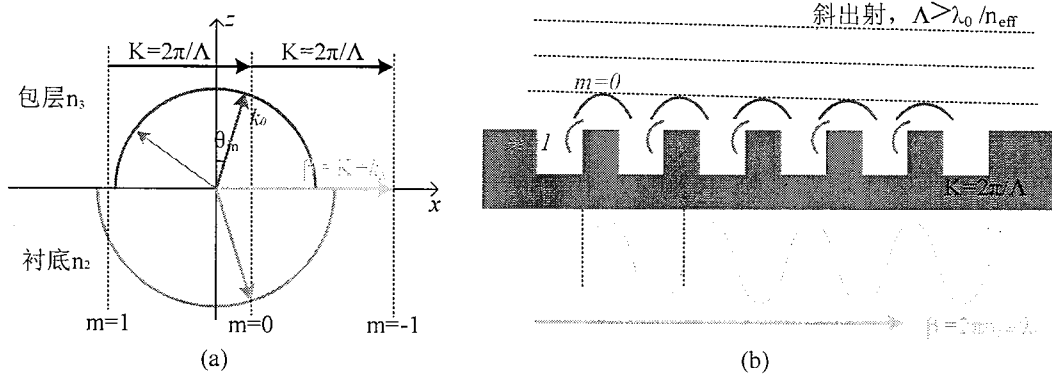


图 3.3 光纤正失谐时 ($\beta > K$), 背向反射得到抑制: (a)波矢图; (b)示意图

Figure 3.3 When the fiber is positively detuned ($\beta > K$), the back reflection is suppressed: (a) wave vector diagram; (b) schematic diagram

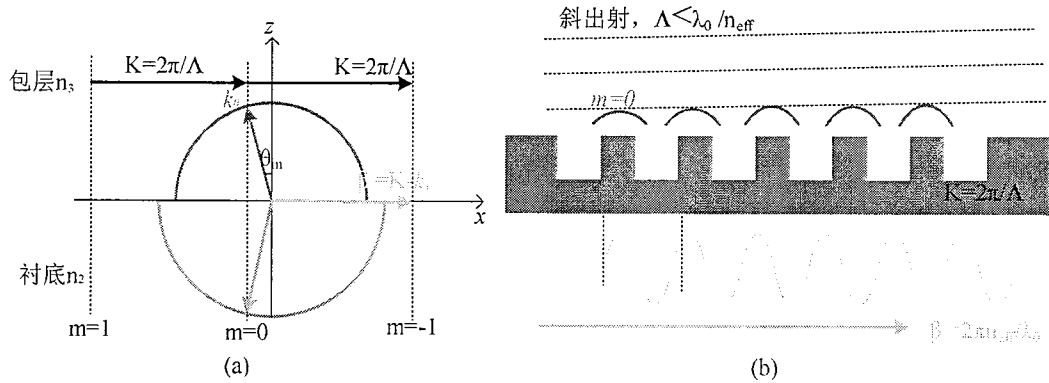


图 3.4 光纤负失谐时 ($\beta < K$), 背向反射完全消除: (a)波矢图; (b)示意图

Figure 3.4 When the fiber is negatively detuned ($\beta < K$), the back reflection is completely eliminated: (a) wave vector diagram; (b) schematic diagram

布拉格条件虽然很方便直观, 但它只能用来预测衍射级数, 而不能解释耦合效率或不同级数之间的能量分布。耦合效率通常采用数值方法计算, 如第二章介绍过的 FDTD 方法。

3.1.3 光栅耦合器的研究现状

光栅耦合器是解决光纤-波导模式不匹配问题的可行解决方案。与边缘耦合相比,光栅耦合器在测量过程中易对准,不需要后处理,且可以放置在芯片表面的任何位置,从而降低了制造成本,且为设计提供了灵活性,并可以实现晶圆级自动测试。但光栅也存在一些缺陷:首先,它们的CE通常较低,大量的研究工作都集中在提高光栅的CE上;其次,光栅本身对波长和偏振都很敏感。导致光栅耦合器效率低的主要因素有三个:穿透损耗、模式失配和背反射。对于浅蚀刻工艺,约有35%~45%的能量损失在衬底上;在全蚀刻工艺,穿透损耗可能超过50%。另外,10%的能量损失是由于光栅耦合器与光纤之间的模式不匹配造成的。对于设计良好的浅蚀刻光栅耦合器来说,背反射很小($\leq -30\text{dB}$),但对于垂直耦合的光栅来说,它可以高达30%,因此光栅耦合器很少设计成完全垂直运行,光栅-光纤需要在一个小角度下耦合以消除一阶布拉格反射。

穿透损耗和背反射可以通过增强方向性来降低。在SOI上制作的衍射光栅由于其上包层(二氧化硅或空气)和下埋氧层的折射率相似,方向性有限。一种被广泛研究的增强方向性的方法是通过修改光栅结构,使不同的散射中心对上包层实现相干干涉,而对衬底是相消干涉^[49-51]。比如,在光栅刻蚀前,给光栅齿淀积多晶硅层^[49],使得每个光栅齿的深度大于SOI厚度。对于向上传播的辐射光束,附加的多晶硅厚度提供了散射中心之间附加的相位差,通过选择适当的多晶硅厚度可以实现对光纤的相干干涉,并最大限度地提高其方向性。对于多晶硅覆盖的光栅耦合器,其方向性的增强归因于光栅结构在波导高度方向上的不对称性。而硅波导内部的不对称性是目前的研究热点,最常用的方法是在顶部硅层中引入两个或多个蚀刻深度^[52-57],如图3.5(a)所示。许多硅光多项目晶圆(Multi-Project Wafer, MPW)服务提供了多个刻蚀深度,但实际上是很难实现双刻蚀光栅的,其关键在于不同刻蚀深度的对齐。也有一些其他复杂方案,如倾斜光栅^[58]和双层光栅^[59-61],如图3.5(b)和图3.5(c)所示,这些方案或许用来增大光栅方向性十分有效,但工艺复杂,大规模制造的可行性不大。

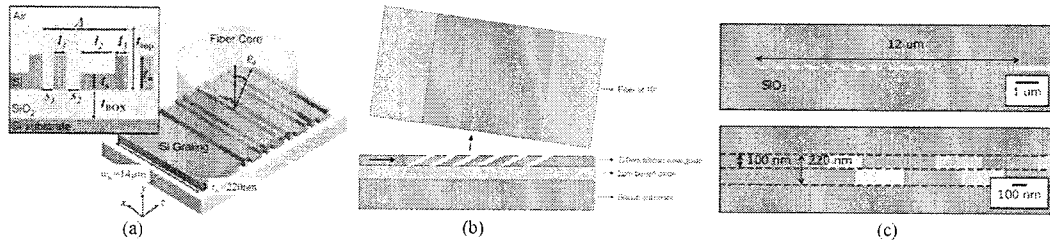


图 3.5 用硅波导层内部不对称性来增强光栅方向性的方法：(a)双刻蚀光栅^[55]；(b)倾斜刻蚀光栅^[57]；(c)双层光栅^[59]

Figure 3.5 The method of using the internal asymmetry of the silicon waveguide layer to enhance the directionality of the grating: (a) double-etched grating; (b) obliquely etched grating; (c) double-layer grating

除了光栅结构的固有特性外，方向性也可以通过对向下辐射功率的“再循环”来改善。当光向衬底衍射时，一部分功率从埋氧层/衬底界面反射回光栅。这种反射可以通过优化氧化层厚度来增强，以实现相干干涉，但这样就需要定制 SOI 晶圆，成本太高。一个简单的方法是在埋氧层/衬底界面插入一个反射器来最大化这种反射。如图 3.6(a) 所示，采用苯并环丁烯 (BCB) 晶片键合技术在 SOI 晶圆上制备高效率光栅耦合器。通过在结构上增加一个金属镜，大大提高了耦合效率，测量到 SOI 光栅耦合器对光纤的耦合效率为 69%^[62]。利用金属镜面，实现了许多高 CE 的光栅耦合器^[63-66]。然而，这种方法需要键合，与标准的 CMOS 工艺不兼容。另一种类似的方法是制作如图 3.6(b) 所示的分布式布拉格反射器 (Distributed Bragg Reflector, DBR)，这对于器件制作来说也是很复杂的^[67]。据我们所知，目前几乎所有高性能光栅耦合器都是采用底部反射器。因此，即使涉及到复杂的制作技术，利用底部反射镜增强方向性仍然是值得探索的。近年来，硅上氮化硅的多层平台发展起来，提供了一种新型的底层反射镜实现方式：硅层上的光栅反射器^[68-69]，如图 3.6(c) 所示。

模式失配可以通过增加模态重叠来改善。模式失配损耗是由于高斯光纤模式和光栅衍射轮廓之间的模态不匹配造成的。如图 3.1 所示，光栅在 y 方向（光栅齿方向）的衍射曲线是类高斯的，所以我们只讨论它在 x 方向（光传播方向）的变化。对于均匀光栅，每个衍射单元都具有相同的衍射光的能力（称为耦合强度 α ）。因此，光栅衍射场 $G(x)$ 呈指数递减，表示为：

$$G(x) = G(0) \exp[-\alpha_0(x - x_0)^2] \quad (3.10)$$

为了使 $G(x)$ 与光纤高斯场分布相匹配，可以通过“变迹”光栅 (Apodized Grating) 沿 x 方向改变耦合强度^[70-71]。用 $\alpha(x)$ 来代替 α_0 以得到高斯输出光束， $\alpha(x)$ 表示为：

$$\alpha(x) = \frac{F^2(x)}{2 \cdot [1 - \int_0^x F^2(t) dt]} \quad (3.11)$$

其中 $F(x)$ 为归一化的光纤高斯模式分布。对于 1D 光栅，可以通过改变占空比来实现耦合强度 $\alpha(x)$ 的变化^{[70] [72]}，也可以通过改变光栅周期^[73]，或者是同时改变占空比和周期^[74]。

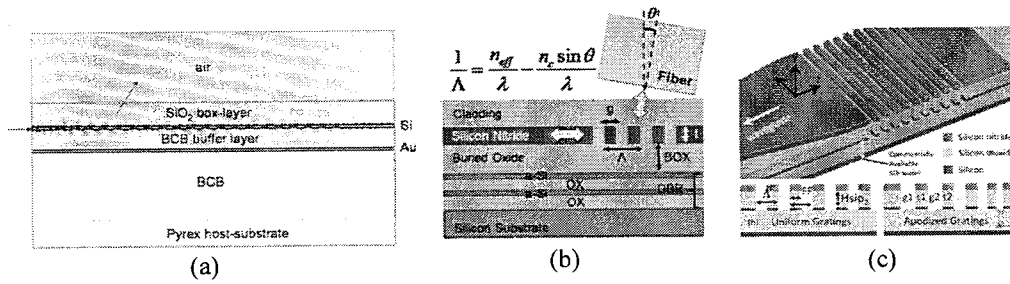


图 3.6 三种不同的底部金属反射镜实现方法：(a)BCB 键合；(b)分布式布拉格反射器 (DBR)；(c)硅上氮化硅平台 (SiNx-on-SOI)

Figure 3. 6 Three different bottom metal mirror implementation methods: (a) BCB bonding; (b) distributed Bragg reflector (DBR); (c) silicon nitride platform on silicon (SiNx-on-SOI)

此外，由于偏振模色散，SMF 输出光束的偏振不断变化。然而，由于 SOI 具有强双折射，光栅耦合器具有偏振选择性。因此，除了对增大光栅耦合效率的研究之外，改善光栅偏振敏感性的相关研究也有很多。这些研究主要分为两个方面：偏振分束光栅耦合器 (PSGC) 和单向偏振不敏感光栅耦合器。PSGC 将两个极化耦合到不同方向的波导中，可以设计成 1D^{[65] [75]} 或 2D 的^{[57] [66] [76-77]}。对于 1D PSGC，布拉格方程 (3.8) 中的衍射阶为 $m = \pm 1$ ，分别对应着 TE 和 TM 偏振态。如图 3.7(a) 所示，通过合理设计，较好地分离了两个正交的偏振态，在宽波长范围内，消光比 >25 dB 时，两个偏振在 1552 nm 波长处均实现了 -2.4 dB 的低耦合损耗。2D PSGC 是将两个正交排列的 1D 光栅组合，每个光栅将偏振态耦合到其对应波导的 TE 模式中，如图 3.7(b) 所示。为了对称，光纤入射平面旋转了 45°，同时保持其偏离法线以实现更优的耦合效率。来自光纤的任意偏振

态入射光都可以分解成两个正交的线性分量，并分别在两个波导中转换成 TE 模式。在这个过程中，即使偏振态发生变化，耦合到两个波导的总功率之和也几乎保持不变，因此 2D PSGC 对偏振不敏感。PSGC 是通过将不同偏振态分离来克服偏振敏感，而单向偏振不敏感光栅无需分开偏振态即可实现相同的效果。一种方法是利用亚波长有效折射率介质来消除双折射。Cheng, Z. 等^[78] 在设计中研究了一阶和二阶有效折射率介质理论方程，使 TE 和 TM 模式的有效折射率相似，以实现偏振不敏感。也可以采用不同的光栅衍射阶数耦合 TE 和 TM 偏振，或者耦合到波导模式的不同阶，这些方法通常采用厚 SOI 来降低双折射^[79-81]。另外，还有一些研究侧重于 1D 光栅的结构创新，包括双刻蚀光栅^[82]、TE 和 TM 光栅的相交和结合^[83] 以及反向设计的非均匀光栅^[84-85]。

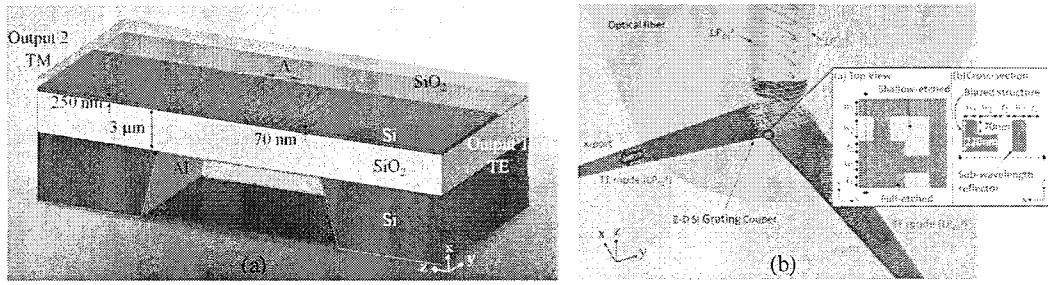


图 3.7 改善偏振敏感的光栅耦合器：(a) 1D PSGC^[65]；(b) 2D PSGC^[66]

Figure 3.7 Improving polarization-sensitive of grating: (a) 1D PSGC; (b) 2D PSGC

根据布拉格条件，辐射角与波长有关，而光纤只接受小衍射角范围的光，所以光栅具有较高的波长敏感性。光栅的 1 dB 带宽通常小于 50 nm，限制了其宽带应用。光栅耦合器的带宽与光纤数值孔径和光栅色散有关。换句话说，对于不同的波长，当光纤保持固定时，衍射角是不同的。考虑中心波长为 λ_0 ，相应衍射角为 θ_0 的光栅耦合器，对于偏离中心的波长，假设光栅有效折射率 n_{eff} 不变，将 $\lambda = \lambda_0 + \Delta\lambda$ 和 $\theta = \theta_0 + \Delta\theta$ 代入布拉格方程，可以得到衍射角色散 $\Delta\theta$ 和波长偏差 $\Delta\lambda$ 的关系^[86]：

$$\frac{\Delta\lambda}{\Delta\theta} = \frac{\lambda_0 n_0 \cos\theta_0}{n_{\text{eff}} - n_0 \sin\theta_0} \quad (3.12)$$

对于具有数值孔径 NA 的光纤，假设光栅输出模式和光纤模式都是高斯型，则在耦合效率下降 1 dB 前， $\Delta\theta$ 与 NA 成正比。因此，光栅的 1 dB 带宽为：

$$\frac{\Delta\lambda}{\Delta\theta} = C \cdot NA \cdot \frac{\lambda_0 n_0 \cos\theta_0}{n_{\text{eff}} - n_0 \sin\theta_0} \quad (3.13)$$

其中, C 是一个常数。该方程表明, 随着 θ_0 增加和 n_{eff} 减小, 光栅的 1dB 带宽增大。进一步考虑有效折射率色散, Xiao 等给出了一个更全面的推导^[87], 证明了减小 $dn_{\text{eff}}/d\lambda$ 也会增加带宽。上述分析表明光栅的带宽取决于包层折射率、光纤 NA 以及影响 n_{eff} 和 $dn_{\text{eff}}/d\lambda$ 的光栅结构等多个参数, 给宽带光栅的制作提供了很多解决方案: 选择折射率较低的材料如氮化硅, 来降低 n_{eff} ^[86-88], 但由于 SiN 材料的折射率对比度较低, 导致耦合强度较小, 所以耦合效率一般低于 SOI 材料的光栅效率; 增大光纤接收光的范围来增大带宽, 比如使用数值孔径大的光纤^[89], 或者在光纤和芯片之间插入一个硅棱镜来补偿角度色散^[90], 但这些方法需要非标准的单模光纤或额外的制造过程, 而且增加了对耦合对准精度的要求。

综上所述, 目前光栅耦合器的优化主要集中在耦合效率、偏振敏感以及带宽等方面。光栅的耦合效率可以通过覆盖层或底部反射镜等方法来提高, 偏振敏感性可以通过改进的 PSGC 等设计来改善, 波长敏感性可以用增大光纤数值孔径等方法来解决。当然, 对 SOI 光栅耦合器的研究远不限于此, 仍有很多课题有待研究, 很多应用有待开发, 未来随着加工工艺的精度提升以及封装耦合的技术改善, 光栅耦合器的性能必定会越来越好, 其应用也会逐渐扩展。

3.2 背入射光栅耦合器的设计 and 研究

3.2.1 背入射光栅的提出

从实际应用的角度考虑, 用于 chip-to-package 和 chip-to-board 通信的芯片外光耦合需要满足两个要求: 可用基于 CMOS 的晶圆级平台制造, 并且降低封装和组装成本。而光栅耦合器相比边缘耦合器来说, 关键优势就在于耦合容差大, 且能够进行晶圆级光学测试, 便于评估晶圆上裸片 (Dies) 的质量, 进一步节省了封装成本。通过光栅的研究现状可以看出, 之前的研究都集中在增强光栅耦合器的向上方向性, 将芯片的器件侧作为光 I/O 接口。但是, 随着数据传输的速率越来越快, 频率越来越高, 传统的芯片正装方式已很难满足发展需求, 目前的趋势是采用 2.5D/3D 集成方式将芯片倒装集成以实现高速电互连^[94]。而对于 2.5D 集成来说, 光电芯片均倒装键合在转接板 (Inteposer) 表面; 对于 3D 集成

来说, 电芯片堆叠在光芯片顶部。在这种情况下, 光口朝上不再可行, 需要一种光口朝衬底方向的光栅耦合器。

通过衬底(背面)耦合可以实现光芯片的倒装集成, 也可以避免在芯片顶部预留放置光纤阵列 (Fiber Array, FA) 空间的必要性, 但目前相关研究很少。M. T. Wade 等人采用 IBM 45nm CMOS SOI 工艺, 通过独立设计有源层的晶体硅 (c-silicon) 和栅极的多晶硅 (p-silicon), 如图 3.8 所示, 实现了一款具有 $> 70\%$ 的芯片-光纤耦合效率和 78nm 1dB 带宽的光栅耦合器, 但微电子 CMOS 工艺的顶硅厚度 $< 100\text{ nm}$, 这与典型硅光平台的标准 220nm 厚度有很大不同^[99]。J. Notaros 等也是基于 45nm CMOS 工艺平台, 实现了 92% 的耦合效率, 但其中心波长为 1200 nm, 对于硅光通信来说并不实用^[100]。Mangal, N. 等通过将球透镜集成到有机封装基板的通孔中, 使光芯片中向衬底衍射的光束可以耦合到具有良好对准公差 of 的板级聚合物多模波导, 实现了 -3.4dB 耦合效率^[101], 如图 3.9 所示。另外, 他们通过将硅光芯片的向下衍射光栅与混合集成聚合物透镜相结合, 在 $\lambda=1310\text{ nm}$ 处产生了超过 600 μm 的准直光束, 证明了 12 μm 的光纤 1dB 横向对准公差^[102], 如图 3.10 所示。这两种方法或许可以实现较好的耦合效率, 但是都增加了额外的透镜结构, 这也就增大了光耦合系统的复杂性, 导致难度增大且成本升高。

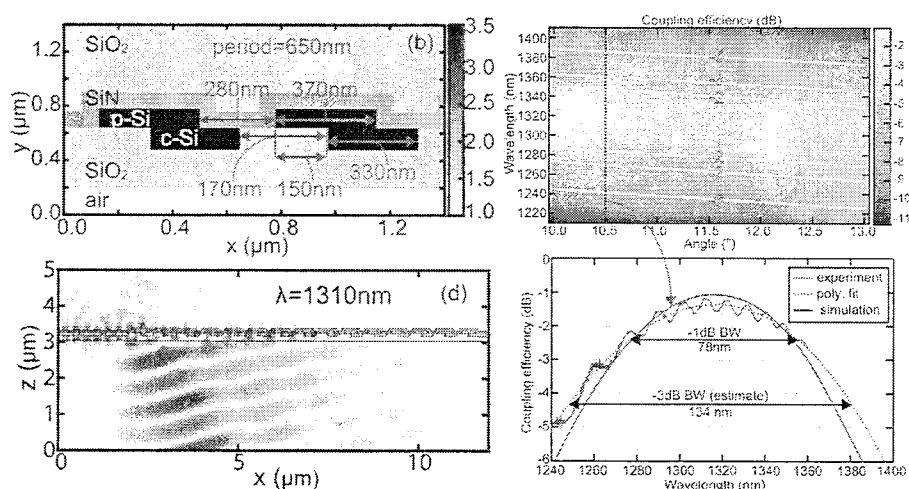


图 3.8 基于微电子 45nm CMOS SOI 工艺实现向衬底衍射光栅^[99]

Figure 3.8 Realization of diffraction grating to the substrate based on microelectronics

45nm CMOS SOI process

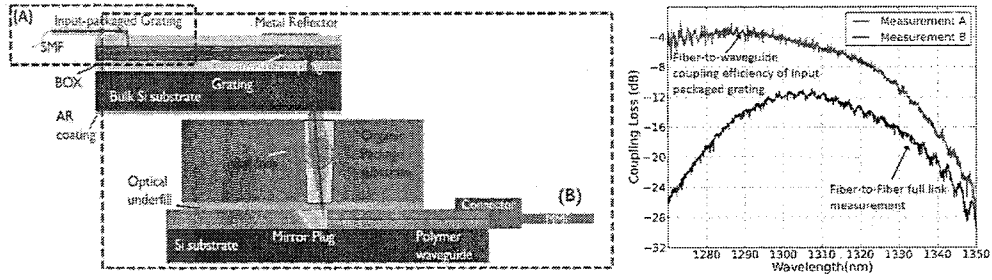


图 3.9 将球形透镜集成到有机封装基板的通孔中实现了光栅向下耦合输出^[101]

Figure 3.9 The spherical lens is integrated into the through hole of the organic substrate to realize the grating downward coupling output

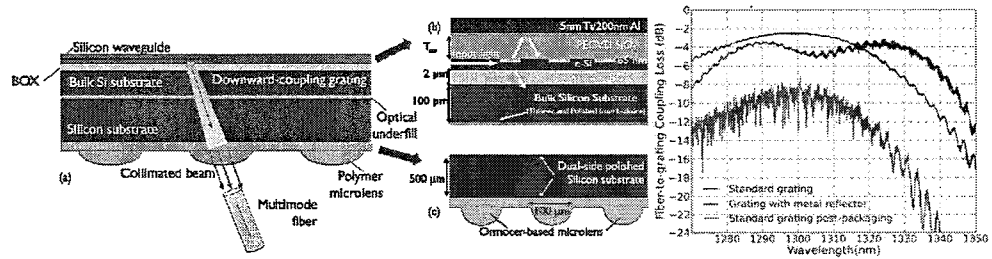


图 3.10 向下衍射光栅与混合集成聚合物透镜相结合实现高对准容差^[102]

Figure 3.10 The combination of downward diffraction grating and hybrid integrated polymer lens achieves high alignment tolerance

受芯片向上耦合输出光栅的金属反射镜优化方法启发，我们针对 1550nm 波长提出了一种在光栅顶部沉积金属反射器以增加光栅耦合器向下（衬底）方向性的方法。通过在衍射光栅上方的氧化物包层上淀积 Ti/Al 反射层，可以实现光栅向下衍射光场与向上衍射场的反射光之间的相长干涉，从而实现光栅的向下方向性。所提出背入射光栅耦合器的结构如图 3.11 所示，从上至下依次是：Ti/Al 金属反射层、上包层、Si 波导层、埋氧层和具有通孔的衬底层。

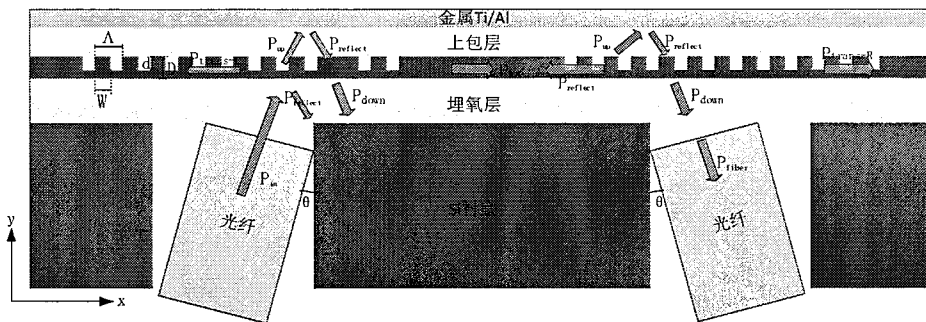


图 3.11 背入射光栅耦合器结构

Figure 3.11 Proposed structure of back-incident grating coupler

该背入射光栅耦合方法的优势在于：

1. 与传统的将金属镜放置在埋氧层-硅衬底界面之间的方法相比，顶部反射镜方法更实用，并且与典型 CMOS 工艺流程中的后端工艺 (BEOL) 兼容；
2. 可将硅光子芯片有源面朝下键合在封装衬底上，从而可同时实现裸片堆叠和光纤阵列封装，提供了一种可行的芯片倒装封装方案；
3. 提供了一条新的光输出途径，而无需额外的后端处理，有望在诸如片上传感和光谱学之类的应用中找到实用性。

3.2.2 背入射光栅的设计和优化

设计光栅耦合器最主要的目标就是得到更高的耦合效率。当然，对于应用于一些特定领域的光子器件来说，大的带宽也很重要。在设计开始之前，对背入射光栅耦合器定义如下：

1) 光在波导中传播的方向为 x 方向，光波导的厚度方向为 y 方向，光栅方向（即光栅的槽向）为 z 方向。

2) SOI 含有三层结构：顶硅层、埋氧层、衬底。其中顶硅层硅厚度为 $h_{Si}=220\text{nm}$ ，折射率为 $n_{Si}=3.47$ ；埋氧层厚度为 $h_{box}=2\mu\text{m}/3\mu\text{m}$ ，折射率为 $n_{SiO_2}=1.47$ ；衬底硅的厚度一般在 $750\mu\text{m}$ 左右，折射率为 $n_{Si}=3.47$ 。

3) 在仿真中，我们考虑光从光纤经光栅衍射进入波导，总能量为 P_{in} ；光经过光栅的衍射，部分光向上衍射，能量为 P_{up} ；部分光向衬底衍射，能量为 P_{down} ；部分光被表面金属层反射，能量为 $P_{reflect}$ ；除了衍射掉的能量，还有部分光透过光栅沿波导反方向传输，为 $P_{trans-L}$ ；最终耦合进波导的能量是 P_{wg} 。

4) 光栅的周期为 Λ ，光栅线条的宽度为 w ，我们定义光栅的占空比 $ff=w/\Lambda$ ；光栅的周期数为 N ，因此光栅区的长度为 $\Lambda \times N$ ；光栅的刻蚀深度为 d ；光纤轴线与光栅表面法线的夹角为 θ 。

5) 假设光栅的宽度是无限的，其宽度通常可认为是 $10\mu\text{m}$ ；

6) 电场方向为 z 方向的光波为 TE 模，磁场方向为 z 方向的光波为 TM 模。

光栅耦合器的设计依据是前面 3.1 节所述的布拉格条件。如果将光栅齿的有效折射率表示为 n_{eff1} ，光栅槽的有效折射率表示为 n_{eff2} ，则该光栅区域的有效折射率可表示为：

$$n_{eff}=ff \cdot n_{eff1}+(1-ff) \cdot n_{eff2} \quad (3.14)$$

其中, $n_{\text{eff}1}$, $n_{\text{eff}2}$ 可以用有效折射率方法来计算。结合光栅布拉格方程可以看出, 为了满足谐振方程, 得到最大的衍射能量, 需要实现合适的 n_{eff} 。决定光栅性能的参数有: 中心波长 λ_0 、光栅周期 Λ 、占空比 ff 、刻蚀深度 d 和光纤倾角 θ 。除此之外, 还有影响 P_{down} 和 P_{reflect} 之间干涉效应的上包层厚度 h_{SiO_2} 、埋氧层厚度 h_{box} , 影响光栅衍射模场与光纤重叠积分的光纤耦合位置 x_{fiber} 以及模式偏振态。我们分别针对 TE、TM 两种偏振态, 在中心波长 $\lambda_0=1550\text{nm}$ 处, 通过对 Λ , ff , d , θ , h_{SiO_2} 和 x_{fiber} 进行优化, 设计了两种类型的光栅。

设计时采用二维 FDTD 方法, 光栅耦合器在 Lumerical FDTD Solutions 软件的仿真模型如图 3.12 所示。其中, 固定的参数有: Si 衬底高度 $300\mu\text{m}$, 埋氧层厚度 $2\mu\text{m}/3\mu\text{m}$, Si 波导层高度 220nm , 光纤芯/包层直径 $9\mu\text{m}/125\mu\text{m}$ 。图中所示橙色矩形定义了仿真区域, 其 x_{min} , x_{max} , y_{min} 使用的是完美匹配层 (Perfectly Match Layer, PML) 边界条件, 使辐射几乎都传播到计算区域之外, 从而不会干扰仿真区域内部的场, 其 y_{max} 使用的是金属边界条件, 模拟光栅耦合器的表面金属层。本节所述的所有优化都是针对输入光栅耦合器, 即从光纤纤芯耦合到光波导中。图中橘色矩形是仿真区域; 紫色箭头是光源; 黄色矩形是功率监视器, 用于记录插入损耗, 反射以及光功率分布。

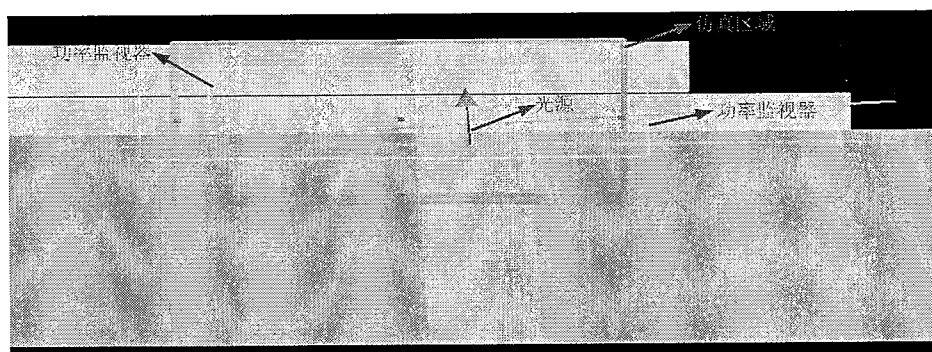


图 3.12 光栅耦合器在 Lumerical FDTD Solutions 软件的仿真模型

Figure 3.12 Simulation model of grating coupler in Lumerical FDTD Solutions software

TE 和 TM 两种光栅的优化方法类似, 本节中主要以 TE 偏振态的光栅优化设计过程为例进行介绍。背入射光栅耦合器具体设计过程如下:

(1) 刻蚀深度 d

光从光纤传输到波导中, 会经过光栅发生衍射、反射和透射, 光栅耦合器的设计主要从这三个方面来考虑。我们首先要考虑光栅的衍射能力, 即有多少光能

够被光栅衍射进入波导。定义为：

$$TS = \frac{P_{wg}}{P_{in}} = 1 - R - T \quad (3.15)$$

TS 与光栅的反射 $R(P_{reflect})$ 和透射 $T(P_{up})$ 密切相关。越少的光被光栅反射和透射，就有越多的光被光栅所衍射进入波导，而光栅的反射和透射主要受光栅的刻蚀深度影响。图 3.13(a) 所示为在波长 1550nm 处光栅的衍射随着刻蚀深度的变化趋势。从图中可以清楚地看出，随着刻蚀深度的增加，光栅的衍射先逐渐增加，但在刻蚀深度超过某个值以后开始减小，这是因为光栅的反射随着刻蚀深度的增加而增加，而光栅的透射随着刻蚀深度的增加而减小。这很好理解，因为光栅在竖直方向上不是刻透的对称结构，刻蚀深度越小，就有越多的光经过波导中未刻蚀的部分透射过光栅。因为反射和透射随刻蚀深度的变化趋势相反，因此它们的和在某个刻蚀深度达到最小，即此时衍射能量最大。

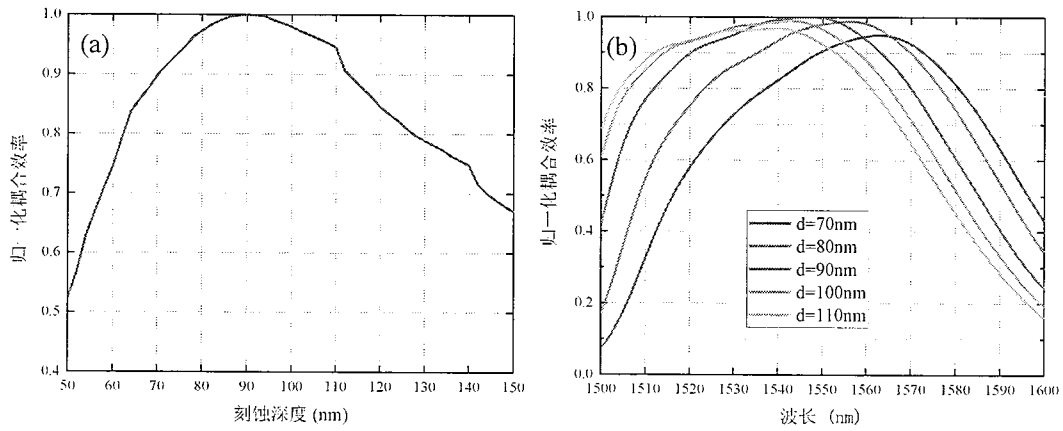


图 3.13 光栅耦合效率随刻蚀深度的变化：(a) 1550nm 波长处刻蚀深度对耦合效率的影响；(b) 不同刻蚀深度时耦合效率的波长扫描曲线

Figure 3.13 The coupling efficiency of grating changes with the etch-depth: (a) The influence of the etch-depth at 1550nm on the coupling efficiency; (b) The wavelength scanning curve of the coupling efficiency at different etch-depth

光栅耦合器的刻蚀深度还通过影响光栅耦合器的有效折射率来影响光栅耦合器的性能。随着蚀刻深度的增加，浅刻蚀区域的有效折射率减小，所以光栅的有效折射率 n_{eff} 也会减小，从而会改变中心波长，这很容易从布拉格条件分析得到。当光栅耦合器的中心波长变化时，有效折射率也随波长变化（即色散），所以有效折射率可写为 $n_{eff}(\lambda)$ 。根据布拉格条件，中心波长的表达式可写作：

$$\lambda = \Lambda [n_{eff}(\lambda) - n_3 \cdot \sin \theta_{in}] \quad (3.16)$$

由上式可知，光栅的中心波长与有效折射率成正比。这也就是说，光栅的中心波长与蚀刻深度成反比。这一点从我们的仿真结果中也可以看出，如图 3.13(b) 所示，随着刻蚀深度从 70nm 增大到 110nm，中心波长一直向短波长方向移动。

(2) 上包层厚度 h_{SiO_2} 和埋氧层厚度 h_{box}

其次，需要考虑的是到底有多少光经过光栅后会衍射进入光传播方向的光波导。在本设计中，透射过光栅的光 P_{up} 会在表面金属处发生反射，再次入射到光栅上发生衍射，从而也有一部分能量进入波导。光栅在各个界面处的不同反射如图 3.14 所示，这些反射之间的干涉会增加光栅耦合器的插入损耗。当 P_{r1} 和 P_{r2} 发生相消干涉时，并且 P_{r3} 和 P_{r4} 发生相长干涉时，可以实现最小的插入损耗。到底是产生相消干涉还是相长干涉，取决于上包层和埋氧层的厚度。埋氧层厚度由流片厂家决定，无法定制化，所以我们主要通过优化上包层的厚度使得上行光与金属反射光干涉相长，以得到最大的传输效率。

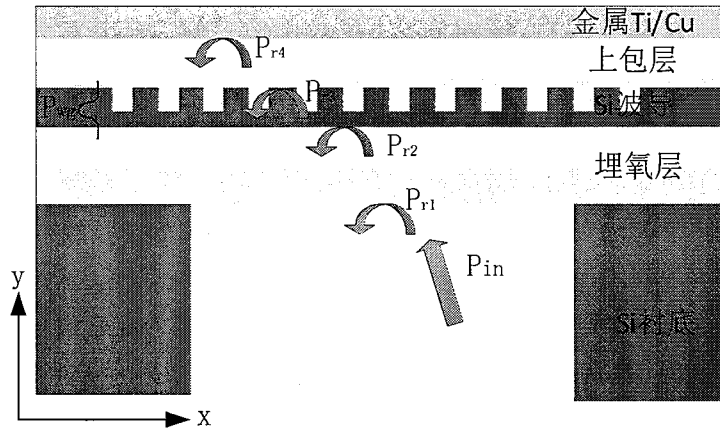


图 3.14 背入射光栅耦合器中不同界面处的反射示意图 ($\beta > K$)

Figure 3.14 Schematic diagram of reflections at different interfaces in the back-incident grating coupler ($\beta > K$)

图 3.15(a) 所示为 1550nm 波长处光栅的耦合效率随上包层厚度的变化曲线，可以看出，耦合效率是上包层厚度 h_{ox} 的周期函数。理论上，为了获得最大的相长干涉，光栅和反射镜之间所需的氧化物厚度 h_{ox} 由下式给出：

$$h_{\text{ox}} = \frac{m\lambda \cos \theta}{2n_{\text{SiO}_2}} \quad (3.17)$$

其中 λ 是自由空间波长， θ 是光栅的衍射角， n_{SiO_2} 是二氧化硅的折射率，

m 是整数。根据入射角和中心波长，包层的最佳厚度会发生变化。当 m 取不同的正整数值时，上包层厚度 h_{ox} 对应着图 3.15(a) 中的各个峰值耦合效率。取耦合效率与上包层厚度的正弦震荡函数的其中一个周期：2.25 μm ~2.75 μm ，仿真得到不同包层厚度时的光栅耦合效率随波长的变化曲线，如图 3.15(b) 所示。可以看出，上包层厚度对光栅中心波长几乎没有影响，只会影响耦合效率的大小。

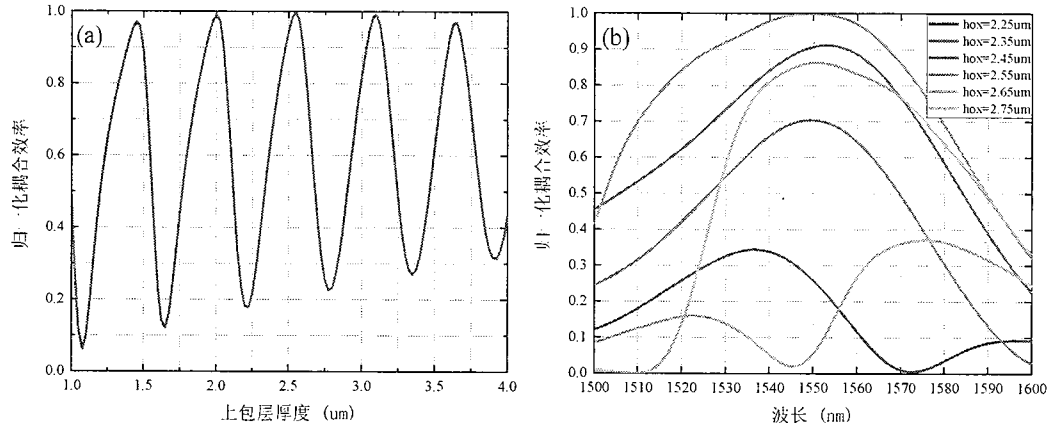


图 3.15 光栅耦合效率随上包层厚度的变化：(a) 1550nm 波长处上包层厚度对耦合效率的影响；(b) 不同上包层厚度时耦合效率的波长扫描曲线

Figure 3.15 The coupling efficiency of grating changes with the thickness of the upper cladding: (a) The influence of the thickness of the upper cladding at 1550nm on the coupling efficiency; (b) The wavelength scanning curve of the coupling efficiency with different upper cladding thickness

虽然埋氧层厚度并不能定制化，但为了评估埋氧层厚度的影响，我们也做了相关仿真，如图 3.16 所示，不同埋氧层厚度时耦合效率随波长的变化曲线。结果显示埋氧层厚度对光栅耦合效率并无影响，这似乎不太正确。但是，根据 3.1.2 节所述，光栅存在两种失谐状态，如果光栅满足 $\beta < K$ ，此时的光栅各个界面之间的反射应该如图 3.17 所示，二阶反射完全被消除，也就是说， P_{r1} 和 P_{r2} 并不会进入光纤中，所以它们是干涉相长或相消并不影响光栅的耦合效率。当然，这只是 TE 偏振态的情况。对于 TM 偏振来说，优化得到的最佳入射角度满足的是 $\beta > K$ ，所以埋氧层的厚度对光栅耦合效率有一定影响，但这个影响比上包层厚度对光栅耦合效率的影响小，这是因为 P_{r1} 和 P_{r2} 的反射系数比 P_{r3} 和 P_{r4} 的反射系数小。

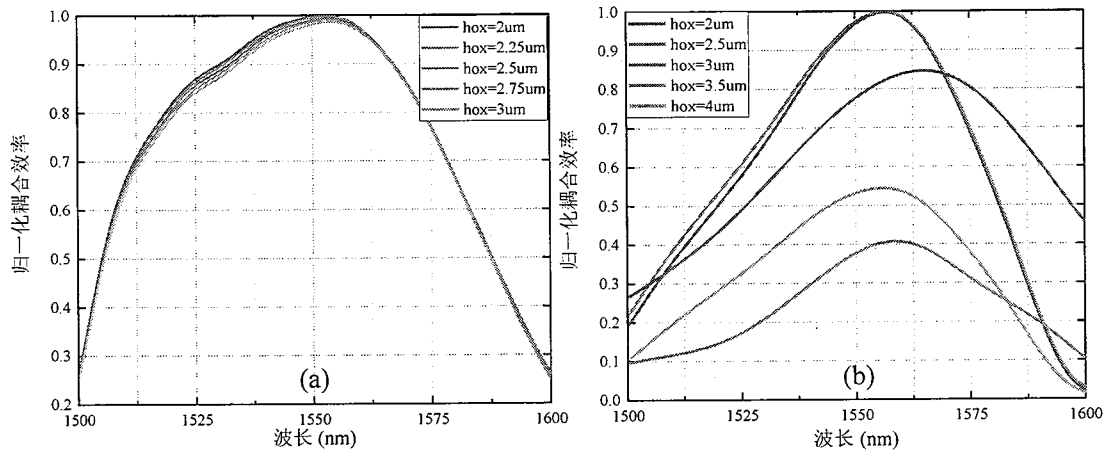


图 3.16 1550nm 波长处不同埋氧层厚度时耦合效率的波长扫描曲线: (a)TE; (b)TM

Figure 3.16 Wavelength scanning curve of coupling efficiency with different buried oxide thickness at 1550nm: (a) TE; (b) TM

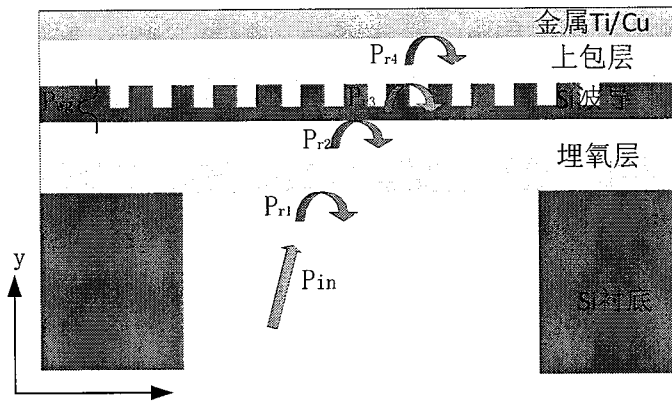

 图 3.17 背入射光栅耦合器中不同界面处的反射示意图 ($\beta < K$)

 Figure 3.17 Schematic diagram of reflection at different interfaces in back-incident grating coupler ($\beta < K$)

(3) 光栅周期 Λ 和占空比 ff

通过前面的参数扫描, 可以大致确定光栅的刻蚀深度 d 和上包层厚度 h_{ox} , 接下来需要确定的光栅参数是光栅周期 Λ 和占空比 ff 。根据式 (3.14): $n_{eff} = ff \cdot n_{eff1} + (1 - ff) \cdot n_{eff2}$, 占空比通过改变光栅有效折射率来影响光栅耦合器的性能, 随着 ff 增加, 有效折射率会增加, 使得光栅中心波长向短波长方向移动。根据布拉格条件的变形式(3.16): $\lambda = \Lambda [n_{eff}(\lambda) - n_3 \cdot \sin \theta_{in}]$, 光栅周期可以说是对光栅中心波长影响最大的参数。光栅周期与光栅中心波长 λ_0 和有效折射率 n_{eff} 密切

相关。根据想要得到的中心波长，可以灵活地调整光栅周期，不过一般来说，对于中心波长 $\lambda_0=1550\text{nm}$ ，选择的周期通常在 $550\text{nm}\sim 700\text{nm}$ 之间。图 3.18 显示了不同光栅占空比时的耦合效率，图 3.19 显示了不同光栅周期时的耦合效率。

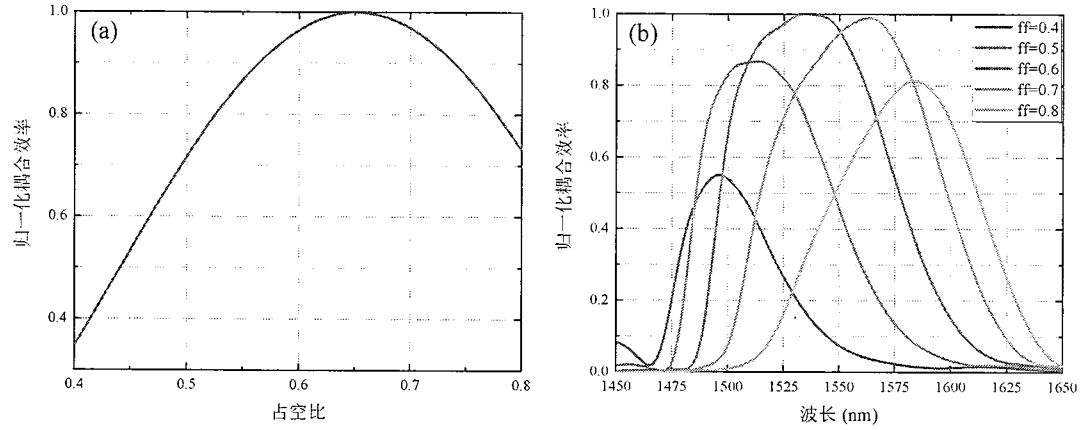


图 3.18 光栅耦合效率随占空比的变化: (a) 1550nm 波长处占空比对耦合效率的影响; (b) 不同占空比时耦合效率的波长扫描曲线

Figure 3.18 Variation of grating coupling efficiency with duty cycle: (a) The effect of duty cycle at 1550nm on coupling efficiency; (b) Wavelength scanning curve of coupling efficiency at different duty cycle

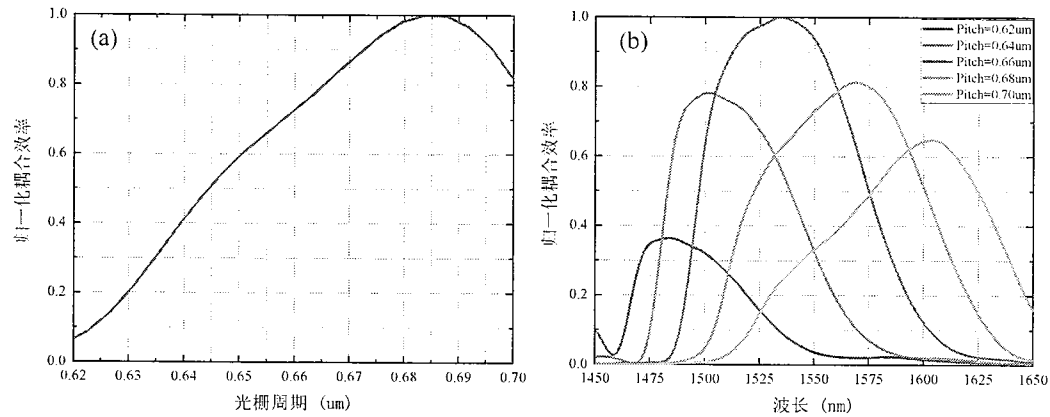


图 3.19 光栅耦合效率随周期的变化: (a) 1550nm 波长处光栅周期对耦合效率的影响; (b) 不同光栅周期时耦合效率的波长扫描曲线

Figure 3.19 Variation of grating coupling efficiency with period: (a) The influence of grating period at 1550nm on coupling efficiency; (b) The wavelength scanning curve of coupling efficiency at different grating period

可以看到两个参数对耦合效率的影响几乎一致，下面我们以占空比的影响机

制为例进行解释。光栅的占空比从 0.4 开始变大时,耦合效率逐渐增大,而当占空比超过某个值时,耦合效率又逐渐减小。这是因为当光栅的占空比大于一定值后,光栅的刻蚀槽会变得比较窄,从而引起的光栅折射率调制就会很大,即光栅衍射强度会变得比较大,但是刻蚀槽变窄后光栅的反射也会有所增加,所以两者会在某个占空比处达到平衡,该值即对应着耦合效率的最大点。

为了评估光栅周期和占空比对中心波长的影响程度,分别定义它们的调谐系数为:

$$\begin{cases} \frac{\delta\lambda}{\delta\Lambda}, \text{ 周期调谐系数} \\ \frac{\delta\lambda}{\delta w}, \text{ 占空比调谐系数} \end{cases} \quad (3.18)$$

由图 3.18(b),当占空比从 $f=0.4$ 变为 $f=0.8$,光栅中心波长从 1496 nm 移至 1584nm。对占空比进行优化时,选择的光栅周期是 670nm,所以占空比的调谐系数计算为 0.328 nm/nm (占空比的调谐系数由光栅齿的宽度 w 来计算)。同理由图 3.19(b),当光栅周期从 620 nm 变为 700 nm 时,光栅耦合器的中心波长从 1482 nm 变为 1603 nm,所以周期的调谐系数计算为 1.51 nm/nm。

(4) 光纤倾角 θ

光栅耦合器的入射角定义为入射波(或外耦合波)与光栅表面法线之间的夹角。正角表示波导中的入射波和耦合波沿相同方向传播的情况(对应图 3.14 情况),负角表示波导中的入射波和耦合波沿相反方向传播的情况(对应图 3.17 情况)。角度可以定义为自由空间角度 θ_{air} ,也可以定义为光纤中角度 θ_{fiber} ,两者之间满足斯涅尔定律: $\sin \theta_{\text{air}} = n_{\text{fiber-core}} \times \sin \theta_{\text{fiber}}$ 。当使用带透镜的光纤耦合光时,空气中的光角度与光纤的角度相同;当使用抛光的光纤或光纤阵列时,光纤的抛光角度根据斯涅尔定律计算。根据公式 (3.16),入射角也会影响光栅耦合器的中心波长。图 3.20 显示了在其它参数不变的情况下耦合效率随(空气中)入射角变化的仿真结果。定义入射角度的调谐系数为 $\delta\lambda/\delta\theta$,当入射角从 -20° 变为 -30° 时,中心波长从 1510nm 变为 1567 nm,因此,入射角调谐系数为 5.7 nm/ $^\circ$ 。

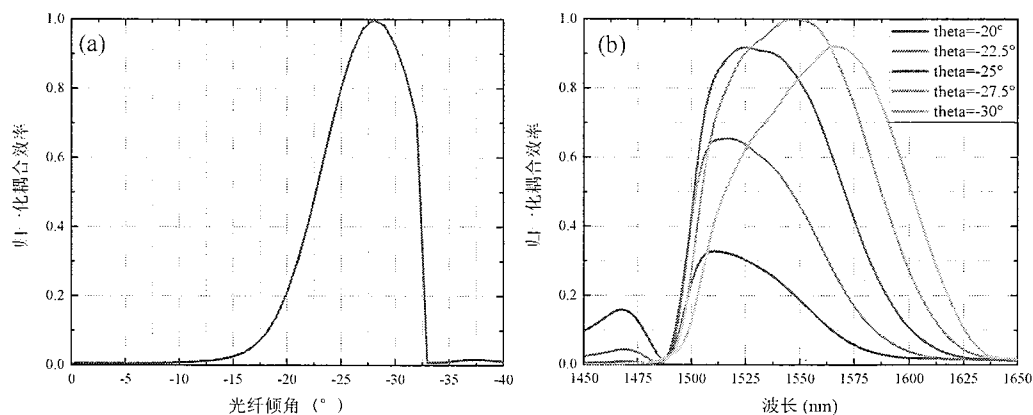


图 3.20 光栅耦合效率随（空气中）入射角的变化: (a) 1550nm 波长处入射角对耦合效率的影响; (b) 不同入射角时耦合效率的波长扫描曲线

Figure 3.20 The coupling efficiency of grating varies with the angle of incidence (in air): (a) The effect of the angle of incidence at 1550nm on the coupling efficiency; (b) The wavelength scan curve of the coupling efficiency at different incident angle

(5) 光纤耦合位置 x_{fiber}

通过仿真光纤位置对耦合效率的影响,找到最佳的光纤位置,便于后续衬底打孔位置和大小的确定。光纤位置的定义如图 3.21 所示,光栅的耦合效率随光纤位置的变化如图 3.22 所示。仿真结果表明,将光纤放置在距光栅起点约 1~4 μm 处均可获得较高的耦合效率,耦合效率对光纤位置的 3dB 容差为 $\pm 4.5\mu\text{m}$,且光纤位置对光栅中心波长基本没影响。

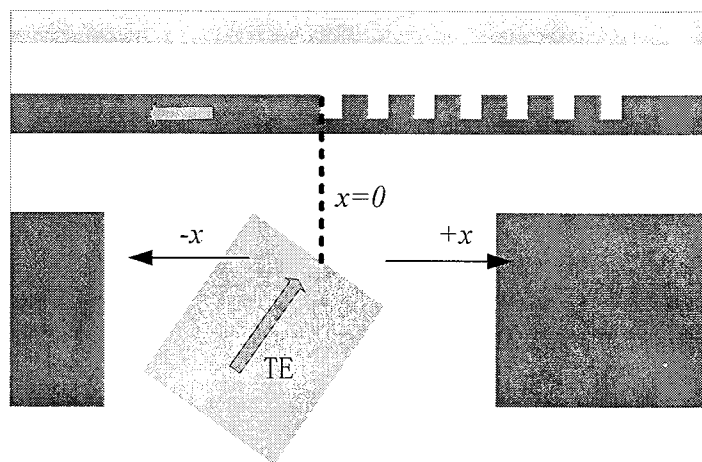


图 3.21 光纤与光栅相对位置的定义

Figure 3.21 Definition of the relative position of optical fiber and grating

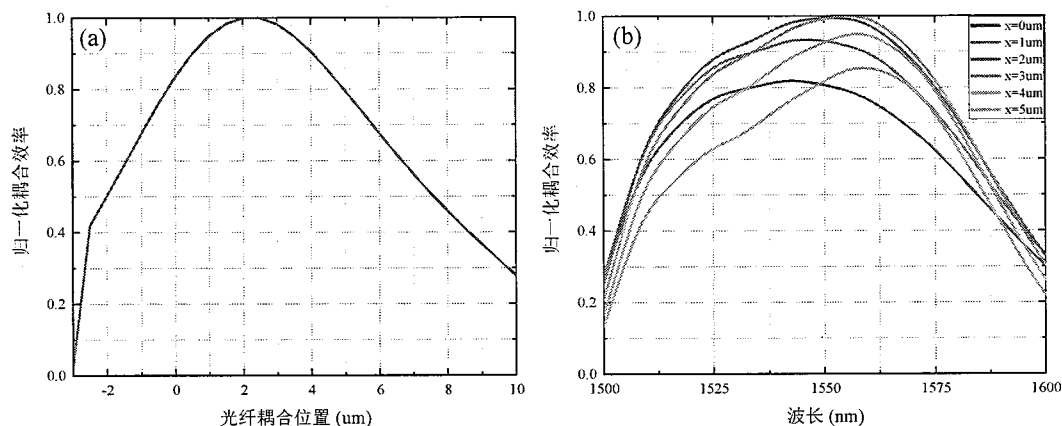


图 3.22 光栅耦合效率随光纤位置的变化: (a) 1550nm 波长处光纤位置对耦合效率的影响; (b) 不同光纤位置处耦合效率的波长扫描曲线

Figure 3.22 The variation of grating coupling efficiency with fiber position: (a) The influence of fiber position at 1550nm on coupling efficiency; (b) Wavelength scanning curve of coupling efficiency at different fiber positions

经过一系列优化以后, 仿真得到的 TE 和 TM 两种偏振态的最佳耦合效率分别为 86.0%和 82.8%, 它们对应的结构参数及各个参数对光栅耦合器中心波长的影响程度列在表 3.1 中。

表 3.1 背入射光栅的设计参数及其调谐因子

Table 3.1 Design parameters and tuning factors of the back-incident gratings

参数	TE		TM	
	最优值	调谐因子	最优值	调谐因子
刻蚀深度 d	90nm	0.7nm/nm	60nm	0.67 nm/nm
上包层厚度 h_{ox}	3.1μm	-	4μm	-
占空比 ff	0.66	W: 0.328nm/nm	0.59	W: 0.172nm/nm
周期 Λ	0.67μm	1.51 nm/nm	0.58μm	1.85 nm/nm
入射角 θ	28°	5.7nm/°	4	5.7nm/°
光纤位置 x	2.5μm	-	8.2μm	-

当 TE 偏振态的耦合效率达到最大值时, 其耦合效率曲线如图 3.23 所示, 可以看出, 表面金属对光栅性能的改善非常有效, 光栅上包层加上表面金属后,

耦合效率由 40% 增大到了 86%，3dB 带宽由 70nm 提升至 82nm。图 3. 24 是 TE 模式的光栅中的光功率分布，很容易发现，无表面金属时，相当大一部分光经光栅衍射后从上包层泄露出去了，而存在表面金属时，这部分光经金属反射后又返回到光栅中。

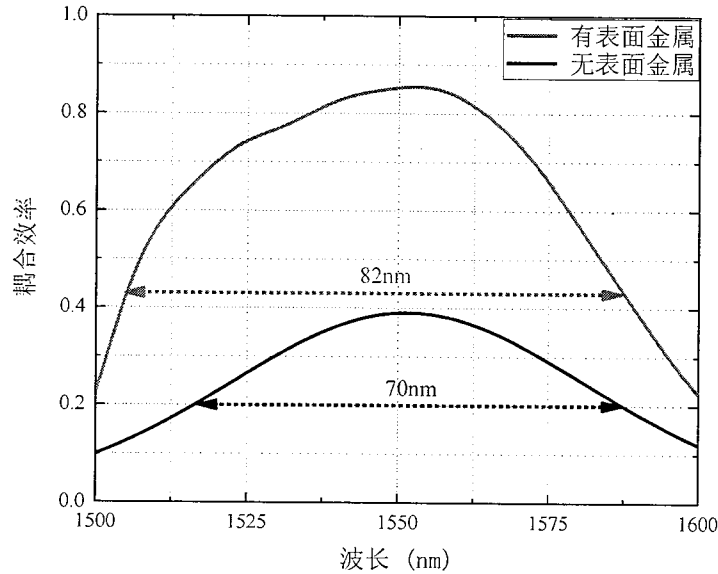


图 3. 23 TE 模式的背入射光栅耦合效率

Figure 3. 23 Coupling efficiency of back-incident grating for TE mode

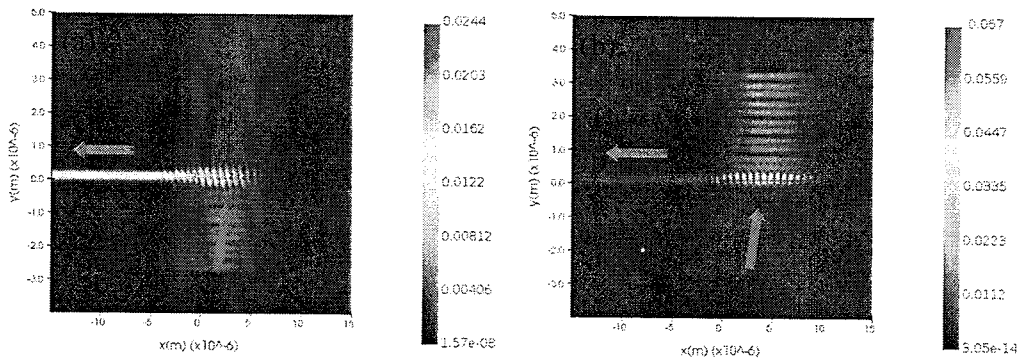


图 3. 24 TE 模式的背入射光栅的光功率分布：(a)无金属反射镜；(b)有金属镜

Figure 3. 24 The optical power distribution of the back-incident grating for TE mode: (a) without metal mirror; (b) with metal mirror

3.2.3 背入射光栅的制作和测试

根据仿真结果，我们进行了流片制作和划片测试。器件的制造是基于中国科学院微电子研究所的 8 寸硅光平台和华进半导体公司的 TSV 工艺。需要说明的

是，我们在仿真设计时使用的是埋氧层厚度为 2 μm 的标准 SOI 晶圆，但掩模版制作完成后，微电子所告知新采购的所有 SOI 晶圆的埋氧层厚度均为 3 μm ，此时已经无法通过更改设计参数来改善光栅性能。在其它参数不变的情况下，将埋氧层厚度改为 3 μm ，TE/TM 模式的耦合效率变化如图 3.16 所示。可见，对于 TE 模式，埋氧层厚度变化对耦合效率影响很小，但对于 TM 模式来说，耦合效率下降了 10% 以上，原因已在 3.2.2 节分析。评估之后发现埋氧层厚度更改后的耦合效率在我们可接受的范围之内，所以继续完成了后续的制作。背入射光栅的具体工艺流程为：

- (a) 刻蚀表面 220nm 高的 Si 波导，形成光条形波导和 Taper 区域；
- (b) 根据设计的刻蚀深度、光栅周期和占空比参数刻蚀光栅；
- (c) 淀积表面的包层 SiO_2 ；
- (d) 物理气相沉积 (PVD) 淀积表面金属，华进的标准 PVD 厚度是 Ti: 100nm, Cu: 300nm；
- (e) 键合 SiO_2 玻璃，作为后续硅衬底减薄和打孔的支撑；
- (f) 硅衬底减薄至 300 μm ；
- (g) 硅通孔 (Through Silicon Via, TSV) 工艺，在硅衬底上对应位置蚀刻出所需尺寸的通孔；
- (h) 去除 SiO_2 玻璃，划片；

光栅工艺流程如图 3.25 所示：

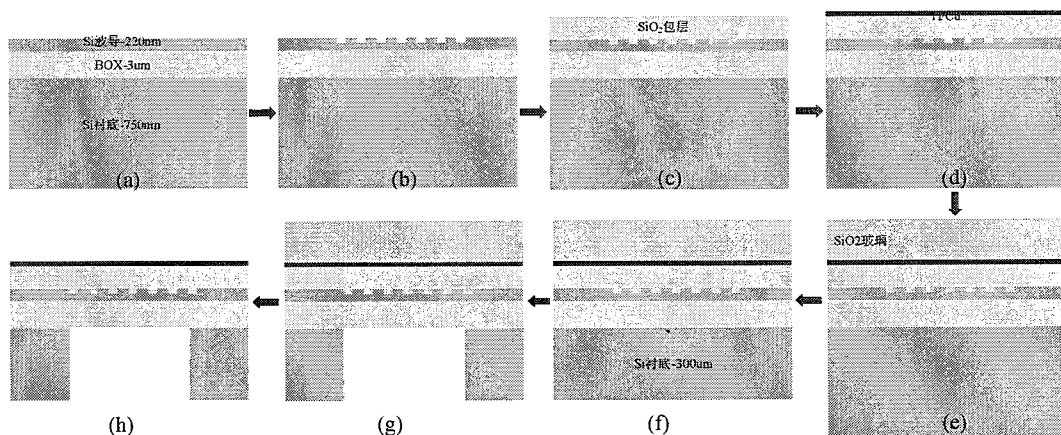


图 3.25 背入射光栅的工艺流程

Figure 3. 25 Process flow of back incident grating

图 3.26 显示的是制作完成后背入射光栅耦合器的 SEM 照片和 TSV 通孔形貌, 可以看到 TSV 半径均匀, 侧壁光滑。

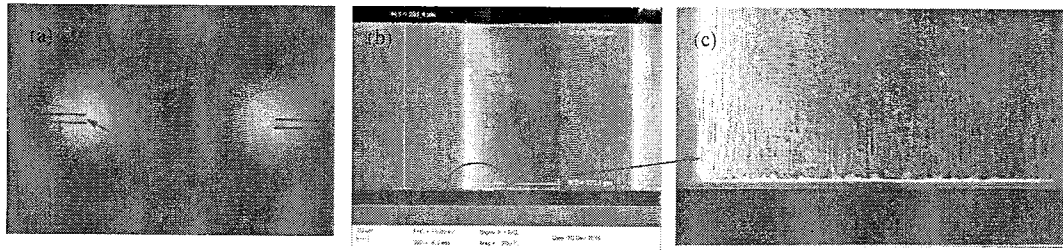


图 3.26 背入射光栅 SEM 照片: (a) 光栅整体结构照片; (b) TSV 形貌; (c) TSV 侧壁

Figure 3.26 SEM photos of the back-incident grating: (a) the overall structure of the grating; (b) TSV topography; (c) sidewall of the TSV

随后, 我们搭建了六维手动对准测试平台对背入射光栅耦合器进行了表征和测试, 图 3.27(a) 显示的是整个光栅测试系统, 图 3.27(b) 显示的光栅样品部分。光源发出的光经偏振控制片后进入输入光栅耦合器中, 然后经波导传输到输出光栅耦合器, 最后输出到光功率计。定制的光纤夹具及其调谐平台允许光纤在 x, y, z 方向上的平移。由于光栅耦合器 I/O 端口的可逆性, 可以认为输入/输出光栅耦合器的损耗一致, 所以将光功率计读取的数据与光源功率进行归一化后除以 2, 即可得到背入射光栅耦合器的耦合损耗。图 3.28 显示的是测试得到的 TE/TM 光栅耦合器单端耦合效率曲线。

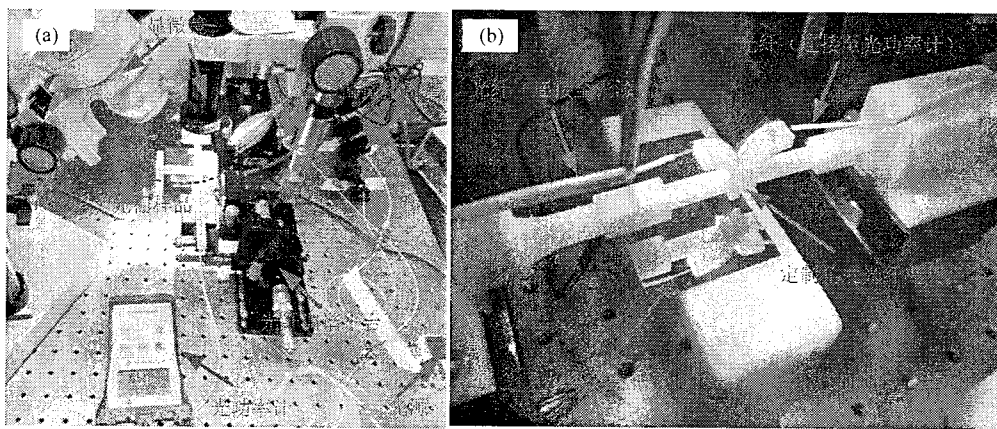


图 3.27 背入射光栅耦合器耦合效率测试: (a)光栅测试系统; (b)光栅样品

Figure 3.27 Coupling efficiency test of the back-incident grating coupler: (a) test system; (b) grating sample

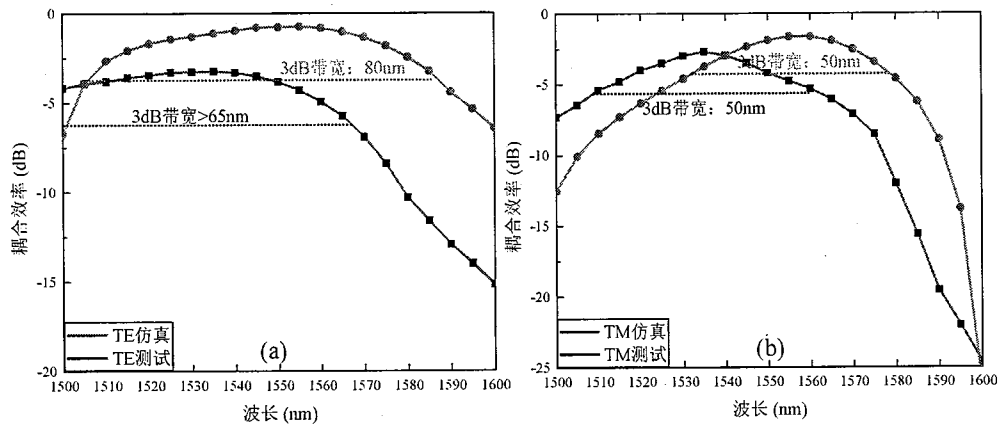


图 3.28 背入射光栅耦合器耦合效率测试曲线: (a) TE; (b) TM

Figure 3.28 Test results of the back-incident grating coupler: (a) TE; (b) TM

测试结果显示, 对于 TE 偏振态, 中心波长在 1535nm 附近, 最大耦合效率为 -3.3dB, 3dB 带宽大于 65nm。在 1550nm 波长时, 9.9dBm 输入功率下, 输出功率为 2.3 dBm, 耦合损耗 -3.8 dB。对于 TM 偏振态, 中心波长在 1535nm 附近, 最高耦合效率为 -2.7dB, 3dB 带宽为 50nm。在 1550nm 波长时, 9.9dBm 输入功率下, 输出功率为 1.5 dBm, 耦合效率 -4.2dB。与仿真得到的结果相比, TE/TM 偏振态的实测光栅耦合效率都下降了一些, 且中心波长有所偏移, 但 3-dB 带宽与仿真结果较为吻合。分析发现, 耦合效率的下降主要有以下几个原因:

1) 偏振态相关光损耗。在仿真时, 设置的光源是单 TE 或 TM 偏振态高斯光源, 而实际测试时光源发出的光并非单偏振态, 而且采用的光纤不是单模保偏光纤, 所以光栅将滤掉一部分其它偏振态的光。通过仿真可发现, 如果将传输 TE 偏振态的光栅用来传输 TM, 光栅的耦合效率几乎为 0, 反之亦然, 所以偏振态变化对光栅耦合效率的影响非常大。

2) 制造误差引起的光损耗。实际制作的光栅和波导并不是完美的, 刻蚀工艺后, 其侧壁不可避免地会存在一定的粗糙度, 从而会引起散射损耗。此外, 光栅的实际参数与设计参数之间的差别, 也会使光栅耦合效率偏离最优值。图 3.29 是光栅磨片后的横截面, 将实际制作参数代入仿真模型中, 发现耦合效率下降了 2%~5%。

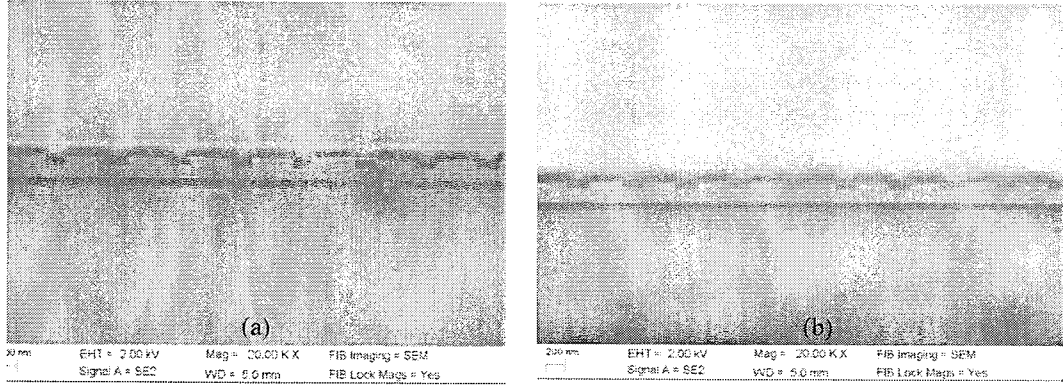


图 3.29 背入射光栅的切片图：(a)TE；(b)TM

Figure 3.29 Slice image of the back-incident grating: (a) TE; (b) TM

3) 菲涅尔反射引起的光损耗。仿真时光的入射和出射都是在相同的介质中，菲涅尔反射可以忽略不计。实际测试时，光纤与 SOI 埋氧层表面之间的空气狭缝会引起两次菲涅尔反射，分别发生在光纤-空气界面和空气-埋氧层界面。介质-空气界面的菲涅尔反射可用公式表示为：

$$R = \left(\frac{n-1}{n+1} \right)^2 \quad (3.19)$$

两次菲涅尔反射的 R 大体一致，约为 3.4%，所以总的菲涅尔反射损耗约占 7%。

另外，中心波长偏移的原因主要在于制造误差和测试误差，在背入射光栅的仿真时已发现，光栅的刻蚀深度、周期、占空比以及入射角度均会对中心波长产生影响，TE 偏振的调谐系数分别为 0.7nm/nm、0.328nm/nm、1.51nm/nm 和 5.7nm/°，TM 偏振的调谐系数分别为 0.67nm/nm、0.172nm/nm、1.85nm/nm 和 5.7nm/°，当光栅实际制作值偏离仿真值时，对中心波长的影响很大，尤其是光纤入射角度引起的偏移。

3.3 片上集成光源的解决方案

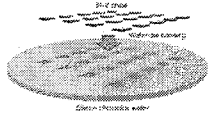
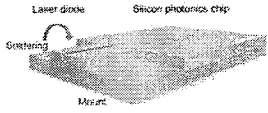
3.3.1 片上集成光源研究概述

由于硅的间接带隙特性，发光效率低，实用化集成光源的制备对硅光芯片的功耗和尺寸有着十分重要的意义。目前相对较成熟的光源解决方案主要是基于 III-V 族材料，通过一定的集成手段在硅光子芯片上实现 III-V 族材料激光器的

集成^[103]。硅基片上光源解决方案按照集成方式的不同分为两类：单片集成与混合集成。单片集成^[104-105]是直接在硅材料上生长特定的材料作为激光器的增益介质，实现片上光源的制作，但受限于材料生长、激光器寿命等因素，虽然该方案更适合大规模集成和生产，但目前还未实用。混合集成^[106-110]是指激光器或其增益材料并不是直接在硅材料上生长制作，而是采用特定的工艺，将激光器或其增益材料转移至硅光芯片上，构成片上光源。

表 3.2 硅基片上集成光源的方法对比

Table 3.2 Comparison of methods for silicon-based on-chip integrated lasers

耦合方式	单片集成	混合集成	
		键合方式	直接耦合
示意图			
光学带宽	小	大	中
尺寸	小	中	大
耦合方式	倏逝波耦合	倏逝波耦合	透镜耦合、边缘耦合或倏逝波耦合
优势	易于获得高输出功率；适合大规模集成和生产	耦合对准容易，且允许更复杂的结构	性能稳定、测试方便、具有产业化潜力
劣势	材料生长难度大：功耗大、生长温度高	光限制较弱、模态损耗较高、热阻较大	组装过程复杂、光耦合损耗大

目前，实现混合集成 III-V/Si 激光器方法按照制造方法来划分主要有两种：键合方案和直接组装。键合方案^[106-107]是使用晶圆键合技术将 III-V 材料转移到 SOI 上，再定义发光器件，使得激光通过倏逝波耦合进入到光波导中，为光芯片提供直流光。由于键合时 III-V 族材料层还未图形化，所以键合工艺的对准容差很高。激光器有源区与下方硅波导的对准则通过光刻工艺完成，相比直接组装方

案来说,具有更高的对准精度。直接组装^[108-110]主要是指采用倒装焊或贴装工艺,将预先制作好的 III-V 族材料激光器或者 laser box 放置在硅光芯片表面,然后通过焊球或者引线键合完成电连接,实现光源与硅光器件的混合集成。这种方法可以分别制造和优化 III-V 器件和硅光芯片,但是光耦合损耗大、器件封装复杂。三种方法之间的对比如表 3.2 所示。

3.3.2 基于背入射光栅的片上集成光源方案

本文中提出了一种采用直接耦合方式的新型片上混合集成光源解决方案,如图 3.30 所示。将 BOX 光源放置在背入射光栅的背面,光经过 TSV 通孔后入射到光栅中,由光栅衍射进入硅光子器件的波导中。该方案基于背入射光栅,可以作为倒装芯片的光接口,实现 PIC 在 2.5D/3D 集成中的应用。另外,本方案中的光源独立于 PIC,使得光源和 PIC 的性能优化可以各自进行,灵活方便。

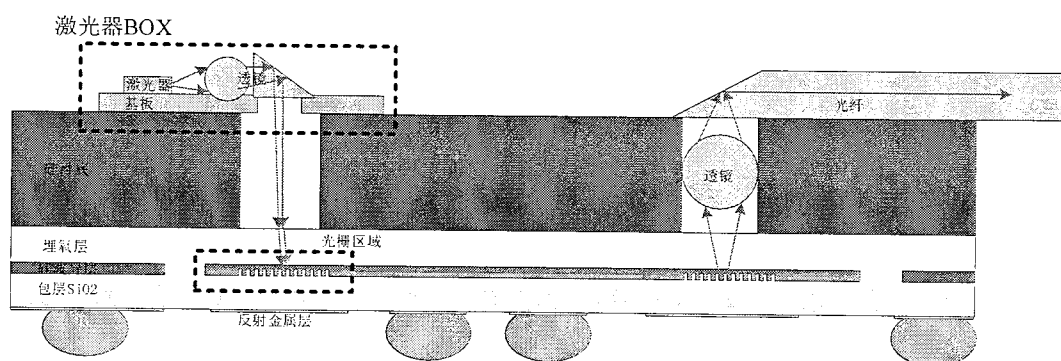


图 3.30 用于 2.5D/3D 集成的片上混合集成光源解决方案

Figure 3.30 On-chip hybrid integrated laser source solution for 2.5D/3D integration

BOX 光源的结构如图 3.31(a) 所示,它基于硅光平台 (Silicon Optical Bench, SiOB), 由于 SiOB 通过高精度晶圆级工艺制造, 因此非常适合于精密光学系统。在 SiOB 上制作孔和沟槽以将微透镜固定在特定位置, 如图 3.31(b) 所示, 并且球透镜和棱镜可以在精密的孔和沟槽中自对准。BOX 光源的光学系统包括 FP 激光器、球透镜和微棱镜。其中, 透镜用于收集和整形激光光束, 其直径为 400 μm , 材料是蓝宝石。微棱镜紧靠球透镜放置, 用于改变光线角度, 其材料是 BK7 玻璃, 角度根据光栅的最佳入射角来计算, 从而可以使光源的光以所需的角度入射到光栅。使用光学自动设计软件 ZEMAX 进行 FP 激光器透镜耦合结构

(Laser on Sub-mount, LoS) 的仿真, 其光线追踪仿真如图 3.31(c) 所示, z 方向上透镜位置偏移对耦合效率的影响如图 3.31(d) 所示。在 1550nm 波长处, 仿真最大耦合效率为 53.7%, 且耦合效率对透镜位置的容差较大。组装完成之后, 测试耦合效率达到了 40% 以上, 证明了仿真的有效性。测试与仿真的较小差异可能来自于组装误差。

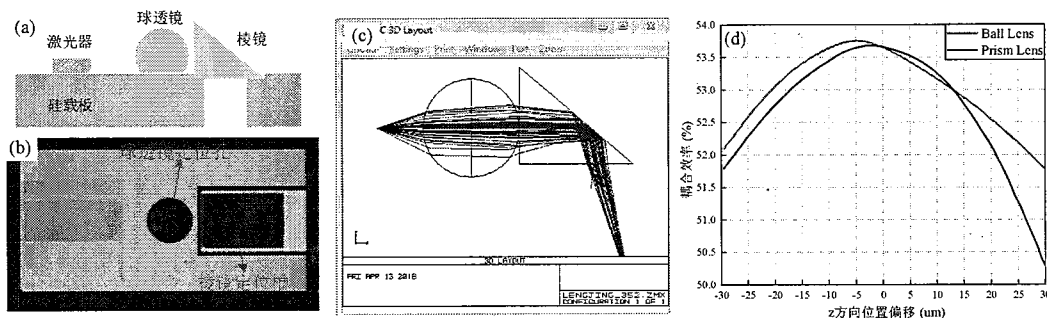


图 3.31 LoS 结构: (a)示意图; (b)SiOB 照片; (c)Zemax 软件的射线追踪仿真; (d)透镜位置偏移对耦合效率的影响

Figure 3.31 Structure of the LoS: (a) schematic diagram; (b) SiOB photo; (c) ray tracing simulation of Zemax software; (d) influence of lens position shift on coupling efficiency

由于光栅的设计仿真采用的是波动光学, 而 LoS 结构的设计仿真使用的是射线光学, 目前还没有哪一款商用软件可以同时完成波动光学和射线光学仿真。因此, 我们提出采用重叠积分来分析和计算光纤与激光器的耦合效率, 从而实现了从 mm 级到 nm 级的光接口仿真。当光栅模与激光模的中心对准, 两个模场的失配损耗可用重叠积分计算为:

$$\eta_{ol} = \frac{|\iint E_l(x,y)E_g^*(x,y)dxdy|}{\iint |E_l(x,y)|^2dxdy \iint |E_g(x,y)|^2dxdy} \quad (3.20)$$

其中, $E_l(x,y)$ 表示 LoS 出光后在 x,y 方向的光场, $E_g(x,y)$ 表示光栅在 x,y 方向的光场。图 3.31 (a) 和 (b) 所示分别是在 $12\mu\text{m} \times 12\mu\text{m}$ 光栅区域上的 LoS 光斑和光栅光斑。分别以它们各自场强的最大值作归一化, 然后使用 Matlab 软件计算其重叠积分。1550nm 波长处, 计算的最小失配损耗为 0.5 dB, 对应于两个光模场的中心正好对齐的情况。如果模场位置偏移, 光栅和 LoS 的模场失配损耗如图 3.31(c) 所示。可以看见, $\pm 1.5\mu\text{m}$ 范围内, 模场位置偏移对失配损耗的影响较小。

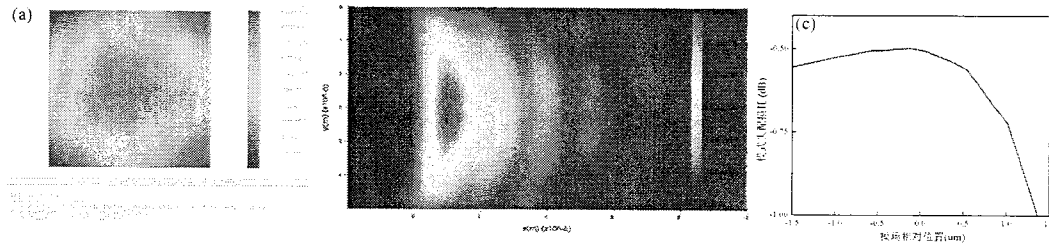


图 3.32 重叠积分计算失配损耗: (a)LoS 模场; (b)光栅模场; (c)模场位置偏移时的失配损耗

Figure 3.32 Mismatch loss by overlap integral calculation: (a) LoS mode field; (b) grating mode field; (c) mismatch loss when the mode field position shifts

整个片上光源的耦合损耗包括光栅损耗、光栅模场与激光模场的失配损耗、空气与 SiO_2 包层之间的反射以及光学透镜系统的损耗。因此耦合效率 η 应为:

$$\eta = \eta_g \times \eta_{ol} \times \eta_l \times (1 - R) \quad (3.21)$$

η_g 是光栅的耦合效率, 对于 TE 模式, 1550nm 处的耦合效率为 86%; η_l 是透镜耦合激光器结构的耦合效率, 1550nm 波长处为 53.7%; R 是空气和 SiO_2 界面的反射系数, 计算为 3.4%。所以最终计算的片上光源耦合效率为 40%, 即耦合损耗为 -4 dB。

3.3.3 基于背入射光栅的片上集成光源的测试

由于微棱镜只改变激光器的光线方向, 对耦合效率基本无影响, 所以 LoS 和背入射光栅联合测试时, 为了更好地固定和对准, 我们并未组装 LoS 的微棱镜。测试原理框图如图 3.33(a) 所示, 采用定制角度的夹具将 LoS 固定在光栅样品的输入端, 光栅输出端通过光纤耦合连接到光功率计, 然后通过微调架调节 LoS 位置和光纤位置, 使输出光功率最大。图 3.33 的插图显示的是 LoS 样品在红外相机下的出光照片。

测试过程中, 交替调节 LoS 位置和输出光纤的位置, 使光功率读数最大。图 3.33(b) 所示是 LoS 和背入射光栅组成的片上光源在红外相机下的照片, 可以清楚地看到圆形的光栅出光点。目前测到的耦合效率约 -50dB, 若去除光栅耦合损耗和链路损耗, LoS 和背入射光栅组成的片上光源耦合效率约 -40dB。实际测试的损耗较大, 原因可能在于:

1) 光栅是对偏振十分敏感的器件, 而 LoS 结构的输出光并非是固定偏振态,

实际测试时的偏振相关损耗会较大;

2) LoS 夹具是通过普通的 3D 打印制作,无法精确的实现我们所需要的角度,也会引入一部分损耗;

3) 测试过程依赖于手动调节,实际的耦合效率可能更高,但由于人为因素,暂未调节出更好的数值。

虽然目前耦合效率与仿真的差距较大,但初步证明了基于背入射光栅的片上光源方案是可行的,有充分潜力可以应用在 2.5D/3D 集成封装中。

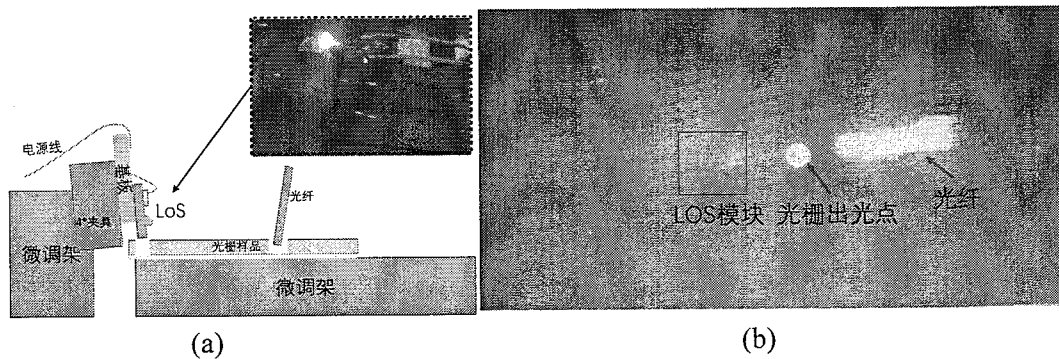


图 3.33 片上集成光源测试: (a)测试平台示意; (b)LoS 红外出光照片; (c)红外相机测试照片

Figure 3.33 Testing of the on-chip integrated laser: (a) schematic of the test platform; (b) infrared light emission photos of the LoS; (c) test photos from infrared camera

3.4 本章小结

本章主要介绍了背入射光栅耦合器以及片上集成光源的研制和测试。我们首先介绍了光栅耦合器的基本工作原理和相关理论,并讨论了近年来的研究进展。然后,我们采用 Lumerical FDTD 软件对背入射光栅进行了全面的仿真和优化,并利用中科院微电子研究所的硅基光电子工艺平台和华进半导体公司的 TSV 工艺平台进行加工制造,之后采用定制的光纤夹具对光栅器件进行测试。对于 TE 偏振态,实测耦合效率低于-3.3dB;对于 TM 偏振态,实测耦合效率低于-2.7dB。最后,我们基于背入射光栅耦合器结构,采用 FP 激光器加球透镜耦合结构作为光源,通过棱镜调整光源入射角度实现激光器和光栅之间的光耦合,设计并实现了一款片上混合集成光源。初步测试结果显示该方案是可行的,证明了该方案有望在 2.5D/3D 集成获得重要应用。

第4章 硅基电光调制器的研制

4.1 硅基电光调制器概述

硅基电光调制器是将电信号加载到光波上,改变光的相位、振幅或偏振态等参数,从而实现电光转换的器件。光调制是光子集成电路最关键的技术之一,直接决定了光学链路的总体成本和系统性能。光调制既可以与光源集成在一起(直接调制),也可以用作外部单元(外调制)。直接调制是指直接对光源电流进行调制从而改变光信号的强度,不仅调制速率和消光比有限,而且还存在频率啁啾现象。而外部调制可以避免这些问题,优化系统速度和效率的同时,不会降低光源效率,因此大多数光学互连都采用外部电光调制器。基于各种电光调制机制,硅光调制器在集成能力、布局灵活性和多功能性等方面优势明显。硅光调制可以由纯硅或其他基于硅的异质材料实现,尽管在硅异质平台上已经实现了超过70GHz的高EO带宽^[111-112]和低驱动电压^[113],但基于全硅波导的光调制器因其CMOS兼容性、成本效率和高可靠性,仍然引起了很多关注。硅光调制器不仅为光通信提供了低成本的解决方案,而且使短距光互连的实现变得更加容易。

4.1.1 硅材料中的调制机制

在硅基电光调制器的设计之前,我们有必要了解硅材料中的电光调制机制。调制主要是通过外部作用来改变材料折射率,包括施加外部电场、注入自由载流子或控制材料中的温度等方法,但是并不是所有方法都在硅材料中有效,下面我们将会进行说明。

(1) Pockels, Kerr 和 Franz-Keldysh 效应

Pockels 和 Kerr 效应是半导体材料中引起电吸收或电折射的主要电场效应,指施加在材料上的电场会改变其折射率,从而对光的偏振产生影响^[114]。折射率随电场的变化表示为:

$$\Delta\left(\frac{1}{n_r^2}\right) = rE + sE^2 + \dots \quad (4.1)$$

其中 n_r 为折射率, E 为电场强度, r 是线性电光 Pockels 系数, s 是二阶电

光 Kerr 系数。当式 (4.1) 的第一项占主导, 改变折射率的主要因素是线性电光效应或 Pockels 效应^[115]。折射率的变化取决于电场相对于晶轴的方向, 因此, Pockels 效应仅发生在非中心对称晶体中, 例如铌酸锂 (LiNbO_3), 砷化镓 (GaAs) 和磷化铟 (InP)。而由于硅晶体的中心反演对称几何特性, 该效应在体硅中几乎完全消失。当式 (4.1) 的第二项占主导时, 电光效应与施加电场的平方成正比, 称为 Kerr 效应。虽然硅中存在 Kerr 效应, 但理论研究结果表明, 要在 $1.3\mu\text{m}$ 的通信波长下实现足够的折射率变化 ($10^{-4}\sim 10^{-1}$), 所需的电场超过了轻掺杂硅的介电击穿电场^[116]。采用 Pockels 和 Kerr 效应的半导体调制器可达到超过 40Gbit/s 的高速率, 并实现低功耗。然而, 这类调制器材料价格昂贵, 且不能与 CMOS 技术集成, 如 LiNbO_3 、 LiTaO_3 和 KDP 晶体等。

Franz-Keldysh 效应 (FKE) 指的是强均匀电场作用于体半导体, 使其能带向外部场方向倾斜, 从而改变半导体的复介电常数^[115]。一般来说, 电子从价带吸收能量为 $h\nu = E_g$ 的光子而跃迁到导带, 但是如果存在外部场作用, 空穴和电子的波函数可以扩展到导带和价带之间的带隙, 价带中的电子被导带中的光子激发, 其能量比带隙能量 E_g 低 (光辅助隧穿)。FKE 的表现形式有两种: 电吸收和电折射。如果入射光的能量在带隙 E_g 附近, 则当施加均匀电场时, 吸收光谱将移至更长的波长。但是, 如果入射能量小于带隙能量 E_g , 那么折射率变化将占主导地位, 从而引起相位调制。采用 FKE 效应的电吸收调制器材料一般是 III-V 型直接带隙半导体, 因为它们的吸收系数在能带边缘附近变化很大。但是诸如硅和锗之类的间接带隙半导体在能带边缘附近产生的吸收非常弱, 无法实现强光调制。

(2) 热光效应

热光效应指硅的折射率随温度升高而变化。硅的热光系数为:

$$\frac{dn}{dT} = 1.86 \times 10^{-4} K^{-1} \quad (4.2)$$

热光效应可以实现较大的折射率变化, 理论上可以实现硅光有效调制。然而, 热光效应是一个缓慢的机制, 温度的控制十分具有挑战性^[117-118], 这决定了它无法用于制作高速调制器。热光效应一般用来实现硅光片上加热器 (Heater), 从而作为调制器的一部分, 这一点在后面硅光调制器的设计时会用到。

(3) 等离子色散效应

等离子色散效应 (Plasma Dispersion Effect), 也称为自由载流子色散效应, 指半导体材料的自由载流子浓度变化可以改变其吸收系数和折射率。如果在未掺杂的半导体材料中添加自由载流子, 则其吸收系数增大, 折射率减小。如果从掺杂的半导体材料中去除自由载流子, 则会产生相反的效果。理论上, 半导体的折射率和吸收系数的变化可以用 Drude-Lorentz 方程来描述^[117] :

$$\begin{cases} \Delta n = \Delta n_e + \Delta n_h = \frac{e^3 \lambda_0^2}{4\pi^2 c^3 \epsilon_0 n} \left[\frac{\Delta N_e}{m_e^{*2} \mu_e} + \frac{\Delta N_h}{m_h^{*2} \mu_h} \right] \\ \Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = -\frac{e^2 \lambda_0^2}{8\pi^2 c^2 \epsilon_0 n} \left[\frac{\Delta N_e}{m_e^*} + \frac{\Delta N_h}{m_h^*} \right] \end{cases} \quad (4.3)$$

其中, N_e , N_h 是半导体材料中的自由电子和空穴密度, m_e^* , m_h^* 是电子和空穴的有效质量, μ_e , μ_h 是电子和空穴的迁移率, c 是真空中光速, n 是本征硅的折射率。 Δn 和 $\Delta \alpha$ 可以是正或负, 表示相对于器件初始状态的折射率和吸收系数的增加或减小。Soref 和 Bennett^[116] 经过大量研究, 得出了 1310 和 1550nm 波长时载流子浓度变化与折射率/吸收系数之间的经验公式:

波长为 1310nm 时:

$$\begin{cases} \Delta n = \Delta n_e + \Delta n_h = -6.2 \times 10^{-22} \Delta N_e - 6.0 \times 10^{-18} (\Delta N_h)^{0.8} \\ \Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = 6.0 \times 10^{-18} \Delta N_e + 4.0 \times 10^{-18} \Delta N_h \end{cases} \quad (4.4)$$

波长为 1550nm 时:

$$\begin{cases} \Delta n = \Delta n_e + \Delta n_h = -8.8 \times 10^{-22} \Delta N_e - 8.5 \times 10^{-18} (\Delta N_h)^{0.8} \\ \Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = 8.5 \times 10^{-18} \Delta N_e + 6.0 \times 10^{-18} \Delta N_h \end{cases} \quad (4.5)$$

Si 的折射率和吸收系数随掺杂浓度的变化如图 4.1 所示。可以发现, 在掺杂浓度 $N < 2 \times 10^{19} \text{cm}^{-3}$, 自由空穴浓度变化导致的折射率变化更大, 也就是说, 空穴对硅的折射率改变更有效。除此之外, 自由空穴浓度变化导致的损耗更小。在通信波长 1310nm 和 1550nm 处, 硅材料中的等离子体色散效应可以使硅的折射率发生重大变化, 从而实现有效调制。

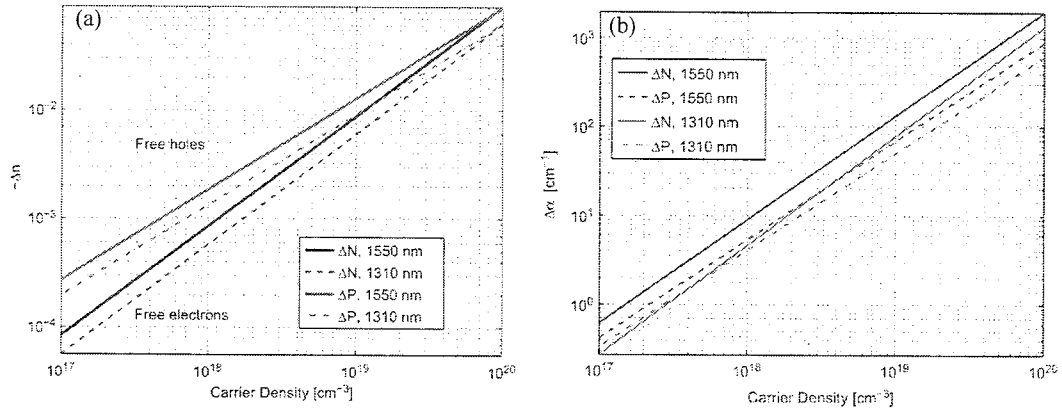


图 4.1 1310nm 和 1550nm 波长处的等离子色散效应: (a)有效折射率变化; (b)吸收系数变化

Figure 4.1 Plasma dispersion effect at 1310nm and 1550nm: (a) Effective refractive index change; (b) Absorption coefficient change

综上, 因为硅的 Pockels, Kerr 和 Franz-Keldysh 效应太小, 无法获得合理的调制深度, 利用电光效应实现纯硅光调制是不可行的。最有效的硅光调制器是基于等离子色散效应, 即通过改变硅波导内部的载流子密度, 来控制材料的折射率和吸收损耗。本文设计的硅光调制器就是基于自由载流子色散效应。

4.1.2 硅基电光调制器概述

上一节中, 我们介绍了硅光调制器的主要调制机制: 等离子色散效应。为了改变波导中的载流子浓度, 并实现受电压或电流控制的载流子分布与光载波之间的相互作用, 等离子色散效应存在三种机制, 分别是载流子累积 (Accumulation), 注入 (Injection) 和耗尽 (Depletion) 机制, 如图 4.2 所示。

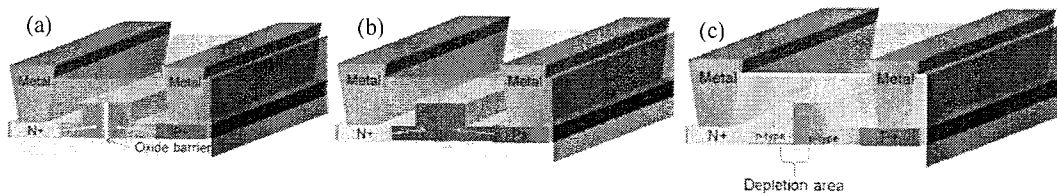


图 4.2 基于等离子色散效应的三种硅基电光调制器: (a)累积型; (b)注入型; (c)耗尽型

Figure 4.2 Three kinds of silicon-based electro-optic modulators based on plasma dispersion effect: (a) carrier accumulation; (b) carrier injection; (c) carrier depletion

注入型调制器通常通过 PIN 结实现载流子注入结构, 当向器件施加正偏压时, 电子和空穴将注入到器件波导的本征区域中, 从而导致波导折射率降低并改变载波相位。注入型调制器的载流子变化量大, 相应的相移效率更高, 但它是

通过多数载流子的扩散来改变载流子密度，因此载流子迁移时间通常约为 ns，带宽在 GHz 量级，调制速度受限制。虽然可以使用信号预加重等方法来克服^[119]，但同时也增加了驱动电路的复杂性，并且随着调制速度的进一步提高，驱动电路的问题会越来越明显。

耗尽型调制器工作在反向偏压下，pn 结嵌入在脊型波导中，其耗尽区的宽度随 pn 结两端的电压而变化，所以波导的有效折射率也随着电压而变化。耗尽型调制器通过少数载流子的漂移来改变载流子密度，其载流子渡越时间通常只有几十个 ps，理论上来说器件可以具有很高的带宽。然而为了避免较高的光损耗，耗尽型调制器的 pn 结区域的掺杂浓度通常较低，所以载流子浓度变化有限，对应的相移效率比较低，器件通常需要较长的长度。

累积型调制器基于硅-绝缘体-硅电容器结构，即脊型波导 P 型和 N 型 Si 之间插入一个非常薄的栅氧化层，当施加偏压时，栅氧化物层两侧的自由载流子逐渐累积，引起波导中的折射率变化，从而获得相位调制。累积型调制器的载流子浓度变化在氧化层附近较为集中，而其氧化层位于波导中光场较强的位置，所以累积型相移结构的相移效率较高。此外，累积型调制器的工作原理类似于电容器的充放电，可以达到较高的器件速度。但是累积型调制器的实现需要多晶硅及薄栅氧层，制造工艺复杂，相较而言无成本优势，而且多晶硅的存在不利于光波传输，会造成较大的光损耗。

目前为止的讨论都是关于硅光调制器如何改变材料的折射率，但是，折射率变化导致的模式相移必须被转换为强度的变化，才能利用干涉结构测量到光学调制。图 4.3 显示了光调制器的工作原理，当输入光连续时，光调制器可以将电信号携带的信息转换为光信号，电流或电压的变化对应于光信号的强度变化。

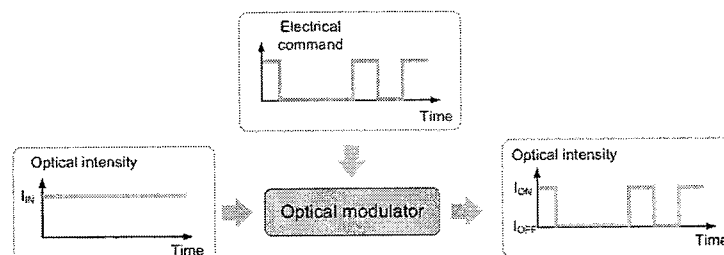


图 4.3 光调制器原理

Figure 4.3 Principle of optical modulator

硅光调制器最广泛的两种光学结构是微环谐振腔 (Micro-Ring Resonator, MRR) 和马赫曾德尔干涉仪 (Mach-Zehner Interferometer, MZI)。MRR 由放置在直波导附近的圆波导组成, 移相器嵌入在圆波导中, 如图 4.4 所示。沿直波导传播的光功率一部分被耦合到环中, 若满足谐振条件, 光束经过干涉相消/相长, 又被耦合回到直线波导。当对环上的移相器施加不同偏压时, 环中传播的光学模式会发生变化, 即谐振条件会变化, 从而导致谐振波长发生偏移。微环调制器结构紧凑, 典型尺寸仅几十微米, 可以与当前的微电子电路高度集成, 且微环功耗低, 有充分潜力应用于片上光互连。然而, 微环的光学带宽很小, 且对温度变化和制造公差极为敏感, 所以需要额外的复杂的外部控制电路来维持其稳定工作。

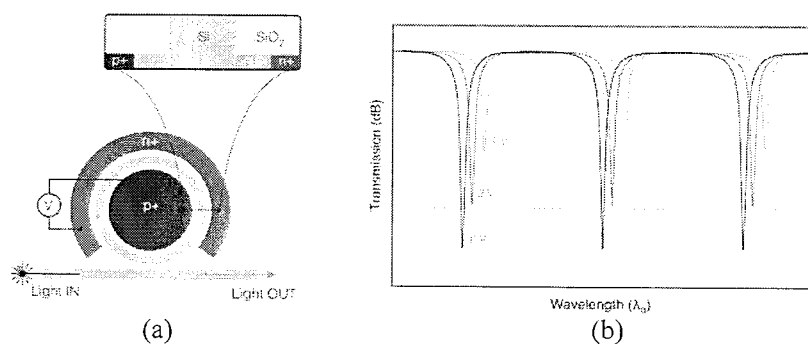


图 4.4 基于载流子色散效应的微环调制器: (a)示意图; (b)不同电压时的调制光传输谱

Figure 4.4 Microring modulator based on carrier dispersion effect: (a) Schematic diagram; (b) Modulated optical transmission spectrum at different voltages

MZI 由输入和输出波导、分束器、合束器和移相器组成, 如图 4.5 所示。入射光信号在分束器处分成两束, 分别穿过嵌入在 MZI 臂中的移相器, 通过向 MZI 的一个或两个臂施加电压, 两个光波之间会产生相位差, 当相位差在 0 和 π 之间变化时, 合束器处发生干涉, 从而实现输出光束的强度调制。由 MZI 臂上的移相器引起的相位变化为:

$$\Delta\varphi = \frac{2\pi\Delta n_{eff}L}{\lambda_0} \quad (4.6)$$

其中, Δn_{eff} 是 MZI 上/下臂的光有效折射率差, L 是移相器长度。归一化的光输出强度可以表示为:

$$I = I_0 \cos^2\left(\frac{\pi}{\lambda} \Delta n_{eff} L\right) \quad (4.7)$$

其中 I_0 是输出强度的幅度。在非对称 MZI 的情况下, 需要考虑臂长差异

ΔL , 则归一化输出强度变为:

$$I = I_0 \cos^2 \left[\frac{\pi}{\lambda} (\Delta n_{eff} L + n \Delta L) \right] \quad (4.8)$$

与基于 MRR 结构的硅基调制器相比, 虽然 MZI 调制器尺寸和功耗相对较大, 但它工作波长宽, 对温度和工艺波动不敏感, 所以工艺简单, 调控容易, 是硅基电光调制器中最广泛使用的光学结构之一。综合考虑温度、带宽、工艺等多方面因素, 我们所设计的硅光调制器基于 MZI 结构。

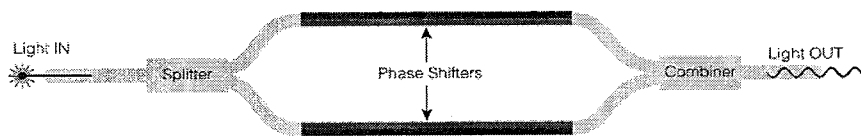


图 4.5 MZI 调制器示意图

Figure 4.5 Schematic diagram of MZI modulator

4.1.3 调制器的性能指标

为了对调制器的性能进行评估, 首先应当明确它的性能指标: 调制速度, 调制深度, 光带宽, 插入损耗, 面积效率 (尺寸) 和功耗等。马赫曾德尔调制器 (Mach-Zehner modulator, MZM) 的输出功率随施加电压的变化如图 4.6 所示, 借助该图, 我们可以更直观且方便地理解某些关键指标。对于开关键控 (OOK) 调制, 调制器在正交点处偏置, 调制器在该点处于最线性的状态。该正交点对应于线性传输曲线中点, 即分贝传输曲线上最大值的 -3 dB 处。

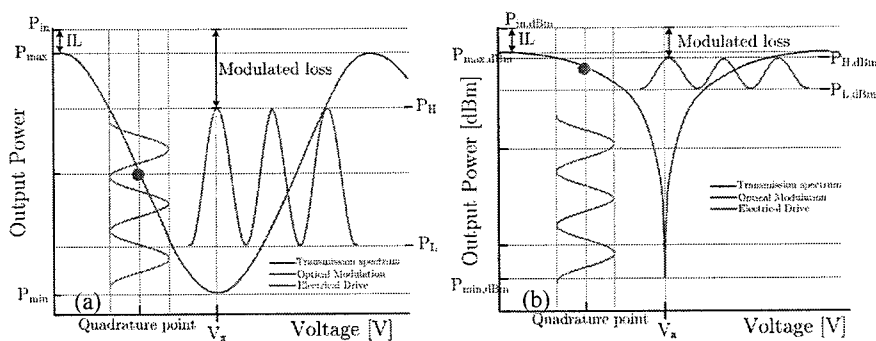


图 4.6 MZM 的输出功率随施加电压的变化: (a)线性传输曲线; (b)分贝传输曲线

Figure 4.6 The output power of the MZM varies with the applied voltage: (a) linear transmission curve; (b) decibel transmission curve

(1) 调制速率

调制速率通常以调制器的电光带宽或以一定传输速率时调制数据的能力为表征。相位调制器的固有速度由其 RC 时间常数决定，但是，电极的设计和电性能也会显著影响器件的瞬态特性。在谐振结构中，光子腔的寿命也会对器件的运行速度造成一定限制。

(2) 插入损耗 (Insertion Loss)

插入损耗是将调制器添加到光路中造成的光功率损失，包括反射、吸收和模式耦合损耗。插入损耗会影响接收机灵敏度和端到端系统的总体损耗，对于光链路来说十分重要。插入损耗分贝为单位可表示为：

$$IL [dB] = P_{in,dBm} - P_{max,dBm} \quad (4.9)$$

(3) 调制深度/消光比 (Extinction Ratio, ER)

消光比，即调制深度，定义为调制器最大输出功率与最小输出功率之比。大的消光比有利于实现长的传输距离，良好的误码率，并改善接收器灵敏度 s 。消光比可分为静态 ER 和动态 ER，分别定义为：

$$ER_{static} [dB] = 10 \log \frac{P_{max}}{P_{min}} \quad (4.10)$$

$$ER_{dynamic} [dB] = 10 \log \frac{P_H}{P_L} \quad (4.11)$$

静态 ER 是调制前的光信号决定的，动态 ER 是根据调制后的光信号确定的。调制后的 ER 取决于驱动电压的摆幅以及调制器偏置点。例如，在 OOK 调制中，如果偏置点从正交点移动到较低输出功率的点，即沿传输曲线下降，则调制输出的零级光功率 (P_L) 也将减小，随着 P_L 降低，动态 ER 将增大。

(4) 相移效率

相移效率指的是给定移相器长度和驱动电压时产生的相移量，单位通常为 $V \cdot cm$ ，表示在 1cm 长的移相器上实现 π 相移所需的电压。对于电光调制器，将获得 π 相移的电压称为半波电压 (V_π)。假设 Δn_{eff} 与施加电压成正比，由式 (4.6)，调制器长度越短，需要的偏置电压越大才能实现 π 相移，这就是品质因数 $V_\pi L_\pi$ 可用于衡量调制器效率的原因。需要注意的是，实际上对于载流子耗尽型器件，通过偏压实现的相移通常是非线性的，而是随着反向偏压的增加而

减小，因此不同偏压下的调制效率不同。调制器相移效率定义为：

$$V_{\pi}L_{\pi}[\text{V}\cdot\text{cm}]=\frac{V\cdot\lambda}{2\Delta n_{\text{eff}}} \quad (4.12)$$

(5) 功耗

硅光调制器的功耗是需要考虑的一个重要指标，尤其是在多通道短距离通信的应用中。调制器功耗定义为传输每位 (Bit) 数据消耗的能量。很多人认为，如果光互连在未来完全取代电互连，光调制器的功耗就不应超过当前电互连的功耗，也就是说，光互连系统的功耗需要低于 1 pJ/bit^[120]，而典型服务器的功耗约为 10~30 pJ/bit^[121]，因此这是一个非常苛刻的目标。随着硅光子学应用的数据吞吐量越来越多，通道数量越来越密集，低功耗正日益成为关键指标。

(6) 器件尺寸 (Device Footprint)

器件尺寸指的是调制器的物理尺寸。在 MZI 调制器中，器件尺寸通常指的是长度；对于更紧凑的微环调制器，通常指的是环形半径/直径。MZI 调制器往往需要较长的电光交互长度才能实现足够的调制效率，所以器件尺寸是阻碍 MZM 高速性能的重要因素，也恶化了插入损耗和功耗。

(7) 光学带宽 (Optical Bandwidth)

光学带宽是指器件的有效工作波长范围。微环调制器的光学带宽通常 <1nm，而 MZI 调制器可实现大于 80 nm 的光学带宽。

除了上述讨论的指标之外，硅光调制器的评价指标还包括温度敏感性、啁啾等。温度敏感性指的是器件性能对温度变化的敏感程度。由于硅具有相对较大的热光系数 ($1.8\times 10^{-4}\text{K}^{-1}$)，因此无源结构（例如环形谐振器）的光学响应对温度变化敏感，而在对称的 Mach-Zehnder 器件中，任一臂中温度变化引起的相变是平衡的，因此，器件性能不会受到影响。啁啾描述了调制器在“0”和“1”电平之间转换时其输出波长的细微变化。啁啾会使得输出调制光在光纤中发生色散，所以决定了以特定速率传输数据的最大距离。硅光子学的大多数应用都是短距离的，因此啁啾不是特别重要。但是，随着硅光性能的提高，未来在更长距离的应用变得更加可行，届时就必须考虑啁啾。

调制器设计过程中，在多数情况下，上面讨论的指标涉及到折衷 (trade-off) 的问题。例如，减小 MZI 调制器的器件尺寸，可以降低功耗以及光和 RF 损

耗,但也意味着相移减小,也就是说 MZI 两臂中的光波不能实现完全反相/同向,对应的 p_L 增大, p_H 减小,从而导致调制器的调制深度减小。另外,通过级联多个环可以改善环形谐振器的光学带宽及其热稳定性,但同时也增加了系统复杂性,增加了芯片面积和功耗。调制器性能的这种不可避免的 trade-off,要求我们设计调制器时根据目标性能折衷考虑各个参数,不能一味的优化某一个参数而忽略其他重要性能。

4.1.4 硅基电光调制器研究现状

对于大多数数据传输应用,电光调制器是光电系统的核心。基于硅光子学的光调制器不仅为光通信提供了低成本的解决方案,而且使短距光互连的实现变得更容易。自 2004 年首次实现了具有千兆 Hz 调制频率的硅光调制器以来^[122],研究人员在改善调制效率、带宽和插入损耗等方面进行了大量研究工作。经过学术界和工业界的共同努力,硅基电光调制器在过去几十年中取得了长足的进步,其研究热点不仅包括调制器性能的优化和改进,还包括在长距离光通信、模拟通信、微波光子学和中红外传感中的应用。我们简要总结了近些年来硅光调制器的研究热点,如图 4.7 所示。近年来相关研究中众多,但由于篇幅限制,本节将主要介绍基于马赫-曾德尔结构的载流子耗尽型硅基电光调制器的研究现状。

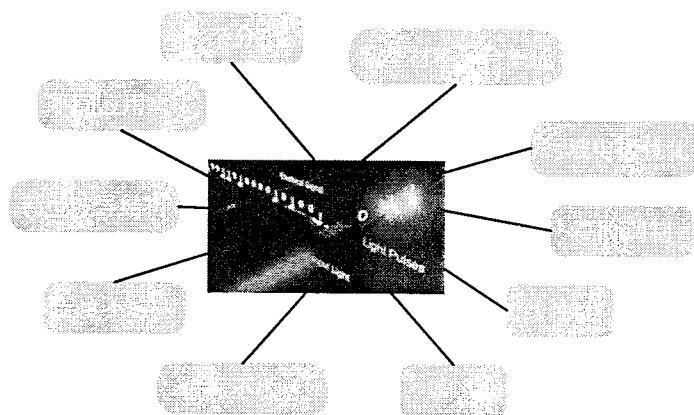


图 4.7 硅光调制器的研究热点

Figure 4.7 Research hotspots of silicon optical modulators

载流子耗尽型硅光调制器,即 PN 型调制器,通过对相移器施加反向偏置电压来增加耗尽区的宽度,同时降低 PN 结附近的载流子浓度,由此改变波导的折射率从而对光进行调制。载流子在耗尽区中的强电场下漂移极快,从而可以实现

高调制速率，但其调制效率并不高。很多研究都集中在对波导内部的掺杂区域进行优化，以改善调制器的效率。掺杂优化的核心在于将掺杂区放置在动态耗尽的关键区域，因为只有该区域才有利于折射率调制，并将其它位置的掺杂浓度限制到最低，以确保 RC 限制带宽中的串联电阻 R 足够小。一种方法是 PIPIN 结构^[123]，在相对较宽的本征区域中放置了一个附加的 P 掺杂区域，并保证波导芯的大部分是本征区，如图 4.8(a) 所示。该方法通过自对准制作技术，实现了波导中心有源 P 掺杂区域的精确定位，从而提高了制作的可靠性，并实现了高调制器效率、高调制速度和低光损耗。另一种方法是对波导边缘进行反掺杂，去除该处的自由载流子，因为该处既不有助于折射率调制，也不有助于电连接^[124-125]，如图 4.8(b) 所示。

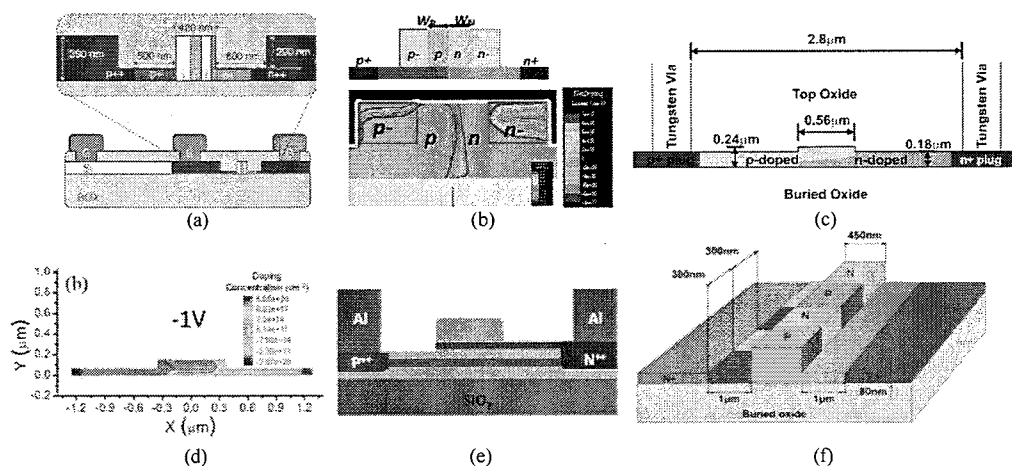


图 4.8 不同的掺杂分布优化方法

Figure 4.8 Different optimization methods for doping profile

其它方法集中在通过增加结面积来增加其中用于调制的自由载流子的体积，比如利用垂直而非水平的 pn 结，这可以通过在合适的注入条件时覆盖注入区域以产生目标垂直轮廓来实现^[126]，如图 4.8(c) 所示。由于硅光相移器中使用的脊型波导的宽度通常大于其高度，从而导致结尺寸增加和电容增大。通过倾斜注入技术可以进一步改进结电容，实现对波导周围的全方位结包裹^[127-128]，如图 4.8(d) 所示。基于离子注入技术确实可以对掺杂分布进行控制，但是在垂直方向上精确地布置掺杂物仍然很困难。为了提高对掺杂剂的控制水平，研究人员提出利用连续的外延步骤来实现移相器，比如在生长过程中进行原位掺杂^[129]，或者交

替进行注入和外延生长步骤^[130]，如图 4.8(e) 所示。虽然该垂直 pn 结制造技术复杂性大大增加，尤其是将其与低损耗互连波导结合使用时，但对掺杂剂的空前控制水平可能会实现高性能的截止频率为 30~50 GHz 的纯硅移相器。交错 pn 结也是增加单位波导长度结电容的一种方法，相对容易制造且掺杂浓度适中^[131-133]，如图 4.8(f) 所示。但是，要防止由于波导外部交叉结的延伸而引起的寄生电容，它们对相移无用，但会导致功耗增加和带宽减小。

还有一些研究集中在行波电极的优化。Hinakura Y 等展示了一种硅光子晶体波导马赫-曾德尔调制器^[134]，如图 4.9(a)所示，采用折线型电极来补偿慢光和射频信号之间的相位失配，证实了折线型电极对电光响应的改善，特别是射频信号没有内部反射的情况下。该器件的截止频率可达 27 GHz，并允许高达 50 Gbps 的高速调制。Ding R 等基于“T”型慢波电极实现了一款差分驱动高速行波调制器^[135]，如图 4.9(b) 所示。该器件在 -1V 偏压下达到了 27 GHz 的带宽，在 40 Gb/s 速率下，以每臂 4.8-V_{pp} 的功率驱动该器件时，实现的 BER 与 OSNR 的性能可与具有 5.4-V_{pp} 单驱动的商用 40 Gb/s 铌酸锂调制器相媲美。

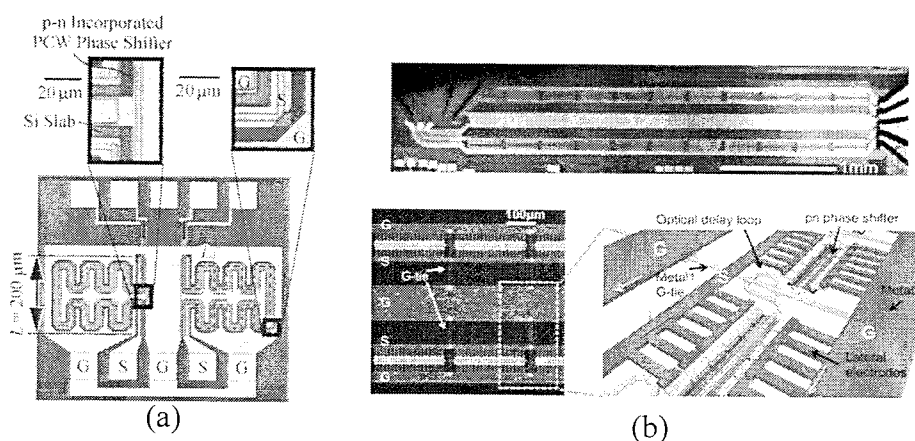


图 4.9 利用慢光效应优化行波电极以改善调制器性能：(a)折线型电极；(b)“T”型电极

Figure 4.9 Using the slow light effect to optimize the traveling wave electrode: (a) Zigzag electrode; (b) "T" electrode

另外，为了进一步提高移相器性能，研究人员考虑在硅基调制器中引入如三五族^[136-139]、锗^[140-143]、聚合物^[144-149]、石墨烯^[150-154]、薄膜铌酸锂^[155-158]以及表面等离子体^[159-163]等其他材料。目前已经实现了一系列混合硅基或硅兼容调制器件。例如，Palmer R 等提出了一种半导体混合 (Semiconductor hybrid, SOH)

聚合物集成的调制器^[144], 如图 4.10(a) 所示, 该器件适合在 40 Gb/s 速率下工作, 相移效率小于 $0.5\text{V}\cdot\text{mm}$, 能量效率为 0.4pJ/bit 。Zhu 等提出了一种低损耗宽带调制器, 将等离子体效应与石墨烯结合起来, 在 SOI 平台上实现高效调制^[150], 如图 4.10(b) 所示。仿真结果显示调制带宽为 346 GHz, 3 dB 调制长度仅为 $9.493\mu\text{m}$, 且传播损耗低至 0.85 dB。He 等基于硅和铌酸锂混合集成平台, 展示了一款同时实现低损耗、低驱动电压、大带宽、高线性度、紧凑尺寸和低制造成本的马赫-曾德尔调制器^[155], 如图 4.10(c) 所示。该器件在单驱动推挽模式下的插损为 2.5dB, 调制效率为 $2.2\text{V}\cdot\text{cm}$, 线性度高, 电光带宽至少为 70GHz, 调制速率高达 112 Gb/s。Zaki 等基于 SOI 平台上的不对称混合等离子体波导, 提出了一种高性能 CMOS 兼容电光调制器^[161], 如图 4.10(d) 所示。5 μm 长度的调制器的插入损耗为 0.25 dB, 在 1550nm 波长下, 消光比高达 30 dB。硅与其他材料混合集成可以大幅改善调制器性能, 但是还需要考虑与标准 CMOS 工艺兼容的问题, 才能获得实用化。

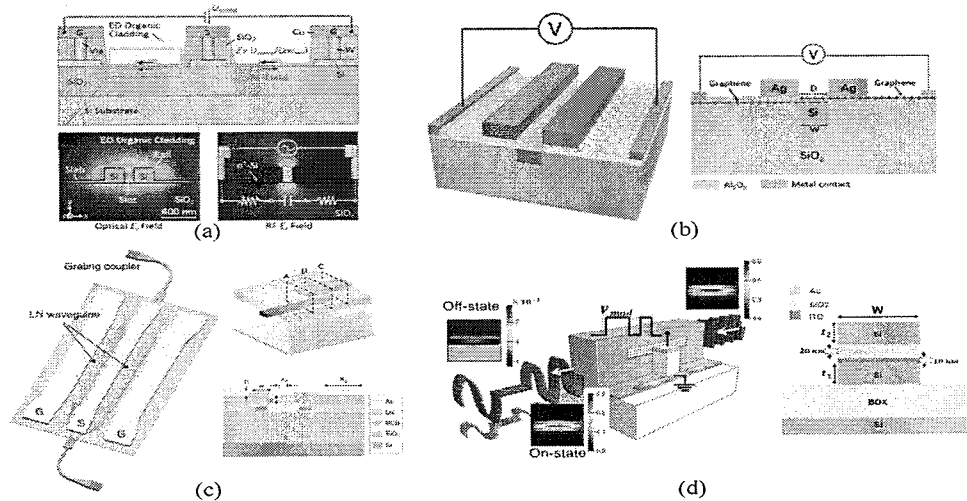


图 4.10 硅与其他材料混合集成调制器: (a)硅-聚合物; (b)硅-石墨烯; (c)硅-铌酸锂薄膜; (d)硅-表面等离子体

Figure 4.10 Hybrid integrated modulator: (a) silicon-polymer; (b) silicon-graphene; (c) silicon-lithium niobate film; (d) silicon-surface plasma

我们知道, 器件的带宽必然是有限的, 那么如何在有限的频谱宽度内更进一步提升信号速率呢? 解决方案是高阶调制格式, 如 PAM-n、QPSK 或 16-QAM 等^[164-168]。高阶调制可以显著地提高频谱利用率和数据传输速率。比如, QPSK 调

制器用二进制信号产生四种不同的输入组合:00,01,10 和 11,因此,对于 QPSK,一个符号代表 2 个比特。在该调制器中,每个二位数可能产生四种输出相位之一 (+45°, +135°, -45° 和 -135°)。随着数据中心内部交换的数据不断增长,将需要更高调制速率的调制器,而更先进的调制格式,长久以来都是研究的热点,由于篇幅限制,不再在此赘述。

综上所述,硅光调制器是硅基光电子学中一个非常活跃的研究领域。从掺杂优化、电极设计、混合材料集成以及不同应用等方面,都有很多研究成果,我们在这里列举的仅九牛一毛。但是,纵观调制器的研究不难发现,硅光调制器的性能正在不断提高,且应用领域也在不断扩大。未来随着硅光技术的不断进步和硅光工具的不断完善,硅光调制器的地位将稳步上升,逐渐取代现有的其它商用调制器,实现硅光的大规模应用。

4.2 硅基 NRZ 电光调制器的设计研究

硅电光调制器的设计仿真是一个复杂的光电混合仿真问题,不仅包括光学模式分析,还包括半导体工艺模拟、射频电极设计和信号完整性分析。图 4.11 显示了硅光调制器的设计流程示意图,分为三个主要步骤:从无源光波导的设计优化入手,再对掺杂区进行设计优化,最后完成行波电极的设计优化。下面我们将详细介绍硅基不归零 (Non-Return-to-Zero, NRZ) 电光调制器的设计过程,并阐述每一个设计参数对调制器性能的影响。设计中采用的是 IMEC 硅光工艺,SOI 晶圆的硅衬底厚度为 725 μm ,埋氧层厚度为 2 μm ,硅波导层厚度为 220nm。

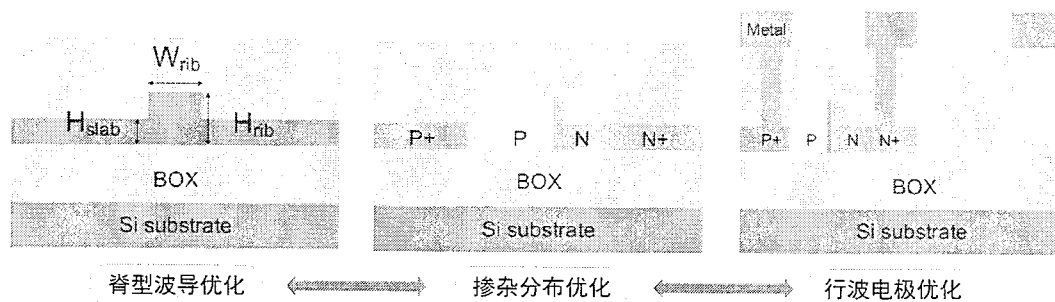


图 4.11 硅基电光调制器的设计流程示意图

Figure 4.11 Schematic diagram of the design process of silicon-based electro-optic modulators

4.2.1 波导设计

对于硅基电光调制器，由于需要将 PN 结连接到通孔和电极，移相器的波导结构采用脊型波导，而其余结构均用条形波导来限制和传播光。如第二章所述，对于已知顶层厚度和掩埋氧化层厚度的波导，通过优化平板厚度和波导宽度得到单模传输条件。由于掺杂浓度对折射率的影响很小，不会破坏单模传输条件，所以获得单模波导的尺寸时不用考虑后续的掺杂。然而，需要注意的是，平板层的厚度会引起调制器电容的变化，从而影响调制器的带宽，进一步优化时应充分考虑。

本部分的光波导设计通过 Lumerical MODE Solutions 软件来完成。波导尺寸的上限由单模条件决定，下限由传播损耗确定。对于 1550nm 波长的 TE 模式，典型的 SOI 条形波导宽 450~500nm，高 220nm；脊形波导脊宽 450~500nm，脊高 220nm，平板厚 70nm。图 4.12 显示了两种波导中的 TE 光学模式和每种波导的轮廓。IMEC 的波导制造技术可以实现 1.4 dB/cm 的条形波导平均传播损耗和 1 dB/cm 的脊形波导平均传播损耗。

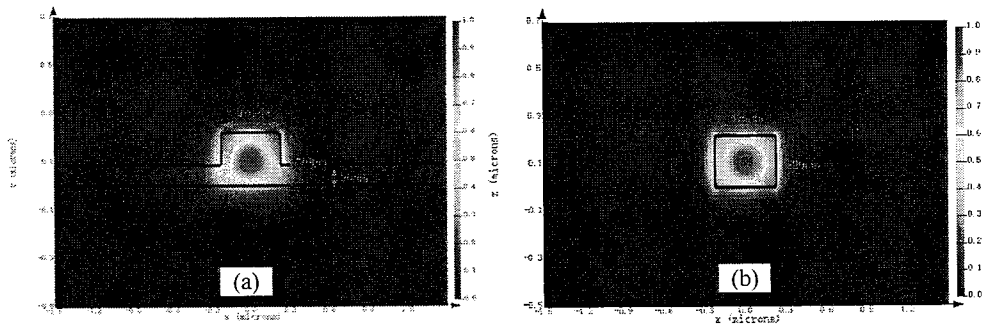


图 4.12 1550 nm 处的光学 TE 模式：(a)脊型波导；(b)条形波导

Figure 4.12 Optical TE mode at 1550 nm: (a) ridge waveguide; (b) strip waveguide

Lumerical MODE 求解的脊型波导和条形波导中的基本 TE 模式的有效折射率随波长的变化如图 4.13(a) 所示。可以看出，有效折射率随波长变化，所以 SOI 波导是色散的，而色散导致的群折射率可近似表示为：

$$n_{og} = n_{eff} - \lambda_0 \frac{dn_{eff}}{d\lambda_0} \quad (4.13)$$

则可以得到 SOI 波导的光学群折射率如图 4.13(b) 所示。在 1550nm 波长附近，脊型波导的群折射率为 3.7~3.8，条形波导的折射率为 4.1~4.2，这将作为电

极设计中微波群折射率的优化目标。

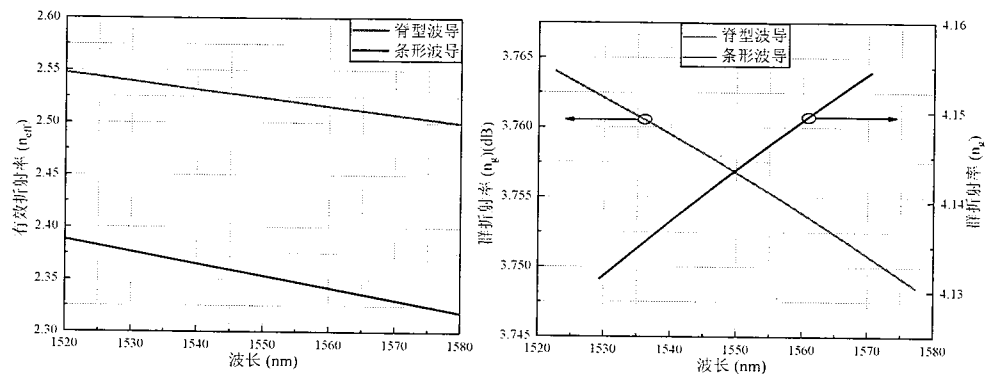


图 4.13 SOI 波导的有效折射率和群折射率

Figure 4.13 Effective refractive index and group refractive index of SOI waveguide

4.2.2 PN 结设计

PN 结掺杂区的设计直接影响调制器的调制效率和插入损耗，对调制器的实现非常重要。PN 结设计包括掺杂区域的掺杂浓度、掺杂位置和 PN 结结构及尺寸。高掺杂浓度将提高调制效率，但会增加载流子吸收损耗，需要选择适当的掺杂浓度以确保良好的调制效率和适度的插入损耗。对于大多数基本的横向 PN 结调制器，PN 结的位置十分关键，它对调制效率和吸收损耗非常敏感。本部分设计采用的是 Lumerical DEVICE 和 MODE 软件，DEVICE 可对载流子掺杂分布进行模拟，MODE 可对光场进行仿真，将两者联合，可以方便快速地计算出不同条件下的调制效率和吸收损耗。

横向 PN 结调制器有源区的横截面示意如图 4.14 所示，脊形波导的宽度为 450nm，平板厚度为 70nm。通过多次离子注入工艺实现不同区域的掺杂：P/N 浅掺杂是模场集中分布的 rib 区域的掺杂，P+/N+ 中掺杂是平板区域的掺杂，P++/N++ 重掺杂是与电极欧姆接触区域的掺杂。

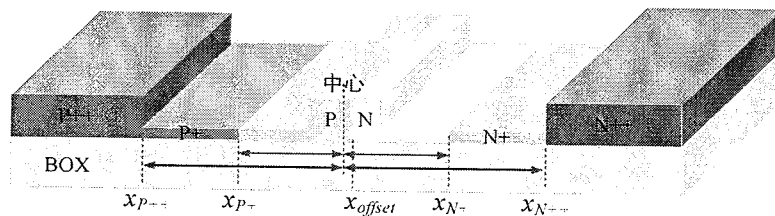


图 4.14 PN 结掺杂浓度和位置示意图

Figure 4.14 Schematic diagram of PN junction doping concentration and position

(1) 掺杂浓度

考虑到 IMEC 硅光 MPW 的实际工艺条件, 其 6 级掺杂浓度分别为:

$$P=1.6 \times 10^{17} \text{ cm}^{-3}, N=3 \times 10^{17} \text{ cm}^{-3}, P+=1 \times 10^{19} \text{ cm}^{-3}, N+=1 \times 10^{19} \text{ cm}^{-3}, P++=1 \times 10^{20} \text{ cm}^{-3},$$

$N++=1 \times 10^{20} \text{ cm}^{-3}$ 。出于成本考虑, 我们无法对 PN 结的掺杂浓度进行定制化设计,

因此这里仅以 P/N 型浅掺杂浓度为例, 展示掺杂浓度对调制效率和损耗的影响。

当改变脊区 P/N 型载流子掺杂浓度时, 有效折射率和光损耗在不同偏压下的变化曲线如图 4.15 和图 4.16 所示。可以看出, 随着载流子浓度增大, 脊区的光损耗逐渐变大, 有效折射率的变化也越来越大, 但是掺杂到一定程度时, 载流子浓度的增大只会引起更大的光损耗, 而对折射率的改变几乎无作用。这是因为 PN 结在外加反向偏压时, 外部电场与 PN 结内建电场方向相同, 从而加强了内电场。而内电场会阻碍多子扩散运动, 使得扩散电流大幅减小, 此时 PN 结区的少数漂移运动在内电场作用下占据主导, 所形成的漂移电流远大于扩散电流。在一定的温度条件下, 由本征激发的少数浓度是一定的, 因此漂移电流是固定的, 也就是说, 波导内载流子的耗尽数量是有限的。所以, 增大脊区掺杂浓度并不总是可以改善调制器的调制效率, 但毫无疑问会一直增大光损耗。

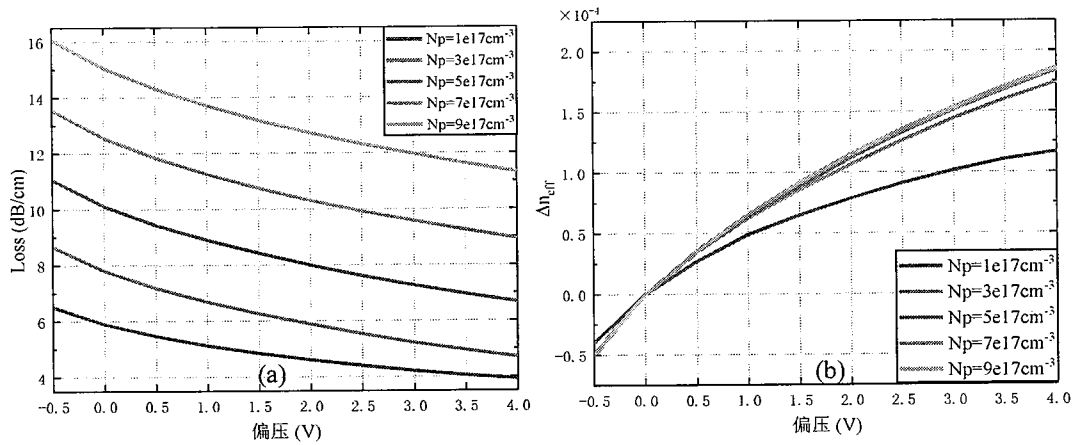


图 4.15 改变脊区 P 型掺杂浓度时的光损耗和有效折射率变化

Figure 4.15 Changes of optical loss and effective refractive index with P-type doping concentration in the ridge region

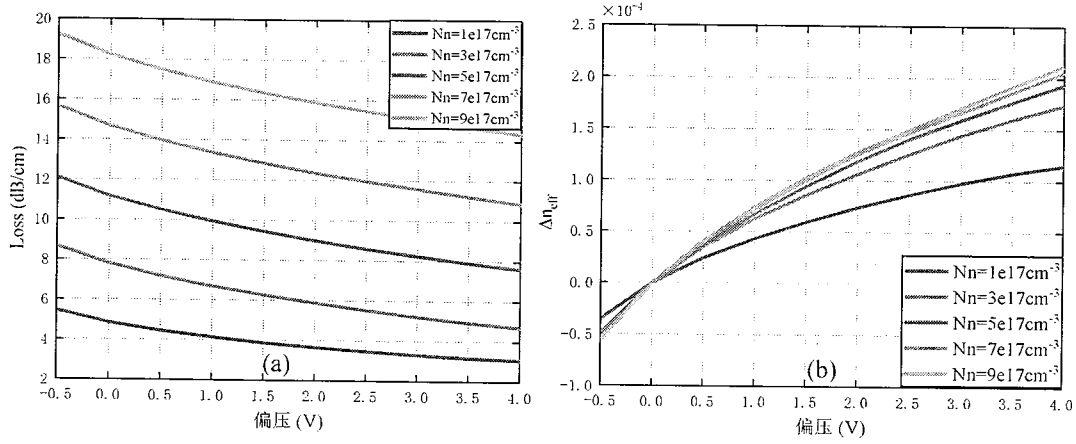


图 4.16 改变脊区 N 型掺杂浓度时的光损耗和有效折射率变化

Figure 4.16 Changes of optical loss and effective refractive index with N-type doping concentration in the ridge region

另外, 脊区掺杂浓度 P/N 也会影响调制器的结电容, 如图 4.17 所示。仿真结果显示, N_p 和 N_n 对结电容的影响几乎完全一致, 且 P/N 掺杂浓度越大, 调制器的结电容越大, 但变化幅度越来越小。通过计算方法也可以发现相同的趋势, 对于工作在反偏电压的 PN 结, 其结电容 C_{dep} 计算为:

$$C_{\text{dep}} = H_{\text{rib}} \sqrt{\frac{q\epsilon}{2\left(\frac{1}{N_p} + \frac{1}{N_n}\right)(V_{\text{diff}} - V)}} \quad (4.14)$$

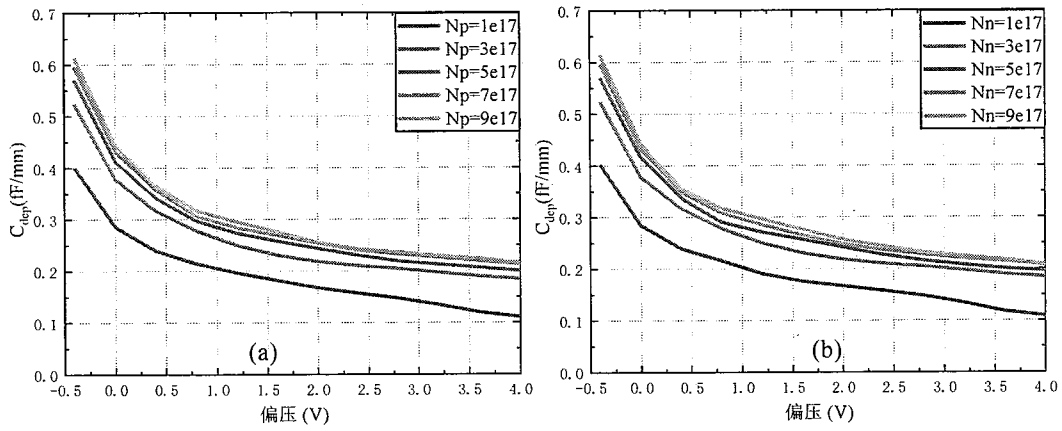
$$V_{\text{diff}} = \frac{k_B T}{q} \ln \frac{N_p N_n}{n_i^2} \quad (4.15)$$

其中, H_{rib} 是脊区高度, q 为电子电荷, ϵ 是硅波导的介电常数, V 是外加偏压, V_{diff} 是 PN 结的内建电势, k_B 是玻尔兹曼常数, T 为热力学温度, n_i 是硅波导材料中的本征载流子浓度。

由调制器的 RC 时间常数决定的 3 dB 截止频率可通过以下公式计算:

$$f_c = \frac{1}{2\pi R_{\text{pn}} C_{\text{dep}}} \quad (4.16)$$

因此, 调制器的 PN 结电容和电阻都不宜过大, 否则会成为调制器带宽的限制因素之一。

图 4.17 P/N 掺杂浓度对调制器结电容的影响: (a) N_p ; (b) N_n Figure 4.17 The influence of P/N doping concentration on pn capacitance: (a) N_p ; (b) N_n (2) PN 结偏移 x_{offset}

根据 4.1.1 节所述, 空穴对波导有效折射率的改善作用更好, 且造成的光损耗更小。所以 PN 结设计时, 脊区的掺杂并非由 P 型和 N 型载流子等分, 而应该向 N 掺杂区域偏移。我们仿真了 PN 结的偏移对有效折射率和光损耗的影响, 如图 4.18 所示。

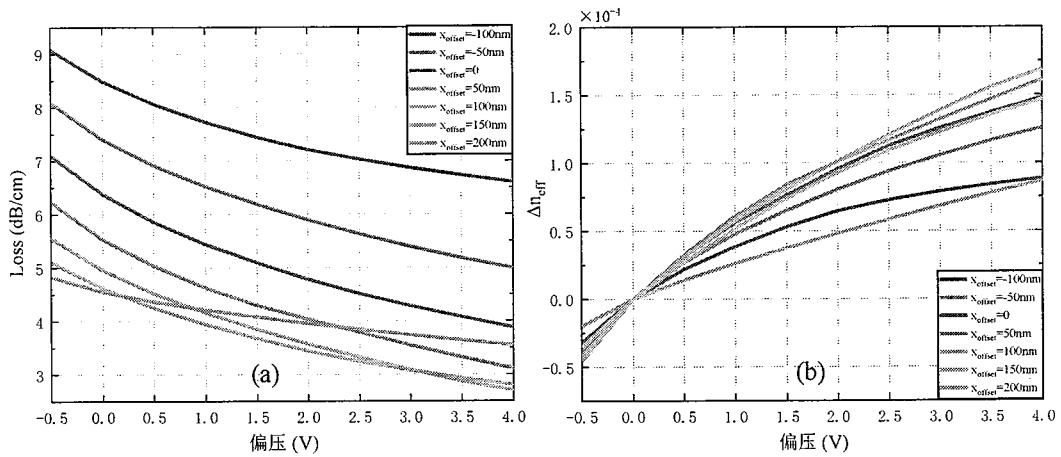


图 4.18 PN 结偏移对光损耗和有效折射率变化的影响

Figure 4.18 Influence of PN junction shift on optical loss and effective refractive index

其中, x_{offset} 为负值时, 表示 PN 结朝 P 掺杂偏移, 即 N 掺杂区多于 P 掺杂区, 反之则表示 PN 结朝 N 掺杂偏移。从仿真结果来看, 随着 PN 结由 P 区向 N 区转移, 光损耗一直减小, 有效折射率变化增大, 但当 x_{offset} 超过 100nm 后, 光损耗开始增加, 有效折射率变化也开始减小。这可以通过图 4.19 来解释, 该图

显示的时 PN 结在不同位置时，波导内的空穴浓度分布。当 PN 结与中心偏移过多时，载流子耗尽区不再处于模式的中心而是在模式边缘，但模式中心的光场最强，边缘较弱，所以中心处的载流子会引起较大的光损耗，并且边缘的载流子耗尽区对有效折射率的调制作用很弱，从而使得 Δn_{eff} 减小。

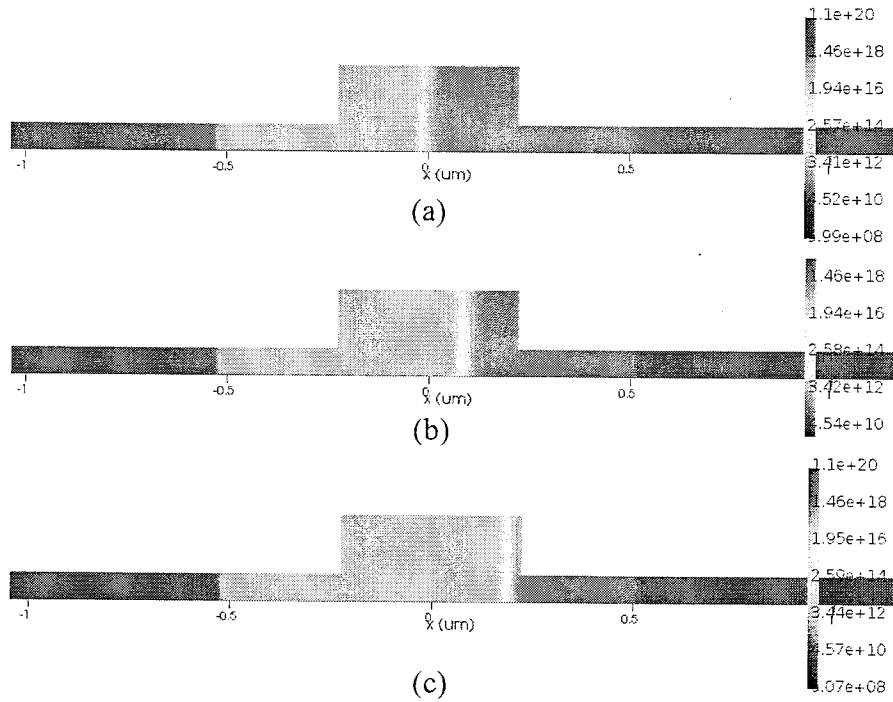


图 4.19 PN 结在不同位置时波导内的空穴浓度分布: (a) $x_{\text{offset}} = 0$; (b) $x_{\text{offset}} = 100\text{nm}$; (c) $x_{\text{offset}} = 200\text{nm}$

Figure 4.19 The hole concentration distribution in the waveguide when the PN junction is at different positions: (a) $x_{\text{offset}} = 0$; (b) $x_{\text{offset}} = 100\text{nm}$; (c) $x_{\text{offset}} = 200\text{nm}$

(3) 中掺杂位置 x_{P+} 、 x_{N+}

中掺杂位置 x_{P+} 、 x_{N+} 对损耗和有效折射率的影响如图 4.20 所示。中掺杂区域与光波导模式区域较远，所以对模式的有效折射率基本无影响。但由于有一部分光场会泄漏到平板区域，所以平板区的掺杂还是会对光损耗产生一定影响，并且中掺杂区距离脊区越近，光波导损耗越大。当距离超过 $0.5\mu\text{m}$ 以后，中掺杂区对光损耗的影响开始逐渐减少。可以预见的是，从某一个距离开始，中掺杂区不再会影响光损耗。

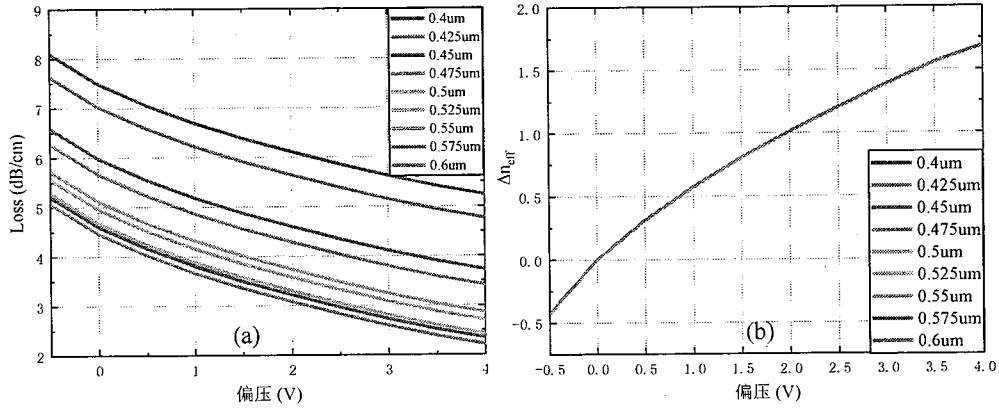


图 4.20 中掺杂区位置对光损耗和有效折射率变化的影响

Figure 4.20 The influence of the position of the middle doped region on the optical loss and effective refractive index

但是, 平板区的电阻会随着中掺杂位置 x_{P+} 、 x_{N+} 的增大而线性增大, 如图 4.21 所示, 这也就意味着, 虽然中掺杂区远离脊区可以降低光损耗, 但也会增大调制器结电阻, 从而使得调制器的本征 3dB 带宽衰减。

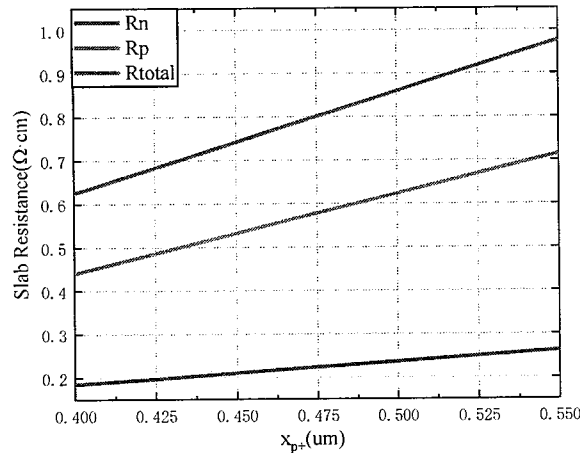


图 4.21 中掺杂区位置对平板区电阻的影响

Figure 4.21 The influence of middle doping position on the resistance of the slab

(4) 重掺杂位置 x_{P++} 、 x_{N++}

重掺杂区位置距离调制区域更远, 显然比中掺杂区对调制效率的影响更小, 所以无需进行相关仿真。但重掺杂位置对调制器的光损耗仍然有一定影响, 仿真结果如图 4.22 所示。当重掺杂区域与脊区的距离大于 0.8 μm 时, 重掺杂位置对光损耗几乎无影响, 但当距离小于 0.8 μm 之后, 光损耗开始显著增大。

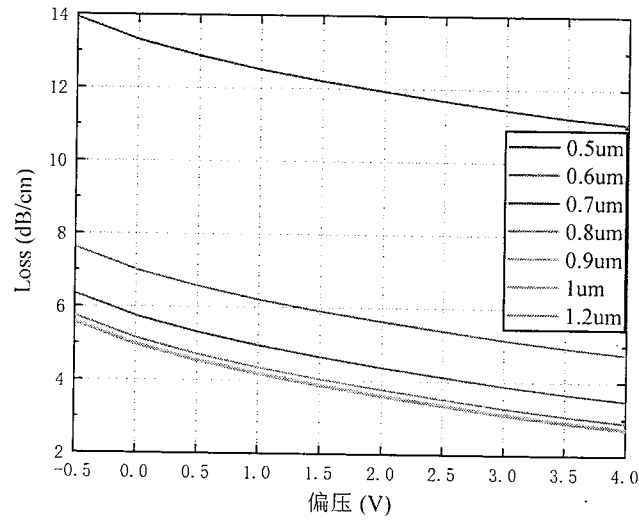


图 4.22 重掺杂位置对光损耗的影响

Figure 4.22 Influence of the heavy doping position on optical loss

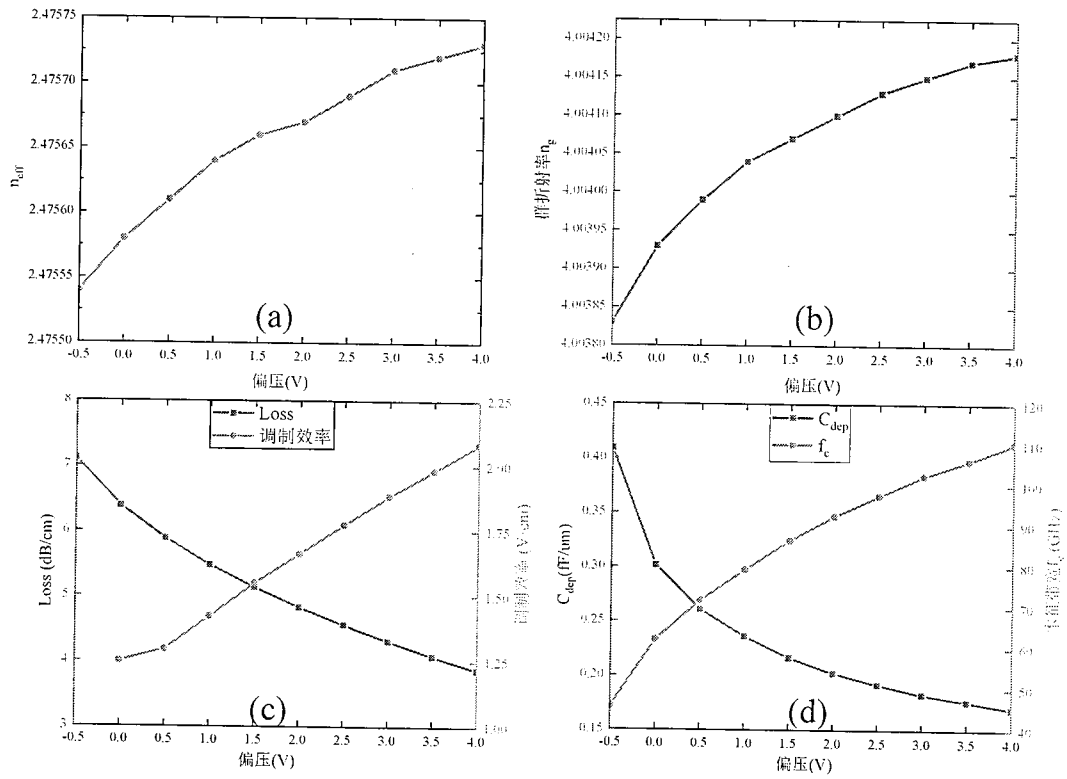


图 4.23 调制器 PN 结性能: (a)光波导模式有效折射率; (b)光波导模式群折射率; (c)相移器损耗&调制效率; (d)PN 结耗尽区电容&调制器本征带宽

Figure 4.23 Performance of the modulator: (a) effective refractive index; (b) group refractive index; (c) phase shifter loss & modulation efficiency; (d) depletion region capacitance & intrinsic bandwidth

经过上述优化，最终实现的调制性能如图 4.23 所示。调制器光波导的群折射率为 4，在 -1.5V 偏压时，光损耗约为 5 dB/cm，调制效率为 1.5V·cm。调制器工作在反向偏压时，其本征 3dB 带宽恒 > 62GHz，所以调制器的 RC 时间常数并不是决定其工作带宽的关键。

4.2.3 行波电极设计

调制器设计流程的最后一步是行波电极的优化。行波电极的设计主要基于微波传输线理论，MZI 调制器可视为微波传输线的一部分。为了优化硅基电光调制器的高频特性，本部分将使用 Ansys HFSS 数值模拟软件对行波调制器进行完整建模，确保仿真结果的准确性。在此之前，为了节省仿真时间，清楚得到器件尺寸和性能之间的关系，我们基于根特大学于辉博士提出的横向 PN 耗尽式硅基电光调制器的微波传输线的全解析等效电路模型^[169]，分析了调制器的优化方向。基于部分电容技术和共面映射方法，硅光调制器各个区域的电学参数如图 4.24(a) 所示，将其概括为微波传输线的等效模型，如图 4.24(b) 所示。

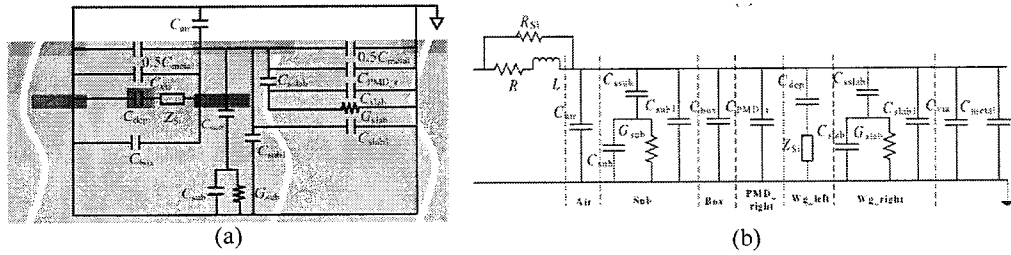


图 4.24 载流子耗尽式硅光调制器的行波电极等效电路模型

Figure 4.24 The equivalent circuit model of the traveling wave electrode

在较小的驱动电压时，调制深度与载流子耗尽区域的平均 RF 电压 V_{dep} 成正比，而 V_{dep} 是信号和地电极之间平均电压 $V_{avg}(\omega_m)$ 与 PN 结电容分压系数的乘积。对调制深度进行归一化，得到调制器的频率响应如下^[169]：

$$m(\omega_m) = \left| \frac{V_{dep}(\omega_m)}{V_{dep}(\omega_0)} \right| = \left| \frac{(1+j\omega_0 C_{dep} Z_{Si}) V_{avg}(\omega_m)}{(1+j\omega_m C_{dep} Z_{Si}) V_{avg}(\omega_0)} \right| \quad (4.17)$$

其中， ω_m 是驱动信号的角频率， ω_0 是驱动信号的最小角频率 ($2\pi \times 10$ MHz rad/s)， C_{dep} 和 Z_{Si} 是 PN 结耗尽区电容和掺杂区电阻， $V_{avg}(\omega_m)$ 是信号电极和地电极之间平均电压，可表示为：

$$V_{\text{avg}}(\omega_m) = \frac{V_p(1+\rho_1)\exp(i\beta_0 l)}{2[\exp(\gamma l) + \rho_1 \rho_2 \exp(-\gamma l)]} (V_+ + \rho_2 V_-) \quad (4.18)$$

$$\gamma = \alpha + i\beta_m \quad (4.19)$$

$$V_{\pm} = \exp(\pm i\phi_{\pm}) \frac{\sin \phi_{\pm}}{\phi_{\pm}} \quad (4.20)$$

$$\phi_{\pm} = \frac{(-i\gamma \mp \beta_0)l}{2} \quad (4.21)$$

$$\rho_1 = \frac{Z_0 - Z_s}{Z_0 + Z_s}, \rho_2 = \frac{Z_t - Z_0}{Z_t + Z_0} \quad (4.22)$$

$$\beta_m = \frac{\omega_m}{c} n_{\text{RF}}, \beta_0 = \frac{\omega_m}{c} n_g \quad (4.23)$$

其中, V_p 和 ω_m 分别是驱动信号的电压幅度和频率, Z_s 和 Z_t 分别是信号源和调制器终端阻抗, l 是电极长度, α 是与频率相关的微波衰减系数, n_{RF} 、 n_g 分别是微波和光波的群折射率。公式(4.14)表明, 影响行波 MZM 电光响应的主要有三个方面: 阻抗匹配、速度匹配和微波损耗。

(1) 阻抗匹配

行波结构中, 端口处阻抗不匹配造成的反射可能会引起符号间干扰, 并使传输到调制器的功率减小, 因此阻抗匹配尤为重要。阻抗匹配意味着源端口阻抗、传输线特性阻抗以及端接阻抗均匹配。调制器的特性阻抗主要由驱动器 (driver) 的阻抗决定, 典型的 RF 驱动器的阻抗为 50Ω 。

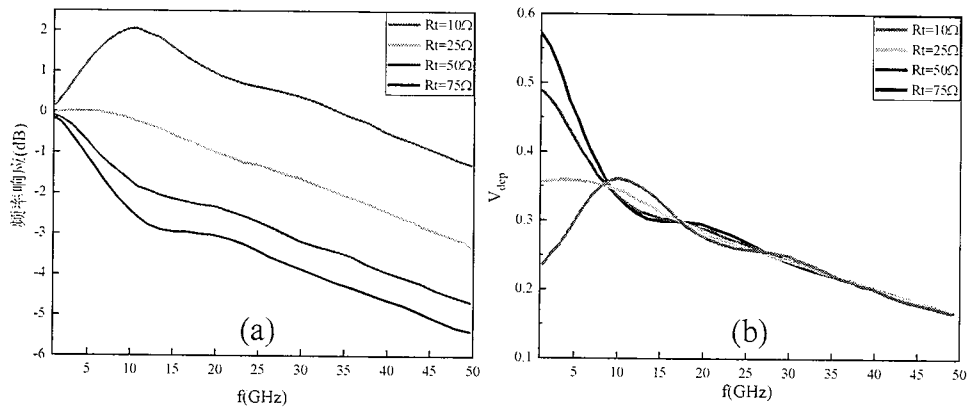


图 4.25 不同端接阻抗时的调制性能: (a)调制响应; (b)耗尽区电压

Figure 4.25 Modulation performance at different termination impedances: (a) Modulation response; (b) Depletion region voltage

理论上来说, 调制器设计时, 应保持阻抗匹配以降低反射。但研究表明, 阻抗不匹配时, 频率响应中存在的纹波峰值可能会使 EO 带宽更大。Yu 等在 50Ω

源阻抗和小端接阻抗情况下仿真实现了更大的带宽,虽然低频时 PN 结两端的压降较小,但高频时压降几乎与 50Ω 端接情况相同,如图 4.25 所示。Liao 等认为这种更大的带宽可能是由于失配引起的反射在 RF 信号上产生了某种预加重^[170]。

(2) 速度匹配

如果调制器满足了阻抗匹配且无微波损耗,其 3dB 电光带宽仅由 RF 和光信号之间的速度失配决定,可以表示为^[171] :

$$f_{3\text{dB}} = \frac{0.18}{L(n_{\text{RF}} - n_g)} (\text{GHz}) \quad (4.24)$$

上式表明,电极长度越短,速度失配的影响越小,也就是说,理想情况下调制器的 3dB 电光带宽随行波电极长度 L 的减小而增加。另外,由于 PN 结的电阻和电容随外加偏压而变化,从而 n_{RF} 也会随电压而变化,所以调制器设计时,不可能在所有偏置电压时都实现完美的速度匹配。

(3) 微波损耗

假设行波调制器的传输线完全实现了阻抗匹配 ($Z_0 = Z_s = Z_t$) 和速度匹配 ($n_{\text{RF}} = n_g$), 则调制响应的表达式变为:

$$m(\omega_m) = e^{-\frac{\alpha l}{2}} \left| \frac{(1 + j\omega_0 C_{\text{dep}} Z_{\text{Si}}) \sinh(\frac{\alpha l}{2})}{(1 + j\omega_m C_{\text{dep}} Z_{\text{Si}}) \frac{\alpha l}{2}} \right| \quad (4.25)$$

该式表明,调制器的长度越长,微波损耗越大。此外,当只考虑行波电极微波损耗时,调制器的 6.4dB EE 带宽等于其 3dB EO 带宽,所以微波损耗是限制调制器带宽的最主要因素。

综上所述,行波电极优化的主要目的是实现阻抗匹配、速度匹配并减小微波衰减,而这主要从电极的材料、结构和尺寸等方面着手。电极材料一般是 Al 或 Cu,由流片厂商决定。电极结构主要分为两种,分别是共面波导 CPW 结构和共面带状线 CPS 结构,如图 4.26 所示。对于 CPW 来说,其设计参数是信号导体的宽度 W ,以及接地导体和信号导体之间的间距 D 。理想情况下,接地导体是无限大的,实际上只要接地导体足够大不会对电极的特性产生影响。CPW 可以 GSG 形式用于单驱动调制器中,也可以 SGS 或 GSGSG 形式用于双驱动行波调制器中。CPW 结构的信号线位于两个接地线之间,接地线充当屏蔽层,可减少外部干扰对信号的影响,并防止 RF 信号对附近其它器件产生干扰。对于 CPS 来

说, 其设计参数是两个导体之间的距离 D 以及各自的宽度 W_1 、 W_2 。CPS 的信号线没有被接地线屏蔽, 从而具有更高的辐射损耗。因此, 为了避免串扰, 使用 CPS 结构时, 应当在器件之间保持合理的间距。

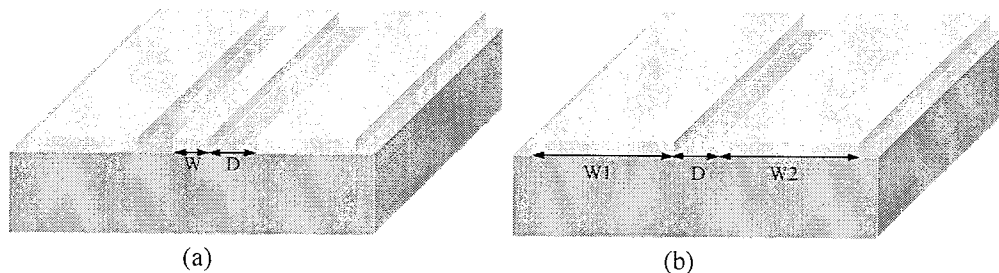


图 4.26 调制器的两种主要电极结构: (a)共面波导 CPW; (b)共面带状线 CPS

Figure 4.26 The two main electrode structures of the modulator: (a) CPW; (b) CPS

由于 CPW 具有的结构简单、屏蔽性能好、测试方便、性能优异等优势, 在 IMEC 的流片中, 我们所设计的调制器采用的是 GSGSG 推挽式 CPW 电极结构。电极的优化使用的是 3D 全波电磁场求解器 ANSYS HFSS, 该软件同时考虑了调制器行波电极的介电损耗、边缘场、辐射损耗、频率依赖性和非 TEM 模式等, 可以对传输线进行精确求解。在采用 HFSS 软件进行仿真时, PN 结的耗尽区等效为一个电容, 掺杂区等效为一个电阻。HFSS 中的仿真模型设置为: 硅衬底厚 725 μm , 埋氧层厚 2 μm , 顶硅层厚 220 nm。本设计中, 详细分析了通孔等效、有源区以及电极宽距 W 和间距 D 对调制器行波电极特性的影响。

(1) 通孔的等效

IMEC 工艺中, 通孔 V1 的标准直径为 250nm, 通孔 V2 的标准边长为 600nm, 最小间距均是 600nm, 这相比于硅波导的厚度来说或者并不小, 但相对整体仿真模型来说尺寸太小, 特别是当通孔数量众多时, 会大幅加大网格划分难度, 从而需要很长的仿真时间和很大的计算机内存, 因此有必要对通孔进行等效。根据通孔大小对通孔进行不同程度的等效, 分别将 2, 4, 8, 16, 32 个小通孔等效为 1 个大通孔, 仿真结果如图 4.27 所示。结果表明, 不能过于对通孔进行等效, 否则会对特性阻抗和微波损耗产生一定影响。为了在不影响调制器性能的同时提高仿真速度, 本文中后续的仿真都是选择将 8 个小通孔等效为 1 个大通孔。

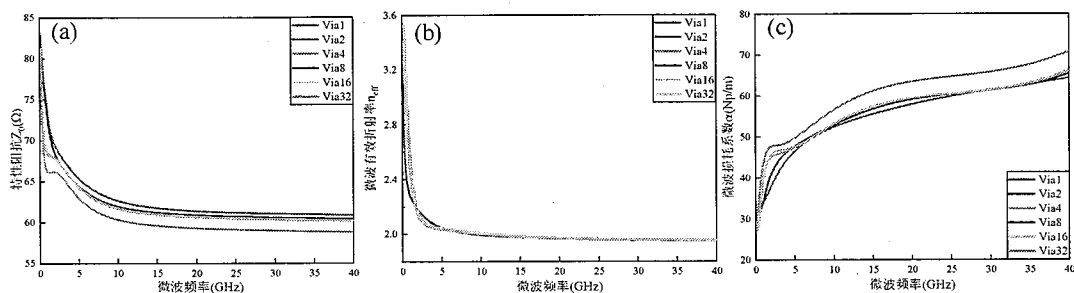


图 4.27 通孔等效对调制器行波电极传输特性的影响

Figure 4.27 The effect of through hole equivalence on the Transmission Characteristics of traveling wave electrode of modulator

(2) 有源区

对于载流子耗尽式调制器，在反向偏置和小信号操作下，PN 结可以等效为一个串联的电容和电阻，如图 4.24 中的 C_{dep} 和 Z_{Si} 所示。由于耗尽区电容 C_{dep} 随反向偏压的变化而变化，所以行波传输线的响应也取决于偏置电压。考虑 C_{dep} 和 Z_{Si} 对调制器传输特性的影响，仿真结果如图 4.28 所示。当有源区被添加到行波电极结构后， Z_0 在 25 GHz 时从 $\sim 60\Omega$ 减小到 $\sim 37\Omega$ 的值。 n_{eff} 和 α 则呈现出相反的变化，当添加有源区后， n_{eff} 由 ~ 2 增大到 3， α 显著增加。当调制器外加偏压增大时，有源区电容减小，特性阻抗增大，微波有效折射率减小，并且损耗也明显减小。当偏压为 0V $\sim$ -4V， Z_0 为 $35\Omega \sim 55\Omega$ ， n_{eff} 值为 2.2 $\sim$ 3.5， α 在 40GHz 时为 300 Np/m $\sim$ 800 Np/m，这就意味着调制器设计时，不可能在所有的偏压下都实现完美的阻抗匹配、速率匹配以及最小的微波损耗。

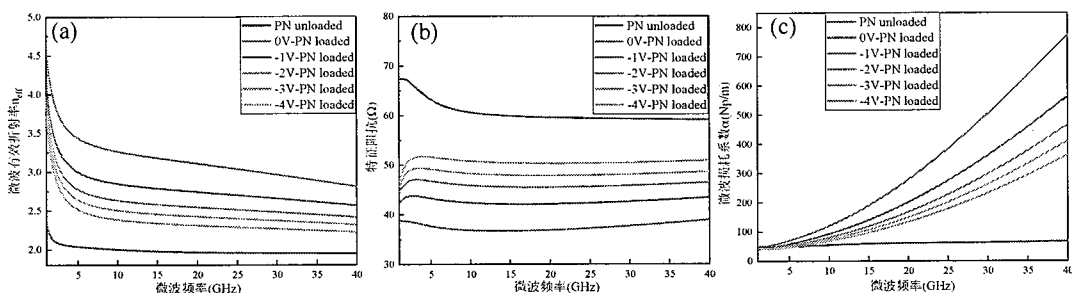


图 4.28 有源区对行波电极特性的影响

Figure 4.28 The influence of active area on the characteristics of traveling wave electrode

(3) 信号电极宽度 W 和信号电极与地电极的间距 D

0V 偏压下，固定信号电极与地电极的间距 D 为 6 μ m，信号电极的宽度 W 对行波电极特性的影响如图 4.29 所示。由图可知，W 越小，特征阻抗越大，微波

有效折射率也越大,但损耗也越大。固定信号电极的宽度 W 为 $10\mu\text{m}$, 信号电极与地电极的间距 D 对行波电极特性的影响如图 4.30 所示, D 越大, 特征阻抗越大, 微波有效折射率也越大, 但损耗也越大。所以, W 太小或者 D 太大, 都会造成较大损耗, 从而限制调制器的电气带宽。因此, 调制器电极带宽的优化方向是增大 W 并减小 D , 但太大的电极宽度 W 和太小的电极间隙 D 可能会使电极中的微波信号影响波导中的模式传播, 从而导致额外的反射或损耗。进一步对 W 和 D 同时进行扫描, W 的变化范围为 $5\sim 15\mu\text{m}$, D 的变化范围为 $3\sim 12\mu\text{m}$, 仿真结果显示, 当 $W=5\mu\text{m}$, $D=12\mu\text{m}$ 时, 可以在 25GHz 时实现 $\sim 46\Omega$ 特征阻抗和 ~ 3.7 的微波有效折射率, 这意味着较好的阻抗匹配和电光速度匹配, 但是微波损耗系数高达 467 Np/m , 这显然是不合适的。为了实现更高的调制器带宽, 需要牺牲掉一部分的阻抗匹配和电光速度, 经过折衷考虑, 电极参数设计为 $W=5.5\mu\text{m}$, $D=3.5\mu\text{m}$ 。不同偏压下, 该电极参数的调制器行波电极传输特性如图 4.31 所示。

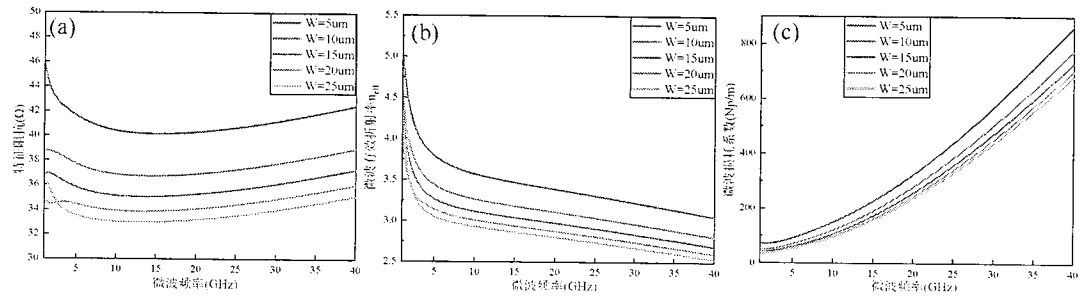


图 4.29 信号电极的宽度 W 对行波电极特性的影响

Figure 4.29 The influence of the width W of the signal electrode on the characteristics of the traveling wave electrode

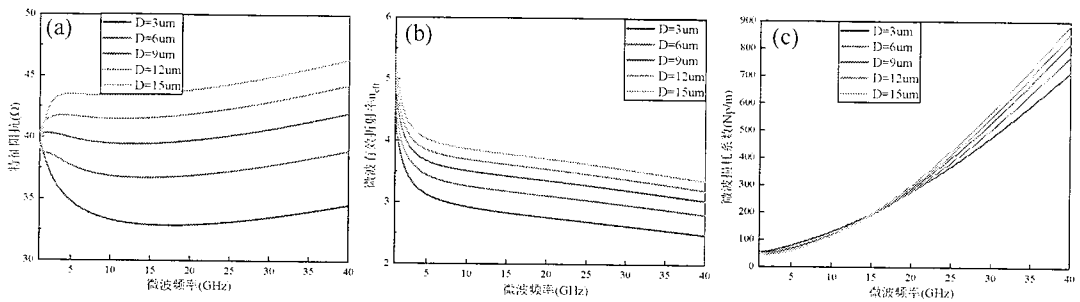


图 4.30 信号电极与地电极的间距 D 对行波电极特性的影响

Figure 4.30 The influence of the distance D between the signal electrode and the ground electrode on the characteristics of the traveling wave electrode

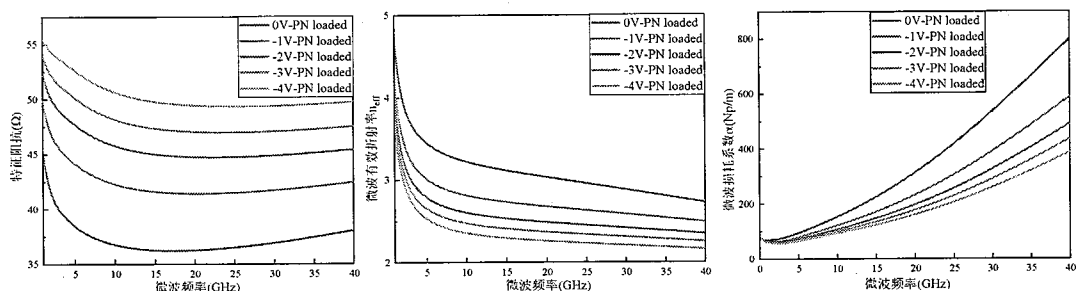


图 4.31 电极参数为 $W=5.5\mu\text{m}$, $D=3.5\mu\text{m}$ 时, 不同偏压下的调制器行波电极传输特性

Figure 4.31 When $W=5.5\mu\text{m}$ and $D=3.5\mu\text{m}$, the transmission characteristics of the traveling wave electrode under different bias voltages

随后将传输线特性参数代入 Lumerical Interconnect 中进行链路仿真, 不同电极长度在不同偏压下的电光带宽仿真结果如图 4.32 所示。0 V 偏压下, 电极长度为 1.5mm 的调制器的 3 dB EO 带宽为 24.1GHz, 长度为 2.5mm 的调制器的 3 dB EO 带宽为 18.0 GHz。随着施加在调制器上反向偏压的升高, 调制器的 EO 带宽将会增加。-1 V 偏压下, 电极长度为 1.5mm 和 2.5mm 的调制器的 3 dB EO 带宽分别为 33GHz 和 20.2GHz。所以从仿真结果来看, 1.5mm 和 2.5mm 长度的调制器都足以支持 25 Gbps 以上的通信速率。此外, 随着电极长度增加 (有源区长度增加), EO 带宽明显衰减, 但长度更长的调制器在较低的偏压下就能实现足够的调制深度, 所以调制器设计时, 应折衷考虑带宽、调制效率、功耗等性能指标, 根据应用需求合理选择相关参数。

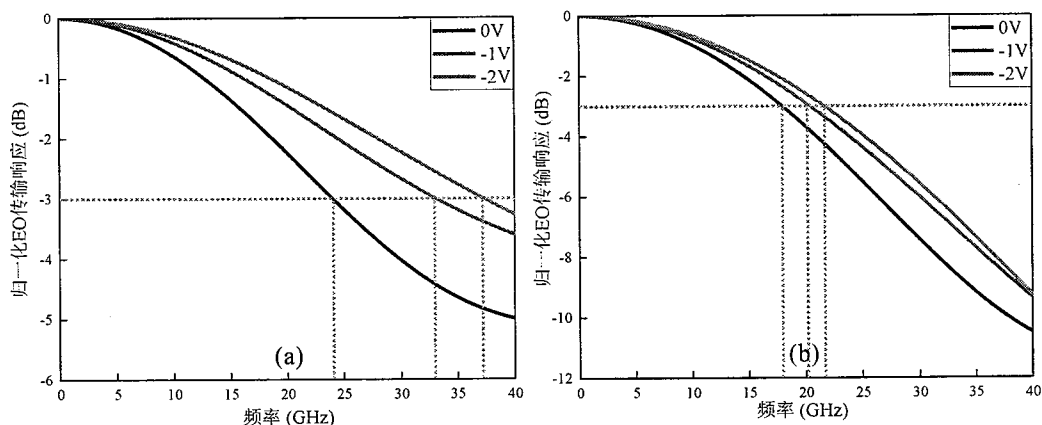


图 4.32 不同偏压下的电光带宽仿真结果: (a)1.5mm; (b)2.5mm

Figure 4.32 Simulated electro-optic bandwidth under different bias voltages: (a) 1.5mm; (b) 2.5mm

4.2.4 硅基电光调制器制作与测试

我们设计的硅基电光调制器是在比利时微电子中心 (IMEC) 的硅光 CMOS 平台上进行流片, 该平台基于 130 nm 标准 CMOS 技术和 248 nm UV 光刻技术, 波导的最小特征尺寸为 130 nm, 最小间隙为 130 nm。最终制作完成的硅光调制器芯片如图 4.33 所示。

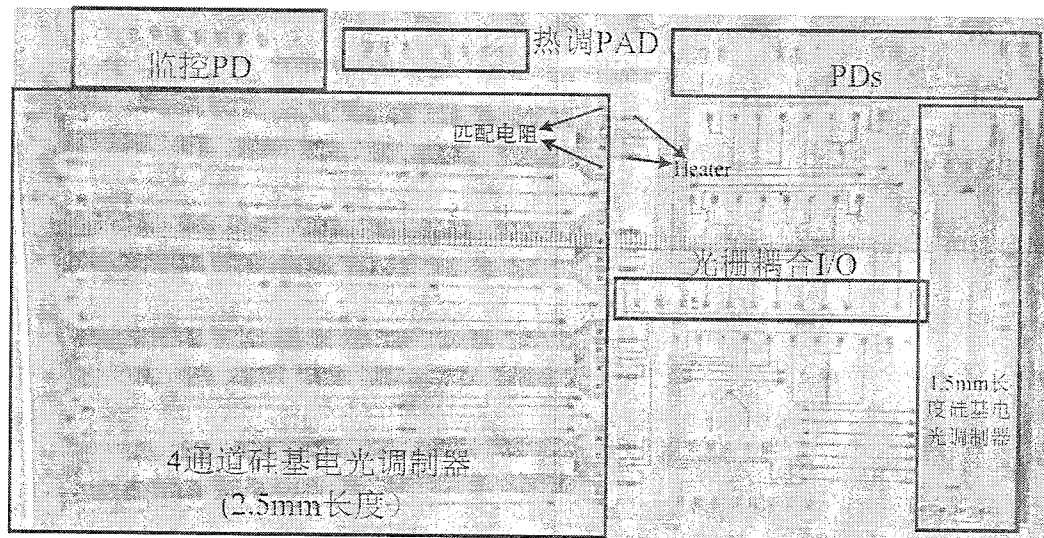


图 4.33 硅光调制器芯片 SEM 照片

Figure 4.33 SEM photo of the silicon optical modulator chip

为了评估所设计调制器在高速率低功耗硅光模块中的性能和应用潜力, 我们对 2.5mm 长度的调制器进行了封装和测试。图 4.34 显示了为此设计的硅基 MZI 调制器封装原理图, 高速 RF 信号首先从 SMA 接口输入, 再通过 CDR 芯片进行时钟数据恢复, 然后通过电学驱动芯片将其转换成调制器所需的调制电压, 从而驱动调制器芯片工作, 将 RF 信号加载到直流光信号上, 产生调制光强, 最后通过光纤传输光信号。

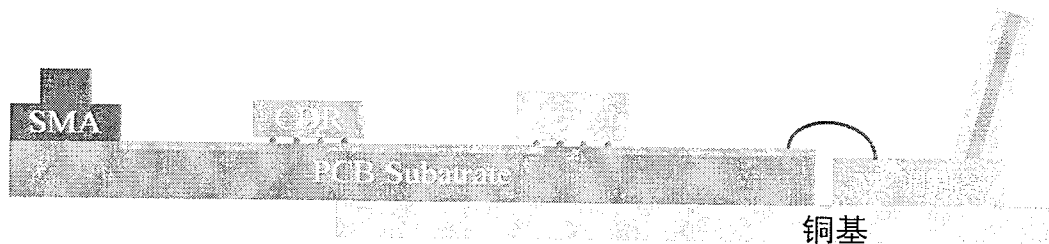


图 4.34 硅基电光调制器封装原理图

Figure 4.34 Schematic diagram for package of the silicon-based electro-optic modulator

由于有机基板工艺成熟、成本较低、高频电性能好,本次封装设计中采用的是有机材料作为封装基板。模块中的 PIC 放置在铜基上,好处有两点:避免 PCB 板的热应力过大,导致光纤漂移,从而使得光耦合失效;此外,由于 PIC 高度~750um, PCB 板厚度~750um,将 PIC 放置铜基上将会大幅缩短打线长度,有利于信号完整性的实现。PIC 通过引线键合方式与 PCB 板之间进行互连。为尽可能降低电芯片封装对所设计的调制器性能的影响,Driver、CDR 等芯片均采用球栅阵列 (Ball Grid Array, BGA) 封装,通过焊球与有机基板互连。另外,诸如无源电容以及高频电感等器件通过表贴技术来进行组装, SMA 则是直接通过螺丝安装到有机基板上。图 4.35 显示了为 MZM 测试开发的封装基板实物图。由于本次流片的 PIC 中也加入了 GePD,因此对它们同时进行封装,分别如图 4.35 所示的发送模块和接收模块,本文关注的重点在于左侧的发送端。

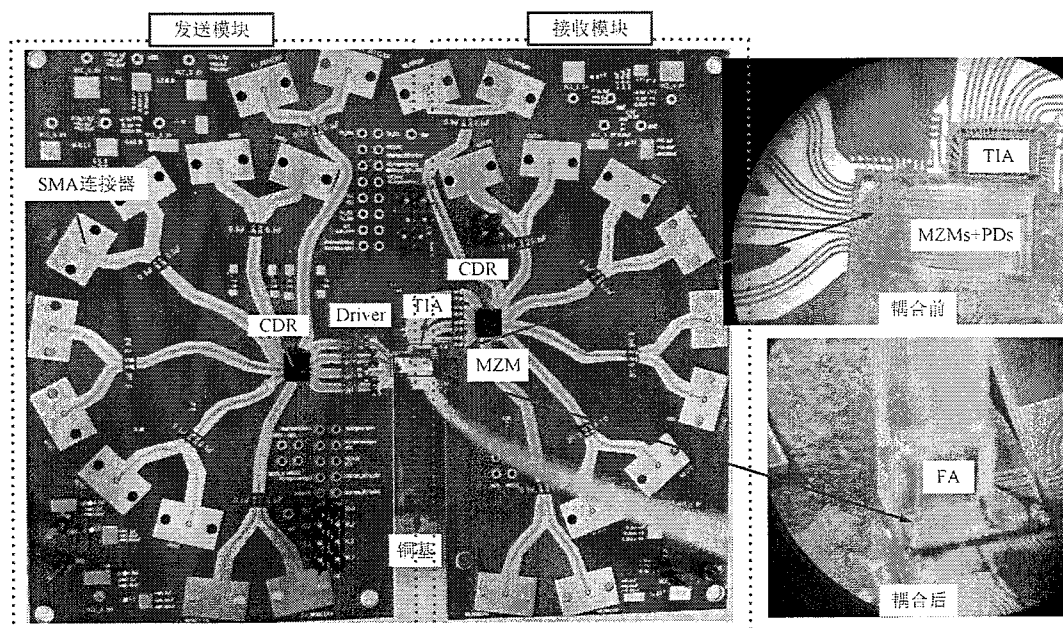


图 4.35 硅基 MZI 调制器的封装基板实物

Figure 4.35 Packaged module of the silicon-based MZI modulator

为了实现 PCB 与 PIC 之间的高速互连,需要对链路中的不连续点进行优化,并缩短引线键合长度,以实现阻抗匹配减小反射,从而最大程度地降低链路损耗,确保封装结构在 PIC 工作的整个带宽范围内都具有低 RF 损耗。图 4.36(a) 是 HFSS 软件中的仿真优化模型 (SMA 连接器到 CDR 芯片),图 4.36(b) 是发送模块整条链路的优化结果,包括 SMA 连接器到 CDR 芯片的优化、CDR 到

Driver 芯片的优化以及 Driver 到调制器芯片的优化。可以看出，在 25GHz 频率范围内，链路的损耗仅为 ~ 2.2 dB，足以支持 25Gbps 速率传输。

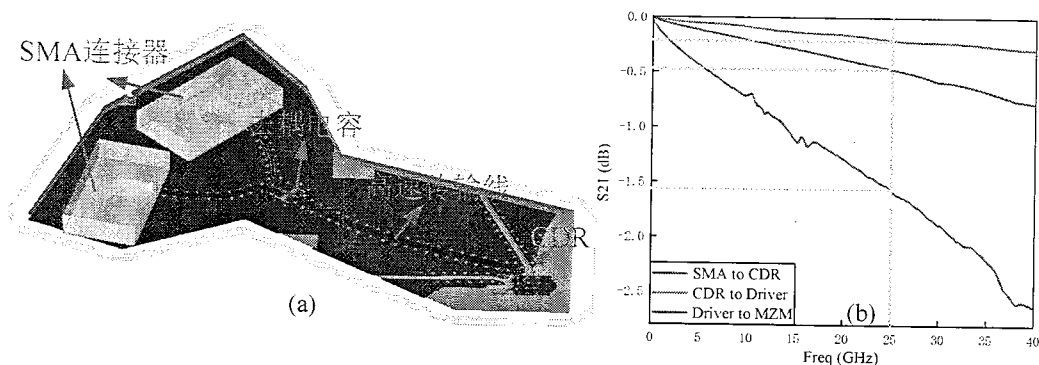


图 4.36 硅基 MZI 调制器的封装链路优化

Figure 4.36 Transmission Link optimization of silicon-based MZI modulator

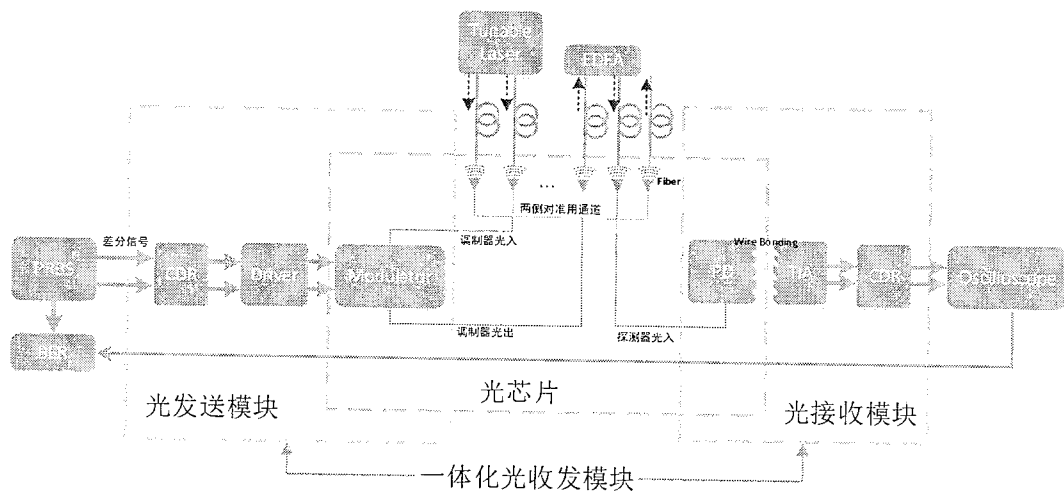


图 4.37 硅光模块测试系统框图

Figure 4.37 Block diagram of test system for the silicon optical module

接下来我们搭建了完整的光互连传输测试系统来对光模块进行测试以获得链路的电眼图，测试系统框图如图 4.37 所示。眼图是眼睛外观的电信号或光信号质量的图形表示，通过在示波器上重叠所有可能的 0/1 码组合来进行眼图测量。眼图的性能可以从上升/下降时间、数据眼图高度、抖动和噪声幅度获得。垂直和水平方向的眼图张开度是眼图量化信号质量的重要特征：垂直张开度表示消光比；水平张开度是用上升和下降时间来衡量。测试时采用 $2^{13}-1$ 的伪随机码，信号速率设置为 25Gbps。测试结果如图 4.38 所示，分别为传输距离为 1km 和 2km 的眼图。可以看出，链路在 2km 传输距离时，仍能获得清晰的眼图，且抖

动仅 ~ 1.8 ps。测试时, 链路在 5min 内误码率为 0, 随着测试时间延长, 误码率始终小于 $1e-13$ 。所以, 本论文中设计的硅基电光调制器足以支持 25Gbps 以上传输速率, 且制作实现的一体化光收发模块性能较好, 有潜力作为下一代数据中心 200G/400 G 互联应用的解决方案。

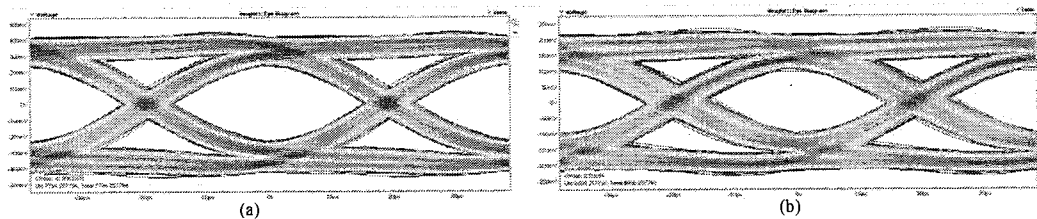


图 4.38 不同传输距离时的硅光模块眼图测试结果: (a)1km; (b)2km

Figure 4.38 Eye diagrams of silicon optical modules at different transmission distances: (a) 1km; (b) 2km

4.3 硅基光域 PAM-4 调制器设计与研究

为了满足快速增长的数据中心流量需求, 灵活、低成本的 400 Gbit/s 传输方案被提出作为下一代数据中心互联应用的替代方案^[172]。近年来, 基于先进调制格式的脉冲幅度调制 (Pulse Amplitude Modulation, PAM), 作为一种低成本的数据中心互连方案, 引起了许多研究人员的兴趣^[172]。使用 4 通道 $\times 100$ Gb/s/ λ 的 PAM 调制可以降低收发机的设计复杂度和能耗, 且支持 400 Gbit/s 传输, 是一种很有前途的解决方案。

4.3.1 PAM-4 概述

当今时代的数据量呈现井喷式增长, 这不仅意味着更多的数据, 也意味着更快的数据传输速率。新一代的 200G/400G 接口标准对每对差分线上的数据速率诉求是提高到了 50 Gbps 以上, 如果仍然采用传统的 NRZ 调制方案, 每个符号周期只有不到 20ps, 这显然对整个光电传输链路的时间裕量要求太过于苛刻, 所以 NRZ 技术已不再适合发展需要, 光纤通信和芯片级通信需要更高效的点对点传输方案, 这时 4 电平脉冲幅度调制 (PAM-4)技术的采用几乎成为了必然趋势。下面我们将从 PAM-4 的概念、性能指标和面临挑战三个方面对其进行一个概述。

1. PAM-4 概念

在介绍 PAM-4 之前, 需要先明确比特率和波特率的概念。在数字信道中, 比特率 (Bit Rate) 是指数字信号的传输速率, 用单位时间内传输的二进制编码的有效 bit 数来表示, 其单位为 bit/s、Kb/s、Mb/s 或 Gb/s, 由低到高分别代表不同的信号传输速率。波特率 (Baud Rate) 也称作符号率 (Symbol Rate), 是指数据信号对载波的调制速率, 用单位时间内载波调制状态的改变次数来表示, 其单位为 Baud/s。波特率与比特率之间的关系可以表示为:

$$\text{bit/s} = \text{baud/s} \times \text{单个调制状态对用的二进制位数} \quad (4.26)$$

NRZ 编码模式是一种串行数据传输调制方法, 它使用两个幅度电平来表示二进制代码 0 和 1。在 NRZ 中, 比特流信息被编码成一系列的电平值, 如 000110..., 低电平代表 0, 高电平代表 1, 其眼图中仅有一只眼睛, 如图 4.39(a) 所示。NRZ 可以被视为 2 级幅度调制 (PAM-2), 每个符号仅包含 1 位信息。

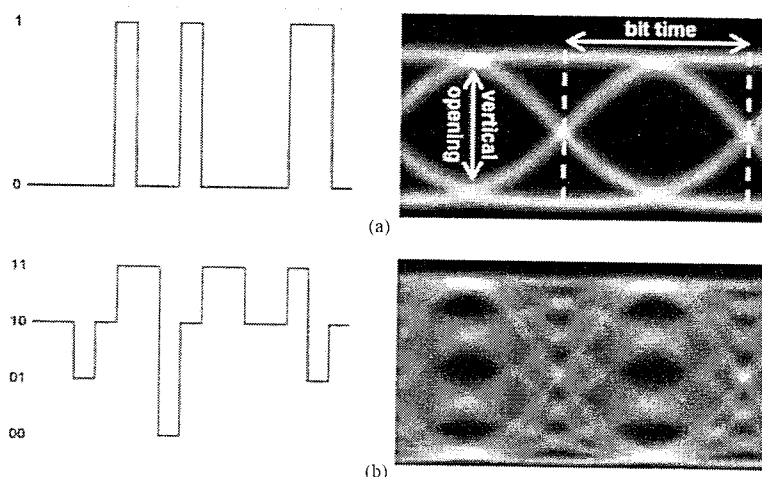


图 4.39 NRZ 和 PAM-4 调制编码方式和眼图: (a)NRZ; (b)PAM-4

Figure 4.39 Eye diagrams of NRZ and PAM-4 modulation: (a) NRZ; (b) PAM-4

4 电平脉冲幅度调制 (PAM-4) 使用 4 个不同的幅度来传递信息。幅度电平 0, 1, 2, 3 分别由两个连续的位 00, 01, 11, 10 表示, 如图 4.39(b) 所示。这两个连续的位即称为“波特”, 也就是说 PAM-4 的一个符号具有两 bit 信息, 因此 PAM-4 的带宽效率是 NRZ 的两倍。可以通过眼图一目了然地分析 PAM-4 传输信号的质量。PAM-4 眼图中可以看到三只垂直的眼睛, 这是通过叠加 PAM-2 信号的重复样本而产生的。垂直睁眼与信号幅度、信噪比有关——睁眼越大, 信

噪比越好。同时，比特时间与信号频率、所需带宽有关——比特时间越短，频率越高，所需带宽越高。

2. PAM-4 的性能指标

采用 PAM-4 调制方式的光发射机的光功率传输曲线图 4.40 所示，其性能指标如下：

(1) 信号速率：信号传输的波特率；

(2) 平均发射功率 (Average launch power, AOP)：指调制输出的最大和最小光功率的平均值，定义为：

$$AOP = \frac{P_0 + P_3}{2} \quad (4.27)$$

(3) 外光调制幅度 (Outer Optical Modulation Amplitude)：指调制输出的最大和最小光功率之差，定义为：

$$OMA_{\text{outer}} = P_3 - P_0 \quad (4.28)$$

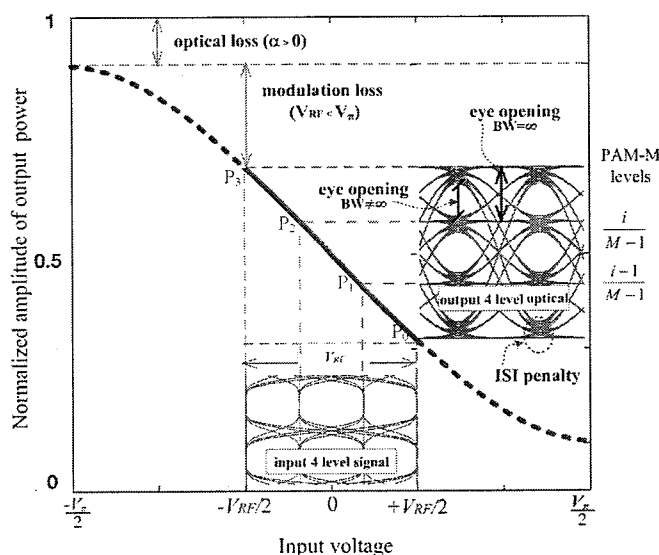


图 4.40 PAM-4 光发射机的光功率传输曲线

Figure 4.40 Optical power transmission curve of PAM-4 optical transmitter

(4) 发射机色散眼图闭合代价 (Transmitter and dispersion eye closure for PAM-4, TDECQ)：衡量光发射机经过光信道后 PAM-4 信号功率裕度的损失。一般情况下，激光器输出的光信号具有一定的光谱线宽，当传输一定距离后，色散效应会导致信号中不同波长分量的传输延迟发生变化，这些信号在接收端叠加，使得信号质量下降，从而导致接收端的灵敏度降低。PAM-4 的 TDECQ 值越小，

表示 PAM-4 信号到达接收端后的眼图裕量越大，也就是说能在光纤中传输的距离更远；

(5) 消光比 (Extinction ratio, ER): 定义为信号电平 3 与信号电平 0 的平均光功率比值，即：

$$ER_{\text{outer}}(\text{dB}) = 10 \log \frac{P_3}{P_0} \quad (4.29)$$

3. PAM-4 面临挑战

PAM-4 技术采用高阶调制格式，可以有效提升带宽利用效率，一个通道相当于 NRZ 技术的两个通道，所以可以显著减少传输链路中光学器件的数量，避免额外的空间或能源消耗，在成本、功耗以及密度之间达到一个平衡，但 PAM-4 技术也面临着许多挑战，具体来自于以下几个方面：

(1) 时钟恢复 (Clock Recovery): 多电平级的有限上升时间会造成符号间干扰，使时钟恢复更加困难，同时器件开关的抖动可能会导致眼图中水平眼的闭合。

(2) 信噪比损失 (Loss of signal noise ratio): 相比 NRZ 来说，PAM-4 的最大优势在于其在不增加带宽的情况下将比特率翻倍，但由于 PAM-4 的附加电平将电平间隔减小了 3 倍，它对幅度噪声和电平间距比 NRZ 更敏感，所以需要更高的信噪比。对于相同的系统噪声，PAM-4 信号约有 9.5dB 的信噪比损失。正因于此，虽然更高阶的调制如 PAM-16 可以极大地提高传输能力，但并不被采用。

(3) 眼图的非线性问题: PAM-4 信号一共有 16 种切换状态，可能会导致上、下眼图在垂直方向上的不对称，从而导致在交叉点处和眼高的中间处测得的眼宽不一样，即产生了眼图的非线性问题。

4.3.2 PAM-4 研究现状

随着大数据和云计算时代的到来，流量的快速增长催生了 PAM-4 高效调制方式，而 PAM-4 调制在近近年来飞速发展，获得了很多瞩目成就。下面我们将对 PAM-4 的研究情况进行一个概述。

对于光 PAM 信号的产生，传统的方法是在电域中产生多电平信号，比如数模转换器 (DAC)、射频功率合成器或任意波形发生器 (AWG)，然后加载到光载波上进行传输，如图 4.41(a) 所示。由于硅光调制器中等离子色散效应引起的相位响应相对较弱，MZI 型电光调制器通常采用射频行波电极和较长的移相器，以

实现足够的调制深度。行波电极的使用简化了调制器与其驱动电路之间的互连,并允许它们独立设计和优化。使用 DAC 产生 PAM 信号还有一个额外的好处,即可以在数字域实现预补偿。虽然高速 DAC 方便灵活,但价格昂贵,而且是功耗的重要来源,在短距离链路中并非是一个好的选择。

为了消除 DAC 的成本劣势并降低系统的复杂性,早在 1980 年就有研究人员提出使用分段 MZM 作为光 DAC 器件^[173]。其中 MZM 被分割成多电极结构,每个电极连接到一个单独的开关键控 (OOK) 数据流,如图 4.41(b) 和 (c) 所示。分段式 MZM 体积小、功率效率高,并且有助于在电光带宽和调制效率之间进行折衷^[174]。在传统的行波调制器中,由于行波电极的射频损耗以及电/光信号之间的速度失配,移相器的长度限制了带宽。而在分段调制器中,驱动信号通过精确可调的定时电路顺序地施加到每个分段上以匹配不同分段之间的光信号延迟,所以增加了电光相互作用长度,并且降低了驱动电压摆幅,允许使用低功耗 CMOS 驱动电路^[175]。尽管分段式 MZM 的优点很多,但它的电气连接和延迟控制过于复杂,直到 2008 年,分段式 PAM-4 发射机才重新引起人们的注意^[176]。近几年,在使用硅光发射机的大容量短距离数据链路中,研究人员对分段 MZM 进行了大量的研究和优化^[177-190]。两段式 MZM 产生 PAM-4 的方法不需要采用电 DAC,也就消除了电 DAC 的噪声和带宽限制,并且能够使用二进制电输入在光域中产生多级信号。Samard 等^[183] 和 Simard 等^[184] 基于载流子耗尽式 PN 结,采用两段式电极结构分别实现了 128Gb/s 的 PAM-4 传输和 114Gb/s 的 PAM-8 传输。

双段式 MZM 的较长段称作最高有效位 (the most-significant bit, MSB), 较短段称作最低有效位 (the least-significant bit, LSB), 其带宽通常受限于最长的段。MSB 和 LSB 之间的驱动信号延时需要仔细调整以匹配光学延迟。对于两段式结构,常用单驱动串联推挽结构,因为可以显著减小结电容以获得更高的带宽,并减少了 RF 连接的数量,代价是更高的驱动电压^{[174][181-182]}。Samani 等基于单驱动串联推挽结构产生了高达 168 Gb/s 的 PAM-4 信号,并实现了 128 Gb/s PAM-4 信号的 1km 传输^[188], 如图 4.42 所示。最近, Jacques 等使用两个仅具有 2.3-V_{pp} 振幅的单端 RF 信号来驱动两个 1.5mm 的调制器段,实现了 80 Gbaud PAM-8 (240 Gbit/s) 的单硅光调制器数据传输速率^[190]。

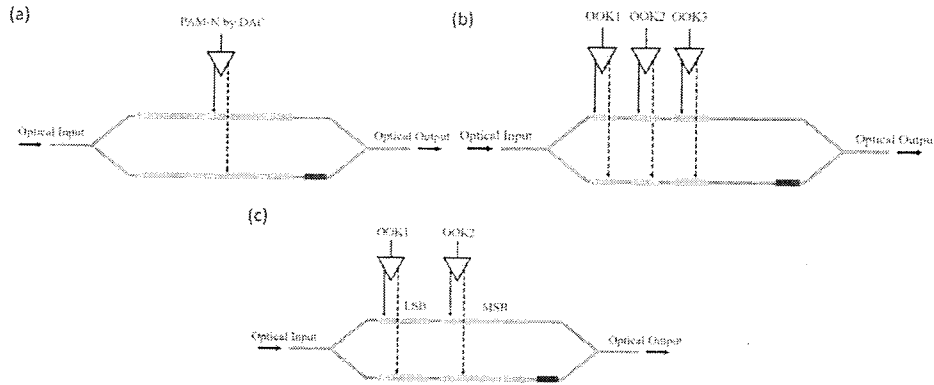


图 4.41 PAM-4 产生方法示意图: (a)电域 PAM-4; (b)多段式 MZM; (c)两段式 MZM

Figure 4.41 Schematic diagram of PAM-4 production method: (a) Electric domain PAM-4; (b) Multi-stage MZM; (c) Two-segment MZM

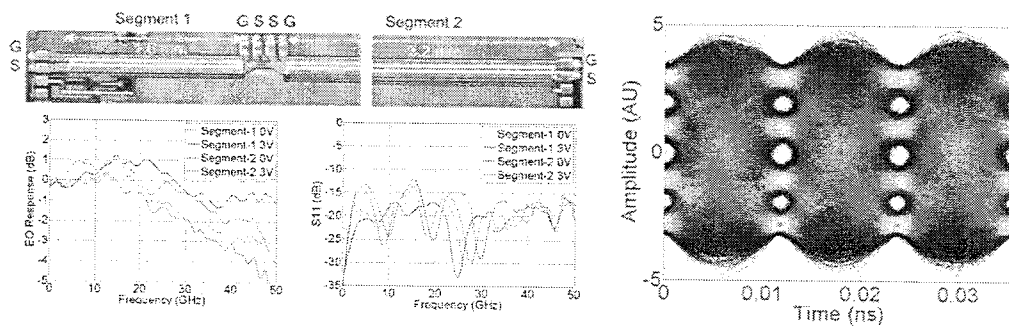


图 4.42 利用双段 MZM 结构实现的 84 Gbaud PAM-4

Figure 4.42 84 Gbaud PAM-4 realized with dual-segment MZM structure

综上, 光 PAM-4 信号可以直接由电 DAC 直接加载到调制臂产生, 也可以由两个 NRZ 信号来产生。经过多年的深入研究和开发, 高速 PAM-4 的传输性能获得了大幅提高, 目前已经实现了超过 100Gb/s 净速率的硅光调制器。PAM-4 调制技术的出现, 使得光链路有望在成本, 功耗以及密度之间达到一个平衡, 是数据中心光互连的有效解决方案之一。

4.3.3 光域 PAM-4 调制器设计与流片

目前, 主流的 PAM-4 传输都是基于传统的 MZI 调制器, 先由电 DAC 生成 PAM-4 差分信号, 然后加载在光调制器上生成 PAM-4 光调制信号, 这种方式以 OOK 调制格式为目标应用, 需要在电域生成 PAM-4 信号, 增加了电域发射机的复杂性。本文提出一种新型的分段式光域 PAM-4 调制器, 基于 1:4 定向耦合器结构, 采用单端推挽式行波电极, 只需两组相互独立且幅值相同的 NRZ 信号便

可实现质量良好的光域 PAM-4 信号，其工作原理如图 4.43 所示。

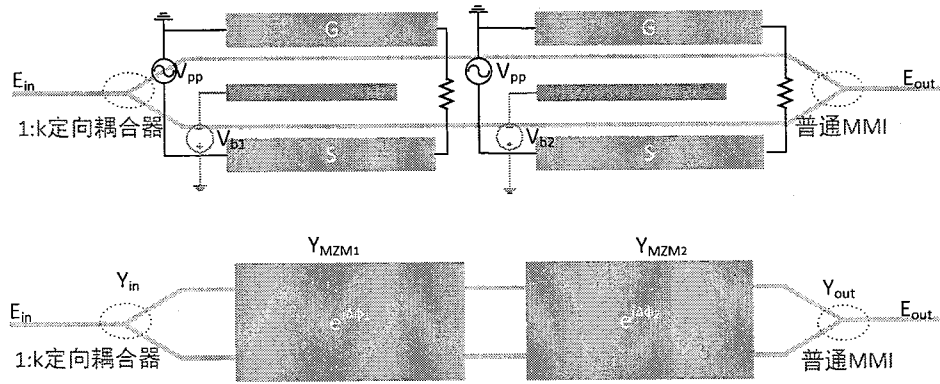


图 4.43 基于定向耦合器的光域 PAM-4 调制器工作原理

Figure 4.43 Principle of optical domain PAM-4 modulator based on directional coupler

根据传输矩阵原理，MZI 调制器的输出光场可以表示为：

$$[E_{out}] = [Y_{out}][M_{ZM1}][M_{ZM2}][Y_{in}]E_{in} \quad (4.30)$$

其中， $[Y_{in}]$ 对应的是 $1:k$ 定向耦合器，用矩阵形式表示如下：

$$[Y_{in}] = \begin{bmatrix} \sqrt{1/(1+k)} \\ \sqrt{k/(1+k)} \end{bmatrix} \quad (4.31)$$

$[M_{ZM1}]$, $[M_{ZM2}]$ 分别对应着第一段 MZM 和第二段 MZM 的传输矩阵，若用 ϕ_{MZM_m, arm_n} 表示第 m 段调制器的上/下臂相位变化， L_{MZM_m, arm_n} 表示第 m 段调制器的上/下臂长度 ($n=1$ 和 2 分别表示 MZM 的上臂和下臂)，则 $[M_{ZM_m}]$ 可表示成：

$$[M_{ZM_m}] = \begin{bmatrix} \exp(-j\phi_{MZM_m, arm_1} - \frac{\alpha_1}{2} L_{MZM_m, arm_1}) & 0 \\ 0 & \exp(-j\phi_{MZM_m, arm_2} - \frac{\alpha_2}{2} L_{MZM_m, arm_2}) \end{bmatrix} \quad (4.32)$$

在硅基 MZM 中， ϕ_{MZM_m, arm_n} 来自于臂长差、热调谐和等离子体色散效应，所以上/下臂的相移可表示为：

$$\phi_{arm_n} = \frac{2\pi}{\lambda_0} [n_{eff} L_{passive, n} + n_{eff}(V) L_{active, n} + n_{eff}(T) L_{thermal, n}] \quad (4.33)$$

$L_{passive, n}$, $L_{active, n}$, $L_{thermal, n}$ 分别是每个臂的未掺杂长度、有源区长度和热调区域长度，臂长 L 是三者之和。电调制时，有效折射率是调制电压的函数；热调制时，有效折射率是温度的函数。 $[Y_{out}]$ 表示输出 MMI 耦合器的传输矩阵：

$$[Y_{out}] = \begin{bmatrix} \sqrt{1/2} & j\sqrt{1/2} \\ j\sqrt{1/2} & \sqrt{1/2} \end{bmatrix} \quad (4.34)$$

其中, $1/2$ 是输出 MMI 耦合器的分光比, 存在虚数单位 j 是由于上下臂直接和交叉耦合输入之间的 $\pi/2$ 相移。至此 $[E_{out}]$ 可以完整的表示出来, 但未免过于复杂, 需要进行一些简化。本文中设计的 PAM-4 调制器为对称 MZM, 即上下臂长度相等, 且两个 MZM 的长度也相等, 另外如果忽略损耗, 可将 E_{out} 简化为:

$$E_{out} = \frac{E_{in}}{\sqrt{2}} [\sqrt{1/(1+k)} + \sqrt{k/(1+k)}] e^{j(\Delta\phi_1 + \Delta\phi_2)} \quad (4.35)$$

另外, 调制器的输出光强 I_{out} 是输出光场与其共轭的乘积, 可采用对数形式表达如下:

$$I_{out}(dB) = 10 \log_{10} (E_{out} \times E_{out}^*) \quad (4.36)$$

对于 PAM-4 调制器, I_{out} 有四个不同的值, 从小到大可依次表示为 I_{out0} , I_{out1} , I_{out2} , I_{out3} , 分别对应着码型 00, 01, 10 和 11。如果想获得线性度良好的 PAM-4 光调制器, 四个光强 I_{out0} , I_{out1} , I_{out2} , I_{out3} 应满足下列方程:

$$\begin{bmatrix} I_{out3} - I_{out2} \\ I_{out2} - I_{out1} \\ I_{out1} - I_{out0} \end{bmatrix} = \frac{1}{3} (I_{out3} - I_{out0}) \quad (4.37)$$

经计算, 当 $k=4$ 时, 可实现差值均匀的四个 I_{out} 幅值。本设计中提出的 PAM-4 产生方法, 由于输入端分光比不同, 使得调制器两臂光场不同, 但两臂的相移器掺杂、长度等参数可以完全一致, 然后通过改变两段调制器的偏压实现不同的相位调制, 再通过幅度和相位叠加产生四个不同的电平, 从而实现了 PAM-4 光调制。利用该方法产生 PAM-4 的优点在于:

1) 与采用行波 MZM 和高分辨率 ADC 生成电域 PAM-4 的传统方法相比, 本方法仅需要常见的 OOK 驱动信号, 直接在光域中生成 PAM-4 信号, 可以实现更高的波特率。

2) 传统分段式 PAM-4 调制器也是由两个 OOK 电信号驱动, 但当两个段由相同峰峰值的信号驱动时, 需要一段长度是另外一段的两倍, 使得 PAM-4 带宽受到较长段的限制。本方法基于 1:4 定向耦合器结构, 使上臂和下臂的光场强不一致, 在传统分段式 PAM-4 调制器的基础上引入了一个新变量, 使得两段的

长度和 V_{pp} 可以完全一致,从而可以有效增大带宽并降低了测试系统的复杂性。

3) 采用分段式 MZM 使得每一段的电极长度都可以较短,以降低微波损耗,从而可以具有更高的带宽,并能够实现更高的比特率传输。

4) 传统的双驱动推挽结构具有较大的结电容,射频损耗高,使得光调制带宽受到限制,而本方法采用的串联单驱动推挽结构可以显著降低结电容从而改善带宽。

所以理论上来说,本文中提出的光域 PAM-4 产生方法为更高波特率的 PAM-4 调制提供了一种有效的解决方案。下面我们将分别介绍该 PAM-4 调制器的电学结构和光学结构。

1.1.4 定向耦合器

分束器/结合器 (Splitter/Combiner) 是硅光子学的关键无源器件,用于在两个或多个输出之间分配光功率,或将两个或多个输入功率合并在一起。最常用的分束器/结合器有三种:多模干涉仪 (MMI)^[191]、Y 分支和定向耦合器 (Directional Coupler, DC)^[192]。其中,MMI 基于自映像效应,较其他器件具有插损低、频带宽、制作工艺简单和容差性好等优点,被广泛应用于光开关、波分复用/解复用器和功率分配/组合器等。但是 MMI 只能实现偶数倍的分光,比如 1×2 、 1×4 MMI,无法满足我们 1×5 ,即输出分光比 1:4 的需求。Y 分支可以实现 1×5 ,并且可以实现较大的带宽和较小的占用空间,但工艺容差极小且带宽小,不利于实际应用。而定向耦合器可以方便地实现任意的功率分配,并且尺寸小、制作简单,适合于我们的需求。

SOI 平台上常规的定向耦合器如图 4.44(a) 所示,由平行的条形光波导组成,且两条光波导距离足够紧密,从而光可以从一个通道耦合到另一个通道。功率耦合的大小取决于耦合区的长度和波导之间的间距。此外,由于 Si 波导的限制较小,所以波长越大耦合强度越大,因此常规定向耦合器的耦合强度非常依赖于波长。为了提高 DC 的实用性,需要对其带宽进行改进。所设计的定向耦合器如图 4.44 所示,在常规的定向耦合器中插入了一个基于非对称波导的相位控制部分,包括有用于将非对称波导连接到对称耦合器的线性锥形波导。当光沿着左侧的对称耦合器传播时,光将从一个波导耦合到另一个,并且耦合强度与波长有关。光

经过相位控制区时，波导中的光不发生耦合，但相对于另一个波导中的光会产生相移。之后，光又在右侧的对称耦合器中相互耦合，最后从两个端口输出。

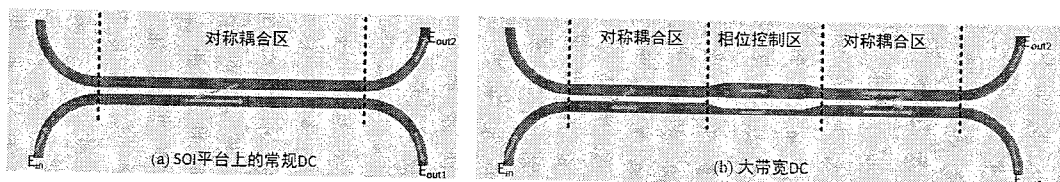


图 4.44 定向耦合器示意图：(a)SOI 平台上的常规 DC；(b)所设计的大带宽 DC

Figure 4.44 Schematic diagram of the DC: (a) conventional DC on SOI platform; (b) the designed large bandwidth DC

该设计的原理在于：通过使用非对称波导在两个对称耦合器之间引入一个小相移，以补偿对称耦合器的波长相关耦合强度，从而增大带宽。对于 DC 在光域 PAM-4 中的应用，我们较为关注的参数是其功率分配比，定义两个输出端口的功率分配比为：

$$\begin{cases} \eta_{out1} = \frac{|E_{out1}|^2}{|E_{in}|^2} \\ \eta_{out2} = \frac{|E_{out2}|^2}{|E_{in}|^2} \end{cases} \quad (4.38)$$

从而，分光比 k 可以表示为：

$$k = \frac{\eta_{out2}}{\eta_{out1}} \quad (4.39)$$

对于 TE 模式，首先确定对称耦合区的波导宽度与条形波导一致，为 450 nm。为了实现 1:4 的分光比，对对称耦合区的波导长度 L_1 ，相位控制区的波导宽度 W_1 、 W_2 和长度 L_2 以及间距 Gap 进行设计优化。图 4.45(a) 是定向耦合器在 Lumerical FDTD 软件中的仿真界面。最终设计参数为 $L_1=4\mu\text{m}$ ， $W_1=300\text{ nm}$ ， $W_2=600\text{ nm}$ ， $L_2=4.9\mu\text{m}$ ，间距为 300 nm。另外，连接对称耦合区和相位控制区的 taper 长度为 1 μm ，作为耦合器输入/输出的 90° 弯曲波导的半径 R 为 5 μm 。图 4.45(b) 是定向耦合器实现 1:4 分光比时的光功率分布。图 4.46 是定向耦合器的分光比 k 随光波长的变化曲线。可以看出，该结构可以实现 ~90nm 的 1dB 带宽。

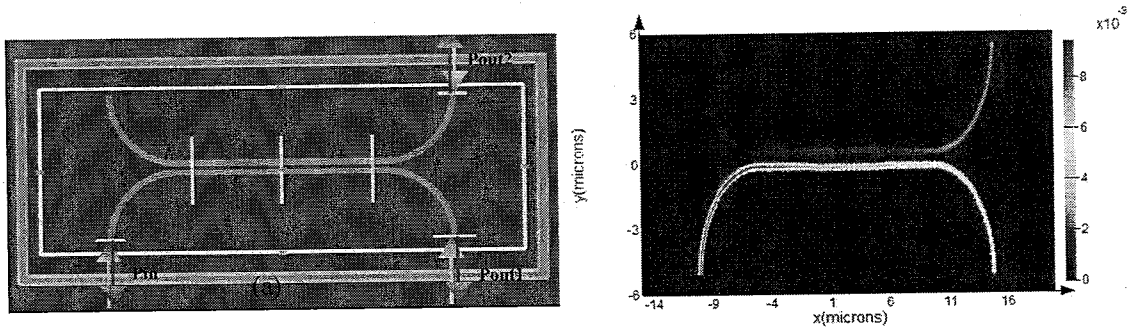


图 4.45 定向耦合器: (a)Lumerical FDTD 软件中的仿真界面; (b)1:4 光功率分布

Figure 4.45 Directional coupler: (a)the simulation interface in Lumerical FDTD software;
(b)1:4 optical power distribution

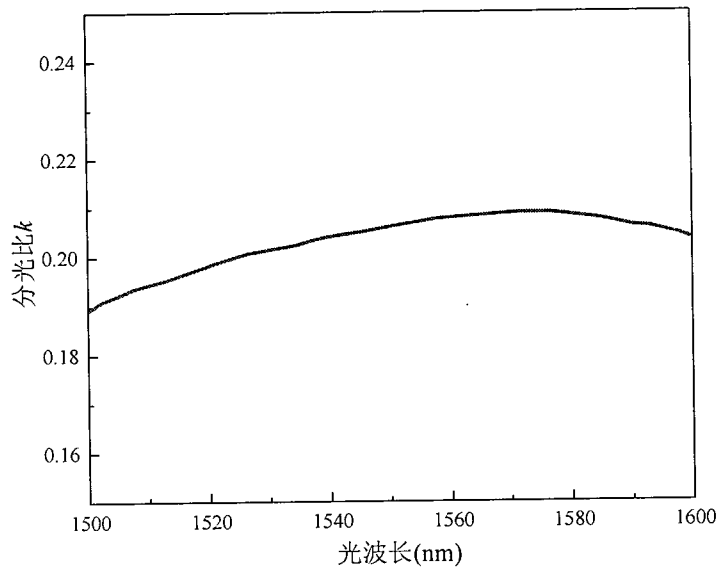


图 4.46 分光比 k 随光波长的变化

Figure 4.46 Variation of splitting ratio k with wavelength

2. 单推挽式行波电极结构

采用单推挽式行波电极结构时, PN 结的剖面结构如图 4.47 所示。两个 PN 结串联作为有源区, 行波电极采用 CPS 结构, 两条传输线位于 MZI 的两侧, 分别作为信号和接地电极。与差分驱动调制器相比, 单推挽式行波电极结构可以将行波电极中的 PN 结电容减小一半, 从而有效降低微波传输损耗, 并且仅需单个微波信号便可实现推挽驱动, 降低了封装难度和密度, 有利于调制器芯片的高密度集成。

PAM-4 芯片流片采用的是新加坡的 CompoundTek 硅光工艺平台, 基于其设计规则和载流子浓度, 光波导和 PN 结的设计方法与 4.2.1 和 4.2.2 节一致。设

计尺寸如图 4.48 所示, 保证调制效率的同时为进一步降低光损耗, 在 PN 中插入了一个 30nm 的未掺杂区域, 最终实现的不同偏压下的调制效率和损耗如图 4.49 所示。在 0V 偏压时, 损耗为 15.5dB/cm, 调制效率为 $1.1\text{V}\cdot\text{cm}$, 本征带宽为 106 GHz。

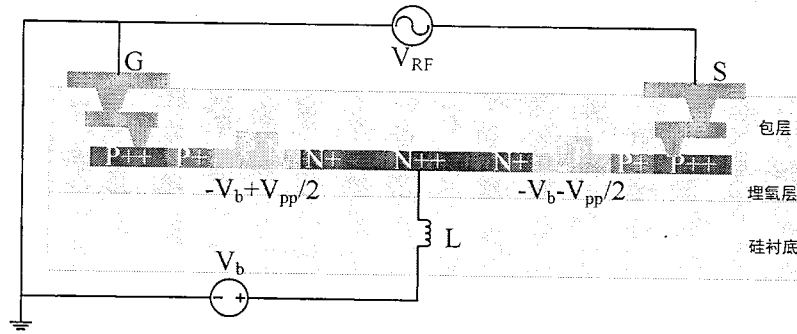


图 4.47 采用单推挽式行波电极结构的调制器截面图

Figure 4.47 Cross section view of modulator with single push-pull traveling wave electrode

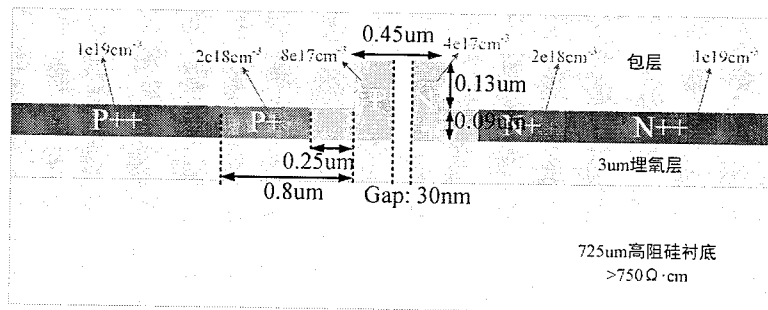


图 4.48 光域 PAM-4 调制器的波导和 PN 尺寸

Figure 4.48 Dimensions of the waveguide and PN of the optical domain PAM-4 modulator

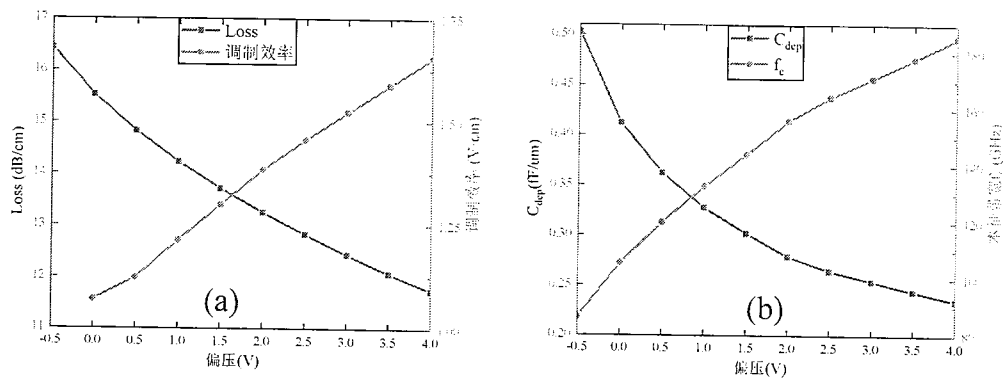


图 4.49 光域 PAM-4 调制器在不同偏压下: (a)调制效率&损耗; (b)耗尽区电容和本征带宽

Figure 4.49 Optical domain PAM-4 modulator under different bias voltages: (a) modulation efficiency & loss; (b) depletion region capacitance and intrinsic bandwidth

随后在 HFSS 软件中进行 GS 行波电极的仿真, 优化过程与 4.2.3 节相同。需要注意的是, 考虑加载有 PN 结的传输线时, 由于两个 PN 结串联, 等效电容应取耗尽区电容的一半, 而电阻则是两倍。最终的设计参数为: 电极宽度均为 50 μm , 间距为 10 μm 。此时, 在 0V 偏压下, 可以实现 48~49 Ω 的特征阻抗, 2.8~3.0 的微波有效折射率, 并且在 40GHz 以内, 微波损耗小于 4 dB/mm。在 0V 偏压下, 不同长度的单推挽式行波调制器的仿真带宽如图 4.50 所示, 1.5mm 和 2.5mm 电极长度的调制器 EO 3dB 带宽分别为 35.8GHz 和 26.9GHz。

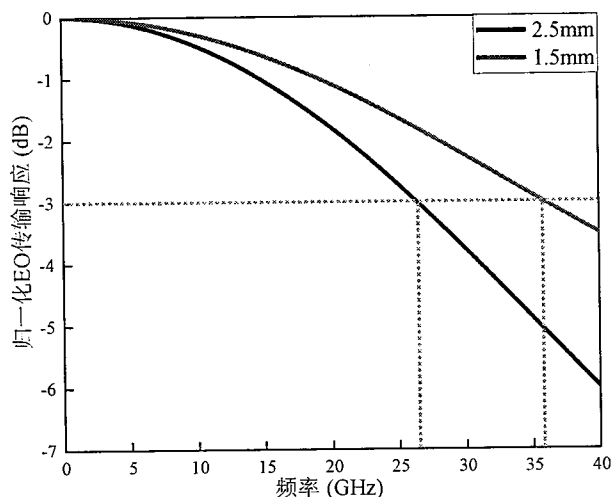


图 4.50 0V 偏压下不同长度的单推挽式行波调制器的仿真带宽

Figure 4.50 Simulated bandwidth of the single push-pull traveling wave modulator with different length under 0V bias voltage

由于 NRZ 调制器的目标速率是 25Gbps, 要求带宽在 18GHz 以上, 而 PAM-4 调制器的目标速率是 50Gbaud, 需要 37.5GHz 以上的带宽, 所以需要调制器进一步优化以提高其带宽。除了上述的电极结构、驱动方式等优化, 我们对调制器行波电极的布线层也进行了改进和优化。以 IMEC 的工艺参数为例进行说明——传输线布线层一共有两种方式: 第一种情况如图 4.51(a) 所示, 调制器行波电极仅在 M1 层布线; 第二种情况如图 4.51(b) 所示, 调制器行波电极在 M2 层布线, M1 层仅作为过渡层。仿真中仅传输线宽度 W 和间距 D 是变化的, 图 4.52 所示是微波衰减系数、特征阻抗以及微波有效折射率的仿真结果。其中实线是行波电极在 M1 层布线的情况, 虚线是行波电极在 M2 层布线的情况。

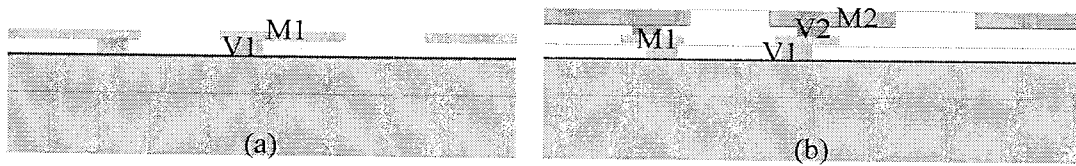


图 4.51 两种情况的传输线: (a)行波电极在 M1 层布线; (b)行波电极在 M2 层布线

Figure 4.51 Two kinds of transmission lines: (a) the traveling wave electrode is wired on the M1 layer; (b) the traveling wave electrode is wired on the M2 layer

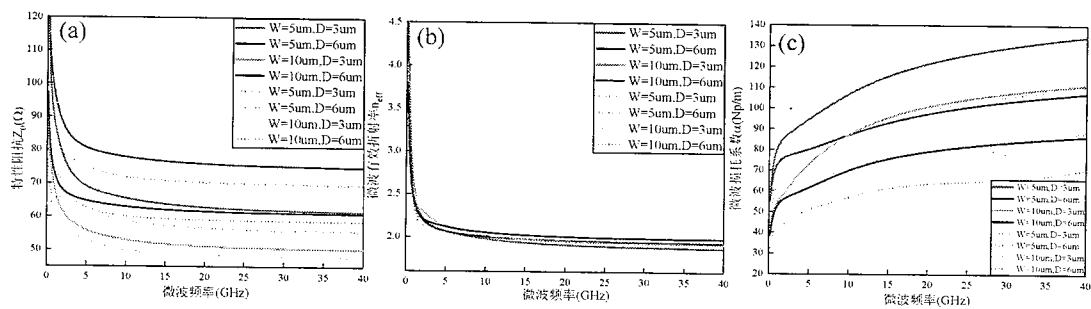


图 4.52 不同金属层作为传输线布线层时对调制器传输特性的影响

Figure 4.52 The influence of different metal wiring layers on the transmission characteristics

仿真结果显示,不同金属层作为传输线布线层时对调制器的微波有效折射率基本无影响,但第一层金属作为调制器电极时,传输线特性阻抗更大,且微波损耗更高。这是因为在 M2 层布线时,由于电流的趋肤效应,电流将分布在 M1 层和 M2 层的边缘,使得行波电流的横截面积较大,从而阻抗较小。并且额外的 M1 层和 V2 层也相当于增大了传输线厚度,在金属厚度不超过趋附深度时,厚度越大,阻抗越小。损耗机制稍复杂一些,传输线阻抗越小,虽然导体损耗会增大,但介电损耗更小。考虑特性阻抗和微波损耗,PAM-4 的设计中选择第二层金属作为调制器的行波电极层。

为了更直观地看到两次调制器流片的工艺条件以及实现的调制器性能区别,我们将相关参数列举在表 4.1 中。相对于首次流片的 NRZ 调制器来说,我们对 PN 结、电极结构、电极布线层以及驱动方式均进行了优化设计,并且在版图中加入了边缘耦合器以与光栅耦合作对比。对于 PAM-4 调制器,在 PN 结中间加入了一个 30nm 的 Gap 使其光损耗减小,但仍明显大于 NRZ 调制器,这是因为 CompoundTek 工艺条件下的 P 型和 N 型掺杂浓度均高于 IMEC。另外,由于 CompoundTek 的 P 型掺杂浓度高于 N 型,而空穴对波导有效折射率的调制

更有效，所以 PAM-4 调制器的调制效率比 NRZ 调制器好。

表 4.1 NRZ 和 PAM-4 电光调制器的对比

Table 4.1 Comparison of the NRZ and PAM-4 electro-optic modulators

调制器类型		NRZ	PAM-4
流片厂商		比利时 IMEC	新加坡 CompoundTek
PN 结		无 gap	30nm gap
电极结构		CPW (GSG)	CPS (GS)
电极布线层		第一层金属	第二层金属
驱动方式		差分	串联单推挽
耦合方式		光栅耦合	边耦合&光栅耦合
光损耗		6.3dB/cm	11.5dB/cm
调制效率 (0V)		1.25V·cm	1.1V·cm
电光带宽 (0V)	1.5mm	24GHz	36GHz
	2.5mm	18GHz	27GHz

3. PAM-4 高速传输特性

为了评估所设计的 PAM-4 调制器的高速传输特性，在 Lumerical Interconnect 中搭建了分段式 PAM-4 调制器模型如图 4.53 所示。其中绿色线表示光路，蓝色线表示电路。调制器电极采用行波电极模型，并导入前面仿真的电极结构的电学参数，包括特性阻抗、微波损耗、微波有效折射率以及 PN 结电阻、电容，每段的长度均为 1.5mm。然后将光学参数，包括光群折射率、光有效折射率变化等代入波导结构中。对于单端推挽式行波电极结构，如果调制偏压为 $-V_b$ ，驱动电压为 V_{pp} ，相当于上臂的工作电压为 $-V_b - V_{pp}/2$ ，下臂的工作电压是 $-V_b + V_{pp}/2$ ，所以仿真时可以给上下臂分别加载偏压为 V_b ，驱动电压为 $V_{pp}/2$ 的差分信号。对于分段调制器，RF 信号的加载并非同时，通过将第一段波导长度和两段波导之间距离之和除以光群速度来估算第二段的驱动信号的时间延迟 τ 。

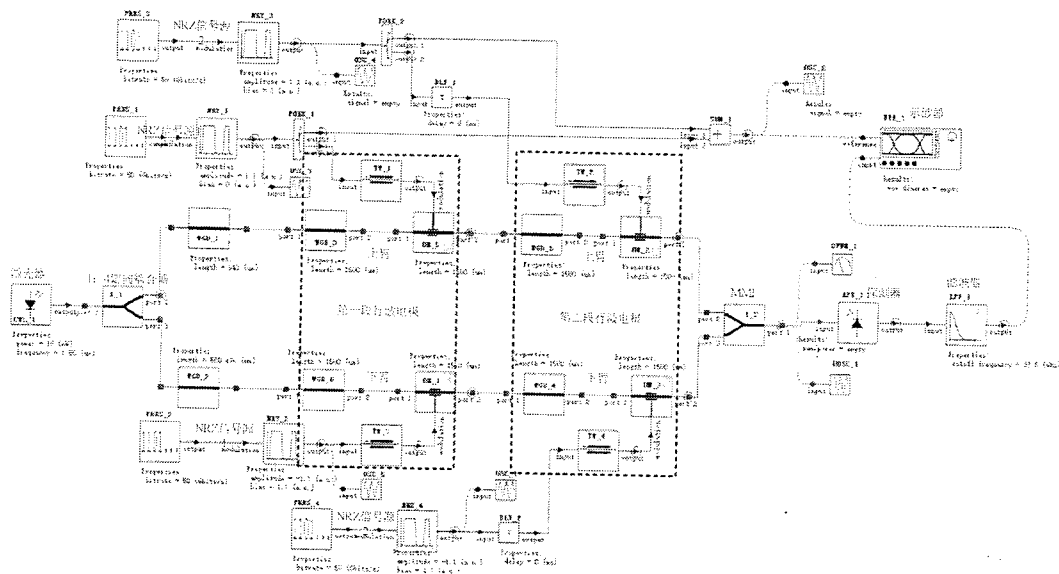


图 4.53 PAM-4 高速传输特性的仿真模型

Figure 4.53 Simulation model of PAM-4 high-speed transmission characteristics

仿真时, 设置输入光功率为 10mW, 两段电极的 V_{pp} 相同, 偏压不同, 通过调节 V_{pp} 和两段各自的偏压来改善眼图质量。当 V_{pp} 为 2.2V, 不同信号传输速率时的 PAM-4 眼图如图 4.54 所示。

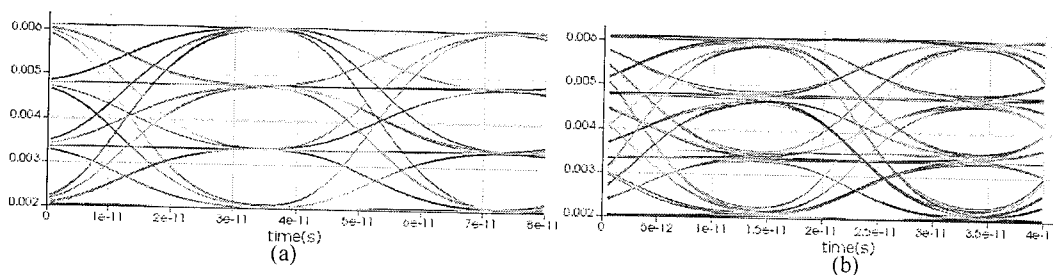


图 4.54 不同波特率时的 PAM-4 眼图: (a)25Gbaud; (b)50Gbaud

Figure 4.54 PAM-4 eye diagrams at different baud rates: (a) 25Gbaud; (b) 50Gbaud

根据 4.3.1 节的 PAM-4 性能指标计算方法, 将 25Gbaud 和 50Gbaud 驱动信号下的输出光信号强度、眼高、光调制幅度、消光比等参数总结在表 4.2 中。可以看到, 25Gbaud 的 PAM-4 信号眼图的一致性较好, 三个眼的高度基本一致。虽然 50 Gbaud 时的信号眼图质量有所下降, 但仍然能实现较好的 PAM-4 信号传输——在光输入功率为 10mW 的情况下, 光调制幅度达到了 $\sim 4\text{mW}$, 且消光比大于 4.5dB。因此从仿真结果来看, 我们所提出的基于 1:4 定向耦合器的光域 PAM-4 调制器至少可支持单通道 100Gbps (50Gbaud) 的信号传输速率, 为更高

波特率的 PAM-4 提供了有效的解决方案。

表 4.2 25 Gbaud 和 50 Gbaud 时光域 PAM-4 信号的相关性能

Table 4.2 Correlation performance of optical PAM-4 signals at 25 Gbaud and 50 Gbaud

信号速率		25 Baud	50 Baud
输出信号幅度(mW)	P ₀₀	2.028	2.070
	P ₀₁	3.384	3.306
	P ₁₀	4.734	4.723
	P ₁₁	6.040	5.990
眼高(mW)	Low	1.356	1.236
	Middle	1.350	1.417
	Upper	1.306	1.267
AOP (mW)		2.006	1.96
OMA _{outer} (mW)		4.012	3.92
ER (dB)		4.74	4.61

*仿真设置: 输入光功率为 10mW, 驱动电压为 1.1V_{pp}, 第一段电极偏压为 0.55V, 第二段电极偏压为 3.55V。

光域 PAM-4 调制器相关设计已于 2020 年 6 月份开始在新加坡 CompoundTek 流片, 其版图如图 4.55 所示。

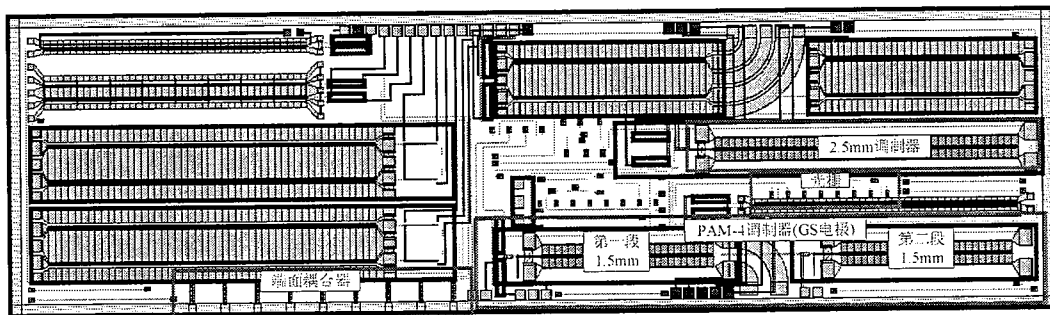


图 4.55 CompoundTek 流片的 PAM-4 调制器版图

Figure 4.55 The layout of PAM-4 modulator taped-out in CompoundTek

4.4 本章小结

本章主要介绍了载流子耗尽型硅基 NRZ 和 PAM-4 电光调制器的研制。我们首先对硅基电光调制器的调制机制、性能指标和研究现状等进行了概述, 然后详细介绍了硅基电光调制器的设计优化过程, 包括波导设计、PN 节设计和行波

电极设计,分析了各个参数对调制器性能的影响。流片完成后,我们对该调制器芯片进行了封装,设计制作了一款 4 通道硅光收发模块。测试结果表明该收发模块可实现 100Gbps 数据传输。之后,为了进一步提升调制器的数据传输能力,我们采用分段式单端推挽行波电极结构,提出了一种基于 1:4 定向耦合器的光域 PAM-4 调制器,仅需两组幅值相同的 OOK 驱动信号便可直接在光域中生成 PAM-4 信号。仿真结果表明,该调制器在 50Gbaud 数据传输速率时可以实现清晰的 PAM-4 眼图,且眼图的一致性较好,消光比达到了 4.6dB。

第5章 硅基光电 2.5D 封装技术研究

5.1 硅基高密度光电集成技术概述

5.1.1 光电集成技术背景

为了满足高性能芯片发展以及功能集成的要求,克服互连带宽、集成密度和互连功耗等方面的问题,光电高密度封装技术备受关注。PIC 与 EIC 之间的封装集成方法通常有三种,分别是:前端集成 (Front-end Integration), 后端集成 (Back-end Integration) 和混合集成。其中前端集成和后端集成都属于单片集成方式:前端集成是通过前端工艺将 PIC 和 EIC 都集成在硅晶圆上,后端集成是将 PIC 通过后端工艺集成在 EIC 的布线层上。在混合集成中,PIC 和 EIC 分别单独制造,然后再通过打线、倒装等方式进行互连。

表 5.1 光电集成方法比较

Table 5.1 Comparison of optoelectronic integration methods

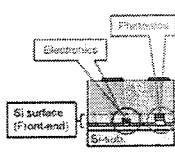
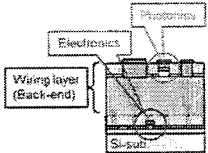
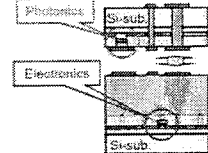
集成方式	单片集成		混合集成
	前端集成	后端集成	
示意图			
速率	高	中	中
封装成本	低	低	高
晶圆级工艺成本	高	中	低
集成挑战	难	难	简单
可用波导	SOI, 体硅	SiN, a-Si	SOI

表 5.1 比较了单片集成和混合集成的特性。单片集成,尤其是前端集成,有望提供比混合集成更高的速度和更低的封装成本,但是就设计、制造和测试而言,单片集成要求非常严格的 CMOS 兼容性,完全实现单片光电子集成回路 (OEIC)

还有很多技术难题需要攻克。而混合集成能够分别使用 PIC 和 EIC 最适宜最先进的技术节点,光电芯片独立设计、制造和测试,再选择性能良好的裸 dies 进行集成和封装。混合集成既能发挥光互连速度快、带宽大、抗干扰、密度高、功耗低等优点,又能充分利用微电子工艺成熟、高密度集成、高成品率、成本低廉等优势,对高密度高速光电集成封装十分有利。

目前,传统的光电器件封装方案主要采用的是引线键合 (Wire-bonding, WB) 技术,用金丝 (Golden Wire) 将光/电芯片的焊盘与基板上的布线焊盘或与电子封装外壳的 I/O 引线连接起来。由于金丝会引入巨大的感性寄生效应,典型值为 $0.5\text{--}1.0\text{ nH/mm}^{[193]}$,其长度对光电器件封装后的高频性影响非常大。此外,虽然引线键合的间距可以达到 $25\text{ }\mu\text{m}^{[194]}$,但 PIC 和 EIC 之间的连接仅限于单侧,从而严重限制了总 I/O 数量,且不利于实现多芯片封装的小型化。所以光电混合封装逐渐向 2.5D/3D 集成演进,通过光电芯片协同设计以及小型化封装,突破 I/O 性能瓶颈。与传统的 WB 技术相比,2.5D/3D 集成允许在不增加芯片尺寸的情况下,将更多的功能封装到芯片中,并且缩短芯片之间的通信路径,有望提供更好的芯片连接性和更低的功耗。

目前所报道的 2.5D/3D 集成中,光芯片均采用硅光方案,原因在于:与传统的 III-V 族激光器模块相比,硅光集成技术在不同的速度和传输距离时,竞争优势越来越明显。表 5.2 比较了直接调制激光器 (DML)、电吸收调制激光器 (EML) 和硅光集成在调制方式、调制速率、引脚数目、封装形式等方面的特性。在单通道速率低于 25 Gbaud 且传输距离较短时 ($<10\text{ km}$),III-V 直接调制激光器更具成本效益。DML 主要分为三种类型的激光器,分别是垂直腔面发射激光器 (VCSEL)、分布式反馈激光器 (DFB) 和法布里-珀罗激光器 (FP)。VCSEL 是一种面出光的新型激光器,具有低功耗、低成本等优势,但不适用于长距离通信。DFB 和 FP 激光器等边发射的激光器在传输速率提高和距离增加时,色散和啁啾效应的影响越来越大,使传输性能受到限制。而电吸收调制激光器采用外部电吸收调制方式,可以大大降低啁啾影响,具有出色的高速调制频率响应,其通道速率最高可达 50 Gbaud ,但价格十分昂贵且集成度低。随着数据中心互连带宽的不不断提高,单通道已无法满足实际应用需求,这时多通道的采用显得十分有必要,而高集成度的高速硅光学芯片成为了更具成本效益的选择。

表 5.2 硅光集成与III-V族光模块的特性

Table 5.2 Characteristics of silicon photonics integration and III-V optical modules

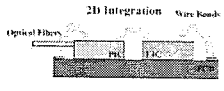
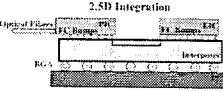
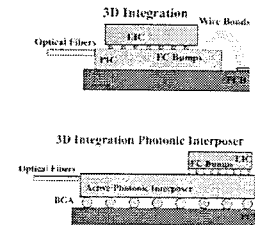
激光器类型	DML		EML	硅光集成
	VCSEL	DFB/FP		
工作波长	800nm~900nm	850nm, 1310nm, 1550nm	1310nm, 1550nm	1310nm, 1550nm
调制方式	直接调制	直接调制	外调制	外调制
调制速率	25Gbaud	25Gbaud	50Gbaud	>50Gbps
耦合方式	直接耦合	透镜耦合	透镜耦合	光栅耦合/边耦合
电学引脚个数(四通道)	8	8	8	>30 (高速引脚+直流引脚)
光 I/O 数量 (四通道)	4	4	4	6 (4 输入+2 对准)
电极形式	集总电极	集总电极	集总电极	行波电极
温度控制	TEC	TEC	TEC	不需要
集成方法	2D (Chip-on-Board)	2D (Chip-on-Ceramic)	2D (Chip-on-Ceramic)	2.5D/3D
优点	线宽窄、功耗低、调制效率高、成本低	DFB: 波长稳定性好; FP: 调制效率高	波长稳定性好, 调制速率高	低成本、高速率
应用场景	短距光通信	DFB: 高速中长矩通信; FP: 低速短距离通信	高速超长距离通信	数据中心、相干光通信等

由表 5.2 可见, 对于一个仅 4 通道的硅光集成模块, 其引脚就达到了 30 以上, 至少是传统 III-V 族模块的 3~4 倍。如果通道数进一步增多, 如此高的布线密度很难利用 WB 方案解决, 这进一步显示了硅光 2.5D/3D 封装集成的必要性。3D 集成是通过倒装技术将微电子芯片和硅光芯片立体集成, 光芯片既是功能芯片又是承载电芯片的载体, 可以进一步减小封装尺寸, 提高封装高频性能。电芯片的倒装一般通过铜柱 (Copper Pillars) 或者微焊料凸点 (Micro Solder Bumps) 来实现。其中, 铜柱的寄生电容低于 30 fF, 寄生电阻低于 1 Ω , 且寄生

电感可忽略^[195]，微焊料凸点的寄生电容低于 25 fF，寄生电阻低于 1Ω ^[196]。此外，微焊料凸点和铜柱有望分别达到 20 μm 和 10 μm 的小间距^[197]。在采用 3D 集成方案时，又细分为两种封装方案，一是 PIC 与 EIC 采用 die to die 或者 die to wafer 工艺进行立体集成，将交流/直流 (AC/DC) 信号引脚引出到 PIC 的边缘，再通过引线键合到基板上与计算节点 (Compute Node) 裸芯片连接，集成方案灵活，但引线键合仍然会引入一定寄生电感，从而限制了收发器的带宽。另一种方案是将 EIC 与有源转接板 3D 集成，PIC 融合到转接板内部，从而可以在转接板的正面和背面都实现密集的低寄生 I/O^[198-199]，进一步提升集成密度、降低功耗。光电 2.5D 集成方案首先是将带有铜柱或者微凸点的 PIC、EIC 或数字信号处理/串行解串器 (DSP/Serdes) 芯片倒装到载板上，然后再通过 WB 或者 BGA 技术将载板与 PCB 进行电连接。

表 5.3 光电混合集成方法演变

Table 5.3 The evolution of optoelectronic hybrid integration methods

集成方式	2D 集成	2.5D BGA 集成	3D BGA 集成
示意图			
集成成熟度	非常成熟	较成熟	逐渐成熟
Pin 数量/ 通道数	50+, FPC 连接 1-4 通道	300+, BGA 焊球 4-8 通道	500+, BGA 焊球 >16 通道
封装成本	~80%	~60%	<40%
RF 互连	光芯片+WB+管 壳+柔性电路板 (FPC)	光芯片&电芯片合 封互连+ Interposer + Solder Bump	光芯片&电芯片合封 互连+ Interposer + Solder Bump
速率	<25 Gbaud	50 Gbaud	50~100 Gbaud
光耦合	透镜耦合/光纤耦 合	光纤耦合	光纤耦合
电互连方式	WB	Flip-chip BGA / Solder Bump (尺寸 15mm+)	Flip-chip BGA/ Solder Bumps (尺寸 10mm+)
器件散热方式	器件底部散热+ 导热胶水	器件顶部散热+高 温散热材料	器件顶部散热+高温 散热材料

近年来,国际 OIF 组织为了顺应光电集成技术发展趋势,于 2015 年定义了短距 (SR) 及超短距 (USR) Serdes 规范,其中 USR Serdes 仅支持距离为 1cm 左右的传输,主要用于 2.5D 或 3D 封装内部。此外,为了提升和改善光 I/O 的易用性和可维护性,2.5D 或 3D 光 I/O 与外界电互连的方式逐渐向 BGA 过渡。近年来,Intel、Luxtera、Ayalabs、IMEC、Leti 等公司与研究机构持续研发应用于数据中心和高性能计算的光电集成封装技术,着力解决光电芯片协同设计、封装工艺整合以及功耗和散热挑战。为了满足 112G 及以上互连带宽需求,基于硅光 TSV 的 2.5D/3D 集成被视为下一代光电集成使能方案。我们将三种光电混合集成方法的特性总结在表 5.3 中。

5.1.2 硅基光电 2.5D 集成概述

虽然 3D 集成可实现密集的间距和最小的封装寄生,但其散热是一个很大的挑战。并且 EIC 和 PIC 之间的热隔离最小,倒装电芯片产生的热量会传递给光芯片。Straullu 等测试发现^[200],对于大约 0.5 W 的 IC 输入功率,PIC 温度相比环境温度会升高 20°C,这对于温度敏感的硅光器件,比如微环调制器,可能尤其成问题。另外,虽然 3D 集成中的有源转接板可以同时实现异构工艺优化、低 EIC-PIC 封装寄生和高 I/O 带宽,但它仍是一种相对较新的技术,需要长时间的投入和非常高的工艺开发成本,所以 2.5D 集成作为 2D 和 3D 集成的折衷方案应运而生。

在过去几年中,对 2.5D 集成技术进行了大量研究,包括制造、组装、封装和 EDA 工具,以及信号完整性/电源完整性 (SI/PI) 等电气设计问题。2.5D 集成中,倒装芯片可通过微焊料凸点或铜柱实现,其间距和寄生特性与 3D 集成相同。2.5D 集成的寄生效应高于 3D 集成,因为其关键信号不仅需要通过 EIC 和 PIC 各自的凸点接口,还要经过转接板上的走线。但是,如果将裸芯片之间的距离控制在几百微米以内,可以控制这种附加的寄生效应。为了实现与计算节点芯片之间的更长连接,可以在硅转接板内开发高质量的传输线,Kim 等在硅转接板上制作的 8mm 长的共面波导传输线显示出优于 50GHz 的带宽,且 S21 损耗小于 2dB^[201],如图 5.1 所示。如果将计算节点芯片封装到较大的基板上,则可

以将收发机中转接板的背面连接到带有 BGA 的 PCB 上^{[199][202]}，如图 5.2 所示。Bernabé 等证明了通过 BGA 封装将 PIC 集成到 PCB 上，信号路径的插入损耗优于 3 dB，且带宽为 40 GHz^[203]。

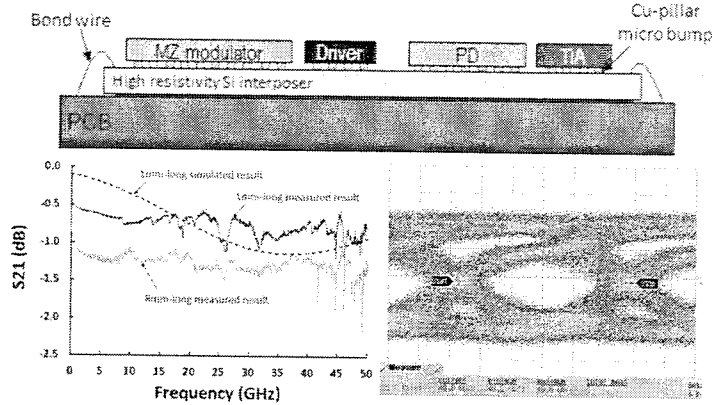


图 5.1 用于高性能数据中心的硅光 2.5D 多芯片模块收发器

Figure 5.1 Silicon Photonics 2.5D Multi-chip Module Transceiver for High Performance Data Center

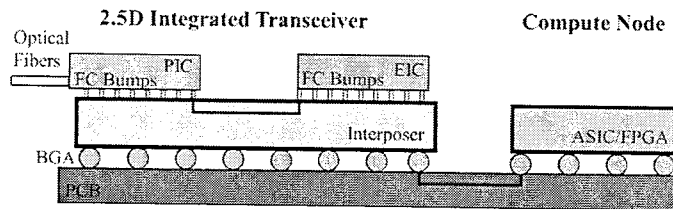


图 5.2 2.5D 光收发机与 ASIC/FPGA 等计算节点芯片集成的方法

Figure 5.2 Integration method between 2.5D optical transceiver and other computing node chip such as ASIC/FPGA

2.5D 集成的关键在于转接板的制作。通常，转接板有两种类型：一种是仅包含连接电路的无源转接板，另一种是不仅包含连接电路而且集成了逻辑电路的有源转接板。转接板可以对电信号进行再分布，以将信号分散到更大的间距，或者实现多个有源芯片之间的连接。转接板也可以对光信号进行再分布，通过添加氮化硅波导层可以实现光子芯片之间光信号的路由。转接板常见的材料有硅、玻璃和有机基板。对于硅转接板 (Through Silicon Interposer, TSI)，可以使用硅通孔 (TSV) 来实现转接板正面和背面之间的连接。转接板用于 3D 集成时，主要是作为有源芯片的无源再布线层，将有源硅光芯片结合到硅转接板中以形成有源转接板，从而将转接板的再分布功能与光子集成电路的功能相结合。转接板用

于 2.5D 集成时,主要是作为电信号的路由层,实现 EIC 和 PIC 之间的连接。2012 年, Xilinx^[204] 展示了采用 2.5D TSI 技术并集成了高密度门阵列和 SerDes 的 virtex-7 FPGA, 以更低的功耗实现了前所未有的 2.8 Tb/s 的数据传输能力。随着数据流量的持续增长,在数据中心的机架和高性能计算机之间传输大量数据时,光互连是必须的。在这样的应用中, PIC 需要与逻辑器件或者 SERDES 非常靠近。2.5D TSI 可以将逻辑和存储子系统与光子芯片异质集成,以低于 pJ/bit 的能量效率驱动光的数据通信。因此, 2.5D TSI 技术有可能在未来几十年成为高速数据通信的关键推动者。图 5.3 显示了 2.5D TSI 技术在移动设备和数据中心应用中的路线图。

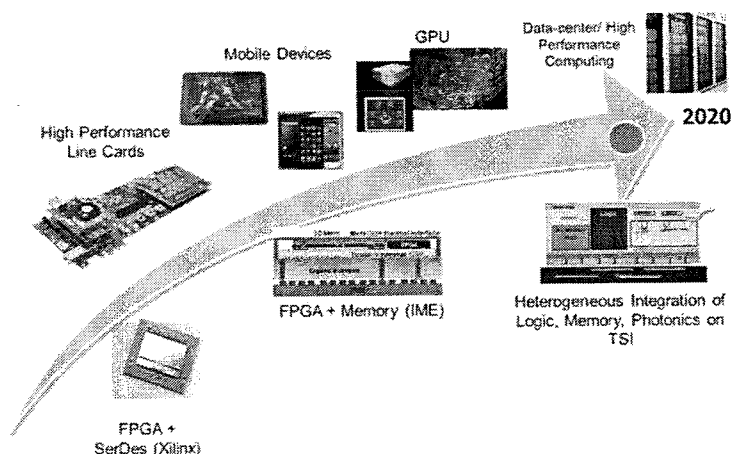


图 5.3 2.5D TSI 技术在移动设备和数据中心应用中的路线图

Figure 5.3 2.5D TSI technology roadmap in mobile devices and data center applications

5.1.3 2.5D 集成技术面临挑战

虽然 2.5D 集成有很多优点,但仍面临着一些挑战,包括光耦合、SI/PI 特性、热管理、翘曲控制以工艺制作等。下面我们将对 2.5D 集成封装技术面临的关键挑战作一个概述。

1. 光耦合

在 2.5D 封装中, PIC 芯片通过倒装方式集成在转接板表面,光口朝下,无法实现光栅耦合,只能采用边耦合方案。而一个典型的边缘耦合器的 1 dB 对准公差是在亚微米量级(大约 ± 500 nm)^[205],如此严格的对准公差使得光纤阵列的边缘耦合极具挑战性,需要非常谨慎的无源对准操作。并且,模块的散热和翘曲特性可能会对边缘耦合的影响很大,设计时需全面考虑。

2. 模块的信号完整性问题

2.5D 集成光模块中的阻抗不连续点较多, 包括 EIC/PIC 与硅载板之间的焊球、TSVs、硅载板与封装基板之间的焊球以及封装基板上的过孔和测试焊球。为了实现高速信号传输, 每一个不连续点都需要谨慎优化, 减小系统链路中的反射和串扰。

3. 热管理

随着 2.5D TSI 上高性能 IC 互连密度的增大, 散热成为一个挑战, 这种挑战通常称为热管理。热管理问题可以从两个方面来理解: 一方面, 高性能 IC 的芯片级功率传递可能较高, 在不影响处理速度的情况下, 将多芯片集成在一个转接板上往往会产生更高的热密度, 进而会损害 IC 性能; 另一方面, 诸如 MRM 之类的温度敏感芯片, 由于温度变化易于发生波长偏移, 因此需要对其进行热控制。热管理的一般方法有被动冷却、主动空气冷却和主动液体冷却。2.5D 封装集成时, 需要设计一种能够满足最终应用需求的散热解决方案。

4. 热机械性能

EIC/PIC 通过焊点连接到转接板上, 转接板也是通过焊点连接到封装基板上, 而由于芯片、转接板、封装基板的热膨胀系数 (CTE) 并不都一致, 在工艺组装时, CTE 的差异意味着在热加工过程中以及散热时, 焊点连接的两侧材料会以不同的速率膨胀, 这将导致焊点应力和 TSI 翘曲。因此, 设计 2.5D TSI 封装的一个关键挑战是执行精确的热力分析/有限元建模 (FEM), 并优化焊点放置, 以确保系统的可靠性。

5. 组装工艺

2.5D TSI 封装是一个高度集成的系统, 虽然其基本组成与传统倒装芯片封装没有太大区别, 但诸如 EIC/PIC 和转接板的堆叠、各层的焊料凸点、底部填充 (Underfill) 以及封装内所有物理尺寸的小型化、EIC 的光接口等因素, 使得 2.5D 封装的组装极具挑战性。对于成功的 2.5D TSI 组装, 必须从封装物理设计/布线、材料选择、组装顺序和工艺开始, 充分考虑硅芯片、转接板、凸点互连、底部填充和封装基板之间的多层次相互作用。

5.2 硅光调制器的 2.5D 封装方案设计

本节中，我们介绍了硅光调制器的 2.5D 封装方案设计，包括光模块方案和测试方案。封装整体是一个 4 通道 2.5D 集成多芯片模块，每个通道的目标速率是 50 Gbps。

5.2.1 2.5D 硅光模块方案设计

为了避免引线键合引入的高寄生效应，模块整体采用 2.5D BGA 封装，如图 5.4 所示。模块采用电阻率为 $5000\ \text{ohm}\cdot\text{cm}$ 的高阻硅作为转接板以减小衬底的寄生参数。PIC 和 EIC 都倒装在硅转接板的表面，硅转接板中具有 TSVs，从而实现其正面芯片引脚和背面基板之间的连接。转接板背面通过 CuNiSnAg 焊球连接到陶瓷基板，该焊球采用晶圆级工艺制作，可以将间距较小的 PIC 和 EIC 引脚扇出到更大的范围。基板材料有很多种，包括有机基板、陶瓷基板、高频 PCB 基板等，其对比如表 5.4 所示。综合考虑布线尺寸、厚度、成本、高频性能、热膨胀系数 (CTE) 以及抗折强度等多方面因素，模块中采用的基板材料是中科电 43 所的 LTCC 陶瓷 Ferro-A6m。该材料的 CTE 为 7，是硅载板和 PCB 测试板 CTE 的中间值，可较好地实现上下兼容。陶瓷基板尺寸为 $18\text{mm}\times 18\text{mm}$ ，背面共有间距为 1mm 的 17×17 个 BGA 焊盘。光耦合方面，模块采用 8 通道单模光纤阵列，通过边缘耦合将光耦合到调制器芯片，其中，调制器芯片的 4 个输入通道是保偏光纤 (PMF)，可大大衰减光纤中的双折射效应并保持入射光的偏振态，从而实现高的光耦合效率。另外，PIC 的耦合侧悬挂在转接板上 200um 之外，使得边缘耦合器的外观可视，便于耦合时的对准。

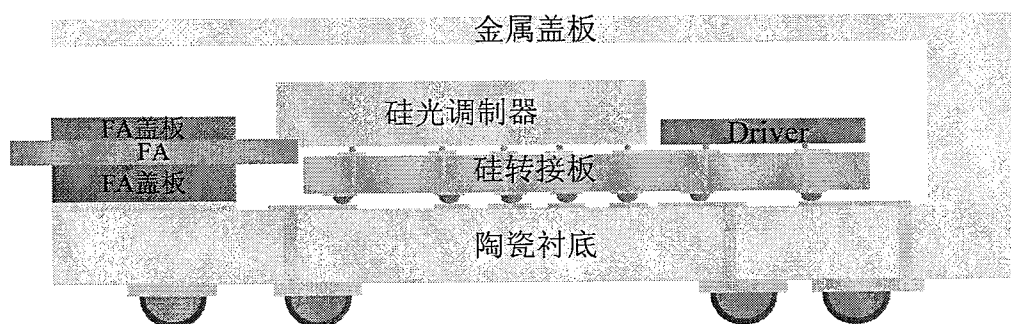


图 5.4 硅光 2.5D 集成封装示意图

Figure 5.4 Schematic diagram of silicon photonics 2.5D integration

表 5.4 不同基板材料的对比

Table 5.4 Comparison of different substrate materials

材料	材料属性	布线最小尺寸	介电常数 (10Ghz)	损耗角 正切 (10Ghz)	CTE(X,Y)/ ppm	抗折强度 (MPa)	衬底材料特点
高频 PCB 材料	罗杰斯 4350B	100um/100um	3.66	0.0037	14-16	255	线条较粗, CTE 大
	罗杰斯 5880	100um/100um	2.2	0.0009	31, 48	-	线条较粗, CTE 大, 高频性能好, 成本高
有机基板材料	BT	25um/25um	3.9	0.008	10	480	线条较细, CTE 略大, 高频性能较好, 成本较高, 厚度较薄
	ABF	25um/25um	3.3 (5.8Ghz)	0.0065 (5.8Ghz)	11	拉伸强度 120	线条较细, CTE 略大, 高频性能较好, 成本较高, 尺寸较薄
硅	高阻硅	10um/10um	11.8	0.02S/m	3	170- 550	线条较细, CTE 与芯片匹配, 高频性能较好, 成本较高, 厚度薄
LTCC	Ferro- A6M	75um/75um	5.9	0.002	7	170	高频性能好, 热力学性能好, 硬度大, 线宽适中, 成本较高
HTCC	Al ₂ O ₃	80um/80um (国产) 50um/50um (进口)	8.5 (京瓷 A473)	0.0014 (京瓷 A473)	6.9	400	高频性能好, 热力学性能好, 成本较高, 加工周期长
	AlN	80um/80um	8.5	0.004	4.4	400	高频性能好, 热力学性能好, 成本较高, 加工周期长

此外, 为了方便模块测试, 我们设计了一个与模块引脚相匹配的连接器(Socket), 如图 5.5(a) 所示。该连接器的主要优点在于: 如果光模块中的 EIC/PIC 发生故障, 或者是耦合出现问题, 不必更换测试板, 仅需更换光模块即可, 从而可以实现高重复性并大大降低成本。图 5.5(b) 是将光模块组装到 Socket 后的剖面图。模块与测试板之间的互连通过陶瓷基板背面的 BGA 焊球和 Socket 的引脚来实现。安装时, 给 Socket 施加一个 3~4 in-lbs 的扭力, 将模块底部 BGA 焊球压接到测试板上。这也是我们考虑选择陶瓷基板的原因之一, 只有具有一定硬度的材料才能承受 Socket 的压力。此外, Socket 压接时, 光模块的上方需要有金属盖的保护, 否则会压坏模块, 其材料为钨镍铁。

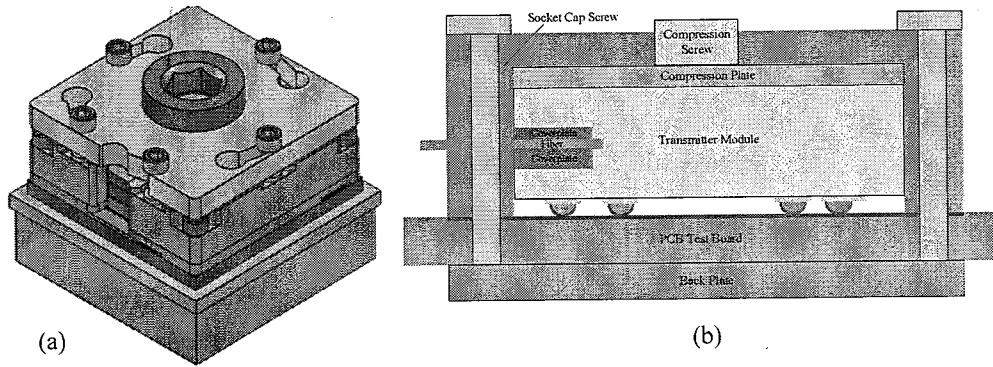


图 5.5 (a)定制化的连接器；(b)放入连接器中的光模块

Figure 5.5 (a) Customized socket; (b) Optical module placed in the connector

5.2.2 2.5D 硅光模块的测试方案

由于 2.5D 硅光模块的复杂性，为了便于评估模块性能和分析测试结果，必须先明确其测试方案。2.5D 光模块的测试主要包括两个方面：各个组成部分比如硅载板、陶瓷基板的传输损耗，以及整体 2.5D 硅光模块的相关测试。

对于硅载板和陶瓷基板的传输损耗，其测试链路如图 5.6 所示，高频信号通过探针馈入，一侧放在硅转接板上，一侧放在相应的测试板上，通过矢量网络分析仪即可得到相应的基板 S 参数，详细的测试情况会在 5.5 节进行讲述。当模块的每一个组成部分均无问题，便可按照图 5.7 所示的测试框图对模块进行测试。测试板采用 PCB 板，首先通过高频同轴线和 SMA 连接器将高速信号输入，然后通过测试板上的高速差分线和 Socket 连接器将信号传输到 2.5D 光发送模块中。至此，2.5D 光模块的测试方案已经明确，针对不同的测试需求，设计相应的测试板，可以清晰地知道光模块中每个组成部分的性能，进而能够有效地分析光模块的最终性能。

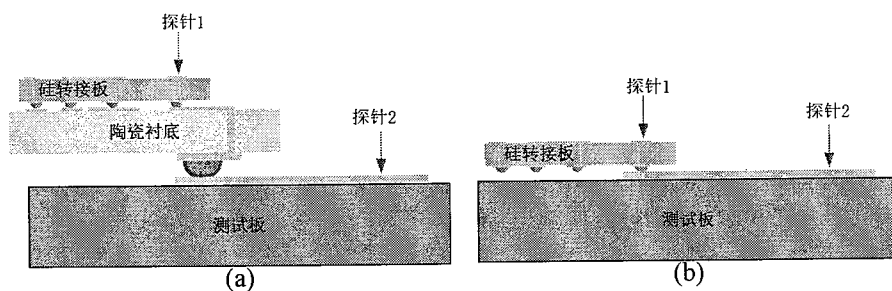


图 5.6 2.5D 光模块中无源链路的测试示意图

Figure 5.6 Schematic diagram of passive link test in 2.5D optical module

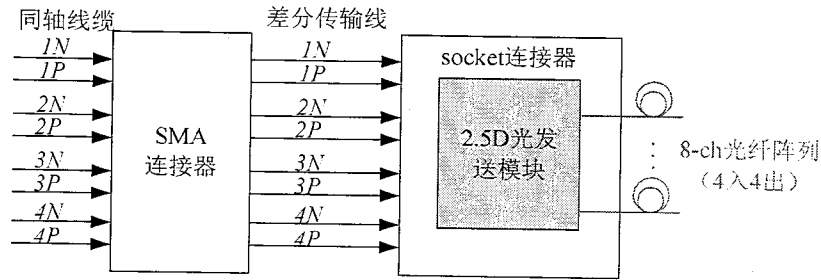


图 5.7 2.5D 光模块的测试示意图

Figure 5.7 Schematic diagram of 2.5D optical module test

5.3 2.5D 封装方案关键技术研究

5.3.1 电学信号完整性研究

随着信号传输速率越来越高，信号完整性问题变得越来越重要，并且严重限制电气互连的带宽。特别是在高速光模块中，信号速率一般 $\geq 25\text{Gb/s}$ ，信号完整性问题将对信号质量产生很大影响，并可能导致传输信号的错误判断，从而导致传输错误，因此对光模块中的信号完整性进行研究十分重要。信号完整性指高速电路设计中由互连线所引起的问题，主要包括传输损耗、反射和串扰等。由于实际传输线的电导率是有限的，介质的也不是理想绝缘的，所以必然存在一部分电导体损耗。传输损耗与传输线导体的电导率、横截面积以及表面粗糙度等因素有直接关系。串扰是指一个网络的信号干扰到另一个网络，使另一个网络发生信号完整性问题。一般来说噪声容限占信号幅度的 15%，而其中大概有 5% 都与串扰有关，所以在多个网络中，将信号串扰控制在最小相当重要。反射指的是当信号沿传输线传播时，信号会受到传输线上瞬态阻抗的影响，如果阻抗发生变化，一部分信号就会发生反射。一般情况下，传输线由三部分构成：源端、传输线以及终端。理论上来说，如果三部分未实现阻抗匹配，只要传输线延时超过了信号上升沿的 20%，信号会发生来回反射，从而对信号产生明显影响。反射是单一网络中信号完整性问题的主要根源，为了减小反射，一般需要将传输线的阻抗变化控制在 $\pm 10\%$ ，以使信号的幅值摆动 $< 5\%$ 。所以，在光模块的电性能研究中，主要切入点就是结构中的一些不连续点，比如过孔、连接器、无源电容/电感和 BGA 球等，通过优化将其阻抗变化控制在 $\pm 10\%$ 。本节主要通过 Ansys HFSS 软件对 2.5D 光模块中的信号完整性问题进行研究和优化。

(1) 各基板叠层设计和高速线配线

所设计的 2.5D 光发送模块中,一共包括三种材料类型的基板,即硅转接板、陶瓷衬底和 PCB 测试板。在传输线设计之前,需要先确定叠层结构。叠层的厚度由材料板厂和模块高度要求决定,叠层的层数由模块布线密度决定。经与板厂沟通以及对 2.5D 模块的初步评估,确定硅转接板、陶瓷衬底和 PCB 测试板叠层。

硅转接板的叠层设计基于华进半导体公司的 12 寸 TSV 制造工艺平台,包含两层金属和两层金属下凸点层 (UBM),如图 5.8 所示。其中 M1_T 层作为高速线布线层, M2_B 层作为电源或其它控制引脚布线层, UBM_T 作为与芯片互连的 pad 层, UBM_B 与陶瓷衬底通过 Solder ball 互连。硅转接板中的 TSV 直径为 30 μ m,厚度为 200 μ m,孔内填充的是金属 Cu。

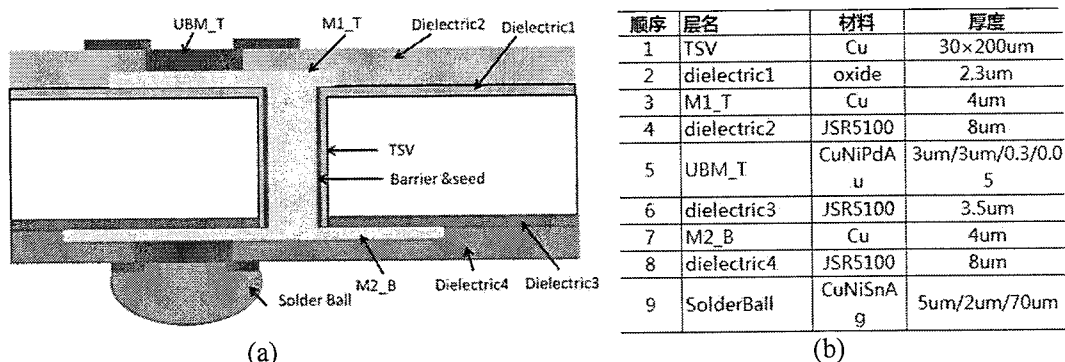


图 5.8 硅转接板的叠层设计

Figure 5.8 Laminated design of silicon interposer

陶瓷基板基于 43 所的低温共烧陶瓷 (LTCC) 技术,选用损耗角正切更小的 Ferro-A6M 材料 (介电常数: 5.9; 损耗角正切: 0.002), 每层介质烧结前厚度为 127 μ m, 烧结后厚度为 96 μ m。考虑金属电导率和化学性质,在可选的导体 Ag、Au 和 PtPdAu 中,选择 Au 作为陶瓷基板的内外层导体,厚度为 10 μ m。由于 LTCC 技术无法制作阻焊层,为了使高速传输线能更好地屏蔽外界环境因素和避免后续组装工艺的影响,将 L2 层作为高速信号层,而 L1 和 L4 层作为其参考地平面。此外, L3 层作为电源及其余控制引脚走线平面, L5 是 BGA 焊盘分布层。其中,除了 L1 和 L2 层之间介质厚度为 192 μ m,其余层介质厚度均为 96 μ m。

PCB 测试板设计为四层板,其中 L1 层作为高速电路布线层, L2 层作为其参考平面,其余层作为电源及控制引脚走线平面。第一层和第三层介质采用 M6 高

频介质材料（介电常数：3.66；损耗角正切：0.037），厚度为 102 μm 。第二层采用 FR4 材料（介电常数：4；损耗角正切：0.04），厚度为 1300 μm 。为尽可能减小铜箔粗糙度对高速传输线造成的损耗，测试板的表层金属选用的是超低表面粗糙度铜箔（HVLP）。

基板叠层设计完毕之后，再对高速传输线进行配线。针对目标叠层的介质厚度、介电常数以及传输线类型，首先在 Si 9000 软件中进行配线，得到阻抗匹配时的初始传输线线宽线距，再在 Ansys HFSS 软件中建立相应模型，在初始线宽线距附近扫描，使阻抗更好地匹配到 50 Ω 或 100 Ω （单端 50 Ω ，差分 100 Ω ），且同时保证传输损耗最小。

对于硅载板，高速传输线分布在硅基表面，并采用 CPW 差分线形式，且由于工艺原因，其底面没有参考地平面，如图 5.9(a) 所示，其中，W 为传输线线宽，S 为差分线的间距，D 是信号线与参考地之间的间距。经 HFSS 扫描优化，当 $W=20\mu\text{m}$ ， $S=35\mu\text{m}$ ， $D=35\mu\text{m}$ 时，阻抗匹配最佳，此时 5mm 长的传输线插损小于 0.9dB，时域阻抗（TDR）约为 101 Ω 。对于陶瓷基板，高速线分布在陶瓷板内层，采用带状差分线的形式，如图 5.9(b) 所示，当 $W=85\mu\text{m}$ ， $S=210\mu\text{m}$ ， $D=210\mu\text{m}$ 时，阻抗匹配最佳。而对于 PCB 测试板，由于高速信号需要从 SMA 连接器馈入，而该连接器尺寸较大，所以测试板的高速传输线采用单端 CPW 形式，如图 5.9(c) 所示。当线宽为 109 μm ，间距为 160 μm 时，阻抗匹配最为接近 50 Ω 。

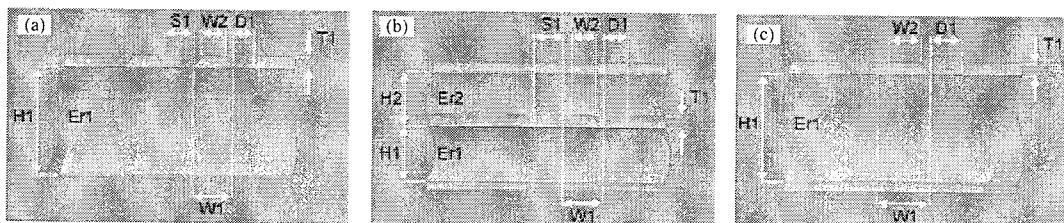


图 5.9 不同基板上的高速传输线类型：(a)硅载板；(b)陶瓷基板；(c)PCB 测试板

Figure 5.9 Type of the high-speed transmission line on different substrates: (a) silicon interposer; (b) ceramic substrate; (c) PCB test board

(2) BGA 封装的优化

BGA 封装具有高密度、高可靠性、低损耗和工艺比较容易实现等优点，但随着传输速率的增加，由 BGA 引起的损耗也变得越来越不可忽视，并且占了相

当一部分。为了研究封装过程中高速信号通过 BGA 所引起的阻抗失配和信号衰减,我们对 BGA 的传输特性进行了研究,包括 BGA 球的大小、BGA 回流地球的数量、BGA 球和 PCB 板连接处的挖空修正等三个方面对高速信号传输特性的影响。

在评估 BGA 球的大小对高速信号传输性能的影响时,选用了三种不同半径的 BGA 球,分别为 200、300 和 400 μm ,且信号球与地球的中心距分别为 800、1000 和 1200 μm ,即保证三种情况下球的边缘距离都是 400 μm ,仿真结果如图 5.10 所示。可以发现,球的尺寸越大,阻抗越小,反射越严重,损耗也越大。这是因为球尺寸大时,在间距不变的情况下,球和球之间的容性越大,而由于趋肤效应,电流主要分布在球的表面,球之间的感性基本不变,所以阻抗越小,并且不匹配情况越严重,传输过程中的损耗越大。但是,由于植球工艺限制,同时考虑封装体对翘曲的容忍度以及成本率等因素,设计过程中并不能无限选用小半径的球,应当在满足目标带宽的情况下选择合适尺寸的 BGA 半径。

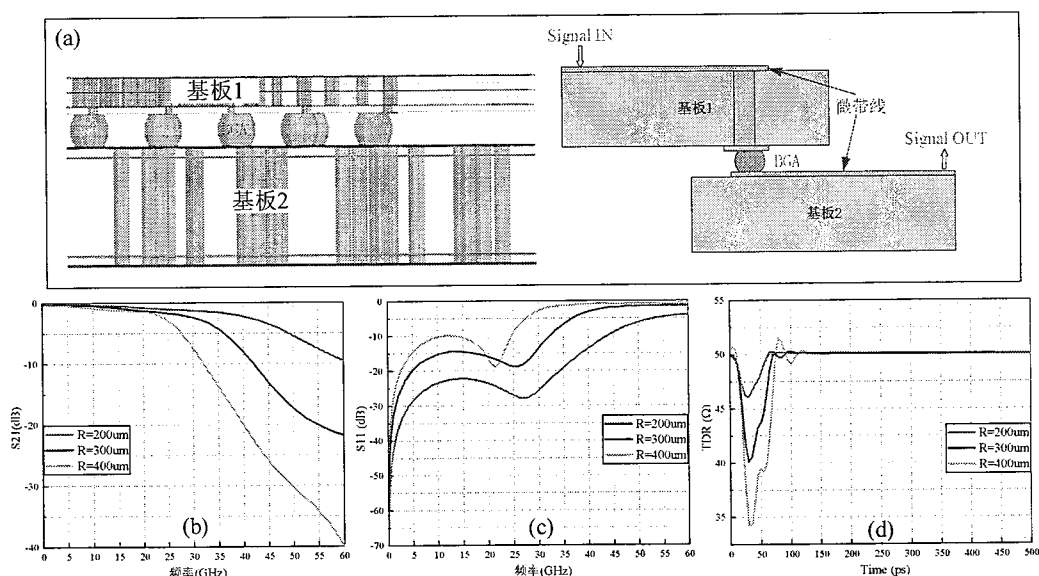


图 5.10 不同尺寸的 BGA 传输特性对比: (a)仿真模型; (b)S21; (c)S11; (d)TDR

Figure 5.10 Comparison of transmission characteristics of different BGA size:

(a) simulation model; (b) S21; (c) S11; (d) TDR

此外,为了评估高速信号周围的回流地球的数量是否会影响信号的传输性能,我们也进行了相关仿真。设置 BGA 球直接为 400 μm ,信号球周围分别存在 2、4、6 个回流球,如图 5.11(a) 所示。不同数量回流球的传输性能对比如图 5.11(b) 和(c) 所示。TDR 仿真结果显示,回流球数量较少时,信号球和地球之间的容性

较小, 所以阻抗增加。但从 S_{21} 传输特性来看, 虽然减少回流球可以提升阻抗, 但是损耗反而大于四周球比较多的情况。这可以从场的角度来理解: BGA 球上分布的场在两个地平面之间形成了矩形波导, 如果回流球数量较少, 对场的限制较弱, 场将扩展到空间中, 从而造成信号损失。而回流球数量较多时, 它们将场基本都限定在 BGA 中间。所以虽然回流球的数量更少时能达到更好的阻抗匹配, 但是信号损耗更大。

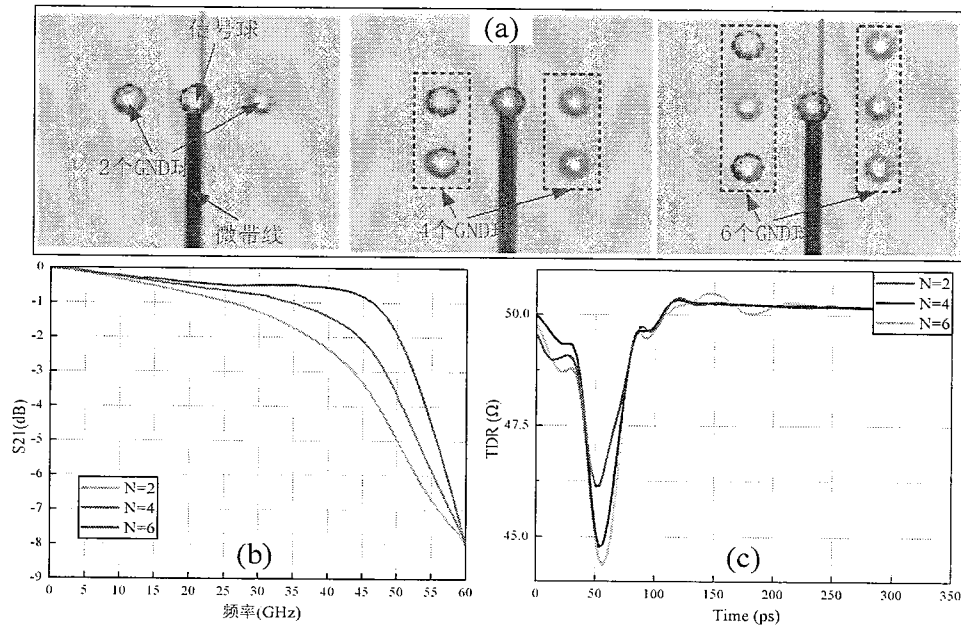


图 5.11 信号球周围地球个数对传输性能的影响

Figure 5.11 The influence of the number of ground balls around the signal ball on the transmission performance

为了改善 BGA 焊球的阻抗特性, 通常的做法还有: 对其在基板上的参考地平面进行挖空处理, 即增大反焊盘 (Antipad)。为了简化仿真, 仅对 BGA 球下基板做挖空处理, 将 antipad 增大的数值记作 Δa , 当 Δa 分别为 0、200 μm 、400 μm 、600 μm 、800 μm 和 1000 μm , 仿真结果如图 5.12 所示。可以看到随着 Antipad 变大, 球和地之间的容性变弱, 使得阻抗变大, 从而改善了传输性能。但是从 S_{21} 的结果来看, 损耗的改善并没有像 TDR 那么明显, 而且在低频和中频频段, 增大 antipad 后性能反而有所衰减。原因其一是封装结构本身比较小, 增大 antipad 虽然改善了 TDR, 但是对性能的改善作用并不大; 其二是当 antipad 特别大的时候, 会造成信号线参考地的缺失, 从而产生一定损耗。所以为了改善 BGA 处的阻抗失配而一直增大 antipad 是得不偿失的。

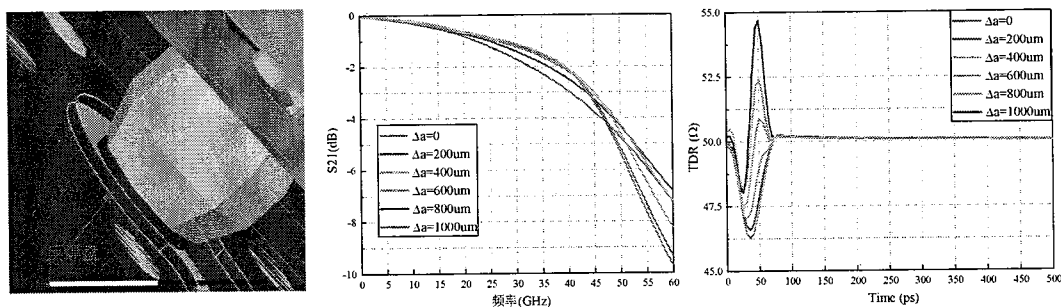


图 5.12 BGA 反焊盘大小对传输特性的影响

Figure 5.12 The influence of BGA anti-pad size on transmission characteristics

综上,BGA 球的耦合电容主要来自两个方面:信号球与上/下基板的地之间,以及信号球与回流球之间;BGA 球周围的电感主要包括四个方面:信号球的自感,信号球与信号线间的互感,信号球与上/下地平面之间的互感,以及信号球和回流球之间的互感。当球径减小,或者回流球数量减少,或者增大 antipad,信号球与地球之间的电容明显变大,所以阻抗增大并更接近阻抗匹配。需要注意的是,BGA 在两个地平面之间形成的波导会向空间电磁场传播,从而带来一定损耗;antipad 过大会使信号线的参考地缺失,也会带来损耗,所以在 BGA 封装中,应综合评估带宽要求和工艺条件,选择合适半径的 BGA、合适的 antipad 并尽可能多放置回流地球。

(3) 2.5D 封装中的不连续结构

在硅光调制器的 2.5D 封装结构中,不连续点包括:EIC/PIC 与硅载板之间的金球、硅转接板中的 TSVs、硅转接板与陶瓷基板之间的微凸点、陶瓷板的过孔以及陶瓷板底部的 BGA。根据上一部分所述的 BGA 封装优化方法,可对结构中的 BGA 分别进行优化。过孔的优化方法类似,根据工艺条件选择合适的孔径和孔盘并优化其 antipad。为了节省仿真时间,可以先对硅载板或陶瓷基板进行单独优化,再结合在一起进行优化。HFSS 中的仿真模型如图 5.13(a) 所示,各部分材料及端口设置如图 5.13(b) 所示。

经优化,最终得到的 2.5D 硅光发送模块的损耗如图 5.14(a) 所示,在 40 GHz 以内,模块损耗小于 1.6dB,足以支持 25 Gbaud 以上的数据传输速率。S21 中出现的纹波是由端口、过孔和焊球位置处的阻抗不连续引起的。S11 反射系数如图 5.14(b) 所示,40GHz 以内的链路回波损耗低于 10dB,意味着功率反射较

小。设置上升时间为 25ps, 参考差分阻抗为 100Ω , 链路的差分 TDR 如图 5.14(c) 所示, 满足 $100\Omega \pm 10\%$, 所以阻抗匹配良好。版图设计时, 为了保持模块四个通道的一致性, 我们有意将四对差分传输线的长度设计为完全相同, 但仿真结果显示四个通道的电气性能仍然存在一些差异。这可能是传输线的弯曲程度不同以及信号线周围接地孔的位置差异造成的。

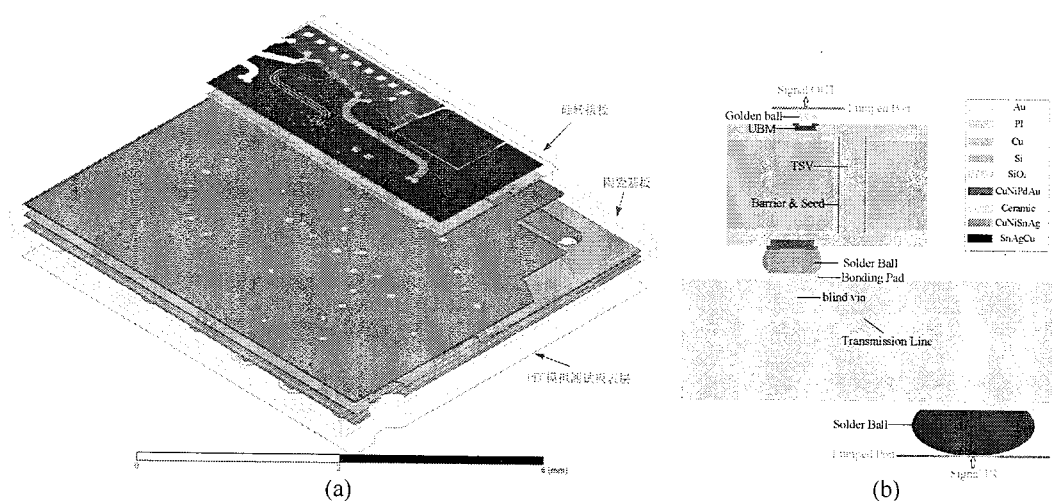


图 5.13 2.5D 硅光模块的仿真: (a)HFSS 中的仿真模型; (b)材料以及端口设置示意

Figure 5.13 Simulation of 2.5D silicon optical module: (a) simulation model in HFSS; (b) material and port setting

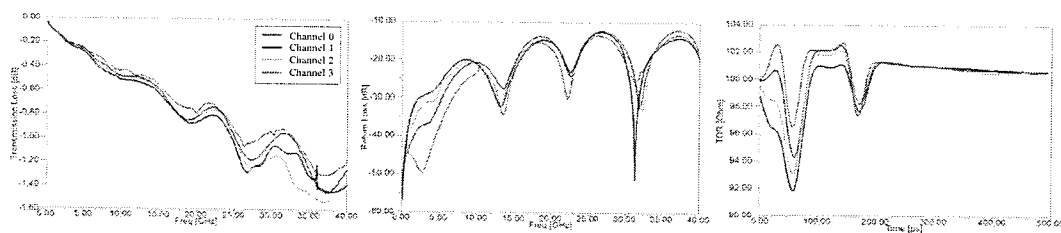


图 5.14 优化的 2.5D 硅光发送模块的高速 RF 传输特性

Figure 5.14 High-speed RF transmission characteristics of optimized 2.5D silicon optical transmitter module

5.3.2 2.5D 封装的散热特性

对于 2.5D/3D 封装来说, 由于将多个芯片集成在一个转接板上, 往往会产生更高的热密度, 可能会影响芯片的正常工作。本章提出的 2.5D 是针对硅基 MZ 调制器, 对温度并不敏感, 不容易发生波长偏移, 所以不需要进行温度控制, 但是有必要对模块的散热特性进行评估以判断是否会影响电芯片的功能。

硅基调制器的 2.5D 封装结构包括电/光芯片、硅载板、LTCC 陶瓷基板、各种焊球以及用于测试的 PCB 板。封装结构中各个组成部分的尺寸、材料及热导率如表 5.5 所示。

表 5.5 2.5D 封装结构中的材料热导率

Table 5.5 Thermal conductivity of material in the 2.5D package

组件	材料	尺寸 (mm)	热导率(W/mK)
硅载板	Si	8×11×0.2	148
	Cu (TSV)	孔径 30um, 节距 150um	401
芯片	Si	光芯片: 6×4×0.3	148
		电芯片: 4×2×0.1	148
LTCC 基板	Ferro-A6M	18×18×0.5	2
	Au		317
PCB 测试板	FR4/M6	60×70×1.8	0.35
	Cu		401
焊球	Au	光芯片下方焊球: 半径 30um	317
	Sn	电芯片下方焊球: 半径 20um	67
	CuNiSnAg	硅基下方焊球: 半径 60um	64
	SnAgCu	陶瓷基板下方焊球: 半径 250um	58

由于 2.5D 封装中存在大量的焊球、凸点、TSV 和过孔等微小结构, 热仿真时如果直接建立实际模型, 模型将会非常复杂, 从而对计算机要求极高, 且仿真效率非常低甚至可能无法计算。此外, 由于模型中各个结构的较大尺寸差异导致网格质量差, 仿真精度也不高。因此, 通常采用等效材料参数建立等效模型来求解高密度封装的热特性。对于单个 TSV, 设 Cu 材料的热导系数为 K_{Cu} , Si 材料的热导系数为 K_{Si} , TSV 的直径为 d , 节距为 $2a$ 。根据 Fourier 热传导定律并结合实际模型, 可推导得到 TSV 在 X、Y、Z 方向的等效热导率分别为:

$$K_{eq,XY} = \frac{K_{Si}^2 + K_{Si}(K_{Cu} - K_{Si})\alpha}{K_{Si} + (K_{Cu} - K_{Si})\alpha(1 - \alpha)} \quad (5.1)$$

$$K_{eq,Z} = (\beta \cdot K_{Cu} + K_{Si}) / (1 + \beta) \quad (5.2)$$

其中, α 是 TSV 的直径与节距之比, 即 $\alpha = d/2a$, β 是 Cu 材料和 Si 材料在 XY 平面的投影面积之比, 即 $\beta = S_{Cu} / S_{Si}$ 。利用推导出的等效材料计算公式, 对结构中的微小焊球和过孔等进行材料等效如表 5.6 所示。

表 5.6 2.5D 封装中的材料等效热导率

Table 5.6 Equivalent thermal conductivity of materials in the 2.5D package

等效热导率	$K_{eq, z}(W/mK)$	$K_{eq, x}(W/mK)$	$K_{eq, y}(W/mK)$
电芯片下方焊球	35.4	0.0445	0.0445
光芯片下方焊球	23.6	0.039	0.039
陶瓷基板下方焊球	9.537	0.053	0.053
硅载板 TSV	155.8	155.95	155.95
硅载板下方焊球	2.79	0.035	0.035

2.5D 封装模块的散热特性分析采用的是 Ansys Icepak，一款强大的热管理和电子仪器散热分析的专业软件。按照模块尺寸建立仿真模型，设置环境温度为 20℃，并采用自然对流边界条件。硅光调制器芯片单通道功率为 0.2W，Driver 芯片单通道功率为 0.39W，硅光模块单通道和四通道同时工作时的温度分布情况如图 5.15 所示。可以看到即使四通道同时工作，模块最高温度也只有 ~42℃，这远低于电芯片的正常工作温度 (-5~95℃)，也低于常规 DFB 激光器的工作温度 (-5~85℃)。另外，焊球热导率等效时考虑的介质是空气，而一般情况下，模块的焊球区域都需要底部填充，且底部填充材料的热导率优于空气，因此 2.5D 封装模块的实际工作温度更低。所以本文中设计的 2.5D 光模块散热特性良好，对电芯片、MZM 以及光源的影响都较小，足够满足应用需求。

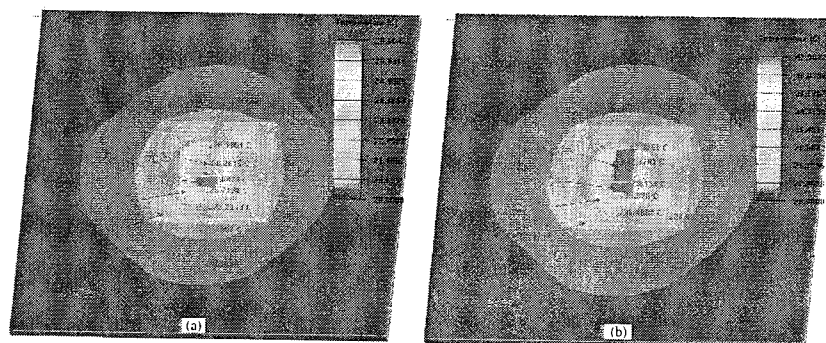


图 5.15 2.5D 硅光模块在实验室条件下的工作温度分布：(a)单通道；(b)四通道同时工作

Figure 5.15 The temperature distribution of 2.5D silicon optical module under laboratory conditions: (a) single channel; (b) four channels working at the same time

5.3.3 2.5D 封装的翘曲研究

在 2.5D 封装集成中，材料类型较多，所以 CTE 很难做到完全匹配，而由 CTE 不匹配引起的翘曲是 2.5D 集成中要解决的关键挑战，因为翘曲不仅

会影响制造精度，而且会降低光耦合效率。本节将采用 Ansys Workbench 软件对 2.5D 硅光模块执行翘曲相关研究，Workbench 是一宽强大的基于有限元建模和仿真的工具，可以有效评估封装设计的可靠性。

在实际设计的封装结构中，为了便于耦合，光芯片和电芯片为斜 8° 放置，整体结构并非完全对称。但为了简化仿真，可忽略 8° 的偏移，将结构考虑为对称，从而可以针对封装结构的一半建立三维有限元模型。模型中的焊球/底部填充层被视为各向同性有效层，根据层压理论计算这些层的有效材料特性^[206]。由于在微工艺组装过程中，将硅载板安装到陶瓷基板时将经过一次最高温度达到 280°C 的高温回流过程，为了评估此过程中封装结构的翘曲，仿真中将环境温度设置为 280°C 作为封装的参考温度，然后观察封装结构在环境温度 20°C 时的翘曲情况。仿真结果如图 5.16 所示，陶瓷基板的最大翘曲为 $17\mu\text{m}$ ，而陶瓷载板下方的焊球直径为 $500\mu\text{m}$ ， $17\mu\text{m}$ 的翘曲不会影响电互连；对于硅载板下方焊球位置，硅载板的最大翘曲为 $9\mu\text{m}$ ，而该处焊球高度为 $100\mu\text{m}$ ，翘曲对硅载板下方的电互连影响也很小；对于硅载板上金凸点位置，硅载板翘曲最大约为 $6\mu\text{m}$ ，而该处金凸点高度约为 $25\sim 60\mu\text{m}$ ，翘曲基本可以满足金凸点互连要求。所以，即使考虑微组装工艺中最高回流温度下的陶瓷基板和硅载板翘曲，也不会对 2.5D 封装结构的电互连特性产生太大影响。

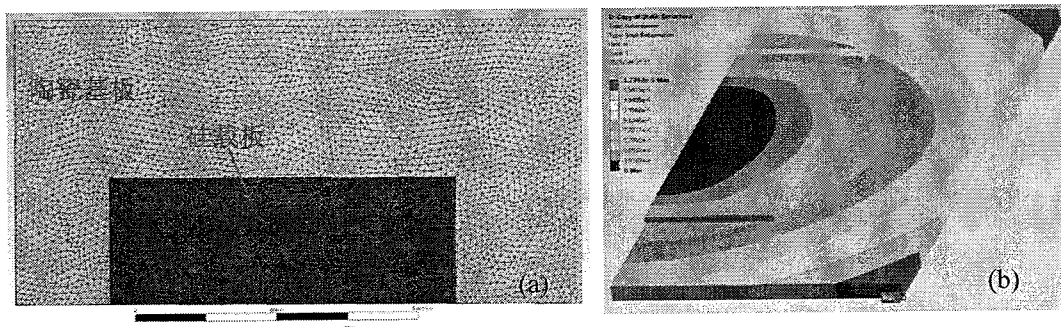


图 5.16 280°C 高温回流后陶瓷基板和硅载板的翘曲情况仿真：(a)仿真模型及网格；(b)翘曲仿真结果

Figure 5.16 Warpage simulation of ceramic and silicon substrate after 280°C high temperature reflow: (a)simulation model; (b) warpage simulation result

另外，由于本设计中的光耦合采用的是边耦合，硅光波导与单模光纤之间的 1dB 耦合容差大概为 $\pm 2\mu\text{m}$ 。而当 2.5D 硅光模块工作时，由于温度升高而产生

的翘曲将可能会影响光耦合效率。为了评估该影响，我们仿真了 2.5D 封装结构在最高 42°C 工作温度下的翘曲情况，如图 5.17 所示。可见在四通道同时工作时，光芯片的端面耦合器处最大翘曲 $< 1 \mu\text{m}$ ，光芯片水平方向最大翘曲为 $0.1 \mu\text{m}$ ，垂直方向为 $0.8 \mu\text{m}$ ，均在边缘耦合器的 1 dB 耦合容差范围内，所以翘曲对耦合效率影响较小。

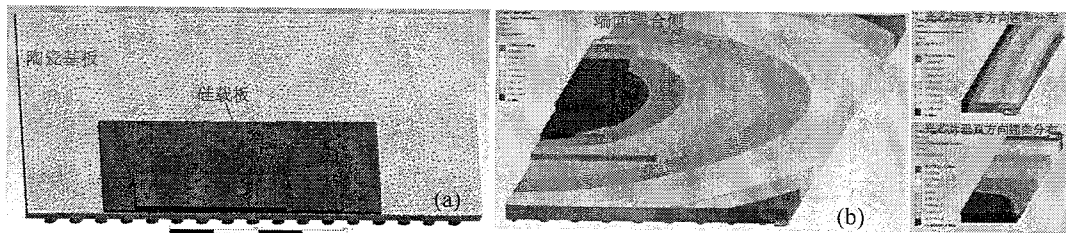


图 5.17 2.5D 封装结构在最高 65°C 工作温度下的翘曲情况：(a) 仿真模型及网格；(b) 翘曲仿真结果

Figure 5.17 Warpage of 2.5D package structure at the highest operating temperature of 65°C: (a) Simulation model; (b) Warpage simulation results

综上，本文提出的硅光调制器 2.5D 封装方案中，翘曲对结构的电连接特性和光耦合性能的影响都较小。从热机械角度来看，所设计的硅光调制器 2.5D 封装结构是可靠的。此外，对 2.5D 封装结构的热机械仿真给了我们如下启发：

- 1) 在工艺允许范围内选择较小的 TSV 直径，并尽量减少 TSV 的个数，使硅晶圆中的 Cu 含量更低，减少因 Cu 和 Si 之间的 CTE 不匹配而引起的变形，从而降低了硅载板翘曲；
- 2) 使用具有与 Si 芯片相似 CTE 的陶瓷基板来减轻翘曲问题；
- 3) 使用 underfill 填充芯片-硅载板和硅载板-陶瓷基板之间的空隙，以减少封装结构的翘曲。

5.4 2.5D 硅光模块的制作和组装

5.4.1 硅转接板和陶瓷基板的制作

2.5D 硅光模块中一共包括两种基板，分别是硅载板和陶瓷基板。硅转接板的制作流程如图 5.18 所示，主要概述如下：

- (a) TSV 孔刻蚀：定义 TSV 的尺寸和形状；

- (b) 绝缘层、阻挡层、种子层沉积：绝缘层实现 TSV 中导电填充材料与硅衬底的绝缘；阻挡层用于防止 Cu 扩散进入绝缘层影响绝缘层性能，一般选择 Ti、Ta、TiN 或 TaN 等材料；种子层则是为了晶格匹配，一般选择 Cu 材料；
- (c) 孔填充：主要使用 Cu 电镀技术实现 TSV 的金属填充；
- (d) CMP 平坦化：使用化学机械抛光 (CMP) 技术去除表面多余的铜层；
- (e) RDL 和凸点制作：先制作再布线层 (RDL)，再采用溅射、蒸发、化学镀、电镀等方法来形成金属下凸点层 (UBM)，作为芯片焊盘与凸点之间的金属过渡层，主要起粘附和扩散阻挡的作用，最后通过厚胶光刻、电镀、种子层去除、回流等工艺形成凸点。
- (f) 晶圆临时键合：将待减薄晶圆与 Carrier 晶圆键合，作为后续晶圆减薄及减薄后工艺加工的载体；
- (g) 衬底减薄及背面 RDL 制作：减薄步骤将 TSV 从衬底背面露出，减小封装尺寸并降低 TSV 制造难度；背面 RDL 制作用于形成表面焊盘。
- (h) 拆键合及划片：拆除载体晶圆并划片。至此，硅载板的制作结束。

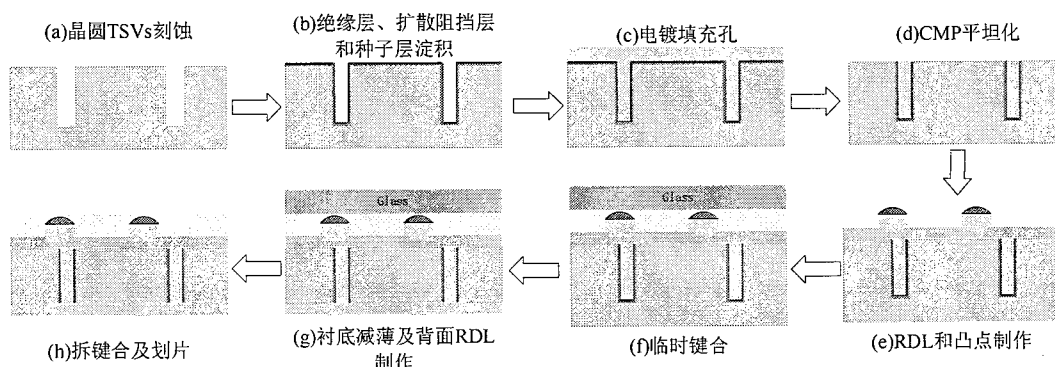


图 5.18 硅转接板的制作流程

Figure 5.18 Fabrication process of silicon interposer

陶瓷基板采用低温共烧技术，其制作流程如图 5.19 所示。首先由陶瓷浆料制作出陶瓷基板胚料，然后将胚料切割成多个所需尺寸的陶瓷薄片，再用机械冲孔或激光冲孔的方法在陶瓷片上制作过孔/通孔，随后进行过孔填充并使用丝网印刷将导电浆料转移到陶瓷片上，形成电气互连图案，接下来将陶瓷片按照叠层顺序依次叠放在一起，并利用高压使其粘接牢固，然后按照模块边界对生瓷基板

进行切割,之后进行低温烧结(低于 900°C)。需要注意的是,由于 LTCC 基板的过孔是由叠压形成,会有一定的对位误差,所以基板设计时应尽量避免通孔。

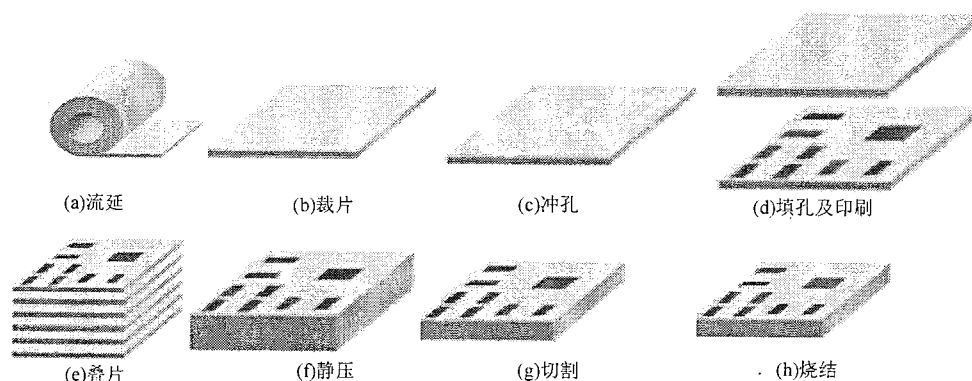


图 5.19 LTCC 陶瓷基板的制作流程

Figure 5.19 Fabrication process of LTCC ceramic substrate

5.4.2 组装工艺流程设计

基板制作完成之后,在正式组装之前,必须先确认工艺方案,否则会造成很多不必要的基板或芯片浪费。对于 2.5D 封装,共有 3 种基本的组装流程。第一种是芯片优先组装 (Chip-on-chip first),即先将芯片倒装在硅载板上,再将硅载板连接到衬底上。另外是先将硅载板连接到衬底上 (Chip-on-Substrate first),再将芯片倒装在硅载板上。最后一种方法是在硅载板的正面 RDL 和微凸点形成之后,背面 RDL 形成之前,将 EIC/PIC 芯片倒装键合到硅载板晶圆上,称之为 (Chip-on-Wafer first),然后对 CoW 晶圆进行塑封处理 (molding) 并从背面减薄露出 TSV,再进行背面凸点工艺,最后切割形成单个“CoW”组件并组装到衬底上。三种组装流程的优缺点对比如表 5.7 所示。经过多方面考虑和评估,我们的 2.5D 硅光发送模块采用的 Chip-on-Substrate first 流程,主要原因如下:

(1) 模块中调制器的驱动芯片采用的是 Macom 公司的商用电芯片,价格较为昂贵,采用 Chip-on-Substrate first 流程可以先对硅载板-衬底组件进行 KGD 测试,避免芯片浪费;

(2) 模块中采用的转接板和衬底材料分别是硅和陶瓷,它们的热膨胀系数分别是 3 ppm 和 7 ppm,差距较小,组装时不会造成很大翘曲,因此不太会影响芯片的组装。

表 5.7 2.5D 封装的 3 种基本组装流程对比

Table 5.7 Comparison of three basic assembly processes for 2.5D packaging

组装流程	优点	缺点
Chip-on-Wafer first	初始硅载板翘曲很小， 芯片的组装更容易	无法对芯片-硅载板组件进行 KGD 测试，如果硅载板本身或芯片-硅载 板组件性能不好，就会浪费昂贵的 电/光芯片
Chip-on- Substrate first	可以先对硅载板-衬底 组件进行 KGD 测试， 避免芯片浪费	如果由于硅载板和陶瓷基板之间的 CTE 差异而导致硅载板-衬底组件具 有较大的翘曲，则芯片的组装可能 具有挑战性
Chip-on-Wafer first	在芯片倒装时，硅载板 并未减薄，翘曲很小， 所以芯片组装容易	对 CoW 晶圆进行塑封处理后，晶圆 级翘曲变得相当严重，需要严格的 在线翘曲控制；需要定制化工艺，成 本较高

5.4.3 2.5D 硅光模块的微组装工艺

确定了 2.5D 硅光模块的基本工艺流程后，接下来完成其微组装，主要包括硅转接板倒装、无源器件贴装、EIC/PIC 倒装、陶瓷基板植球、光耦合以及表面金属盖粘接等。完整的 2.5D 模块组装流程如图 5.20 所示，本小节对 2.5D 硅光模块的实际组装工艺以及改进方案进行一一介绍。

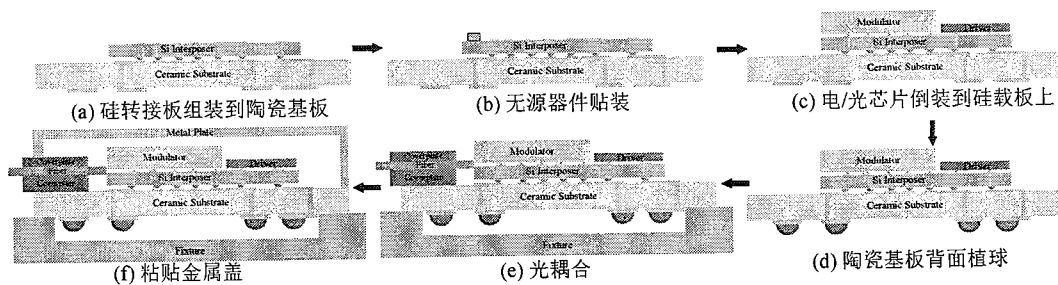


图 5.20 2.5D 硅光模块的微组装工艺流程

Figure 5.20 The micro-assembly process flow of 2.5D silicon optical module

(a) 硅转接板倒装

2.5D 组装的第一步是将硅转接板倒装在陶瓷基板上。首先在陶瓷基板上预

涂锡膏或助焊剂，便于后续硅载板的粘接；然后进行贴片，将陶瓷基板放置于倒装仪器平台上，让吸头吸附硅载板并抬起，打开光学对位镜头，此时基板上的焊盘和硅载板上的焊球均可在显示器上以不同颜色呈现出来，调节 X 轴和 Y 轴，使印制板进行前后左右的移动，直到焊盘和焊球完全重合后，放下硅载板并松开吸头；接下来是回流焊工艺，让元件两侧的焊料融化后与基板粘接。回流焊工艺的优势在于温度易于控制，焊接过程中还能避免氧化，制造成本也更容易控制，本工艺中的回流焊温度曲线如图 5.21(a) 所示；随后进行必要的电学测试，检查硅载板和陶瓷基板的互连特性，主要是硅载板表面焊盘与陶瓷基板背面相应焊盘的通断性，若无问题，则进行底部填充工艺 (underfill)，底填非导电胶，密封硅载板和基板两层之间的间隙以增强焊点可靠性，此外底部填充剂还可作为环境保护剂，防止焊料腐蚀。最后将硅载板-陶瓷基板组件放置在热板上固化两小时，并再次检查其电学连接特性。组装完成的硅载板-陶瓷基板组件如图 5.21(b) 所示。

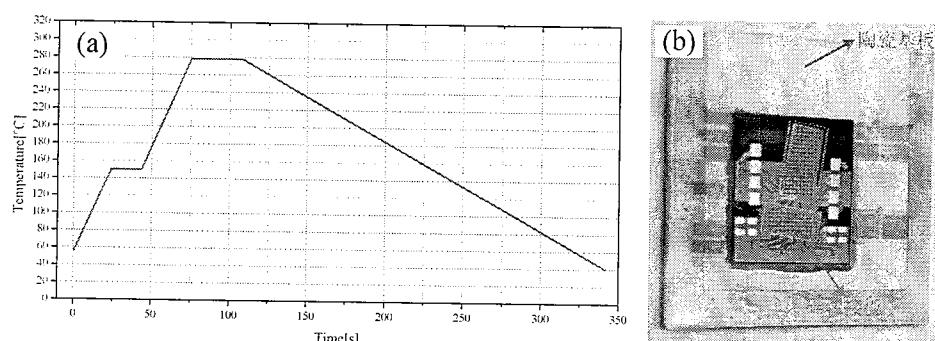


图 5.21 硅转接板倒装工艺：(a)回流焊温度曲线；(b)组装好的硅载板-陶瓷基板组件

Figure 5.21 Flip-chip technology of silicon interposer: (a) reflow soldering temperature profile; (b) assembled silicon interposer on the ceramic substrate

(b) 无源器件贴装

本模块中的无源器件包括去耦电容和直流偏压电感器。去耦电容用于电源端，降低电源端的噪声，电感用于给硅光调制器芯片上的监控 PD 加直流偏压。无源器件贴装步骤包括：施加导电银浆/焊膏→手工贴装→贴装检验→再流焊→清洗→检验。

(c) 倒装芯片工艺

由于光电芯片不是倒装芯片，我们首先在 EIC/PIC 上植金球，再采用超声热

压技术将其倒装到硅载板上，工艺流程如图 5.22 所示。但是组装完成后，发现光芯片或电芯片存在部分引脚不通的问题，通过 X-ray 观察和电学检测，发现硅载板与陶瓷基板表面焊盘之间的连接良好，主要问题出在金凸点倒装上。X-ray 下观察 EIC 和 PIC 与硅载板之间的焊点连接如图 5.23 所示。造成此现象的原因可能有：

- 1) 对准问题：光芯片焊盘尺寸为 $\sim 100\mu\text{m} \times 70\mu\text{m}$ ，硅载板焊盘尺寸为 $\sim 55\mu\text{m} \times 55\mu\text{m}$ ，金凸点直径为 $\sim 50\mu\text{m}$ 。若先在芯片上植球再倒装，只要芯片上金凸点偏离其焊盘中心，就使得不是所有引脚都能对准，所以容易造成引脚不通；
- 2) 超声引入的对准误差：金凸点倒装是采用了超声热压工艺，压合时超声引起震动，导致对准误差增大。另外，光芯片焊盘大，金凸点位置与硅载板不能保证完全重合，可能导致不通。

此外，组装过程中发现电芯片易碎，经分析原因在于电芯片本身比较薄，其厚度只有 $150\mu\text{m}$ ，导致超声热压时容易引起碎片。

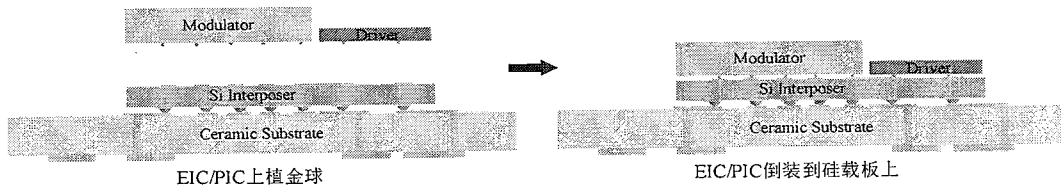


图 5.22 初始倒装芯片工艺方案：先在芯片上植金球

Figure 5.22 Initial flip chip process: plant gold balls on the chip firstly

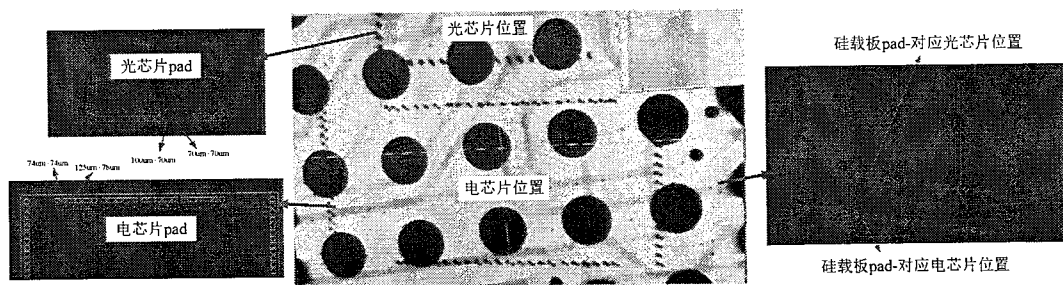


图 5.23 先在芯片上植金球工艺方案的问题：EIC/PIC 引脚未对准

Figure 5.23 The problem of the process of planting gold balls on the chip firstly: EIC/PIC pins are not aligned

针对上述问题，我们从两方面改进了芯片倒装方案：一是为了避免倒装过程中超声引入的震动，直接采用热压技术；二是为了避免对准问题，直接在硅载板

上植金球，而不是芯片上。改进的芯片倒装工艺流程如图 5.24 所示。

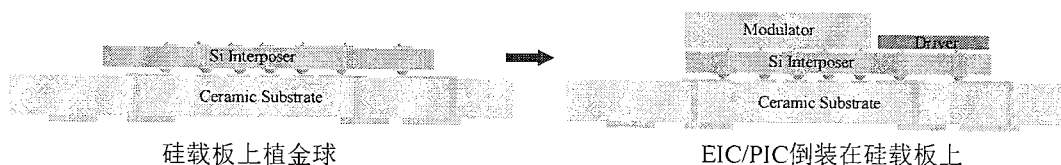


图 5.24 改进方案：直接在硅载板上植金球并采用热压金凸点键合技术

Figure 5.24 Improvement process: plant gold balls on the silicon carrier directly and adopt thermo-compression gold bump bonding

采用手动打线机在硅载板植的金球如图 5.25(a) 所示。由于本方案中不使用超声，直接对金凸点进行热压，所以需要采用大压力的倒装焊设备，我们采用的是法 SETACCURA OPTO 倒装焊接机。热压焊时的工艺参数为：金凸点压力 1N/颗，吸头温度 280℃，基板温度 150℃。采用此方案焊接后，光芯片焊接效果良好，但由于电芯片厚度太薄，即使背面贴了硅假片，在热压过程中，仍然出现了压裂现象，如图 5.25(b) 所示。

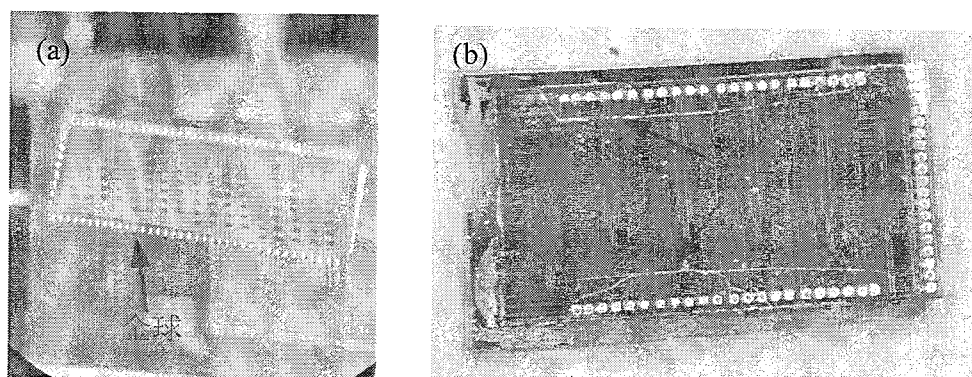


图 5.25 热压金凸点键合方案：(a)在硅载板上植金球；(b)热压后裂片的电芯片

Figure 5.25 Thermo-compression gold bump bonding plan: (a) planting gold balls on the silicon interposer; (b) the cracked electric chip after thermo-compression bonding

综上，如果采用金球倒装工艺，超声热压方案的超声会引入对准误差，热压方案需要的较大压力（1N/颗）可能会损坏电芯片，因此我们提出了激光植锡球方案。采用激光植球工艺，在硅载板上植 Sn 球，从而简化了倒装工艺，无需超声或压力，只需加热即可完成焊接。但是由于硅光芯片表面是 Al 焊盘，为了防止 Sn 焊球材料扩散影响焊点可靠性，必须先对 Al 焊盘进行表面处理——化学镀镍钯浸金 (ENEPiG) 工艺。该工艺中的 Pd 和 Au 都属于化学性质稳定的金

属，电路板的存放时间长，能进行多次回流焊加工。

激光植 Sn 球工艺方案如图 5.26 所示。在芯片表面镀 NiPdAu，同时在硅载板上通过激光植球工艺植 Sn 球，Sn 球直径 60 μm 左右，如图 5.27(a) 所示；然后进行倒装焊，回流温度为 270 $^{\circ}\text{C}$ 。采用本方案后，电芯片焊接没问题，而硅光调制器芯片由于表面存在连接其 GND 电极的 bonding wire（高度 35 μm ），如图 5.27(b) 所示，锡球融化后的高度不足以支持光芯片的有效互连。

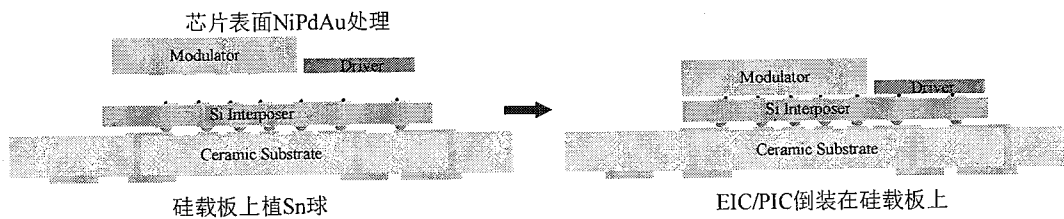


图 5.26 硅载板上激光植 Sn 球方案

Figure 5.26 Laser Solder Bumping on silicon interposer

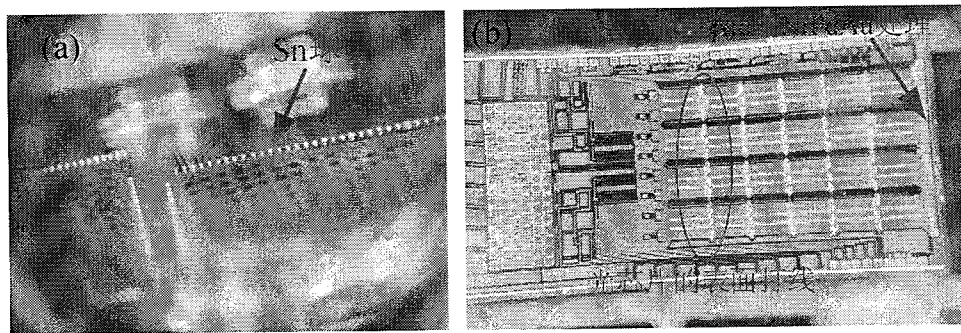


图 5.27 激光植焊球方案：(a)硅载板上植 Sn 球；(b)光芯片表面的打线

Figure 5.27 Laser Solder Bumping: (a) Sn balls on the silicon interposer; (b) bonding wire on the surface of the optical chip

所以，综合考虑以上方案，我们最终采用的是 Sn 球焊接电芯片，Au 球焊接光芯片的方式。贴装完毕的 EIC/PIC-硅载板-陶瓷基板组件如图 5.28(a) 所示。X-ray 下观测焊点互连良好，如图 5.28(b)所示。随后对陶瓷基板背面的 EIC/PIC 相应引脚进行直流电阻测试，只要四通道的各个引脚电阻值基本一致，且无通路或短路情况，就基本说明了 EIC/PIC-硅载板-陶瓷基板组件互连良好。最后，在芯片和硅载板间做底部填充以延长焊点的疲劳寿命和蠕变性能。

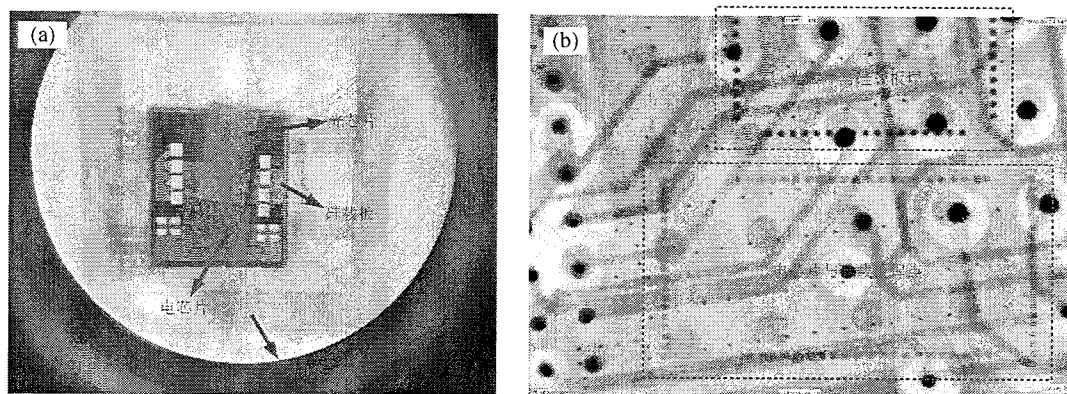


图 5.28 贴装完成的 EIC/PIC-硅载板-陶瓷基板组件: (a)显微镜下的实物照片; (b)X-ray 下观测的焊点

Figure 5.28 Assembled EIC/PIC, silicon interposer and ceramic substrate: (a) photo under the microscope; (b) the solder joint observed under X-ray

(d) 陶瓷基板背面试球

陶瓷基板背面试球采用丝网印刷技术和回流焊工艺,具体步骤如下:首先对陶瓷基板进行焊接前处理——等离子清洗,以便于焊接;然后使用网板在基板焊盘上印刷焊膏,并将印刷焊膏后的基板固定在工作台上,焊膏端朝上,放在与焊盘相匹配的植球钢网下,使焊盘对准植球钢网,但为了防止焊盘上的焊膏沾到植球钢网上,应使植球钢网与基板之间的距离等于或略小于焊球直径;当往植球钢网上放置了足够的焊球后,使用刮刀移动焊球,让焊球漏到每个焊盘上;接下来使用压块将焊球压入焊膏内并缓慢移走植球钢网,完成焊球的放置;最后使用回流焊工艺,对其进行焊接,回流温度曲线如图 5.29(a) 所示。

本设计中,陶瓷基板背面 BGA 球的直径为 500 μm ,一共 17 $\times$ 17 个。初始工艺中采用助焊剂来焊接 BGA,发现陶瓷基板存在掉球问题,如图 5.29(b) 所示。原因可能是陶瓷材料与金属焊球 CTE 差别较大,导致焊盘结合力差。因此我们尝试了其它两个方案:锡银铜焊膏+锡银铜焊球和锡铅焊膏+锡银铜焊球。两种都是低温焊料和高温焊球组合,回流过程中只有焊料融化而焊球不融化。经推力测试,两种方案的焊球结合力分别为 0.4kg 和 0.6~0.8kg,都大于国标结合力 0.3kg,所以这两种方案均可行。最终选用的方案为锡铅焊膏+锡银铜焊球,采用该方案的陶瓷基板背面焊球如图 5.29(c) 所示。

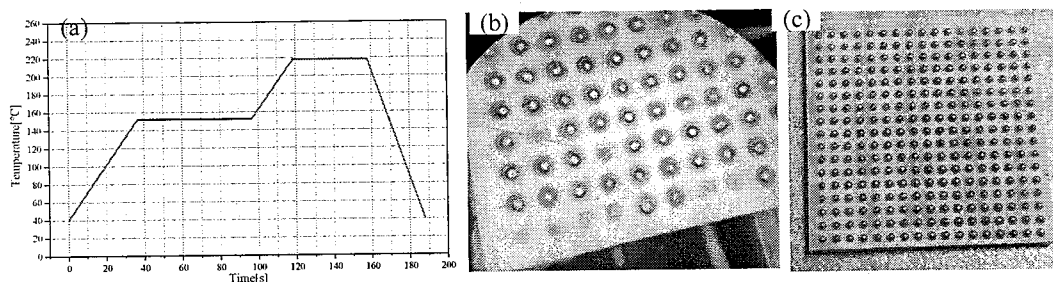


图 5.29 陶瓷基板背面试植球: (a)回流温度曲线; (b)助焊剂焊接 BGA: 结合力差, 掉球;
(c)采用锡铅焊膏+锡银铜焊球方案的陶瓷基板植球

Figure 5.29 Ball planting on the back of the ceramic substrate: (a) Reflow temperature curve; (b) Ball planting using flux: poor bonding force; (c) Ball planting solution on ceramic substrate with SnAgCu solder paste + SnAgCu ball

(e) 光耦合

硅光调制器芯片采用端面耦合方式。为了避免正入射造成的反射, 芯片上的边缘耦合器设计为斜 8° 耦合, 如图 5.30(b) 所示。因此, 为了耦合时 FA 和模块可以正着耦合, 我们在模块设计时, 有意地将光芯片和电芯片倾斜 8° 放置。图 5.30(a) 是所设计的 8 通道 FA 俯视示意图, 8 根光纤端面至芯片的距离相同, 其中 1、3、5、7 通道为非保偏单模光纤, 2、4、6、8 通道为保偏光纤, 保偏光纤偏振方向为水平面方向;

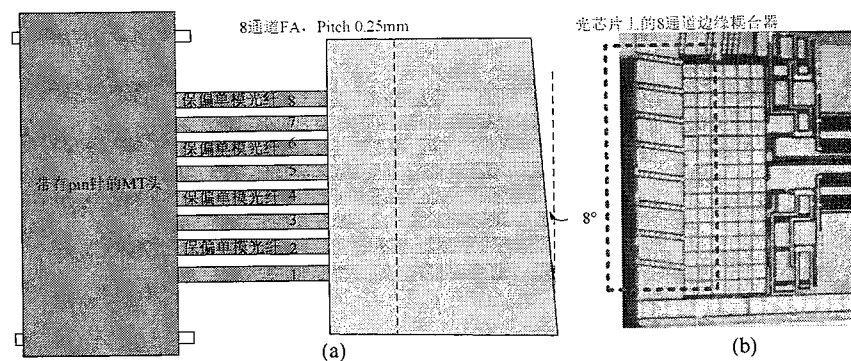


图 5.30 光耦合: (a) 8 通道 FA 俯视示意图; (b) 光芯片上的光耦合口

Figure 5.30 Optical coupling: (a) Top view schematic diagram of 8-channel FA; (b) Edge couplers on optical chip

(f) 贴盖子

2.5D 硅光模块的最后一步是采用导热密封胶将定制的金属盖粘贴到模块上, 然后热板 150°C 固化 30min。组装完成的 2.5D 模块如图 5.31 所示。

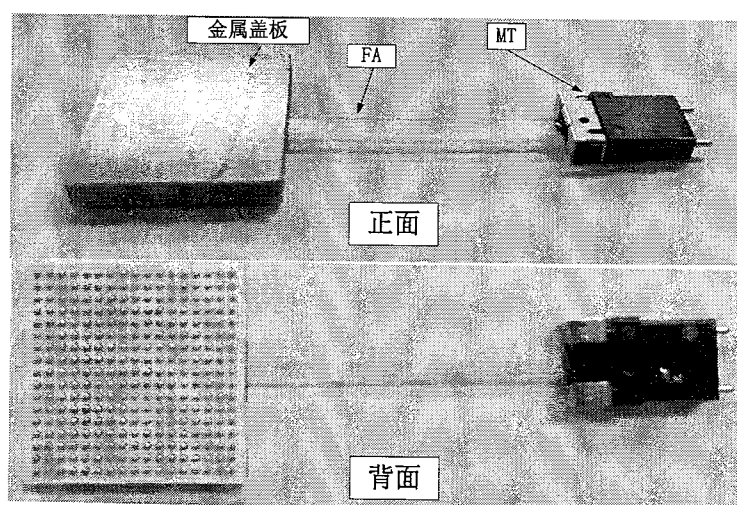


图 5.31 组装完成的 2.5D 模块

Figure 5.31 The assembled 2.5D module

至此，2.5D 硅光模块的整个微组装工艺已介绍完毕，我们将组装中的问题以及解决方案总结在表 5.8 中。

表 5.8 2.5D 模块微组装中的问题以及解决方案总结

Table 5.8 Summary of problems and solutions in assembly process of the 2.5D module

问题	原因分析和对应解决方案
LTCC 陶瓷基板掉焊球问题	原因分析：陶瓷与金属 CTE 差别大，焊盘结合力差。 解决方案：采用刷锡银铜锡膏+锡银铜焊球：结合力 0.4kg；采用锡铅焊膏+锡银铜焊球：结合力 0.6-0.8kg。(国标结合力 0.3kg)
个别引脚断路现象	原因分析：光/电芯片焊盘小，超声引入震动，难以对准。 解决方案：采用热压键合技术。
	原因分析：硅载板焊盘小，光/电芯片焊盘大，不易对准。 解决方案：金凸点先植球在 Si 载板上。
电芯片碎裂	原因：超声引入振动； 解决方案：热压工艺焊接。
	原因：电芯片太薄； 解决方案：电芯片背面贴硅假片以增大其厚度；电芯片植锡球。

5.5 2.5D 硅光模块的测试

2.5D 硅光模块的测试包括高速传输线的插损测试、硅光调制器的插损测试以及模块的小信号和大信号测试。下面将一一进行介绍。

5.5.1 高速传输线测试

在 5.2.2 节中已经介绍了 2.5D 硅光模块的测试方案,在此不再赘述。需要说明的是,传输线插损测试时,探针和测试板的测试线会引入一定插损,要准确得到硅载板或者硅载板-陶瓷基板组件的插损,需去除探针和测试线的影响,即去嵌入。对于硅载板,测试得到的 S 参数用 ADS 软件去嵌入后的结果如图 5.32 所示,3dB 带宽达到了 ~40GHz。对于硅载板-陶瓷基板组件,其 4 通道的 S 参数如图 5.33 所示,3dB 带宽约为 24.2 GHz。由于陶瓷基板的高速线分布在内层,表面没有对应的高速信号焊盘,所以未对陶瓷基板单独进行测试。

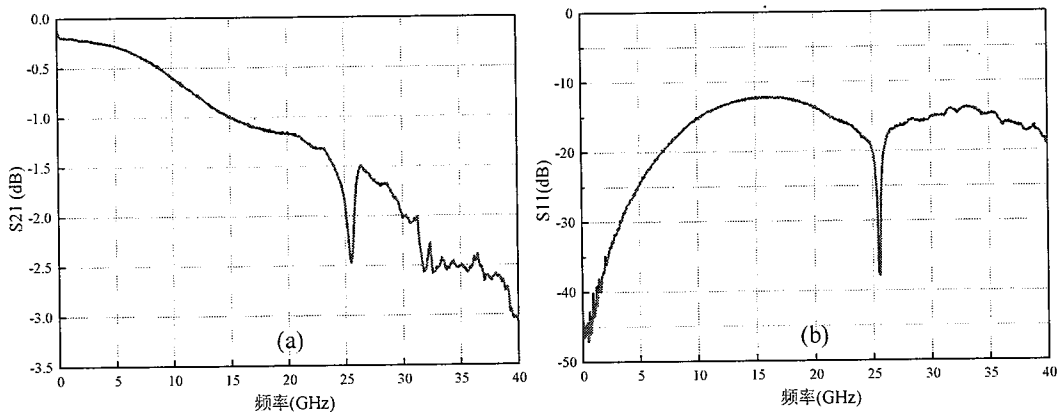


图 5.32 硅载板的 S 参数: (a) S_{21} ; (b) S_{11}

Figure 5.32 S parameters of the silicon interposer: (a) S_{21} ; (b) S_{11}

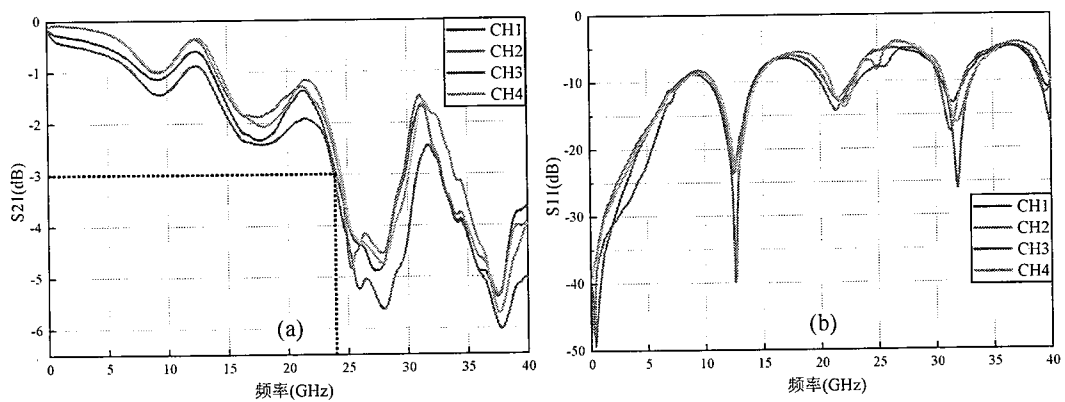


图 5.33 硅载板-陶瓷基板组件去嵌入后的 S 参数: (a) S_{21} ; (b) S_{11}

Figure 5.33 S parameters of the silicon interposer-ceramic substrate assembly: (a) S_{21} ; (b) S_{11}

从测试结果来看,模块的带宽主要是受陶瓷基板的限制,虽然带宽基本可以达到 25GHz,但与仿真结果还是有一定差异。这可能是由以下原因造成:

- 1) 高速传输线线宽线距不均匀: 仿真时的传输线都是均匀分布,实际的

LTCC 陶瓷工艺制作的线条非常不均匀，误差达到了 $\pm 20\mu\text{m}$ 左右，与设置值相差较大。而且由于 LTCC 的线条是通过丝网印刷进行制作，所以线条之间会存在存在一些金属掉点；

2) 粗糙度：仿真模型的金属是理想的，未考虑其粗糙度，但台阶仪下观测到的 LTCC 基板的金属较为粗糙；

3) BGA 球的尺寸：改进的 BGA 工艺采用的是低温锡铅焊料和高温锡银铜焊球，因此回流过程中 BGA 球不会融化，而焊料融化浸润到 BGA 球上，因此球的高度基本不变，但是球的半径会增大。而仿真时的模型是以焊球融化的情况来计算的。另外，对于芯片下面焊球和硅载板下方焊球，实际工艺和仿真之间均有所差异；

4) 通孔/盲孔：LTCC 的实际通孔是 V 形的叠孔，层与层之间有一定交错，而仿真时是理想的直孔；

5) 测试因素：虽然去嵌入了探针对带宽的影响，但测试设备和一些人为因素也会引入一些损耗，导致带宽下降。

具体仿真分析结果可参见作者已发表的学术论文（作者简历中第三篇一作论文），由于本文篇幅限制，在此不再详细说明。

5.5.2 模块的光损耗测试

模块的光损耗测试表征了 MZI 调制器的插入损耗。将模块组装到 Socket 中，光由激发器输出后经偏振控制器连接到一个通道的输入端，输出端连接到光功率计，调制器的直流偏压和热调偏压通过测试板上的插针加到调制器芯片上。

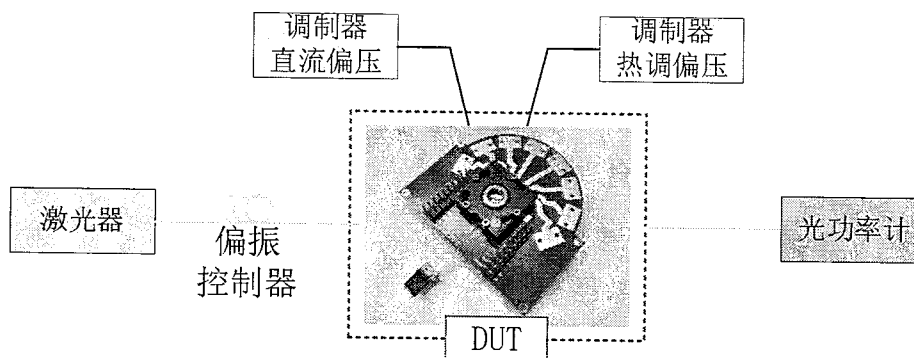


图 5.34 模块插损测试框图

Figure 5.34 Test block diagram of insertion loss of the module

模块光损耗测试步骤如下：

- 1) 按照图 5.34 所示系统框图连接样品和各测试仪表；
- 2) 按照要求给驱动芯片和光芯片供电 ($V_{dd}=3.3V$, $V_{dd_MOD}=4.5V$, $V_{gain}=2V$)，验证各供电通路的电流是否正常；
- 3) 开启光源，设定出光功率为 13 dBm，记录此时 DUT 的输入光功率 P_{in} ；
- 4) 开启调制器热调电源，调整偏振控制器和热调电压使得输出光最大，记录最大的输出光功率 P_{max} ；

从而可得到硅光调制器芯片的直流插入损耗为： $IL=P_{in}-P_{max}$ 。然后通过 SMA 连接器输入 RF 信号，重复上述步骤，得到硅光调制器芯片的交流插入损耗。调制器芯片的四通道光插损测试结果如表 5.9 所示。

表 5.9 模块的插损测试结果

Table 5.9 Test results of insertion loss of the module

Channel	1	2	3	4
Loss_DC (dB)	13.1	10.8	9.7	11
Loss_AC (dB)	16.1	13.8	12.7	14

5.5.3 2.5D 硅光模块的小信号带宽测试

2.5D 硅光模块的小信号带宽测试与 S 参数测试的概念类似，只是在给调制器加入 RF 信号的同时也加入了光信号，从而评估调制器的电光响应，其测试框图如图 5.35 所示。使用光波元器件分析仪 (LCA) 来表征模块的扫描调制频率响应。

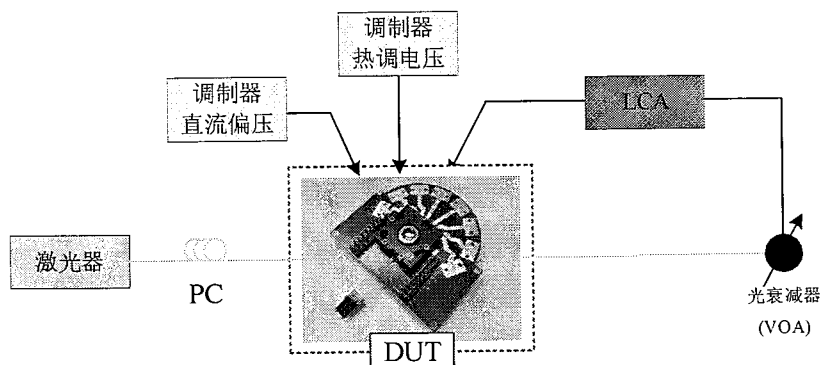


图 5.35 模块小信号测试框图

Figure 5.35 Small signal test block diagram of module

2.5D 硅光模块的小信号带宽测试步骤如下：

- 1) 按照图 5.35 所示框图连接样品和各测试仪表，进行 LCA 校准，设置扫频范围、点数和分辨率带宽等；
- 2) 按照要求给驱动芯片和光芯片供电 ($V_{DD}=3.3V$, $V_{DD_MOD}=4V$, $V_{gain}=2V$)，验证各供电通路的电流是否正常；
- 3) 开启光源，设定出光功率为 13 dBm，开启热调电压的电源。调整偏振控制器和热调电压使得输出光最大，记录最大的输出光功率；
- 4) 调节热调电压使得输出光功率为最大值的一半；
- 5) 采用 LCA 扫描，测试 S 参数；

测试得到的 S21 结果如图 5.36 所示，四通道带宽分别为：20.8GHz、21.2GHz、21.2GHz、20.7GHz，均在 20GHz 以上。

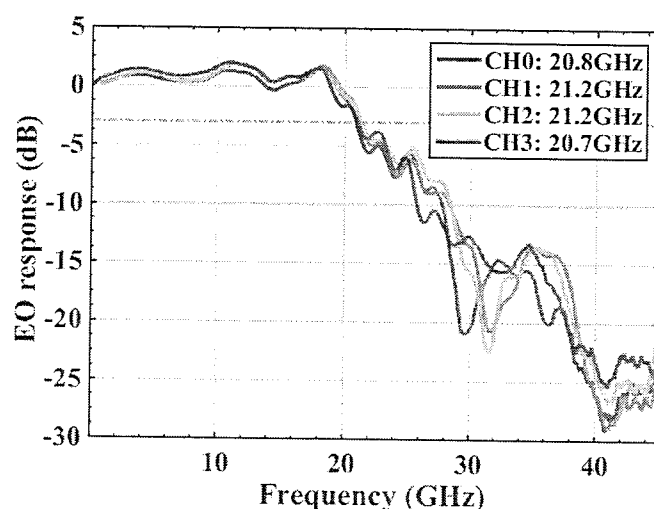


图 5.36 2.5D 硅光模块四通道的带宽

Figure 5.36 Four-channel bandwidth of 2.5D silicon optical module

5.5.4 2.5D 硅光模块的高速传输性能测试

2.5D 硅光模块的高速传输性能是通过眼图测量来确定的，测试框图如图 5.37 所示。任意波形发生器 (AWG) 产生的 RF 信号通过高速电缆和模块的 SMA 连接器输入到模块中的驱动芯片，驱动调制器产生高速的调制光信号，经光衰减器 (VOA) 后连接到数字通信分析仪 (DCA)，从而得到模块的眼图。

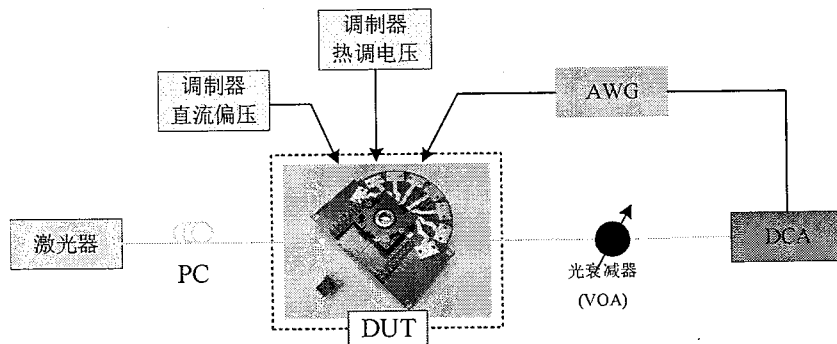


图 5.37 2.5D 封装器件大信号眼图测试框图

Figure 5.37 Test block diagram of large-signal eye diagram for the 2.5D packaged module

对于 NRZ 眼图测试来说，其具体步骤如下：

- 1) 按照图 5.37 所示框图连接样品和各测试仪表，并对 AWG 和 DCA 完成线缆校准；
 - 2) 按照要求给驱动芯片和光芯片供电 ($V_{DD}=3.3V$, $V_{dd_MOD}=4V$, $V_{gain}=2V$)，验证各供电通路的电流是否正常，并记录相关电流情况；
 - 3) 开启光源，设定出光功率为 13dBm，开启热调电压的电源。调整偏振控制器和热调电压使得输出光最大，记录最大的输出光功率；
 - 4) 调节热调电压使得输出光为最大值的一半；
 - 5) 开启 AWG 发送 25Gbaud NRZ 信号，采用 DCA 测试 NRZ 信号眼图。
- 测试眼图结果如图 5.38 所示，消光比达到了 7.97dB。

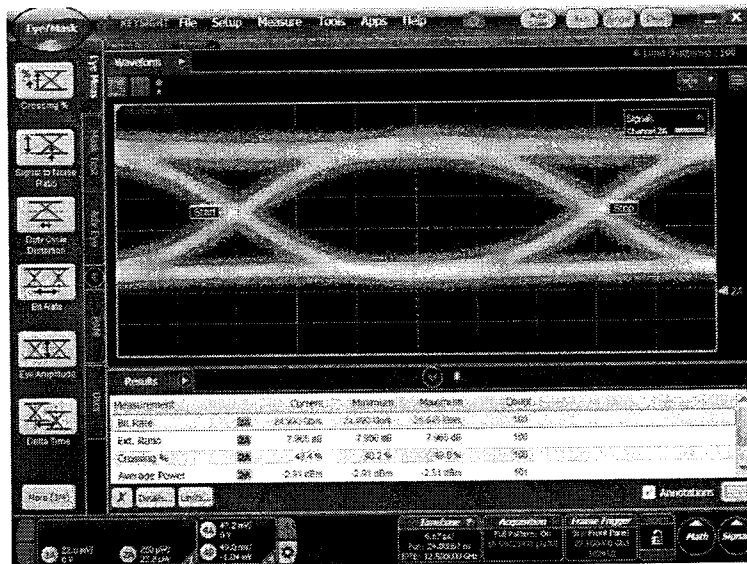


图 5.38 2.5D 光模块的 25Gbaud NRZ 眼图

Figure 5.38 NRZ eye diagram of 2.5D optical module at 25Gbaud

PAM-4 信号的眼图测试步骤和 NRZ 相同, 只是 AWG 发送的是 PAM-4 信号。采用 DCA 测试的 PAM-4 信号在 26.5625Gbaud 和 32Gbaud 的眼图分别如图 5.39 和图 5.40 所示, 对应的 TDECQ 值分别为 1.05dB 和 1.36dB, 消光比 ER_{outer} 分别为 8.2dB 和 5.8dB。

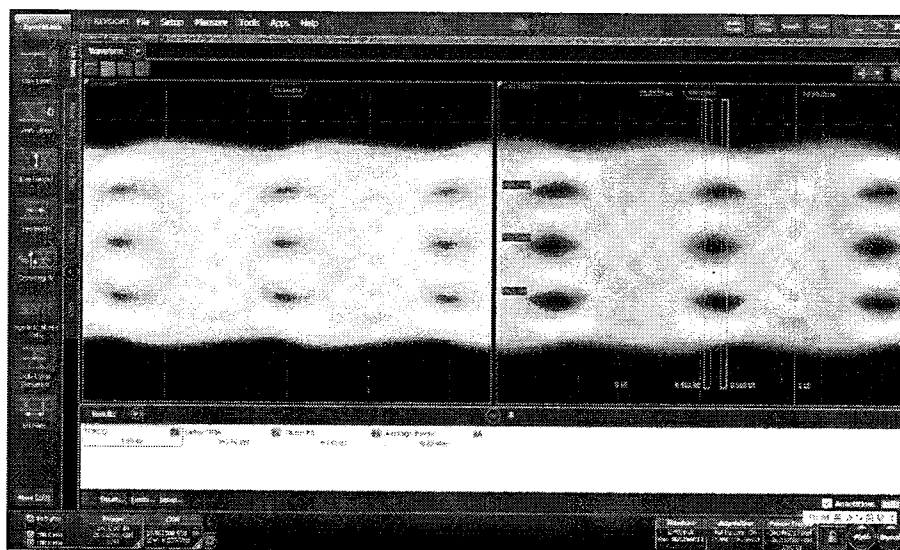


图 5.39 26.5625Gbaud 的 PAM-4 眼图: TDECQ=1.05dB

Figure 5.39 PAM-4 eye diagram at 26.5625Gbaud: TDECQ=1.05dB

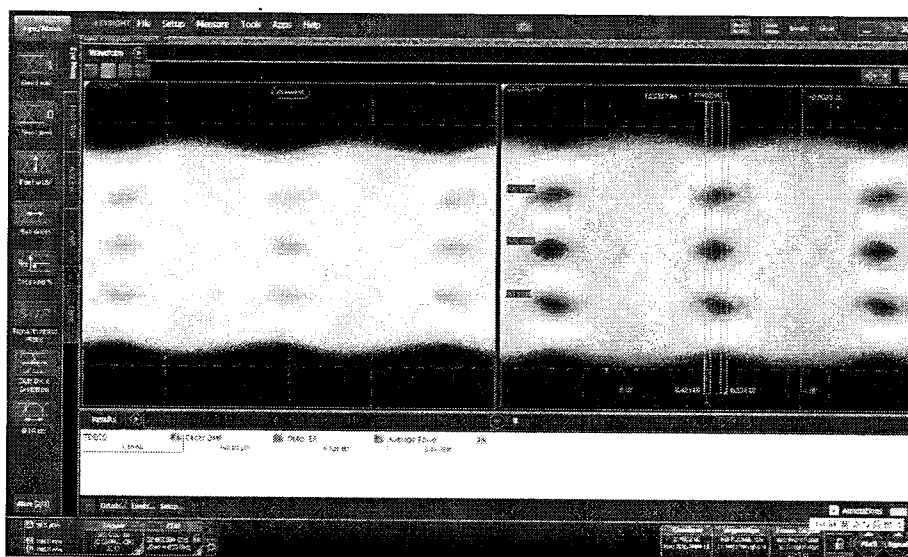


图 5.40 32Gbaud 的 PAM-4 眼图: TDECQ=1.36dB

Figure 5.40 PAM-4 eye diagram at 32Gbaud: TDECQ=1.36dB

从测试结果来看, 硅光调制器的 2.5D 封装样品的四通道小信号带宽分别为: 20.8GHz, 21.2GHz, 21.2GHz, 20.7GHz。NRZ 眼图质量较好, 且消光比为 7.97dB。

PAM-4 信号到达接收端后的眼图裕量较大, TDECQ 值分别为 1.05dB @ 26.5625 Gbaud 和 1.36dB @ 32Gbaud, 消光比 ER_{outer} 分别为 8.2dB @ 26.5625Gbaud 和 5.8dB @ 32Gbaud。另外, 模块工作在 32 Gbaud 时, 驱动器芯片的供压和电流分别为 3.3V/55mA, 调制器芯片的供压和电流分别为 4V/50.8mA, 计算得到模块功耗为 6pJ/bit。所以该模块至少可以支持 4×64Gbps 以上的高速数据传输, 有充分潜力应用在下一代数据中心互联应用中。

5.6 本章小结

本章主要介绍了硅基电光调制器的 2.5D 封装集成方案。首先介绍了光电高密度集成的技术背景, 并概述了 2.5D 硅光集成技术且讨论了其面临的挑战。随后介绍了硅光调制器的 2.5D 封装方案设计及其测试方案设计。之后从信号完整性方面对模块进行了优化设计, 并评估了热、应力等方面对模块性能的影响。然后详细介绍了 2.5D 封装模块的制作过程和微组装工艺, 针对组装过程中出现的问题提出了相应的解决方案。最后, 对 2.5D 模块进行了测试和表征, 并对测试结果进行了较为全面的分析。制作完成的模块单通道带宽均在 20GHz 以上, 在 26.5625 Gbaud 和 32 Gbaud 传输速率时均实现了清晰的 PAM-4 眼图。

第6章 总结和展望

在数据流量激增的现代信息社会中,硅基光电子由于能够将成熟的微电子技术和宽带光电技术相结合的优势,已成为最有潜力的高效率、低成本片上解决方案。近年来,随着学术界和工业界地不断探索和发现,硅光的应用已从最初的微电子领域扩展到了通信、计算、传感、人工智能甚至消费领域。本研究立足于硅基光电子技术,主要对基于 SOI 平台的硅基光电集成关键器件如光栅耦合器、片上光源和电光调制器等展开了研究,同时对硅基光电高密度集成技术进行了探索。

6.1 本论文主要工作内容和结论

硅基光电集成是利用 CMOS 兼容工艺在硅衬底上实现光电融合,在发送端将电信号转化成光信号,光信号沿光纤传输到接收端后又转化为电信号,即电输入-光传输-电输出。硅的最大缺点就是该材料具有间接带隙,发光效率非常低。所以目前缺乏可用的片上硅基光源,一般采用混合集成的方式实现光输出。因此,硅基光电集成需要具有高效的光耦合接口。此外,硅基电光调制器负责整个硅光集成系统中的电光信号转换,实现高速率低功耗的电光调制至关重要。同时由于传统的 2D 封装会大幅限制器件的速率,硅基光电集成的难点和挑战还在于硅光器件的集成和封装。针对以上问题,本文主要进行了如下几部分的工作:

1. 背入射光栅耦合器及片上混合集成光源

由于 SOI 亚微米光波导与光纤之间尺寸差异过大,从而存在着巨大的模场失配,如果直接将其对接耦合,会产生难以接受的耦合损耗。通过倒锥型模斑转换器可以实现更高的耦合效率,但其光纤对准容差范围较小,且需要后工艺进行端面抛光,这显然不利于晶圆级测试和封装。而光栅耦合器可以放置在芯片表面的任意位置,且对准容差范围大、无需端面抛光,所以非常适合于晶圆级芯片测试。虽然光栅耦合器的相关研究很多,但对于 2.5D/3D 电光集成,由于光芯片倒装放置,光口朝下,目前还没有一款高效的光耦合接口。因此,我们基于中科院微电子研究所的硅基光电子工艺平台和华进半导体公司的 TSV 工艺平台,设计

并制作了一款高耦合效率的背入射光栅,光由芯片背部馈入,完全适合于 2.5D/3D 集成时光口朝下的应用。设计时采用 Lumerical FDTD 软件进行了全面的仿真和优化,并详细分析了光栅的各个参数对其性能的影响。测试结果显示,在 1535nm 波长处,对于 TE 偏振态,实测耦合效率低于 -3.3dB,对于 TM 偏振态,实测耦合效率低于-2.7dB,完全满足硅基光电集成的光耦合需求,所以有充分潜力应用在 2.5D/3D 集成领域。

另外,针对硅基光电集成的片上光源问题,本文提出了一种基于背入射光栅耦合器的光源混合集成方案。该方案基于背入射光栅,采用 FP 激光器加球透镜耦合结构作为光源,通过棱镜调整光源入射角度实现激光器和光栅之间的光耦合。方案中的 LoS 光源独立于 PIC,使得 LOS 和 PIC 的性能优化可以各自进行,灵活方便。此外,由于 LoS 包含透镜结构,仿真分析是基于射线光学,而光栅仿真采用 FDTD 算法,属于波动光学。为了解决计算两者之间的光耦合效率,我们提出了一种采用重叠积分将空间光学仿真和波动光学仿真相结合的光场分析方法。计算得到所提出的片上混合集成方案耦合效率 $\sim 4\text{dB}$,初步测试耦合效率 $< -40\text{dB}$,证明了该方案的可行性。

2. 硅基 NRZ 和 PAM-4 电光调制器

本文设计并实现了一款高速低损耗的硅基 NRZ 电光调制器。采用 Lumerical Device 和 MODE 软件对调制器的 PN 结相移器进行设计优化,详细分析了各个参数对调制器光损耗和调制效率的影响。这两个指标需要进行折衷考虑,优化一个指标的同时可能会恶化另外一个指标,所以应当根据仿真结果和应用需求选择满足要求的参数。另外,采用 Ansys HFSS 高频仿真软件对调制器的行波电极进行了仿真优化,分析了不同电压下的 PN 结电容和串联电阻、行波电极信号线宽度以及电极之间间距对高速传输线性能的影响,以进一步提升器件的调制效率以及调制带宽。流片制作完成后,我们采用该调制器芯片设计并制作了一款 100Gbps (发送: $4 \times 25\text{Gbps}$; 接收: $4 \times 25\text{Gbps}$) 的收发一体化硅光模块,传输距离为 1km 和 2km 时都能实现清晰的眼图,且模块整体功耗 $\sim 15.75\text{pJ/bit}$,误码率小于 $1\text{e-}13$ 。

此外,为进一步提高硅光调制器速率,本文提出了一种基于 1:4 定向耦合器

结构的光域 PAM-4 调制器。调制器采用分段式结构使得每一段的电极长度都可以较短以降低微波损耗,采用单端推挽式电极显著降低结电容从而改善带宽。与传统的电域 PAM-4 调制器相比,本设计仅需两组 OOK 驱动信号,直接在光域中生成 PAM-4 信号,降低了驱动电路的复杂性,可以实现更高的波特率。与常规的分段式光域 PAM-4 调制器相比,由于 1:4 定向耦合器结构使上臂和下臂的光场强不一致,相当于引入了一个新变量,所以两段的长度和驱动电压幅值可以完全一致,只需要调节偏压即可产生 PAM-4 信号,从而降低了系统的复杂性。仿真结果显示,在 50Gbaud 数据传输速率时,可以实现清晰的 PAM-4 眼图,且眼图的一致性较好,消光比达到了 4.6dB。

3. 硅光调制器的 2.5D 封装集成: 4×64Gbps 数据传输速率

传统的光电器件封装方案主要采用的是引线键合技术,方案中的金丝所具有的巨大感性寄生效应对光电器件封装后的高频性影响非常大,并且 PIC 和 EIC 之间的连接仅限于单侧,严重限制了总 I/O 数量,且不利于实现多芯片封装的小型化。虽然 3D 集成可实现密集的间距和最小的封装寄生,但其散热是一个很大的挑战,因此 2.5D 集成是传统 WB 向 3D 集成转变过程中的最佳选择。针对目前硅基光电子的封装和集成难题,我们设计并实现了硅基高速光电调制器的 2.5D 封装模块。设计中全面考虑了电、热、应力等方面的影响,并对组装工艺进行了改进和分析。制作完成的模块单通道带宽均在 20GHz 以上,在 26.5625 Gbaud 和 32Gbaud 传输速率时均实现了清晰的 PAM-4 眼图,且 TDECQ 分别低至 1.05 和 1.36,消光比分别为 8.2dB 和 5.8dB,模块功耗为 6pJ/bit。该模块至少可支持 4×64Gbps 以上的数据传输速率,完全可以应用在下一代数据中心中。

6.2 未来工作展望

在本论文的工作中,虽然取得了一定的成果,但由于实验条件、仪器以及时间等多方面因素,我们的工作在多个方面还不是很完善,存在一些问题需要将来更进一步的探索和改进,具体可从以下几个方面展开后续研究:

1. 光栅耦合器方面,虽然实测耦合效率还行,但是中心波长距离设计值有所偏离,且最优耦合效率与仿真结果还是略有差异。后续可以从两方面进行改进:

首先, 针对工艺误差, 对于光栅耦合器的不同参数, 多设计几组对比参数; 其次, 由前面章节的分析可知, 光纤倾角对光栅中心波长的偏移影响很大, 所以测试时可以改进测试平台, 增加光纤倾角调节轴。

2. 硅基片上混合集成光源方面, 我们介绍了一种基于 LoS 光源和背入射光栅的混合集成光源实现方式, 经过初步探索, 可以看到该硅基片上混合集成光源具有潜在的实用价值和应用前景, 特别是在 2.5D/3D 封装集成领域。但还只是处于初步的验证阶段, 各个方面的参数都还有待改善, 实测的光耦合效率也还有待提升。

3. 硅基电光调制器方面, 本文的研究主要关注的调制器性能指标参数是带宽和功耗, 后续可以通过更细致的优化设计和光电协同设计使器件其它性能也进一步地改善, 如插损、调制器线性度等。另外, 由于掺杂浓度一般由流片厂家决定, 还有很多其它设计也较受工艺限制, 纯硅基的电光调制器的性能优化空间不大。但如果通过在硅中引入其它各种强电光效应的材料, 比如聚合物、铌酸锂、石墨烯、硅基三五族等, 可以让硅基调制器的性能取得质的飞跃。最后, 目前硅基电光调制器的主要应用领域还是集中在光通信领域, 之后我们可以积极探索它在其它领域的应用, 比如激光雷达、神经光网络等。

4. 硅光的封装和集成方面, 目前虽然实现了硅光的 2.5D 封装且达到了较好的性能, 但从产品应用的角度来讲, 还需要对其进行可靠性测试, 比如在低温存储、温度循环、带电湿热等环境下, 焊球的剪切强度、可焊性、焊球共面性、翘曲度和耐焊接热等特性。另外, 在 2.5D 封装集成的研究基础上, 积极探索更高级的封装形式, 比如硅光的 3D 电光集成等。