



中国科学院大学

University of Chinese Academy of Sciences

博士学位论文

基于多晶硅薄膜技术的 IBC 太
阳电池和硅漂移探测器的研究

作者姓名: 姜帅

指导教师: 贾锐 (研究员)

中国科学院微电子研究所

学位类别: 工学博士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院微电子研究所

2019 年 6 月

**Researches on IBC Solar Cells and Silicon Drift Detectors Based
on Polysilicon Thin Film Technology**

**A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement**

for the degree of

Doctor of Philosophy

In Microelectronics and solid-state electronics

By

Jiang Shuai

Supervisor: Professor Jia Rui

Institute of Microelectronics of Chinese Academy of Sciences

June 2019

中国科学院大学

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：姜帅

日期：2019.5.28

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：姜帅

日期：2019.5.28

导师签名：贾锁

日期：2019.5.28

摘 要

多晶硅在集成电路和半导体器件领域有着广泛的用途。近年来,利用多晶硅的优异钝化接触特性和异质结特性来提升光电子器件的性能,获得了快速进展并得到了极大青睐。多晶硅薄膜已经被证明可以有效提高 n 型太阳电池的光电转换性能,并实现新型的硅漂移光电探测器。因此,本论文对多晶硅薄膜在插指形背接触(Interdigitated Back Contact, IBC)太阳电池和硅漂移探测器这两种器件中的应用进行了深入的研究。在 IBC 太阳电池方面,创新地将原位掺杂形成的多晶硅隧穿氧化物钝化接触(Polysilicon-tunnel oxide passivated contact, Poly-TOPCon)结构应用到 IBC 太阳电池中,并对采用该结构的 IBC 电池的性能进行了系统的理论研究和性能分析。在硅漂移光电探测器方面,创新地采用多晶硅薄膜技术来构建硅漂移探测器的分压器、漂移环等器件结构,获得了成功并对制备的硅漂移探测器的性能进行了系统的研究。因此,本论文的创新成果如下:

1、对 IBC 太阳电池中的背场、发射极、前表面场等结构参数进行了详细的理论分析和研究,发现前表面的化学钝化和场钝化对于 IBC 电池的性能提升起到决定性作用,前表面场的掺杂浓度最优值为 $5 \times 10^{18} \text{cm}^{-3}$ 。对采用扩散方式制备 IBC 电池中的各种单项工艺进行了详细优化,通过工艺整合实现了两种前场结构的 IBC 电池的制备,一种为具有 N 型前场的 IBC 电池,效率为 17.15%。另一种为无前场结构的 IBC 电池,效率达到了 21.4%。

2、创新地用 Poly-TOPCon 结构代替传统的扩散来形成前表面场,并对这种 IBC 太阳电池性能进行了深入的研究分析。发现可以通过提高多晶硅的掺杂浓度和降低多晶硅薄膜的厚度来提高电池效率。而且最佳的隧穿氧化层的厚度为 1.2nm。最终采用 Poly-TOPCon 结构制备出了两种结构的 IBC 电池。一种是仅采用 Poly-TOPCon 结构作为 IBC 电池的前场,电池效率为 17.08%。另一种是同时采用 Poly-TOPCon 结构作为 IBC 电池的前场和背场,电池效率为 15.68%。

3、创新地采用多晶硅薄膜制备出具有高阻值的多晶硅电阻分压器,多晶硅电阻分压器的阻值可以通过控制多晶硅的掺杂浓度、厚度和晶化度进行调节,展现出极大的灵活性,方阻最大达到了 $36.576 \Omega/\square$ 。采用 800°C 退火制备的多晶硅电

阻分压器具有较小的温度系数（绝对值小于 280ppm/°C），并表现出良好的稳定性和电阻均匀性，其分压器阻值均匀性能控制在 6.14% 以内。

4、创新性地采用多晶硅薄膜来制备高质量的异质 PN 结，通过调节工艺参数将 PN 结的反向饱和漏电流降到了 $1.5\text{nA}/\text{cm}^2$ 以下。而且通过控制多晶硅薄膜的厚度和退火时间，制备出了结深只有 14nm 的超浅结，为提高硅漂移探测器对低能光子的探测效率打下了基础。采用多晶硅薄膜同时来制备硅漂移探测器中的分压器和漂移环，仅采用一步退火工艺就可以形成硅漂移探测器中的所有掺杂区域，极大的简化了制备工艺。采用杂质补偿原理来制备硅漂移探测器中的阳极，简化了硅漂移探测器阳极面的图形化工艺，使得完全采用多晶硅薄膜技术来制备硅漂移探测器成为了可能，制备出的原型器件成功地探测到了高能射线。

关键词：多晶硅薄膜，IBC 太阳能电池，硅漂移探测器，多晶硅电阻分压器，异质 PN 结。

Abstract

Polysilicon has a wide application in the field of integrated circuits and semiconductor devices. In recent years, using the excellent passivated contact characteristics and heterojunction characteristics of polycrystalline silicon to improve the performance of optoelectronic devices has made a rapid progress and gained great favor. Polysilicon thin films have been proved to be effective in improving the photoelectric conversion performance of n-type solar cells and realizing a new type of silicon drift photodetectors. Therefore, the applications of polysilicon thin films in interdigitated back contact (IBC) solar cells and silicon drift detectors are studied in this paper. In IBC solar cells, the polysilicon-tunnel oxide passivated contact (Poly-TOPCon) structure formed by in-situ doping is innovatively applied into IBC solar cells, and the performance of IBC solar cells using this structure is systematically studied and analyzed. In the aspect of silicon drift photodetectors, polysilicon thin film technology is innovatively used to construct the dividers and drift rings in silicon drift detectors, and the performance of the prepared silicon drift detectors is systematically studied. Therefore, the innovative achievements of this paper are as follows:

1. The back surface field, emitter, front surface field and other structural parameters in IBC solar cells are analyzed and studied in detail. It's found that both the chemical passivation and field passivation of the front surface play a decisive role in improving the performance of IBC solar cells. The optimum doping concentration of the front surface field is $5 \times 10^{18} \text{ cm}^{-3}$. The single step processes in fabricating IBC solar cells by diffusion method are optimized in detail. Two kinds of IBC solar cells with different front surface field structure are fabricated through processes integration. One kind of IBC solar cells are fabricated with N-type front-field, and the efficiency is 17.15%. Another kind of IBC solar cells are prepared without front-field structure, and the efficiency is 21.4%.

2. Poly-TOPCon structure is innovatively used to replace the traditional diffusion to form the front surface field, and the performance of this kind of IBC solar cells is thoroughly studied and analyzed. It is found that the cell efficiency could be improved by increasing the doping concentration of polysilicon and decreasing the thickness of

polysilicon film. The optimum tunneling oxide layer thickness is 1.2 nm. Finally, we fabricated two kinds of IBC solar cells using Poly-TOPCon structure. One kind of IBC solar cells use only Poly-TOPCon structure as the front surface field, and the efficiency is 17.08%. Another kind of solar cells use Poly-TOPCon structure as the front and back surface field at the same time, and the efficiency is 15.68%.

3. Polysilicon resistor dividers with high resistance are fabricated by using polysilicon films innovatively. The resistance of polysilicon resistor dividers can be adjusted by controlling the doping concentration, thickness and crystallization level of the polysilicon films, which showing great flexibility. The maximum square resistance reaches $36.576\Omega/\square$. The polysilicon resistor dividers fabricated by annealing at 800°C have a relatively small temperature coefficient (the absolute value is less than $280\text{ ppm}/^{\circ}\text{C}$) and good stability and resistance uniformity. The resistance uniformity of the dividers are controlled within 6.14%.

4. Polysilicon thin films are innovatively used to fabricate high quality heterogeneous PN junctions. The reverse saturation leakage current of the PN junctions is less than $1.5\text{ nA}/\text{cm}^2$ by adjusting the process parameters. By controlling the thickness and annealing time of the polysilicon films, ultra-shallow junctions with junction depth of only 14nm are prepared, which lays a foundation for improving the detection efficiency of low-energy photons by the silicon drift detectors. The voltage dividers and drift rings in the silicon drift detectors can be fabricated simultaneously by polysilicon films. All doping regions in the silicon drift detectors can be formed by only one step annealing process, which greatly simplifies the fabrication processes. The impurity compensation effect is used to fabricate the anode of the silicon drift detectors, which simplifies the patterning process of the anode side of silicon drift detectors, and makes it possible to fabricate the silicon drift detectors by entirely using polysilicon film technology, and the fabricated devices have successfully detected the high-energy rays.

Key word: polysilicon thin film, IBC solar cell, silicon drift detector, polysilicon resistor divider, heterogeneous PN junction.

目 录

摘 要	1
第一章 绪论	1
1.1 多晶硅薄膜在 IBC 太阳能电池中的应用背景	1
1.1.1. IBC 太阳能电池发展概述	2
1.1.2. 影响 IBC 太阳能电池效率的主要因素	5
1.1.3. 多晶硅隧穿氧化物钝化接触结构 (Poly-TOPCon) 概述	8
1.1.4. Poly-TOPCon 在 IBC 太阳能电池中的应用现状和存在的问题	10
1.2 多晶硅薄膜在硅漂移探测器中的应用背景	11
1.2.1. 硅漂移探测器的发展历史及现状	11
1.2.2. 硅漂移探测器的工作原理及其优势	17
1.2.3. 硅漂移探测器的传统制备工艺及其存在的问题	19
1.2.4. 多晶硅薄膜在硅漂移探测器中的应用及其优势	21
1.3 本论文的选题意义和组织结构	23
1.3.1. 选题的意义	23
1.3.2. 本论文的组织结构	25
第二章 传统 IBC 太阳能电池的设计与制备	27
2.1 引言	27
2.2 IBC 太阳能电池的结构设计	28
2.2.1. 模拟软件介绍	28
2.2.2. IBC 太阳能电池各种结构参数模拟及结果分析	28
2.3 IBC 太阳能电池流片中单项工艺的研究	38
2.3.1. 硼扩散工艺研究	38
2.3.2. 钝化工艺研究	49
2.3.3. TLM 实验	60
2.4 IBC 太阳能电池流片工艺及测试结果介绍	62
2.4.1. N 型前场 IBC 太阳能电池	63
2.4.2. 无前场 IBC 太阳能电池	64
2.5 本章小结	66
第三章 Poly-TOPCon 结构及其在 IBC 太阳能电池中的应用	68
3.1 引言	68
3.2 Poly-TOPCon 结构分析	68
3.2.1. Poly-TOPCon 结构的制备工艺	68
3.2.2. Poly-TOPcon 结构的特性表征	70
3.3 采用 Poly-TOPCon 结构作为前场的 IBC 太阳能电池模拟分析	72
3.3.1. 模型及模拟方法介绍	73
3.3.2. 模拟结果与讨论	76
3.4 Poly-TOPCon 结构在 IBC 太阳能电池流片中的应用	89
3.4.1. Poly-TOPCon 作 IBC 太阳能电池的前场	90
3.4.2. Poly-TOPCon 结构同时作为 IBC 太阳能电池的前场和背场	92
3.5 本章小结	95
第四章 多晶硅在高阻值电阻和高质量异质 PN 结制备中的应用	97
4.1 引言	97

4.2	多晶硅电阻的制备与性能分析	98
4.2.1.	背景介绍	98
4.2.2.	采用离子注入对 APCVD 制备的多晶硅电阻进行掺杂	100
4.2.3.	采用原位掺杂的方式对 APCVD 制备的多晶硅电阻进行掺杂	112
4.3	采用多晶硅制备高质量异质 PN 结的工艺研究	114
4.3.1.	背景介绍	114
4.3.2.	制备工艺介绍	115
4.3.3.	测试结构及方法介绍	116
4.3.4.	PN 结漏电测试结果分析	117
4.4	本章小结	125
第五章	采用多晶硅薄膜技术的硅漂移探测器的结构设计	126
5.1	引言	126
5.2	硅漂移探测器的设计	126
5.2.1.	衬底的选择	127
5.2.2.	器件尺寸设计	131
5.2.3.	漂移电场设计	132
5.2.4.	漂移环尺寸设计	132
5.2.5.	漏电收集阳极 (Sink Anode) 和 River 的设计	134
5.2.6.	分压电阻设计	135
5.2.7.	保护环设计	136
5.3	多晶硅薄膜在硅漂移探测器中的应用	140
5.3.1.	采用多晶硅薄膜单独制备分压电阻	140
5.3.2.	采用多晶硅薄膜同时制备漂移环和分压电阻	143
5.3.3.	采用多晶硅薄膜来制备入射窗口	145
5.3.4.	采用多晶硅薄膜来制备硅漂移探测器的阳极	147
5.4	本章小结	148
第六章	基于多晶硅薄膜技术的硅漂移探测器的制备与性能测试	150
6.1	引言	150
6.2	基于多晶硅薄膜技术的硅漂移探测器的流片工艺介绍	150
6.2.1.	衬底介绍	150
6.2.2.	工艺流程介绍	150
6.3	硅漂移探测器的测试分析	153
6.3.1.	硅漂移探测器静态电学特性测试	153
6.3.2.	硅漂移探测器的封装	166
6.3.3.	硅漂移探测器动态信号测试	167
6.4	本章小结	169
第七章	总结与展望	171
7.1	本论文取得的主要成果	171
7.2	本论的创新点	172
7.3	前景展望	173
参考文献		174
致谢		186
作者简历及攻读博士学位期间发表的学术论文与研究成果		187

第一章 绪论

1.1 多晶硅薄膜在 IBC 太阳电池中的应用背景

能源无论是对一个国家还是整个人类的发展来说都是一个至关重要的因素。随着人类对能源需求量的不断增加以及由于化石能源的过度使用造成的全球性环境问题的不断加剧,新型的绿色可再生能源的开发和大规模应用受到了越来越多的关注。如图 1.1 所示,目前无论是中国还是在整个世界范围之内,化石能源依然是占据了主要部分,而且中国对化石能源的依赖程度远高于世界平均水平[1]。化石能源的过度使用不但会带来严重环境问题,而且化石能源是一种不可再生的能源,地球上的储量是有限的,随着人类对能源的需求量不断增大,化石能源迟早有一天会枯竭。所以为了保持社会的持续健康发展,必须开发可再生能源来替代传统的化石能源。目前比较常见的可再生能源主要包括水能、风能、太阳能。其中太阳能的利用方式主要分为两种,一种是将太阳能转化为热能,再将热能转化为电能,另一种是将太阳能直接转化为电能,后者是通过太阳电池来实现的。太阳电池相比于其他发电方式具有清洁、方便、环境适应性强、使用寿命长等优点,由于具有这些优势,近年来全球的光伏行业发展非常迅速,其中中国的光伏产业发展最快,已经成为光伏第一大国。2017 年全球新增光伏装机总量为 98GW,中国新增装机总量 53GW,占到了全球的一半以上。预计到 2050 年,全球的累计光伏装机量将达到 4670GW,可以看出光伏产业的发展潜力是非常巨大的。

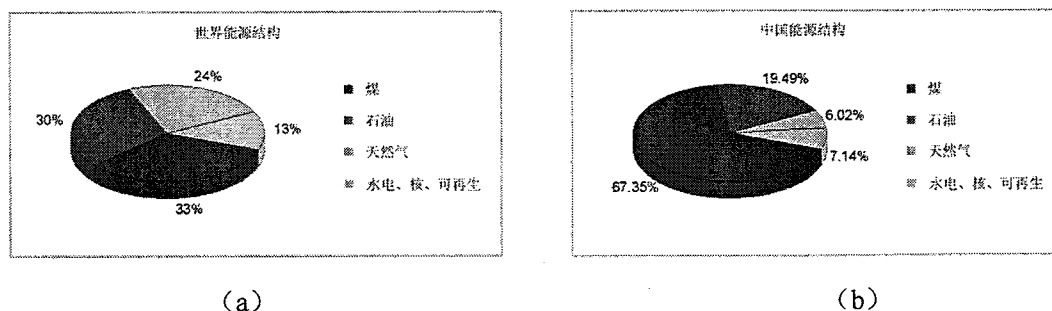


图 1.1 (a) 世界能源结构示意图。(b) 中国能源结构示意图。

自从太阳电池被发明以来,各种结构的太阳电池就不断被提出,电池的种类

越来越丰富，效率也变得越来越高。从电池材料来分，有晶硅太阳电池、硅薄膜太阳电池、砷化镓（GaAs）太阳电池、铜铟镓硒（CIGS）太阳电池、钙钛矿太阳电池以及染料敏化太阳电池。从电池结构来分，有传统的铝背场太阳电池、发射极钝化背接触（PERC）太阳电池、异质结（HIT）太阳电池，插指形背接触（IBC）太阳电池以及多结太阳电池等。虽然电池种类繁多，但是目前在光伏市场占据主导地位的还是硅基太阳电池，包括多晶硅太阳电池和单晶硅太阳电池，这主要是因为硅基太阳电池的度电成本（LCOE）相比于其他的太阳电池是最低的。但是即使是这样，硅基太阳电池的发电成本相对于火电还是要高很多。为了进一步降低硅基太阳电池的度电成本，最有效的方法就是提高电池光电转换效率。但是仅仅通过优化工艺，传统铝背场结构的太阳电池效率已经很难再提高的，要想提高电池效率，就要采用不同的电池结构。IBC 太阳电池因为没有了前表面的遮光效应，电池效率要比传统结构的硅电池高很多[2]，目前硅基太阳电池效率的世界记录就是由这种结构的电池取得的，最高效率已经达到了 26.63%[3]，所以对这种电池进行深入的研究非常有意义。

1.1.1. IBC 太阳电池发展概述

IBC 太阳电池结构最早是在 1977 年由 Michael D.Lammert 和 Richard J.Schwartz 提出的，主要是应用在聚光太阳能发电系统中[4]。因为 IBC 太阳电池具有短路电流大，串联电阻小的特点，所以非常适合用来制备聚光太阳电池。IBC 电池的结构图如图 1.2 所示。电池的发射极区和背场区以及相应的金属接触都在电池的背面，背场区和发射极区呈插指状方式排列，不同区域之间被一个非掺杂区域隔离开，金属接触几乎覆盖整个背面。电池的衬底一般选用少子寿命比较高的单晶硅衬底。电池的前表面采用氧化硅或者其他介质层进行钝化，前表面没有任何金属覆盖区域，整个前表面都可以吸收入射的太阳光。因为电池的金属电极几乎覆盖整个背面区域，所以该种结构的电池串联电阻非常小。又因为电极都位于电池的背面，从而避免了前表面的遮光效应，使得电池的短路电流明显提高。所以这种电池结构在被提出来以后就被得到了广泛而深入的研究。

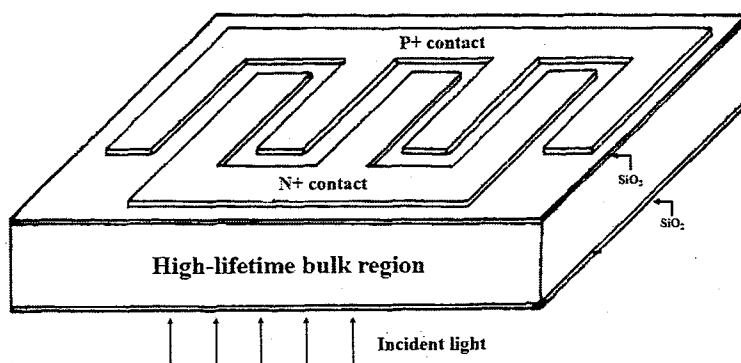


图 1.2 IBC 太阳电池结构示意图[4]。

最早的 IBC 太阳电池在 50 个太阳的光照强度下效率可以达到 17%[5]。后来在 1984 年, R.M. Swanson 等人提出了一种点状背接触结构的太阳电池。这种结构的电池和 IBC 电池结构相似, 只不过背面的重掺杂区只局限在一些很小的点状区域。这种结构可以有效减少重掺杂区域引起的漏电, 电池开压和效率得到很大提升, 最高效率可以达到 19.7%[6]。Sinton 等人在 1986 年通过对这种电池结构的优化, 将电池效率在 100 个太阳光照强度下提高到了 27.5%[7]。随后他们又制备出了在 150 个太阳光照强度下效率达到 28% IBC 电池[8]。到了 1988 年, 他们再一次将电池效率提高到了 28.4%[9]。

上面介绍的 IBC 电池都是应用在聚光发电系统中的, 电池都是工作在大于一个太阳的光照强度下。随着对 IBC 太阳电池研究的不断深入以及制备工艺和衬底质量的提高, 人们发现这种电池结构在一个太阳的标准光照下的效率也要比传统的电池高。Verlindern 等人在 1985 年制备的 IBC 电池在一个太阳光照强度下效率可以达到 21%[10]。仅仅一年之后 Sinton 等人就将 IBC 电池在一个太阳光照强度下的效率提高到了 21.7%[11]。但是这些电池的面积都只有 0.15 cm^2 , 这么小的面积很难进行大规模的商业化生产。为了使 IBC 电池产生实际的应用价值, 电池的面积必须要做大。为此 King 等人在 1988 年制备出了面积为 8.5 cm^2 的 IBC 太阳电池, 他们通过在电池中采用前场和背场结构, 将电池效率提高到了 22.3%[11]。三年之后, 他们又制备出了面积为 37.5 cm^2 的 IBC 电池, 电池最高效率达到了 22.7%[12]。

IBC 太阳电池虽然效率比较高, 但是它有一个最大的缺点, 那就是电池结构太复杂, 制备工艺比较繁琐, 一般的 IBC 太阳电池的制备需要至少 4 步图形化

工艺, 因此成本比较高。为了降低电池的制备成本, 1900 年 Sinton 等人采用一种自对准方法制备出了一种简化的 IBC 太阳电池, 这种工艺比传统的 IBC 电池制备工艺减少了一步图形化工艺, 制备出来的电池面积为 10.5cm^2 , 效率达到了 21.9%[13]。

为了推动 IBC 电池的产业化, 以实现这种电池的大规模生产和应用。Swanson 等人在 1985 成立了 Sunpower 公司, 并开始了 IBC 电池商业化产品的研发。随后他们建立了一条 IBC 电池生产线, 并且制备出了 7000 片 IBC 电池, 电池的平均效率达到了 21.1%[14]。后来, Sunpower 通过不断对 IBC 电池的结构和制备工艺进行优化, 在 1997 年制备出了效率达到 23.2% 的 IBC 电池, 打破了硅基太阳电池在一个太阳光照强度下效率的世界纪录[15]。到了 2004 年, Sunpower 推出了一款名为 A-300 的 IBC 太阳电池, 电池结构如图 1.3 所示, 电池面积达到了 149cm^2 , 电池效率最高为 21.5%[16]。2007 年, Sunpower 又推出了新一代的 A-300 IBC 太阳电池并实现了大批量的生产, 电池的平均效率达到了 22.4%[17]。

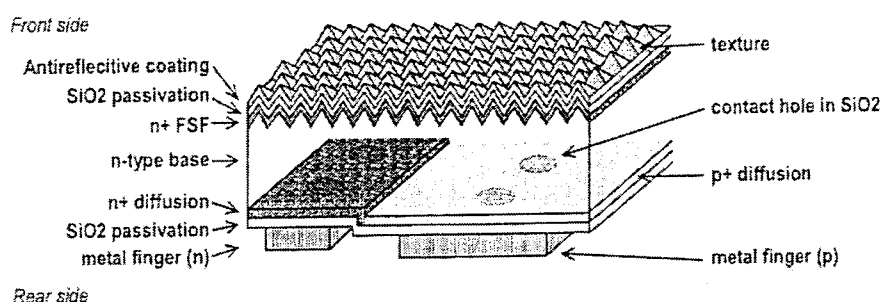


图 1.3 A-300 IBC 太阳电池结构示意图[16]。

到了 2014 年, Sunpower 公司又取得了一个里程碑式的成就, 他们制备的型号为 Gen III 的 IBC 太阳电池的效率达到了 25%, 这一成果追平了由新南威尔士大学制备的 PERL 电池保持了 15 年的世界纪录[18]。25% 的电池效率自从 1999 年以来一直被认为是单结硅太阳电池的效率极限。但是就在 Gen III IBC 电池取得 25% 的效率的同一年, 日本松下 (Panasonic) 公司制备出了效率为 25.6% 的太阳电池, 这是硅基单结太阳电池效率首次超过 25%[19]。这种电池将非晶硅异质结结构 (HIT) 和背结背接触结构结合到了一起, 电池结构如图 1.4 所示。电池同时具备了 HIT 电池高开压和 IBC 电池高短路电流的特性, 电池的开压达到了 740mV, 短路电流达到了 $41.8\text{mA}/\text{cm}^2$ 。到了 2016 年, 日本的 Kaneka 公司将这

种电池的效率提高到了 26.3%[20]，而就在同年，Kaneka 公司就又把这种电池的效率提高到了 26.6%，这是目前单结硅基太阳电池的世界最高效率[21]。

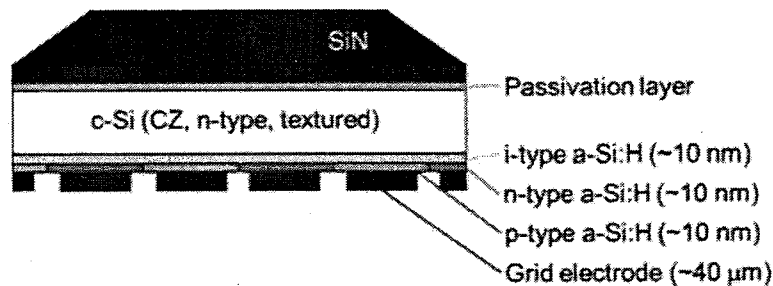


图 1.4 非晶硅异质结 IBC 太阳电池结构示意图[21]。

IBC 太阳电池作为一种高效率的太阳电池，经过几十年的发展，目前效率已经遥遥领先其他种类的硅基太阳电池了。对于以后的 IBC 太阳电池的发展趋势应该会分为两个方向。一个是以进一步提高 IBC 太阳电池的光电转换效率为主要目标。这一目标的实现主要是通过将 IBC 太阳电池结构和其它种类的高效太阳电池结构结合起来，例如 IBC 太阳电池和 TOPCon 结构的结合，这种电池主要是应用在一些特殊的领域，例如航天、航空等。另一个趋势是尽量降低 IBC 太阳电池的制备成本，使得 IBC 太阳电池的度电成本和传统的电池相比具有很大的竞争优势，这种 IBC 电池主要是应用在分布式发电和大规模电站中。无论是哪一种发展趋势，都会面临很多问题，首先目前的 IBC 太阳电池效率已经接近硅基电池的物理极限了，要想进一步提高 IBC 太阳电池的效率势必会变得非常困难，必须在材料和工艺等多方面进行突破才能进一步提高 IBC 太阳电池的效率。其次由于 IBC 太阳电池背面具有复杂的图形结构，为了降低 IBC 电池的制备成本，就要采用比较简单的图形化工艺，但是采用简单的图形化工艺一般会造成电池效率的下降。综上所述，IBC 太阳电池具有比较高的效率也有很广泛的应用前景，但是 IBC 电池的进一步发展肯定会遇到很多问题，只有解决了这些问题，IBC 电池才能得到广泛的应用。

1.1.2. 影响 IBC 太阳电池效率的主要因素

IBC 太阳电池虽然具有比较高的电池效率，但是这种电池结构比较复杂，制备工艺步骤比较多，因此影响电池效率的因素也就比较多。要想获得比较高的电池效率，就要对每一个可能会影响电池效率的因素进行仔细分析。对于一般的

IBC 电池，对电池效率影响比较明显的因素主要有：电池前表面的钝化效果、衬底的性质、背面重掺杂区的结构尺寸、背表面的钝化效果、前表面的陷光效果等。

下面对这些参数进行简单分析：

- **电池前表面的钝化效果：** IBC 太阳电池是一种背结背接触太阳电池，PN 结都位于电池的背面，但是光生载流子大部分都是在电池的前表面附近产生的，光生载流子必须扩散到电池背面的 PN 结处才能被分离从而形成输出电流。如果电池前表面钝化效果不好，光生载流子大部分都在电池前表面复合了，不能被电池背面的 PN 结被分离，从而使电池的效率严重降低。因此前表面的钝化效果对于 IBC 电池非常重要，必须进行精心优化。IBC 电池前表面的钝化方法一般有两种，一种是化学钝化，一种是场钝化。化学钝化就是采用在电池前表面沉积一层或几层介质膜的方式，降低电池前表面的界面态密度，从而减小表面复合速率。场钝化一般是通过在电池前表面形成一个和衬底掺杂类型相同的重掺杂层作为前场区（FSF）从而减小前表面附近少数载流子浓度来减少前表面的复合率。图 1.5 给出了不同的前场方阻的情况下表面复合速率对电池效率的影响[22]，可以看出，前场方阻和表面复合速率对电池的效率都会产生非常明显的影响，所以这两个参数要进行仔细的优化。

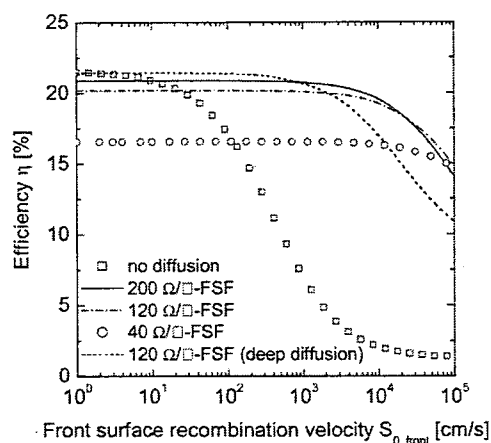


图 1.5 不同前场方阻的情况下表面复合速率对电池效率的影响[22]。

- **衬底的性质：** 衬底的性质主要是指衬底的少数寿命、厚度、掺杂浓度等参数。其中衬底的少数寿命和厚度对 IBC 太阳电池的效率影响最为明显。因为光生载流子主要是在电池的前表面产生的，光生载流子要通过扩散的方式从电池的前表面运动到电池的背面。如果衬底的少数寿命不够高的话，光生载

流子在向背面扩散的时候,很大一部分就会在衬底内被复合掉,不能形成电流输出,从而使得电池效率降低。另一方面,因为光生载流子的扩散长度是有限的,如果衬底太厚的话,光生载流子也很难扩散到电池背面,从而也会降低电池效率。对于衬底的少数寿命来说当然是越高越好。但是对于衬底的厚度来说却不是越薄越好。因为如果衬底太薄的话会影响衬底对光的吸收效率。图 1.6 给出了衬底的少数寿命和厚度对电池效率的影响[23]。可以看到,对于衬底少数寿命不是很高的情况,电池效率是随着衬底厚度的增加呈先上升后下降的趋势的。

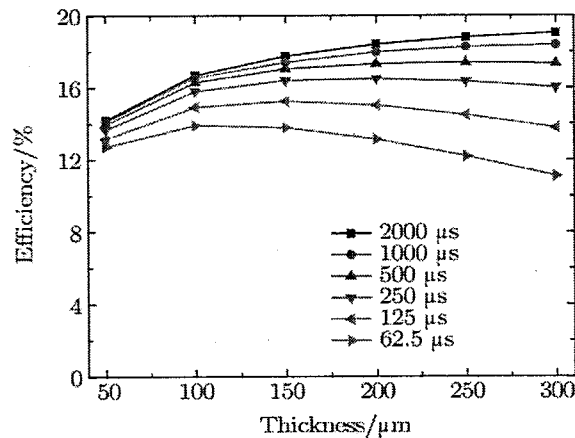


图 1.6 衬底的少数寿命和厚度对电池效率的影响[23]。

- **背面重掺杂区的结构尺寸:** 在 IBC 电池的背面,不同类型的重掺杂区呈插指状相间排列,分别用来形成电池的发射极区和背场区。发射极区用来和衬底形成 PN 结从而实现电子空穴对的分离。背场区一方面起到场钝化的作用,另一方面用来和金属形成欧姆接触。发射极区和背场区之间通常由一个非重掺杂区域 (gap) 隔开。一个发射区和背场区以及它们之间的 gap 形成一个单元 (pitch), 电池的背面结构就是由许多这样的重复单元形成的。一个单元的大小以及其中发射区和背场区宽度的比例对电池的影响非常明显。这主要是由于 IBC 电池固有的电遮挡效应[24]。该效应是由于在背场区上方产生的少数载流子,要横向运动到发射极区才能被收集起来,而在横向输运的过程中,就会复合掉一部分少数载流子,从而导致能量的损失。因此 IBC 电池背面 pitch 的大小对电池效率有明显的影响。

1.1.3. 多晶硅隧穿氧化物钝化接触结构 (Poly-TOPCon) 概述

Poly-TOPCon 结构是在 2014 年由 fraunhofer 的 frank feldman 首先提出来的 [25]。这种结构由一层很薄的隧穿氧化层和一层掺杂的多晶硅层组成。该结构可以对硅表面起到很好的钝化效果，有效减少载流子的表面复合。同时结构中的氧化层又不会阻碍载流子的传输，从而可以获得非常小的串联电阻。Frank feldman 采用该种结构制备的电池结构如图 1.7 所示，他们只在电池的背面采用了这种结构，用来形成背面接触。由于该结构良好的表面钝化效果和载流子输运特性，电池的开压达到了 690.4mV，填充因子为 81.9%，效率达到了 21.7%。

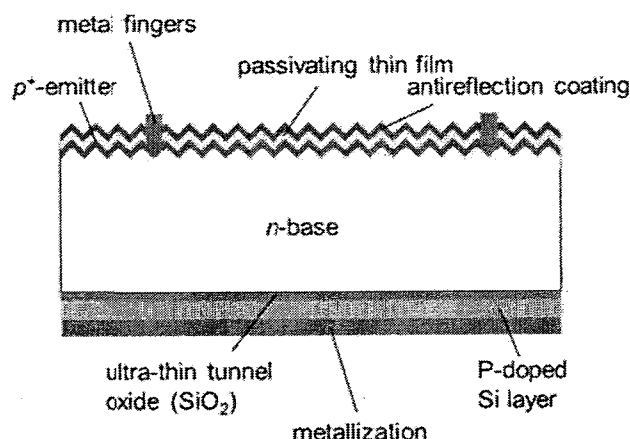


图 1.7 采用 Poly-TOPCon 结构作为背场的太阳电池结构示意图。

在这种 Poly-TOPCon 结构中，隧穿氧化层的作用是非常关键的，它主要是用来中和硅表面的悬挂键，对硅表面起到一个化学钝化的作用，与此同时，该氧化层又要保证载流子能顺利的通过，避免造成比较大的串联电阻。因此，该氧化层的性质非常关键。不同的生长方式和后处理方式都会影响该氧化层的性质，从而对电池效率产生影响。Anamaria Moldovan 等人研究了采用不同方法生长的隧穿氧化层以及不同的退火温度对该结构钝化效果的影响[26]。通过对比他们发现，不同的方法生长的隧穿氧化硅薄膜，其中的氧含量是有不一样的，而氧含量的不同，决定了不同的钝化效果。氧含量越多钝化效果越好而且能禁受住的退火温度也越高，这意味着电池也越稳定。随后 R. Peibst 等人又对载流子在该结构中输运机理进行了研究[27]。该结构在刚开始被提出来的时候，载流子一直被认为是完全通过隧穿的方式穿过氧化层的。但是后来 R. Peibst 经过仔细的实验分析提出了另一种载流子输运机制如图 1.8 所示，在该输运机制中，氧化层并不是厚度均

匀的，而是在有的局部区域厚度会变得很薄，或者是直接出现针孔，而载流子主要是在这些区域通过隧穿或者针孔穿过氧化硅层的。

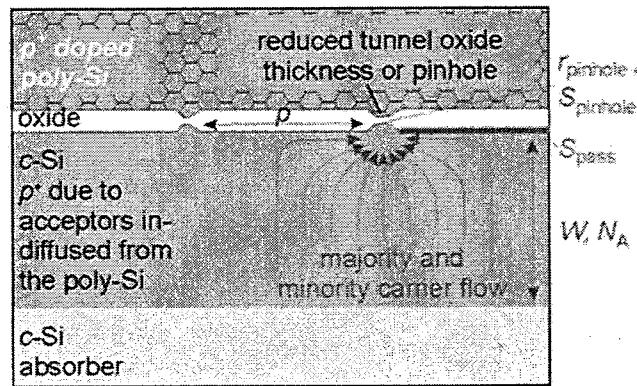


图 1.8 载流子在 Poly-TOPCon 结构中的运输机制示意图。

除了氧化层，该结构中的掺杂多晶硅层也是非常重要的。掺杂多晶硅层主要是用来和衬底之间形成异质结，起到场钝化的作用。此外多晶硅层在制备过程中一般会残留大量的氢原子，这些氢原子也有助于硅衬底的表面钝化。因此要想提高该结构的钝化效果，就要对多晶硅层的制备工艺和结构进行优化。陶科等人提出要想取得比较好的钝化效果最好是采用一种非晶和微晶叠层的结构，而且他们分析了硅薄膜沉积过程中氢气和硅烷的流量比对该结构钝化效果的影响，如图 1.9 所示，当氢气和硅烷的流量比为 30 时，得到的钝化效果最好[28]。

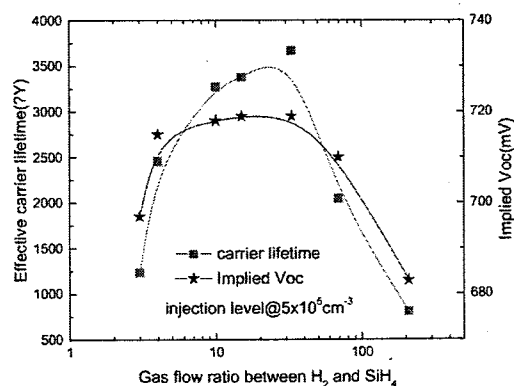


图 1.9 Poly-TOPCon 结构中的多晶硅薄膜沉积过程中氢气和硅烷的流量比对钝化效果的影响

总之，这种 Poly-TOPCon 结构作为一种比较新的结构，在制备高效太阳能电池方面非常有潜力。很多已经发表的文献都已经证明这种结构是一种可以用于大

批量工业化生产的高效太阳电池技术。除此之外,这种结构还可以很方便的和其他电池结构如 IBC 电池、PERL 电池等相结合,从而进一步提高电池效率,因此对该种结构进行研究是非常有意义的。

1.1.4. Poly-TOPCon 在 IBC 太阳电池中的应用现状和存在的问题

Poly-TOPCon 结构已经被证明在提高传统双面太阳电池效率方面具有很大的优势,这主要是得益于 Poly-TOPCon 结构优异的表面钝化效果和载流子输运机制。由于 Poly-TOPCon 结构优异的性能,已经有很多人在尝试将其应用到其他结构的太阳电池中去了。IBC 太阳电池本身就是一种高效率的太阳电池,而且其和非晶硅异质结(HIT)结合而成的异质结 IBC 太阳电池是目前世界上效率最高的一种硅基太阳电池。因为 Poly-TOPCon 结构实质上也是一种异质结结构,所以人们很容易就想到将 Poly-TOPCon 结构和 IBC 太阳电池结合起来。目前已经有很多人进行了这方面的尝试。例如 Christian Reichel 等人在 2014 年提出了一种采用 Poly-TOPCon 结构来制备 IBC 太阳电池的方法[29]。他们先采用原位掺杂的方式在 IBC 电池背面形成 P 型掺杂的非晶硅,然后通过局部离子注入磷的方式形成 N 型掺杂非晶硅背场,然后再通过退火形成 P 型和 N 型 Poly-TOPCon 结构。Guangtao Yang 等人在 2016 年采用离子注入的方式同时制备 Poly-TOPCon IBC 电池背面的 P 型 Poly-TOPCon 结构和 N 型 Poly-TOPCon 结构,通过优化多晶硅的厚度、离子注入的能量、剂量和退火条件,他们将电池的开路电压提高到了 673mV,电池效率达到了 19.2%[30]。同一年他们发现保证采用离子注入制备的 Poly-TOPCon 结构钝化效果的最关键因素是将杂质局限在多晶硅中,通过优化工艺他们又将 Poly-TOPCon IBC 电池的效率提高到了 21.2%[31]。与此同时,David L. Young 等人提出采用等离子浸润式离子注入的方式对 Poly-TOPCon 结构中的多晶硅进行掺,这种离子注入方式可以实现大剂量、低能量的注入,可以有效减少杂质进入到衬底中。最后他们将采用 N 型 Poly-TOPCon 和 P 型 Poly-TOPCon 钝化的硅衬底的饱和电流降到了 $2\text{fA}/\text{cm}^2$ 和 $24\text{fA}/\text{cm}^2$ [32]。

可以看到,目前采用 Poly-TOPCon 结构来制备 IBC 太阳电池的报道中基本上都是采用离子注入的方式对多晶硅进行掺杂的,这主要是因为对于 IBC 电池来说,背面的图形化太复杂了,而离子注入只要一层光刻胶就可以挡住,所以离子注入可以非常方便的进行局部掺杂从而形成背面不同掺杂类型的区域。然而采

用离子注入也存在其他的问题。首先一般 Poly-TOPCon 结构中的多晶硅的厚度都是比较薄的,只有 20~30nm,采用离子注入很难将注入的杂质完全限制在这层非晶硅中,如果注入的杂质进入到了衬底的深度太深,那就变成了一个同质结了,钝化效果会大大下降。其次离子注入有可能会破坏 Poly-TOPCon 结构中的氧化硅,甚至会对下面的衬底也造成损伤,从而降低对表面的钝化效果。最后离子注入工艺复杂、设备昂贵,本身 IBC 太阳能电池制备成本就比较高,如果采用离子注入来制备,IBC 电池的制备成本将会进一步提高,从而削弱了 IBC 电池的效率优势。因此,最好是采用原位掺杂制备的 Poly-TOPCon 结构来制备 IBC 太阳能电池。但是这首先要解决 IBC 电池背面图形化的问题,目前我们在这方面的研究已经取得了很多不错的成果,我们已经可以完全采用多晶硅薄膜技术来制备 IBC 电池了,其中电池的前场和背场都可以采用 Poly-TOPCon 结构来制备。相信随着研究的深入,一定可以完全采用 Poly-TOPCon 结构来制备 IBC 太阳能电池。

1.2 多晶硅薄膜在硅漂移探测器中的应用背景

1.2.1. 硅漂移探测器的发展历史及现状

1984 年美国布鲁克海文实验室的两名科学家 Emilio Gatti 和 Pavel Rehak 提出了一种全新的高能射线探测器结构[33]。这种全新的探测器不同于以往的其它种类的探测器,高能射线产生的载流子在器件内部主要是沿平行于器件表面的方向横向漂移的,所以这种探测器又称为硅漂移探测器。硅漂移探测器相对于传统探测器最大的一个优点就是这种探测器的电容很小而且和器件的探测器面积是无关的。这种探测器在一开始被提出来的时候主要是用来探测高能射线的位置的,器件的位置分辨率有希望达到 2~5 μm 。就在几个月后,这两位科学家很快的就实现了这种硅漂移探测器的制备,并对制备出来的器件进行了测试[34]。通过测试他们证明了这种器件结构的可行性,并且也取得了预期的位置分辨率。1985 年他们通过对器件的设计和制备工艺的优化,使得探测器在 4mm 的漂移距离的情况下位置分辨率达到了 5 μm 。他们制备的器件的实物图如图 1.10 (a) 所示[35]。除此之外,他们在该报道中还首次将硅漂移探测应用到射线能量的探测中,用来探测射线能量的器件和用来探测器射线位置的器件形状是不一样的,如图 1.10 (b) 所示,用来探测能量的探测器采用的是圆形的结构,阳极位于器件的中心,

采用这种圆形结构可以有效减小阳极的面积，从而降低器件的电容。

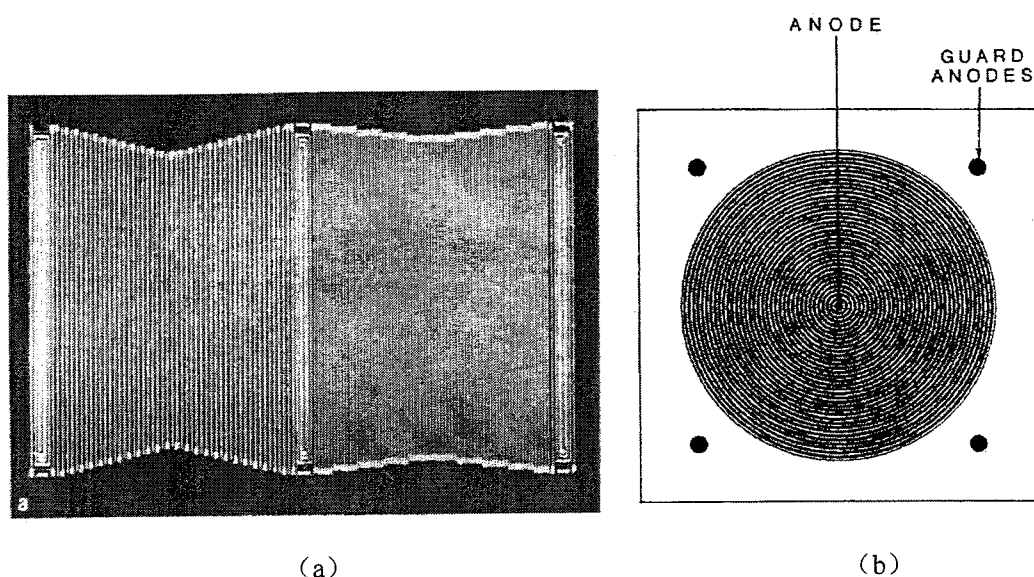


图 1.10 (a) 线性硅漂移探测器，主要用来探测射线的位置。(b) 圆形硅漂移探测器，主要用来探测射线的能量。

到了 1986 年，Emilio Gatti 和 Pavel Rehak 等人又在器件性能方面取得了很大的进步，在位置测试方面器件的位置分辨率达到了 $4\mu\text{m}$ ，在能量测试方面器件的等价电荷噪声在室温下为 $110e^-$ ，在采用液氮降温的情况下达到了 $36e^-$ ，这些成果证明了硅漂移探测器在高能射线位置和能量测试方面的是非常具有潜力的 [36]。

可以看到 Emilio Gatti 和 Pavel Rehak 等人在硅漂移探测器方面做了大量开创性的工作，他们不但创新性的提出了这种新型的器件，而且一直致力于这种器件的研究和优化，不但使得这种器件的性能不断得到提升，而且让相关领域的研究工作者认识到了这种器件在高能射线探测领域的巨大潜力，这对于这种探测器的广泛研究和快速发展是非常关键的。

除了 Emilio Gatti 和 Pavel Rehak 等人在硅漂移探测器方面做的大量的研究，随着这种器件性能的提高和应用范围的扩大，越来越多的科研工作者开始投入到这种器件的研究中。例如 W. Chen 等人在 1992 年制备出了一款大面积的位置探测硅漂移探测器，这款硅漂移探测器的面积占据了整个 3 寸硅片的面积，电子在其中最长的漂移距离为 3cm ，漂移时间为 $4\mu\text{s}$ ，探测器的位置分辨率为 $20\mu\text{m}$ [37]。1996 年 Peter Lechner 等人制备出了一款面积为 3.5mm^2 的用来探测射线能量的硅

漂移探测器。他们通过在器件中采用集成前置放大器、集成分压器、漏电收集通道等结构制备出了室温下能量分辨率达到 225eV 的硅漂移探测器，当把温度降到-20°C之后，器件的能量分辨率更是达到了 152eV[38]。到了 2000 年，C. Fiorini 等人针对入射面为整体均匀掺杂的硅漂移探测器提出了一种新型的施加电压的方式，这种方式只需要在阳面极施加电压，避免了在入射面制备金属电极。这种硅漂移探测器主要是为了和各种闪烁体结合到一起用来探测 γ 射线或者成像用的[39]。

硅漂移探测器从提出来到现在已经有 35 年的历史了，经过广大科研工作者的不断努力，目前探测器的性能相对于刚提出来的时候已经得到了很大的提升。硅漂移探测器早已经成为了目前性能最好的高能射线探测器之一了。但是随着应用范围的不断扩大，很多领域对硅漂移探测器的性能又提出了更高的要求，这促使该领域的研究人员不断在硅漂移探测器的器件结构、制备工艺以及外部读取电路上进行改进，以期进一步提高器件的性能。下面就对近些年来人们在硅漂移探测器方面的一些新的研究成果进行介绍。

为了降低高能射线对硅漂移探测器中心的集成前置放大器的影响，P. Lechner 等人在 2004 年提出了一种液滴形状的硅漂移探测器结构（SD³）[40]，这种结构如图 1.11 (a) 所示，阳极被移到了器件的边缘，再通过准直器的屏蔽，可以避免高能射线对前置放大器的影响。到了 2016 年，PNDetector 公司的 A. Niculae 等人又对这种 SD³ 结构的硅漂移探测器进行了改进，改进后的结构如图 1.11 (b) 所示[41]。通过这种结构的改进硅漂移探测器的分辨率得到了很大的提高。探测器在 125ns 的成型时间下的能量分辨率可以达到 127.5eV，这是目前为止在该成型时间下最好的能量分辨率了。

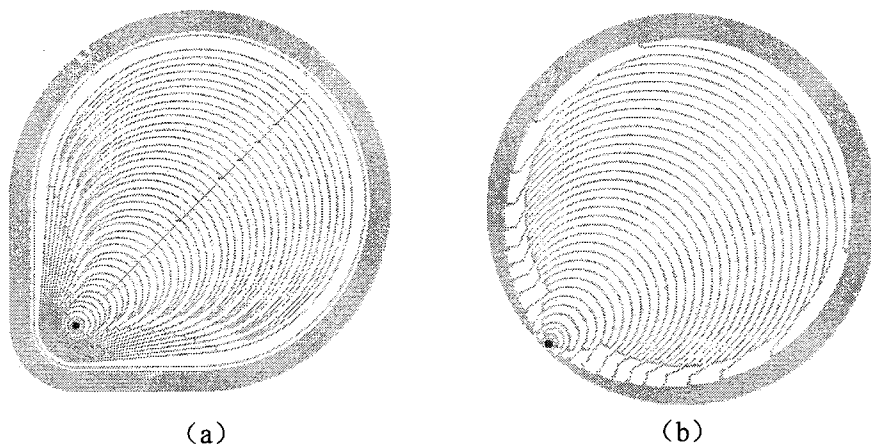


图 1.11 (a) 传统液滴形硅漂移探测器结构示意图 (b) 新型液滴形硅漂移探测器示意图。

米兰理工大学的 G. Bertuccio 等人在 2016 年采用 FBK 的制备工艺, 将硅漂移探测器在室温下的阳极漏电大大降低[42], 采用该工艺 (LC-SDD) 制备出来的器件的阳极漏电在 20°C 时仅为 $25\text{pA}/\text{cm}^2$, 而采用传统工艺 (S-SDD) 制备出来的器件漏电为 $1.2\text{nA}/\text{cm}^2$ 。由于常温下漏电的大大降低, 使得器件在常温下的能量分辨率得到了很大提高, 探测器常温下在能量为 5.9keV 处的能量分辨率为 136eV , 这是目前常温下能量分辨最好的一款硅漂移探测器了。

近几年有人提出了一种新的方法来制备硅漂移探测器。该方法通过在硅衬底上沉积一层很薄的纯硼层, 从而在衬底上形成一个很浅的 PN 结, 从而形成硅漂移探测器中的漂移环、阳极、保护环、分压器以及入射窗口等结构[43]。这种方法相比于离子注入具有两个很明显的优势, 第一, 采用纯硼层可以制备出结深小于 10nm 的超浅结, 采用该超浅结作为探测器的入射窗口可以有效提高低能射线的量子效率。第二采用纯硼层可以制备高阻值的分压器, 这可以有效降低器件的功耗, 从而提高器件的稳定性。采用该工艺制备的器件结构如图 1.12 (a) 所示, 器件内部的电场分布如图 1.12 (b) 所示。

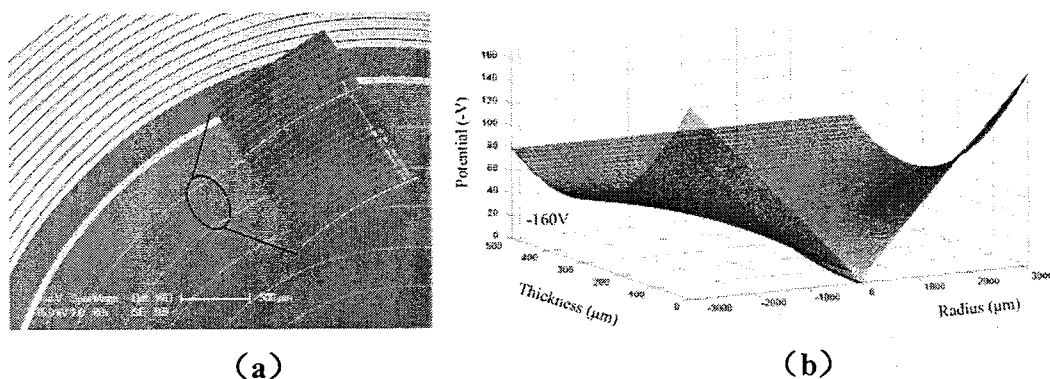


图 1.12 (a) 采用双纯硼层的工艺制备的硅漂移探测器的漂移环的 SEM 图 (b) 器件内部的电势分布

Ketek 公司从 1989 年到现在, 经过三十年的发展, 在硅漂移探测器方面取得了很多辉煌的成绩, 其生产的硅漂移探测器性能优越、稳定, 而且他们还推出了很多不同型号的探测器以应对不同的应用环境。下面是其推出的几款比较先进的硅漂移探测器[44]。

➤ 世界最大面积的环形硅漂移探测器

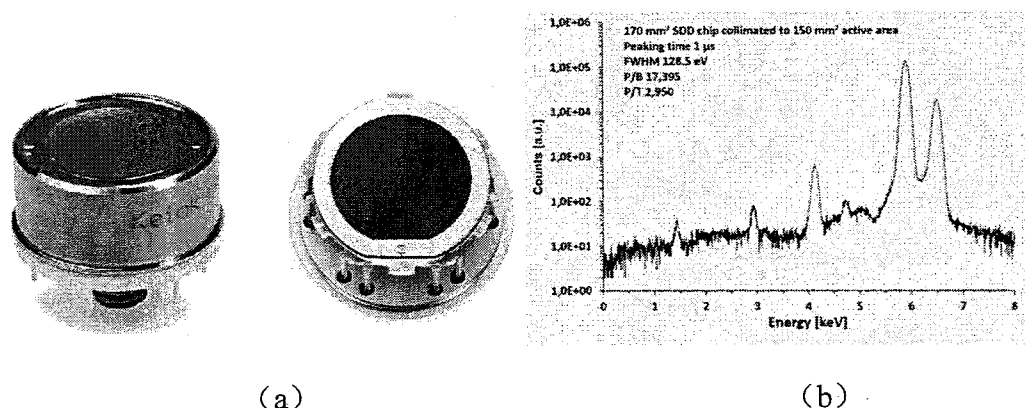


图 1.13 (a) 大面积硅漂移探测器实物图 (b) 探测器的能谱图

该探测器是目前世界上面积最大的一款环形硅漂移探测器，探测器采用 25μm 厚的铍窗口，有效探测面积可以达到 150mm²，虽然器件面积很大，但是器件的能量分辨率却可以达到 128.5eV。器件最大计数率为 2,000 kcps，而且能量分辨率受单位时间入射粒子数的影响很小。

➤ 7 通道硅漂移探测器阵列

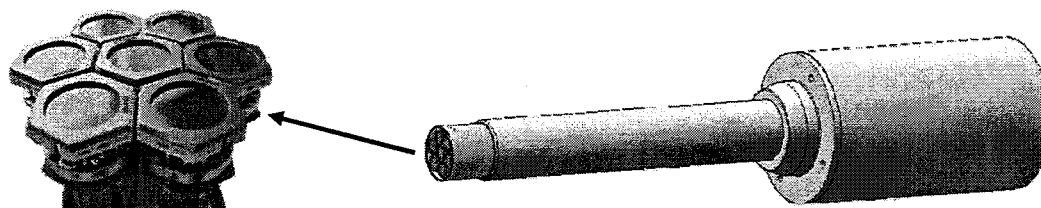


图 1.14 7 通道 SDD 阵列探测器实物图

该探测器阵列由 7 个有效面积为 80mm² 的硅漂移探测器组成，有效探测面积为 560mm²。探测器的能量分辨率在最优成型时间下小于 140eV，通过水冷的方式散热，可以使探测器的温度降到 -55°C。

➤ 可以探测超低能射线的硅漂移探测器

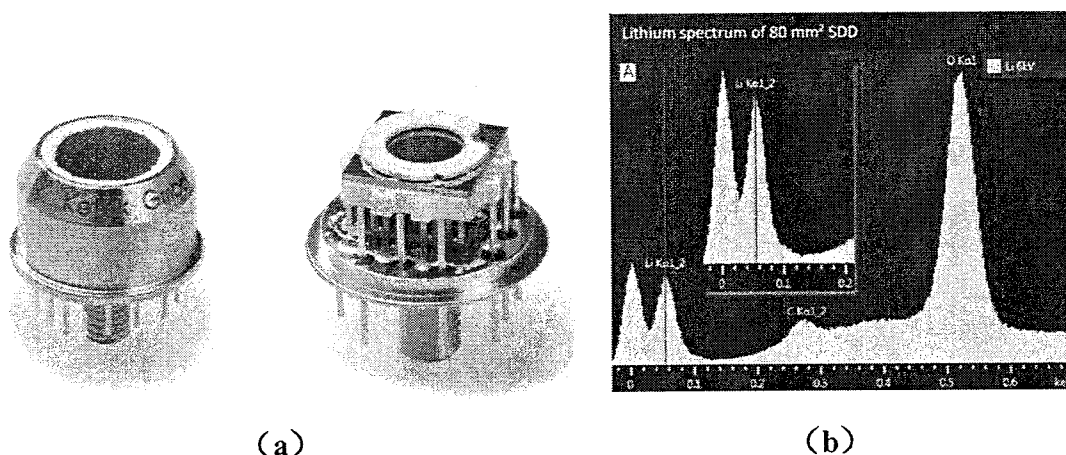


图 1.15 (a) 低能量射线硅漂移探测器实物图 (b) 该探测器对锂元素的能谱分析图

该探测器通过采用聚合物窗口，有效降低了窗口对射线能量的吸收，从而可以探测能量非常低的射线。在射线能量为 100eV 时能量分辨率可以达到 25eV，该探测器可以用来探测铍和锂等其他探测器无法探测的元素。

虽然硅漂移探测器从提出到现在已经有 35 年的时间了，而且国外研究已经非常成熟并且实现了商业化，但是目前国内在该领域的研究还非常落后，相关的研究主要是集中在对国外进口的器件的系统集成上，关于器件的制备方面报道比较少。目前可以查到的在硅漂移探测器的制备方面研究比较深入的就是北京师范大学的新器件实验室联合滨松光子公司在中国宇航学会深空探测技术专业委员会第九届学术年会报道的一款面积为 5.77mm^2 的硅漂移探测器[45]。该款硅漂移探测器采用螺旋形漂移环结构，采用离子注入工艺制备，封装后的器件如图 1.16 (a) 所示。在 -30°C 的条件下，采用 ^{55}Fe 作为信号源测得的能谱图如图 13 (b) 所示。可以看到器件的能量分辨率并不高，和国外制备的器件性能还有很大差距。

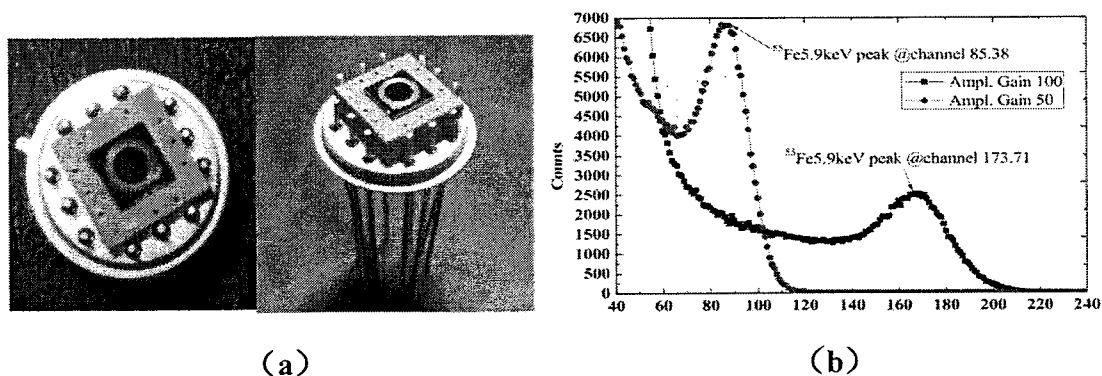


图 1.16 (a) 封装后的探测器实物图 (b) 采用 ^{55}Fe 作为信号源测得的能谱图。

1.2.2. 硅漂移探测器的工作原理及其优势

最简单的也是最早被用来进行 X 射线探测的硅基探测器是一种 PIN 结构的探测器，这种探测器的结构和工作原理如图 1.17 所示[46]。可以看到该种结构本质就是一个 PN 结，只不过在 P+区和 N+区之间有一个很厚的高阻 N 型硅衬底。通过在在 PN 结两端施加足够高的反向偏压，可以实现衬底的全耗尽，当高能粒子在衬底中任何地方产生电子空穴对之后，电子空穴对都会在电场的作用下分离并被两端的电极收集形成输出信号。

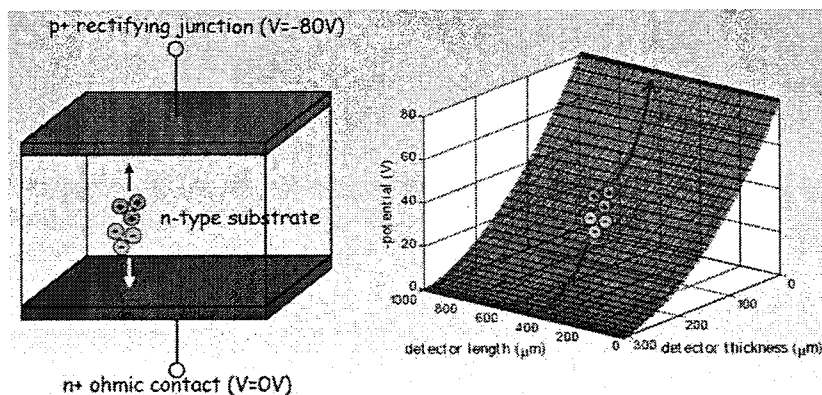


图 1.17 PIN 探测器结构和工作原理示意图

这种 PIN 探测器的电容可以通过以下公式进行计算：

$$C_{\text{det}} = \frac{\epsilon_0 \epsilon_{\text{Si}} A}{d} \quad (1.1)$$

其中 ϵ_{Si} 为硅的相对介电常数，A 为 PIN 器件的有效面积，d 为 PIN 探测器的衬底的厚度。可以看到这种探测器的电容是和探测器的面积成正比的，当制备的探测器面积比较大的时候，PIN 探测器的电容将会快速增大，而比较大的电容不但会使得器件的响应时间变慢还会带来比较大的噪音，因此如何在提高器件面积的同时还能保持一个非常小的电容值就成了一个亟待解决的问题。

为了解决 PIN 探测器存在的以上问题，硅漂移探测器被提了出来。硅漂移探测器采用一种侧向耗尽的方式使得整个探测器衬底实现全耗尽，侧向耗尽原理如图 1.18 (a) 所示[33]。对于这种耗尽方式，当衬底从部分耗尽到全耗尽状态转变时，器件总的电容将发生急剧的变化，电容具体变化情况如图 1.18 (b) 所示。可以看到当所加电压达到一定值之后，电容快速下降，这时器件的电容就和器件的面积没有关系了，而只和右边电极的面积有关系。

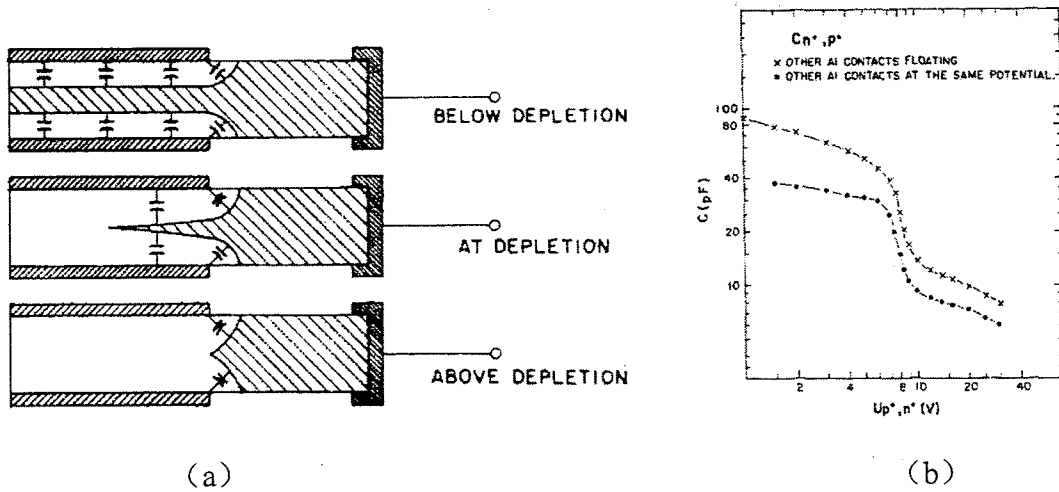
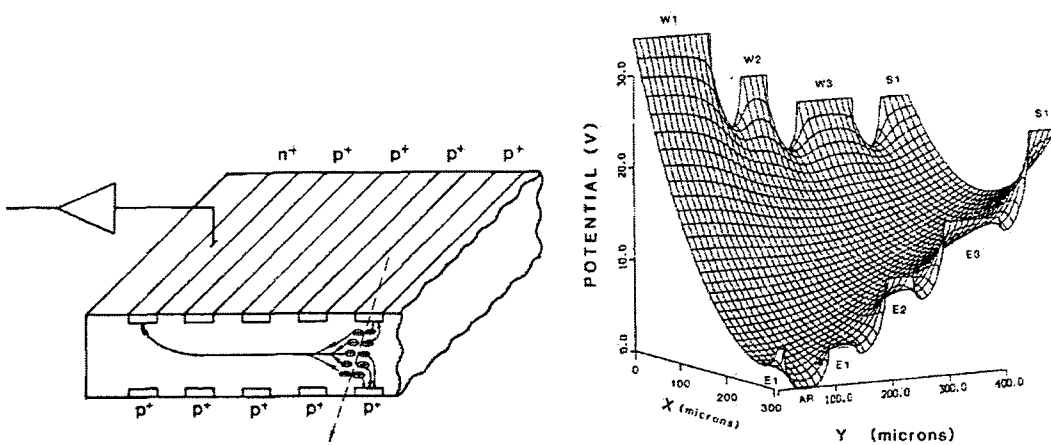


图 1.18 (a) 侧向耗尽原理示意图。(b) P+区电极和 N+区电极之间的电容和它们之间所加电压的关系[33]。

采用这种侧向耗尽方式来制备的硅漂移探测器的原理示意图如图 1.19 (a) 所示[36], 器件一般采用高阻 N 型硅衬底制备, 在器件的上下表面分布着许多相间排列的条状的 P+掺杂区, 在器件一面的边缘有一个 N+掺杂区形成器件的收集阳极。器件工作时阳极接零电位, 在每个 P+区上施加合适的反向偏压, 使衬底实现全耗尽的同时产生一个指向阳极的漂移电场, 这样当高能射线在硅衬底中激发出电子空穴对之后, 电子就会在漂移电场的作用下横向运动到收集阳极, 然后根据阳极输出信号的大小就可以判断高能射线的能量。因为这种器件采用的是侧向耗尽的方式实现衬底全耗尽的, 所以该种器件相比于传统的 PIN 高能射线探测器有一个非常明显的优势, 那就是器件的电容完全由器件的阳极面积决定, 和器件的总面积无关。又因为一般硅漂移探测器的阳极面积都很小, 所以一般硅漂移探测器全耗尽状态下的电容只有 100fF~200fF。



(a)

(b)

图 1.18 (a) 硅漂移探测器结构示意图。(b) 硅漂移探测器中的电势分布。[36]

1.2.3. 硅漂移探测器的传统制备工艺及其存在的问题

自从 1979 年 J. Kemmer 将半导体平面工艺应用到硅 PN 结探测器的制造中之后[47], 半导体平面工艺在各种半导体探测器制备中的应用就越来越广泛了。因此当 Emilio Gatti 和 Pavel Rehak 提出硅漂移探测器这种结构之后, 很自然的就采用硅平面工艺来制备硅漂移探测器。硅平面工艺作为一种在大规模集成电路制备中广泛应用的工艺已经发展的非常成熟了, 工艺主要包含掺杂工艺、氧化工艺、薄膜沉积工艺、刻蚀工艺、光刻工艺、金属化工艺等。硅漂移探测器相对于集成电路来说结构要简单的多, 所以采用硅平面工艺来制备硅漂移探测器是完全可行的。但是对于硅漂移探测器的制备, 还有一些集成电路制备中不曾遇到的问题需要解决。硅漂移探测器的制备相对于集成电路来说最大的不同就是, 硅漂移探测器的制备采用的是高纯高阻的单晶硅衬底, 由于衬底的纯度非常高, 衬底对于外界杂质的污染就非常敏感[48], 这就需要保证工艺环境非常洁净, 而且尽量避免工艺过程对衬底的损伤。下面就对硅漂移探测器中关键的制备工艺步骤进行简单介绍并对工艺中存在的问题进行分析。

1.2.3.1. 氧化工艺

表面钝化对于硅漂移探测器来说是非常重要的, 因为没有进行表面钝化的硅衬底表面会产生非常多的表面态, 这些表面态会引起非常严重的表面产生电流, 从而给器件带来很大的噪声。一般硅表面的钝化是采用在硅表面生长一层介质膜的方式来完成, 最常用的介质膜就是氧化硅膜。氧化硅介质膜一般是通过热氧氧化的方式来形成的, 而热氧氧化有两种方法, 一种是通过干燥的氧气去氧化硅表面, 称为干氧氧化。一种是通过水汽去氧化硅表面, 称为湿氧氧化。前者生长的氧化膜的质量比较好, 表面态密度比较低, 但是氧化硅膜的生长速度比较慢。后者氧化硅膜的生长速度比较快但是氧化硅膜的质量比较差, 表面态密度也比较高[48]。所以有时候人们会采用干氧-湿氧-干氧的方式来生长氧化膜, 这样既可以缩短氧化时间又可以保证一个良好的界面态。有时在氧化的时候人们还会在氧气中通入一定量的氯化氢气体, 这主要是因为氯原子可以起到固定可动离子、降低

界面态密度的作用[49]。

1.2.3.2. 离子注入

对于硅漂移探测器来说,采用离子注入主要是用来形成探测器中阳极、漂移环、保护环、分压电阻、入射窗口、接地电极处的重掺杂区域。其中阳极和接地电极区域为 N+掺杂区域,所以要通过磷离子注入来形成,漂移环、保护环、分压电阻、入射窗口为 P+掺杂区域,所以要通过硼离子注入来形成。其实形成这些重掺杂区域的方法并不只有离子注入,其他的方法如扩散也可以用来形成硅表面的重掺杂。但是自从硅漂移探测器被提出来以后,离子注入几乎就成为了其制备工艺中唯一的一种掺杂工艺了。这主要是因为离子注入相对于扩散工艺来说有以下优点:首先离子注入中的高温过程要比扩散短很多,因此避免了长时间的高温过程对衬底的损伤。其次离子注入可以精确控制掺杂区的掺杂浓度和深度,这对于硅漂移探测器中的某些结构如分压电阻、入射窗口是非常重要的。最后离子注入非常容易实现局部掺杂,因为用光刻胶就可以作为离子注入的阻挡层,而对于扩散来说一般都是采用氧化硅等介质膜来进行阻挡的。

然而离子注入也存在很多的问题,首先采用离子注入掺到硅衬底中的杂质是没有活性的,还必须经过一个退火的过程来对杂质进行激活[50],这个退火过程有可能会对衬底造成损伤。其次离子注入的过程中,注入的离子会对硅衬底的晶格造成损伤,引起各种缺陷,对于注入剂量和能量比较大的情况甚至会造成硅衬底表面非晶硅化。虽然经过后退火工艺可以对这些缺陷进行修复,但是肯定还会残留很多缺陷无法修复,这些缺陷的存在会引起漏电的增大。除此之外,虽然离子注入相对于扩散来说对掺杂区域的掺杂分布控制的比较好,但是随着硅漂移探测器性能的提高,离子注入越来越无法满足探测器中某些结构的制备要求。例如随着硅漂移探测器探测能量的不断减小,就需要入射窗口的掺杂深度越来越浅[51],但是离子注入对于形成超浅结来说也是很困难的,而且离子注入还存在隧道效应,这会造成注入的杂质进入到衬底很深的地方,这对于探测器探测低能射线是非常不利的。还有离子注入在制备高阻值分压电阻方面也是非常困难的,因为要想制备高阻值的分压电阻,必须尽量降低离子注入的能量和剂量,但是过低的注入能量和剂量将严重影响分压电阻的均匀性和重复性。

1.2.3.3. 光刻和腐蚀工艺

光刻和腐蚀工艺在硅漂移探测器的制备中主要是用来形成探测器中的各种图形结构的。这些图形结构一般是通过以下步骤形成的：首先通过光刻的方法将要进行腐蚀的区域裸露出来，而不希望进行腐蚀的区域用光刻胶遮挡起来了，然后通过湿法或者干法腐蚀的方法，将裸露出来的区域上的特定部分去掉，然后再将光刻胶去掉就得到了想要的图形了。对于硅漂移探测器的光刻工艺有一点需要注意一下，那就是硅漂移探测器是一种双面器件，也就是说是在衬底的两个面都有图形结构，所以在两个面都要进行光刻，而当进行双面光刻的时候，这两个面的图形是要进行对准的，这就需要采用具有双面对准的光刻机才能实现[37]。

1.2.3.4. 退火工艺

退火工艺在硅漂移探测器中主要是应用在两个方面。首先是离子注入之后的退火，该退火工艺主要是为了修复离子注入对衬底表面造成的损伤并且对注入的杂质进行激活。该退火工艺的温度一般比较高，至少在 800°C 以上，有时甚至会超过 1000°C [50]。但是退火的时间一般都比较短，尤其是对于一种快速热退火工艺来说，高温过程可能只有几十秒的时间。退火工艺的第二个应用是在形成金属电极之后，该退火过程主要是为了改善金属和衬底之间的接触，降低接触电阻。该退火工艺的温度一般比较低，对于铝电极来说 400°C 就够了，时间也只需要几分钟[48]。

1.2.4. 多晶硅薄膜在硅漂移探测器中的应用及其优势

从上面对硅漂移探测器的传统制备工艺的介绍中可以看到，对于传统的硅漂移探测器的制备工艺，最大的问题出现在了离子注入工艺上。如果继续采用离子注入来制备硅漂移探测器，探测器的性能很难再有所提高了。因此必须寻求其它的工艺来代替离子注入。我们从多晶硅薄膜技术在 IBC 太阳能电池中的应用得到启发，想到应该可以采用多晶硅薄膜技术代替离子注入来制备硅漂移探测器。虽然据我们所知，以前还没有任何人报道过将多晶硅薄膜技术应用到硅漂移探测器的制备中，但是由于我们从多晶硅薄膜在 IBC 太阳能电池的应用中积累了大量的关于多晶硅薄膜技术的经验，又由于 IBC 太阳能电池和硅漂移探测器具有一定的相似性，所以我们大胆的对多晶硅薄膜技术在硅漂移探测器中的应用进行了尝试。

通过不断的尝试和研究我们发现采用多晶硅薄膜技术完全可以用来制备硅漂移探测器。能够采用多晶硅薄膜技术来制备硅漂移探测器主要是因为多晶硅薄膜技术在三个方面取得的成果。下面分别进行介绍：

1.2.4.1. 采用多晶硅薄膜可以制备硅漂移探测器中的分压电阻。

其实多晶硅电阻在集成电路里面早就被广泛的应用了[52]，因此我们很容易就想到了采用多晶硅薄膜来制备硅漂移探测器中的分压电阻，通过不断地研究我们发现，采用多晶硅薄膜不但可以用来制备硅漂移探测器中分压电阻，而且制备出来的分压电阻具有比离子注入制备的分压电阻更好的性能。首先采用多晶硅可以制备高阻值的分压电阻，而且可以有很多种方法来精确调节分压电阻的阻值。其次多晶硅分压电阻相比于离子注入制备的分压电阻具有更低的温度系数绝对值，所以受温度的影响更小，这有利于提高器件的稳定性。最后多晶硅电阻不是制备在硅衬底上，而是在氧化硅层上制备的，所以多晶硅电阻对衬底的影响更小。

1.2.4.2. 采用多晶硅薄膜可以制备高质量的 PN 结。

PN 结的形成对于硅漂移探测器的制备来说至关重要的，因为硅漂移探测器中漂移环、保护环、入射窗口都是由 PN 结构成的，因此要想采用多晶硅薄膜技术来制备硅漂移探测器，必须要能采用多晶硅薄膜制备 PN 结。得益于我们对多晶硅薄膜在 IBC 电池中应用的研究，我们发展出了一种采用多晶硅薄膜制备高质量 PN 结的方法。具体方法很简单，就是先在衬底上沉积一层掺杂的非晶硅薄膜，然后通过高温退火的方式将非晶硅薄膜转变成多晶硅薄膜与此同时将非晶硅中的杂质推进到衬底中，从而形成具有一定结深的 PN 结。采用该方法来制备 PN 结不但工艺非常简单，而且我们发现制备出来的 PN 结的质量还比较高，PN 结的反向饱和漏电流非常低，因此将其应用到硅漂移探测器中可以有效降低器件噪音，从而提高器件性能。

1.2.4.3. 采用多晶硅薄膜来制备硅漂移探测器的阳极

因为在硅漂移探测器中的阳极面既有 P+掺杂区又有 N+掺杂区。P+掺杂区用来形成探测器中的漂移环和保护环，而 N+掺杂区用来形成探测器中的阳极和接

地电极。对于离子注入工艺，这两个区域可以很方便的形成。但是对于多晶硅薄膜工艺就没有这么简单了。因为在用多晶硅薄膜来形成这两个不同掺杂类型的区域时，两种掺杂类型的薄膜将不可避免的发生重叠，而要精确地腐蚀掉重叠部分上面一层的非晶硅而不影响下面一层的非晶硅是非常困难的。因此如何采用多晶硅薄膜技术在衬底的同一面同时形成两种掺杂类型的区域就变成了急需解决的问题。同样还是从多晶硅薄膜在 IBC 太阳能电池的应用中找到了解决办法。因为在 IBC 太阳能电池的背面也是既有 P+掺杂区又有 N+掺杂区，多晶硅薄膜在 IBC 太阳能电池的应用中遇到的问题和在硅漂移探测器中遇到的问题一样，我们的解决办法是，先沉积 N 型非晶硅再沉积 P 型非晶硅，这样形成的就是 N 型非晶硅和 P 型非晶硅的叠层，然后我们不去腐蚀上面一层的 P 型非晶硅，而是通过一个退火过程，使下面 N 型非晶硅中的磷扩散到上面 P 型非晶中从而将 P 型非晶硅补偿成 N 型的，因为磷在多晶硅中的掺杂效率要比硼高，所以该非晶硅叠层最后就变成完全的 N 型多晶硅了。

通过以上介绍的多晶硅薄膜技术在这三个方面取得的成果，我们可以完全采用多晶硅薄膜来制备硅漂移探测器了。我们发现采用这种多晶硅薄膜工艺不但可以有效提高硅漂移探测器的性能而且可以大大简化探测器的制备工艺，这对于促进硅漂移探测器性能的进一步提高以及降低硅漂移探测器的生产成本是非常有利的。

1.3 本论文的选题意义和组织结构

1.3.1. 选题的意义

能源和环境污染问题作为目前人类面临的最紧迫的问题之一受到了越来越多的关注。为了取代不可再生的化石能源以及避免化石能源的使用造成的环境破坏，许多新的能源被人们开发了出来。太阳能电池作为一种直接利用太阳能进行发电的器件，具有环境适应性强、使用寿命长、清洁无污染等优点，因此非常适合用来取代化石能源。但是目前市场上比较常见的铝背场太阳能电池的光电转换效率还比较低，从而导致光伏发电的度电成本还比较高，无法短期取代化石能源作为主要的能源。降低光伏发电成本最有效的一种途径就是提高太阳能电池的光电转化效率。IBC 太阳能电池作为一种效率比较高的电池已经有几十年的发展历史了，目

前世界上效率最高的硅基太阳电池就是通过将非晶硅异质结和 IBC 电池结构结合而制备出来的,效率已经达到了 26.63%[21]。多晶硅隧穿氧化物钝化接触(Poly-TOPCon)结构作为一种刚提出不久得结构,因为其可以对硅衬底表面进行很好的钝化,所以可以有效提高太阳电池的效率,目前采用 Poly-TOPCon 结构的太阳电池最高效率已经达到了 25.7%[53]。因此如果能将 IBC 电池结构和 Poly-TOPCon 结构结合起来,肯定可以进一步提高电池的效率。而且采用 Poly-TOPCon 结构制备 IBC 太阳电池相比于采用非晶硅异质结制备 IBC 电池还有一个很大的优势,那就是 Poly-TOPCon 结构在高温下的稳定性要比非晶硅异质结强的多,所以采用 Poly-TOPCon 结构制备的 IBC 电池的金属化要比非晶硅异质结 IBC 电池容易的多。因此研究 Poly-TOPCon 结构以及其在 IBC 太阳电池中的应用就非常有意义了。

硅漂移探测器是一种主要用来探测 X 射线的高性能硅基探测器。这种探测器最大的特点就是器件的阳极电容非常小,而且电容不会随着器件面积的增加而增大,由于电容非常小,所以这种探测器具有非常高的计数率和能量分辨率。目前硅漂移探测器主要是采用离子注入来制备的,但是随着器件性能的提高,离子注入越来越不能满足探测器对制备工艺的要求了。例如离子注入无法制备超浅的入射窗口掺杂区,无法制备高阻值的分压电阻,而且离子注入还会造成衬底的损伤从而引起漏电的增加。除此之外,漂移探测器探测器在国内的发展非常慢,而且由于受到国外严密的技术封锁,虽然经过了十几年的发展,但是取得的成果却非常少,目前国内用到的硅漂移探测器全部都是高价从国外进口的。为了突破国外的技术封锁,我们必须在器件的制备工艺方面进行大胆创新,开发出一套具有自主知识产权的硅漂移探测器的制备工艺。由于以上原因,同时又由于多晶硅在 IBC 太阳电池中的成功应用,我们决定采用多晶硅薄膜技术来制备硅漂移探测器。由于多晶硅在制备高阻值电阻和高质量 PN 结方面的优势,我们发现多晶硅薄膜技术非常适合用来制备硅漂移探测器,通过大胆的尝试和创新,我们开发出了一整套完全采用多晶硅薄膜来制备硅漂移探测器的工艺,制备出的探测器已经实现了基本的探测功能,相信通过进一步的研究和优化,一定可以制备出高性能的硅漂移探测器。

1.3.2. 本论文的组织结构

本论文主要的研究内容是多晶硅薄膜在 IBC 太阳电池和硅漂移探测器中的应用。虽然 IBC 太阳电池和硅漂移探测器是两种不同的器件,但是这两种器件还是有很多相似之处的。首先这两种器件都是光电器件,因此在器件优化方面有很多相似之处,例如两种器件都需要对衬底表面进行很好的优化,两种器件都需要尽量降低 PN 结的暗态漏电,两种器件中的光生载流子都有一个横向输运的过程。其次两种器件在结构方面非常相似,IBC 太阳电池背面相间排列的背场区与发射区和硅漂移探测器阳极面的漂移环结构很相似。而且,和 IBC 太阳电池背面既有 P+掺杂区又有 N+掺杂区一样,硅漂移探测器的阳极面也是既有 P+掺杂区又有 N+掺杂区。因此采用多晶硅薄膜来制备两种器件所采用的图形化方法基本是相同的。最后,我们之所以采用多晶硅薄膜来制备硅漂移探测器也是因为从多晶硅薄膜在 IBC 太阳电池中的应用得到的启示,所以多晶硅薄膜在两种器件中的应用是一脉相承的。基于以上原因,该论文的各章内容安排如下:

第一章 绪论。主要介绍了多晶硅薄膜技术在两种器件中的应用背景。对于 IBC 太阳电池,我们首先介绍了 IBC 太阳电池的发展历史,然后对影响 IBC 电池效率的各种因素进行了分析。接着介绍了采用多晶硅薄膜技术制备的 Poly-TOPCon 结构的工作原理和发展现状,最后我们分析了采用 Poly-TOPCon 结构来制备 IBC 太阳电池的优势和存在的问题,从而引出我们要研究的主题。对于硅漂移探测器,我们也是首先介绍了硅漂移探测器的发展历史和现状。然后介绍了硅漂移探测器的工作原理和优势,并对硅漂移探测器的传统制备工艺和其中存在的问题进行了分析,然后针对传统制备工艺中存在的问题,提出了采用多晶硅薄膜技术来制备硅漂移探测器,并对其可行性和优势进行了分析。最后我们对本论文的研究意义和组织结构进行了介绍。

第二章 传统 IBC 太阳电池的设计与制备。本章主要是对采用扩散工艺制备的传统 IBC 太阳能进行了介绍。首先介绍了采用 TCAD 器件模拟软件对 IBC 太阳电池的各种结构参数进行的模拟,通过模拟分析了各种结构参数对器件性能的影响。然后介绍了对传统 IBC 太阳能制备中的各种单项工艺进行的研究和优化,其中包括扩散工艺、富硼层去除工艺、表面钝化工艺、金属化工艺。最后制备出了两种不同前场结构的 IBC 太阳电池,并对电池性能进行了表征。

第三章 Poly-TOPCon 结构及其在 IBC 太阳电池中的应用。本章首先介绍了 Poly-TOPCon 结构在制备工艺和性能表征方面的内容,然后通过模拟的方法对采用 Poly-TOPCon 结构作为前场的 IBC 太阳电池进行了分析。主要分析了多晶硅层和隧穿氧化层对 IBC 电池前表面场钝化和载流子横向输运的影响。然后将 Poly-TOPCon 结构应用到了 IBC 太阳电池的制备中,制备出了两种不同结构的 IBC 太阳电池,一种只采用 Poly-TOPCon 结构作为前场,另一种同时采用 Poly-TOPCon 结构作为前场和背场,并对制备出的电池性能进行了表征。

第四章 多晶硅在高阻值电阻和高质量异质 PN 结制备中的应用。本章主要从多晶硅薄膜在两个方面的应用进行了介绍。首先是采用多晶硅薄膜来制备高阻值的电阻,其中采用 APCVD 和后退火的方式来制备多晶硅,并采用离子注入或原位掺杂对多晶硅进行掺杂。分析了沉积时间和退火温度对多晶硅薄膜方阻的影响,并对制备的多晶硅电阻的电学性能进行了表征。其次采用多晶硅薄膜来制备高质量的异质 PN 结,并对退火温度、钝化层种类等工艺参数对 PN 结漏电的影响进行了分析。

第五章 采用多晶硅薄膜技术的硅漂移探测器的设计。本章主要介绍硅漂移探测器设计方面的内容。首先系统介绍了前人在硅漂移探测器设计方面取得的成果,并对关键结构的设计进行了实验验证。然后介绍了多晶硅薄膜技术在硅漂移探测器中的应用,主要是采用多晶硅薄膜来制备硅漂移探测器中的漂移环、分压电阻、保护环、入射窗口、阳极等结构,并分析了这种应用的可行性和优势。

第六章 基于多晶硅薄膜技术的硅漂移探测器的制备与性能测试。本章首先介绍了采用多晶硅薄膜来制备硅漂移探测器的整套工艺。制备出了三种不同尺寸的硅漂移探测器。然后介绍了对硅漂移探测器的测试分析。首先测试了探测器的静态电学特性,主要包括器件漏电、器件耗尽电压、分压电阻的分压特性的测试,然后采用脉冲激光源和 ^{241}Pu 放射源对探测器的动态信号进行了测试,证明了采用多晶硅薄膜技术制备硅漂移探测器的可行性。

第七章 总结与展望。这一章主要是对本论文取得的成果和创新性进行了总结,并对多晶硅薄膜在这两种器件中的应用前景进行了展望。

第二章 传统 IBC 太阳能电池的设计与制备

2.1 引言

本章主要介绍的是传统插指型背接触（IBC）太阳能电池设计与制备方面的内容。传统的 IBC 太阳能电池是对比于下一章要介绍采用的 Poly-TOPCon 结构制备的 IBC 电池来说的，传统的 IBC 电池一般是采用扩散或者离子注入工艺来制备的[54]。IBC 太阳能电池是一种高效率的太阳能电池，由于该种电池独特的背结背接触结构，使得电池的短路电流和串联电阻得到了明显的改善。然而也正是由于 IBC 电池这种背结背接触结构，使得电池的结构变得非常复杂，相应的制备工艺也变得比较繁琐，虽然 IBC 电池效率要比传统的铝背场电池高，但是这只有在电池的各个结构参数得到了很好的优化的前提下才能够实现，如果器件结构设计的不合理，那么电池效率很有可能还不如传统的双面电池高，所以电池的结构设计非常重要。由于 IBC 电池的结构比较复杂，电池的结构设计要考虑很多方面因素的影响，例如电池前表面的钝化效果、电池的前场结构、电池前表面陷光结构的影响、电池衬底参数的选择、电池背面电极结构的设计等等[55]。因为设计的影响因素比较多，所以对于 IBC 太阳能电池的结构设计，一般是先通过软件模拟的方式，对各个结构参数对电池性能的影响进行模拟仿真，通过仿真结果得到电池结构的一个大致的设计方向，然后用来指导实际的电池制备中各个结构参数的选择和优化。本章第二小节介绍了采用 TCAD 模拟软件对 IBC 太阳能电池进行的模拟仿真，该软件可以通过计算器件内部电场、电势以及载流子的分布，分析不同的器件结构参数对电池性能的影响。

对器件的结构参数进行模拟分析只是对后期的实验进行一个方向性的指导，但是要想制备高效率的 IBC 电池，只有模拟分析是远远不够的。例如虽然通过模拟仿真得到了最佳的前场掺杂浓度和结深，但是如何通过具体的工艺来实现这样的掺杂浓度和结深，这就需要通过具体的单项实验的研究来实现了。除此之外，当涉及到衬底的少子寿命以及表面的钝化效果等这些很容易受工艺环境和工艺条件影响的参数时，软件模拟的意义不是很大，必须通过具体的实验进行研究和分析。IBC 太阳能电池流片的工艺步骤比较多，其中涉及到几个相互之间影响不是

很大，但是又比较关键的单项工艺，这些工艺往往可以单独进行研究和优化，优化完成以后再进行工艺的整合就可以了。本章的第三小节介绍了关于几个关键单项工艺的研究内容。

单项工艺研究完成之后就要进行完整的流片工艺了，进行完整的流片一方面可以对各个单项工艺的兼容性进行分析，另一方面也可以对具体流片方案进行选择和研究，本章的第四小节介绍了几种 IBC 太阳能电池的流片方案，并对制备出来的 IBC 电池进行了测试分析。

2.2 IBC 太阳能电池的结构设计

2.2.1. 模拟软件介绍

我们的模拟工作主要应用的是中科院微电子所的 TCAD 半导体器件模拟软件，该软件可以用来对复杂的半导体器件进行二维和三维的模拟。该软件是一种基于物理的模拟仿真软件，软件通过解一定边界条件下的泊松方程、载流子连续性方程以及载流子输运方程，可以得到器件内部的电场、电势以及载流子分布情况。通过对器件的各种结构、电学参数，例如器件各个结构的尺寸、衬底的电阻率、少子寿命、表面复合速率等进行设置，就可以模拟不同的器件参数对器件的电学性能的影响。非常重要的一点是，该模拟软件可以模拟器件的光电性能，各种结构复杂的光电器件，例如激光器、VCSEL、LED 等都可以采用该软件来模拟。IBC 太阳能电池的结构虽然比传统的电池要复杂，但是相对这些器件来说是比较简单的，所以该软件完全可以胜任 IBC 电池的模拟分析工作。

2.2.2. IBC 太阳能电池各种结构参数模拟及结果分析

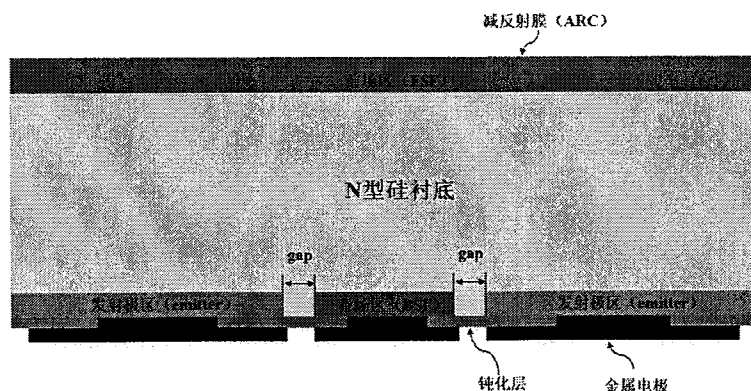


图 2.1 IBC 太阳能电池模拟结构示意图

我们模拟采用的 IBC 电池模型示意图如图 2.1 所示, 电池采用 N 型单晶硅衬底, 电池的前表面有一个 N 型重掺杂区形成的前场结构, 该前场结构既可以起到一个场钝化的作用又可以起到帮助多数载流子横向输运的作用。前场的上面是一层减反射膜, 该减反射膜既可以起到减反射的作用又可以起到表面钝化的作用。电池的背面是发射极区和背场区, 发射极区的宽度要远大于背场区, 发射极区和背场区之间由一个未掺杂的 gap 隔开。在发射极区和背场区的局部区域形成了金属接触, 没有金属接触的区域采用钝化膜对表面进行了钝化。我们对这种结构的 IBC 电池的模拟可以大致分为三个部分。一个是对电池前面结构的模拟仿真, 包括前场的掺杂浓度、前表面复合速率等参数。另一个针对衬底参数, 包括衬底厚度、衬底电阻率, 衬底少子寿命等进行模拟。最后是对电池背面参数, 包括发射极和背场以及 gap 的宽度, 重掺杂区的掺杂浓度和结深等。下面就对这三部分的仿真工作和结果进行介绍和分析。

2.2.2.1. IBC 电池前表面参数仿真结果分析

对于 IBC 太阳电池来说, 前表面最重要的性质就是表面的钝化性能[56,22]。因为光生载流子主要是在电池的前表面产生的, 如果前表面的钝化效果不好的话, 光生载流子就会在电池的前表面复合掉, 造成能量的损失。IBC 电池前表面的钝化包括场钝化和化学钝化两种。场钝化就是在电池的前表面形成一个和衬底掺杂类型相同的重掺杂区从而和衬底形成一个高低结[57]。该结构在模拟的时候主要是模拟掺杂区的结深和表面掺杂浓度的影响, 掺杂分布都是高斯分布。化学钝化一般是通过沉积一层钝化膜的方法减少表面的态密度, 从而降低表面复合速率 (SRV) [58]。所以在模拟过程中是通过设置前表面的复合速率来模拟化学钝化的效果的。

首先我们模拟了在不同表面复合速率的情况下, 电池性能随前场区的表面掺杂浓度的变化情况。模拟结果如图 2.2 所示。可以看到随着前场表面掺杂浓度的增加电池的短路电流、开路电压、转换效率都是呈先上升后下降的趋势的。

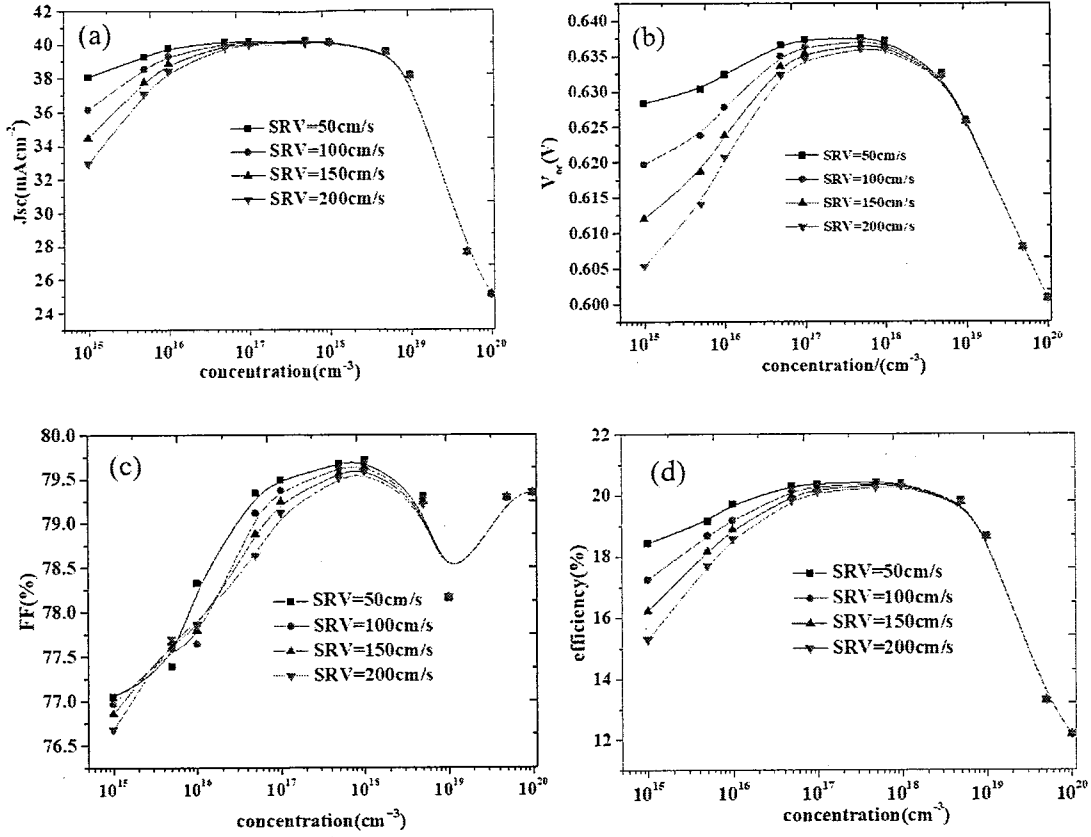


图 2.2 IBC 电池性能参数随前场掺杂浓度和前表面复合速率的变化关系：(a) 短路电流 J_{sc} 。(b) 开路电压 V_{oc} 。(c) 填充因子 FF 。(d) 电池转换效率 Eff 。

造成这种先上升后下降的趋势的原因是因为当前表面掺杂浓度不是很大时，表面复合起主导作用，随着掺杂浓度的增加，前场的场钝化作用增强，从而减少了载流子在前表面的复合，进而使得电池的开路电压、短路电流以及效率都得到了提高。但是当前表面掺杂浓度继续增加时，重掺杂区内的俄歇复合迅速增大，并超过表面复合而起主导作用。因为俄歇复合和载流子浓度有以下关系[59]：

$$R_{Auger} = C_n n^2 p + C_p n p^2 \quad (2.1)$$

其中 C_n 和 C_p 分别为电子和空穴的俄歇系数， n 和 p 分别为电子和空穴的密度。所以当掺杂浓度继续增大时，迅速增加的俄歇复合会使得大量的光生载流子在前场区内复合掉从而使电池效率迅速下降。为了进一步证实这一猜想，我们提取了不同前场掺杂浓度时前场区内的俄歇复合速率如图 2.3 所示。可以看到随着前场掺杂浓度的增加前场区内的俄歇复合速率增加了好几个数量级。

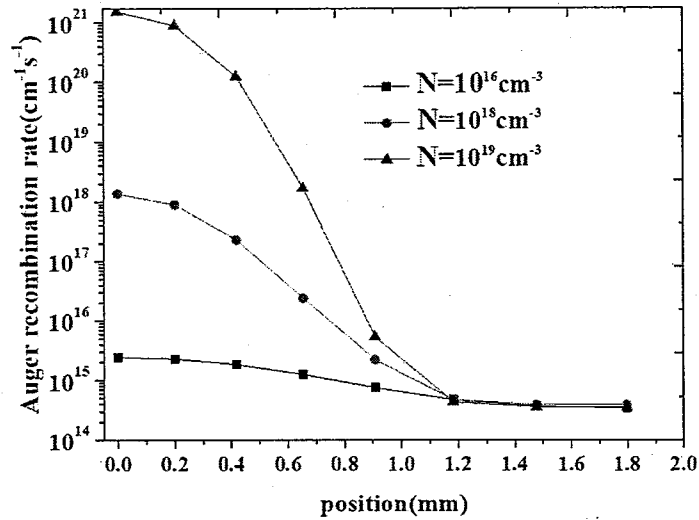
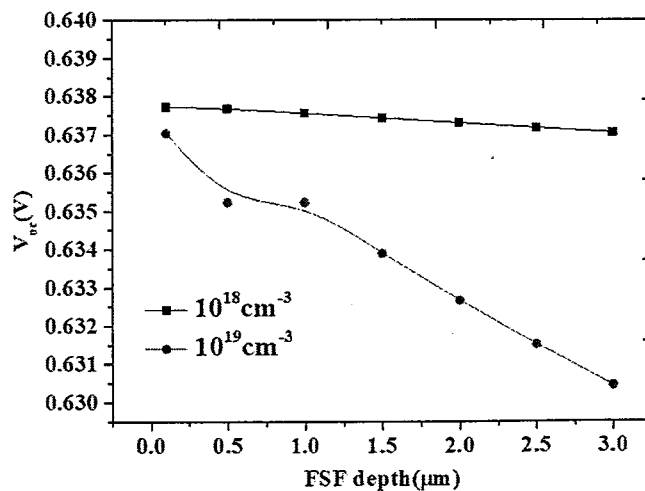


图 2.3 不同前场掺杂浓度情况下 IBC 电池前表面附近的俄歇复合速率。

从上面的仿真结果中我们还可以发现一个现象：当前场掺杂浓度比较小时，改变前表面的复合速率会对电池性能产生比较大的影响，但是当当前场掺杂浓度大于 $5 \times 10^{18} \text{ cm}^{-3}$ 时，改变前表面的复合速率就不会对电池产生影响了，这说明当掺杂浓度大于 $5 \times 10^{18} \text{ cm}^{-3}$ 时，就完全是场钝化在起作用了，前场形成区形成的内建电场可以完全阻止少数载流子运动到前表面进行复合。

模拟结果中填充因子的变化趋势和其它性能参数不一样也比较复杂，这主要是因为前场不但可以对表面起到钝化的作用同时也可以起到一个帮助载流子横向输运的作用[60]，IBC 电池中载流子有效的横向输运可以有效提高电池的填充因子，所以前场掺杂浓度的变化会从不同方面影响电池的填充因子，造成了填充因子不一样的变化趋势。



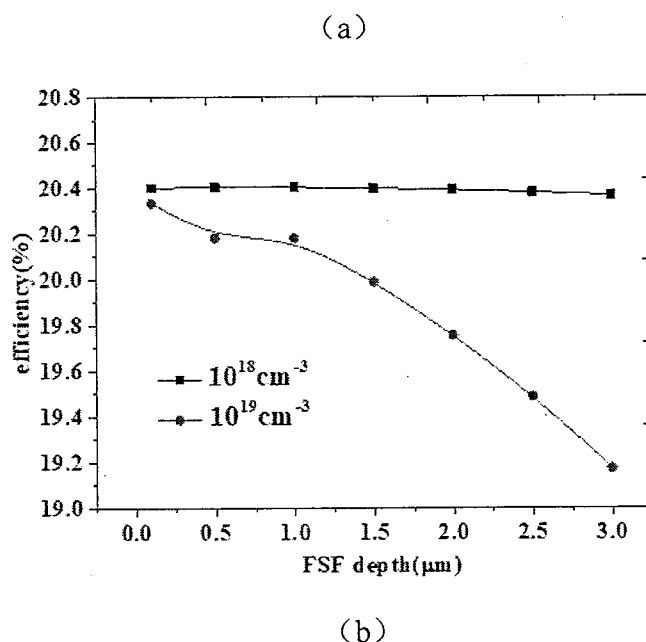


图 2.4 IBC 电池的(a)开路电压和(b)电池效率在不同前场掺杂浓度下和前场结深的关系。

然后我们模拟了不同前场掺杂浓度下，前场的结深对电池性能的影响。模拟结果如图 2.4 所示。可以看到对于两个不同的掺杂浓度，电池的性能都是随着前场结深的增加呈下降的趋势的。而且前场掺杂浓度越高，电池性能随前场结深下降的越明显。这说明对于 IBC 电池的前场来说，应该尽量将结深做得比较浅。

综上所述，IBC 电池的前场掺杂浓度应该适中，从而使得前场既能起到很好的场钝化作用，又不至于引起比较大的俄歇复合，掺杂浓度最好是在 $1 \times 10^{18} \text{ cm}^{-3}$ 附近，当前场掺杂浓度比较合适的时候，对前表面的化学钝化的要求可以适当降低。而前场的结深应尽量做得比较浅，从而减小死层带来的光损失。

2.2.2.2. 电池衬底参数仿真结果分析

衬底参数主要包括衬底少数寿命、衬底掺杂浓度以及衬底厚度。这些参数对电池效率的影响的模拟结果如图 2.5 所示。对于少数寿命对电池效率的影响，可以看到，电池效率随着少数寿命的增加先呈上升的趋势，但是当少数寿命超过 10ms 之后电池效率就不再变化了。这种趋势很好解释。一开始效率呈上升的趋势，是因为少数寿命的增加减小了光生载流子在衬底内部的复合，从而可以有效提高电池效率。而当少数寿命高于一定值之后，少数载流子的扩散长度已经大于光生载流子在 IBC 电池内最大的运动距离了，所以即使少数寿命再高电池效率

也不会提高了。

对于衬底掺杂浓度对电池效率的影响,可以看到,电池效率是随着衬底掺杂浓度呈先上升后下降的趋势的。上升的趋势是因为衬底掺杂浓度的增大可以提高电池中 PN 结的势垒高度,除此之外,掺杂浓度增加还会降低衬底的电阻率,减小电池的串联电阻。下降的趋势是因为衬底掺杂浓度的提高,增加了衬底内的 SRH 复合[61]。而且衬底掺杂浓度增加会削弱前场的场钝化作用,导致前表面复合增加,从而导致电池效率下降。

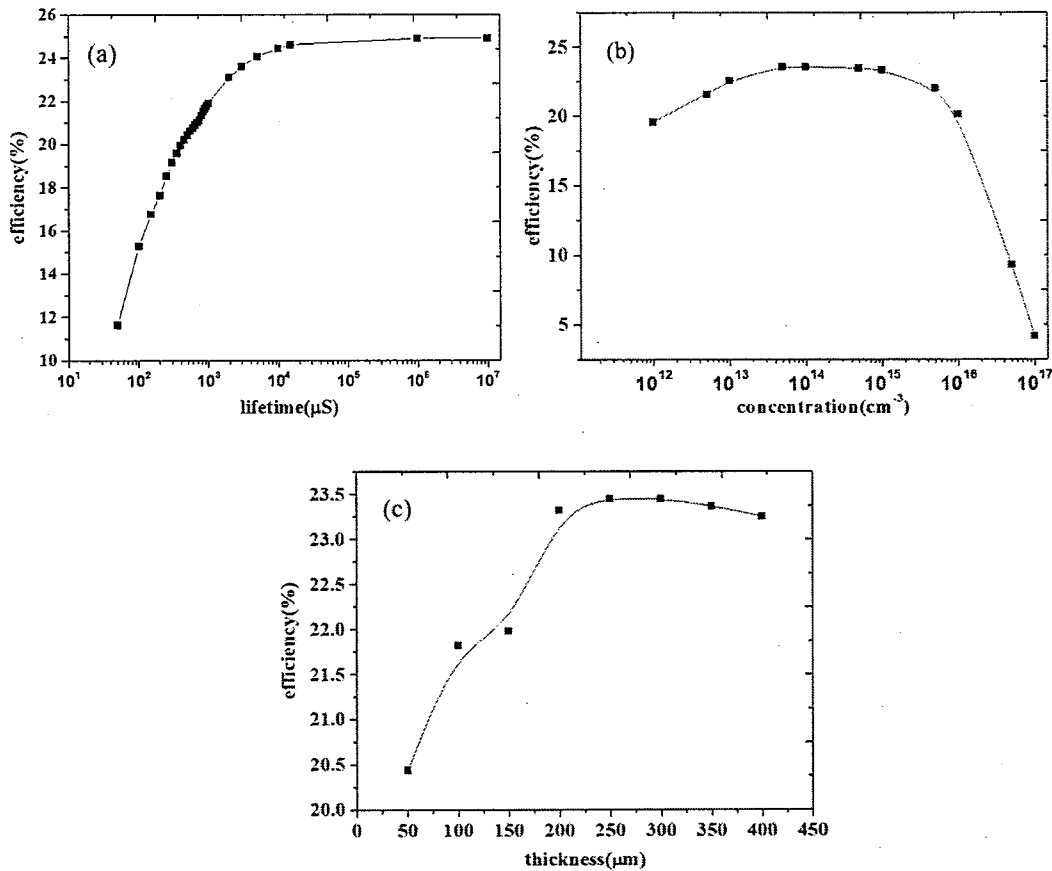


图 2.5 (a) 衬底少子寿命对 IBC 电池效率的影响。(b) 衬底掺杂浓度对 IBC 电池效率的影响。(c) 衬底厚度对 IBC 电池效率的影响。

对于衬底厚度对电池效率的影响,可以看到,随着衬底厚度的增加电池效率先迅速增加并达到一个最大值,当衬底厚度继续增加时,电池效率反而呈稍微下降的趋势。电池效率随衬底厚度迅速增加是因为随着衬底厚度的增加衬底对入射光的吸收效率变大,因为太阳光中波长比较长的光在硅衬底中的穿透深度比较大[62],如果衬底比较薄的话,长波段的光就会穿过衬底被损失掉,从而导致电池

效率的下降。为了证明这一推测，我们模拟了不同衬底厚度的 IBC 电池的外量子效率，如图 2.6 所示，可以看到，随着衬底厚度的增加电池在长波段的外量子效率明显变大，这直观的证明了比较厚的衬底更有利于全波段的光吸收。当衬底厚度继续增加电池效率反而下降是因为衬底厚度的增加使得光生载流子的扩散距离增加，从而导致载流子在衬底内部的复合增加，所以电池效率会有所下降。

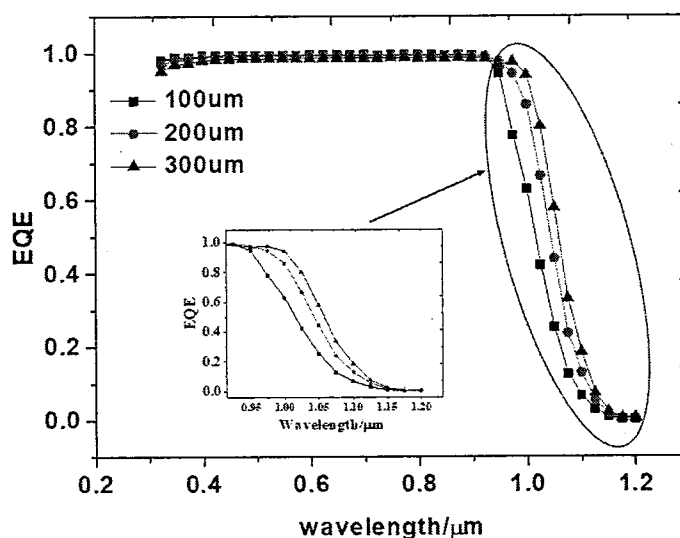
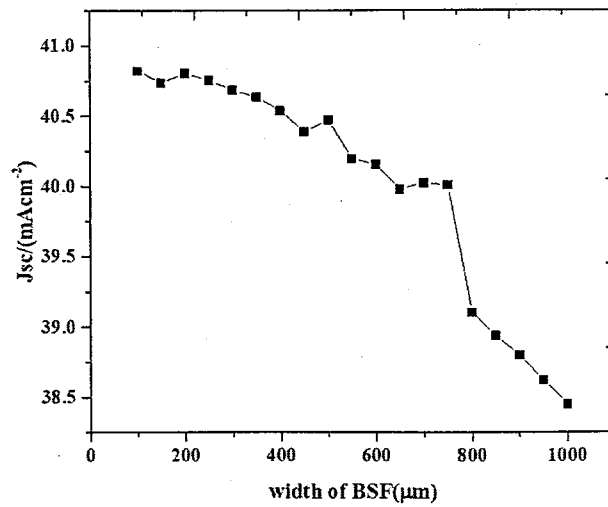


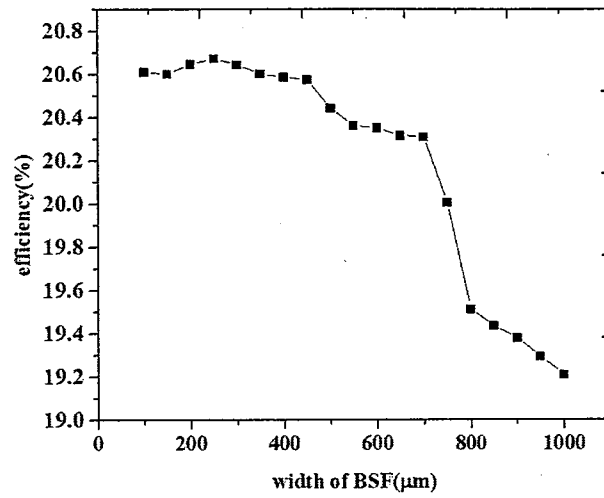
图 2.6 三种不同衬底厚度的 IBC 电池的外量子效率和入射光波长的关系。

2.2.2.3. 电池背面参数仿真结果分析

对于 IBC 电池的背面参数，我们主要仿真了发射极和背场宽度比、gap 的宽度、发射极和背场的掺杂浓度、以及背面的复合速率对电池效率的影响。对于发射极和背场宽度之比的模拟，我们保持发射极区和背场区宽度之和 (pitch) 为 $2000\mu\text{m}$ 不变，gap 的宽度为 $0\mu\text{m}$ ，然后将背场区的宽度从 $100\mu\text{m}$ 逐渐增加到了 $1000\mu\text{m}$ ，也就是发射极区和背场区宽度一样，然后观察其对电池性能的影响。模拟结果如图 2.7 所示。可以看到，随着背场宽度的增大，电池效率和短路电流都是呈下降趋势的，而且当背场宽度大于 $700\mu\text{m}$ 时，下降的趋势非常明显。造成这种现象的原因是因为背场宽度增大之后，如图 2.8 所示，在背场上方产生的少数载流子要想被收集就要运动更远的距离，这会导致少数载流子复合的增加，从而导致电池效率的下降。这种现象被称为 IBC 电池中的电学遮挡效应[63]。



(a)



(b)

图 2.7 (a) IBC 电池短路电流随背场宽度的变化关系。(b) IBC 电池效率随背场宽度的变化关系。

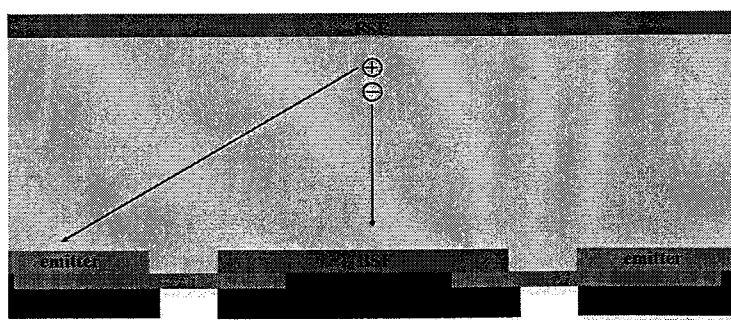


图 2.8 光生电子和空穴在 IBC 电池中输运路径示意图

图 2.9 为 IBC 电池效率随背面 gap 宽度的变化曲线。gap 的宽度从 $0\mu\text{m}$ 一直增加到 $400\mu\text{m}$ ，与此同时始终保持 pitch 不变，因此增加 gap 的宽度也就是减小了发射极区和背场区的宽度。从模拟结果中可以看到，随着 gap 宽度的增加，电池效率呈先上升后下降的趋势，电池效率在 gap 等于 $50\mu\text{m}$ 时达到最大值。我们对该现象的解释如下：当 gap 比较小时，由于 gap 两边都是重掺杂，这可能会导致载流子的隧穿，从而导致电池的漏电。随着 gap 宽度的增大也就意味着发射极和背场区宽度的减小，这不利于载流子的收集，从而导致电池效率的下降。

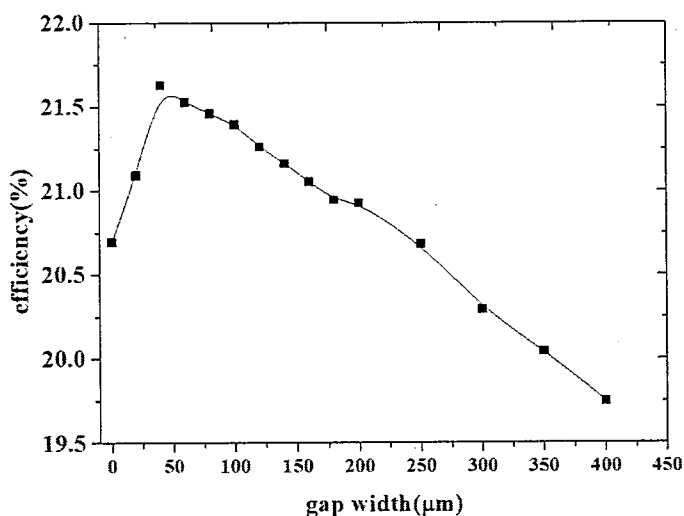
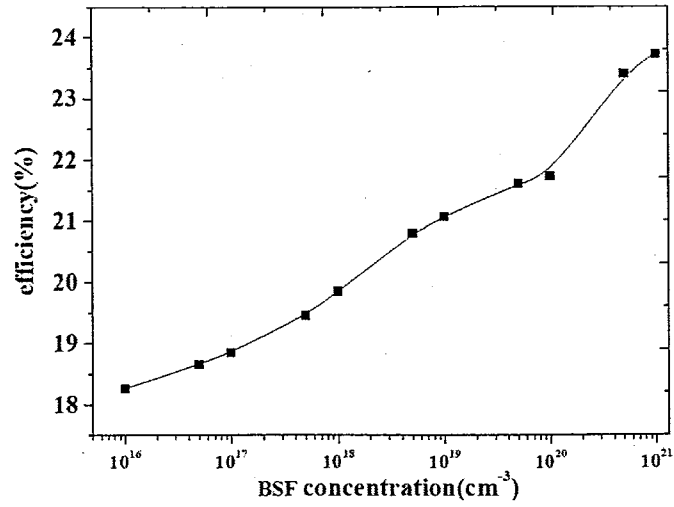
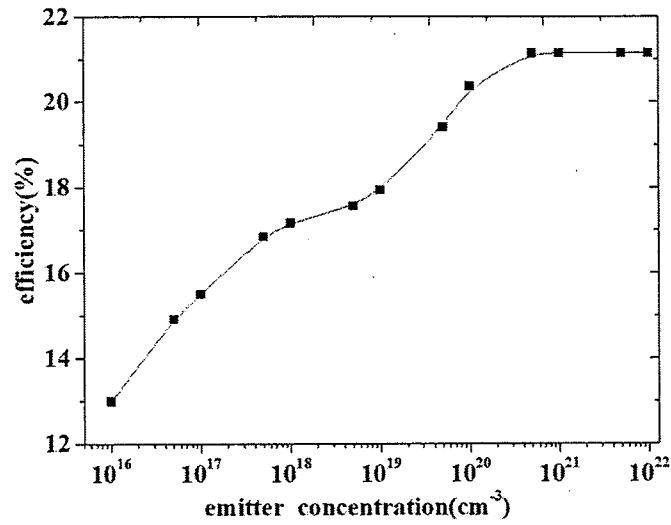


图 2.9 IBC 电池效率随 gap 宽度的变化关系

随后我们又分析了背场和发射极掺杂浓度对电池效率的影响，模拟结果如图 2.10 所示。可以看到，无论是对于背场区还是发射极区，电池效率都是随着掺杂浓度的增加而增大。对于背场来说，掺杂浓度的增大会增强背场区表面的场钝化作用，减小载流子在背场区表面的复合，而且因为背场区表面有金属接触区域，而金属接触会引起非常严重的表面复合[24]，所以背场的场钝化作用非常重要，因此背场的掺杂浓度要比较高从而起到比较强的场钝化作用。对于发射极区来说，在衬底掺杂浓度不变的情况下，发射极区掺杂浓度的升高会增加 PN 结中的势垒高度，使得能级的弯曲变得更明显，这会提高电池的开路电压，从而进一步提高电池效率。



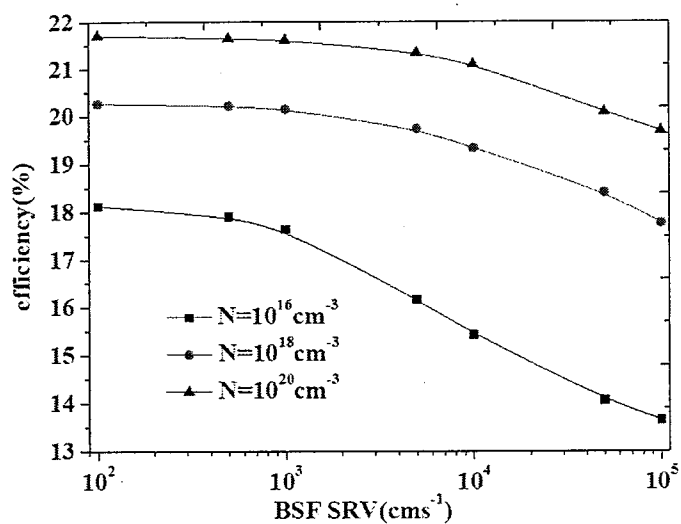
(a)



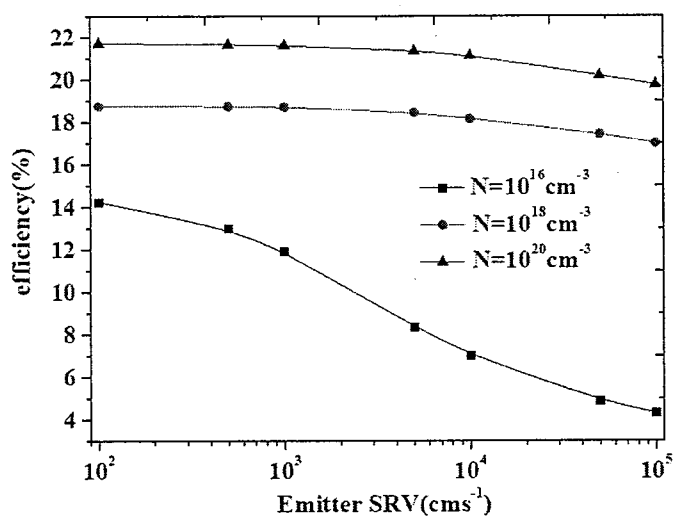
(b)

图 2.10 (a) IBC 电池效率随背场掺杂浓度的变化关系。(b) IBC 电池效率随发射极区掺杂浓度的变化关系。

最后我们模拟了不同背场和发射极掺杂浓度情况下, 电池效率随背表面相应区域复合速率的变化情况。模拟结果如图 2.11 所示。可以看到, 对于三种掺杂浓度来说, 增加表面复合速率都会造成电池效率下降, 但是掺杂浓度越高, 电池效率随表面复合速率的增大减小的越不明显, 这种情况明显不同于电池的前场, 所以对于电池的背面参数, 无论是背场还是发射极, 应该尽量将掺杂浓度做得高一点。



(a)



(b)

图 2.11 (a) 不同背场掺杂浓度下, IBC 电池效率随背背场区表面复合速率的变化关系。

(b) 不同背场掺杂浓度下, IBC 电池效率随发射极区表面复合速率的变化关系。

2.3 IBC 太阳电池流片中单项工艺的研究

2.3.1. 硼扩散工艺研究

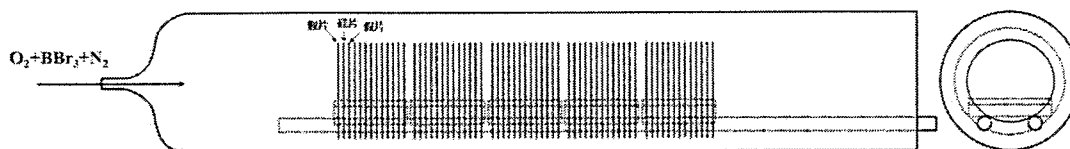
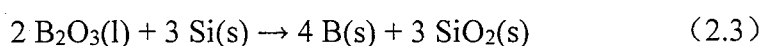
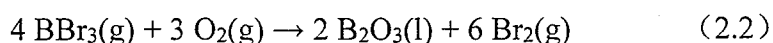


图 2.12 管式炉硼扩散原理示意图。

IBC 太阳能电池一般是使用 N 型单晶硅衬底来制备的,所以要想制备成电池,必须在 N 型单晶硅衬底上形成 P 型重掺杂区。形成 P 型掺杂区的方法有很多种,例如扩散、离子注入、外延生长等。然而对于太阳能电池这种产量非常大又对成本要求比较严格的行业,采用扩散的方式来形成 P 型掺杂是最现实的方式。在太阳能电池中,一般是采用硼扩散的方式在 N 型衬底的表面形成一个 P 型掺杂区的。最常用的硼扩散方式是使用液态的三溴化硼 (BBr_3) 作为扩散源,扩散方式示意图如图 2.12 所示, BBr_3 通过高纯氮气携带进入石英管中并和同时通入的氧气充分混合,然后混合气体在高温作用下和硅片发生如下反应[64]:



反应生成的硼原子在高温的作用下向硅衬底内部扩散。硅片一般是并排着放在石英支架上送到石英管中的,硅片与硅片之间一般用假片隔开,如图 2.12 所示,以保证扩散的均匀性和稳定性。我们在实验中采用的扩散炉实物图如图 2.13 所示,这是一个三管式氧化扩散炉,可以同时进行硼扩散、磷扩散和氧化工艺。

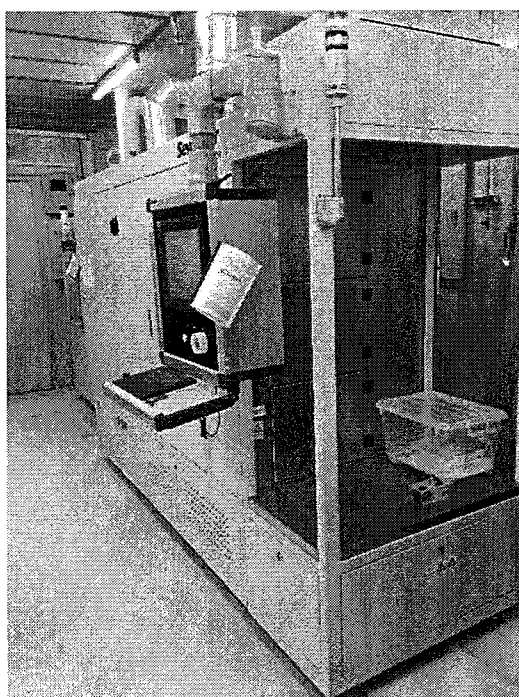


图 2.13 三管式氧化扩散炉实物图。

我们主要从两个方面对硼扩散工艺进行了详细的研究,它们分别是:(1)研

究硼扩散中的各种工艺参数对硼掺杂分布的影响。(2) 如何有效去除硼扩散过程中形成的富硼层。下面我们就对这两个方面的工作进行详细的介绍:

2.3.1.1. 硼扩散工艺参数对掺杂分布的影响

从本章第二节的模拟结果我们可以看出, 要想获得比较高的电池效率, 必须要能够对电池中各个掺杂区域, 如前场区、背场区以及发射极区的掺杂浓度和深度进行精确控制。IBC 太阳能电池的发射极区一般是通过硼扩散的方式形成的, 因此, 如何控制硼扩散形成的掺杂分布是我们首先要研究的问题。我们在 IBC 电池制备中采用的硼扩散工艺主要分为两个阶段, 首先是预沉积阶段, 在该工艺阶段中, BBr_3 和氧气发生反应生成氧化硼并附着到硅片的表面。然后是高温推进过程, 该阶段的温度要比预沉积的温度高, 在该阶段氧化硼和硅反应生成硼原子, 硼原子在高温的作用下向衬底内扩散, 从而形成具有一定深度的硼掺杂区。具体的工艺过程和对应的工艺参数如图 2.14 中的示意图所示。

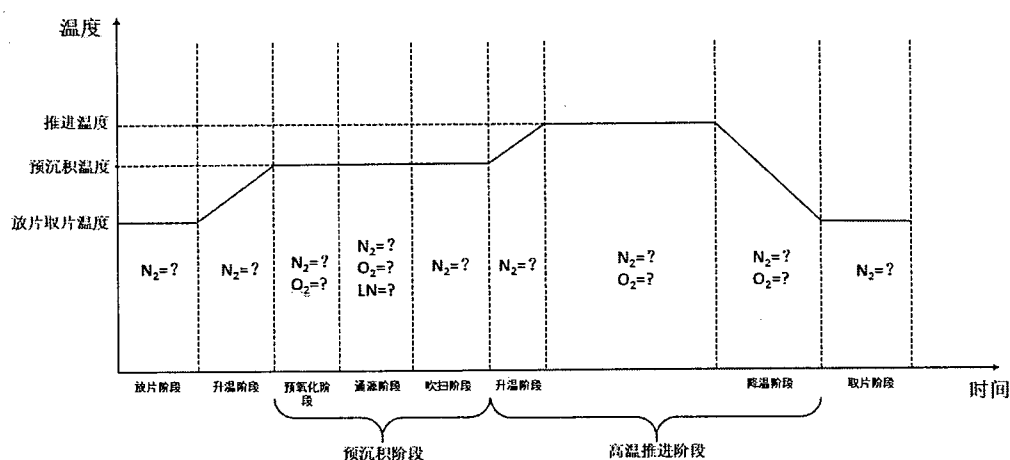


图 2.14 硼扩散过程中温度和时间变化关系以及各个阶段通入的气体种类。

图 2.14 中 N_2 代表的是直接通入的氮气的流量, 该氮气是起稀释作用的, LN_2 是指携带源的氮气的流量, 反应过程中源的浓度主要是由该氮气的流量控制。 O_2 代表氧气的流量, 氧气主要是用来和 BBr_3 反应生成氧化硼的。还有其它可以控制的参数, 例如各个阶段的时间、推进温度、预沉积温度等。

我们首先分析了预沉积的温度对掺杂分布的影响。我们一共进行了五组扩散实验, 每一组对应的预沉积温度都不一样, 分别为 700°C 、 750°C 、 800°C 、 850°C 、 900°C , 为了避免推进过程对掺杂分布的影响, 该五组实验都没有高温推进过程。

扩散完成之后，先用氢氟酸稀溶液将硼硅玻璃（BSG）去掉，然后用电化学 CV（ECV）的方法对硼掺杂分布进行表征，表征结果如图 2.15 所示。可以看到，预沉积的温度对于硼扩散的结深影响是非常大的，硼扩散的结深随着预沉积温度的升高明显增大，而且预沉积温度越高，结深随温度增长的越快。所以可以通过控制预沉积的温度来有效控制硼扩散的结深。

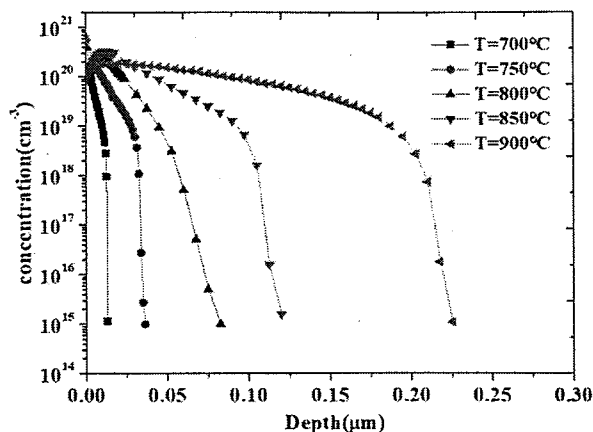


图 2.15 预沉积过程中的温度对硼掺杂分布的影响。

随后我们又研究了预沉积阶段的氧气流量对掺杂分布的影响。实验分为三组，每组的氧气流量都不一样，分别为 30sccm、40sccm、50sccm，其它参数保持一致。扩散完成之后先用稀氢氟酸溶液去掉硼硅玻璃，然后进行 ECV 测试。测试结果如图 2.16 所示。可以看到氧气流量越大硼扩散的深度就越浅。这是因为虽然氧气可以和三溴化硼反应生成氧化硼，但是氧气也可以穿过硼硅玻璃和硅原子以及硼原子反应生成氧化硅和氧化硼，这一过程将减少硼原子的生成并阻碍硼原子向硅衬底内部的扩散，从而使得硼扩散的深度减小。

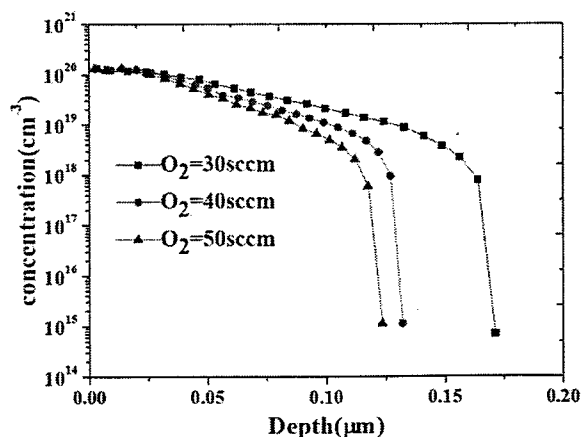


图 2.16 预沉积过程中氧气的流量对硼掺杂分布的影响。

推进阶段对于硼扩散来说也是很重要的，从前面的测试结果可以看到，只进行预沉积阶段得到的扩散深度是比较浅的，要想获得比较深的扩散深度还需要一个高温推进过程，这个过程主要是将沉积到硅片表面的硼在高温的作用下推进到衬底里面，在高温推进的过程中不再通入源，只是已经沉积到硅衬底表面的硼向衬底内部扩散的过程，因此推进的过程中表面的硼掺杂浓度是会降低的。如图 2.17 所示为只有预沉积过程和预沉积加高温推过程得到的硼掺杂分布曲线，预沉积的温度为 850°C ，推进过程的温度为 1000°C 摄氏度，可以看到高温推进过程会使表面的掺杂浓度降低将近两个数量级，但是结深却从 50nm 增加到了 280nm 。所以要想获得比较大的 PN 结结深，扩散工艺中必须要有高温推进过程。

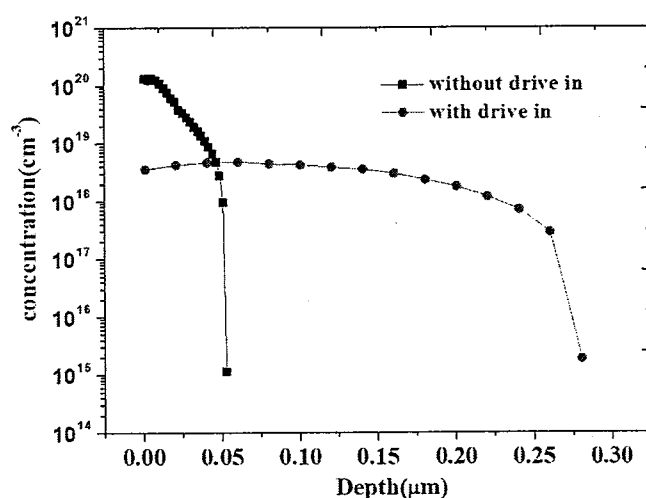


图 2.17 扩散过程中只有预沉积过程与既有预沉积又有高温推进过程形成的硼掺杂分布的对比图。

由于推进过程对于扩散工艺的重要性，我们又对推进过程中的温度对硼掺杂分布的影响进行了研究，实验一共分为 5 组，每一组都包含预沉积和高温推进两个过程，预沉积温度都为 850°C ，推进温度分别为 900°C 、 930°C 、 960°C 、 990°C 、 1020°C 。最后得到的掺杂分布曲线如图 2.18 所示。可以看到，扩散的深度随着推进温度的升高明显变大，与此同时，表面掺杂浓度随着推进温度的升高逐渐下降，所以推进过程既可以用来控制扩散的结深，也可以用来控制表面的掺杂浓度。

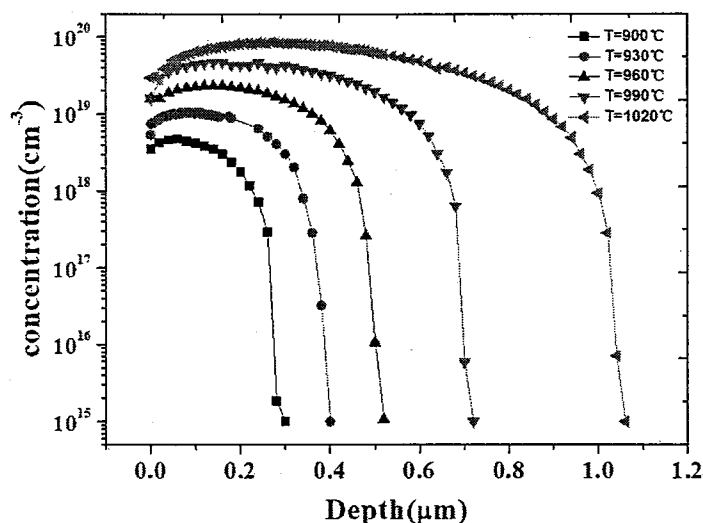


图 2.18 不同的推进温度对硼掺杂分布的影响。

2.3.1.2. 富硼层去除方法的研究

在硼扩散的过程中，会在硅衬底的表面生成一层硼硅化合物，该化合物不能被氢氟酸溶液腐蚀掉，而且呈现亲水性。因为该化合物富含硼元素，所以一般将该层硼硅化合物称为富硼层。人们在很久之前就已经对该层化合物的成分和成因进行了研究。一般认为，该层化合物是由 SiB_4 或 SiB_6 构成的[65]。形成该层化合物的原因是因为氧化硼和硅原子反应生成硼原子的速度要比硼原子向硅衬底内部扩散的速度快，导致硼原子在硅衬底表面聚集并和硅原子反应生成了一种硼硅化合物。近年来也有不少的研究人员对富硼层的性质进行了研究，他们主要是研究了富硼层的结构、光学和电学特性。他们通过分析发现富硼层中硼原子密度超过了 10^{23}cm^{-3} ，富硼层的折射率在 1.4 到 1.6 之间，富硼层上形成的接触电阻在 $1.0\sim 6.0\text{m}\Omega\cdot\text{cm}^2$ 之间[66,67]。然而该富硼层的存在对于太阳电池来说是不利的，因为富硼层内部存在大量的缺陷，这些缺陷会引起严重的表面复合[64]。除此之外，该富硼层的存在还会引起体内缺陷的生成，造成体少子寿命的严重衰退，从而严重影响电池的性能。因此，要想得到比较高的电池效率，必须将该富硼层去除掉。我们在实验中主要采用了三种不同的去除富硼层的方法，分别是原位氧化、热硝酸处理、化学腐蚀，并且我们研究了这三种方法去除富硼层的效果、对表面钝化的影响以及对最后制备的 IBC 电池性能的影响[68]。下面就对具体的实验过程以及结果分析进行详细介绍：

➤ 实验流程介绍

首先我们将清洗好的 N 型单晶硅衬底分成了四组，第 I 组进行完整的扩散工艺，在高温推进过程中只通入氮气不通入氧气，扩散完成之后用稀释的氢氟酸溶液将表面的硼硅玻璃去掉，此时硅片表面不疏水。第 II 组硅片也进行完整的扩散工艺，高温推进过程中也不通入氧气，扩散完成之后先用稀释的氢氟酸溶液将表面的硼硅玻璃去掉，然后将硅片放入煮沸的 69% 的浓硝酸中煮 20min，煮完之后再放到稀释的氢氟酸溶液直到表面完全疏水再取出。第 III 组硅片进行完整的扩散工艺，而且在高温推进过程中通入 10% 的氧气，扩散完成后放入稀释的氢氟酸溶液中直到表面完全疏水。第 IV 组硅片进行完整的扩散工艺，在高温推进过程中只通入氮气不通入氧气，扩散完成之后用稀释的氢氟酸溶液将表面的硼硅玻璃去掉，然后用氢氟酸、硝酸和冰乙酸配成的硅腐蚀液对硅片表面进行腐蚀，腐蚀时间为 30s，腐蚀完成之后将硅片放入稀释的氢氟酸溶液中直到硅片表面疏水为止。然后采 ALD 沉积的氧化铝和 PECVD 沉积的氮化硅叠层对四组硅片表面进行钝化并对其少子寿命进行测试。除此之外，我们还采用高分辨率透射显微镜（HRTEM）和 ECV 对硅片表面的精细结构和掺杂分布进行了表征。最后为了直接对比不同方法对电池效率的影响，我们将三种去除富硼层的方法应用到了 IBC 太阳能电池的制备中，并且对比了不同方法对电池效率的影响。

➤ 测试结果分析

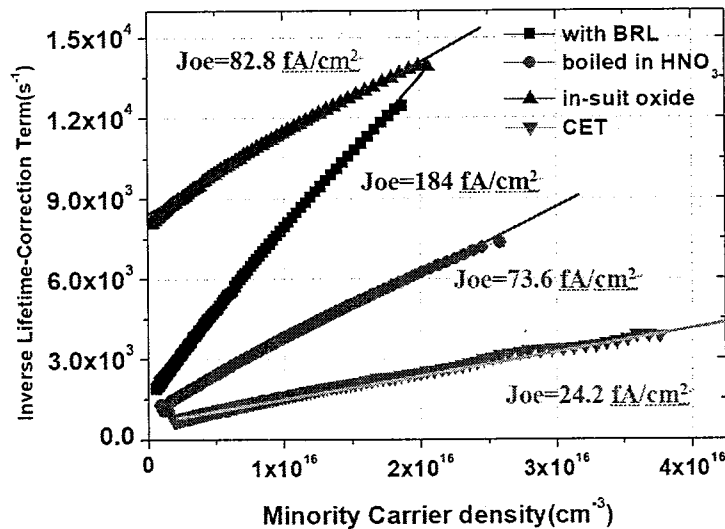


图 2.19 采用不同去富硼层方法处理并钝化后的硅衬底的俄歇修正的少子寿命的倒数和光注入载流子浓度的关系。

如图 2.19 所示为采用氧化铝和氮化硅叠层钝化的四组硅片的少子寿命测试结果, 图中给出的是四组样品的俄歇修正的有效少子寿命的倒数随光生载流子密度的变化关系。从该关系我们不仅可以比较四组样品的少子寿命的大小, 还有一个非常重要的可以用来表征表面复合大小的参数即发射极饱和电流 J_{oe} 也可以结合以下公式推导出来[69]:

$$\frac{1}{\tau_{eff}} - \frac{1}{\tau_{Auger}} = \frac{1}{\tau_{SHR}} + \frac{2J_{oe}(N_d + \Delta n)}{qn_i^2 W} \quad (2.4)$$

其中 τ_{eff} 为有效少子寿命, τ_{Auger} 为与俄歇复合相关的少子寿命, τ_{SHR} 为与 SRH 复合相关的少子寿命, N_d 为衬底掺杂浓度, Δn 为光生载流子浓度, q 为电子电荷量, n_i 为本征载流子浓度, W 为衬底的厚度。 J_{oe} 为发射极饱和电流。可以看到, J_{oe} 可以通过图 2.19 中曲线的斜率求得, 通过软件拟合并计算得到的 J_{oe} 的数值也在图 2.19 中标出来了。通过图 2.19 我们可以看到, 采用化学腐蚀去除富硼层得到的样品的少子寿命最高 J_{oe} 也最小。热硝酸处理的样品的少子寿命比化学腐蚀的方法要低 J_{oe} 也明显增大。没有去除富硼层的样品具有最大的 J_{oe} , 这也说明富硼层确实是会引起严重的表面复合。采用原位氧化的方法去除富硼层的样品虽然 J_{oe} 相对于没有去除富硼层的样品明显变小, 但是有效少子寿命却在整个光生载流子浓度范围内都变大了, 这说明原位氧化方法可能造成了衬底少子寿命的衰减。其实这是因为原位氧化是在高温条件下进行的, 在氧化富硼层的同时会将富硼层内聚集的杂质再次推进到衬底中, 导致衬底缺陷的增多, 从而导致衬底的劣化[90]。还有另一个值得关注的现象是, 热硝酸处理的样品的 J_{oe} 要明显比化学腐蚀方法处理的样品高, 因为这两种去除富硼层的方法温度都不高 (热硝酸温度为 115℃, 化学腐蚀是在常温下进行的), 不可能导致衬底质量的改变, 所以肯定还有其它的原因导致两种方法得到的 J_{oe} 有明显差异。为了寻找该原因, 我们采用了高分辨率透射电子显微镜 (HRTEM) 对四组样品的内表面精细结构进行了表征, 四种样品表面的 HRTEM 图如图 2.20 所示。从图 2.20 (a) 中我们可以看到, 硼扩散之后在硅衬底的表面确实会生成一层富硼层, 该富硼层在 HRTEM 图中表现为一层颜色很深的物质。图 2.20 (c) 和 (d) 分别为采用原位氧化和化学腐蚀的方法去除富硼层的样品, 对比图 2.20 (a) 可以推测这两种方法确实已经将富硼层彻底去除了。图 2.20 (b) 中的样品的表面结构和其它三个样品明显不同, 可以看到该样品表面有一层深色的物质, 但是该层物质已经不是位于衬底的最表

面，在呈深色的物质上面还有一层物质。我们推测出现该现象的原因是因为热硝酸和富硼层反应之后形成了一种其他的物质，该物质阻止了硝酸进一步和下面的富硼层发生反应，所以热硝酸处理的方式只能去掉表面很薄的一层富硼层，并不能将富硼层全部去除。

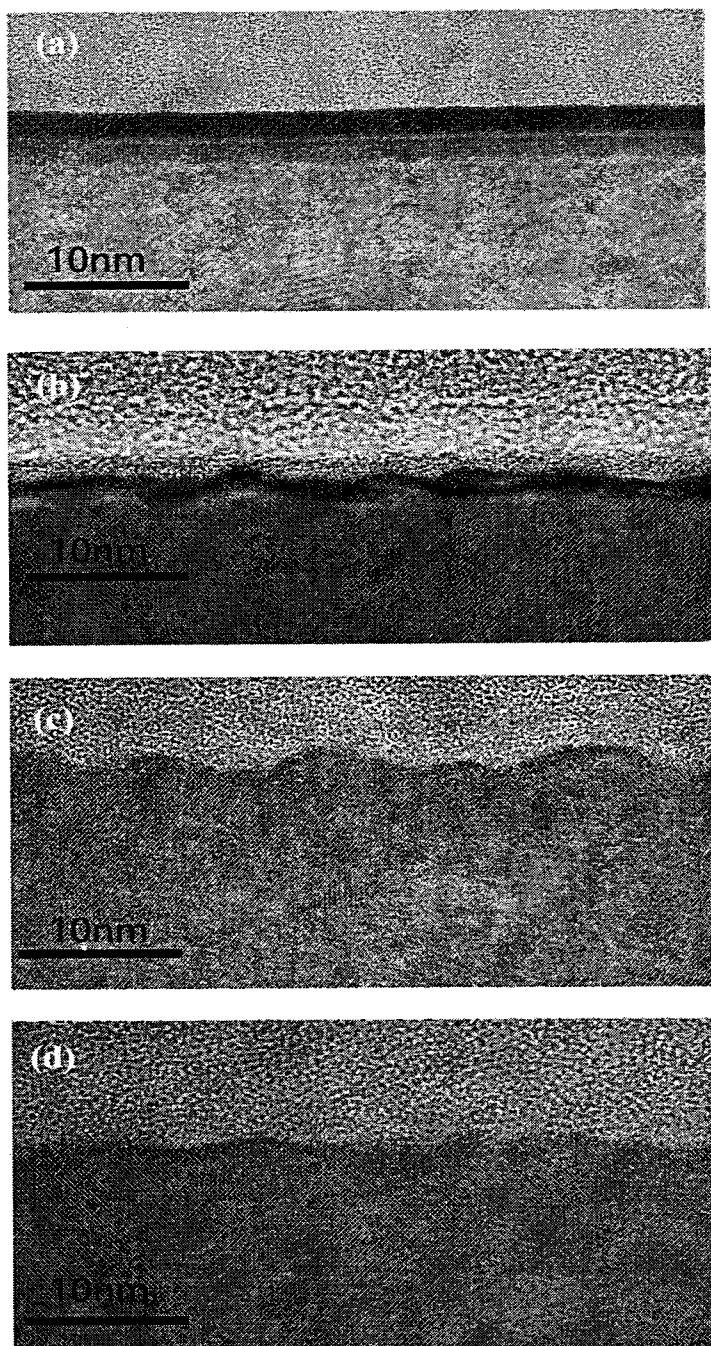
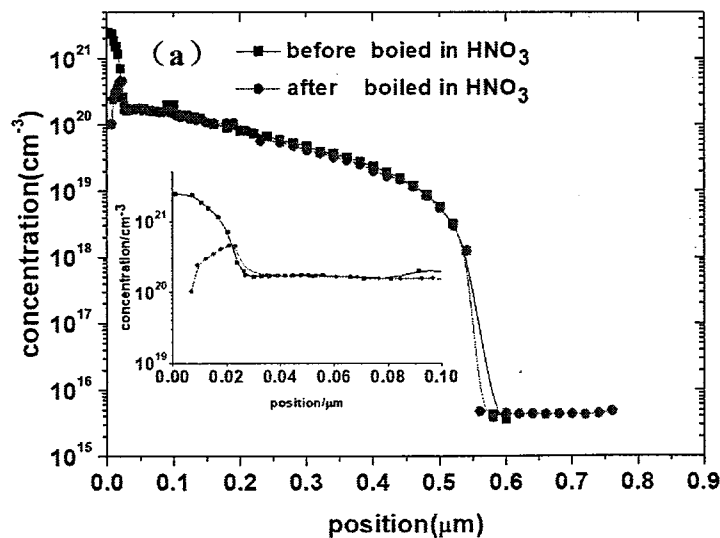


图 2.20 采用四种不同方法对富硼层进行处理之后的硅片表面的 HRTEM 图：(a) 没有对富硼层做任何处理 (b) 采用热硝酸处理的方法去富硼层 (c) 采用原位氧的方法去除富硼层 (d) 采用化学腐蚀的方法去富硼层。

为了进一步证实我们的猜测，我们又对四组样品表面的硼掺杂分布用 ECV 进行了表征，测试结果如图 2.21 所示。可以看到，对于采用热硝酸处理的样品，表面掺杂浓度相对于没有去除富硼层的样品明显降低，但是随着深度的增加，硼掺杂浓度又上升了，在表面附近一定深度内出现了一个浓度峰值，通过对比没有去除富硼层样品的曲线可以看到，热硝酸处理的方法确实只是去除了一部分的富硼层，在衬底表面以下还是有一定厚度的富硼层存在的。由于该富硼层的存在，会引起少数载流子在该区域的严重复合，从而导致一个比较大的 J_{oe} 。而对于采用化学腐蚀的方法去除富硼层的样品，如图 2.21 (c) 可以看到，表面的富硼层确实完全被去除了。所以这就合理的解释了为什么热硝酸处理的样品的 J_{oe} 要明显比化学腐蚀的样品的 J_{oe} 大了。对于采用原位氧化的样品，从图 2.21 (d) 可以看到，富硼层不但被完全去除了，而且在衬底的表面还出现了一个硼原子的耗尽区，这主要是因为硼原子在硅和二氧化硅界面的分凝系数小于 1，从而导致硼原子从硅衬底进入到氧化硅中造成的。由于该耗尽层的存在，会为以后的金属化带来比较大的接触电阻，所以原位氧化不适合用来去除富硼层。还有一点值得指出的是，采用三种方法对硅片进行处理并浸泡一定时间的氢氟酸稀溶液之后，三组硅片的表面都是完全疏水的，这说明疏不疏水并不能作为富硼层是否被完全去除的普遍标准。



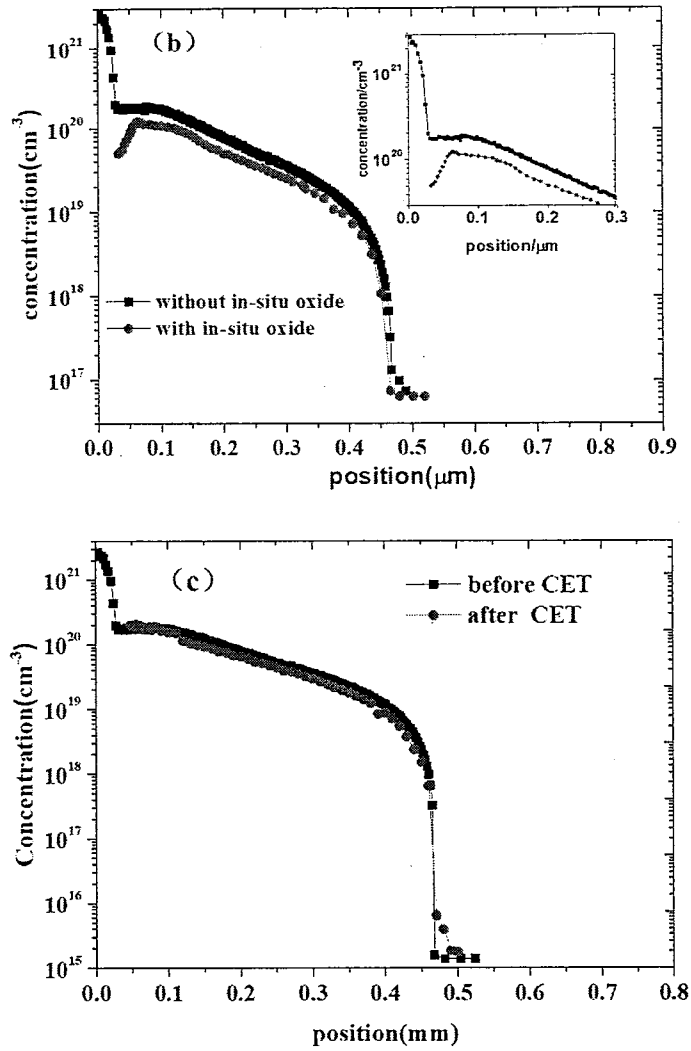


图 2.21 采用三种不同方法对富硼层进行处理后的硅表面和没有经过处理的硼扩散硅表面的 ECV 测试结果对比图：(a) 采用热硝酸对富硼层进行处理。(b) 采用原位氧化对富硼层进行处理。(c) 采用化学腐蚀的方法对富硼层进行处理。

最后我们将三种去除富硼层的方法应用到了 IBC 太阳能电池的制备中，并且对制备的 IBC 电池的性能进行了表征。如图 2.22 为通过采用不同富硼层处理方式制备出来的 IBC 电池的 I-V 测试结果。一共采用四种富硼层的处理方式，一种是不对富硼层进行处理，该组样品主要是用来作对比的，其他三组样品分别用以上介绍的三种去富硼层的方法对富硼层进行处理。表 2.1 列出了这四组电池的平均性能参数（每组有四个样品）测试结果。

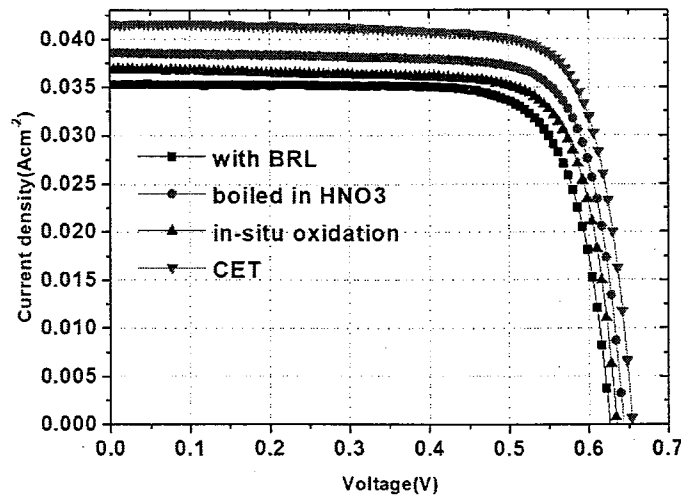


图 2.22 采用不同富硼层处理方式制备出来的 IBC 电池的 I-V 测试结果。

表 2.1 四组电池的平均性能参数（每组有四个样品）测试结果

去富硼层的方法	短路电流 [mAcm ⁻²]	开压 [mV]	填充因子 [%]	效率 [%]
不去富硼层	35.34	628	76.96	17.08
热硝酸处理	38.59	646	77.64	19.35
原位氧化	36.85	634	77.44	18.10
化学腐蚀	41.56	654	77.9	21.17

2.3.2. 钝化工艺研究

衬底表面的钝化对于所有类型的太阳电池来说都是必不可少而且是非常重要的一个工艺[71]。衬底表面钝化方式一般分为化学钝化和场钝化，该小结介绍的主要是化学钝化，钝化的方法是在衬底的表面通过不同工艺生长一层介质膜来消除硅衬底表面的悬挂键，降低衬底的表面态密度，从而降低表面的复合速率。当然大多数介质膜在起到化学钝化的同时也会有一定的场钝化效果，这主要是因为在这类薄膜的生长过程中内部都会产生一定量的净电荷，这些电荷可以排斥特定类型的载流子，从而起到一个场钝化的作用[72]。因为在 IBC 电池中衬底的绝大部分表面都形成了一定类型的掺杂区域，例如电池的前表面是 N 型的掺杂区域形成的前场，电池的背面有 N 型重掺区域形成的背场和 P 型重掺区域形成的发射极区。所以我们研究的钝化工艺主要是对经过了硼扩散或磷扩散之后的硅片表面的钝化。

要想对钝化工艺进行研究，就一定要有一个能表征钝化效果好坏的方法。可

以用来表征表面钝化好坏的最直接的参数就是表面复合速率 s 或者发射极饱和电流 J_{oe} 。然而这两个参数不可能通过设备直接测量出来，但是他们可以通过其它可以直接测量的量推导出来。在实验过程中，我们可以直接通过测试设备获得的参数为有效少数寿命，而硅片的有效少数寿命由以下公式给出：

$$\frac{1}{\tau_{eff}} = \frac{1}{\tau_s} + \frac{1}{\tau_{SRH}} + \frac{1}{\tau_{Auger}} + \frac{1}{\tau_{rad}} \quad (2.5)$$

其中 τ_{eff} 为测得的有效载流子寿命， τ_s 为表面复合决定的寿命， τ_{SRH} 为复合决定的寿命， τ_{Auger} 为俄歇复合决定的寿命， τ_{rad} 为辐射复合决定的寿命。可以看到仅知道硅片的有效少数寿命还不能确定表面复合寿命 τ_s ，因为还有其它复合机制也会对有效载流子寿命产生影响。但是在高注入条件下 ($\Delta n \gg N_D$)，以上公式可以改写为[69]:

$$\frac{1}{\tau_{eff}} - \frac{1}{C_A \Delta n^2} = \frac{1}{\tau_{SRH}} + \frac{2J_{oe}}{qn_i^2 W} \Delta n \quad (2.6)$$

其中 C_A 为俄歇系数， W 为衬底的厚度。因为 τ_{SRH} 在高注入条件下和光生载流子浓度无关，所以上面公式的左边两项的和与 Δn 应该呈线性关系，然后通过线性拟合就可以求出 J_{oe} 的值。

我们对硅衬底有效少数寿命的测试是通过 Sinton instrument 的 WTC-120 少数寿命测试仪完成的，该设备通过准稳态光电导 (QSSPC) 方法对硅片的有效少数寿命进行测试，而且该设备在测量少数寿命的同时可以自动采用上面提到的方法计算出表面饱和电流 J_{oe} ，因此采用该设备可以很方便的对不同钝化方法的钝化效果进行分析。

实验过程中我们采用了各种方法去钝化硅衬底的表面，我们发现不同的钝化方法钝化效果差别很大，同一种钝化方法，改变工艺参数钝化效果也会发生很大的变化，而且同一种钝化方法对不同的掺杂类型的衬底表面的钝化效果也不一样。我们的内容主要分为三部分，第一部分分析了采用 PECVD 沉积的氧化硅和氮化硅叠层对硼掺杂硅表面钝化的效果，第二部分分析了采用热氧生长的氧化硅对磷掺杂硅表面钝化的效果，最后一部分分析了采用 ALD 沉积的氧化铝和 PECVD 沉积的氮化硅叠层分别对磷掺杂硅表面和硼掺杂硅表面钝化的效果。下面就对这三部分的内容进行详细介绍：

2.3.2.1. 采用 PECVD 沉积的氧化硅和氮化硅叠层来钝化硼掺杂硅表面

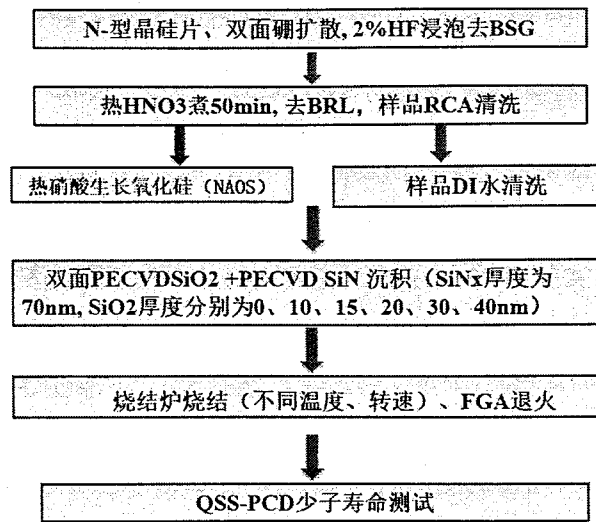
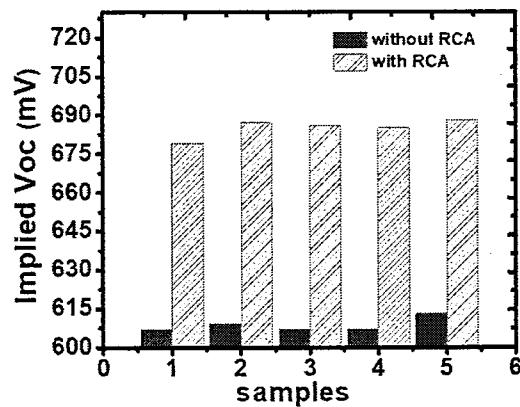
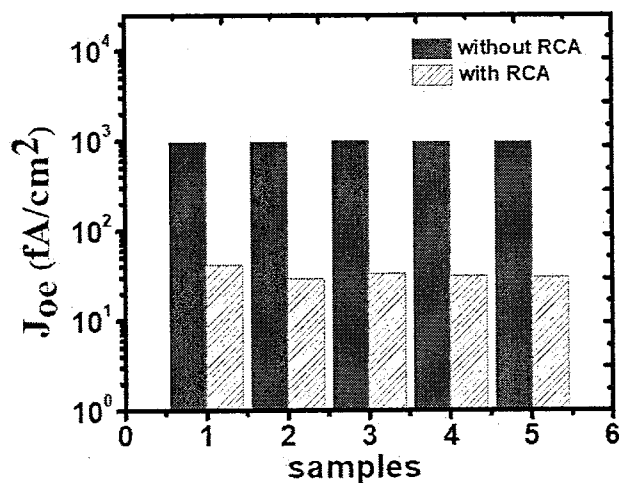


图 2.23 采用氧化硅和氮化硅叠层钝化硼掺杂硅表面的工艺流程图。

该钝化实验的具体流程如图 2.23 所示，我们主要对其中几个比较关键的工艺步骤进行了比较详细的分析，例如第二步中去完富硼层之后的 RCA 清洗、清洗之后的热硝酸处理过程、PECVD 沉积的氧化硅的厚度以及薄膜沉积之后的退火工艺等。



(a)



(b)

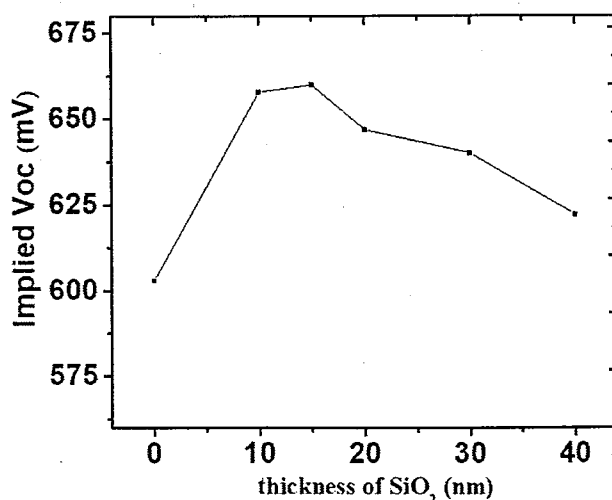
图 2.24 钝化工艺中的 RCA 清洗对最终钝化效果的影响：(a) 经过 RCA 和没经过 RCA 的样品的隐含开压测试对比图。(b) 经过 RCA 和没经过 RCA 的样品的发射极饱和电流测试对比图。

如图 2.24 所示，我们对比了去完富硼层之后的 RCA 清洗对最终钝化效果的影响。我们选取了两个重要的参数来表征钝化的好坏，一个是隐含开压 (Implied V_{oc})，一个是发射极饱和电流 J_{oc} ， J_{oc} 前面我们已经介绍了，隐含开压是另一可以用来表征钝化效果好坏的参数，该参数将钝化效果直接和电池的开压联系起来了，因此可以更直观的看出钝化工艺对电池性能参数的影响。但是有一点需要注意，隐含开压并不是电池的真正开压，而是表示采用这种状态的衬底所能制备出来的电池的最大开压。隐含开压可以通过以下公式进行计算[73]：

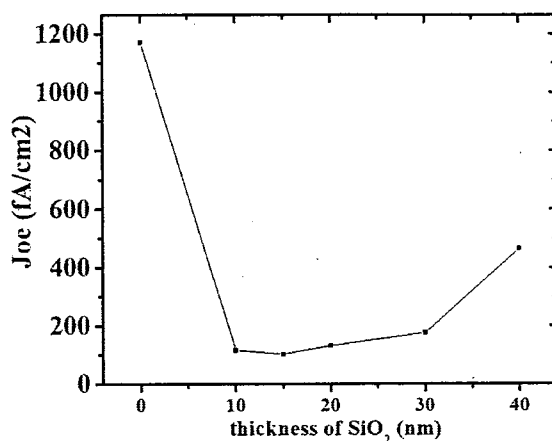
$$V_{oc} = \frac{kT}{q} \ln \left(\frac{np}{n_i} \right) \quad (2.6)$$

其中 n 为衬底的电子浓度， p 为衬底的空穴浓度， n_i 为本征载流子浓度。

通过图 2.24 我们可以看出，去除富硼层之后的 RCA 清洗对于表面的钝化影响非常明显。经过 RCA 清洗之后的样品，发射极饱和电流下降了将近两个数量级。这主要是因为 RCA 清洗可以去掉表面大部分的金属离子和有机物沾污，这些沾污如果不去除的话，会严重影响后续的钝化工艺，造成严重的表面复合，这些沾污可能是由于工艺过程中操作不当或者是因为环境的洁净度不够造成的，因此 RCA 清洗对于硅衬底的表面钝化是非常重要的一步工艺。



(a)

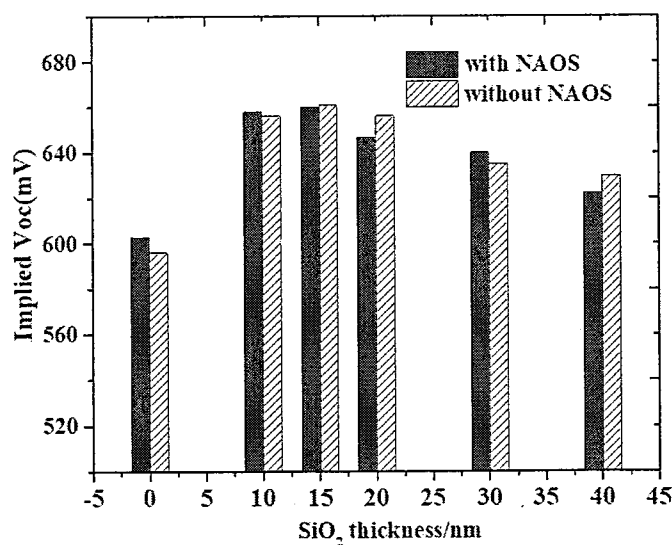


(b)

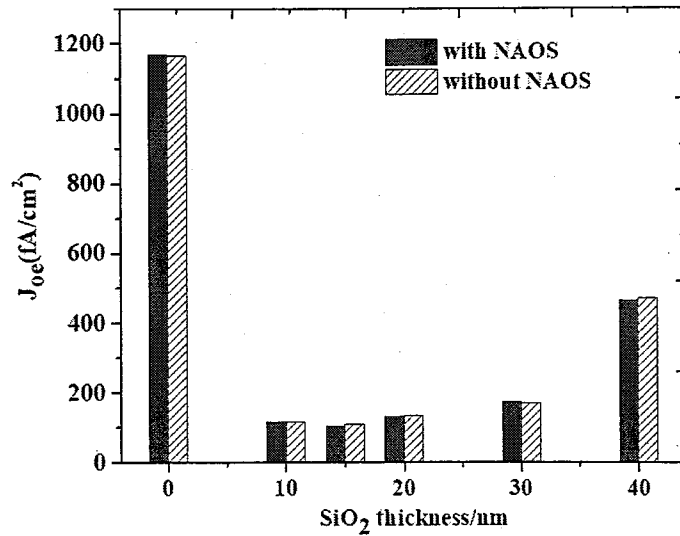
图 2.25 氧化层厚度对 (a) 隐含开压和 (b) 发射极饱和电流的影响。

然后我们又分析了 PECVD 沉积的氧化硅和氮化硅叠层中氧化硅的厚度对钝化效果的影响, 测试结果如图 2.25 所示。可以看到, 当氧化硅的厚度为 15nm 时钝化效果最好。没有氧化硅或者是氧化硅的厚度太大都会导致钝化效果的下降。这是因为氧化硅氮化硅叠层钝化中, 起主要作用的是化学钝化, 而且氧化硅和硅衬底表面的界面特性要好于氮化硅[74], 所以在氮化硅和硅衬底中必须要有一层氧化硅。除此之外, 氢钝化在该钝化工艺中也起到了非常关键的作用, 然而氧化硅中的氢原子要比氮化硅中的少, 因此要想让氮化硅中的氢原子输运到氧化硅和硅衬底的表面, 氧化硅的厚度就不能太大, 所以氧化硅厚度的增加会导致钝化效果的下降。

将硅片放到沸腾的浓硝酸之中一段时间可以在硅片的表面生长一层非常薄的氧化硅，厚度大约为 1.5nm。对该方法生长的氧化硅的研究有很多相关的文献报道过[75,76]，他们认为该氧化硅和硅衬底之间的界面特性非常好，非常适合用来作为硅表面的钝化层。该方法制备的氧化硅最重要的一个应用就是在多晶硅隧穿氧化层钝化接触结构 (Poly-TOPCon) 中[77]，该结构采用热硝酸氧化生长的氧化硅作为隧穿钝化层，可以有效降低电池表面的复合，使得电池的开路电压得到明显的提升。受到该结构的启发，我们尝试将这种方法生长的氧化硅应用到氧化硅和氮化硅叠层钝化工艺中，也就是在 PECVD 沉积氧化硅之前，我们先将 RCA 清洗好的硅片放到沸腾的硝酸中煮 15 分钟，期望可以改善 PECVD 沉积的氧化硅和硅衬底的界面特性。图 2.26 为采用热硝酸生长氧化硅和没有采用热硝酸生长氧化硅的样品最终钝化效果的对比图。通过对比，我们发现对于不同的氧化硅厚度，经过热硝酸的处理之后对钝化效果的影响不明显，有的甚至还会有所下降。这说明 PECVD 沉积的氧化硅和硅衬底表面的界面特性已经非常好了，不需要借助热硝酸处理 (NAOS) 来改善界面特性了。而且在该种钝化方式中，起主要作用的是氢钝化，所以热硝酸处理对钝化效果改善不大。



(a)



(b)

图 2.26 有无热硝酸处理工艺对 (a) 隐含开压和 (b) 发射极饱和电流的影响。

在实验过程中,为了分析每一步工艺对衬底表面的影响,每经过一步工艺我们就对衬底的少数寿命表征一次。具有不同氧化硅厚度的样品在每步工艺之后的隐含开压测试如图 2.27 所示,可以看到对于钝化效果影响最明显的是沉积完介质膜之后的两个退火过程。尤其是对于钝化效果最好的氧化硅厚度为 10nm 和 15nm 的两个样品,烧结炉烧结 (sintering) 对钝化效果的提升非常明显。后退火工艺之所以会对钝化效果有如此明显的影响,主要是因为退火不但可以改善介质膜和硅表面的界面特性,更重要的是后退火可以使薄膜中的氢原子快速运动到介质膜和硅衬底的表面,充分发挥氢钝化的作用。

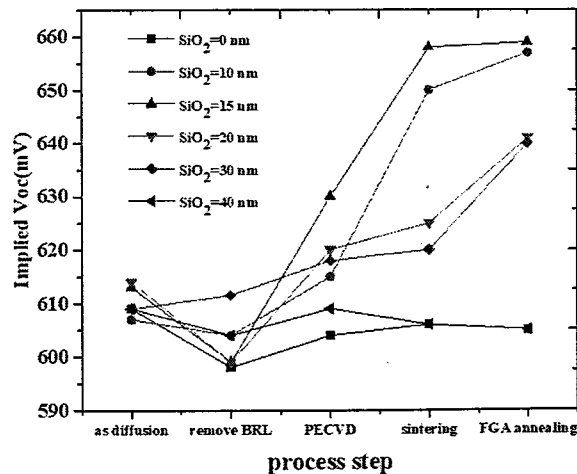


图 2.27 具有不同氧化层厚度的样品每步工艺之后隐含开压的测试结果。

2.3.2.2. 采用热氧生长的氧化硅钝化磷掺杂硅表面

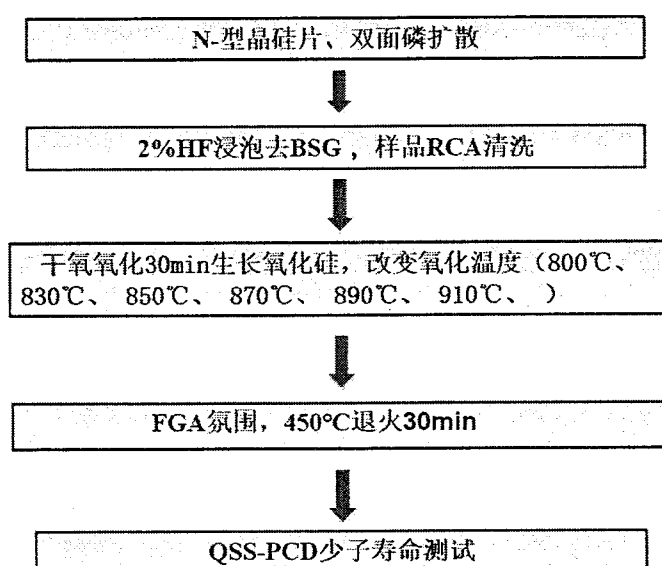
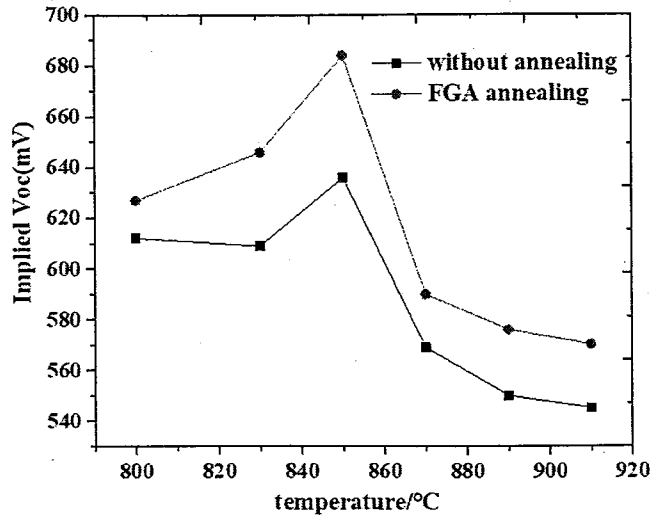
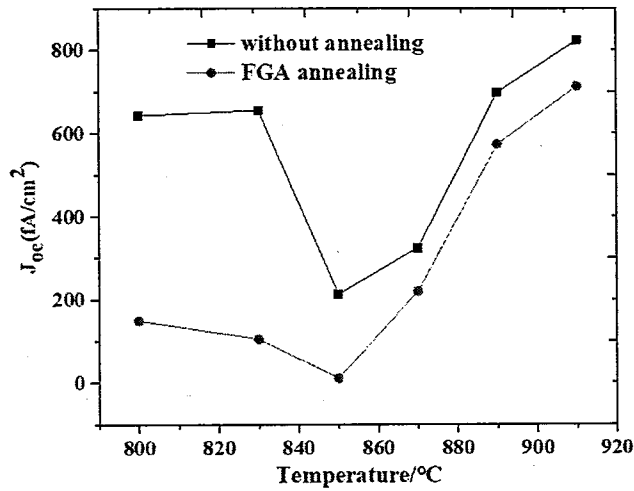


图 2.28 热氧氧化钝化磷扩散硅表面的工艺流程图。

磷扩散主要是用来形成 IBC 电池的前场和背场，因为 IBC 电池前表面的钝化效果非常重要，而且背场在背面占的面积比较小，所以对于磷扩散硅表面的钝化，主要是应用在 IBC 电池前表面的钝化中。对于磷扩散之后的硅表面，我们采用的是热氧生长的氧化硅进行钝化。具体的钝化工艺流程如图 2.28 所示，实验中我们主要是分析了热氧氧化的温度以及氧化之后的退火工艺对钝化效果的影响。氧化温度和退火工艺对钝化效果的影响由图 2.29 给出。可以看到钝化效果随氧化温度的变化呈先上升后下降的趋势，钝化效果在 850℃时最好，这主要是因为温度太低时生长的氧化硅的质量不够好，众所周知，对于热氧氧化，热氧温度越高，氧化硅和硅的界面特性越好，所以热氧的温度不能太低。但是氧化温度过高会导致一些杂质，尤其是一些金属离子，对衬底的污染，并且温度过高还会造成衬底缺陷的产生，所以氧化温度也不能太高。从图中我们还可以看到，氧化完成之后的 FGA 氛围退火可以明显改善钝化效果，这主要是因为 FGA 氛围中的氢可以穿透氧化硅薄膜到达氧化硅和硅的界面从而起到一个氢钝化的作用。



(a)



(b)

图 2.29 热氧化温度和 FGA 退火对样品 (a) 隐含开压和 (b) 发射极饱和电流的影响。

2.3.2.3. 氧化铝和氮化硅叠层钝化硅衬底表面

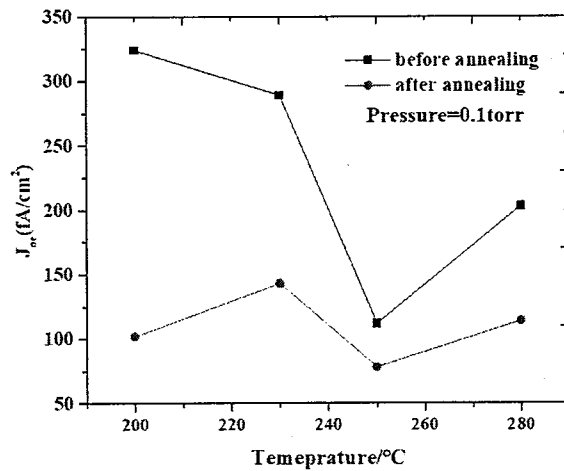
为了对太阳电池表面进行更好的钝化,以提高电池的转换效率,人们不断提出新的硅表面钝化工艺。其中采用氧化铝和氮化硅薄膜叠层对硅表面进行钝化的方式取得了非常好的效果[78]。该叠层中的氮化硅是采用 PECVD 沉积的,氧化铝是采用原子层沉积技术 (ALD) 沉积的。原子层沉积技术是一种在微电子领域得到广泛应用的薄膜沉积技术,该技术中薄膜的沉积过程如图 2.30 所示。图中描述的是 ALD 中的一个循环过程,每个循环过程包含两个反应过程和两个吹扫过程,每一个循环沉积一个原子层。该技术最大的一个特点就是反应具有自限性,

可以通过控制循环的次数来精确控制沉积薄膜的厚度,而且薄膜和衬底之间的界面特性可以控制的非常好。

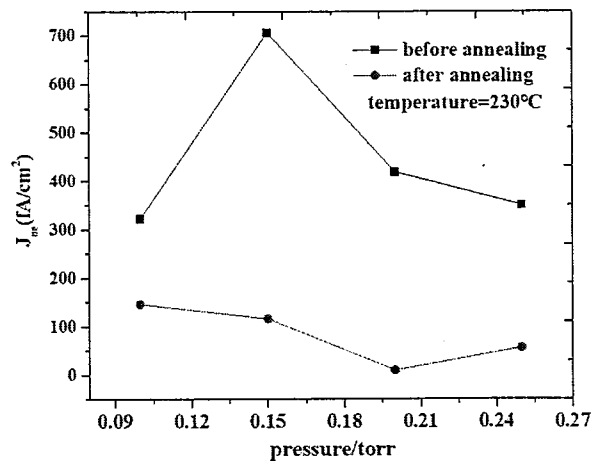


图 2.30 原子层沉积技术 (ALD) 沉积薄膜的原理示意图

由于 ALD 技术具有以上优势,所以我们采用了 ALD 技术来沉积氧化铝,并且研究了沉积过程中的工艺参数对氧化铝/氮化硅叠层钝化效果的影响。我们主要研究了沉积温度、沉积压强以及后退火工艺对最终钝化效果的影响。除此之外,我们采用这种叠层薄膜分别来钝化了硼扩散和磷扩散后的硅表面,对比了这种钝化工艺对不同掺杂类型硅表面钝化的效果。



(a)



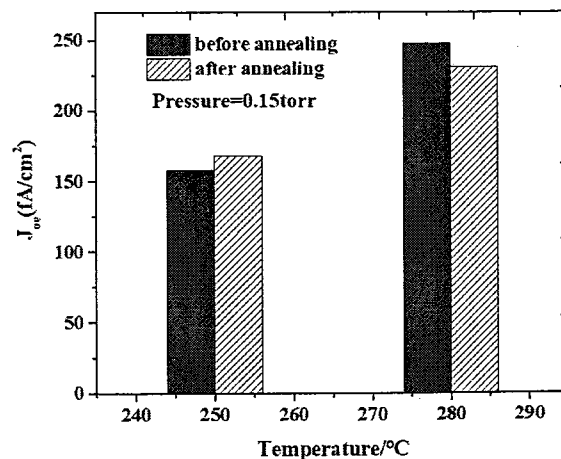
(b)

图 2.31 (a) 相同压强下 ALD 沉积温度和后退火对硼扩散样品发射极饱和电流的影响。

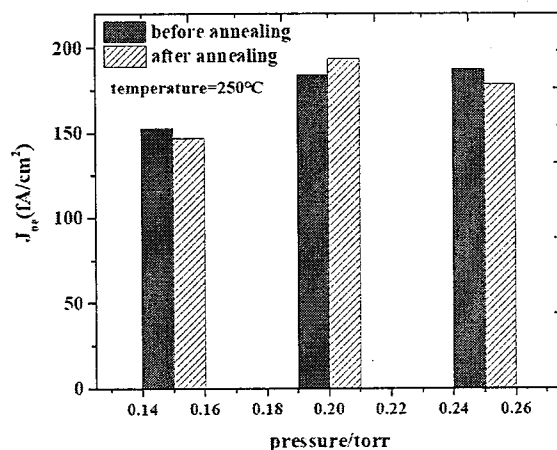
(b) 相同温度下 ALD 沉积时的气压和后退火对硼扩散样品发射极饱和电流的影响。

我们首先分析了该种钝化工艺对硼扩散硅表面的钝化效果。如图 2.31 所示，分别为沉积温度和沉积压强对最终钝化效果的影响，可以看出，在退火之前，温度和压强对于钝化效果的影响比较明显，不同沉积温度和压强，钝化效果波动很大，而经过退火之后，不但钝化效果得到了很大的提升，而且工艺参数对钝化效果影响变得不怎么明显了。但是要想达到最好的钝化效果，沉积温度应该为 250°C ，压强为 0.2torr 。

然后我们分析了该钝化方法对磷扩散硅表面的钝化效果。如图 2.32 所示，相比于对硼扩散硅表面的钝化效果，该方法对磷扩散硅表面的钝化效果要差很多，而且后退火工艺并不能提升钝化效果，甚至对于有些条件后退火工艺会降低表面钝化效果。出现该现象的原因是由于采用 ALD 沉积的氧化铝是带负电荷的[78]，该负电荷对于 P 型掺杂的硅表面会起到一个场钝化的作用，但是对于 N 型掺杂的硅表面，该负电荷对于表面钝化反而是不利的，因为对于 N 型掺杂硅表面，负电荷会将少数载流子吸引到表面，增加表面复合率。对于后退火工艺对该钝化工艺的影响，一方面退火可以使薄膜中的氢原子运动到硅衬底表面起到氢钝化的作用，另一方面退火可以激活氧化铝中的负电荷，增强场钝化作用，因此退火工艺可以明显提高对硼扩散硅表面的钝化效果，但是对磷扩散硅表面的改善不大，甚至会降低表面钝化效果。



(a)



(b)

图 2.32 (a) 相同压强下 ALD 沉积温度和后退火对磷扩散样品发射极饱和电流的影响。

(b) 相同温度下 ALD 沉积时的气压和后退火对磷扩散样品发射极饱和电流的影响。

2.3.3. TLM 实验

金属化工艺对于太阳能电池来说是一步非常关键的工艺。金属化就是在电池的发射极区和背场区表面沉积一层金属，并使金属和衬底表面形成良好的欧姆接触。金属化工艺的好坏直接影响的就是电池的串联电阻，如果金属化做得不好导致电池串联电阻增加，就会导致电池填充因子降低从而导致电池效率的下降。评价金属化好坏最直接的标准就是金属和硅衬底表面形成的接触电阻的大小，而接触电阻通常都是用比接触电阻来表示的，比接触电阻的定义由以下公式给出 [79]:

$$\rho_c = R_c \cdot A \quad (2.7)$$

其中 ρ_c 为比接触电阻。 R_c 为一定接触面积上的接触电阻， A 为接触面积。因为比接触电阻和接触面积无关，所以比接触电阻的大小可以直接反应金属和衬底接触的好坏。

比接触电阻最常用的测试方法就是传输线模型 (TLM) [79]，而传输线模拟也有很多种，例如有矩形传输线模型、同心圆环形传输线模型、并列圆环形传输线模型，我们采用的就是并列圆环形传输线模型。测试采用的金属电极结构如图 2.33 所示，图中黑色的地方为被金属覆盖的地方，白色的地方没有金属覆盖，没有金属覆盖的地方形成一个个不同宽度的圆环，通过测试每一个圆环内外金属电

极之间的 I-V 关系, 得到一系列电阻值 R_n 。 R_n 和圆环的内径 r_0 、外径 r_n 具有如下关系:

$$R_n = \frac{R_{SH}}{2\pi} \left[\ln \left(\frac{r_n}{r_0} \right) + L_T \left(\frac{1}{r_n} + \frac{1}{r_0} \right) \right] \quad (2.8)$$

其中 r_0 为每个圆环的内径, 每个圆环的内径都是相同的。通过测得的一系列的与 r_n 对应的 R_n 的值, 可以获得公式中的 R_{SH} 和 L_T , 然后由 $\rho_c = R_{SH} L_T^2$ 就可以求出比接触电阻值了。

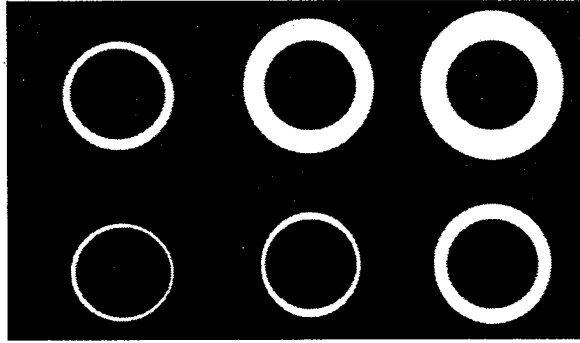


图 2.33 并列圆环形传输线模型金属电极结构示意图。

我们采用 TLM 模型主要分析了金属铝电极分别和硼掺杂硅表面与磷掺杂硅表面的接触电阻以及退火温度和退火时间对比接触电阻的影响。如图 2.34 所示分别为退火温度对硼掺杂硅表面和磷掺杂硅表面上铝电极形成的比接触电阻的影响。金属铝和硼掺杂硅表面形成的最小比接触电阻为 $5.06 \times 10^{-5} \Omega \text{cm}^2$, 而和磷掺杂硅表面形成的最小比接触电阻为 $1.4 \times 10^{-4} \Omega \text{cm}^2$, 两者相差将近三倍, 所以对于电池的发射极比较适合用金属铝来作为电极, 而对于背场区则不适合采用金属铝来做电极。此外我们还可以看出, 无论是对于那种表面, 退火温度都不能太高, 太高的退火温度反而会增加比接触电阻的值。

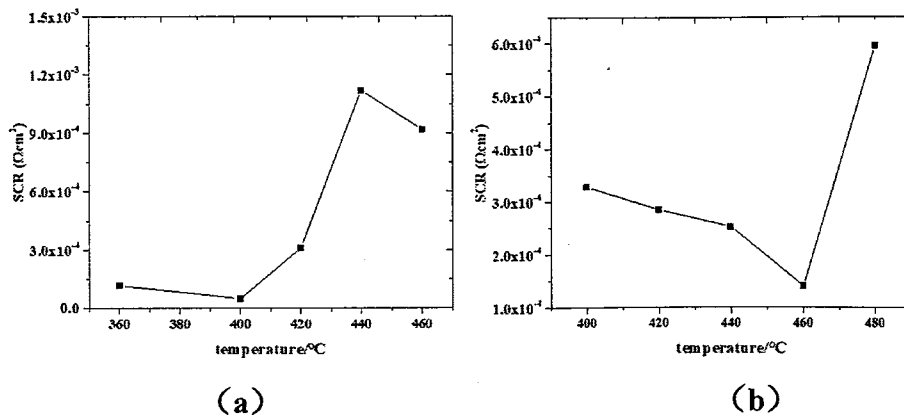


图 2.34 (a) 硼掺杂硅表面和铝电极的比接触电阻受温度的影响。(b) 磷掺杂硅表面和铝电极的比接触电阻受温度的影响。

如图 2.35 所示为退火时间对不同掺杂类型硅表面上铝电极形成的比接触电阻的影响。对于硼掺杂硅表面的退火温度为 400°C ，对于磷掺杂硅表面的退火温度为 460°C 。可以看到退火时间对于比接触电阻的影响还是比较明显的，对于两种掺杂类型的硅表面，退火时间都不能太长，4min 的退火时间就已经足够了，时间太长反而会造成比接触电阻的快速增大。

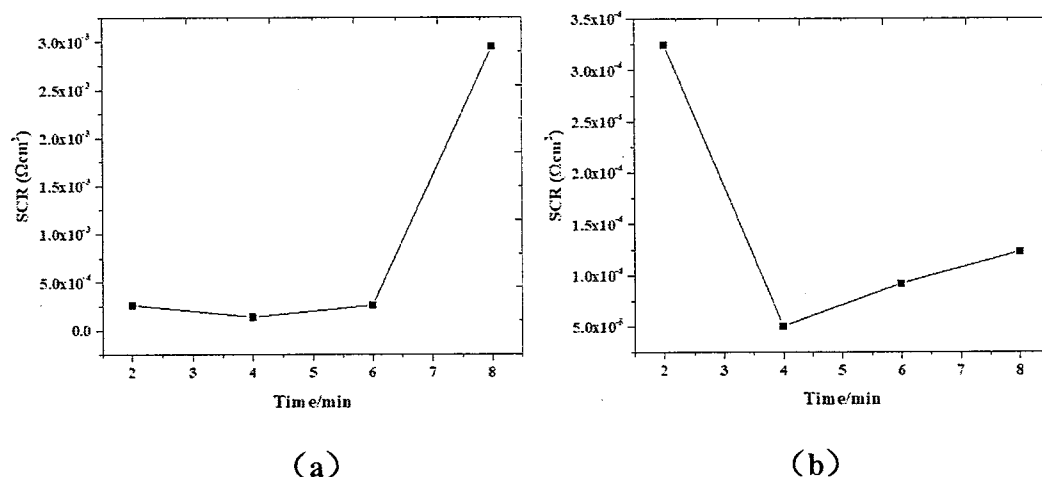


图 2.35 (a) 硼掺杂硅表面和铝电极的比接触电阻受退火时间的影响。(b) 磷掺杂硅表面和铝电极的比接触电阻受退火时间的影响。

2.4 IBC 太阳能电池流片工艺及测试结果介绍

在对各种单项工艺进行详细研究之后，我们将它们进行了整合，然后进行了多次 IBC 太阳能电池的流片工作。因为对于 IBC 太阳能电池来说，电池的前表面结构，包括前场结构及其钝化方法对于电池的性能影响是非常明显的，因此，我们在进行 IBC 太阳能电池流片的过程中，主要关注的是电池的前表面结构。我们主要制备了两种不同的 IBC 太阳能电池，这两种电池的背面结构是一样的，但是电池的前表面结构都不相同，一种电池采用 N 型前场结构，前场表面采用热氧生长的氧化硅和 PECVD 沉积的氮化硅叠层作钝化。另一种采用无前场结构，电池前表面采用 ALD 沉积的氧化铝和 PECVD 沉积的氮化硅叠层作钝化。下面我们就对这两种结构的电池具体的流片工艺以及测试结果进行介绍：

2.4.1. N 型前场 IBC 太阳能电池

N 型前场 IBC 太阳能电池流片的具体工艺流程如图 2.36 所示,首先在 RCA 清洗之后的硅衬底一面采用 PECVD 沉积一层 300nm 氧化硅。然后将衬底放入 2% 的 TMAH 溶液中进行制绒,因为背面有氧化硅做阻挡层,所以只会在衬底的前面制出绒面。然后再在衬底的前面也沉积一层 300nm 的氧化硅并在背面氧化层上通过光刻的方法开出将要进行背场掺杂的窗口,然后通过磷扩散在背场区域形成一定深度的磷掺杂区域从而形成电池的背场。然后再在背面沉积一层氧化硅并通过光刻开出将要进行发射极掺杂的窗口。然后通过硼扩散对发射极区域进行硼掺杂。然后将前后表面的氧化层都去掉,并在背面再沉积一层氧化硅作为阻挡层,紧接着就进行一次磷扩散在衬底前表面形成一个比较浅的 N 型掺杂区域作为前场。然后在去除前面的 BSG 并进行 RCA 清洗之后,进行热氧化在前表面生长一层氧化硅做钝化层。然后单面腐蚀掉背面的氧化硅并在背面用 ALD 沉积一层氧化铝,然后双面沉积一层氮化硅,前表面的氮化硅既可以起到钝化的作用也可以起到减反的作用。最后就是通过光刻和电子束蒸发的方法完成金属化。

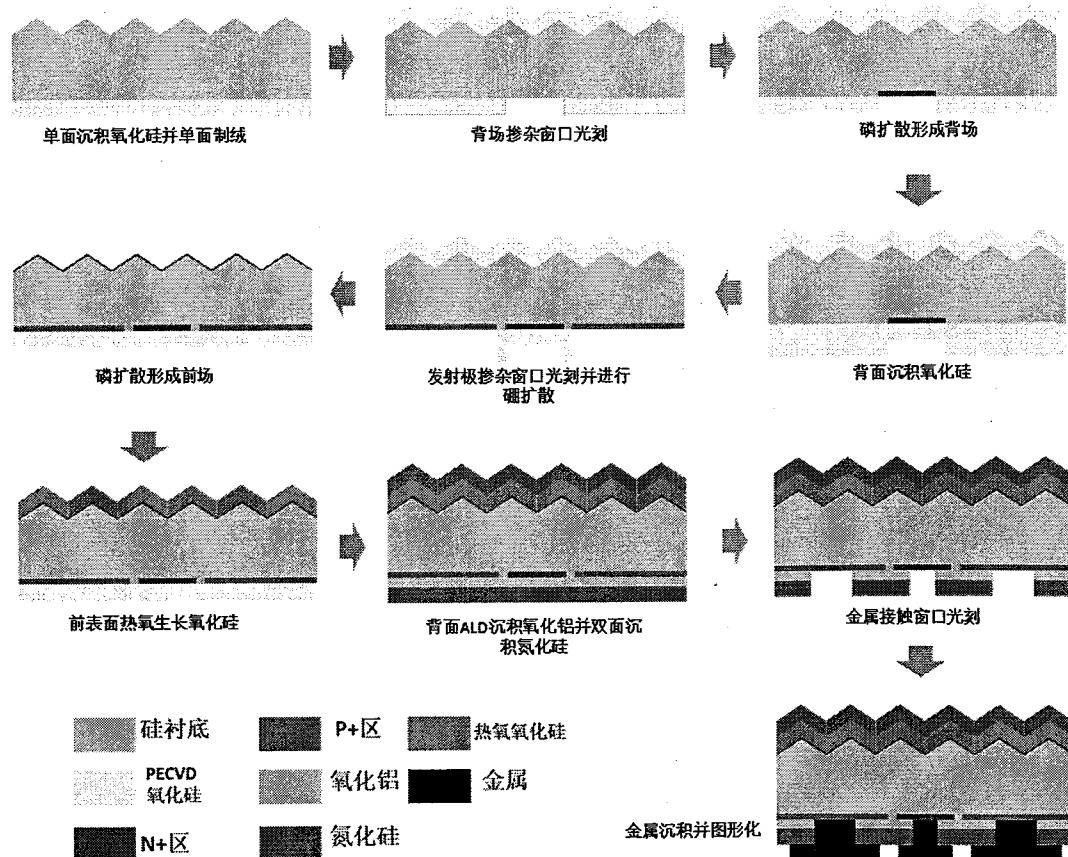


图 2.36 N 型前场 IBC 太阳能电池流片工艺流程图。

IBC 太阳能电池制备出来之后,我们采用校准过的太阳能电池模拟器对电池的 I-V 特性进行了测试,光照条件为 AM1.5,测试温度为 25℃。此外我们还对比了金属化之后的热退火过程对电池效率的影响,退火是在 FGA 氛围下进行的,温度 450℃,时间为 4min。I-V 测试结果如图 2.37 所示。可以看到退火之后的电池效率为 17.15%。电池效率相对还比较低。其实电池的填充因子已经不低了,导致电池效率不高的原因主要是短路电流和开路电压都不高,这可能是因为钝化没有做好的原因。

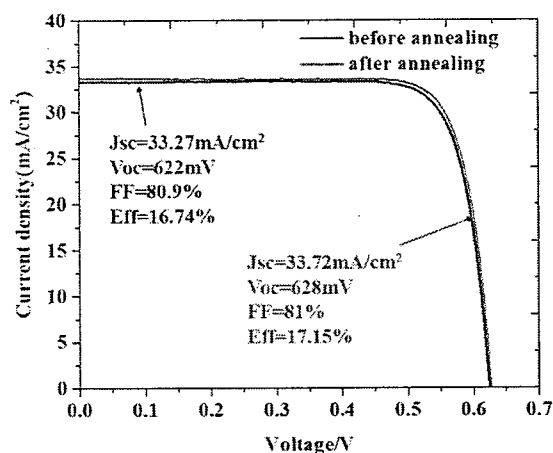


图 2.37 N 型前场 IBC 太阳能电池退火前后 I-V 特性和电池性能对比图。

2.4.2. 无前场 IBC 太阳能电池

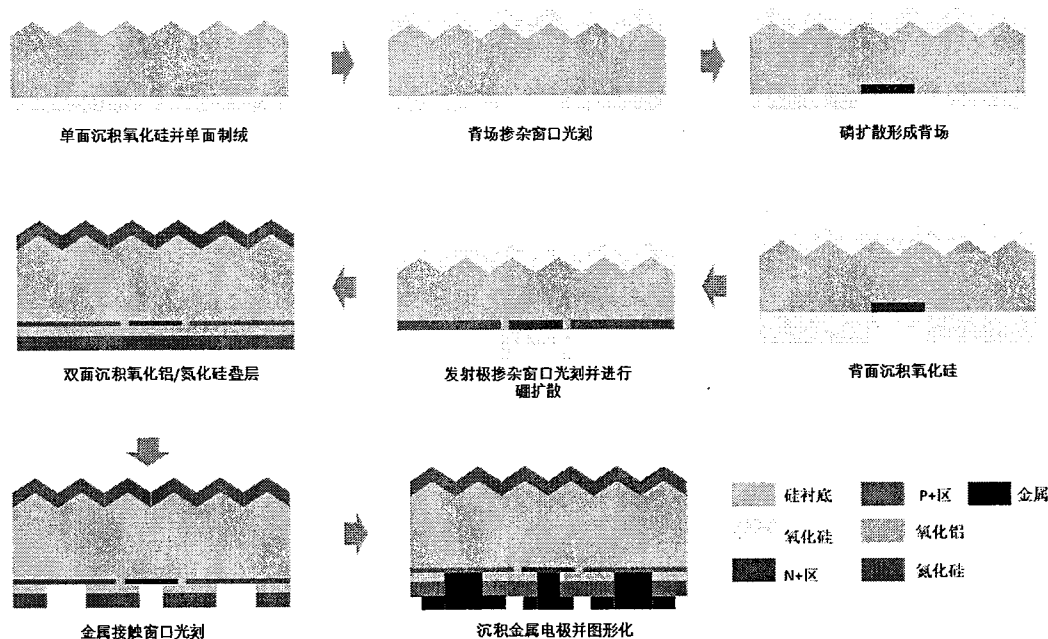


图 2.38 无前场 IBC 太阳能电池流片工艺流程图。

无前场 IBC 太阳能电池流片的工艺流程如图 2.38 所示。首先也是单面制绒，然后通过光刻的方式开出背场掺杂窗口并通过磷扩散进行背场掺杂。然后在背面沉积一层氧化硅将背场保护起来。然后进行发射极掺杂窗口光刻并通过硼扩散进行发射极区掺杂。在以上进行的磷扩散和硼扩散过程中，衬底的前表面都是有足够厚的氧化硅做阻挡层的，因此前表面没有进行任何掺杂。随后把前后表面的氧化硅阻挡层都去掉并进行 RCA 清洗。然后双面沉积氧化铝/氮化硅叠层进行钝化，最后是进行金属化。可以看到无前场 IBC 电池的制备工艺比 N 型前场 IBC 电池的制备工艺简化了很多。

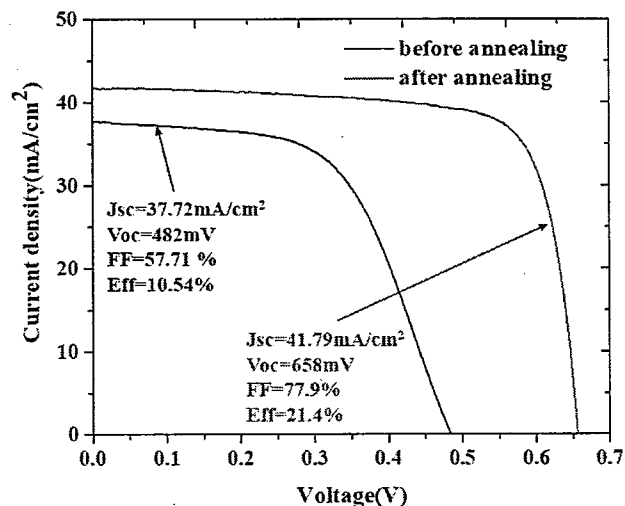


图 2.39 无前场 IBC 太阳能电池退火前后 I-V 特性和电池性能对比图。

无前场 IBC 太阳能电池的 I-V 测试结果如图 2.39 所示。退火之后电池效率达到了 21.4%。可以看到电池效率的提升也是得益于短路电流和开路电压的提高，短路电流密度已经达到了 41.79mA，这说明无前场结构对于光生载流子的收集比前两种前场结构的 IBC 电池都要好，这主要是得益于氧化铝/氮化硅叠层对电池前表面良好的钝化效果，而且氧化铝中的负电荷本身就有场钝化的作用，所以即使没有前场结构，氧化铝/氮化硅叠层也可以对前表面进行很好的钝化。除此之外，因为前面没有了重掺杂区域，也避免了载流子在前场的 SRH 复合和俄歇复合，这对于电池性能的提高也是非常有利的。我们还可以看到，退火工艺对于这种电池的效率提升是非常明显的，也是非常关键的。这主要是因为退火可以激活氧化铝中的负电荷，使得氧化铝起到更好的场钝化作用，这对于没有前场结构的电池来说是非常必要的。

图 2.40 为我们制备的 IBC 太阳能电池的前面和背面的实物图。我们制备的电池大小为 $4\times 4\text{cm}^2$ 。因为虽然两种电池的前场结构是不一样的，但是两种种电池的前表面在外观上是没有任何区别的，所以我们只是给出了无前场 IBC 电池前后表面的实物图。

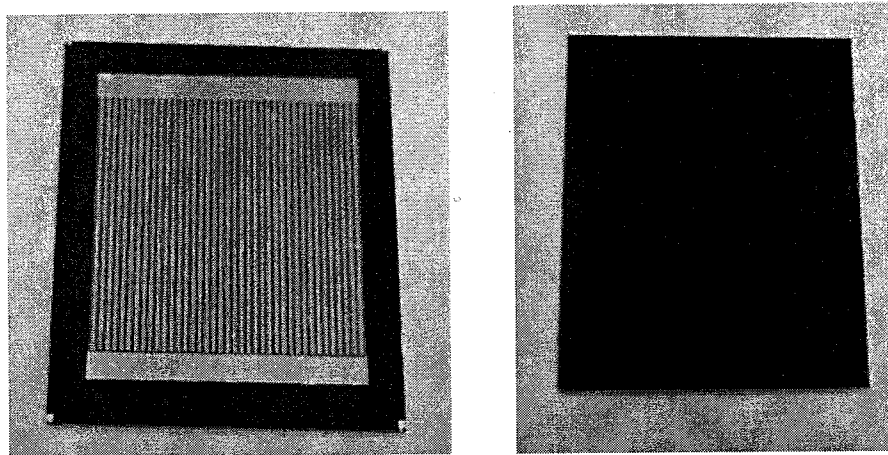


图 2.40 IBC 电池前后表面实物图。

2.5 本章小结

本章主要介绍了传统的 IBC 太阳能电池设计和制备相关方面的内容。对于设计方面我们采用软件模拟的方式对 IBC 太阳能电池的各种结构参数进行了模拟，这使得我们对 IBC 电池中的各种结构参数对电池性能的影响有了一个清晰地认识。对于电池制备方面，我们首先对 IBC 太阳能电池制备中的单项工艺，包括硼扩散工艺、硅衬底表面钝化工艺、金属化工艺等进行了详细的分析，然后我们将这些优化好的工艺应该用到了具体的 IBC 电池流片过程中，通过对这些单项工艺的整合以及对他们之间兼容性问题的解决，我们制备出了具有两种前场结构的 IBC 太阳能电池并对电池的性能进行的表征和分析。本章具体研究内容和取得的成果如下：

- (1) 通过采用 TCAD 器件模拟软件对 IBC 电池前表面参数、衬底参数、背表面参数进行了详细的模拟分析。经过分析发现，前场区的掺杂浓度对于前表面的钝化是很重要的，掺杂浓度既不能太高也不能太低，最佳掺杂浓度为 $5\times 10^{18}\text{cm}^{-3}$ 。衬底参数中衬底厚度和少数寿命的选择要使得衬底的厚度小于少数载流子的扩散长度，但是衬底厚度也不能太薄，不然会影响衬底对光的吸收效率。电池背面发射极区的宽度要尽量宽一些，发射极区和背场区的掺

杂浓度要尽量高一点。

- (2) 分析了硼扩散参数对衬底表面硼原子的掺杂分布的影响。发现预沉积过程中的温度和氧气流量都会影响硼掺杂的深度。预沉积温度越高,氧气的流量越小,硼扩散的越深。推进过程可以使硼掺杂的深度大大增加,而且推进的温度越高硅表面的掺杂浓度越低,因此可以通过调节推进温度来控制硅表面的掺杂浓度。
- (3) 采用了三种不同的方法来去除富硼层,并分析了不同方法去除富硼层的效果以及对硅表面钝化的影响。发现采用化学腐蚀的方法去除富硼层最有效,去除富硼层之后硅表面的钝化效果也最好,而采用热硝酸处理的方法不能将富硼层全部去掉,表面钝化之后也会有一个比较大的 J_{0e} 。采用原位氧化的方法虽然可以将富硼层去掉,但是会导致衬底寿命的严重衰减。
- (4) 分析了采用氧化硅/氮化硅叠层来钝化硼掺杂硅表面的工艺,发现氧化层的厚度和退火工艺对钝化效果影响很大,最佳的氧化层厚度为 15nm。
- (5) 分析了干氧氧化钝化磷掺杂硅表面的效果,发现最佳的钝化温度为 850°C,而且后面的 FGA 退火对钝化效果有很大的提升。
- (6) 采用氧化铝/氮化硅叠层来钝化硼掺杂硅表面和磷掺杂硅表面,发现氧化铝/氮化硅叠层可以对硼掺杂硅表面进行很好的钝化,但是对于磷掺杂硅表面的钝化效果就比较差了。
- (7) 采用 TLM 实验对金属铝与磷掺杂硅表面和硼掺杂硅表面之间的接触电阻进行了表征,并分析了退火温度和退火时间对比接触电阻的影响。发现金属铝和硼掺杂硅表面形成的接触电阻要比和磷掺杂硅表面形成的接触电阻小,而且金属化最佳的退火条件为 400°C, 40min。
- (8) 制备出了两种具有不同前场结构的 IBC 太阳能电池,一种采用的是 N 型前场,表面用热氧生长的氧化硅钝化,另一种采用无前场结构,表面用氧化铝/氮化硅叠层进行钝化。N 型前场 IBC 电池效率为 17.15%,无前场结构 IBC 电池效率达到了 21.4%。

第三章 Poly-TOPCon 结构及其在 IBC 太阳能电池中的应用

3.1 引言

在这一章中我们主要对 Poly-TOPCon 结构的制备工艺、性能表征以及其在 IBC 太阳能电池中的应用进行了研究。Poly-TOPCon 结构作为一种新提出不久的结构,其主要优势是可以对硅衬底的表面产生很好的钝化效果,但是该结构的钝化效果的好坏是和其制备工艺以及其中各个部分结构的性能分不开的。因此我们就对该结构的制备工艺以及工艺参数对 Poly-TOPCon 中的部分结构,如隧穿氧化层和多晶硅的性能的影响进行了分析。对 Poly-TOPCon 结构的制备工艺和特性进行分析之后就要将该结构应用到 IBC 太阳能电池中去了。但是由于 IBC 电池结构比较复杂,所以如何将 Poly-TOPCon 结构应用到 IBC 太阳能电池中去呢?我们首先尝试的是将 Poly-TOPCon 结应用到 IBC 电池前场的制备中去。对于采用 Poly-TOPCon 作为 IBC 电池的前场,我们主要是采用软件模拟的方式对 Poly-TOPCon 结构中多晶硅和氧化硅的性质对电池效率的影响进行了详细分析。通过分析我们得到了最适合作为 IBC 电池前场的 Poly-TOPCon 的结构参数。最后我们将 Poly-TOPCon 结构应用到了 IBC 电池的流片中,制备出了两种结构的 IBC 电池,一种是只采用 Poly-TOPCon 结构作为 IBC 电池的前场,另一种是采用 Poly-TOPCon 结构同时作为 IBC 电池的前场和背场,并对制备出的 IBC 电池的性能进行了表征。

3.2 Poly-TOPCon 结构分析

3.2.1. Poly-TOPCon 结构的制备工艺

Poly-TOPCon 结构主要由两部分组成,一部分是隧穿氧化层,另一部分是位于隧穿氧化层上方的掺杂多晶硅层[25]。所以对于 Poly-TOPCon 结构制备工艺的研究就集中在了对于隧穿氧化层与掺杂多晶硅层的制备上。因为隧穿氧化层一般是位于多晶硅层和衬底之间,所以首先应该在衬底上生长一层很薄的隧穿氧化层。该氧化层的制备方法有多种,可以采用湿法氧化的方式生长,例如用沸腾的硝酸处理,也可以通过臭氧氧化的方式生长[26],还可以通过 ALD 的方式进行沉积,

而且该氧化层也不一定就是氧化硅层，也可以是其他的氧化物例如氧化铝等。但是无论是哪种方法制备的氧化层，该氧化层必须要满足两个条件。首先是氧化层要能起到很好的表面钝化的作用，因为在这种结构中主要是该隧穿氧化层的化学钝化在起作用。其次氧化层的厚度要能够精确控制，因为载流子要通过量子隧穿效应穿过该氧化层，所以氧化层的厚度应在 1.2-2nm 之间[25]。能够将氧化层的厚度控制在这么小的范围内的同时，又要保证薄膜的均匀性，这对制备工艺的要求非常高。目前满足这种要求的最简单的制备工艺就是采用沸腾的硝酸对硅衬底进行氧化的方式来生长隧穿氧化层。采用这种方法来制备隧穿氧化层，氧化层的生长具有自限性，也就是氧化层生长到一定厚度之后就不再变厚了，而该厚度正好就在 1.2 -2nm 之间，所以工艺过程很好控制。

对于掺杂多晶硅的生长，主要是采用各种化学气相沉积工艺，包括常压化学气相沉积（APCVD），低压化学气相沉积（LPCVD）、等离子增强化学气相沉积（PECVD）。其中 APCVD 和 LPCVD 可以直接沉积多晶硅，而 PECVD 无法直接沉积多晶硅，必须经过高温退火使非晶硅晶化。对于多晶硅的掺杂也有两种不同的方式。一种是在薄膜沉积的过程中就进行掺杂，这种掺杂方式称为原位掺杂。另一种是多晶硅薄膜制备好了之后，通过扩散或者是离子注入的方式进行掺杂[80,81]。Poly-TOPCon 结构的制备流程示意图如图 3.1 所示。

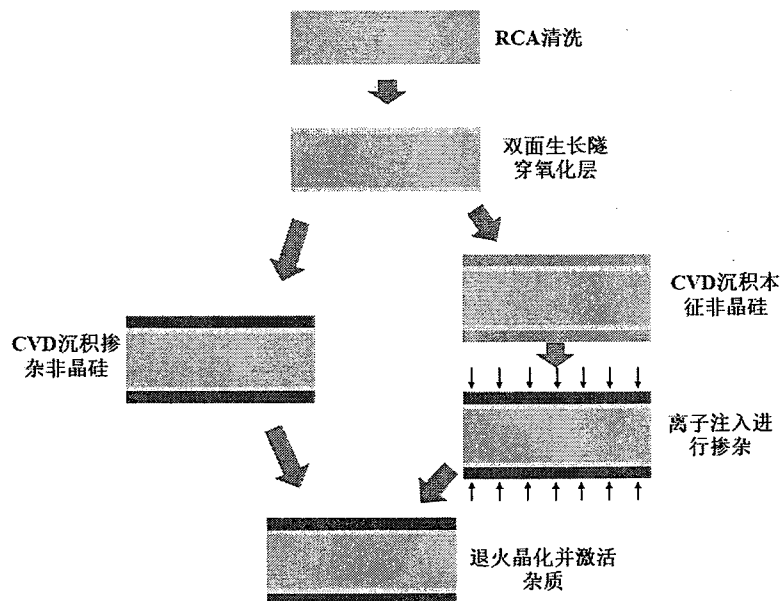


图 3.1 Poly-TOPCon 结构制备工艺流程图。

我们在实验过程中采用热硝酸处理的方法来生长隧穿氧化层,通过控制处理的时间、温度以及硝酸的浓度来调节隧穿氧化层的质量。掺杂的多晶硅层我们是采用 PECVD 的方式沉积的,在沉积的过程中就对薄膜进行了掺杂。因为 PECVD 只能沉积非晶硅,所以还要经过后退火工艺使非晶硅晶化,晶化的同时也可以激活薄膜中的杂质。我们在实验过程中发现非晶硅薄膜的沉积条件、掺杂浓度、以及后退火工艺对 Poly-TOPCon 结构的钝化效果影响是非常大的。

3.2.2. Poly-TOPcon 结构的特性表征

对于隧穿氧化层的表征,我们主要表征了隧穿氧化层的厚度随热硝酸处理时间的变化。隧穿氧化层的厚度是使用椭偏仪进行测试的。通过测试我们可以发现,隧穿氧化层的厚度基本上不随热硝酸处理的时间变化,厚度基本上保持在 1.5~2nm 之间。这说明氧化层的生长确实是自限性的。

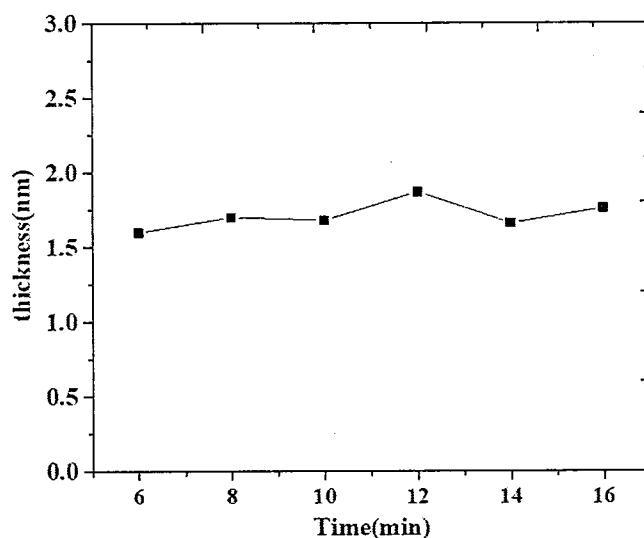


图 3.2 隧穿氧化层和热硝酸处理时间的关系。

实验中我们是采用 PECVD 来沉积的硅薄膜的,由于 PECVD 沉积的温度比较低,大于在 190°C~230°C 之间,所以刚沉积完的硅薄膜肯定是非晶状态的,要想让非晶硅变成多晶硅就要经过一个高温退火过程。高温退火可以使非晶硅变成多晶硅,但是到底要采用多高的退火温度才能使非晶硅薄膜变成多晶硅,这就需要对多晶硅的晶化程度和退火温度的关系进行分析。我们首先通过拉曼光谱分析了经过不同退火温度的样品。因为拉曼光谱可以分析物质中的分子结构,因此当非晶硅变成多晶硅的时候,拉曼光谱会在特定位置出现一个峰。我们已经知道单

晶硅的拉曼峰位于拉曼位移为 520.7cm^{-1} 的位置[82]，所以只要观察硅薄膜的拉曼光谱是否在该位置出现一个明显的峰，我们就可以知道非晶硅是否已经开始晶化了。此外，拉曼峰的高度还可以反应特定物质成分的含量，因此我们可以从拉曼峰的高度来推测多晶硅的晶化程度。如图 3.3 所示，为采用不同退火温度的样品的拉曼光谱测试结果。可以看到对于没有退火或者是退火温度比较低的样品只是在 480cm^{-1} 处有一个很宽的隆起，并没有出现明显的特征峰。当退火温度为 700°C 时，在 520.7cm^{-1} 的位置处出现一个比较小的峰，这说明 700°C 时非晶硅开始晶化，随着退火温度的升高，非晶硅的晶化程度也随之不断升高。所以我们可以推断，要想使非晶硅转变成多晶硅，退火温度不能低于 700°C 。

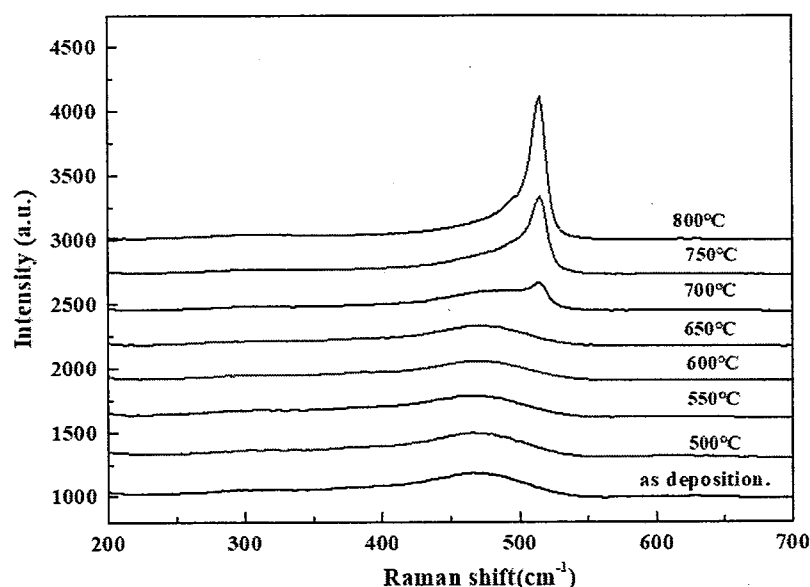


图 3.3 经过不同退火温度退火的硅薄膜的拉曼光谱测试结果。

除了拉曼测试，我们还采用 XRD 对多晶硅薄膜的晶化程度进行了分析。测试结果如图 3.4 所示，可以看到当退火温度达到 700°C 时，XRD 图谱才开始出现一个比较小的 (111) 晶向的衍射峰，这说明非晶硅开始晶化了。随着退火温度的升高，(111) 晶向的衍射峰随之增强，而且还出现了其它晶向的衍射峰。所以通过 XRD 测试我们再一次证明了要想非晶硅晶化，退火温度必须超过 700°C 。

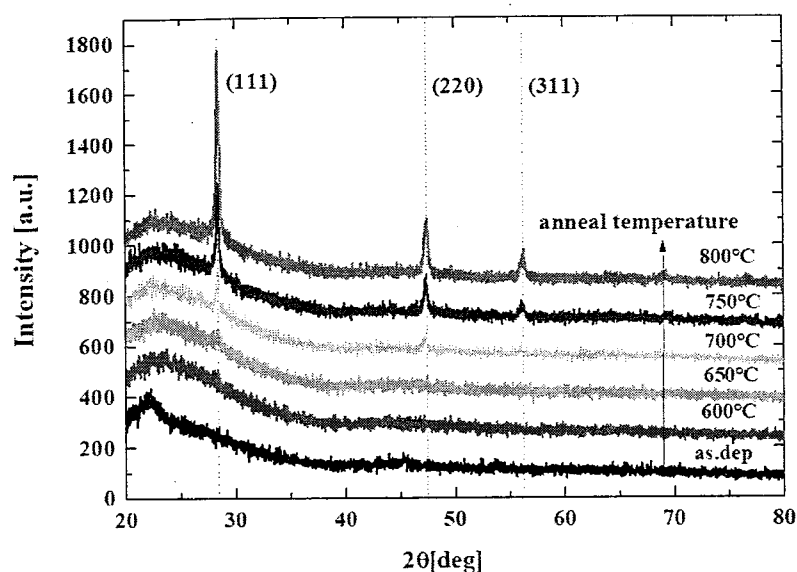


图 3.4 经过不同退火温度退火的硅薄膜的 XRD 谱图。

最后我们通过高分辨率透射电子显微镜 (HRTEM) 对 Poly-TOPCon 结构进行了表征。我们表征的是采用 800°C 退火的样品。电镜图如图 3.5 所示。可以看到上面的硅薄膜部分呈现局部的晶格结构, 这说明非晶硅薄膜确实变成了多晶硅薄膜。在多晶硅和下面的硅衬底之间有一个比较亮的层, 这应该就是隧穿氧化层。

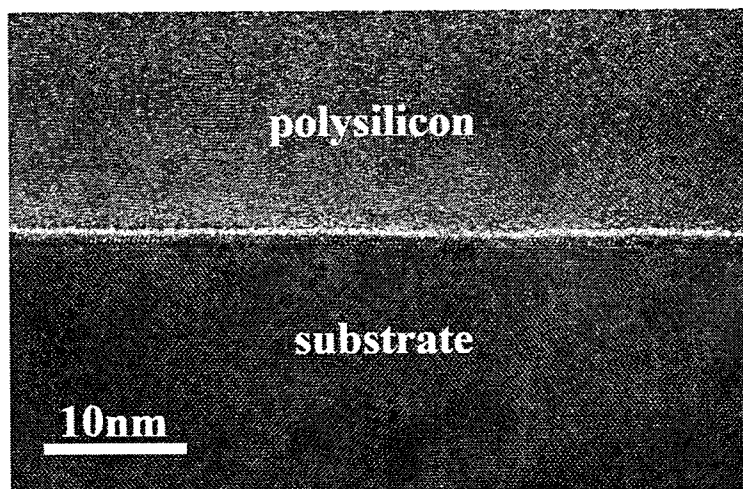


图 3.6 经过 800°C 退火的 Poly-TOPCon 结构的 HRTEM 图。

3.3 采用 Poly-TOPCon 结构作为前场的 IBC 太阳电池模拟分析

Poly-TOPCon 结构对太阳电池性能的提升已经在传统的双面结构的太阳电池中得到了充分的证明[83,84,85]。但是因为 IBC 太阳电池的结构比较复杂, 所

以如何将 Poly-TOPCon 结构和 IBC 电池结合起来还需要慎重考虑。由于 Poly-TOPCon 结构独特的性能, 该结构在电池中既可以起到很好的化学钝化作用, 同时其中掺杂的多晶硅还可以和衬底形成高低结或者异质 PN 结, 前者可以用来形成 IBC 电池的前场和背场从而起到很好的场钝化的作用, 后者可以用来形成 IBC 电池的发射极, 起到分离载流子的作用。因为前场的性能对于 IBC 太阳电池来说至关重要, 所以我们首先考虑的就是将 Poly-TOPCon 结构应用到 IBC 电池的前表面作为前场。因为对于 IBC 电池的前场, 不但要考虑表面钝化的问题, 还要考虑前场的遮光效应以及前场对载流子输运的影响。究竟什么样的 Poly-TOPCon 结构才能使 IBC 电池的前场结构达到最优呢? 如果通过实验的方法去研究, 将会非常消耗时间。所以我们首先通过软件模拟的方式对采用 Poly-TOPCon 结构作为前场的 IBC 电池的性能进行了详细分析, 对该结构中的各部分结构参数对电池性能的影响进行了模拟优化, 这为下一步在实验中将 Poly-TOPCon 结构应用到 IBC 电池的前场中指明了方向。

3.3.1. 模型及模拟方法介绍

与第二章介绍的模拟部分一样, 我们还是采用中科院微电子所的 TCAD 器件模拟软件对器件的结构进行模拟。我们采用的 IBC 电池的模型如图 3.7 所示。衬底为厚度为 $230\mu\text{m}$ 的单晶硅, 单晶硅衬底的前表面为隧穿氧化层和掺杂多晶硅层形成的 Poly-TOPCon 结构。电池的背面为发射极区、背场区以及 gap 区域。发射极区和背场区的杂质掺杂分布为高斯分布。具体的电池参数由表 3.1 给出。

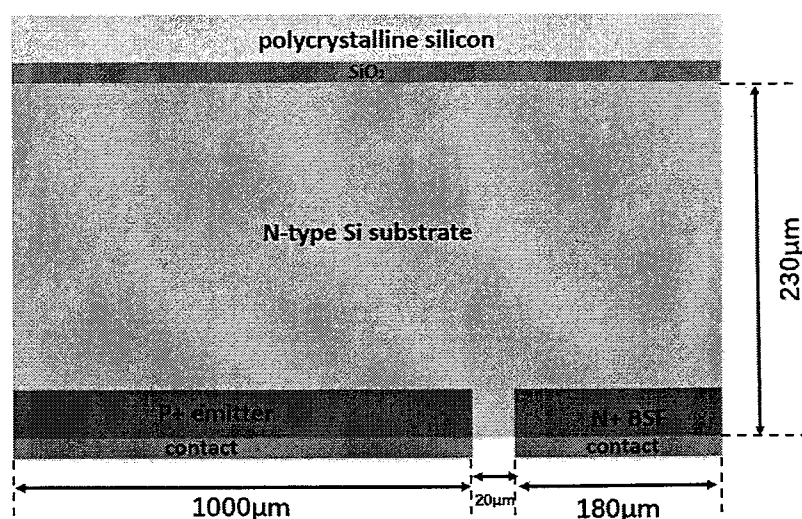


图 3.7 Poly-TOPCon 结构前场 IBC 电池的仿真中采用的模型示意图

表 3.1 IBC 电池仿真中采用的各种参数及其数值

参数	参数值
衬底参数	
厚度	230 μm
掺杂类型	N
电阻率	1.5- $\Omega \cdot \text{cm}$
SRH 复合寿命	3000 μs
隧穿氧化层参数	
厚度	0.2~10nm
介电常数	3.9
多晶硅参数	
禁带宽度	1.08eV
掺杂类型	N
掺杂浓度	$1 \times 10^{15} \sim 5 \times 10^{21} \text{cm}^{-3}$
厚度	1~20nm
电子亲和势	4.17eV
介电常数	11.8
折射率虚部值	2.1
背场参数	
掺杂浓度	$8 \times 10^{19} \text{cm}^{-3}$
分布函数	ERFC
结深	1.5 μm
表面复合速率	
钝化区域 ($S_p = S_n$)	$1 \times 10^6 \text{cm/s}$
金属接触区域 ($S_p = S_n$)	$1 \times 10^7 \text{cm/s}$
发射极参数	
掺杂浓度	$5.6 \times 10^{19} \text{cm}^{-3}$
分布函数	ERFC
结深	0.6 μm
表面复合速率	
钝化区域 ($S_p = S_n$)	6850 cm/s
金属接触区域 ($S_p = S_n$)	$1 \times 10^7 \text{cm/s}$
光学参数	
多晶硅层前表面反射率	0.9
多晶硅层和隧穿氧化硅层界面处的反射率	0.95
隧穿氧化层和衬底界面的反射率	0.95
背表面的反射率	0.9
界面表面复合速率	
多晶硅层前表面复合速率	200cm/s
多晶硅层和隧穿氧化层界面复合速率	200cm/s
氧化硅层和衬底界面复合速率	100cm/s
背场区和发射极区的间距	20 μm

我们采用器件模拟软件具有非常强大的光电模拟功能,其内部的光电仿真模块可以计算入射到半导体内部的光强分布,并且直接把光强转变成载流子产生速率并添加到载流子连续性方程中。光生载流子产生率由以下公式给出:

$$G = \eta_0 \frac{p\lambda}{hc} \alpha e^{-\alpha y} \quad (3.1)$$

其中 p 为光强因子, λ 为入射光的波长, η_0 为内量子效率, h 为普朗克常量, α 为光吸收系数, y 为相对于入射光线路径的距离。进一步可以计算光生电流的大小如下:

$$I_A = \eta_0 \frac{B_n \lambda}{hc} \sum_{i=1}^{N_R} W_R \int_0^{Y_i} P_i \alpha_i e^{-\alpha_i y} dy \quad (3.2)$$

其中 η_0 为内量子效率, B_n 是第 n 束光线的强度, λ 为波长, h 普朗克常量, c 为光速, N_R 为光线的总数目, W_R 为光线的宽度, P_i 为光的衰减系数, α_i 为光的吸收系数。

因为在 Poly-TOPCon 结构中载流子是通过隧穿的方式通过氧化层的,所以在对该结构的模拟过程中必须要用到载流子的隧穿模型。因为载流子在 Poly-TOPCon 结构中是通过隧穿作用从氧化层这一边隧穿到另一边,所以我们在模拟过程中采用的是一种非局域载流子隧穿模型。载流子隧穿几率由以下公式给出:

$$T(E) = \exp\left(-2 \int_{x_{start}}^{x_{end}} k(x) dx\right) \quad (3.3)$$

其中 $k(x)$ 由以下公式给出:

$$k(x) = \frac{k_e k_h}{\sqrt{k_e^2 + k_h^2}} \quad (3.4)$$

其中 $k_e(x)$ 与 $k_h(x)$ 分别由以下公式给出:

$$k_e(x) = \frac{1}{i\hbar} \sqrt{2m_0 m_e (E - E_c(x))} \quad (3.5)$$

$$k_h(x) = \frac{1}{i\hbar} \sqrt{2m_0 m_h (E_v(x) - E)} \quad (3.6)$$

其中 m_0 为电子的静止质量, m_e 和 m_h 为电子和空穴的有效质量. $E - E_c(x)$ 等于电子隧穿要克服的势垒的高度. $E_v(x) - E$ 等于空穴隧穿要克服的势垒的高度. x_{start} and x_{end} 为隧穿路径的起点和终点。

除此之外,在模拟过程中我们还采用了禁带变窄模型[86]、与掺杂浓度相关

的迁移率模型、费米-狄拉克分布模型。光照条件采用标准太阳光光谱，大气质量为 AM1.5，光照强度为 $100\text{mw}/\text{cm}^2$ 。

3.3.2. 模拟结果与讨论

前场对于 IBC 电池来说主要起到两个功能，一个是起表面钝化的作用[22]，另一个是起载流子输运的作用[60]。这两个作用对于 IBC 电池来说都是非常重要的。采用 Poly-TOPCon 结构作为 IBC 电池的前场同样可以起到这两方面的作用。所以我们关于 Poly-TOPCon 结构前场对 IBC 电池性能影响的模拟分析主要是从这两个方面进行的，下面分别进行介绍。

3.3.2.1. 表面钝化性能分析

➤ 多晶硅结构参数的优化

我们首先对 Poly-TOPCon 结构中多晶硅的厚度和掺杂浓度对 IBC 电池性能的影响进行了分析，如图 3.8 为掺杂多晶硅层取不同厚度时，其掺杂浓度对 IBC 电池效率的影响。多晶硅的厚度分别取为 5nm、10nm、15nm、20nm。掺杂浓度从 $1 \times 10^{15}\text{cm}^{-3}$ 一直变化到 $5 \times 10^{21}\text{cm}^{-3}$ 。可以看到无论多晶硅的厚度为多少，当多晶硅的掺杂浓度大于 $1 \times 10^{16}\text{cm}^{-3}$ 之后，电池效率都会迅速增加，而当掺杂浓度大于 $1 \times 10^{18}\text{cm}^{-3}$ 之后，电池效率随掺杂浓度的增加上升的就非常缓慢了。

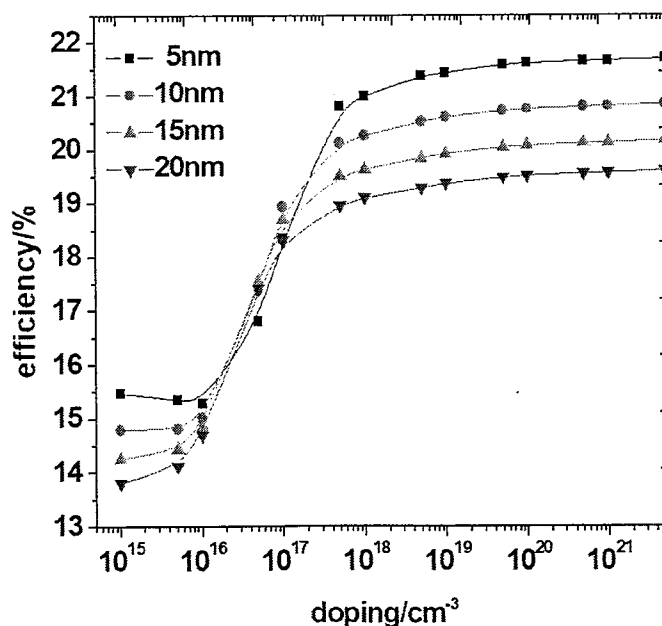


图 3.8 不同多晶硅厚度的情况下多晶硅的掺杂浓度对电池效率的影响。

电池效率随着多晶硅掺杂浓度的变化趋势可以通过 Poly-TOPCon 结构的场钝化效果随多晶硅层掺杂浓度的变化来解释。对于传统的采用磷扩散形成的前场结构来说场钝化是通过前表面 N 型重掺杂区和衬底形成的高低结来实现的[57]。由于前场区的掺杂浓度要远高于衬底的掺杂浓度,这会导致电子从前场区向衬底方向扩散,与此同时产生一个阻止电子扩散的电场,当达到平衡状态时漂移电流和扩散电流相等,而前表面附近则会出现具有一定强度的指向衬底的内部电场,该电场会阻止少数载流子运动到电池的前表面,从而减小了其在前表面的复合率。对于采用 Poly-TOPCon 结构作为前场的情况也可以通过相似的原理来解释,只不过此时的高低结是由掺杂多晶硅和衬底之间形成的异质结。该异质结一旦形成,由于巨大的浓度差,多晶硅中的电子就会通过隧穿效应穿过氧化硅运动到掺杂浓度较低的衬底一边,与此同时氧化硅两边出现净电荷,从而导致一个指向衬底内部的电场产生,当达到平衡状态时,两边费米能级保持一致,从而也得到一个恒定的指向衬底内部的电场。该电场也可以起到排斥少数载流子的作用,从而降低前表面的复合率。很明显,该电场的强度越大,前场的场钝化作用就会越明显,电池的效率也就会越高。所以必须要找到影响该电场强度的因素。我们通过分析模拟结果发现,该电场强度的大小首先是和多晶硅的掺杂浓度有关的。

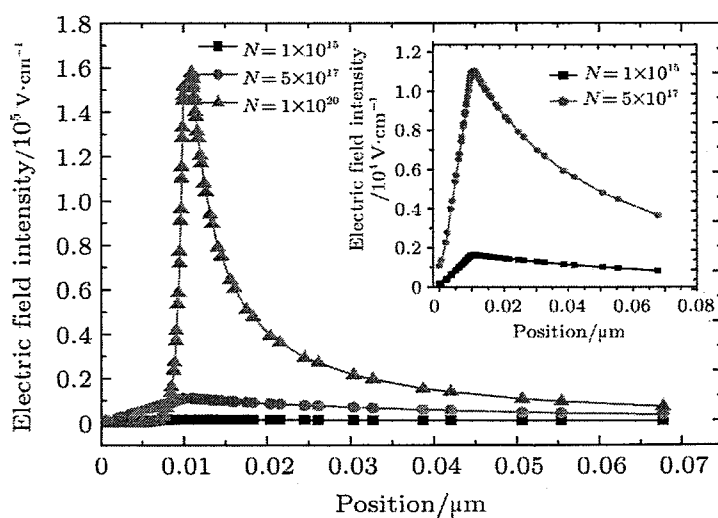
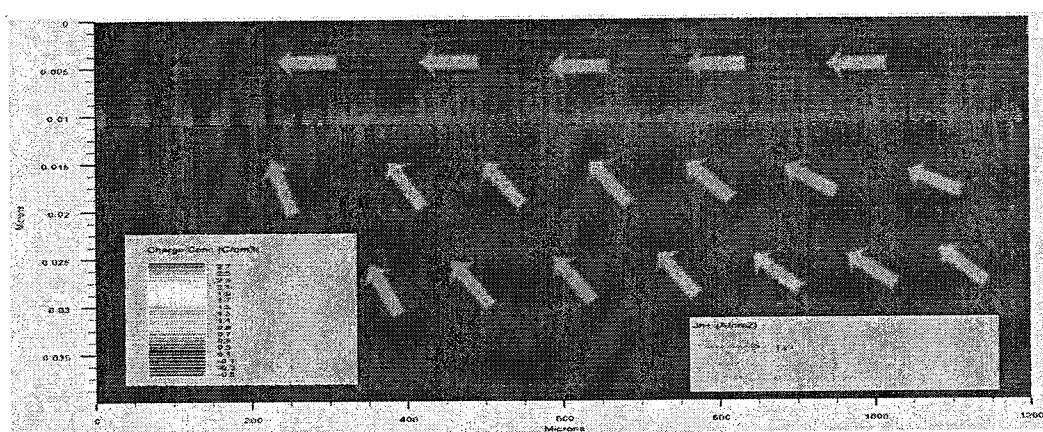


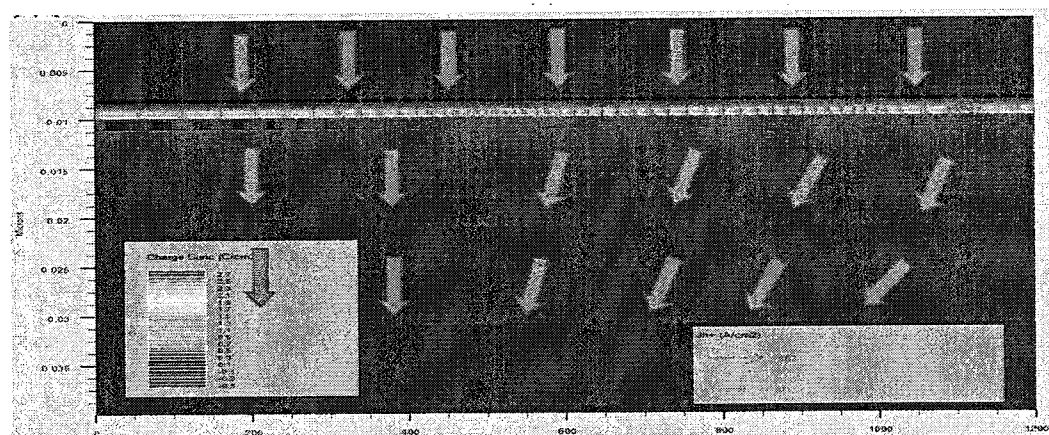
图 3.9 不同的多晶硅掺杂浓度下, 电池前表面的电场分布情况。

如图 3.9 所示, 我们分别提取了不同的多晶硅掺杂浓度情况下, 电池前表面的电场分布情况。图中 $0.01 \mu\text{m}$ 的位置对应多晶硅和隧穿氧化层的界面, 多晶硅的厚度为 10 nm , 氧化硅的厚度为 1 nm 。可以看到当多晶硅掺杂浓度为 $1 \times 10^{15} \text{ cm}^{-3}$

² 时, 氧化硅层两边的电场强度非常小, 这么小的电场强度不能起到足够的场钝化作用。随着多晶硅掺杂浓度的增加, 电场强度迅速增加, 当多晶硅掺杂浓度达到 $1 \times 10^{15} \text{cm}^{-20}$ 时, 电场强度增加了将近一个数量级, 该电场强度就可以起到很好的场钝化作用了。



(a)



(b)

图 3.10 (a) 多晶硅掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 时 IBC 电池前表面的空穴电流密度分布情况。(b) 多晶硅掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 时 IBC 电池前表面的空穴电流密度分布情况。

为了进一步说明多晶硅掺杂浓度的增加对场钝化效果的影响, 我们分别提取了多晶硅掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 和掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 时, 电池前表面的空穴电流密度的分布情况。可以看到当掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 时, 衬底一边的空穴电流的方向是指向隧穿氧化层和衬底的界面的, 这主要是由于界面的复合速率太大, 而前场又起不到很好的钝化作用, 所以空穴都流向前表面并复合掉了。而当多晶硅的掺杂达到 $1 \times 10^{20} \text{cm}^{-3}$ 时, 可以看到, 空穴电流的方向都是指向衬底内部的,

这说明前场的场钝化作用已经足够强了,内建电场可以有效地将少数载流子空穴驱离电池表面,从而有效减小空穴在前表面的复合。最后我们提取了不同多晶硅掺杂浓度的情况下,电池前表面的空穴浓度分布,如图 3.11 所示,可以看到,随着多晶硅掺杂浓度的增加,电池前表面附近的空穴浓度急剧下降,多晶硅掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 时的表面空穴浓度相对于掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 时下降将近三个数量级。

通过上面的分析我们可以看到,多晶硅掺杂浓度的增加确实会增强 IBC 电池前表面的场钝化效果,随着多晶硅掺杂浓度的增加,场钝化效果迅速增强,少数载流子空穴在前表面的浓度和复合率都迅速降低,从而使得电池效率快速上升。

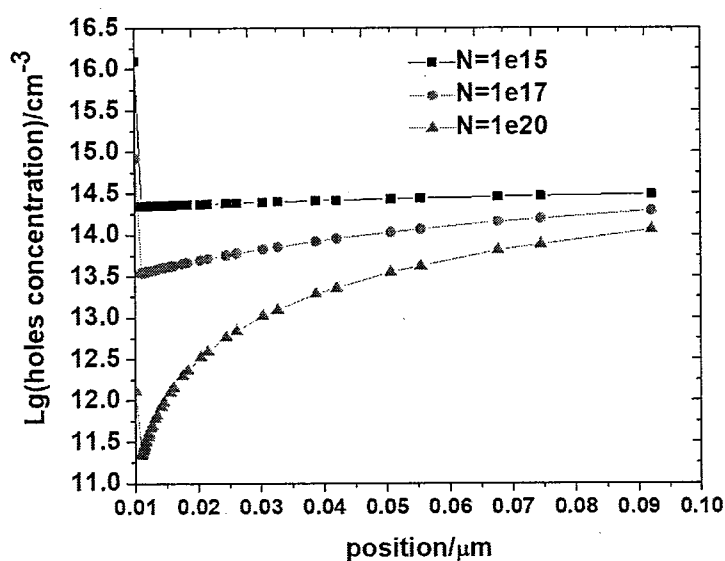


图 3.11 不同多晶硅掺杂浓度的情况下, 电池前表面的空穴浓度分布

从图 3.8 我们还可以发现一个明显的现象,那就是多晶硅层的厚度也会对电池的效率产生明显的影响。为了进一步研究该现象,我们对不同多晶硅掺杂浓度情况下电池效率随多晶硅厚度的变化趋势进行了详细的模拟。模拟结果如图 2.12 所示。可以看到,对于多晶硅掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 和 $1 \times 10^{20} \text{cm}^{-3}$ 的情况,电池效率都是随多晶硅层的厚度一直下降的,但是对于多晶硅掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 的情况,电池效率随着多晶硅掺杂浓度的增加,呈先上升后下降的趋势。

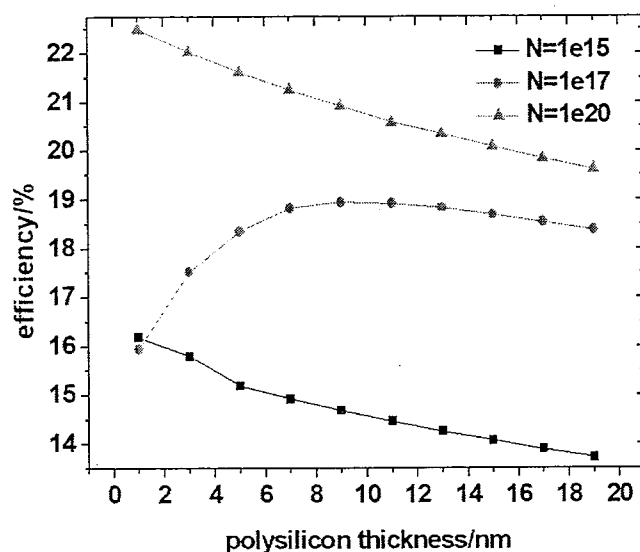


图 3.12 不同多晶硅掺杂浓度情况下，IBC 电池效率随多晶硅厚度的变化趋势。

随着多晶硅厚度的增加，电池效率的下降趋势比较好解释，这是因多晶硅位于电池的前表面，所以多晶硅也会对入射光产生一定的吸收并产生光生载流子。但是因为多晶硅体内的缺陷比较多，所以多晶硅体内的复合率也就比较大，入射光产生的电子空穴对在分离之前就复合掉了，这部分入射光的能量就损失掉了，而多晶硅厚度越大，这部分损失的能量就会越多，所以电池效率就会下降。为了证明我们的推测，我们提取了不同多晶硅厚度情况下电池的外量子效率和波长的关系如图 3.13 所示。可以看到，随着多晶硅厚度的增加，电池在短波段的外量子效率明显下降，而在长波段的量子效率基本保持不变。这主要是因为多晶硅对入射光的吸收系数是和波长成反比的，波长越短越容易被多晶硅吸收，而对于入射光中波长比较长的部分则很难被多晶硅吸收，所以这部分入射光的量子效率受多晶硅厚度的影响比较小。因此入射光中短波段部分的能量在多晶硅中的损失造成了电池效率的下降。

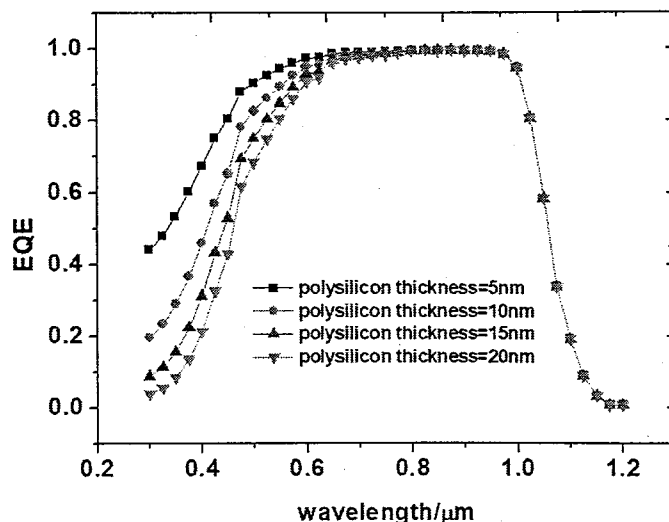


图 3.13 不同多晶硅厚度情况下, IBC 电池的外量子效率和波长的关系。

对于多晶硅掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 时, 电池效率一开始随多晶硅厚度呈现的上升趋势则需要从多晶硅厚度对场钝化效果的影响进行解释。为了解释的更加明确, 我们提取了不同多晶硅厚度和掺杂浓度情况下, IBC 电池前表面的电荷和电场强度分布情况如图 3.13 所示。可以看到, 对于多晶硅掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 和 $1 \times 10^{20} \text{cm}^{-3}$ 时, 多晶硅厚度对隧穿氧化层下面的电荷和电场分布几乎没有影响, 但是当多晶硅掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 时, 多晶硅的厚度对前表面电荷和电场分布的影响就比较明显了。这主要是因为对于 Poly-TOPCon 结构来说, 要想获得足够的内建电场, 隧穿氧化层两边必须要有足够数量的净电荷存在, 而净电荷的数量一方面由掺杂原子的浓度决定, 另一方面还要受到空间电荷区所能达到的最大厚度决定。对于异质结的多晶硅这一侧, 空间电荷区的最大宽度就是多晶硅的厚度, 所以在一些情况下, 多晶硅的厚度会对总的电荷量产生限制。对于多晶硅掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的情况, 因为本身场钝化作用就比较弱, 即使多晶硅厚度变大导致电荷量的增加对内建电场的影响也不明显。对于多晶硅掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 的情况, 因为掺杂浓度足够高, 所以空间电荷区的宽度远小于模拟中采用的最小多晶硅厚度, 所以多晶硅厚度对电荷和电场的分布没有什么影响。但是对于多晶硅掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 的情况, 因为多晶硅掺杂浓度不够高, 所以空间电荷区已经占据了整个多晶硅层, 此时多晶硅层的厚度就成为了限制电荷总量的主要因素, 所以增加多晶硅的厚度可以增加空间电荷区的宽度从而提高异质

结中内建电场, 进而提高 Poly-TOPCon 结构的场钝化效果。

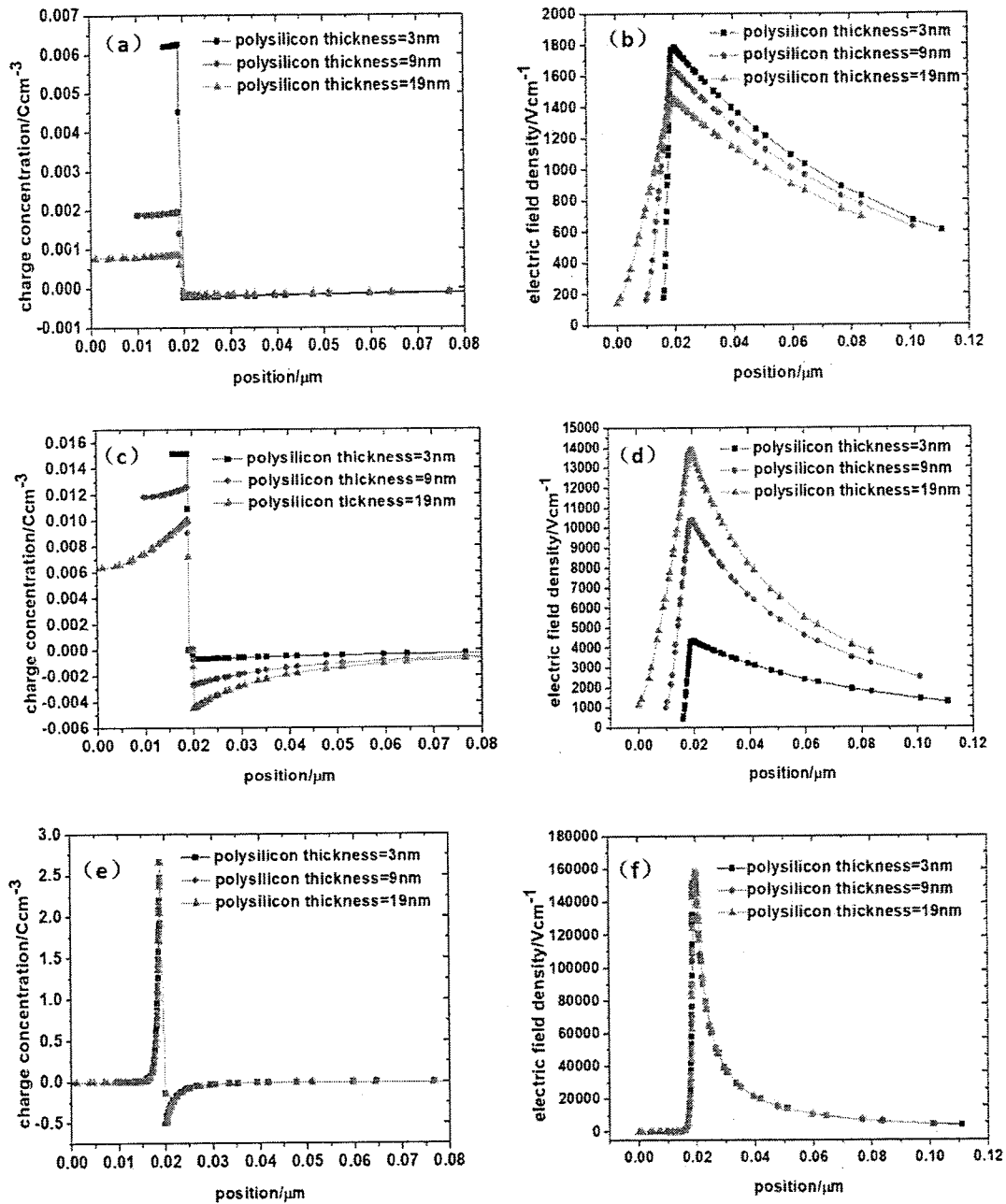


图 3.14 不同多晶硅厚度和掺杂浓度情况下, IBC 电池前表面的电荷密度和电场强度分布情况: (a) 和 (b) 多晶硅掺杂浓度为 $1 \times 10^{15} \text{ cm}^{-3}$ 时, 不同多晶硅厚度情况下, IBC 电池前表面的电荷密度和电场强度分布情况。(c) 和 (d) 多晶硅掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 时, 不同多晶硅厚度情况下, IBC 电池前表面的电荷密度和电场强度分布情况。(e) 和 (f) 多晶硅掺杂浓度为 $1 \times 10^{20} \text{ cm}^{-3}$ 时, 不同多晶硅厚度情况下, IBC 电池前表面的电荷密度和电场强度分布情况。

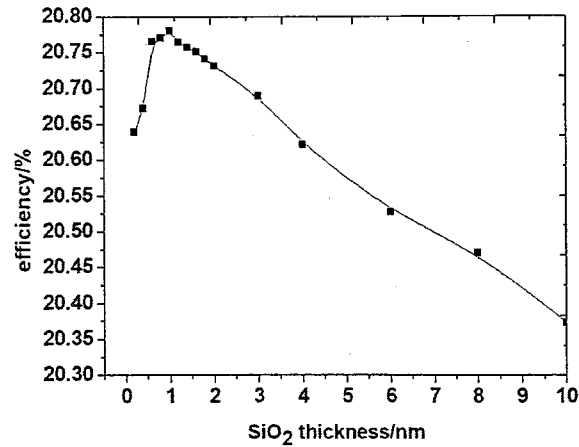


图 3.15 氧化层厚度对 IBC 电池效率的影响。

对于隧穿氧化层的模拟，我们只分析了隧穿氧化层的厚度对 IBC 电池效率的影响，模拟结果如图 3.15 所示。可以看到电池效率随着隧穿氧化层的厚度呈先增加后下降的趋势，电池效率在氧化层厚度为 1.2nm 时取得最大值。当氧化层的厚度很小时电池效率比较低是因为氧化层厚度太薄会导致大量的电子通过隧穿效应进入多晶硅薄膜内部，因为多晶硅薄膜内部有大量缺陷存在，这些缺陷会导致严重的载流子复合，所以进入到多晶硅薄膜内部的大部分电子都会被复合掉从而导致电池效率比较低。为了说明这一点，我们提取了不同氧化层厚度情况下多晶硅薄膜内部的复合率分布，提取结果如图 3.16 所示。可以看到，随着氧化层厚度的增加，多晶硅内部的载流子复合率确实会明显增大了。

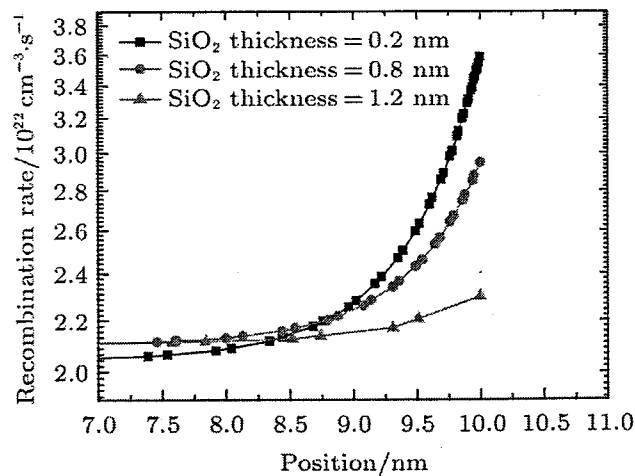


图 3.16 不同氧化层厚度情况下多晶硅薄膜内部的复合率分布。

当隧穿氧化层的厚度超过 1.2nm 之后，电池效率随着氧化层厚度逐渐下降，

这主要是由于氧化层厚度的增加对 Poly-TOPCon 结构的场钝化效果的不利影响造成的。随着氧化层厚度的增加，多晶硅层和衬底内部的电势差降落在氧化层上的部分就增大了，这将直接导致衬底一侧的电场的减弱，从而导致场钝化作用的下降。如图 3.17 所示，我们提取了不同氧化层厚度时，Poly-TOPCon 结构中多晶硅和衬底内部的电场强度分布。图中没有画出氧化层中电场强度分布，因为氧化层中电场强度是一个常数。可以看到，随着氧化层厚度的增加，无论是非晶硅一侧还是衬底一侧，电场强度都明显降低了。

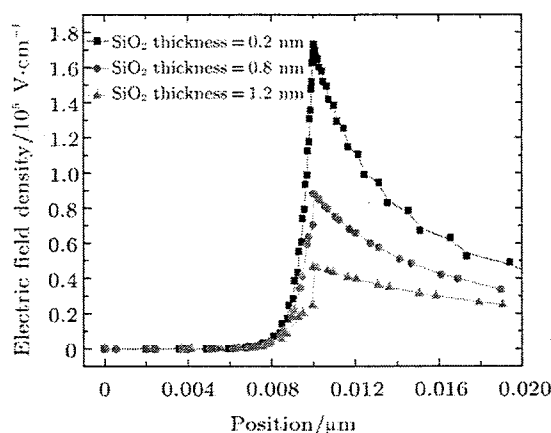


图 3.17 不同氧化层厚度时，Poly-TOPCon 结构中多晶硅和衬底内部的电场强度分布。

为了进一步说明氧化层厚度对场钝化的影响，我们提取了不同氧化硅厚度情况下衬底表面附近的空穴浓度分布，如图 3.18 所示，可以看到随着氧化层厚度的增加，衬底表面附近的空穴浓度明显增加，这说明氧化层厚度的增加确实会削弱场钝化作用，导致内建电场对空穴的排斥作用减弱，从而导致空穴在电池前表面的复合增加导致电池效率下降。

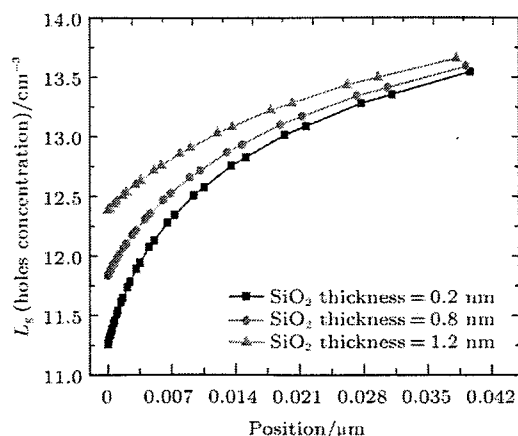


图 3.18 不同氧化硅厚度情况下衬底表面附近的空穴浓度分布。

3.3.2.2. 载流子的横向输运模拟分析

因为 IBC 太阳电池的电极都位于电池的背面，所以电池背面的电子收集极和空穴收集极也就是背场电极和发射极都不是连续的。这就导致衬底中产生的光生载流子要想被收集，必须经过一定的横向输运[11]，例如背场上面的空穴需要横向输运最远半个背场的宽度才能被发射极收集，同理发射极上方的电子也需要横向输运最远半个发射极的宽度才能被背场收集。这种横向输运对于 pitch 宽度比较小的情况影响不大，但是当 pitch 的宽度比较大时，这种横向输运对电池的影响就非常明显了。受横向输运影响最明显的参数就是电池的填充因子了，如果横向输运的距离过长，就会导致电池的串联电阻增大，从而导致电池的填充因子降低。因此研究 Poly-TOPCon 结构参数对载流子横向输运的影响可以通过其对电池填充因子的影响来分析。因此我们首先模拟了多晶硅掺杂浓度和厚度对电池填充因子的影响。模拟结果如图 3.19 所示。

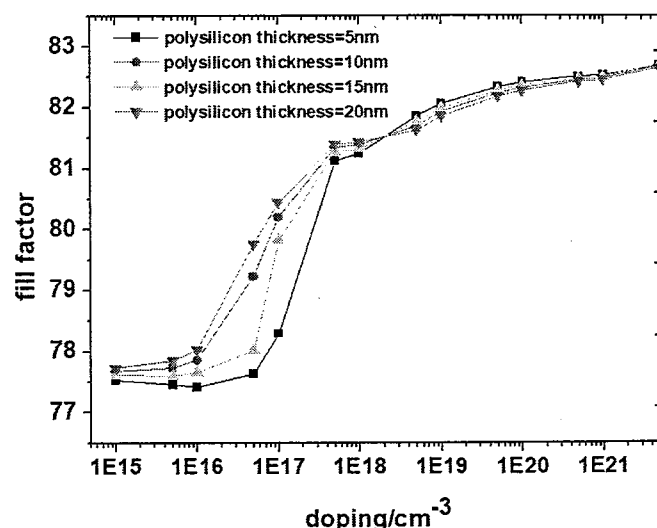


图 3.19 多晶硅掺杂浓度和厚度对电池填充因子的影响。

可以看到，无论多晶硅厚度是多少，电池的填充因子都是随着多晶硅掺杂浓度呈上升趋势的，尤其是当掺杂浓度从 1×10^{16} 提高到 $1 \times 10^{18} \text{cm}^{-3}$ 时，电池的填充因子呈现快速增长的趋势。多晶硅掺杂浓度对电池填充因子的这种影响可以用电子在电池前表面的输运来解释。因为当多晶硅的掺杂浓度大于衬底的掺杂浓度时，在衬底的前表面就会产生一个指向衬底内部的内建电场，该内建电场不但会将空

穴驱离衬底表面，与此同时还会将电子吸引到衬底的表面，在衬底前表面形成一个电子积累区，由于电子的积累导致该区域的电子浓度远大于衬底内部的电子浓度，我们知道半导体的电导率是和载流子浓度成正比的，所以该区域的电导率将远大于衬底内部的电导率。因为电流是倾向于从电导率比较大的路径通过的，所以对于电子的横向输运来说，将有一大部分是在衬底前表面完成的。为了证明我们以上的推断，我们提取了不同多晶硅掺杂浓度情况下的电池前表面附近的横向电子电流密度分布如图 3.20 所示。可以看到，对于多晶硅掺杂浓度比较高的情况，电子电流几乎完全聚集到了电池的前表面，这说明电子的横向输运大部分是在电池前表面的电子积累区完成。所以通过提高多晶硅的掺杂浓度可以降低电池前表面区域的电阻率进而减小电子横向输运的电阻。

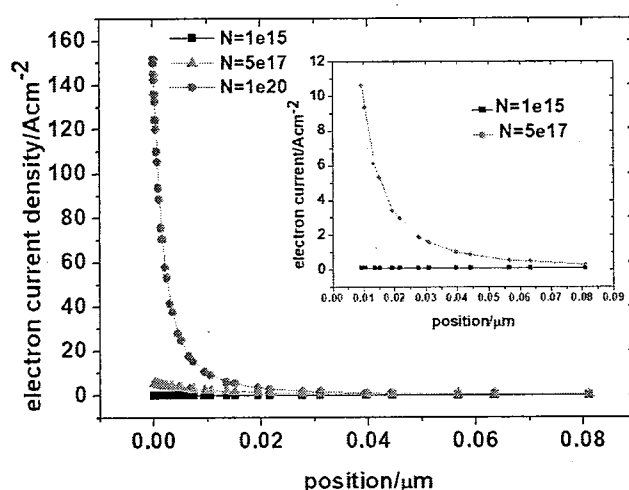
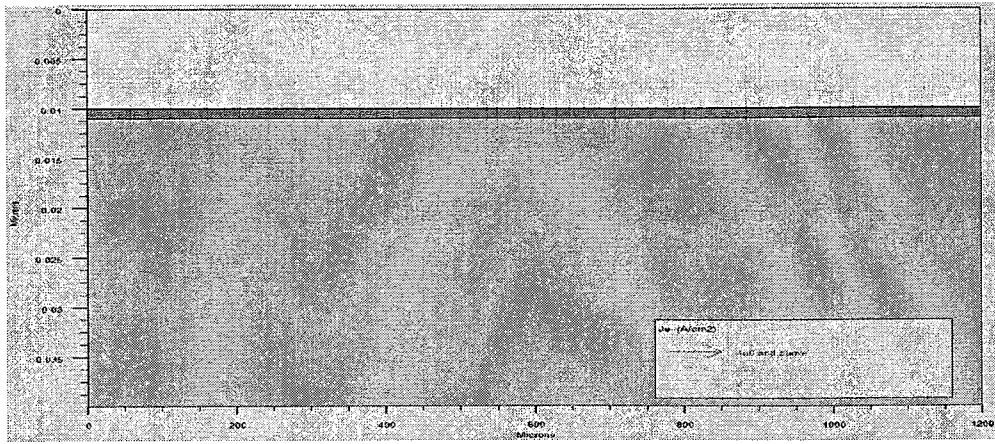
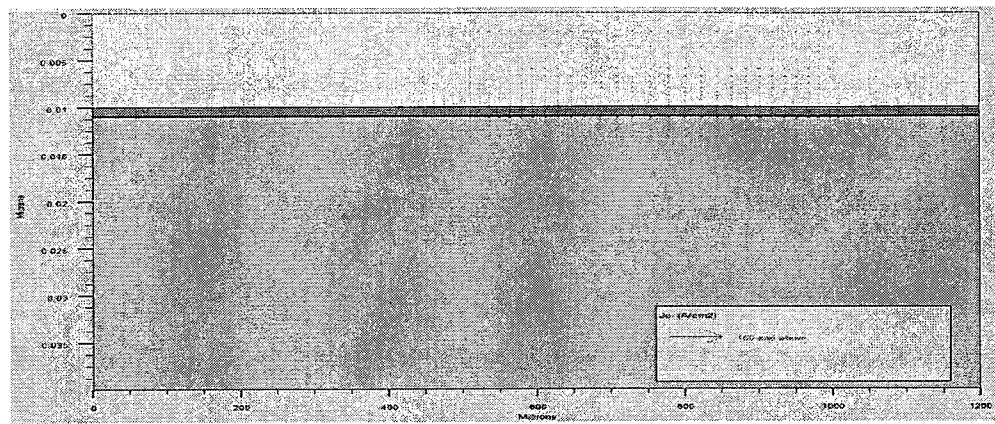


图 3.20 不同多晶硅掺杂浓度情况下的电池前表面附近的横向电子电流密度分布。

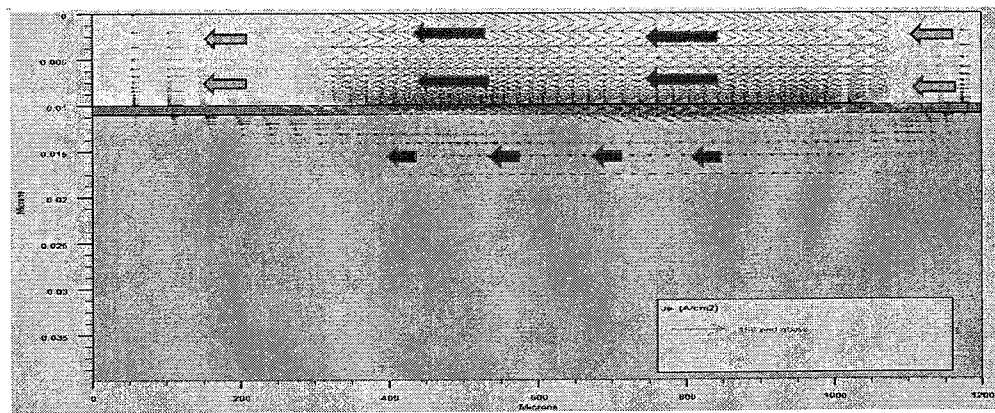
以上我们证明了电子电流有一大部分是通过衬底前表面附近的电子积累区通过的，那么电子有没有可能也会掺杂多晶层通过呢。这完全是有可能的，因为我们在上一节已经讨论过了，当多晶掺杂浓度足够高而二氧化硅又比较薄时，会有相当一部分电子隧穿氧化硅层进入到多晶层。为了直接观察电子电流会不会在多晶硅中流过，如图 3.21 所示，我们画出了不同多晶硅掺杂浓度情况下电池前表面包括 Poly-TOPCon 结构在内的电子电流分布图。可以看到，对于多晶硅掺杂浓度比较低的情况下，多晶硅内部几乎没有电流流过，但是对于多晶硅掺杂浓度比较高的情况，无论是在衬底的表面还是在多晶硅内部都有明显的横向电子电流。



(a)



(b)



(c)

图 3.21 不同多晶硅掺杂浓度情况下电池前表面包括 Poly-TOPCon 结构在内的电子电流分布图: (a) 多晶硅掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 。(b) 多晶硅掺杂浓度为 $5 \times 10^{17} \text{cm}^{-3}$ 。(c) 多晶硅掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 。

然而仅仅证明在多晶硅内部有电子电流流过还不足以说明多晶硅内的电流

就会对光生载流子的横向输运产生影响。因为光生载流子最终是要被背面的电极收集起来的，所以要想多晶硅内部的电流对光生载流子横向输运有影响，必须是有载流子进入到多晶硅层同时又有电流从多晶硅层流出。为此我们提取了不同多晶硅掺杂浓度情况下，多晶硅和氧化硅界面处在整个 pitch 宽度范围内沿垂直方向的电子电流分布，提取结果如图 3.22 所示。

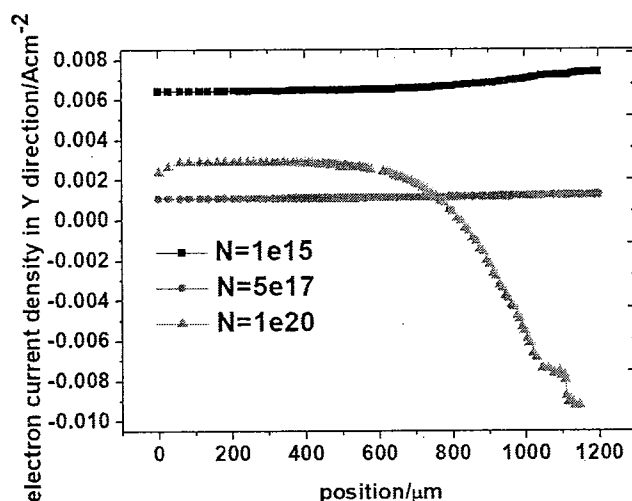


图 3.22 不同多晶硅掺杂浓度情况下，多晶硅和氧化硅界面处在整个 pitch 宽度范围内沿垂直方向的电子电流分布。

可以看到，对于多晶硅掺杂浓度比较低的情况，电流在整个 pitch 范围内都是正的，这说明只有从多晶硅层出来的电流而没有进入多晶硅层的电流，这种电流是对载流子的横向输运没有帮助的。当多晶硅掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 时，可以看到电流在背场区的上方是从衬底流向多晶硅层的，而在发射极的上方是从多晶硅层流向衬底的，这正说明了电子先通过纵向输运到达多晶硅层，然后在多晶硅内部横向输运到背场上方并从多晶硅层中流出再被背场电极收集的输运过程。因为当多晶硅衬底掺杂浓度足够高时，有一部分电子电流会从多晶硅层流过，该部分电流会对电池的横向输运产生影响。所以如果保持多晶硅的掺杂浓度不变，改变多晶硅的电子迁移率，肯定会对电池中载流子的横向输运产生影响进而影响电池的填充因子。为此我们对于不同多晶硅掺杂浓度的情况下，多晶硅的电子迁移率对电池填充因子的影响进行了模拟，模拟结果如图 3.23 所示。可以看到只有当多晶硅掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 时，多晶硅的电子迁移率才会对电池填充因子产生影响，这更加说明了只有多晶硅掺杂浓度足够高时，多晶硅中的横向电流

才会对光生载流子的横向输运有贡献。此外,当多晶硅的掺杂浓度足够高时,增加多晶硅的电子迁移率会提高电池的填充因子,这说明在制备非晶硅时除了要有一个足够高的掺杂浓度,还要尽量减小多晶硅内部的缺陷,使多晶硅层有一个比较高的载流子迁移率。

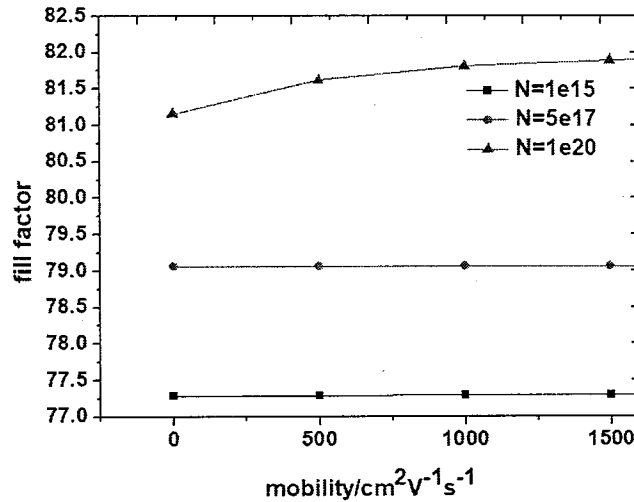


图 3.23 不同多晶硅掺杂浓度的情况下,多晶硅的电子迁移率对电池填充因子的影响。

3.3.2.3. 小结

通过以上的模拟分析我们可以看到, Poly-TOPCon 结构作为 IBC 电池的前场既可以起到表面钝化的作用又可以起到帮助载流子横向输运的作用。多晶硅的厚度和掺杂浓度都会明显影响 IBC 电池的效率。多晶硅掺杂浓度主要是影响该结构的场钝化效果,而当多晶硅掺杂浓度不够高时多晶硅的厚度也会对场钝化产生影响。此外多晶硅的吸光效应会造成短波段光能量的损失,所以多晶硅厚度不能太厚。多晶硅的掺杂浓度还会明显影响 IBC 电池中电子的横向输运,从而影响电池的填充因子。要想得到一个比较高的填充因子,多晶硅的掺杂浓度必须足够高并且有一个比较高的载流子迁移率。隧穿氧化层虽然主要是起化学钝化作用,但是也会对场钝化效果产生影响,其厚度不能太小但是也不能过大,最佳的氧化层厚度为 1.2nm。

3.4 Poly-TOPCon 结构在 IBC 太阳电池流片中的应用

通过前面的模拟我们可以看到, Poly-TOPCon 结构在原理上是可以应用到 IBC 电池中的。但是要想在实际的流片中将 Poly-TOPCon 结构应用到 IBC 电池

中, 还需要解决工艺和兼容性的问题。为此我们尝试了两种不同的流片方案。一种是只将 TOPcon 结构应用在电池的前表面作为电池的前场, 电池背面的背场和发射极采用传统扩散工艺制备。另一种是用 Poly-TOPCon 结构同时作为电池的前场和背场, 发射极采用沉积掺杂非晶硅并推进的方式形成。下面就对这两种流片方案进行详细介绍。

3.4.1. Poly-TOPCon 作 IBC 太阳电池的前场

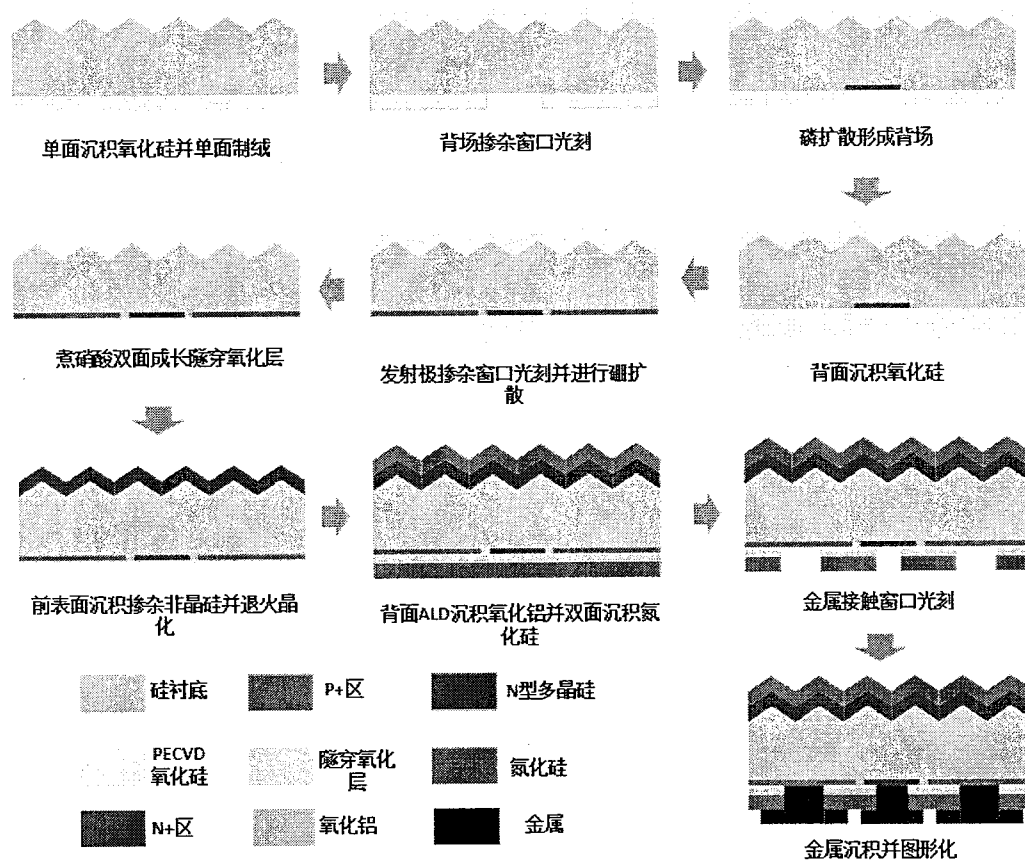


图 3.22 采用 Poly-TOPCon 结构作为前场的 IBC 电池的流片工艺流程图。

采用 Poly-TOPCon 结构作为前场的 IBC 电池流片工艺如图 3.22 所示。首先是采用 PECVD 单面沉积氧化硅并以该氧化硅层为阻挡层对另一面进行制绒。制完绒面之后, 再在前表面沉积一层氧化硅层。然后在背面通过光刻在氧化硅上刻蚀出背场掺杂窗口, 然后通过磷扩散进行背场掺杂。接着在背面再沉积一层氧化硅将背场区域保护起来, 然后通过光刻刻蚀出发射极掺杂窗口并通过硼扩散对发射极区进行掺杂。然后去掉两面的所有氧化硅阻挡层并进行 RCA 清洗, 然后将

衬底放入沸腾的硝酸中煮 12min，煮完硝酸之后在衬底的前表面采用 PECVD 沉积一定厚度的 N 型非晶硅，然后将衬底在氮气氛围下进行高温退火，使非晶硅转变成多晶硅。然后在电池的背面采用 ALD 沉积一层氧化铝，紧接着在双面沉积一层氮化硅。最后通过光刻开出金属接触窗口并进行金属化。

我们制备出了具有三种不同多晶硅厚度的 IBC 太阳电池。多晶硅的厚度分别为 10nm、15nm、20nm。多晶硅的厚度是通过控制 PECVD 沉积的时间来控制的。除了沉积时间不一样以外，其他工艺参数都是一样的，所以对于三种不同厚度的多晶硅，其掺杂浓度是一样的。电池制备完成之后，我们对三种具有不同多晶硅厚度的 IBC 电池的 I-V 特性进行了测试，测试结果如图 3.23 所示。可以看到随着多晶硅厚度的增加，电池的短路电流变小了，这主要是由于多晶硅层对入射光的吸收造成的，这和上一节的模拟结果是吻合的。

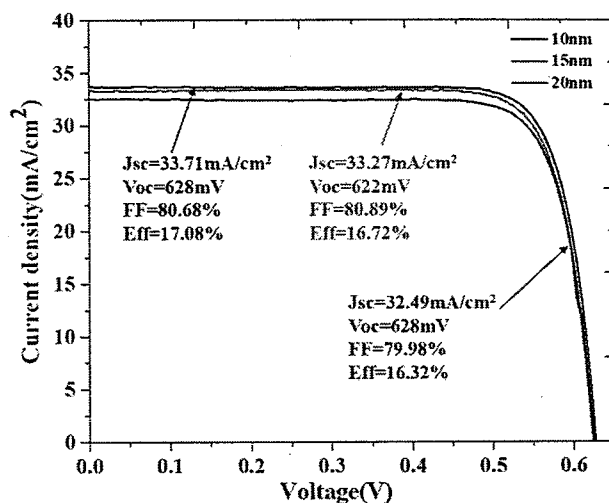


图 3.23 具有不同多晶硅厚度的 IBC 电池的 I-V 测试结果。

从上一节的模拟分析我们知道，多晶硅厚度也可以通过影响前表面的场钝化来影响电池效率，但是在上面的 I-V 测试结果中并没有看到这一影响，我们推测应该是因为 Poly-TOPCon 中多晶硅的掺杂浓度已经足够高了，因为模拟结果显示，如果多晶硅的掺杂浓度足够高，场钝化就不会受多晶硅厚度的影响了。为此我们采用 ECV 对采用 Poly-TOPCon 作为前场的 IBC 电池前表面的掺杂分布进行了测试，因为三种厚度的非晶硅的掺杂浓度应该是一样的，所以我们只测试了多晶硅厚度为 20nm 的样品的掺杂分布，测试结果如图 3.24 所示。可以看到，多晶硅的掺杂浓度已经大于 $1 \times 10^{20} \text{cm}^{-3}$ ，所以多晶硅的厚度不会再对场钝化产生影响。

了。

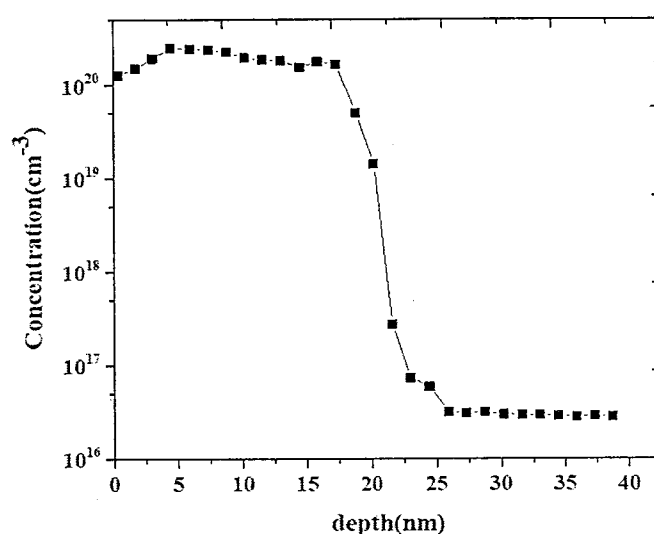


图 2.24 采用 Poly-TOPCon 作为前场的 IBC 电池前表面的掺杂分布。

3.4.2. Poly-TOPCon 结构同时作为 IBC 太阳电池的前场和背场

从只采用 Poly-TOPCon 结构作为前场的 IBC 电池的制备工艺可以看到，只将 Poly-TOPCon 结构应用到 IBC 电池的前表面是比较简单的，因为其制备工艺和传统的磷扩散前场 IBC 电池的制备工艺很类似，只要稍加改动就可以了。但是当把 Poly-TOPCon 结构应用到 IBC 电池的背面时就比较困难了，因为 IBC 电池的背面涉及到两种不同掺杂类型区域的制备。为了克服这种困难，我们提出了一种独特的制备工艺，其中采用 N 型 Poly-TOPCon 结构来制备 IBC 电池的背场，采用先沉积 P 型非晶硅然后高温推进的方式来制备电池的发射极。这种工艺不但巧妙的避免了不同掺杂类型区域制备时得相互干扰，简化了图形化工艺，而且只需要一步高温过程就可以形成 IBC 电池的前场、背场和发射极。具体的工艺流程如图 3.25 所示。首先也是在 RCA 清洗过的单晶 N 型硅片的一面沉积一层氧化硅，然后进行单面制绒。制完绒之后，通过光刻在背面的氧化层上刻蚀出背场窗口。然后将硅片放入沸腾的硝酸中煮 12min，煮完硝酸之后用 PECVD 在硅片的双面沉积 N 型非晶硅。然后在硅片的背面通过光刻的方式将背场区域以外的非晶硅和氧化硅完全去掉。然后再采用 PECVD 在硅片背面沉积一层 P 型非晶硅，该层非晶硅直接覆盖到了背场区域的 N 型非晶硅上了。然后还是通过光刻的方法在背场区域和发射极区域之间刻蚀出一个 gap。然后将硅片在氮气氛围下

进行高温退火，退火过程中发射极上方的 P 型非晶硅中硼原子会在高温作用下扩散到衬底里面，形成具有一定掺杂浓度和深度的 P 型掺杂区域，该掺杂区域用来形成电池的发射极。与此同时，因为在背场区域 N 型非晶硅和 P 型非晶硅是重叠着的，高温作用下两种杂质会同时向对方区域扩散，但是因为磷的掺杂效率比较高，所以最后该非晶硅叠层就完全变成 N 型掺杂的多晶硅层了。至此，只经过一步高温过程，IBC 电池的前场、背场和发射极都制备好了。然后采用 ALD 在背面沉积一层氧化铝并双面沉积氮化硅作钝化。最后就是通过光刻开金属接触窗口并金属化。

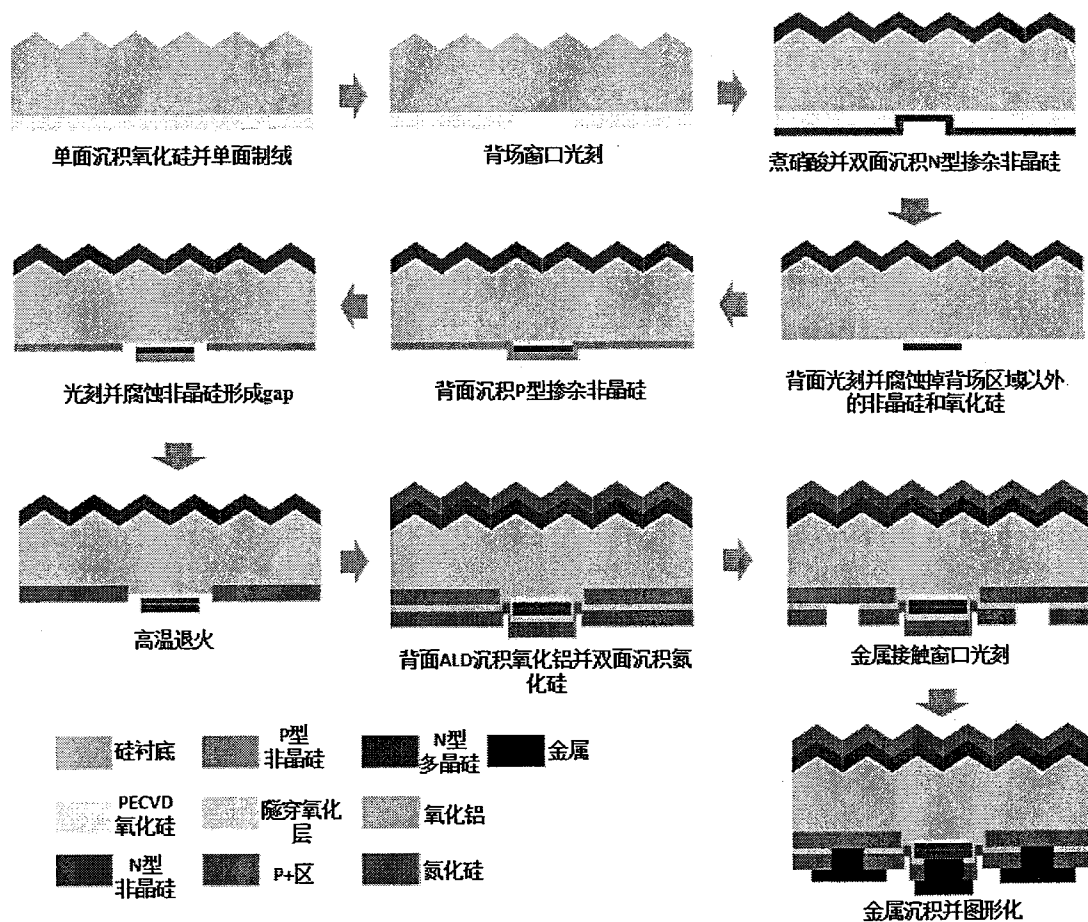


图 3.25 采用 Poly-TOPCon 结构同时作为前场和背场的 IBC 电池的流片工艺流程图。

该制备工艺中最关键也是最具有创新性的一步工艺就是通过高温退火将重叠在 N 型非晶硅上的 P 型非晶硅转变成 N 型多晶硅，与此同时将发射极上方 P 型非晶硅中硼原子推进到衬底内部。退火的温度要足够高时间要足够长，使得足够量的磷原子从 N 型非晶硅扩散到 P 型非晶硅中，从而实现 P 型非晶硅的转型。

如果 P 型非晶硅没有完全被补偿掉，电池结构就是一个 PNP 结构，无法实现正常的电池功能。我们采用的退火温度为 800°C，时间为 30min，退火是在氮气氛围下进行的。该退火温度和时间完全可以实现 P 型非晶硅的转型。

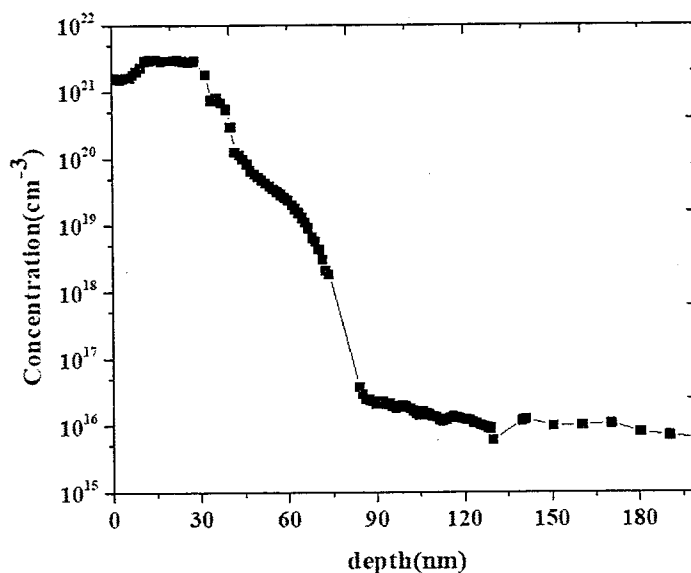


图 3.25 N 型非晶硅和 P 型非晶硅叠层退火之后的掺杂分布测试结果。

为了确认这一点，我们采用 ECV 对采用该退火条件退火之后的 N 型非晶硅和 P 型非晶硅叠层的掺杂分布进行了表征。测试结果如图 3.26 所示。因为 ECV 可以显示掺杂的类型，所以我们可以肯定上面的 P 型非晶硅确实已经变成 N 型的了。而且我们还可以看到，在叠层的前表面由于杂质补偿效应，虽然 P 型非晶硅已经变成 N 型的了，但是掺杂浓度却要比里面的 N 型非晶硅低。

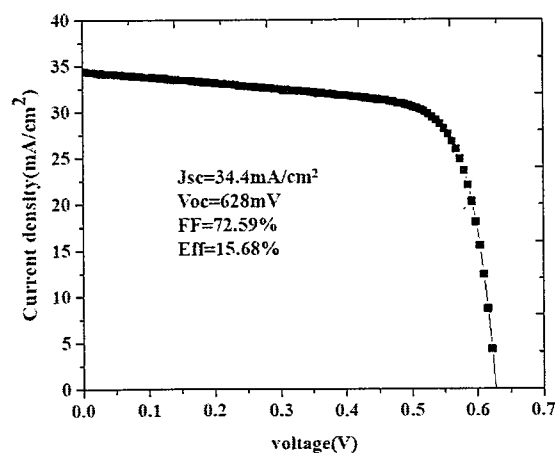


图 3.26 采用 Poly-TOPCon 结构同时作为前场和背场的 IBC 电池的 I-V 测试结果。

最后我们对制备的 IBC 电池进行了 I-V 测试, 测试结果如图 3.26 所示。可以看到电池的效率仅为 15.68%。这个电池效率相对于我们上一章介绍的传统 IBC 电池要低得多。这主要是因为我们对该制备工艺的研究时间还比较短, 工艺中的各个单项实验还没有进行很好的优化。但是该测试结果至少可以说明我们提出的这套工艺是可行的, 相信通过以后对工艺中单项工艺研究的不断深入, 电池的效率肯定可以得到很大提升。

3.5 本章小结

本章我们首先研究了多晶硅隧穿氧化物钝化接触 (Poly-TOPCon) 结构的制备和表征以及其在 IBC 太阳能电池中的应该用。我们先对 Poly-TOPCon 结构的制备方法进行了介绍, 然后对 Poly-TOPCon 结构中的隧穿氧化层和多晶硅层的性质进行了表征, 分析了不同的工艺条件对这两个部分的性质的影响。然后我们采用 TCAD 器件模拟软件对采用 Poly-TOPCon 结构作为前场的 IBC 太阳能电池进行了详细的模拟。模拟主要分析了 Poly-TOPCon 结构中多晶硅层和隧穿氧化层对 IBC 电池表面钝化和载流子输运的影响。最后我们将 Poly-TOPCon 结构应用到了 IBC 电池的实际流片中, 并对流片结果进行了表征。本章的具体研究内容和取得的成果如下:

- (1) 介绍了 Poly-TOPCon 结构中多晶硅层和隧穿氧化层的几种可能的制备方法。
- (2) 分析了采用热硝酸处理的方式生长隧穿氧化层的工艺中氧化时间对隧穿氧化层厚度的影响, 发现隧穿氧化层的厚度基本上不随氧化的时间而增加。从而证明了采用该方法生长氧化层的自限性。
- (3) 分析了退火温度对 Poly-TOPCon 结构中多晶硅的晶化程度的影响, 发现要想使多晶硅晶化, 退火温度不能低于 700°C, 而且提高退火温度可以增加多晶硅的晶化程度。
- (4) 对采用 Poly-TOPCon 结构作为前场的 IBC 电池进行了模拟。模拟了多晶硅层的掺杂浓度和厚度对 IBC 电池性能的影响, 发现多晶硅层的的掺杂浓度和厚度都会影响场钝化效果, 当多晶硅掺杂浓度不够高时, 就需要增加多晶硅层的厚度来提高场钝化效果, 而当多晶硅掺杂浓度很高时, 多晶硅层厚度

对场钝化的影响就比较小了，又因为由于多晶硅层的吸光效应会造成能量的损失，所以多晶硅层应该制备的尽量薄一些但是掺杂浓度尽量高一些。

- (5) 对采用 Poly-TOPCon 结构作为前场的 IBC 电池进行了模拟。模拟了隧穿氧化层的厚度对 IBC 电池前表面钝化效果的影响，发现隧穿氧化层厚度太薄或者太厚都不好，最佳的厚度为 1.2nm。
- (6) 对采用 Poly-TOPCon 结构作为前场的 IBC 电池进行了模拟。模拟了多晶硅的掺杂浓度对载流子横向输运的影响。发现多晶硅掺杂浓度越高越有利于载流子的横向输运，而且当多晶硅的掺杂浓度比较高时，载流子也会在多晶硅中进行横向输运，所以提高多晶硅的载流子迁移率也有助于载流子的横向输运。因此为了加快 IBC 电池中载流子的横向输运，多晶硅的掺杂浓度应该尽量高一点，而且多晶硅中载流子迁移率越高越好。
- (7) 将 Poly-TOPCon 结构应用到了 IBC 电池的实际流片过程中。制备了两种结构 IBC 太阳电池。一种只采用 Poly-TOPCon 结构作为 IBC 电池的前场，制备出的电池效率最高为 17.08%。另一种是采用 Poly-TOPCon 结构同时作为 IBC 电池的前场和背场，电池效率最高为 15.68%。

第四章 多晶硅在高阻值电阻和高质量异质 PN 结制备中的应用

本论文的前三章主要论述了作者在 IBC 太阳电池方面所做的研究和取得的成果。从本章开始将要介绍作者在硅漂移探测器方面所做的研究和取得的创新性成果。主要介绍了如何采用多晶硅薄膜技术来制备硅漂移探测器。采用多晶硅薄膜技术来制备硅漂移探测器是受多晶硅薄膜在 IBC 太阳电池中应用的启发，因此我们前三章先介绍了多晶硅薄膜在 IBC 太阳电池中的应用，这对于理解下面几章的内容是有很大帮助的。

4.1 引言

多晶硅电阻在微电子领域的应用已经有很长的历史了。对于多晶硅电阻的研究也有很多相关的报道[87,88,89,90]。多晶硅电阻相对于其它种类的电阻如通过离子注入或者是扩散在单晶硅衬底上形成的电阻具有很多突出优点。例如多晶硅电阻更容易小型化、具有比较小的寄生电容、受衬底偏置效应的影响小、不易受高能射线的影响等[91]。多晶硅电阻的制备方法一般是通过各种 CVD 方式沉积到绝缘介质层上，然后通过光刻或者是激光烧蚀的方式形成一个具有一定形状和阻值的电阻[92]。多晶硅电阻的性能一般是通过多晶硅电阻的电阻率、温度系数、电压系数、电阻均匀性以及稳定性等参数来表征。而影响这些参数的因素有很多例如多晶硅的掺杂浓度、多晶硅中的晶粒大小、多晶硅的的界面特性等。因为我们要把多晶硅电阻应用到硅漂移探测器中，而在该器件中电阻两端施加的电压一般都是在几百伏左右。为了避免器件发热造成的不稳定以及降低器件功耗，我们首先要考虑的就是如何制备高阻值的多晶硅电阻器。集成电路中的多晶硅电阻的阻值一般比较小，基本上都在 $20\Omega/\square$ 到 $80\Omega/\square$ 之间[93]，所以为了制备适合应用到硅漂移探测器中的多晶硅电阻，必须开发新的制备工艺和调节多晶硅电阻的方法。对多晶硅电阻率影响最大的主要有两个因素，一个是多晶硅的掺杂浓度，另一个是多晶硅的晶化率。我们在实验中主要是通过控制这两个参数来调节多晶硅的电阻率的。对于多晶硅的掺杂我们主要采用两种方法，一种是通过原位掺杂的方式实现的，另一种是通过离子注入的方式来实现的。这两种方式都可以精确控

制多晶硅的掺杂浓度。对于多晶硅的晶化率我们主要是通过控制退火温度来调节的，此外，退火温度也可以用来调节多晶硅的掺杂浓度。除此之外，因为多晶硅电阻一般是一种薄膜电阻，所以除了控制多晶硅的电阻率还可以通过控制多晶硅薄膜的方阻和长度来控制总的电阻阻值。多晶硅的方阻我们是通过控制多晶硅薄膜的厚度来调节的，多晶硅电阻长度的控制则是通过对多晶硅电阻的形状进行合理设计并通过光刻来实现的。

多晶硅除了可以用来制备高阻值的电阻，还可以用来制备高质量的 PN 结。采用多晶硅来制备高质量 PN 结最明显的一个例子就是第三章介绍的 Poly-TOPCon 结构。该结构通过在衬底上先生长一层很薄的隧穿氧化层然后再沉积一层掺杂多晶硅从而和衬底形成一个异质 PN 结。采用该结构制备可以使电池的性能得到很大的提升。由于多晶硅制备的异质 PN 结在太阳电池领域取得的巨大成功，我们很自然的想到了将这种异质 PN 结应用到同样是光电器件的硅漂移探测器中。而且两种器件对 PN 结有着相同的要求，那就是要求 PN 结的暗态漏电越小越好。

然而太阳电池和硅漂移探测器也存在巨大的差异，那就是其中 PN 结的工作状态是不一样的，在太阳电池中 PN 结两边的电压最大不会超过 1V，但是在硅漂移探测器中 PN 结两边最大要加几百伏的反向偏压。所以我们并不能直接将太阳电池中的 Poly-TOPCon 结构直接应用到硅漂移探测器中。但是我们通过实验研究发现，只要将 Poly-TOPCon 的结构和制备工艺稍加改进，该结构完全可以应用到硅漂移探测器中去，并且结合多晶硅电阻的应用可以在提高器件性能的同时大大降低工艺的复杂程度。

4.2 多晶硅电阻的制备与性能分析

4.2.1. 背景介绍

传统的硅漂移探测器一般是采用已在微电子领域广泛应用的离子注入工艺来制备的[94,95,96,97]。但是采用离子注入来制备硅漂移探测器存在几个非常严重的问题。首先通过离子注入制备的分压电阻是在高阻衬底上形成的一个 P 型区域来实现的，该 P 型区域通过 PN 结反偏的方式与衬底隔离的。但是这种电阻的阻值会受到所加偏压的影响，会随着反向偏压的增加而增加[98]。而且通过离

子注入制备的分压电阻具有比较大的温度系数,受温度变化的影响也比较大。其次通过离子注入很难制备具有高阻值的分压电阻,随着制备电阻的阻值的增加,分压电阻的均匀性和重复性将变差。最后,为了制备高阻值的分压电阻,离子注入制备的电阻必须设计的非常长,这就会造成比较大寄生电容[99]。所以必须采用其它的工艺来制备硅漂移探测器中的分压电阻以避免上面这些问题得出现。

近些年来,有一些人提出了几种不采用离子注入的制备硅漂移探测器的工艺。例如 J. Kemmer 等人提出了一种采用外延层的方式来制备硅漂移探测器的工艺,其中将硅漂移探测器中的 N⁺和 P⁺掺杂区域都采用外延层来制备[100]。但是这种工艺只能用来制备具有螺旋形漂移环结构的硅漂移探测器,而且其中的分压电阻的温度系数还是比较大的。Negin Golshani 提出了一种采用纯硼层来同时制备分压电阻和漂移环的工艺,但是该工艺无论是设计还是制备工艺都非常复杂[43]。2016 年的时候 Tihomir Knežević 提出将纯硼层工艺和沟道工艺结合起来[101],避免了分压电阻的制备,但是他们只给出了模拟结果,可能是因为实现起来比较困难。

为了克服以上困难,我们提出了一种采用多晶硅来制备分压电阻的工艺。对于多晶硅薄膜的制备,我们是采用 APCVD 来完成的,但是 APCVD 直接沉积出来硅薄膜是非晶状态的,所以还需要经过一个高温退火的过程,使非晶硅薄膜转变成多晶硅薄膜。而对于多晶硅的掺杂我们主要通过两种方式来实现。一种是在硅薄膜沉积完成之后通过离子注入的方式对硅薄膜进行掺杂,另一种是在硅薄膜沉积的过程中就对其进行掺杂,而这种掺杂方式被称为原位掺杂。我们主要通过两种方法来调节多晶硅薄膜的方阻。一种是通过控制薄膜沉积的时间从而控制薄膜的厚度来控制多晶硅薄膜的方阻。另一种是通过控制退火温度来控制多晶硅薄膜的掺杂浓度和晶化程度从而来控制多晶硅薄膜的方阻。虽然离子注入和原位掺杂都可以精确控制薄膜中杂质原子的浓度,但是我们发现并不是掺进去的杂质都处在激活状态,因为对硅薄膜进行掺杂时,硅薄膜是呈现非晶状态的,所以最终能有多少杂质可以激活,还是要通过退火条件来控制,所以我们就干脆保持离子注入和原位掺杂的量不变通过退火条件来控制激活杂质的浓度。

相比于传统离子注入工艺制备的分压电阻,采用以上多晶硅工艺制备的分压电阻有以下优势:首先,多晶硅电阻的阻值可以通过控制薄膜沉积时间、退火条

件以及电阻的几何尺寸很方便的进行调节。其次，由于多晶硅电阻是在绝缘层上制备的，所以其阻值基本上不会受到所加电压的影响而且带来的寄生电容非常小[102]。最后，采用多晶硅工艺来制备分压电阻，可以将分压电阻的阻值制备的非常大，而且电阻具有很好的均匀性和重复性，其温度系数相比于离子注入电阻也非常小。

下面就对多晶硅分压电阻的具体制备工艺及其表征结果进行详细介绍。

4.2.2. 采用离子注入对 APCVD 制备的多晶硅电阻进行掺杂

4.2.2.1. 多晶硅电阻的制备和设计

首先通过 APCVD 在氧化硅层上沉积一层本征非晶硅。具体工艺如下：将采用 RCA 清洗过的表面生长了 300nm 氧化硅层的硅衬底放入石英管中，然后通入硅烷和氢气。硅烷作为前驱气体用来提供硅原子，氢气作为稀释气体和载气。硅烷在高温作用下发生分解，生成各种基团并在氧化层上沉积形成一层含有大量氢原子的本征硅薄膜。硅薄膜沉积完之后采用离子注入的方法对硅薄膜进行硼注入，注入剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ ，注入能量为 30keV。因为硅薄膜沉积过程中的温度只有 500℃，所以刚沉积完的硅薄膜是呈现非晶状态的，所以在注入完成之后我们要将硅片在氮气氛围下进行高温退火从而使非晶硅晶化并且使注入的杂质被激活激活杂质。

我们主要分析了两个主要的工艺参数对多晶硅薄膜的方阻的影响。一个是 APCVD 沉积的时间，一个是氮气氛围下退火的温度。其它工艺条件都是不变的。这两个工艺参数都是决定多晶硅薄膜方阻的关键参数。首先我们分析 APCVD 沉积时间对多晶硅薄膜方阻的影响。

如图 5.1 所示，我们采用扫描电子显微镜（SEM）对采用不同沉积时间制备的多晶硅薄膜进行了分析并对其厚度进行了测量。可以看到采用该方法制备的多晶硅薄膜的厚度最薄只有 16.9nm，而且虽然薄膜厚度很小但是膜的均匀性很好。随着沉积时间的增加，可以看到薄膜的厚度基本上是呈线性增长的。但是当薄膜厚度比较大的时候，薄膜变得不是很均匀，薄膜的表面以及和氧化硅的界面起伏比较大。通过方阻的计算公式：

$$R_{\square} = \frac{\rho}{a} \quad (4.1)$$

其中 ρ 为多晶硅的电阻率, d 为薄膜的厚度, 我们可以看出, 薄膜的方阻是和薄膜的厚度呈反比的, 反过来, 薄膜的方块电导就应该是和薄膜的厚度成正比。为了验证实际制备的薄膜的方阻和厚度是否满足以上公式, 我们分别测试了采用不同沉积时间制备的多晶硅薄膜的方块电阻以及方块电导, 测试结果如图 5.2 所示。可以看到, 薄膜的方块电导和沉积时间确实是呈正比关系, 这说明我们确实可以通过控制薄膜的沉积时间来精确调节多晶硅薄膜的方阻。

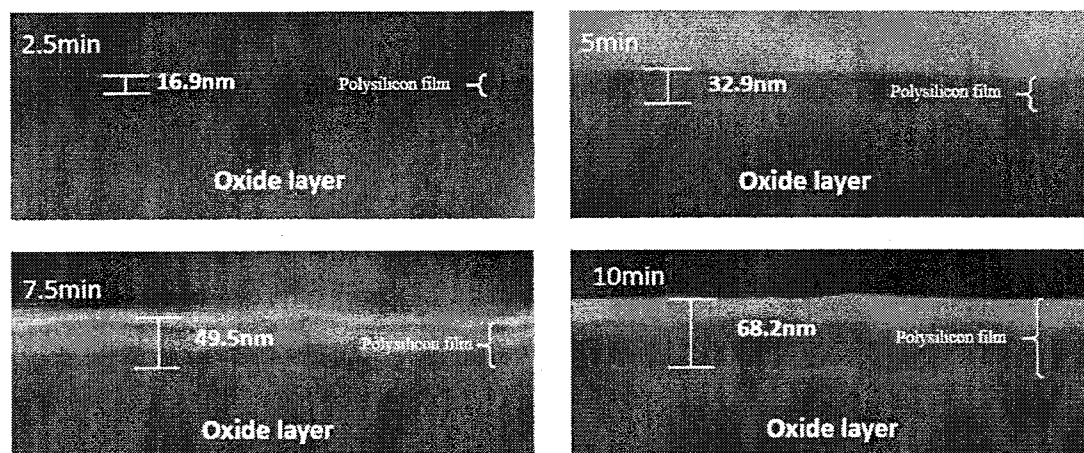


图 5.1 采用不同沉积时间制备的多晶硅薄膜的 SEM 图以及对薄膜厚度的测试结果。

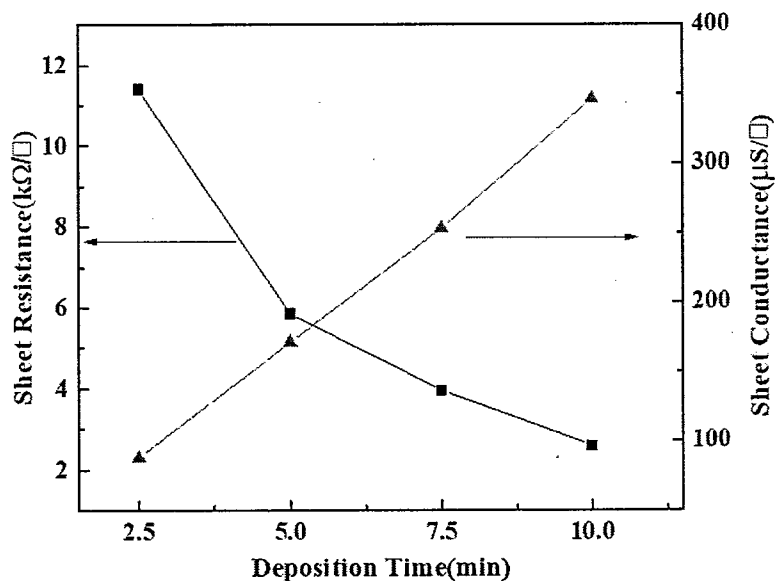


图 5.2 多晶硅薄膜的方块电阻以及方块电导和薄膜沉积时间的关系。

多晶硅的退火温度作为调节多晶硅薄膜方阻的另一个重要参数我们也对其进行了详细的分析。退火工艺主要是通过改变多晶硅薄膜的电阻率来调节其方阻

的，而退火工艺可以从两个方面来影响多晶硅薄膜的电阻率。我们知道，多晶硅的电阻率一般要比非晶硅的电阻率高很多，这主要是因为非晶硅具有更多的缺陷，从而导致其具有比多晶硅更低的载流子迁移率。因此我们可以通过将非晶硅晶化来有效改变其电阻率。而且我们还发现多晶硅的电阻率和其晶化程度是相关的，晶化程度越高，电阻率就越低。所以退火工艺首先就是通过控制多晶硅的晶化程度来调节其电阻率的。为了分析多晶硅的晶化层度和退火温度的关系，我们首先要找到一种可以表征多晶硅晶化程度的测试手段。拉曼光谱可以分析物质里面的分子结构，鉴别物质成分，还可以分析某种物质成分的含量。因此我们采用了拉曼光谱对经过不同退火温度处理的多晶硅薄膜进行了表征。为了避免硅衬底对拉曼测试的影响，用来进行拉曼光谱测试的多晶硅薄膜是在石英衬底上沉积的。采用不同退火温度退火的多晶硅薄膜的拉曼测试结果如图 5.3 所示。可以看到，对于没有经过退火的样品，其拉曼光谱只是在拉曼位移为 480cm^{-1} 附近有一个很宽的隆起，当经过 700°C 的退火之后，拉曼光谱在 520.7cm^{-1} 附近出现一个比较小的峰，这说明在该退火温度下非晶硅薄膜已经开始晶化了[103]。随着退火温度的升高可以看到拉曼峰的高度也越来越大，这说明随着温度的升高，硅薄膜的晶化程度也在不断上升。但是当退火温度从 800°C 上升到 850°C 时，硅薄膜的拉曼峰几乎没有发生什么变化，这说明此时硅薄膜的晶化程度达到了某种饱和，即使温度再升高多晶硅的晶化程度也不会再增加了。

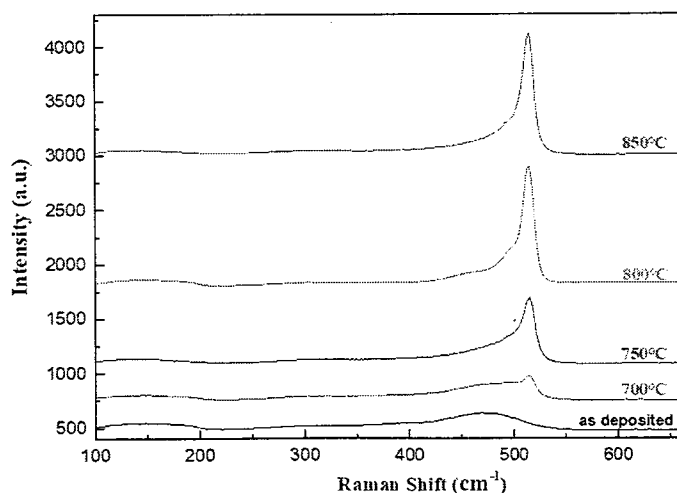


图 5.3 采用不同退火温度进行退火的多晶硅薄膜的拉曼测试结果。

除了采用拉曼光谱测试，我们还采用了另一种更为有效的方法来研究了多晶

硅的晶化程度随着退火温度的变化规律。这种方法就是 X 射线衍射 (XRD)。这种方法可以对物质的晶格结构进行分析,而且物质中同一晶格结构的不同晶向都有独立的对应的峰。采用这种方法可以有效检测硅薄膜中晶粒的产生并且通过 XRD 峰的高低也可以推断出硅薄膜晶化程度的大小[104]。如图 5.4 所示为不同退火温度下硅薄膜的 XRD 测试谱图。可以看到对于没有退火的样品,其谱图中没有出现任何特征峰,这说明此时的硅薄膜确实是呈现非晶状态的。当进行 700°C 的退火之后,样品的谱图中出现了一个对应(111)晶向的一个很小的特征峰。随着退火温度的升高,该位置的特征峰也不断升高,而且其它晶向对应的特征峰也会随之出现。但是当退火温度从 800°C再次升高到 850°C时, XRD 谱图中各个晶向对应的峰的峰值不会再发生明显变化,这说明多晶硅的晶化程度达到了饱和,这和我们采用拉曼测试得到的规律是一致的。

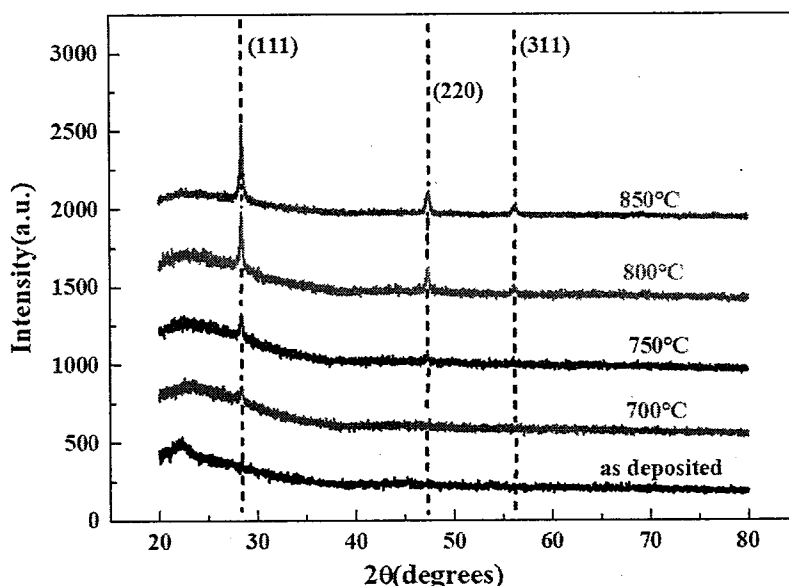


图 5.4 经过不同温度退火的多晶硅薄膜的 XRD 测试结果。

除了通过控制多晶硅的晶化率来调节多晶硅的电阻率之外,退火温度还可以通过控制多晶硅的有效掺杂浓度来调节多晶硅的电阻率。因为刚沉积完的硅薄膜是呈现非晶状态的,而杂质在非晶硅中的掺杂效率是非常低的。而且采用离子注入进行掺杂本来就需要一个退火过程对杂质进行激活。我们在实验中发现,多晶硅中激活的杂质质量是和退火温度有关系的,所以我们采用 ECV 对经过不同温度退火的样品有效掺杂浓度进行了表征。因为 ECV 测试条件的限制,我们用来

表征掺杂浓度的多晶硅是直接在单晶硅衬底上沉积并退火的，所以在退火的过程中杂质也会向硅衬底中扩散。ECV 测试结果如图 5.5 所示。因为没有经过退火的非晶硅的有效掺杂浓度太低，ECV 无法进行表征，所以图中没有给出没有经过退火的样品的测试结果。通过图 5.5 我们可以看到多晶硅的有效掺杂浓度确实是随着退火温度的升高而增加的，当退火温度从 700°C 上升到 800°C，多晶硅的有效掺杂浓度上升了将近三个数量级。但是当退火温度从 800°C 继续升高到 850°C 时，多晶硅的掺杂浓度就几乎不发生改变。因为根据离子注入的剂量可以算出，实际的掺杂浓度要比测出来的有效掺杂浓度高得多，所以肯定是有部分杂质处在没有激活的状态。

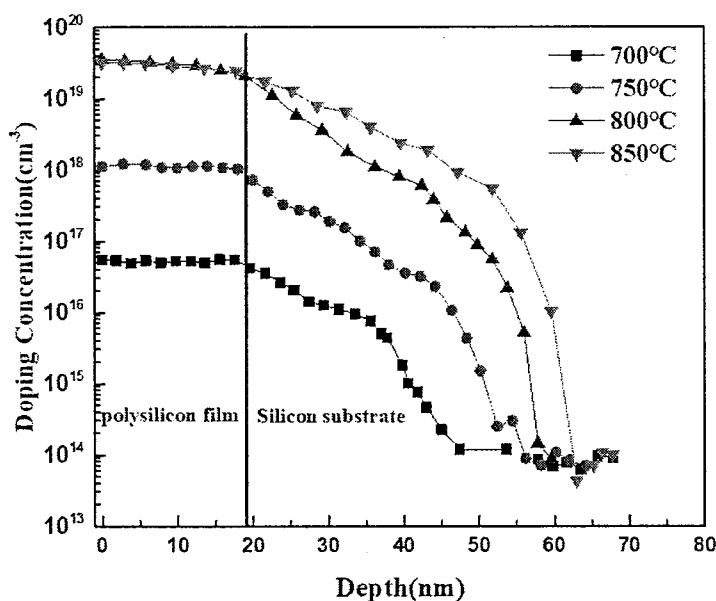


图 5.5 经过不同温度退火的多晶硅的有效掺杂浓度测试结果。

为了直接得到退火温度对多晶硅薄膜方阻的影响，我们将多晶硅薄膜制备成了一中长条形的电阻。通过对该电阻的 I-V 特性进行测试并根据该条形电阻几何形状可以计算出多晶硅薄膜的方阻值。用来进行测试的多晶硅薄膜除了退火温度不同之外，其它工艺条件都是一样的，沉积时间都是 5min。不同退火温度的多晶硅电阻条的 I-V 测试结果如图 5.6 所示。可以看到随着退火温度的增加多晶硅薄膜的方阻从 18.128kΩ/□降低到了 5.756kΩ/□，这说明退火温度确实可以用来调节多晶硅薄膜的方阻。除此之外我们还可以发现，当退火温度从 800°C 升高到 850°C 时，薄膜的方阻几乎不怎么变化了，这与我们上介绍的多晶硅的晶化率和有效掺

杂浓度随退火温度的变化规律是一致的。

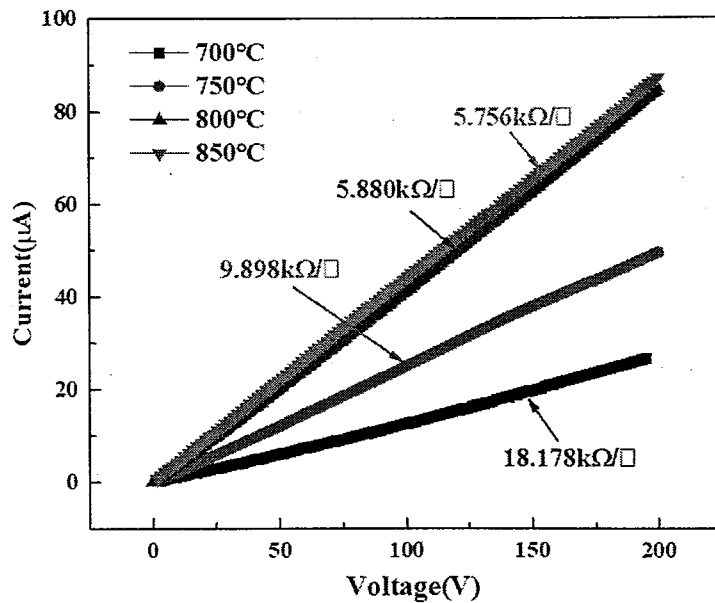


图 5.6 经过不同温度退火的多晶硅条形电阻条的 I-V 和方阻测试结果。

通过上面的分析，我们可以发现通过调节 APCVD 的沉积时间和硅薄膜的退火温度，我们可以方便有效的对多晶硅薄膜的方阻进行调节。最后我们通过采用四种不同的沉积时间和四种不同的退火温度制备出了 16 组多晶硅电阻并对其方阻进行了测试，测试结果表 1 所示。可以看到通过调节沉积时间和退火温度可以实现一个比较大的范围对多晶硅薄膜的方阻进行调节。

表 5.1 采用四种不同沉积时间和四种不同退火温度制备的多晶硅薄膜的方阻测试结果

沉积时间 (min)	方阻值 ($k\Omega/\square$)			
	退火温度: 700°C	退火温度: 750°C	退火温度: 800°C	退火温度: 850°C
2.5	36.576	20.041	11.437	11.325
5	18.178	9.898	5.880	5.756
7.5	11.983	6.584	3.956	3.743
10	9.002	4.927	2.591	2.485

4.2.2.2. 多晶硅电阻的性能测试分析

对于多晶硅电阻的性能测试我们主要从两个方面来进行。一个是多晶硅电阻的温度系数测试。因为多晶硅电阻是要应用到硅漂移探测器中作为分压电阻的，

虽然一般硅漂移探测器都有降温装置来保持低温环境,但是因为应用环境的不同或者是器件自身发热等原因会造成器件的温度发生明显的变化,如果分压电阻的温度系数比较大,就会导致其阻值随温度的变化有比较大的起伏,而分压电阻阻值的变化会直接影响器件的输出信号,从而导致器件的稳定性变差,所以我们希望多晶硅电阻的温度系数的绝对值是越小越好。第二个是对多晶硅电阻的均匀性进行测试。因为硅漂移探测器属于一种尺寸比较大的器件,其直径可以达到几厘米甚至是十厘米,所以其内部的分压电阻的尺寸也是非常大的。要在这么大的范围内进行均匀分压,这就要求多晶硅电阻在很大的空间范围内能保持比较好的均匀性,如果分压电阻的均匀性不好,就会导致局部区域的电压比较大,这将严重影响硅漂移探测器中载流子的横向漂移从而导致输出信号的失真。

为了对多晶硅电阻的这两个性能进行分析,我们采用多晶硅薄膜制备出了一系列长度相同但是宽度不同的电阻条。其具体制备工艺流程如图 5.7 所示。首先是在单晶硅衬底上沉积一层氧化硅,然后通过光刻的方式在氧化硅上开出金属接触窗口。接着在氧化硅和开出的窗口上采用 APCVD 沉积一层本征非晶硅。然后再通过光刻的方式形成长度相同当时宽度不同的七个非晶硅电阻条。然后通过离子注入的方式对本征非晶硅薄膜进行掺杂并通过高温退火使非晶硅转变成多晶硅。然后通过光刻和电子束蒸发在金属接触窗口上进行金属化。关于金属电极为什么要在氧化硅开出的窗口上形成,这主要是为了模拟多晶硅电阻在硅漂移探测器中应用的实际情况,因为在硅漂移探测器中金属化是在漂移环上形成的,而分压电阻是在漂移环之间的氧化硅上形成的。还有,因为不同接触窗口之间相当于一个 PNP 结构,所以他们之间不会通过衬底导通,从而不会影响多晶硅 I-V 特性的测试。

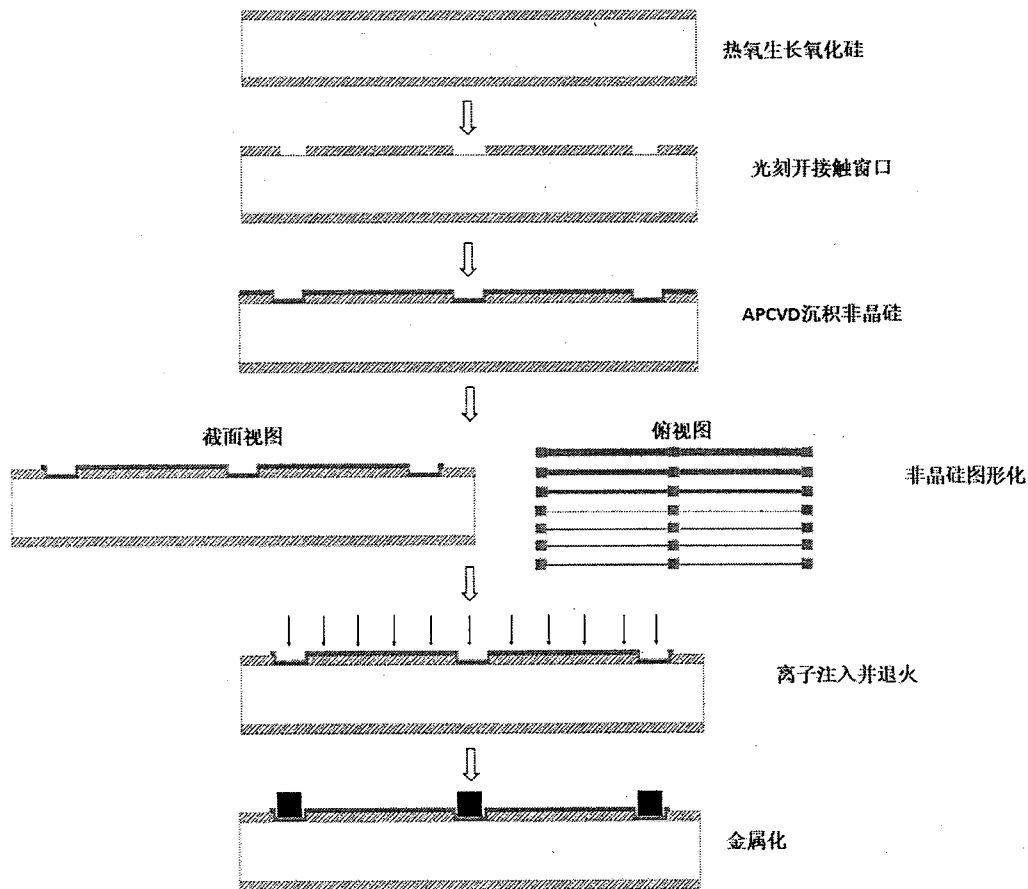
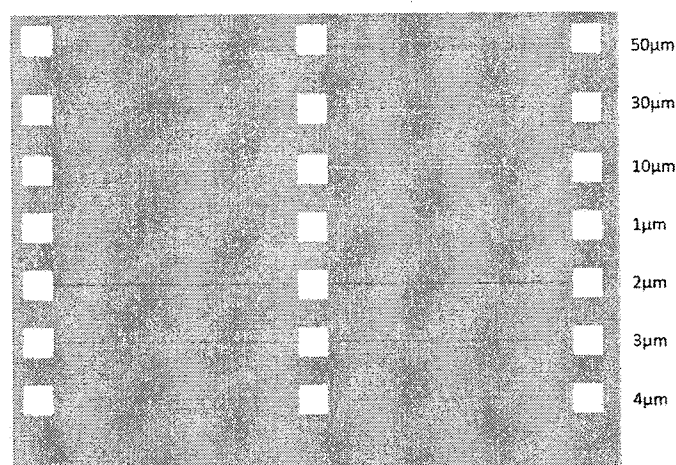


图 5.7 用来进行电学性能测试的多晶硅电阻条的制备工艺流程。

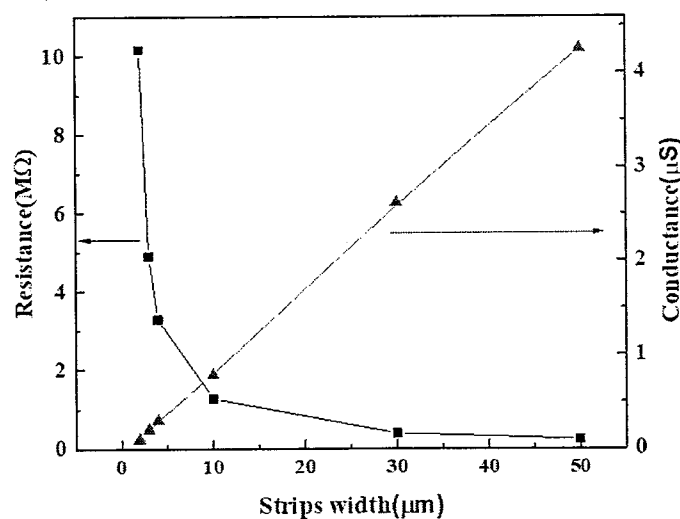
我们实际制备的多晶硅电阻条的实物图如图 5.8 (a) 所示。可以看到宽度为 $1\mu\text{m}$ 的电阻条没有被制备出来。这主要是因为我们采用的光刻机精度不够导致的。因此我们能够制备的最小的多晶硅条的宽度是 $2\mu\text{m}$ 。能制备的多晶硅条的最窄宽度在我们设计硅漂移探测器中的分压电阻时是非常关键的。因为在多晶硅分压电阻的长度和方阻一定的条件下，分压电阻的宽度越小，能制备的分压电阻的阻值就越大。能够制备宽度尽量小的电阻条对于节省设计空间和提高分压电阻的阻值是非常必要的。

还有另一个需要考虑的问题就是能不能通过控制电阻条的宽度来精确控制其电阻值。之所以有这种担忧是因为这种多晶硅电阻条的图形是通过光刻和湿法腐蚀的方法形成的，在光刻和腐蚀的过程中都会有不同程度的横向腐蚀，导致多晶电阻条的宽度和设计的宽度有偏差。这种偏差在电阻条宽度比较大时可能影响不是很大，但是随着电阻条宽度的减小这种偏差造成的影响会越来越大。因此我

们有必要分析一下电阻条的电阻和它的宽度之间的关系。从电阻和电导的计算公式我们可以知道，电阻条的电阻和宽度是成反比的，而电导和宽度是成正比的。图 5.8 (b) 给出了电阻条的电阻值和电导值与宽度的关系。可以看到，即使电阻条的宽度减小到 $2\mu\text{m}$ ，电阻条的电导和宽度之间仍然保持比较好的线性关系。这说明即使在分压电阻的宽度非常小的情况下我们依然可以通过调节分压电阻的宽度来精确控制其阻值。



(a)



(b)

图 5.8 (a) 多晶硅电阻条的光学显微镜图片。(b) 多晶硅电阻条的电阻值和电导值与电阻条宽度的关系。

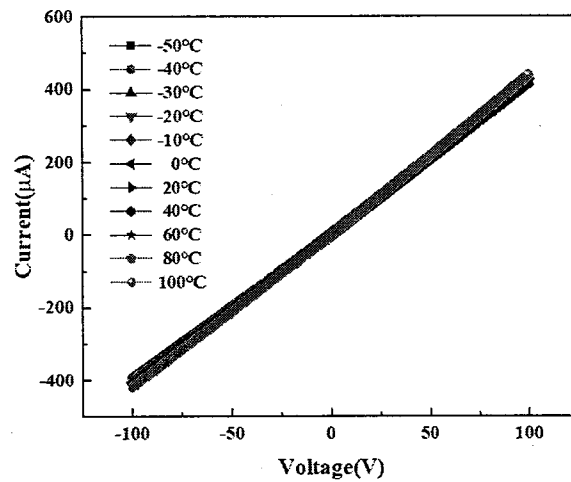
多晶硅电阻的温度系数 (TCR) 对于其在硅漂移探测器中的应用是非常关键的。温度系数主要是描述电阻的阻值随温度的变化情况。一个电阻的温度系数可

以用以下公式来计算[105]:

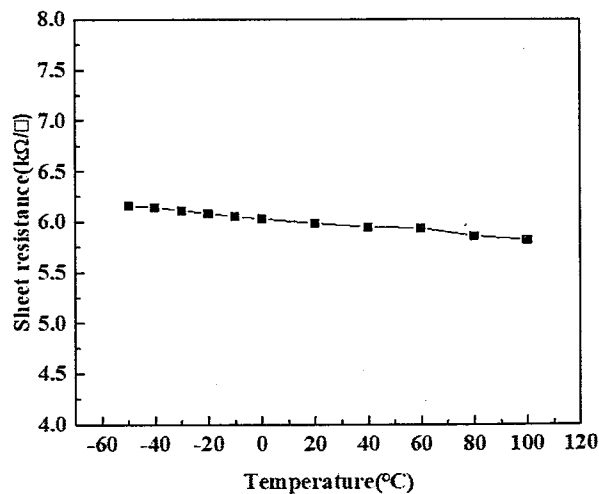
$$TCR \left(\frac{ppm}{^{\circ}C} \right) = (10^6) \frac{R - R_0}{R_0(T - T_0)} \quad (4.2)$$

其中 TCR 为温度系数, 温度系数的单位一般为 ppm/°C。R 为温度为 T 时的电阻, R₀ 为温度为 T₀ 时的电阻。

首先为了直接观察多晶硅的电阻随温度的变化, 我们选取上述电阻条中宽度为 50μm 的在不同的温度下进行 I-V 测试。该多晶硅电阻的沉积时间为 5min, 退火温度为 800°C。I-V 测试结果以及根据 I-V 计算出的方阻随测试温度的变化关系由图 5.9 给出。可以看到多晶硅薄膜的方阻随着测试温度的升高呈下降的趋势, 但是变化并不是很明显。这说明多晶硅具有负的温度系数而且温度系数的绝对值比较小。



(a)



(b)

图 5.9 (a) 宽度为 50 μm 的电阻条在不同温度下的 I-V 测试结果。(b) 多晶硅薄膜的方阻随测试温度的变化关系。

得到了多晶硅电阻在不同测试温度下的电阻值我们就可以计算出多晶硅电阻的温度系数和温度的关系了。我们一共分析了三种多晶硅电阻的温度系数随测试温度的变化关系,这三种电阻的制备工艺除了退火温度不同外都是相同,其退火温度分别为 700 $^{\circ}\text{C}$ 、750 $^{\circ}\text{C}$ 和 800 $^{\circ}\text{C}$ 。测得的温度系数和温度的关系由图 5.10 给出。可以看到我们制备的多晶硅薄膜电阻的温度系数总体是比较小的,最大的温度系数的绝对值也不会大于 500ppm/ $^{\circ}\text{C}$ 。对于多晶硅电阻的温度系数为负值这一现象可以通过温度对多晶硅中本征载流子浓度的影响来解释。半导体中本征载流子和温度的关系由以下公式给出[106]:

$$n_i = AT^{\frac{3}{2}} \exp\left(-\frac{E_g}{2k_0T}\right) \quad (4.3)$$

其中 n_i 为本征载流子浓度, A 为常数, k_0 为玻尔兹曼常数, E_g 为禁带宽度。可以看到本征载流子的浓度是随着温度的提升迅速增加的。而我们又知道载流子浓度越大半导体的电阻率就会越小,所以多晶硅的电阻是随着温度的升高而降低的,而根据公式 (4.2),这就会导致一个负的温度系数。

从图 5.10 中我们还会发现另外一个现象,那就是多晶硅电阻的温度系数的绝对值是随着退火温度的升高而减小的。这种现象可以解释如下:前一小节我们已经证明了,多晶硅的掺杂浓度是随着退火温度的升高而增大的,所以退火温度越高多晶硅中由杂质提供的载流子浓度就越大。而通过我们前面的分析知道,温度是通过影响多晶硅中本征载流子的浓度而影响多晶硅的电阻的。所以当多晶硅的掺杂浓度越高,温度升高引起的本征载流子浓度的增加对总的载流子浓度影响就越小,所以导致多晶硅的电阻对温度越不敏感,从而导致其温度系数越小。所以提高多晶硅的退火温度可以有效降低多晶硅电阻温度系数的绝对值。所以在我们对多晶硅电阻的阻值要求不是很高时,我们尽量采用比较高的退火温度,而通过多晶硅薄膜的厚度以及多晶硅电阻的几何长度来提高其电阻值。

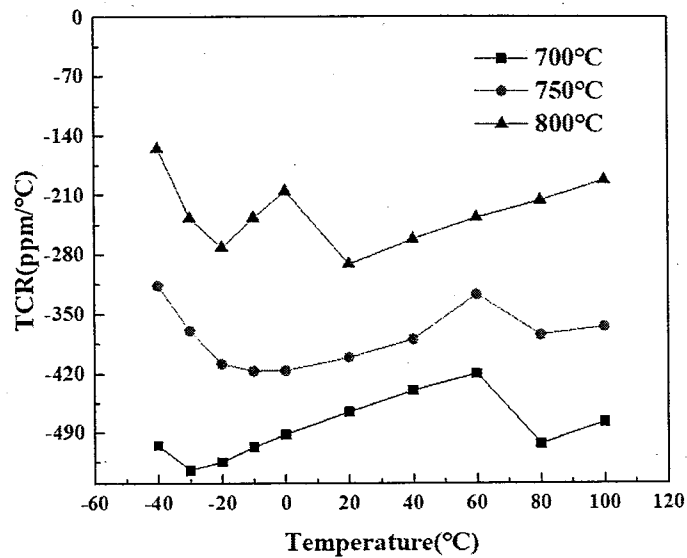


图 5.10 采用不同退火温度制备的多晶硅电阻的温度系数和温度的关系。

另一个需要考虑的多晶硅薄膜电阻的特性就是它的均匀性了[107]。为了验证多晶硅电阻的均匀性我们在一个两寸硅片上选取了 9 个测试点，测试点的具体分布如图 5.11 (a) 所示。在每一个测试点上我们都制备了具有相同形状的多晶硅电阻条，通过对每一个测试点上的多晶硅进行 I-V 测试可以得到每一个点上的多晶硅薄膜的方阻值，不同位置上多晶硅电阻的方阻值如图 5.11 (b) 所示。从图 5.11 (b) 可以看到多晶硅电阻的阻值在整个两寸硅片这么大的范围内变化还是比较小的，通过计算可以得到多晶硅电阻阻值的波动为 6.14%，这完全符合我们制备大面积硅漂移探测器对分压电阻均匀性的要求。

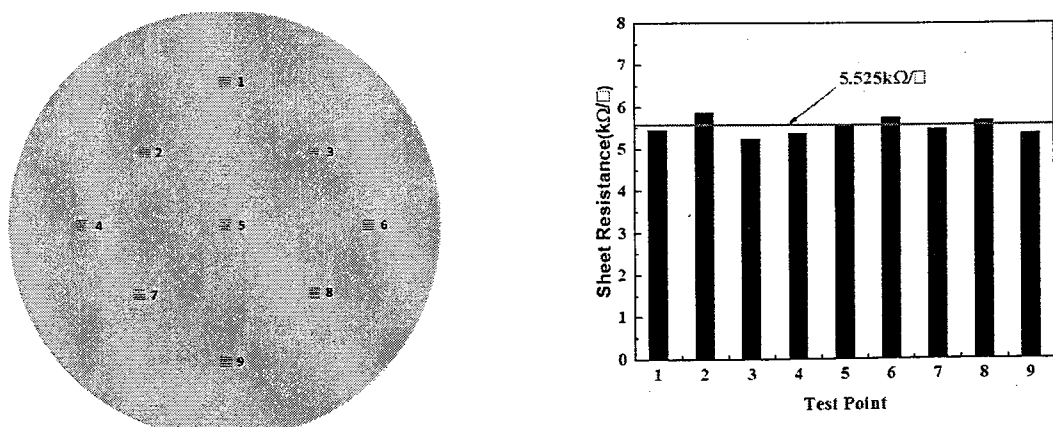


图 5.11 (a) 用来进行多晶硅电阻均匀性测试的测试点在两寸硅片上的分布示意图。(b) 不同测试点上的多晶硅的方阻值测试结果。

4.2.3. 采用原位掺杂的方式对 APCVD 制备的多晶硅电阻进行掺杂

采用 APCVD 的方式来制备多晶硅电阻,除了可以采用离子注入的方式对硅薄膜进行掺杂,还有可以采用原位掺杂的方式对硅薄膜进行掺杂。原位掺杂就是在沉积硅薄膜的同时对其进行掺杂。具体方法是,在沉积硅薄膜的时候,除了向石英管中通入氢气和硅烷以外还要通入硼烷,硅烷在高温的作用下发生分解生成硅原子并被衬底吸附从而形成非晶的硅薄膜,与此同时,硼烷在高温的作用也会发生分解生成硼原子,硼原子产生之后也会被衬底吸附,因为一般情况下硼烷的浓度要远小于硅烷的浓度,所以这样就会形成含有一定浓度硼原子的非晶硅薄膜。采用原位掺杂的方式对硅薄膜进行掺杂也需要一个高温退火过程对硅薄膜中的杂质进行激活,而且刚沉积完的硅薄膜也是呈现非晶状态的,也需要退火过程来使非晶硅变成多晶硅。所以这两种制备多晶硅电阻的工艺有很多相同之处。

实验中我们也是通过控制沉积时间来控制薄膜的厚度从而调节多晶硅电阻的方阻的。为了分析薄膜厚度以及方阻和沉积时间的关系,我们采用了 6 个不同的沉积时间来沉积非晶硅薄膜并且测试了薄膜厚度及其退火后的方阻随沉积时间的变化关系。薄膜的厚度我们是采用椭偏仪进行测试的,薄膜的退火温度为 800°C。测试结果由图 5.12 给出。可以看到硅薄膜的厚度确实是随着沉积时间线性变化的。而制备出来的多晶硅的方阻确实是和沉积时间呈反比关系的。这和采用离子注入进行掺杂的方式得到的关系是相同的。这很容易理解,因为我们采用原位掺杂的方式来制备掺杂的非晶硅薄膜的时候,硼烷的浓度是要远小于硅烷的浓度的,所以硼烷的通入对硅薄膜厚度的影响几乎可以忽略不计。

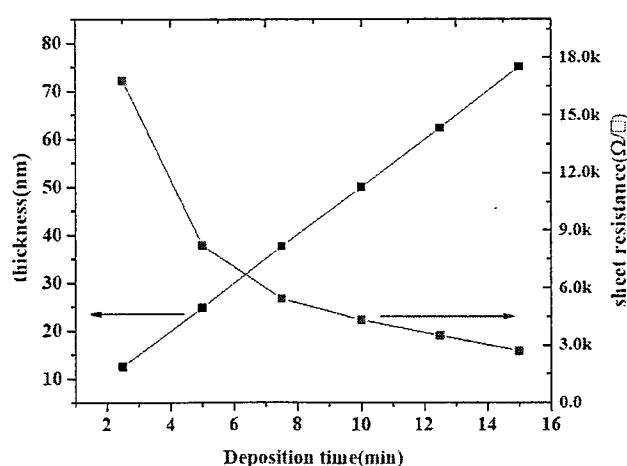


图 5.12 多晶硅薄膜的厚度和方阻与沉积时间的关系。

在采用原位掺杂来沉积硅薄膜的时候,硅薄膜中硼原子的掺杂浓度是可以通过调节硅烷和硼烷的气体流量比来进行调节的。因此我们很容易想到能不能通过控制这两种气体的流量比来精确控制多晶硅的电阻率。但是因为和上一节介绍的采用离子注入进行掺杂一样,采用原位掺杂的硼原子也不是处于激活状态的。要想使杂质激活必须经过一个高温过程,使处于填隙位置的硼原子移动到替位位置上去。而多晶硅的电阻率是由杂质的有效掺杂浓度决定的。因此能不能通过控制气体流量比来调节多晶硅的电阻率要看能不能通过控制气体的流量比来控制多晶硅中的有效掺杂浓度。为此我们对采用不同硅烷和硼烷气体流量比制备的多晶硅的有效掺杂浓度进行了表征。其中多晶硅的退火温度都是一样的为 800°C 。我们采用的表征方法为电化学 CV 的方法,因为该方法只会测试出半导体内激活的杂质浓度,所以非常适合用来对该问题进行分析。测试结果如图 5.13 所示。可以看到,虽然三种多晶硅在沉积的过程中硅烷和硼烷的气体流量比是不一样的,但是经过相同的退火温度之后,多晶硅的掺杂浓度却相差不多。这说明多晶硅电阻的电阻率不能通过多晶硅薄膜杂质的实际掺杂浓度来控制,因为并不是掺杂的浓度越大激活的浓度就越大。这也是为什么在采用离子注入的方式来制备多晶硅电阻的工艺中我们没有通过离子注入的剂量来调节多晶硅的电阻率而是通过控制退火温度来调节多晶硅的电阻率的原因。

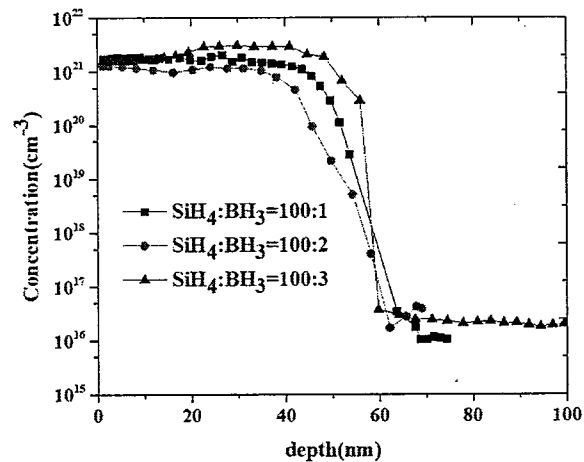


图 5.13 采用不同硅烷/硼烷气体流量比制备的多晶硅薄膜的有效掺杂浓度测试结果。

既然采用离子注入可以实现硅薄膜的掺杂,那我们为什么又要采用原位掺杂的方式对硅薄膜进行掺杂呢?原因主要有以下几点:首先离子注入最大的一个优

点就是可以精确控制薄膜的掺杂浓度，但是我们通过以上分析得知，多晶硅电阻率并不能通过多晶硅薄膜总的掺杂量来控制，而要通过有效掺杂浓度来控制，而有效掺杂浓度和总的掺杂浓度并没有什么直接的关系，所以我们是通过退火温度来调节硅薄膜的有效掺杂浓度的，所以离子注入失去了其最大的一个优势。其次离子注入工艺比较复杂，设备比较昂贵，采用离子注入会大大增加探测器的制备成本。最后一点也是最重要的一点就是，我们通过采用原位掺杂的方式来制备硅漂移探测器中得分压电阻，这种工艺结合下面要介绍的采用多晶硅薄膜来制备高质量 PN 结的工艺相结合可以仅采用一步工艺就制备出硅漂移探测器中的分压电阻和漂移环，从而可以大大降低工艺的复杂程度。

对于采用原位掺杂制备的多晶硅电阻的其它性质，例如多晶硅的晶化率和电阻率随退火温度的变化关系、多晶硅电阻的温度系数、均匀性等，我们发现这些性质对两种不同掺杂方式来说基本是相同的，所以我们在这里就不赘述了。

4.3 采用多晶硅制备高质量异质 PN 结的工艺研究

4.3.1. 背景介绍

和其他的光电探测器一样，硅漂移探测器本质上也就是一个 PN 结，只不过硅漂移探测的结构相对比其它探测器如 PIN 探测器结构要复杂得多。硅漂移探测器中的大部分结构例如漂移环、入射窗口、保护环等都是由 PN 结构成的[38]。因此 PN 结的质量，对于提高硅漂移探测器的性能是至关重要的。PN 结的制备方法有很多，例如离子注入、扩散、外延等。不同制备工艺制备的 PN 结性能有很大差别。其中离子注入作为一种已经在微电子领域应用非常成熟的工艺，是用来制备 PN 结的最常见的工艺之一。离子注入工艺可以精确控制注入的剂量从而精确控制注入区域的掺杂浓度。离子注入还可以通过控制注入的能量来精确控制 PN 结的结深。所以从硅漂移探测器发明至今，离子注入一直被作为其主要的制备工艺。然而离子注入也存在很多的问题。首先离子注入会对衬底产生损伤，这会导致 PN 结漏电的增大。其次离子注入之后需要一个高温过程来对注入的杂质进行激活，而高温的过程可能会对衬底造成污染和损伤[50]。最后离子注入会有隧道效应，导致掺杂分布有一个比较长的拖尾。这使得在实际的工艺中制备结深特别浅的 PN 结变得很困难。除此之外离子注入的设备比较昂贵，这会导致生

产成本的提高。为了解决以上问题我们提出了一种采用多掺杂的晶硅薄膜来制备高质量异质 PN 结的工艺。PN 结质量的好坏对于不同的应用有不同的评价标准。但是 PN 结的反向饱和漏电的大小几乎在所有的光电探测器中都是必须要考虑的参数。此外,对于作为入射窗口的 PN 结,还会对其结深有一定的要求,通常是要求结深尽量浅从而减小死层造成的能量损失。对于需要进行金属化的区域还会对 PN 结的掺杂浓度有要求,通常是要求掺杂浓度尽量高一点从而减小接触电阻。因此我们在用多晶硅薄膜来制备 PN 结的时候就是从以上几个方面进行考虑的,我们期望通过对各种工艺参数的调节制备出满足硅漂移探测器中不同结构对 PN 结性能的各种不同要求,从而为制备高性能的硅漂移探测器打下良好的基础。

4.3.2. 制备工艺介绍

采用多晶硅制备 PN 结的工艺很简单,具体的制备工艺流程如图 5.14 所示。首先取 RCA 清洗过的高阻硅片单面沉积一层介质层,该介质层主要是起隔离和表面钝化的作用。该介质层可以为采用各种方式生长的氧化硅、氧化铝、氮化硅等介质膜。长完介质膜之后通过光刻的方法在介质膜上开出一系列的窗口,这些窗口主要是用来形成主 PN 结区、保护环以及屏蔽环的。光刻完成之后采用 APCVD 和原位掺杂的方式在衬底的前表面沉积一层 P 型掺杂的非晶硅,在背面沉积一层 N 型掺杂的非晶硅。然后再通过光刻的方法将前表面介质层上的非晶硅腐蚀掉,只留下开出的窗口中和硅衬底直接接触的非晶硅。然后将衬底在氮气氛围下进行高温退火,退火的过程中非晶硅变成了多晶硅,并且其中的杂质得到了激活。除此之外,退火还会将非晶硅中的杂质向硅衬底中推进,在硅衬底表面形成一个非常浅的 P+掺杂区域。退火完成之后就是金属化了。前表面通过光刻的方式在主 PN 结区和屏蔽环上形成局部金属接触,在背面直接形成全面的金属接触。



双面沉积介质层



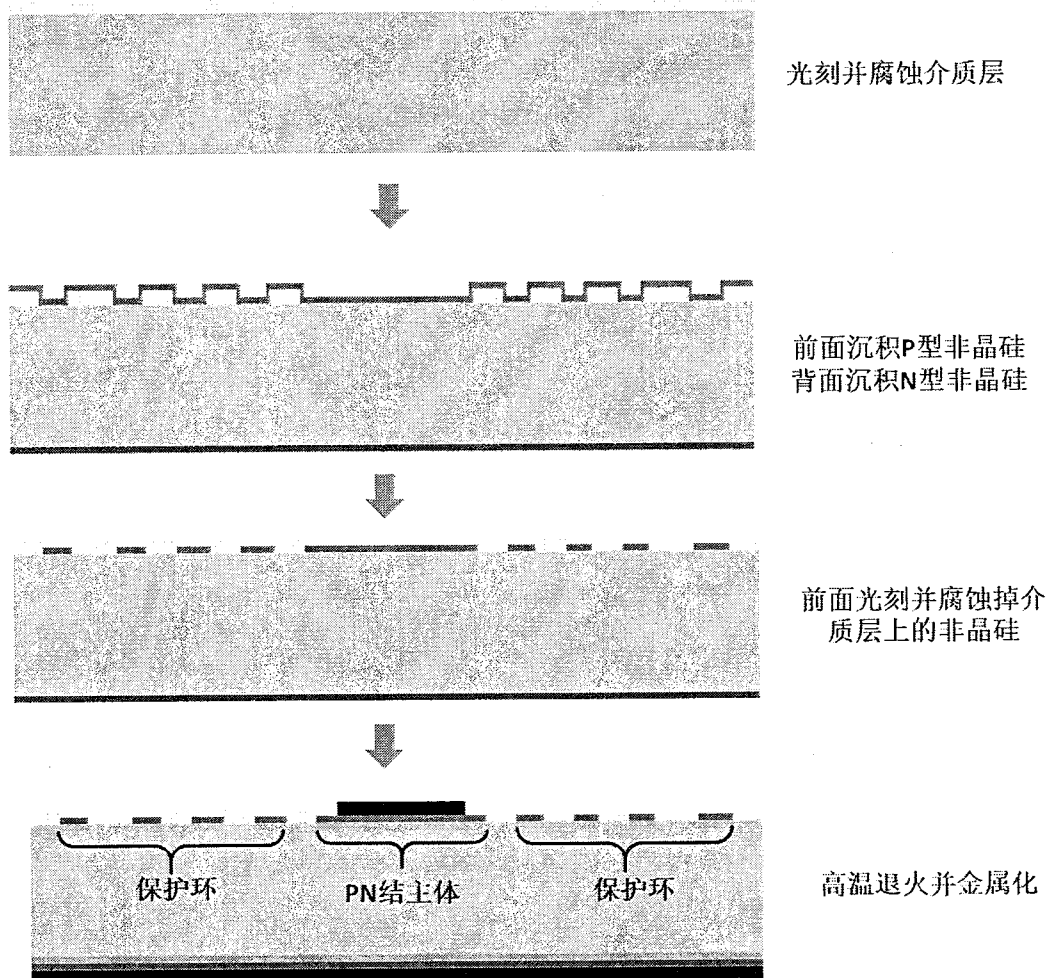


图 5.14 采用多晶硅薄膜制备高质量异质 PN 结的工艺流程示意图。

4.3.3. 测试结构及方法介绍

如上一节介绍的,我们用来测试 PN 结漏电的结构的上表面包含有主 PN 结、保护环区。主 PN 结区实际的面积要比图 5.14 中的面积大得多,而保护环所占的面积要小得多。我们设计中主 PN 结区的直径是 1cm,而保护环区的宽度只有 500 μm 。因为采用的硅衬底是高阻 N 型衬底,所以 PN 结面积指的是上表面主 PN 结区的面积。测试时就是在主 PN 结区上方的金属电极和背面的金属电极之间加反向偏压,观察反向漏电和反向偏压的关系。具体的测试结构示意图如图 5.15 所示。对于 PN 结的 I-V 测试,我们采用的是 CASCADE 的探针台以及吉时利的半导体参数分析仪 S4200。测试时将硅片放到探针台的载物台上,在片子上方,有一根探针和主 PN 结区的电极接触,探针的另一端接一个高灵敏度的电流表用来测试流过主 PN 结区电极的电流,而电流表的另一端是接地的,所以主 PN 结区

的电极相当于是接地的。因为硅片的背面电极是和载物台直接接触的，而 CASCADE 的载物台可以施加电压，所以可以通过载物台给样品的背面电极施加电压。所以我们是相当于固定 PN 结 P 区一侧的电压为 0，而在 PN 结的 N 区一侧进行电压扫描，因此当电压为正电压时相当于 PN 结反向偏置。

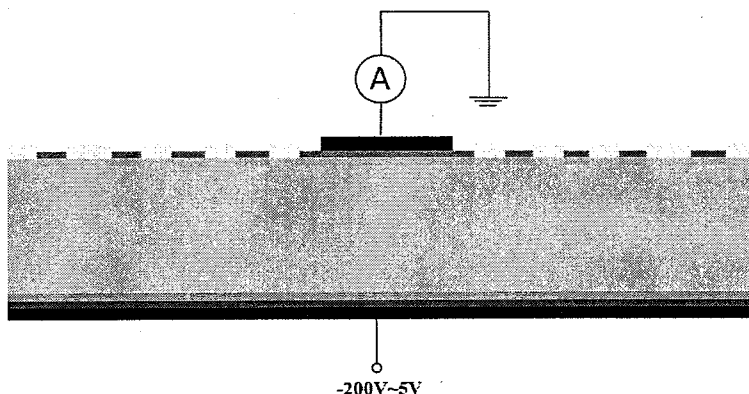


图 5.15 PN 结漏电测试结构示意图。

4.3.4. PN 结漏电测试结果分析

PN 结的漏电主要分为三种，分别为体产生电流、扩散电流、表面产生电流。体产生电流是由于在空间电荷区内由于热激发产生的电子空穴对在电场的作用下分离形成的电流。体漏电的具体表达式如下[108]:

$$I_{bulk} = q \frac{n_i}{\tau_g} A W_{depl} \quad (4.4)$$

其中 n_i 为本征载流子浓度， A 为 PN 结的面积， W_{depl} 为耗尽区的宽度， τ_g 为载流子的产生时间， q 为电子电荷量。可以看到影响体漏电的主要因素一个是 PN 结的面积，另一个就是载流子的产生时间。PN 结的面积和制备的硅漂移探测器的面有关，从这里也可以看出来制备的探测器的面积越大，器件的漏电将会越大。工艺参数对体漏电的影响主要是通过影响 τ_g 来实现的。 τ_g 的大小和衬底的质量密切相关，衬底内部缺陷和杂质越少 τ_g 就会越大，反之 τ_g 就会变小从而导致体漏电增大。因此为了减小体漏电必须避免工艺过程中对衬底造成损伤和污染。

PN 结中的扩散电流可以通过以下公式计算[108]:

$$I_{diff} = q n_i^2 A \left(\frac{D_{n+}}{N_D d_{n+}} + \frac{D_{p+}}{N_A d_{p+}} \right) \quad (4.5)$$

其中 D_{n+} 和 D_{p+} 分别为电子和空穴的扩散常数， d_{n+} 和 d_{p+} 分别为在 N 区和在 P 区

的耗尽区的宽度。 N_D 和 N_A 分别为施主和受主的掺杂浓度。可以看到影响 PN 结扩散电流的主要因素就是 PN 结两边的掺杂浓度, 因为对于选定的硅衬底, N 区一侧的掺杂浓度就确定了, 所以主要是通过调节 P+区一侧的掺杂浓度来调节 PN 结的扩散电流。

表面产生电流的表达式如下[108]:

$$I_{surf} = qn_i s_g A_s \quad (4.6)$$

其中 n_i 为本征载流子浓度, s_g 为表面产生速率, A_s 为表面的面积。可以看到影响表面漏电的因素主要是表面的面积和表面的产生速率。表面漏电一般是在衬底和介质层的界面处产生的, 因此在硅漂移探测器的制备过程中要尽量减少这种界面的面积。 s_g 的大小是和界面的钝化效果相关的, 钝化效果越好, s_g 就会越小从而表面漏电也会越小, 因此硅漂移探测器中的表面钝化是非常重要的一步工艺。因为影响 PN 结漏电的因素很多, 所以我们就选择了其中几个比较重要而且和工艺参数有关的因素进行了研究, 下面进行详细介绍。

4.3.4.1. 退火温度对 PN 结漏电的影响

我们是采用先沉积掺杂非晶硅然后高温退火的方式来制备 PN 结的, 从采用多晶硅制备分压电阻的实验中我们知道退火温度会明显影响多晶硅中的掺杂浓度。而且因为在退火过程中硅薄膜中的杂质会向衬底进行扩散, 所以退火温度也势必会影响杂质向硅衬底中的推进深度。除此之外, 因为退火是一个高温过程, 所以在退火过程中会不可避免的对衬底造成或多或少的损伤和污染, 这是由于实验环境的洁净度有限造成的。因此我们分析了退火温度对 PN 结漏电的影响, 测试结果如图 5.16 所示。可以看到, 对于没有进行高温退火的样品, PN 结的漏电明显比其它的样品大得多, 这说明退火工艺对于采用多晶硅制备异质 PN 结来说是非常必要的。当退火温度从 700℃上升到 800℃, PN 结的反向漏电是逐渐减小的, 但是当退火温度从 800℃升到 850℃之后, PN 结反向漏电反而增大了。

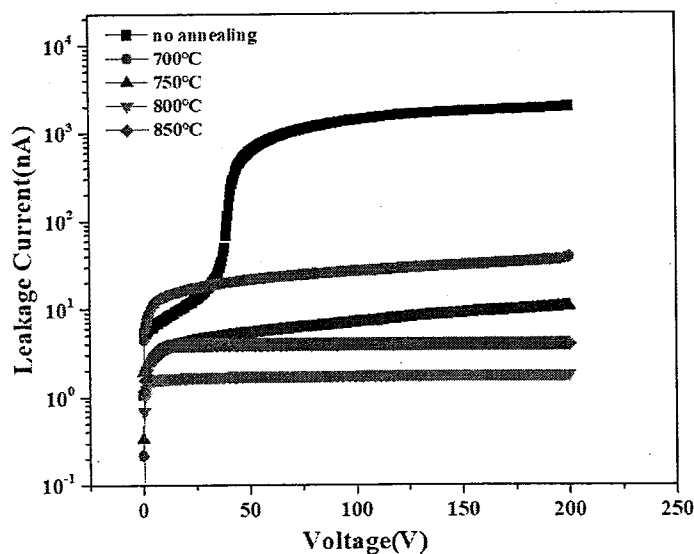


图 5.16 采用不同温度退火的 PN 结的反向漏电测试结果。

随着退火温度的升高，PN 结漏电的减小可以从退火温度对 PN 结扩散电流的影响来解释。我们知道退火温度会影响多晶硅中的掺杂浓度，上一节我们已经对退火温度对多晶硅掺杂浓度的影响进行过表征，这里我们再次把该表征结果给出来如图 5.17 所示。可以看到退火温度不但会影响多晶硅中的掺杂浓度，还会影响硅衬底中的掺杂浓度以及杂质向硅衬底中推进的深度。

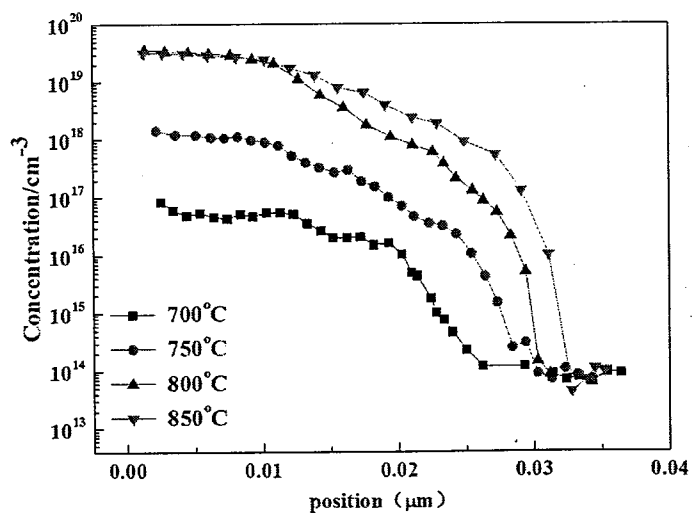


图 5.17 采用不同温度退火的多晶硅和衬底中的掺杂浓度分布。

为了分析掺杂浓度对 PN 结扩散漏电的影响，我们将 PN 结的扩散电流的计算公式作如下变换：

$$I_{diff} = qn_i^2 A \left(\frac{D_{n^+}}{N_D d_{n^+}} + \frac{D_{p^+}}{N_A d_{p^+}} \right) \implies I_{diff} = \frac{qn_i^2 A}{N_A d_{p^+}} \left(\frac{N_A d_{p^+}}{N_D d_{n^+}} D_{n^+} + D_{p^+} \right) \quad (4.7)$$

$$\text{因为} \quad \frac{d_{p^+}}{d_{n^+}} = \frac{N_D}{N_A} \quad (4.8)$$

$$\text{所以} \quad I_{diff} = \frac{qn_i^2 A}{N_A d_{p^+}} (D_{n^+} + D_{p^+}) \quad (4.9)$$

$$\text{又因为} \quad \frac{1}{N_A d_{p^+}} = \sqrt{\frac{q}{2\varepsilon_r \varepsilon_0 (V_D - V)}} \frac{1 + \frac{N_D}{N_A}}{N_D} \quad (4.10)$$

$$\text{所以} \quad I_{diff} = qn_i^2 A (D_{n^+} + D_{p^+}) \sqrt{\frac{q}{2\varepsilon_r \varepsilon_0 (V_D - V)}} \frac{1 + \frac{N_D}{N_A}}{N_D} \quad (4.11)$$

从公式 (4.11) 我们可以看到, 因为对于选定的衬底, 衬底的掺杂浓度是不变的, 所以 N_D 是不变的, 所以扩散电流是随着 P+ 区的掺杂浓度 N_A 的增大而减小的。在退火温度低于 800°C , 多晶硅的掺杂浓度是随着退火温度的升高而增大的, 所以当退火温度升高到 800°C 时, PN 结的漏电是持续减小的。但是当退火温度从 800°C 升高到 850°C , 我们从图 5.17 可以看到, 多晶硅的掺杂浓度不再变化了, 所以这时扩散电流不会再随着退火温度的增加而增加了。所以图 5.16 中采用 850°C 退火的样品的漏电并没有比采用 800°C 退火的样品低。至于 850°C 退火的样品漏电反而比 800°C 退火的样品高, 这应该从退火对体漏电的影响来解释。因为我们上面提到了退火肯定会对衬底造成一定的损伤和污染, 导致衬底缺陷的增加从而增大体漏电。虽然这种影响想可能很小, 但是当退火温度不会对扩散漏电产生影响时, 这种体漏电的影响就会起主要作用了, 从而导致 PN 结漏电随着退火温度的升高反而增大了。

4.3.4.2. 介质层的种类对 PN 漏电的影响

在几乎所有的光电器件中, 衬底表面的钝化对器件的性能提升是至关重要的。因为在衬底的表面, 由于晶格的不连续性会造成很多的表面态, 这些表面态可以加速载流子在表面的产生和复合。而这种加速对于很多器件是不利的, 例如对于太阳电池, 这些表面态会造成载流子的复合从而造成能量的损失, 而对于光电探测器这种表面态会引起暗态漏电的增大。硅漂移探测器作为一种光电探测器也要求其衬底的表面得到很好的钝化。对于硅漂移探测器来说, 介质层的另一个性质也会对器件的性能产生非常大的影响, 那就是介质层中的电荷。我们知道介质层在生长的过程中通常会带有一定量的净电荷, 这些净电荷可以是正的也可以是负

的,这和介质膜的种类有关,而电荷的量是和介质膜制备工艺相关的。因为硅漂移探测器是一种全耗尽器件,也就是说器件在正常工作状态下,耗尽区是要扩展到整个衬底范围的。但是如果介质层内含有某种极性的电荷,那么这些电荷就会影响耗尽区在衬底表面附近的扩展。例如介质层含有的是正电荷,如图 5.18 所示[109],正电荷的存在将会阻止耗尽区在表面附近的扩展,这会导致局部区域的电场变得非常强,不但会引起漏电的增大还可能会造成衬底局部区域的击穿从而造成漏电快速增加。

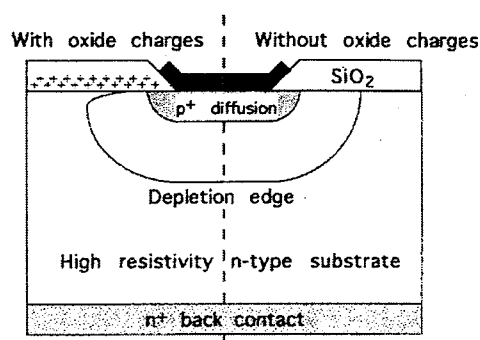


图 5.18 氧化层中的正电荷对下面耗尽区的影响示意图[109].

我们一共采用了四种方式来生长介质层。一种是通过干氧氧化的方式在硅衬底上生长一层氧化硅。干氧氧化就是纯的氧气在高温下和硅片反应,将硅片的表面氧化成一层氧化硅。另一种是湿氧氧化的方式生长一层氧化硅。湿氧氧化是水汽在高温下和硅片发生反应,将硅片的表面氧化成一层氧化硅。干氧氧化和湿氧氧化的温度都比较高,大约在 1050°C 左右。但是湿氧氧化的速度要比干氧氧化的速度快很多。所以对于生长相同厚度的氧化层来说,湿氧氧化的时间要短得多。比如我们要生长 300nm 厚的氧化硅,干氧氧化需要来连续氧化 10 个小时,而湿氧氧化只需要 3 个小时就可以了。第三种生长介质层的方式是先通过硝酸氧化 (Nitric Acid Oxide of Si—NAOS) 的方法在硅片的表面生长一层很薄的氧化硅,然后采用 PECVD 在该层氧化硅上面再沉积一层比较厚的氧化硅。最后一种方法是先通过 ALD 的方式在硅衬底表面沉积一层很薄的氧化铝然后再通过 PECVD 在氧化铝上面沉积一层比较厚的氧化硅。后面这两种方法在薄膜沉积过程中温度都比较低,最高温度不会超过 300°C 。介质层都是由两层不同种类的薄膜构成的。而且下面的介质膜都比上面的介质膜薄很多。采用 NAOS 生长的氧化硅厚度只有 1.4nm 左右,采用 ALD 沉积的氧化铝也只有 15nm ,而采用 PECVD 沉积的氧

化硅为 300nm。

图 5.19 所示为采用四种不同介质层制备工艺制备的 PN 结的漏电测试结果。可以看到前两种采用热氧氧化方法制备介质层的 PN 结的漏电明显要比后面两种方法大。这主要是因为热氧氧化的温度太高而且时间比较长,这会造成明显的衬底质量的衰减导致衬底少子寿命的减小从而引起体漏电的增加。而且我们可以看到干氧氧化要比湿氧氧化的漏电大,这是因为干氧的氧化时间比较长从而对衬底造成的损伤比较大。后两种方法的漏电明显比热氧的要小一点,因为这两种方法工艺温度比较低。除此之外,这也说明这两种方法的表面钝化效果还是很不错的,所以才会使得 PN 结漏电在击穿之前保持在 10nA 以下。而在这两种低温钝化方法中,采用氧化铝和氧化硅叠层来钝化衬底表面可以使得 PN 结的漏电降得更低,这主要是因为 ALD 工艺是一种原子级别的薄膜沉积工艺,其制备的氧化铝和硅衬底表面的界面特性非常好,可以有效降低硅表面的态密度,从而起到非常好的钝化作用。

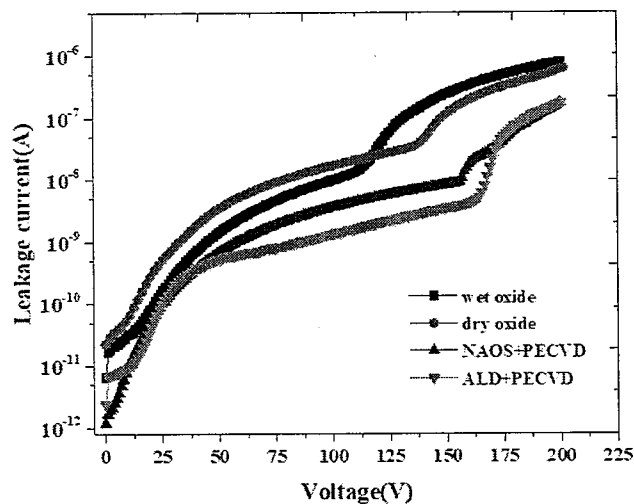


图 5.19 采用不同介质层钝化衬底表面来制备的 PN 结反向漏电测试结果。

从图 5.19 中我们还可以发现一个现象,那就是对于采用四种钝化方式的 PN 结,当反向偏压超过一定值之后都会有一个突然增大的趋势。而且我们可以看到这四个样品发生电流突增的反向偏压的大小是不一样的。电流的突然增大应该是和衬底内部局部区域的雪崩击穿有关。我们在前面提到了,介质层中如果带有正的净电荷,该净电荷会阻碍耗尽区在界面处的扩展,从而增大衬底中的电场造成局部雪崩击穿。而发生雪崩击穿的反向偏压的不同应该是由不同介质层所带正

电荷的数量不同造成的。根据这一解释并结合图 5.19 我们可以推测,采用湿法氧化生长的氧化硅所带的正电荷的数量是最多的,而氧化铝和氧化硅叠层所带的正电荷最少。其实采用 ALD 沉积的氧化铝是带负电的,该负电荷可以中和氧化硅中的一部分正电荷,所以导致两种介质膜叠层所带的总的正电荷量最少,所以采用这种介质膜的 PN 结的击穿电压最大。

4.3.4.3. 采用 Poly-TOPCon 结构制备的 PN 结的漏电测试

在第三章中我们将 Poly-TOPCon 应用到了 IBC 太阳电池的制备中取得了不错的效果。因为 Poly-TOPCon 本质就是一种异质 PN 结,既然可以在电池中取得比较好的结果,就说明 PN 结的暗态漏电是比较小的,所以我们就很容易想到是否可以将 Poly-TOPCon 结构应用到硅漂移探测器中。但是我们前面也提到过,IBC 中的 PN 结和硅漂移探测器中的 PN 结工作状态是不一样的,硅漂移探测器对 PN 结的要求是要能在很大的反向偏压下还能保持非常小的反向饱和电流,所以要想将 Poly-TOPCon 结构应用到硅漂移探测器中必须对这种结构在高反向偏压情况下的暗态漏电进行表征。

对于直接采用多晶硅来制备 PN 结的工艺,其中的退火过程是一个恒温退火(isothermal annealing)过程,也就是将硅片放到石英管中,然后快速升到指定的温度并且保持 30min,然后再自然降温到 600°C 以下再取出。我们一开始也是通过这种退火方式对 Poly-TOPCon 结构进行退火的,但是经过对采用这种退火方式制备的 PN 结的漏电进行测试之后我们发现 PN 结的反向漏电非常大。后来我们就采用了另外一种阶梯式的退火方法(Stepped annealing)来对 Poly-TOPCon 结构进行退火。该种退火方式是首先将硅片在 400°C 下退火 10min,然后将温度快速升高的 600°C 再保持 10min,然后再将温度快速升高的 800°C 保持 10min,最后自然降温到 600°C 以下取出。然后我们对这种方式制备的 PN 结的漏电进行了测试,发现漏电明显下降了。这两种退火方式制备的 PN 结的漏电测试结果以及仅采用多晶硅制备的 PN 结的漏电测试结果由图 5.20 给出。可以看到,采用恒温退火的 Poly-TOPCon 结构制备的 PN 结的漏电要比其它两种样品的漏电大将近两个数量级。而采用阶梯退火的 Poly-TOPCon 结构制备的 PN 结和仅采用多晶硅制备的 PN 结的漏电基本相同。

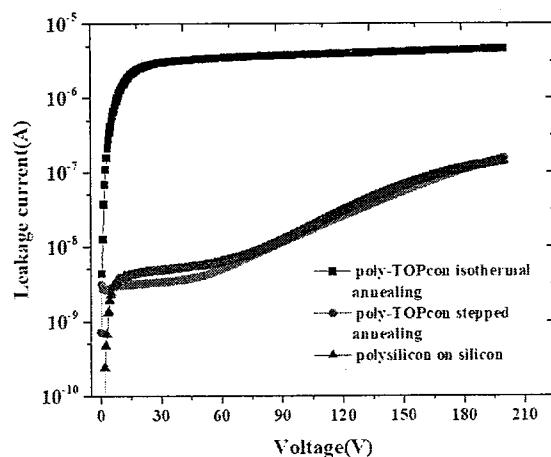


图 5.20 三种 PN 结反向漏电测试结果对比图。

为了解释为什么采用不同方法退火的 Poly-TOPCon 结构制备的 PN 结漏电流会相差这么多，我们用光学显微镜对上面三种样品的表面进行了观察，观察结果如图 5.21 所示。通过观察我们发现，采用恒温退火的 Poly-TOPCon 结构表面出现了很多破损。这应该是因为多晶硅薄膜中的氢原子在高温退火的过程中聚集到一起生成氢气，当氢气量比较多时就会在多晶硅中形成气泡，这些气泡破裂之后就会导致多晶硅薄膜的脱落。由于多晶硅薄膜的脱落就会使其下面 N 型硅衬底直接裸露出来，当进行金属化之后，金属就会和衬底直接接触造成短路从而导致非常大的漏电。但是其它的两个样品没有发生多晶硅薄膜破损的情况，所以我们推测多晶硅薄膜中氢气的聚集不但和退火工艺有关还和多晶硅下面的氧化层有关系。所以如果要采用 Poly-TOPCon 结构来制备 PN 结，就要使用阶梯退火的方式，不然就只能是采用直接在衬底上沉积硅薄膜的方式来制备 PN 结。

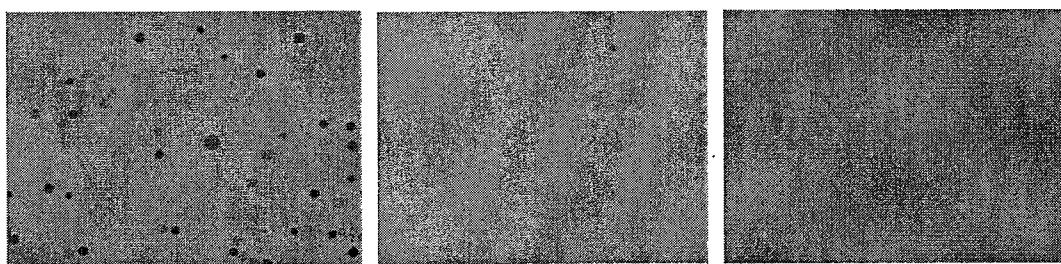


图 5.21 不同工艺制备的 PN 结的表面光学显微镜观察图：(a) 采用恒温退火的 Poly-TOPCon 结构制备的 PN 结。(b) 采用阶梯退火的 Poly-TOPCon 结构制备的 PN 结。(c) 采用恒温退火的多晶硅薄膜制备的 PN 结。

4.4 本章小结

本章主要是对多晶硅薄膜技术在两个方面的应用进行了详细的研究。一方面是采用多晶硅薄膜来制备高阻值的电阻,这种电阻主要是用来制备硅漂移探测器中的分压电阻的。另一方面是采用多晶硅薄膜来制备高质量的 PN 结,这种 PN 结主要是应用到硅漂移探测器中用来形成漂移环、保护环、入射窗口等结构。对于采用多晶硅薄膜来制备电阻,我们主要研究了各种工艺参数对多晶硅电阻阻值的影响并对制备的多晶电阻的性能进行了表征。对于采用多晶硅薄膜来制备高质量的 PN 结,我们主要分析了工艺参数对 PN 结漏电的影响。本章具体研究内容和取得的成果如下:

- (1) 采用 APCVD 来制备多晶硅薄膜电阻,并采用离子注入和原位掺杂两种方法对多晶硅薄膜进行掺杂。通过控制硅薄膜的沉积时间和退火温度可以在一个很大的范围内调节多晶硅薄膜的方阻,我们制备出的多晶硅薄膜的最大的方阻值达到了 $36.576\text{k}\Omega/\square$ 。
- (2) 对采用多晶硅薄膜制备的电阻的性能进行了表征,发现制备的多晶硅电阻具有负的温度系数,但是温度系数的绝对值比较小,而且多晶硅薄膜的退火温度越高,制备出来的电阻的温度系数绝对值就越小。除此之外,多晶硅薄膜电阻在一个很大范围内都能保持很好的均匀性,其阻值在一个两寸晶圆片的范围内起伏只有 6.14%。
- (3) 采用多晶硅薄膜来制备高质量的 PN 结,并对各种工艺参数对 PN 结漏电的影响进行了分析。经过分析我们发现,退火温度太高或太低都会造成 PN 结漏电的增加,最佳的退火温度为 800°C 。采用氧化铝/氧化硅叠层作为钝化层制备的 PN 结漏电最小,击穿电压也最高。采用 Poly-TOPCon 来制备 PN 结的过程中不能采用恒温退火的方法,要采用阶梯退火的方法才能得到和直接采用多晶硅制备的 PN 结相同大小的漏电。

第五章 采用多晶硅薄膜技术的硅漂移探测器的结构设计

5.1 引言

硅漂移探测器作为一种主要用来探测高能射线的探测器,它比一般的探测器如 PIN 探测器结构要复杂很多。因此要想制备出高能性的硅漂移探测器,必须对探测器的结构进行合理的设计。硅漂移探测器的设计包括很多方面的内容,如器件的结构设计包括漂移环、保护环、接地环、入射窗口、衬底的选择等[110]。结构设计完成之后还要在器件上施加合适的偏压之后才能使器件正常工作。但是硅漂移探测器施加电压的方法比较复杂,要在最外漂移环、最内漂移环、入射窗口同时施加电压,而且这三个电压的大小和衬底的全耗尽电压有关系,因此还必须先知道衬底的耗尽电压才能决定施加多大的电压。在硅漂移探测器的芯片设计完成之后,还要考虑器件封装以及信号读取电路的设计,这又是另外一个非常复杂的方面。因此在本章中,我们只关注对于探测器芯片的设计。通过对探测器芯片各个部分结构的工作原理的分析,我们了解了不同结构在探测器中所起的作用以及其最佳的结构设计,这为我们下面具体的硅漂移探测器的流片指明了方向。在本章中我们还要介绍另外一个非常重要的内容,那就是如何将多晶硅薄膜技术应用到硅漂移探测器中。我们在前一章中介绍了采用多晶硅薄膜技术来制备高阻值电阻和高质量异质 PN 结的方法,而硅漂移探测器中的绝大部分结构都可以采用这两个元素来构成。例如高阻值电阻可以用来形成硅漂移探测器中的分压电阻,高质量 PN 结可以用来形成硅漂移探测器中的漂移环、保护环、入射窗口等结构。在这一章中我们就对如何采用多晶硅薄膜来形成硅漂移探测中的各种结构以及其相对于传统工艺的优势进行了详细的介绍。

5.2 硅漂移探测器的设计

该部分我们将会对硅漂移探测器的各个部分结构的设计原理进行详细的介绍。因为硅漂移探测器经过近 35 年的发展,人们对于硅漂移探测器的工作原理已经有了非常深入的认识,在硅漂移探测器的设计方面已经积累了大量的经验,这也是现在硅漂移探测器性能越来越好的主要原因。因此在这一节中我们主要是

对前人在硅漂移探测器设计方面的取得的成果进行总结和讨论。当然对于一些比较关键的结构我们也进行了一些实验,通过这些实验我们对现有的一些设计方法进行了验证并且获得很多适合现有实验条件的硅漂移探测器的设计参数。这些参数对于下一步进行具体的硅漂移探测器的流片工作将非常重要。

5.2.1. 衬底的选择

硅漂移探测器顾名思义是采用硅衬底来制备的,但是理论上很多其他的半导体材料都可以用来制备漂移探测器。之所以采用硅衬底来制备是因为硅衬底具有比较好的综合性能,例如硅材料的少子寿命比较高可以达到几十个毫秒,硅中的电子的迁移率也比较高,这非常有利缩短电子的横向漂移时间,硅材料的电离能比较低,相同能量的高能粒子可以产生更多的电子空穴对,这使得硅漂移探测器具有比较高的灵敏度[111]。除此之外还有一个也许是更为重要的原因,那就是硅衬底在微电子领域的大规模成熟应用使得高质量的硅衬底的获得要简单的多,而且微电子领域很多成熟的工艺可以直接应用到硅漂移探测器的制备中,这对于硅漂移探测器的快速发展是非常关键的。

对于能量比较高的射线或者粒子的探测,有一个限制探测效率的主要因素,那就是硅衬底的厚度。这是因为高能射线对物质的穿透能力是随着能量的增高快速增大的,如果衬底的厚度不够大,那么一些能量比较高的射线就可能直接穿透硅衬底,只沉积一部分能量在硅衬底中,这将严重影响硅漂移探测器对这些射线的探测效率。如图 5.1 所示为采用不同厚度的衬底制备的探测器的量子效率随着射线能量的变化曲线[112]。可以看到对于一定的衬底厚度,当射线能量大于一定值之后,探测器的量子效率会迅速下降,而量子效率开始迅速下降的能量值是随着衬底厚度逐渐增大的。所以要想探测能量比较高能的射线就要采用比较厚的衬底。

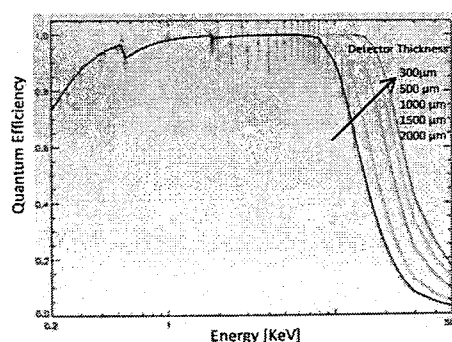


图 5.1 采用不同厚度的衬底制备的硅漂移探测器的量子效率随着射线能量的变化曲线 [112]。

硅漂移探测器不总是用来探测能量比较高的射线,有时候硅漂移探测也要用来探测能量非常低的射线,例如在 X 射线光谱分析中就要求探测器具有比较好的低能量射线的探测能力和比较高的能量分辨率[113],探测低能射线的能力可以通过探测器的电荷收集效率来表征[114]。如图 5.2 所示为不同晶向的硅衬底的电荷收集效率随着进入衬底的深度的变化关系。可以看到<100>晶向的硅衬底比<111>晶向的硅衬底有更高的电荷收集效率,这主要是因为<111>晶向的硅衬底具有比较小的表面复合速率。除此之外,比较浅的结深也有利于提高探测器对低能量射线的探测能力。因此对于能量比较低的射线,硅漂移探测器应该选择<100>晶向的衬底并且在表面制备尽可能浅的 PN 结。

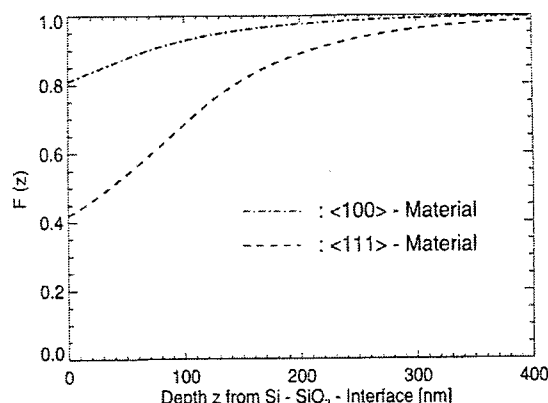


图 5.2 不同晶向的硅衬底的电荷收集效率与进入衬底的深度的关系[5]。

除了上面提到的衬底性质以外,还有一个最为关键的衬底性质需要给以高度重视,那就是衬底的掺杂性质,包括衬底的掺杂类型、掺杂浓度以及掺杂均匀性。对于硅漂移探测器来说一般是选用 N 型掺杂单晶硅作为衬底,选用 N 型衬底是因为在硅中电子的迁移率要比空穴的迁移率高得多,选用 N 型衬底可以有效缩短载流子的横向漂移时间[33]。衬底掺杂的均匀性也是决定探测器性能好坏的关键因素。因为硅漂移探测器是一种全耗尽器件,衬底中掺杂原子分布的不均匀性将会导致全耗尽时衬底内部电势和电场的不均匀分布,这将严重扰乱载流子在衬底内部的漂移路径,改变漂移时间,因此用来制备硅漂移探测器的衬底一般选择掺杂分布非常均匀的中子嬗变掺杂 (NTD) 单晶硅[115,116]。这种硅衬底是通过

将高纯度的单晶硅暴露在均匀的热中子流中,通过核子反应将衬底中的一种硅的同位素转变为磷元素来进行掺杂的。这种单晶硅是目前可以获得的杂质分布最均匀的一种单晶硅。

硅衬底的掺杂浓度也是影响硅漂移探测器性能的关键因素。掺杂浓度主要影响的是衬底的耗尽电压,而耗尽电压则决定了探测器各个电极上需要施加的电压的大小。此外衬底的掺杂浓度对于保护环的设计也有比较明显的影响[117]。因此我们在制备硅漂移探测器之前必须要对硅衬底的掺杂浓度进行表征。能够用来表征硅衬底掺杂浓度的方法有很多种,例如四探针法、MOS 结构的 CV 测试方法、PN 结的 CV 测试方法。然而我们在实验中发现对与掺杂浓度比较低的硅衬底,采用四探针法和 MOS 结构的 CV 法来表征都是比较困难的。所以我们决定采用 PN 结的 CV 法来表征衬底的掺杂浓度。该方法具有操作简单、精度高等优点。下面就对采用 PN 结的 CV 法表征衬底掺杂浓度的原理和具体实验方法进行介绍。

➤ 测试原理介绍

对于突变型 PN 结来说,PN 结的电容主要分为两种,一种是扩散电容,一种是势垒电容。因为扩散电容主要是在 PN 结正向偏压比较大的时候才起主要作用,而在 PN 结的 CV 测试中 PN 结一般都是反向偏置的,所以对于 PN 结的电容我们一般只考虑势垒电容。PN 结的势垒电容可以通过以下公式进行计算[62]:

$$C_T = A \sqrt{\frac{\epsilon_r \epsilon_0 q N_B}{2(V_D - V)}} \quad (5.1)$$

其中 C_T 为 PN 结势垒电容, A 为 PN 结的面积。 ϵ_r 为衬底的相对介电常数, ϵ_0 为真空介电常数, q 为电子电荷量, N_B 为衬底的掺杂浓度, V_D 为 PN 结零偏压下的势垒高度, V 为 PN 结上施加的正向偏压的大小,因此当施加的为反向偏压时 V 取负值。可以看到影响 PN 结势垒电容的因素主要有 PN 结的面积、衬底的材料、衬底的掺杂浓度、PN 上施加的偏压。

对于一个确定的 PN 结,PN 结的面积、衬底的材料和掺杂浓度都是确定的,所以衬底的电容就只和所加的偏压有关了。实际测试时我们是通过测试 PN 结的微分电容的方法来得到 PN 结的势垒电容的。我们首先在 PN 结上加一个直流的反向偏置电压,然后在该直流电压上叠加一个微小的交流电压,通过该微小的交流电压引起的电荷的变化可以得到该直流偏置下 PN 结的电容值。通过改变直流

偏置电压可以得到一系列和直流偏置电压对应的电容值。我们将势垒电容的计算公式进行如下变换：

$$(V_D - V) = \frac{A^2 \epsilon_r \epsilon_0 q N_B}{2} \frac{1}{C_T^2} \quad (5.2)$$

因此我们可以得到一个 $(V_D - V)$ 和 $1/C_T^2$ 的线性关系。通过线性拟合并根据直线的斜率我们就可以求出 N_B 也就是衬底的掺杂浓度。

➤ 实验方法介绍

我们采用上面介绍的方法对我们在实际流片中用到的一种两寸的高阻硅片进行了测试。我们在一个两寸硅片上一共制备了 9 个面积一样的 PN 结，PN 结的直径为 5mm。PN 结在硅片上的分布如图 5.3 所示。我们通过对这 9 个 PN 结进行 CV 测试，不但可以提取到衬底的掺杂浓度，而且可以对衬底掺杂的均匀性进行分析。

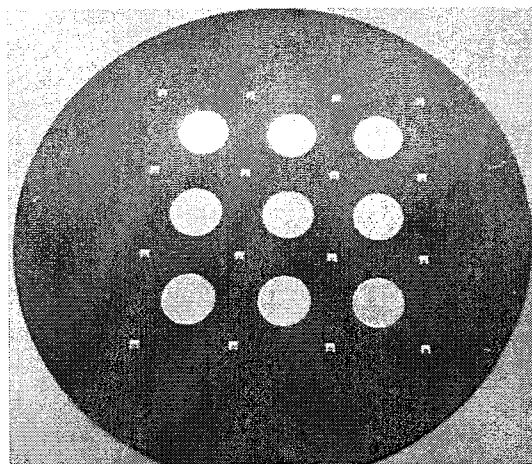
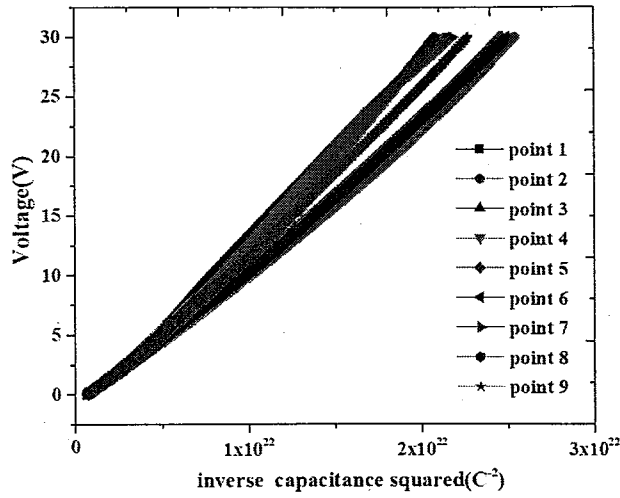


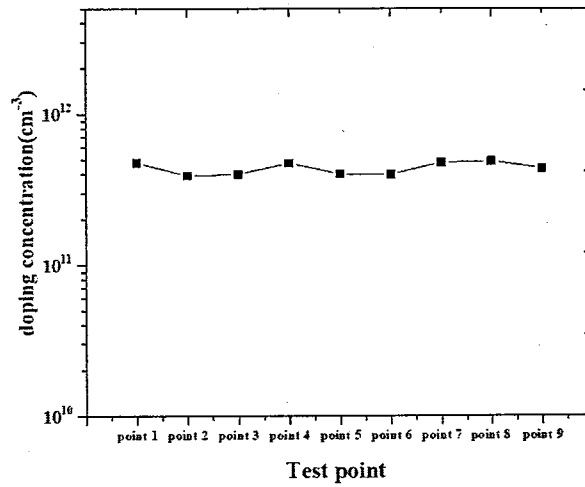
图 5.3 用来进行 CV 测试的 PN 结在硅片上的分布图。

以上用来进行 CV 测试的 PN 结的制备工艺和上一章中用来进行漏电测试的 PN 结的制备方法是一样的。前表面的 P+掺杂区域是采用沉积 P 型掺杂的非晶硅并退火的方式形成的。背面的 N+区域是通过沉积 N 型掺杂非晶硅并退火的方式形成的。测试过程是通过 CASCADE 的探针台和吉时利的半导体分析仪 S4200 完成的。其实对于 PN 结的 CV 测试，是可以通过测试直接得到衬底的耗尽电压的，但是这要求所加的反向偏压要能超过衬底的耗尽电压。然而对于 CV 测试，S4200 所能施加的最大反向偏压为-30V，这还没有达到衬底的耗尽电压。所以我们只有通过线性拟合的方式来求衬底的掺杂浓度了。通过测试我们得到了 9 个

PN 结电容平方的倒数和电压的关系如图 5.4 (a) 所示。然后通过计算我们得到了每个测试点处衬底的掺杂浓度如图 5.4 (b) 所示。



(a)



(b)

图 5.4 (a) 9 个 PN 结电容平方的倒数和电压的关系。(b) 9 个测试点处的衬底掺杂浓度。

可以看到, 9 个测试点处的衬底掺杂浓度基本上都在 $4 \times 10^{11} \text{cm}^{-3}$ 到 $5 \times 10^{11} \text{cm}^{-3}$ 之间。这说明衬底的掺杂分布还是比较均匀的。

5.2.2. 器件尺寸设计

器件尺寸越大, 器件的探测效率就越高[118], 但是随着器件尺寸的增大, 载流子在器件中横向漂移路径就会越长。横向漂移路径的增长不但会导致器件响应

时间的增加,还会导致电子云团簇在漂移过程中的弥散,导致能量的损失和分辨率的下降。所以对于一个硅漂移探测器来说一般都有一个最长的载流子漂移时间 t_{drift}^{max} ,而器件的最大尺寸就是由该最大漂移时间决定的。器件最大尺寸和最大漂移时间的关系由下式决定[112]:

$$R_{det} = \sqrt{2V_{dep}\mu_n t_{drift}^{max}} \quad (5.3)$$

其中 R_{det} 为器件半径, V_{dep} 为衬底的耗尽电压, μ_n 为电子的迁移率, t_{drift}^{max} 为最大漂移时间。所以器件的半径是和最大漂移时间的平方根成正比的。要想获得比较短的响应时间,器件的尺寸应该做的尽量小一些。

5.2.3. 漂移电场设计

硅漂移探测器中,入射的高能射线将产生大量的电子空穴对,空穴被最近的漂移环电极以及入射窗口电极收集起来,电子在纵向电场的作用下首先汇聚到衬底的中间区域,也就是衬底内部的能谷中,然后这些电子以一个电子云团簇的形式在横向漂移电场的作用下漂移到器件的阳极被收集起来形成输出信号,因此横向漂移电场对于硅漂移探测器来说是非常重要的。横向漂移电场不能太小,因为如果横向漂移电场太小就会导致电子漂移的速度太慢,从而导致电子漂移时间太长。因为电子云团簇中的电子相互之间有排斥作用,如果电子云的漂移时间太长,电子之间的排斥作用会导致电子云团簇的弥散,因此横向漂移电场的大小要能保证电子云团簇的弥散不是很明显。电子云团簇的弥散具有高斯分布的形式,因此电子云弥散的速度可以通过电子云团簇的高斯分布的时间常数 σ_t 来表征,因此探测器内部的横向漂移电场的最小值也可以通过 σ_t 来表示。硅漂移探测器中的最小漂移电场 E_{drift}^{min} 和 σ_t 具有有如下的关系[119]:

$$E_{drift}^{min} = \left[\frac{1}{(\mu_n \sigma_t^{max})^2} 2R \frac{kT}{q} \right]^{\frac{1}{3}} \quad (5.4)$$

其中 μ_n 为电子的迁移率, σ_t^{max} 电子云团簇的高斯分布的时间常数的最大值,R为器件的半径,k为玻尔兹曼常数,q为电子电荷量。

5.2.4. 漂移环尺寸设计

硅漂移探测器中的横向漂移电场是通过在漂移环上施加适当的电压来获得

的。一般探测器的阳极都是位于所有漂移环的中间，所以为了使在任何地方产生的电子都能横向漂移到阳极，就需要在漂移环上施加从最外环到最内环逐渐升高的电压。这样施加的电压将在衬底内部形成一个如图 5.5 所示的电势分布[120]。其中 y 轴沿探测器径向方向， z 轴沿衬底厚度方向， $Z=0$ 为衬底的中间位置。

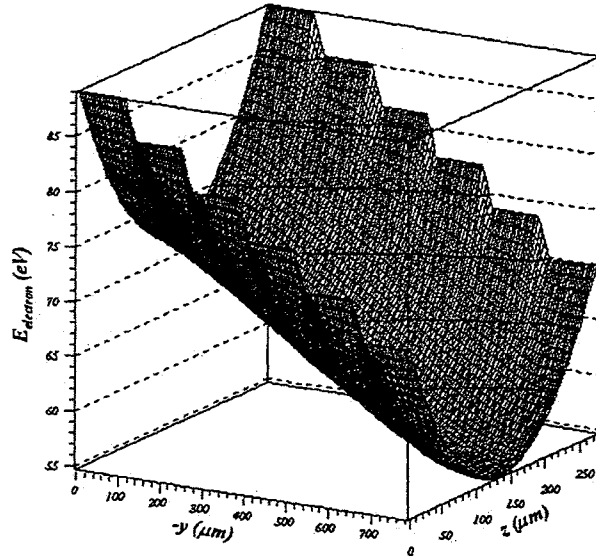


图 5.5 正常工作情况下硅漂移探测器内部的电势分布[120]。

该电势分布的具体表达式可以通过解以下泊松方程来获得：

$$\left(\frac{d^2}{dy^2} + \frac{d^2}{dz^2} \right) \varphi = -\frac{\rho}{\epsilon_0 \epsilon_r} \quad (5.5)$$

其中 ρ 为衬底内部耗尽区的电荷密度。通过解该泊松方程，我们可以得到衬底内部的电势表达式如下：

$$\varphi(y, z) = -E_{drift}y - \frac{eN_d}{2\epsilon_0\epsilon_r}z^2 + \sum_{n=1}^{\infty} \left(A_n \sin \frac{2\pi n}{L}y + B_n \cos \frac{2\pi n}{L}y \right) \cosh \frac{2\pi n}{L}z \quad (5.6)$$

其中 E_{drift} 为衬底内部的横向漂移电场， N_d 为衬底的掺杂浓度， L 为一个漂移环和一个漂移环间距长度的和（pitch）。上面公式中的第一项表示一个均匀的横向漂移电场，电子云团簇就是在该漂移电场的作用下沿平行于表面的方向漂移的。公式中的第二项表示沿衬底厚度方向的一个抛物线型的电势分布，高能射线产生的电子空穴对就是在该电场的作用下分离，并且电子也是在该电场的作用下汇聚到衬底的中间的。公式的第三部分表示的是电势分布相对于第一项和第二项描述的理想情况的扰动。因为毕竟漂移环的数量是有限，所以在衬底表面施加的电压也就不可能是连续变化的，这种分离的表面电势分布就会对衬底内部的电势分布

产生影响。但是我们可以看到这种影响是和 pitch 的长度 L 与进入到衬底内部的深度 z 有关系的。 L 的值越小或者进入到衬底的深度越大这种影响就会越小。可以证明要想这种影响不会明显影响载流子的漂移, L 和衬底的厚度需要满足以下关系[123]。

$$\frac{L}{\text{wafer thickness}} < \frac{1}{2} \quad (5.7)$$

也就是一个 pitch 的长度不能大于衬底厚度的一半。

5.2.5. 漏电收集阳极 (Sink Anode) 和 River 的设计

对于硅漂移探测器来说, 器件的漏电有一大部分是来自于器件的表面产生电流的。因此如果能减小器件的表面漏电就可以大大降低器件的整体漏电从而提高探测器的能量分辨率。减小器件的表面产生电流最直接的一个方法就是对器件的表面进行很好的钝化, 通过减小器件的表面态密度来减小器件的表面产生电流。但是这种方式对于表面产生电流的减小是有限的, 即使采用钝化效果最好的热氧化生长的氧化硅做钝化层还是会有 $180\text{nA}/\text{cm}^2$ 的表面产生电流[124]。因此有必要采用其它的方法来减小表面产生电流对信号的干扰。目前最常用的方法就是通过一种称为 sink anode 和 river 的结构将器件有效面积内所有氧化层界面的产生电流收集起来并导出体外从而避免表面产生电流被阳极收集[125,126]。Sink Anode 和 river 的结构如图 5.6 (a) 所示。River 结构实际上是在连续的漂移环上开出的一个个非常窄的通道, 这些通道将所有的漂移环之间的间隙连接到了一起, 然后将内环上的金属延伸到和外环之间的氧化层上如图 5.6 (b) 所示, 这将在氧化层下面产生一个指向衬底内部的电场, 因此表面产生的电子就被限制在氧化层和硅衬底的界面, 这些电子通过在漂移环上开出的通道即 river 聚集到了靠近探测器中心位置处的 Sink Anode 并被导出器件外部去了。采用这种结构之后, 表面产生的漏电被单独导出了, 因此器件的界面钝化效果对器件的影响就不明显了, 所以采用了这种结构之后, 对于器件表面钝化的要求可以适当降低一些。但是采用这种结构也是有缺点的, 一个是器件的结构复杂了, 尤其是对于漂移环之间的氧化层的厚度要求比较严格了。还有就是因为 Sink Anode 和阳极靠的较近, 这就会使一部分的信号电流被 Sink Anode 收集起来, 造成信号的损失 [127,128]。

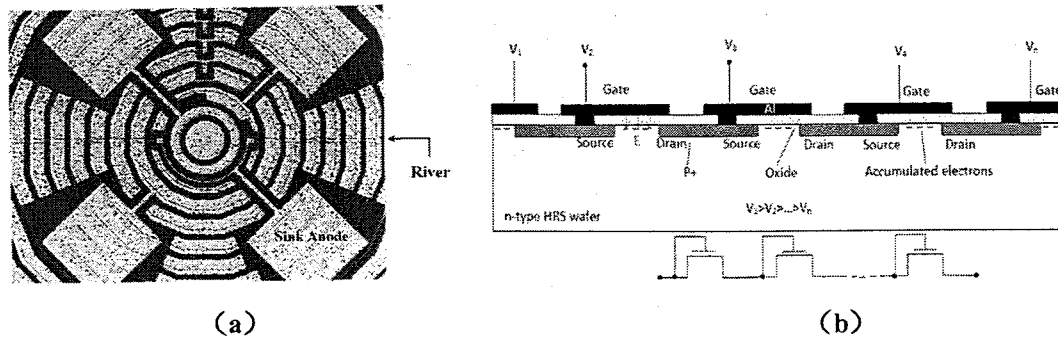


图 5.6 (a) Sink Anode 和 river 的平面结构图。(b) river 结构的截面示意图。

5.2.6. 分压电阻设计

分压电阻作为硅漂移探测器中一个非常重要的组成部分主要是用来给探测器中各个漂移环施加偏压的。为了在探测器的衬底中产生一个横向的漂移电场，就需要在漂移环上施加不同的偏压。但是一般的硅漂移探测器中的漂移环数量是非常大的，要单独的给每一个漂移环上施加电压是不现实的，所以就要通过在探测器中集成一个分压电阻，用该分压电阻给各个漂移环施加电压。这样就只需要在最外环和最内环两个电极上施加适当的电压就可以了。因此分压电阻的设计对于硅漂移探测器中横向漂移电场的产生进而对电子的横向漂移是非常重要的。对于分压电阻的设计首先要考虑的就是分压电阻的阻值。对于硅漂移探测器中的分压电阻一般要求其阻值尽量高一点。但是要想制备高阻值的分压电阻也不是一件简单的事情。一般常用的分压电阻是采用离子注入的方式来制备的，但是离子注入制备的电阻的方阻一般不是很高，所以就要通过增加分压电阻的长宽比来提高分压电阻的阻值。如图 5.7 所示，为了增加分压电阻的长度就要在漂移环的间隙处制备出一个个曲线形的分压电阻将漂移环连接起来。

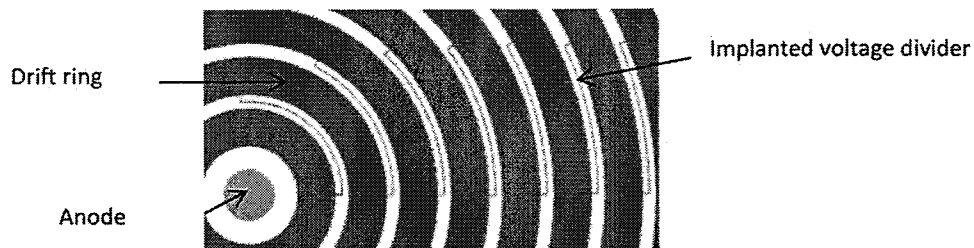


图 5.7 离子注入分压电阻结构示意图。

除了采用离子注入来制备分压电阻，还有一种方法可以制备高阻值的分压电

阻，那就是采用夹层电阻（pinched Resistor）。夹层电阻的结构示意图如图 5.8 所示[129]。

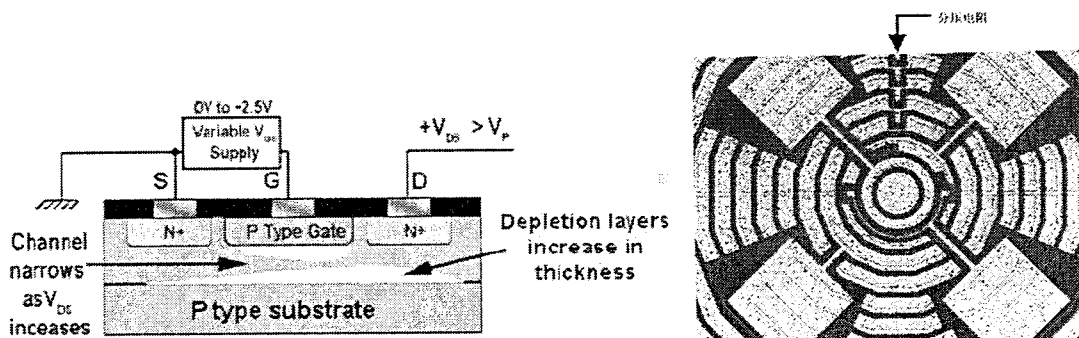


图 5.8 (a) 夹层电阻结构截面示意图。(b) 硅漂移探测器中采用夹层电阻结构制备的分压电阻实物图。

夹层电阻一个最大的优点就是其方阻值可以做的非常大，可以达到 $30\text{k}\Omega/\square$ 。而且采用夹层电阻不需要额外的工艺，只是在金属化的同时形成相应的金属图形就可以了。但是这种电阻也有缺点，那就是这种电阻的阻值和所加的偏压是相关的，而且电阻阻值受氧化层的厚度影响比较大，要想制备阻值分布均匀的分压电阻，需要氧化层的厚度在整个器件范围内非常均匀。

5.2.7. 保护环境设计

硅漂移探测器作为一种全耗尽器件，其中 PN 结上施加的反向偏压一般都比加大，而我们知道对于平面 PN 结，当所加的反向偏压比较大的时候，很容易在 PN 结的边缘处发生雪崩击穿[130]。造成击穿的因素主要有两个。一个是因为 PN 结在边缘处的曲率比较大，这将会产生一个比较大电场从而容易发生雪崩击穿[130,131]。另一个是因为在 PN 结边缘处的介质层里面一般都会有一定量的正电荷，这些正电荷会阻止耗尽区在表面附近的扩展从而导致耗尽区宽度的减小如图 5.9 所示[109]。耗尽区宽度的减小将导致电场的增加从而比较容易引起雪崩击穿。

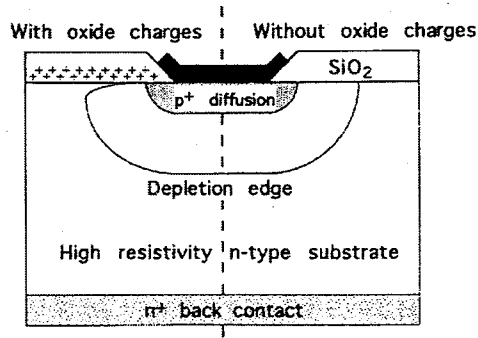


图 5.9 氧化层中的正电荷对下面耗尽区影响的示意图。

为了避免由于以上因素引起的在 PN 结边缘处的雪崩击穿，可以在 PN 结的外围区域设计一种保护环结构。保护环实际是一种用来限制主 PN 结边缘处电场的另一个 PN 结，所以保护环也被称为场限环。保护环本质上是和主 PN 结一样的 PN 结，所以保护环可以和主 PN 结一起制备。保护环防止 PN 结边缘处的雪崩击穿的原理如图 5.10 所示，在主 PN 结的附近制备另一个 PN 结，当在主 PN 结上施加反向偏压使得主 PN 结的耗尽区向外扩展并和旁边的 PN 结的耗尽区穿通之后可以有效降低主 PN 结边缘处的电场强度，从而起到防止雪崩击穿的作用。为了有效降低主 PN 结空间电荷区边缘的曲率，应该使得 W_0 和 W_1 的差别尽量小，这就要尽量降低两个 PN 结之间的穿通电压，而 PN 结之间的距离越小，穿通电压就越小，所以保护环和主 PN 结之间的距离应尽量小一些。

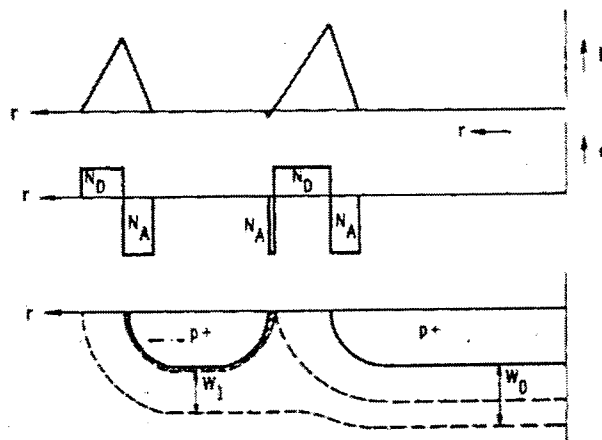


图 5.10 保护环防止 PN 结边缘处的雪崩击穿的原理示意图。

对于 PN 结所加反向偏压比较大的情况，单个保护环可能就不足以防止 PN 结边缘处的雪崩击穿了，这时候就要采用多个保护环的结构。多保护环结构其实

就是在单保护环的外面再多制备几个 PN 结作为保护环[109], 多保护环结构如图 5.11 所示。

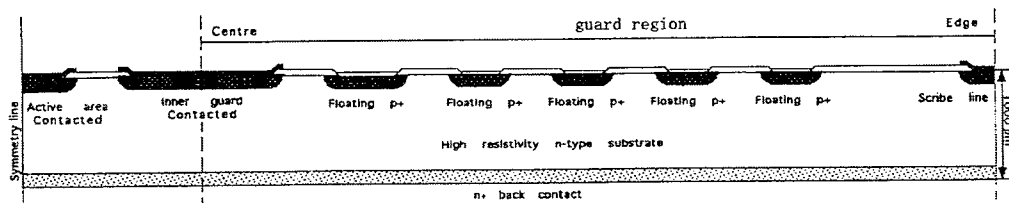


图 5.11 多保护环结构示意图[109]。

多保护环结构虽然可以有效提高 PN 结的击穿电压, 但是保护环占据的面积也明显增大了, 这对于某些探测器来说是非常不利的, 尤其是对于需要组成阵列的探测器更要尽量降低保护环占据的面积。为了以最小的保护环面积来达到有效防止 PN 结击穿的作用, 就需要对多保护环结构中环的间距和宽度进行合理设计。因此我们采用实验的方式对多保护环结构中保护环宽度和保护环之间的间距对 PN 结击穿电压的影响进行了分析。我们采用的保护环测试结构和上一章的 PN 结漏电测试结构非常相似, 其结构如图 5.12 所示。该结构的制备工艺也和 PN 结漏电测试结构制备工艺一样, 上表面的主 PN 结区域和保护环区域的 P+掺杂区都是通过先沉积 P 型掺杂的非晶硅然后高温退火的方式形成的。背面的 N+区域是通过先沉积 N 型掺杂的非晶硅然后再退火的方式形成的。

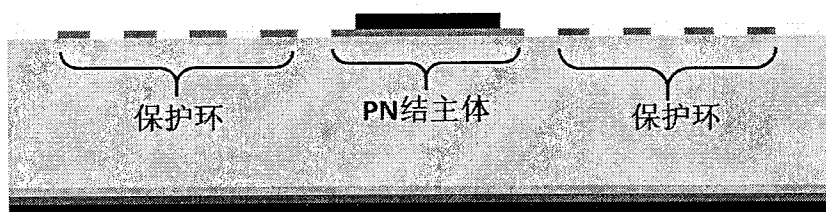


图 5.12 保护环击穿电压测试结构示意图。

我们主要分析了保护环的宽度和保护环之间的间距对 PN 结击穿电压影响。我们一共制备了 8 中不同的保护环结构, 其具体的结构参数由图 5.13 给出, 其中 R 代表保护环的宽度, G 代表保护环之间的间距。八种结构中保护环总的宽度是一定的, 都是 $800\mu\text{m}$ 。对于击穿电压的测试我们还是采用 CASCADE 的探针台和吉时利的半导体分析仪 S4200 完成的。通过在 PN 结两端进行 I-V 扫描,

我们可以得到 PN 结漏电随反向偏压的变化关系, 当 PN 结上施加的反向偏压达到击穿电压时, PN 结的漏电将会突然明显增大, 我们可以根据 PN 结漏电突然增大的反偏电压值得到 PN 结的击穿电压。8 中不同结构的 I-V 测试曲线由图 5.13 给出。可以看到对于 8 种结构, 当 PN 结两端的反向偏电压大于一定的值之后, PN 结的漏电确实都会明显增大, 这种电流的增大就是由于 PN 结边缘处的雪崩击穿造成的。不同保护环结构的击穿电压由表 5.1 给出, 可以看到相对于无保护环结构的 PN 结, 有保护环保护的 PN 结击穿电压明显提高了很多, 击穿电压最高可以提高 140V, 这说明保护环确实可以起到增加 PN 结击穿电压的作用。除此之外我们还可以看到, 保护环结构中保护环的宽度对于击穿电压的影响不是很明显, 而主要影响 PN 结击穿电压的参数是保护环之间的间距, 保护环之间的间距越小, PN 结的击穿电压越高。所以在对保护环进行设计时, 应尽量减小保护环的宽度和间距, 也就是在一定宽度内将保护环设计的密一些, 这样更有利于提高 PN 结的击穿电压。

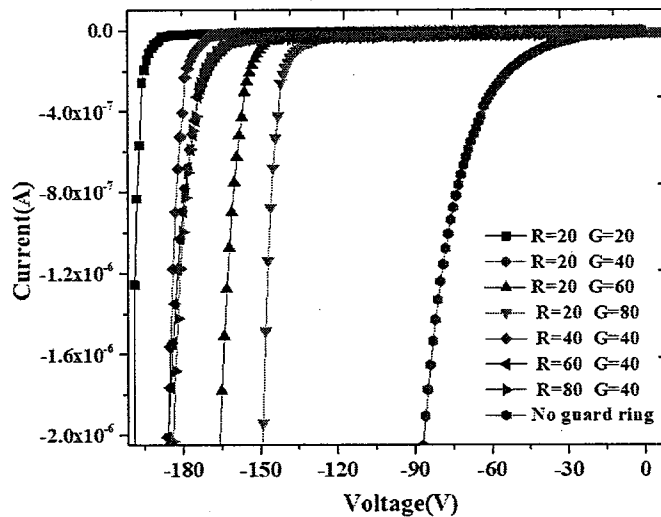


图 5.13 具有不同保护环结构的 PN 结的 I-V 测试曲线。

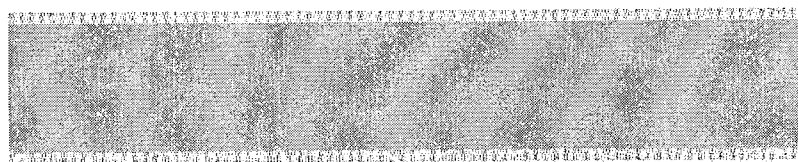
表 5.1 具有不同保护环结构的 PN 结的击穿电压

保护环结构 (μm)	R=20 G=20	R=20 G=40	R=20 G=60	R=20 G=80	R=40 G=40	R=60 G=40	R=80 G=40	无保 护环
击穿电压 (V)	190	180	155	140	183	180	180	50

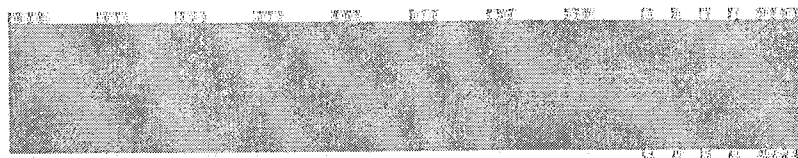
5.3 多晶硅薄膜在硅漂移探测器中的应用

5.3.1. 采用多晶硅薄膜单独制备分压电阻

我们在第四章中已经对多晶硅分压电阻的制备工艺以及多晶硅电阻的性能表征进行了详细介绍。通过多晶硅来制备的分压电阻不但具有比较大的方阻、比较小的温度系数绝对值，比较好的均匀性，而且我们还可以通过各种手段方便的对多晶硅电阻的阻值进行精确控制。这些优点使得多晶硅电阻非常适合被用来制备硅漂移探测器中的分压电阻。下面我们就对采用多晶硅来制备硅漂移探测器中的分压电阻的工艺进行介绍。该工艺中的多晶硅是先通过 APCVD 沉积然后经过高温退火形成的，多晶硅的掺杂是通过离子注入来完成的。具体的分压电阻的制备流程如图 5.14 所示[132]。首先采用热氧氧化的方式在高阻硅片的双面生长一层 300nm 厚的氧化硅。然后通过光刻的方式在双面的氧化硅上开出 P+掺杂窗口，这些窗口分别用来形成硅漂移探测器中的漂移环、保护环和入射窗口。然后采用 APCVD 在衬底的阳极面沉积一层本征非晶硅，接着采用光刻的方式将其余地方的非晶硅去掉，只留下要形成分压电阻的非晶硅。然后在衬底的双面进行硼离子注入，离子注入不但对开出的窗口区域进行了硼掺杂，也对要形成分压电阻的非晶硅进行了掺杂。离子注入完成之后通过高温退火对注入的杂质进行激活，与此同时将非晶硅转变为多晶硅，形成多晶硅分压电阻。最后进行金属化。



热氧生长氧化
硅



氧化硅上开出
P+掺杂窗口

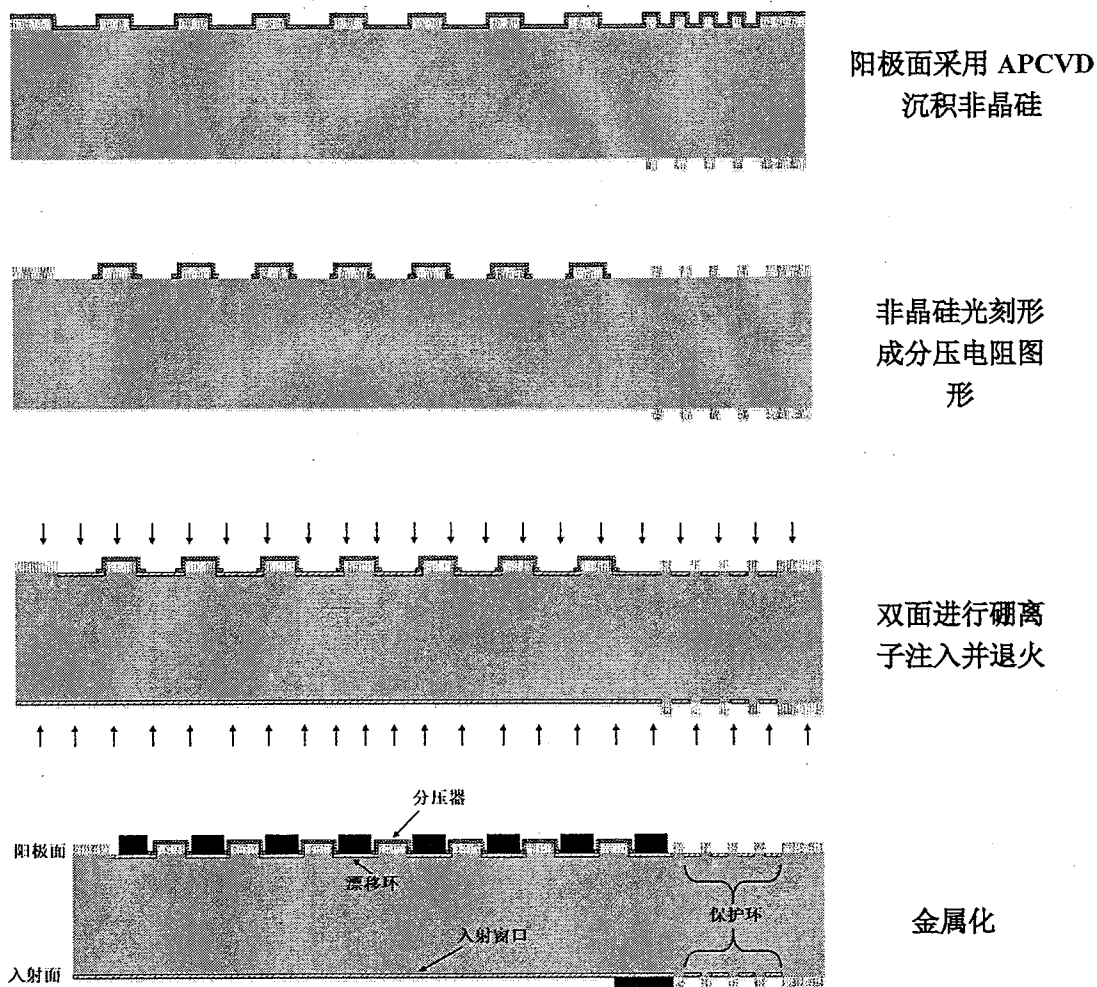


图 5.14 采用多晶硅制备硅漂移探测器中的分压电阻的工艺流程示意图。

我们在第四章中提到的用来精确控制多晶硅电阻的方法完全可以应用到以上制备工艺中。其中最有效也最精确的提高分压电阻阻值的方法就是增加分压电阻的长度。为了增加分压电阻的长度，我们制备的分压电阻在漂移环之间并不是一条直线，而是一条折线，如图 5.15 所示。通过采用这种形状，分压电阻的长度可以做的非常大从而分压电阻的阻值也可以做的非常大。而且因为分压电阻是直接氧化硅上形成的，所以即使分压电阻做的再长也不会对衬底内部的电势分布产生很大的影响。

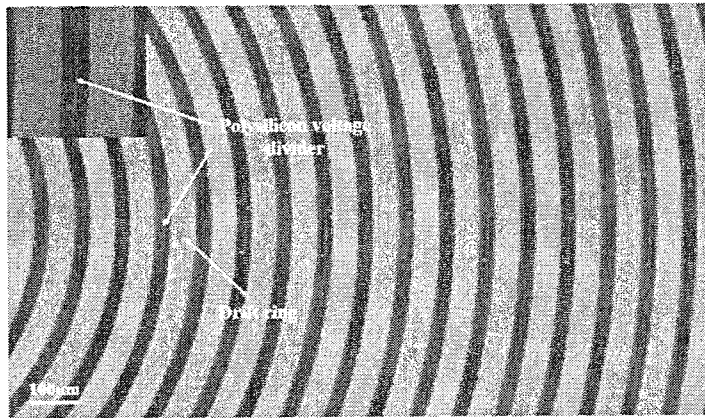


图 5.15 硅漂移探测器中的折线形多晶硅分压电阻实物图。

然而,采用这种方法来制备分压电阻时有一个非常关键的问题需要考虑一下。那就是分压电阻的连续性问题。因为分压电阻是在漂移环之间的氧化层上制备的,所以氧化层上的分压电阻和漂移环之间有一个高度差,要想使分压电阻和漂移环进行接触,多晶硅薄膜就必须在氧化硅的侧壁上保持很好的连续性,如果多晶硅薄膜在氧化硅层的侧壁上发生中断,那么就会导致整个分压电阻的中断,从而严重影响分压电阻的分压。因此我们通过扫描电子显微镜(SEM)对氧化硅侧壁上的多晶硅薄膜进行了观察,SEM观察结果如图5.16所示。可以看到多晶硅薄膜很好的覆盖了整个氧化层的侧壁,不但保持了很好的连续性,而且厚度分布也很均匀,即使在拐角处厚度也没有发生明显变化,这充分说明了多晶硅薄膜确实非常适合用来制备分压电阻。

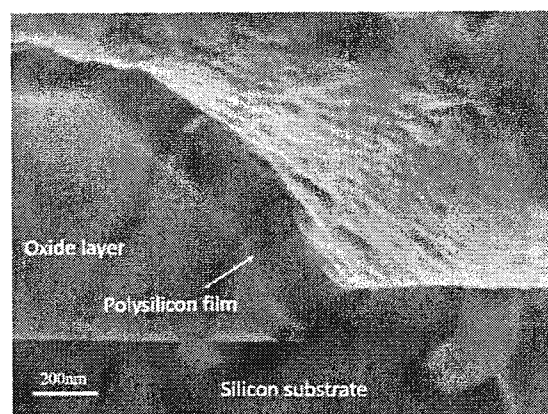
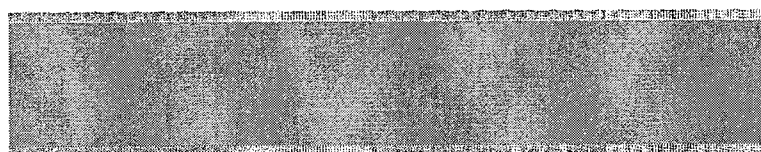


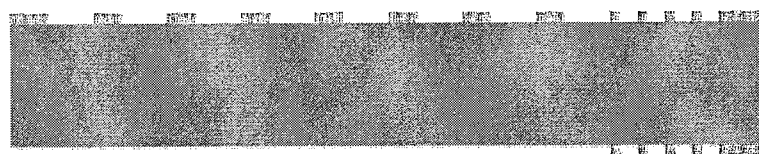
图 5.16 氧化层侧壁上多晶硅薄膜的覆盖情况的 SEM 观察结果。

5.3.2. 采用多晶硅薄膜同时制备漂移环和分压电阻

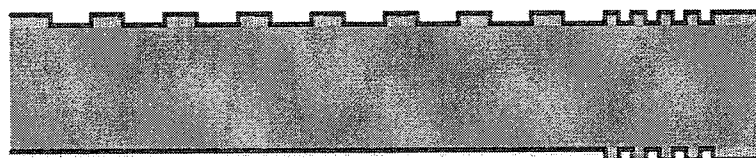
在第四章中我们介绍了两种用来制备多晶硅电阻的工艺，一种是采用 APCVD 和离子注入来制备，另一种是采用 APCVD 和原位掺杂来制备。第一种方式制备的多晶硅电阻在硅漂移探测器中的应用已经在上一小节中介绍了。下面我们就介绍采用 APCVD 和原位掺杂来制备的多晶硅电阻在硅漂移探测器中的应用。我们在第四章中其实还介绍了多晶硅薄膜的另外一种应用，那就是采用多晶硅薄膜来制备高质量的 PN 结。因为硅漂移探测器中的漂移环就是一个个的 PN 结，因此我们很容易就想到了采用多晶硅薄膜来同时制备漂移环和分压电阻。采用多晶硅薄膜来同时制备漂移环和分压电阻的具体工艺流程如图 5.17 所示。首先也是在高阻单晶硅双面采用热氧生长 300nm 厚的氧化硅，然后通过光刻在氧化硅上开出窗口用来形成漂移环、保护环、入射窗口。然后采用 APCVD 在衬底的双面沉积一层 P 型掺杂的非晶硅，接着对非晶硅层进行光刻，只保留开出的窗口中的非晶硅以及要用来形成分压电阻的非晶硅。然后在氮气氛围下进行高温退火，退火的过程中非晶硅变成了多晶硅，并且非晶硅中的杂质被激活，与此同时，非晶硅中的杂质在高温的作用下扩散到了衬底里面，在衬底表面形成了一个非常浅的 P+掺杂区。最后进行金属化。



热氧生长氧化
硅



氧化硅上开出
P+掺杂窗口



双面采用 APCVD
沉积 P 型掺杂非晶
硅

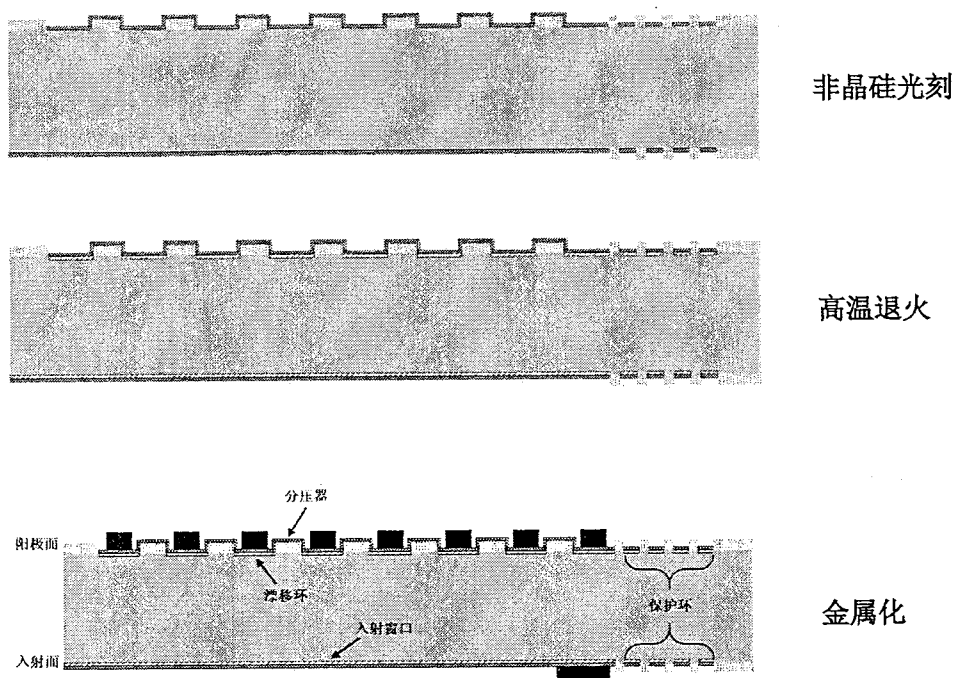
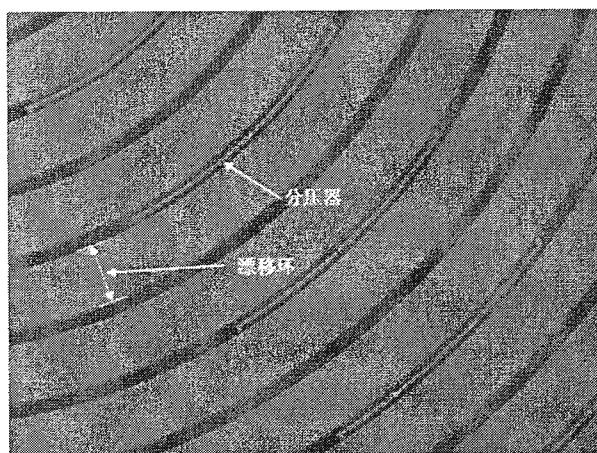


图 5.17 采用多晶硅同时制备分压器和漂移环、保护环、入射窗口的工艺流程示意图。

采用该方法来制备硅漂移探测器中的分压电阻、漂移环、保护环以及入射窗口相对于上一小节中的工艺省去了离子注入，工艺变得更加简单。除此之外，采用多晶硅制备的 PN 结相比于采用离子注入制备的 PN 结具有更小的漏电，更浅的结深，而且分压电阻和漂移环之间天然的形成了一个整体，不存在接触不好的问题。如图 5.18 所示，我们同样给出了采用该方法制备的分压电阻的平面视图以及氧化层侧壁上多晶硅覆盖情况的 SEM 图。可以看到多晶硅层对氧化层侧壁也是保形覆盖的。



(a)

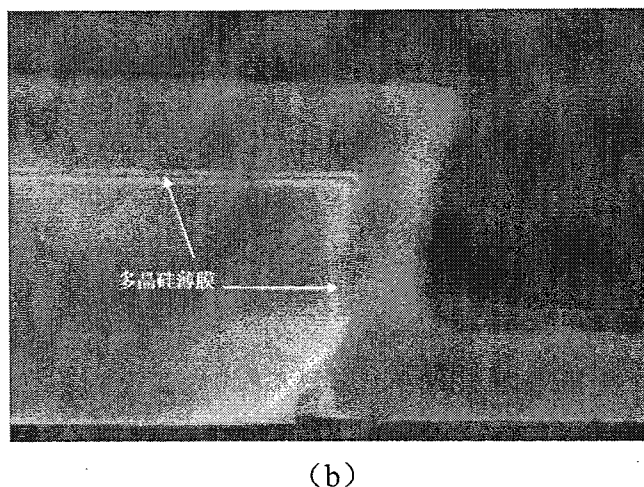


图 5.18 (a) 采用 APCVD 和原位掺杂制备的分压器和漂移环的光学显微镜观察图。(b)

多晶硅薄膜在氧化层侧壁上覆盖情况的 SEM 观察图

5.3.3. 采用多晶硅薄膜来制备入射窗口

硅漂移探测器可以被用来对高能量的 X 射线进行探测分析, 但是对于低能 X 射线 (100eV~1keV) 的探测也是硅漂移探测器一个非常重要的应用, 例如在 X 射线能谱分析中, 我们希望硅漂移探测器能探测的 X 射线的能量越低越好。但是一般来说, 硅漂移探测器对于 X 射线的探测效率是随着射线能量的降低而快速减小的。影响探测器对低能 X 射线探测效率的最重要的一个因素就是硅漂移探测器入射窗口上的死层的厚度[133]。死层是由于入射窗口表面的有一个具有一定厚度的 P+掺杂区域造成的。该 P+掺杂区域虽然可以吸收 X 射线的能量, 但是产生的光生载流子在分离之前就很快的复合了, 因此无法被阳极收集, 从而造成了一部分射线能量的损失, 这个可以吸收射线能量但是产生的光生载流子无法被阳极收集的 P+区域就是死层。从上面的解释我们可以发现, 入射窗口的 P+掺杂层的深度越大死层的厚度就会越大。因此为了提高硅漂移探测器对于低能 X 射线的探测效率, 入射窗口处的 PN 结结深越浅越好。如图 5.19 所示为 X 射线在硅中的衰减长度随能量的变化关系, 可以看到, 为了尽可能提高硅漂移探测器对低能射线的探测效率, 入射窗口的 PN 结的结深应尽量小于 25nm。对于如此浅的结深, 采用离子注入是很难实现的, 因为对于 40nm 以下的结深, 离子注入就已经很难达到了。所以必须采用其它方法来制备入射窗口的 PN 结。

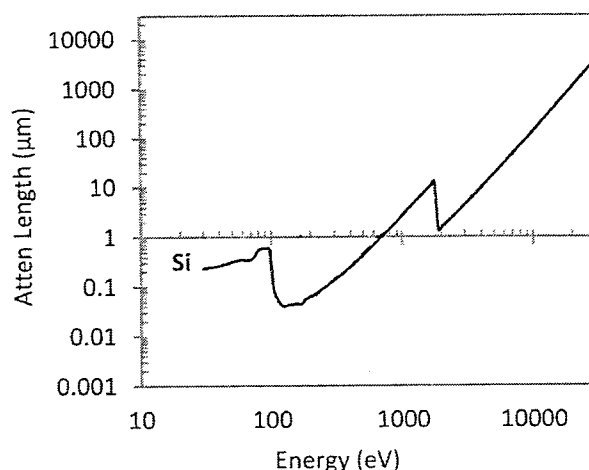


图 5.19 光子在硅材料中的衰减的长度和光子能量之间的关系[134].

我们在实验中发现，采用多晶硅不但可以制备高质量的 PN 结，而且还可以制备超浅 PN 结。首先在硅衬底上沉积一层非常薄的掺杂非晶硅，然后进行退火将非晶硅中的杂质推进到衬底中，通过控制推进的时间和温度就可以控制 PN 结的结深。我们在实验过程中主要是通过控制推进的时间来控制 PN 结的结深的。如图 5.20 所示为采用不同推进时间在硅衬底表面形成的 P+ 区域掺杂分布的 ECV 测试结果。初始沉积的非晶硅的厚度为 5nm，推进的温度为 760°C。我们可以发现，当退火时间缩短到 10min 之后，得到的 PN 结结深还不到 15nm，这么浅的结深完全满足硅漂移探测器探测低能射线的需求。除此之外，我们还可以发现对于不同的退火时间，衬底表面的掺杂浓度是一样的，这说明退火时间对于掺杂浓度的影响不大。我们在前一章已经分析过了，PN 结中 P+ 区的掺杂浓度不能太小，不然会造成 PN 结漏电的增大，所以我们通过退火时间太调控 PN 结的结深，不但可以得到非常浅的 PN 结，而且不会影响 P+ 区的掺杂浓度，从而不会造成 PN 结漏电的增加。

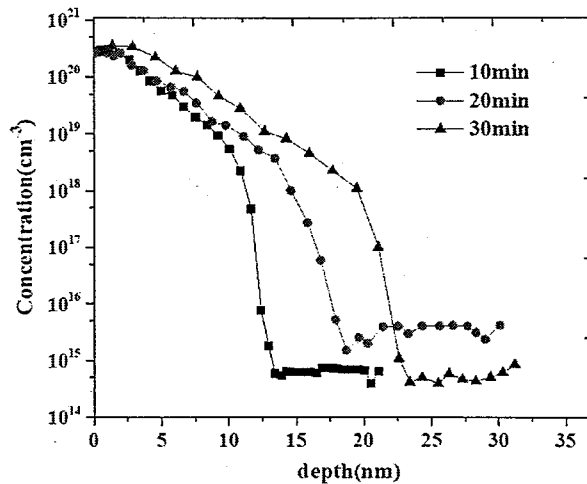


图 5.20 不同退火时间下采用多晶硅形成的 P+区的掺杂分布测试结果。

5.3.4. 采用多晶硅薄膜来制备硅漂移探测器的阳极

阳极在硅漂移探测器中其实就是一个 N+掺杂区域，因为该电极在工作时电位一般比其它电极都要高所以称之为阳极。阳极的作用是收集高能射线产生的电子，从而形成信号输出。为了保证高能射线产生的微弱信号能通过阳极快速的输出到外部电路中，阳极区域和金属电极之间要形成一个很好的欧姆接触，所以阳极区域一般是一个 N+掺杂区域。因此在硅漂移探测器的阳极面就既有 N+掺杂区域，又有 P+掺杂区域。采用离子注入来制备硅漂移探测器的工艺是通过两次离子注入的方式来形成这两种不同掺杂类型的区域的。因为采用光刻胶就可以作为离子注入的阻挡层，所以采用两次离子注入来形成 N+区域和 P+区域是非常简单的。但是对于采用多晶硅薄膜来制备硅漂移探测器的工艺来说就没有这么简单了。要想形成阳极区的 N+掺杂，就必须在阳极区沉积一层 N 型非晶硅薄膜，但是因为其他区域，如漂移环、保护环以及分压电阻要采用沉积 P 型非晶硅薄膜的方法来制备，所以无论是先沉积 P 型非晶硅还是先沉积 N 型非晶硅，肯定会发生 P 型非晶硅和 N 型非晶硅重叠的情况，这就需要将不同掺杂类型的非晶硅薄膜叠层上面的一层非晶硅给去掉，但是又不能影响到下面的非晶硅薄膜。因为我们沉积的非晶硅薄膜都是非常薄的，所以无论是采用湿法刻蚀还是采用干法刻蚀都有可能对下面的非晶硅薄膜产生影响，而且这还会大大增加工艺的复杂程度。

对于这一问题，其实我们在采用 Poly-TOPCon 结构来制备 IBC 太阳能电池背面结构的时候就已经遇到过了。我们当时的解决办法是先沉积 N 型非晶硅再沉

积 P 型非晶硅, 然后通过一个退火工艺将 N 型非晶硅上面的 P 型非晶硅补偿成 N 型的。该方法完全可以直接应用到硅漂移探测器阳极区域的制备中去。我们可以先在阳极面沉积一层 N 型非晶硅, 然后通过光刻去掉阳极以外的 N 型非晶硅, 然后我们再沉积一层 P 型非晶硅, 接着通过光刻去掉漂移环、保护环、分压电阻以及阳极以外区域的 P 型非晶硅, 这时阳极区域上面形成了 N 型非晶硅和 P 型非晶硅的叠层, 然后通过一个高温退火工艺就形成了一个完全的 N+掺杂的阳极区域了。为了确保上面的 P 型非晶硅能被完全补偿成 N 型的, 我们对经过不同温度退火的非晶硅叠层的掺杂分布进行了 ECV 测试, 测试结果如图 5.21 所示。可以看到, 两个经过不同温度退火的样品的上面一层多晶硅都已经被完全补偿成 N 型的了, 但是由于上面的多晶硅是经过补偿之后反型的, 所以上面的多晶硅的掺杂浓度明显要比其下面的多晶硅的掺杂浓度低。采用这种补偿的方式我们不但可以完全采用多晶硅薄膜技术来制备硅漂移探测器了, 而且制备工艺得到了大大简化, 这对于提升器件性能、降低制备成本是非常有利的。

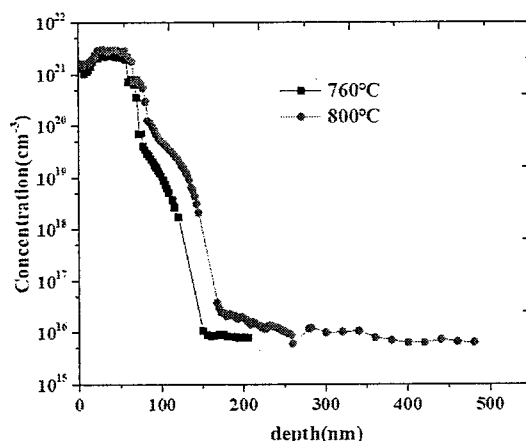


图 5.21 采用不同温度进行退火之后的 N 型多晶硅和 P 型多晶硅叠层的掺杂分布测试结果。

5.4 本章小结

在本章中我们首先对硅漂移探测器中各个关键结构的设计原理和方法进行了简单介绍, 这一部分主要是总结前人在硅漂移探测器设计方面总结的经验, 但是对于衬底掺杂浓度的确定和保护环的设计我们也进行了一些具体的实验来分析。然后我们介绍了采用多晶硅薄膜来制备硅漂移探测器中的分压电阻、漂移环、入射窗口、阳极等结构的方法以及优势, 通过分析我们发现多晶硅薄膜技术确实

非常适合用来制备硅漂移探测器。本章具体研究内容和取得的成果如下：

- (1) 对前人积累的硅漂移探测器设计方面的经验和方法进行了系统的介绍，对后续硅漂移探测器的实际流片起到了一定的指导作用。
- (2) 采用 PN 结的 CV 方法对实验中用到的高阻硅片的掺杂浓度和掺杂均匀性进行了表征，因为衬底掺杂浓度将影响硅漂移探测器中很多结构参数的设计，所以对衬底掺杂浓度的表征对于下一步硅漂移探测器的结构设计是很关键的。通过测试我们发现，我们采用的硅衬底的掺杂浓度在 $4 \times 10^{11} \text{cm}^{-3}$ 到 $5 \times 10^{11} \text{cm}^{-3}$ 之间，而且衬底掺杂的均匀性也比较好。
- (3) 通过实验分析了保护环结构对 PN 结击穿电压的影响，发现保护环确实可以大大提高 PN 结的击穿电压，而且影响 PN 结击穿电压的因素主要是保护环之间的间距，而和每个保护环的宽度关系不大。
- (4) 采用 APCVD 和离子注入制备的多晶硅薄膜电阻来制备硅漂移探测器中的分压电阻。
- (5) 采用 APCVD 和原位掺杂来同时制备硅漂移探测器的分压电阻和漂移环，大大降低了工艺的复杂程度。
- (6) 采用多晶硅薄膜来制备超浅 PN 结用来作为硅漂移探测器的入射窗口，这对于探测器探测器低能射线是非常有利的。通过控制多晶硅的退火时间制备出了结深只有 14nm 的超浅 PN 结。
- (7) 采用杂质补偿技术实现了探测器阳极面 N+区和 P+区的同时制备，大大简化了制备工艺，使得完全采用多晶硅薄膜技术来制备硅漂移探测器成为了可能。

第六章 基于多晶硅薄膜技术的硅漂移探测器的制备与性能测试

6.1 引言

在前面两章中我们对多晶硅电阻制备技术以及其在硅漂移探测器设计中的应用进行了详细的介绍。我们发现采用多晶硅薄膜技术来制备硅漂移探测器具有很多优势,不但可以有效提高器件的性能而且可以使器件制备工艺的复杂程度大大降低。因此我们采用多晶硅薄膜技术进行了多次硅漂移探测器的流片,并对得到的硅漂移探测器芯片进行了各种性能参数的测试分析。因此在这一章中我们首先对采用多晶硅薄膜技术进行硅漂移探测器流片的具体工艺进行详细介绍,。然后我们介绍了对硅漂移探测器进行的一系列的性能测试分析。因为硅漂移探测器是一种结构比较复杂的器件,所以器件性能分析起来也比较复杂,要分析的方面比较多,但是总的来说可以分为两个方面。一个是器件的静态电学性能测试,包括器件的漏电测试、分压电阻性能测试、工作电压测试等。另一方面是器件的动态信号测试,该测试就是采用各种信号源对探测器进行照射,观察探测器输出信号的性能。我们通过测试发现采用多晶硅薄膜技术制备的硅漂移探测器基本可以实现对高能粒子和脉冲激光信号源的探测,而且某些静态电学性能相对于传统的硅漂移探测器性能得到了很大提升,这说明多晶硅薄膜技术在制备高性能硅漂移探测器方面确实具有非常大的潜力。

6.2 基于多晶硅薄膜技术的硅漂移探测器的流片工艺介绍

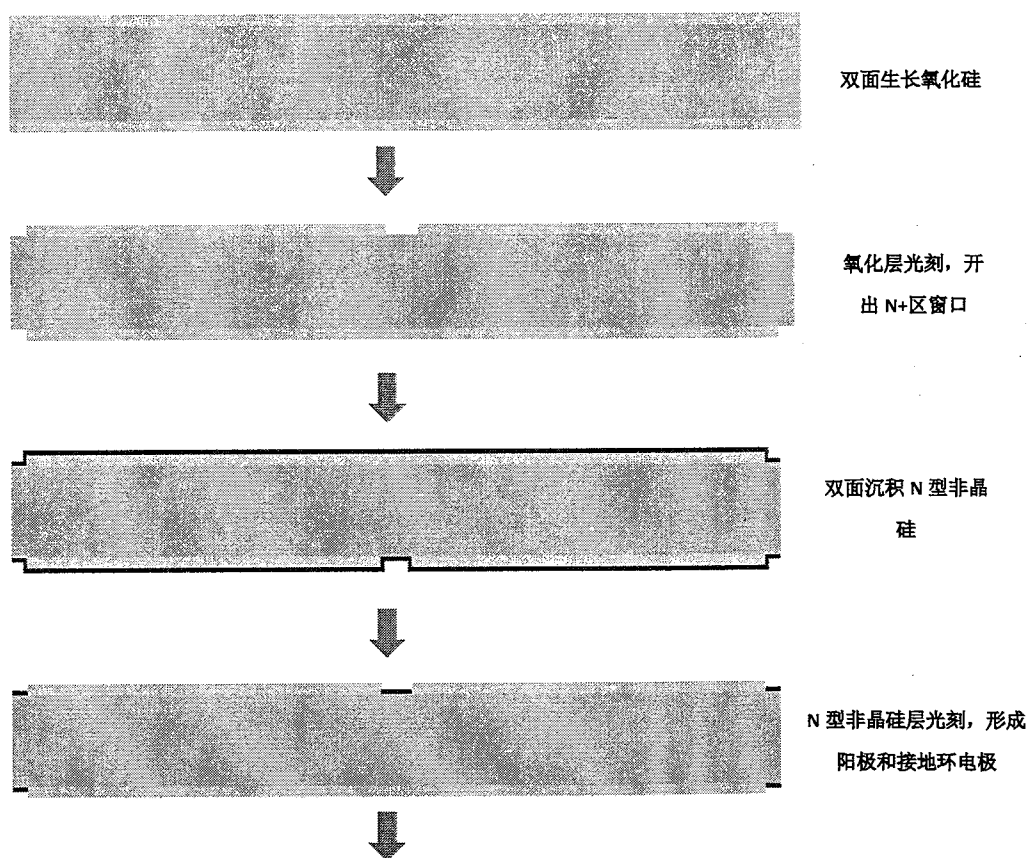
6.2.1. 衬底介绍

我们用来流片的硅片为2寸的FZ晶圆片,硅片为磷掺杂的N型硅片,硅片的电阻率为 $2\text{k}\Omega\cdot\text{cm}\sim 10\text{k}\Omega\cdot\text{cm}$,晶向为 $\langle 100 \rangle$,硅片两面都是抛光的,硅片的厚度为 $400\pm 25\mu\text{m}$ 。

6.2.2. 工艺流程介绍

我们在采用多晶硅薄膜来制备硅漂移探测器的过程中,主要是采用多晶硅薄膜来形成硅漂移探测器的分压电阻、阳极、漂移环电极、保护环、接地环电极、

入射窗口电极。具体的制备工艺流程如图 6.1 所示。首先在单晶高阻硅片的双面采用热氧氧化的方式各生长 300nm 的氧化硅。然后通过光刻的方式在两个面的氧化硅上开出 N+掺杂区窗口,这些窗口用来形成器件的阳极区和接地环电极区。然后在样品的双面采用 APCVD 各沉积一层 N 型掺杂的非晶硅,接着对非晶硅层进行光刻,将 N+掺杂区窗口以外的非晶硅都去掉,只留下窗口内的非晶硅。然后再通过光刻的方法,在两个面的氧化硅层上开出 P+掺杂区窗口,这些窗口用来形成漂移环、两面的保护环、入射窗口。然后在两面采用 APCVD 各沉积一层 P 型掺杂非晶硅,接着对 P 型非晶硅进行光刻,只保留已开出的窗口内的和要形成分压电阻的 P 型非晶硅。此时在 N+掺杂区窗口内 N 型非晶硅和 P 型非晶硅重叠在了一起。然后在氮气氛围下进行高温退火。退火的过程中,非晶硅变成了多晶硅,非晶硅中的杂质被推进到了衬底中,并且 N 型非晶硅和 P 型非晶硅叠层中的 P 型非晶硅被补偿成 N 型多晶硅,此时硅漂移探测器中的阳极、接地电极、漂移环、保护环、分压电阻、入射窗口就都已经形成了,最后通过光刻在阳极、接地环、漂移环,入射窗口上形成金属接触。金属化完成之后就可以进行划片和测试了。



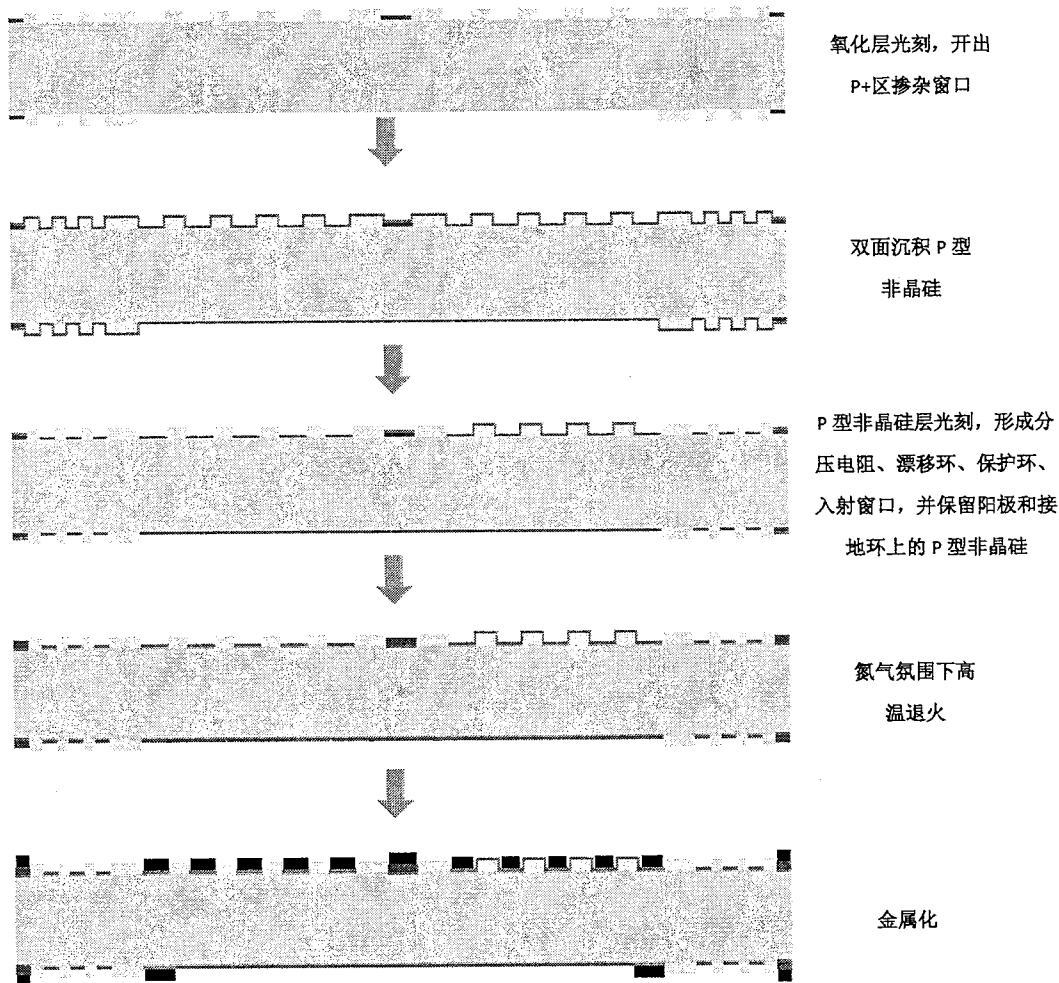


图 6.1 采用多晶硅薄膜制备硅漂移探测器的完整工艺流程图。

如图 6.2 所示为我们流片最后得到的含有硅漂移探测器芯片的晶圆片。可以看到我们在一个硅片上一共制备了 9 个硅漂移探测器芯片，其中直径为 2cm 的芯片一个，直径为 1cm 的芯片 4 个，直径为 0.5cm 的芯片 4 个。以上尺寸我们是针对探测器的有效面积说的，有效面积也就是入射窗口的面积，在入射窗口外部还有保护环也占有一定的面积。具体的器件尺寸如表 6.1 所示。

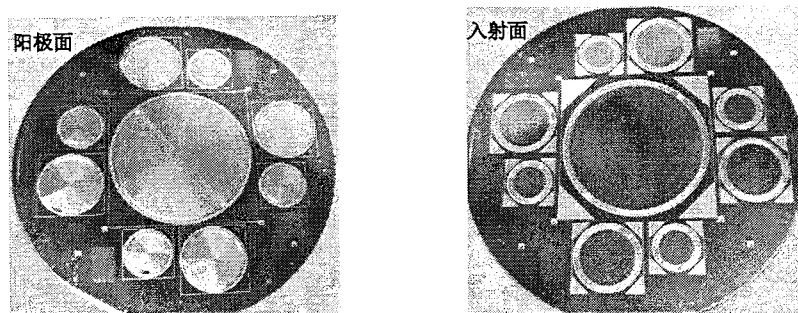


图 6.2 含有硅漂移探测器芯片的晶圆片实物图。

表 6.1 三种不同尺寸探测器的详细结构参数及其具体数值。

	阳极半径 (μm)	第一环内径 (μm)	漂移环宽度 (μm)	漂移环间距 (μm)	漂移环个数	保护区宽度 (μm)	接地环内径 (μm)
D 有效区=2cm	50	50	120	35	64	450	10600
D 有效区=1cm	50	50	120	35	32	450	5600
D 有效区=0.5cm	50	30	75	25	25	450	3100

6.3 硅漂移探测器的测试分析

6.3.1. 硅漂移探测器静态电学特性测试

6.3.1.1. 硅漂移探测器的漏电测试

硅漂移探测器制备完成之后我们首先进行的就是对硅漂移探测器的暗态漏电进行测试，暗态漏电可以用来作为对器件中的表面钝化、PN 结质量、保护环结构进行评价的一个综合指标，因为这些因素的变化都会明显影响器件暗态漏电的大小。首先我们测试的是探测器的入射窗口和阳极之间的暗态漏电。因为入射窗口是一个均匀的覆盖整个器件有效面积的一个电极，所以在入射窗口和阳极之间加反向偏压之后，衬底内部的耗尽区是从入射窗口整体向阳极面推进的，当加到衬底的耗尽电压时，整个器件的有效区也就都耗尽了，再加上边缘的接地电极已经屏蔽器件外部漏电的影响，因此，此时阳极的漏电流就是衬底的全耗尽漏电流。具体测试结构示如图 6.3 所示。

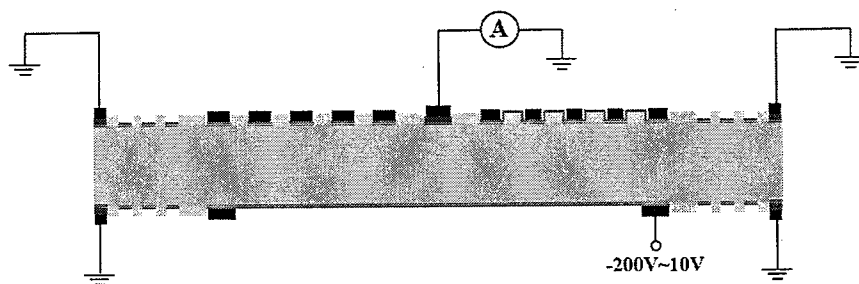
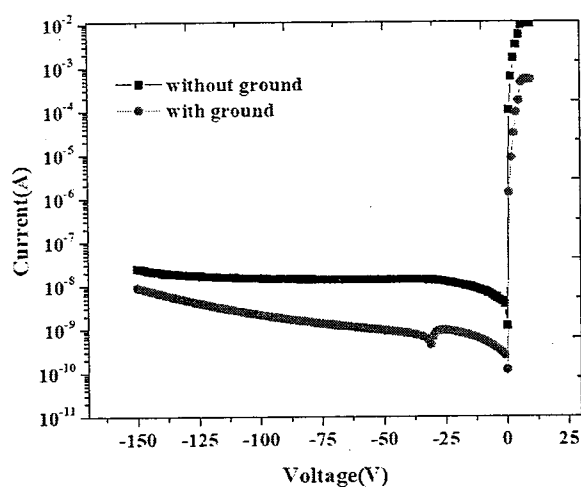


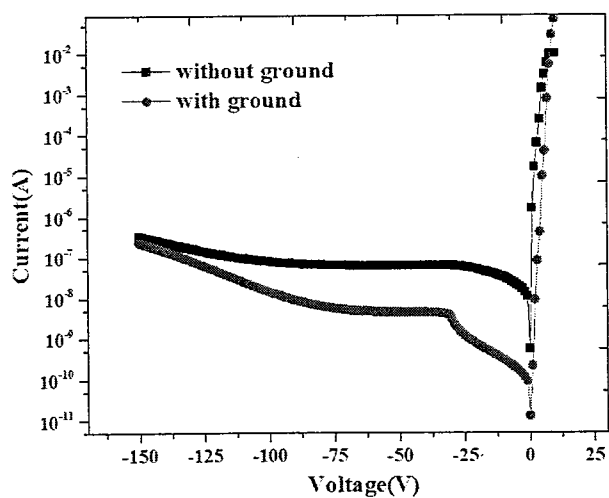
图 6.3 硅漂移探测器全耗尽漏电测试结构示意图

如图 6.4 所示为三种尺寸的硅漂移探测器的漏电测试结果。其中每一种尺寸的器件都采取了两种不同的测试方式，一种是在最外面的接地电极没有接地情况前进行的测试，一种是在接地电极接地的情况下进行的测试。我们可以看到，接地环接不接地对于器件的漏电的影响还是比较明显的，这是因为探测器芯片是通过机械划片的方式从晶圆上切割下来的，划片的过程中会在器件边缘造成很多缺

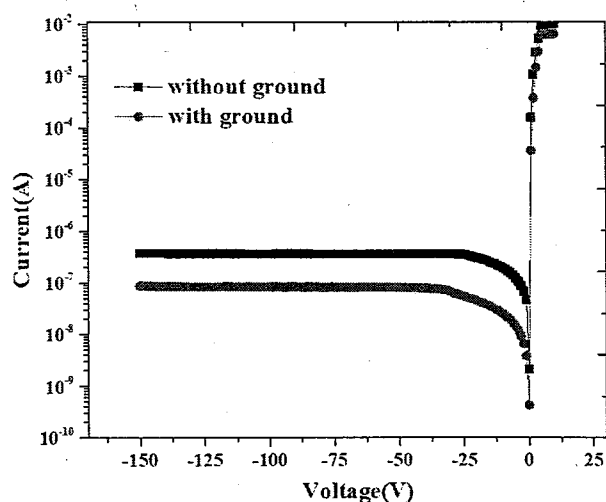
陷, 这些缺陷将会引起非常大的漏电, 而接地环的作用就是屏蔽器件边缘由于划片造成的漏电, 所以接地环对于器件来说是必不可少的[2]。从图 6.4 我们还可以看到, 器件的面积对于器件的漏电影响也是非常大的, 器件的全耗尽漏电流基本上是和器件的面积是成正比的, 这主要是因为组成器件漏电的三个主要部分包括表面产生电流、体产生电流、PN 结扩散电流都是和器件的面积成正比的[108], 所以, 硅漂移探测器的面积越大, 对器件漏电控制的要求就越高, 制备起来也就越困难。



(a)



(b)



(c)

图 6.4 不同尺寸的硅漂移探测器芯片的全耗尽漏电测试结果。(a) 器件有效区直径为 0.5cm。(b) 器件有效区直径为 1cm。(c) 器件有效区直径为 2cm。

从上面的分析我们可以知道，制备大面积的硅漂移探测器是困难的，其中一个非常重要的原因就是器件漏电会随着器件面积的增加快速增大，然而通过控制器件的制备工艺和结构设计对器件的漏电的减小是非常有限的，因此必须采用其它方法来有效降低器件的漏电。通过对 PN 结三种漏电计算公式的研究我们发现，还有一个非常重要的参数对于 PN 结的漏电影响是非常大的，这个参数就是 PN 结的温度。通过分析我们发现三种漏电和温度具有如下关系[135]：

$$I_{bulk} \propto T^2 e^{\frac{-E_g}{2kT}} \quad (6.1)$$

$$I_{diff} \propto T^3 e^{\frac{-E_g}{kT}} \quad (6.2)$$

$$I_{surf} \propto T^2 e^{\frac{-E_g}{2kT}} \quad (6.3)$$

其中 E_g 为硅衬底的禁带宽度， k 为玻尔兹曼常数。可以看到 PN 结的这三种漏电是随着温度的增加快速增大的，相反的，我们也可以通过降低温度来大大降低 PN 结的漏电。

如图 6.5 所示为我们在不同温度下测得的直径为 2cm 的器件的漏电，可以看到当测试温度降低到零下 20℃时，器件的漏电下降了将近一个数量级，这说明降低器件温度确实可以大大减小器件漏电。但是当测试温度从 -20℃继续下降到 -40℃时，器件的漏电变化就不明显了，这说明器件中还有不受温度影响的漏电机

制,当温度降低到一定程度之后,该机制就起主要作用了。所以器件的温度不用降得非常低,只要降到-20℃左右就可以了。

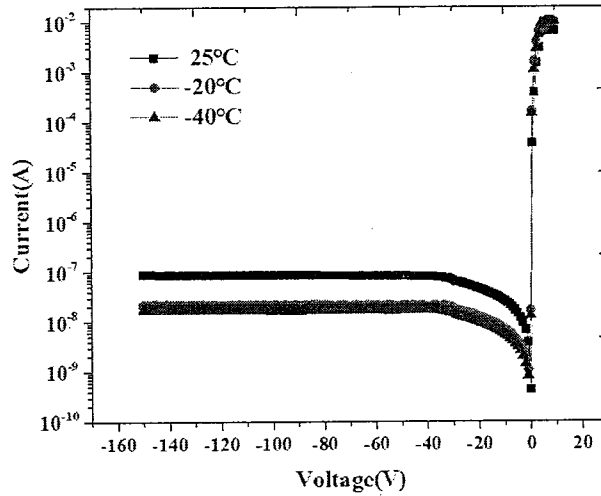


图 6.5 不同温度下直径为 2cm 的探测器全耗尽漏电测试结果对比图。

我们从上面 PN 结的 I-V 特性测试结果中还可以看到,随着 PN 结上正向偏压的增大,PN 结正向导通电流迅速增加,表现出明显的 PN 结正向导通 I-V 特性,这说明我们采用多晶硅来制备的阳极区确实和金属电极形成了良好的欧姆接触,而且叠加在 N 型非晶硅上的 P 型非晶硅确实变成了 N 型多晶硅,因为如果 P 型非晶硅没有被完全补偿的话,那测试结构就是一个 PNP 结构,不会出现这么明显的 PN 结特性。

硅漂移探测器在正常工作情况下不只是在阳极和入射窗口之间施加电压,还要在最内环和最外环上施加合适的电压。一般硅漂移探测器各个电极上施加电压的原则是,入射窗口施加的反向偏压应该比耗尽电压大一点,最内环上施加一个相对于阳极比较小的反向偏压,而且最内环和入射窗口之间的压差不能超过衬底的耗尽电压。最外环上施加的电压一般是入射窗口上电压的两倍[136]。因此要想得到器件在正常工作状态下的漏电,必须给相应的电极都加上合适的电压,然后测量阳极漏电流。因此我们采用如图 6.6 所示的测试方式,首先固定 V_{ring1} 和 $V_{entrance}$,然后将 V_{ringX} 从 -200V 扫描到 5V,观察阳极电流 I_{anode} 和 V_{ringX} 的关系。通过取不同的 V_{ring} 和 $V_{entrance}$ 的值,我们也可以得到 V_{ring1} 和 $V_{entrance}$ 的值对阳极漏电的影响。测试结果如图 6.7 所示。

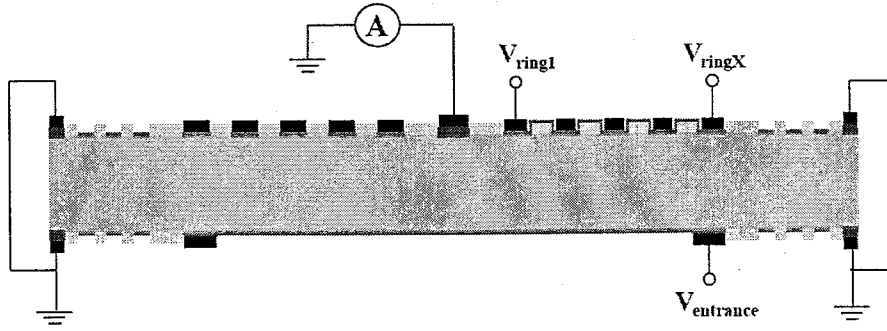
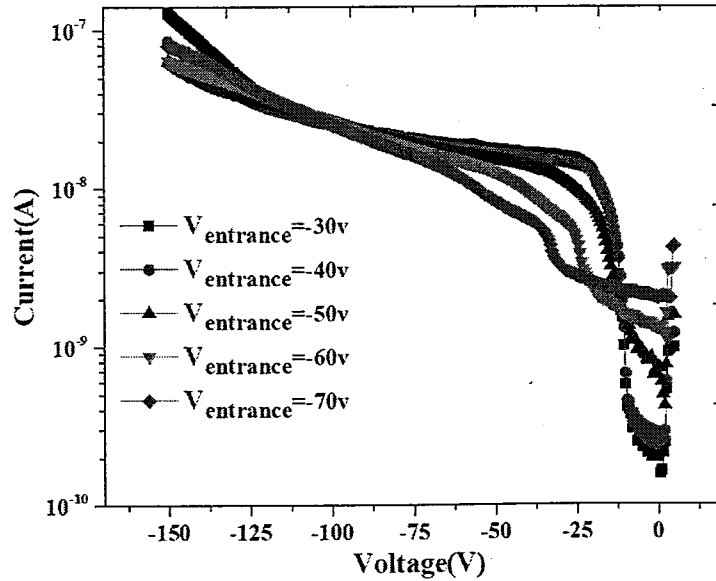
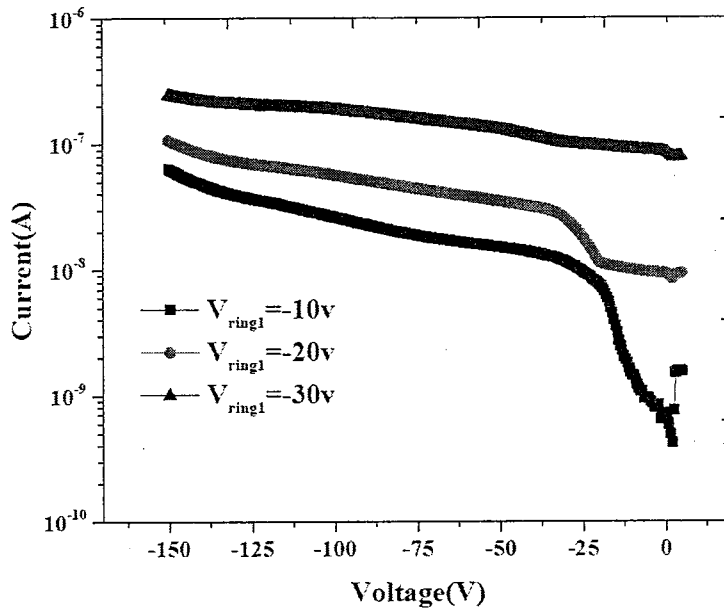


图 6.6 器件正常工作状态下的漏电测试结构示意图。

图 6.7(a)为固定 V_{ring1} 为-10v, 然后取不同的 $V_{entrance}$ 值得到的阳极漏电 I_{anode} 和 V_{ringX} 的关系。因为我们所用的衬底的耗尽电压大概在-40v 左右, 所以器件正常工作状态下 V_{ringX} 的值应为-90v 左右, 所以从图 6.7 (a) 中我们可以看到入射窗口的电压对器件正常工作状态下的阳极漏电影响不大。图 6.7(b)为固定 $V_{entrance}$ 为-45v, 然后取不同的 V_{ring1} 值得到的阳极漏电 I_{anode} 和 V_{ringX} 的关系。可以看到 V_{ring1} 的值对于探测器阳极漏电的影响是非常大的, 随着 V_{ring1} 的增大阳极漏电增加的非常明显, 所以在器件正常工作状态下, V_{ring1} 的值不能太大。但是因为第一环和入射窗口之间的压差不能超过器件的耗尽电压, 所以当入射窗口电压为-45v 时, 第一环电压为-10v 就可以。



(a)



(b)

图 6.7 (a) 固定最内环电压为-10v, 在不同入射窗口电压的情况下, 阳极漏电和最外环电压之间的关系: (a) 固定入射窗口电极电压为-10v, 不同最内环电压的情况下, 阳极漏电和最外环电压之间的关系。

6.3.1.2. 器件工作电压的确定

我们上一节中已经提到了硅漂移探测器各个电极上加电压的原则。可以看到各个电极上所加的电压都是和衬底的耗尽电压有关系的, 或者说是参照衬底的耗尽电压来施加的。因此要想确定硅漂移探测器上各个电极所加电压, 就必须知道衬底的全耗尽电压。

我们在上一章中介绍过, 通过 PN 结的 CV 测试可以得到衬底的掺杂浓度, 然后通过衬底的掺杂浓度和厚度可以计算出衬底的耗尽电压。但是这种通过间接的方式来计算衬底耗尽电压的方法存在几个问题。首先, 理论计算采用了各种近似, 因此得到的结果可能和实际的情况有误差。其次, 因为就算是同一批硅片, 不同硅片之间的掺杂浓度也会是不一样的, 甚至是同一个硅片不同位置处的掺杂浓度也会有波动, 所以采用单项实验的方法对一个硅片的耗尽电压进行测试并不能准确代表其他硅片的耗尽电压。最后, 硅漂移探测器流片过程中的一些高温工艺也有可能造成衬底掺杂浓度的变化, 从而造成器件耗尽电压的变化。因此我们希望能有一个直接的方法对已经制备好的探测器芯片的耗尽电压进行测试。C.

Fiorini 等人在 2000 年的时候提出了一种可以用来方便测量硅漂移探测器耗尽电压的方法，该方法的原理示意图如图 6.8 所示[39]。该方法中，首先将阳极和接地环接地，然后固定最内环上的电压不变为 V_{ring1} ，然后改变最外环电压 V_{ringX} ，如图 6.8 所示，随着最外环上反向偏压的增大，耗尽区开始从阳极面向入射面扩展，因为漂移环上的反向偏压是从外向内逐渐减小的，所以耗尽区的深度也是从外向内逐渐减小的，所以最外环下面的耗尽区宽度最大。当最外环施加的反向偏压达到耗尽电压时，最外环下面的耗尽区将会扩展到衬底的入射面并和入射面 P+区 产生的空间电荷区连接到一起，当最外环下面的耗尽区和入射面的耗尽区连接到一起的时候，最外环和入射面之间的电势差就不再变化了，这就意味着入射面 P+区的电势将会随着最外环反向偏压的增大而增大，所以我们可以用一个电压表来监控入射面的电势，当入射面电势开始变化时的 V_{ringX} 值就是衬底的耗尽电压。

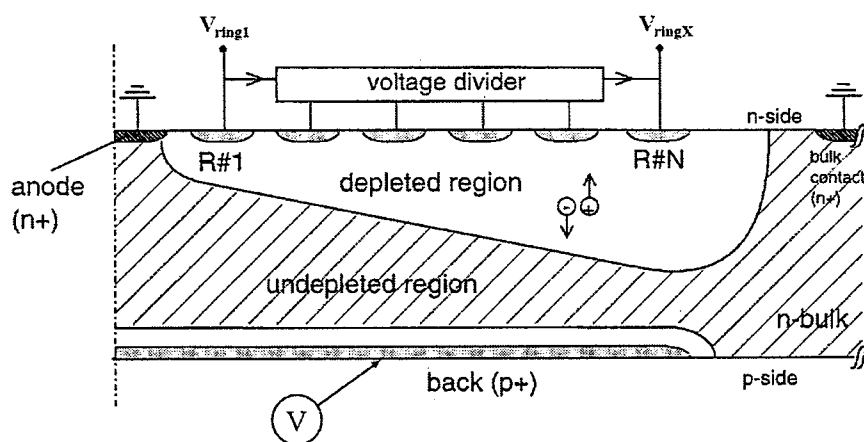


图 6.8 耗尽电压测试原理示意图[39]。

我们通过这种方法对一个晶圆上的三种不同尺寸的硅漂移探测器芯片的耗尽电压进行了测试，测试结果如图 6.9 所示。可以看到三种尺寸的硅漂移探测器芯片的耗尽电压都是 -40V。这说明这种测试耗尽电压的方式是不受器件面积的影响的，而且也说明了该衬底掺杂的均匀性也比较好。

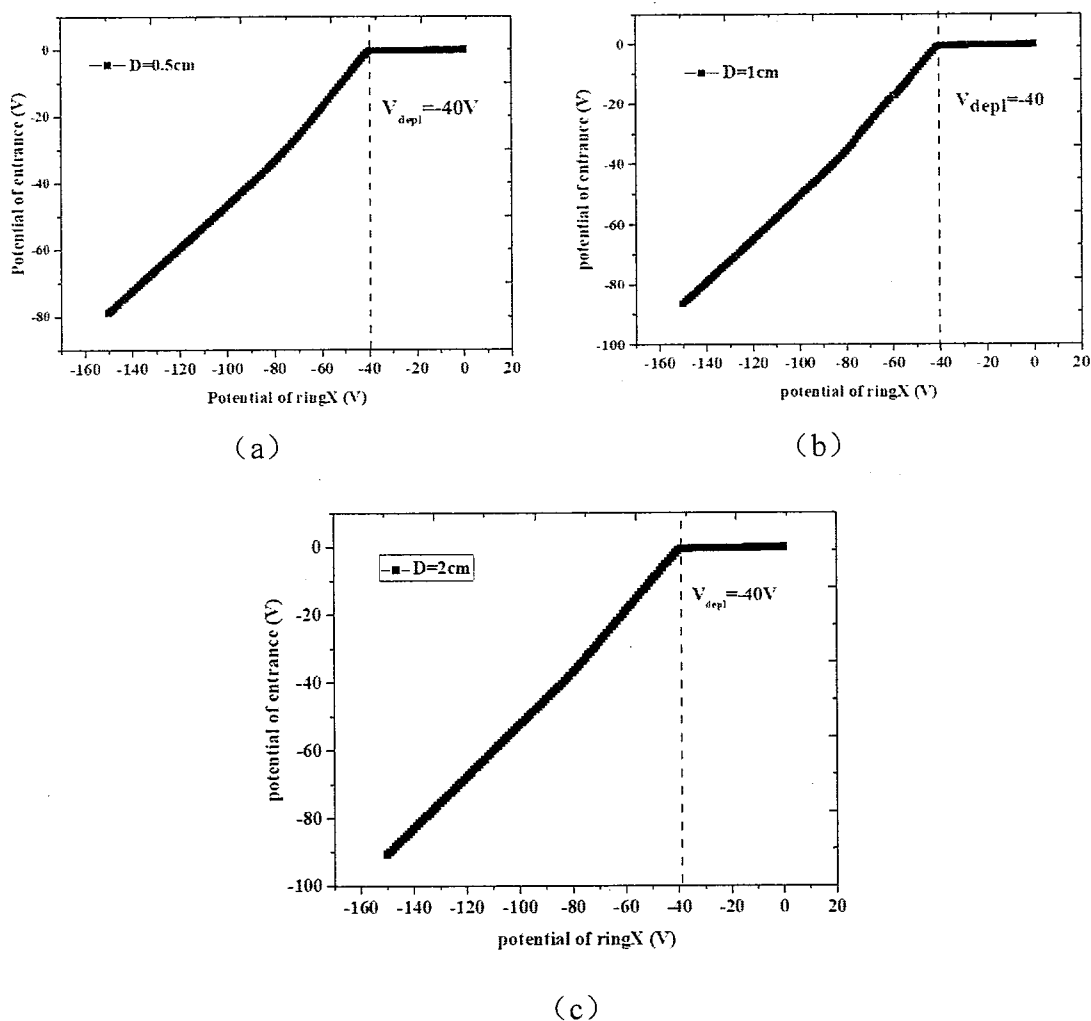


图 6.9 三种不同尺寸的探测器的入射窗口电势和最外环电压之间的关系。(a) 器件有效区直径为 0.5cm。(b) 器件有效区直径为 1cm。(c) 器件有效区直径为 2cm。

从以上方法得到启示,我们发展出了一种用来精确表征已经制备好的硅漂移探测器衬底掺杂浓度均匀性的方法。该方法的测试原理示意图如图 6.10 所示。首先将阳极和接地环接地,接着将最内环和最外环的电势固定为-5v,然后在其他的环上施加反向偏压并将电压从-5v 扫描到-200v,这样就会使进行电压扫描的漂移环下的耗尽区变得最深从而最先和入射面耗尽区穿通,采用这种方式可以得到该漂移环下衬底的耗尽电压。

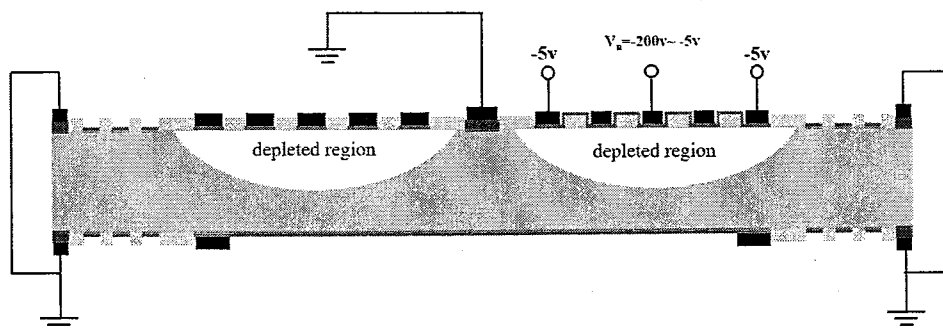


图 6.10 探测器芯片不同漂移环下的耗尽电压测试原理示意图。

我们一共选择了中间的 6 个漂移环进行了测试，测试结果如图 6.11 所示，可以看到，这六个漂移环下的衬底耗尽电压基本上在 -40.5v 到 -38v 之间，这说明衬底的掺杂浓度还是有一定的波动的，但是波动不大，基本上不会影响器件的正常工作。

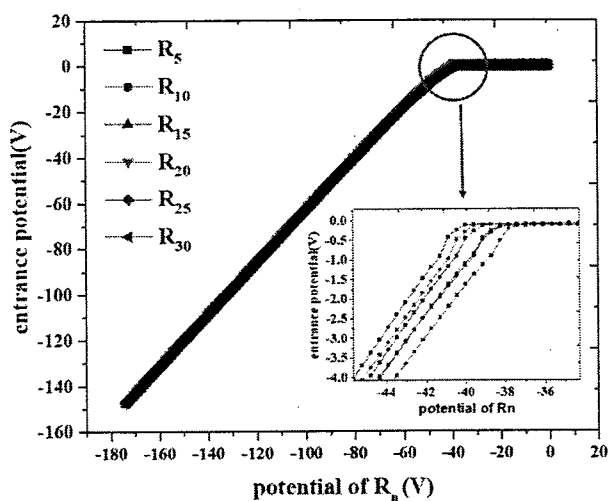


图 6.11 不同漂移环上施加的电压和入射窗口的电势之间的关系。

我们通过以上方法对制备好的探测器的耗尽电压进行了精确的表征，通过我们得到的衬底耗尽电压，我们就可以对探测器正常工作时各个电极上所加的电压进行设定了。因为我们通过测试得到的衬底的耗尽电压为 -40v，所以我们给探测器各个电极上施加的电压如表 6.2 所示。

表 6.2 硅漂移探测器正常工作情况下各个电极上要施加的电压

电极名称	阳极	最内环电极	入射窗口电极	最外环电极	接地电极
电压值(V)	0	-10	-45	-90	GND

6.3.1.3. 分压电阻性能测试分析

分压电阻作为硅漂移探测器中非常关键的一个结构，其性能的好坏将直接决定硅漂移探测器功能的实现[137]。因此对硅漂移探测器中的分压电阻进行测试分析是非常有必要的。但是如何来对分压电阻进行表征呢？其实硅漂移探测器中的分压电阻本质上就是一个电阻，因为我们是采用多晶硅薄膜技术来制备硅漂移探测器的，所以其中的分压电阻就是一个多晶硅电阻。所以我们首先想到的就是对硅漂移探测器中的分压电阻的 I-V 特性进行了表征，观察其 I-V 特性是否符合电阻的 I-V 特性。具体的测试方法如图 6.12 所示。首先也是先将阳极和接地环接地，然后将最内环电压固定为-10v，入射窗口不施加电压，保持为浮置状态，然后对最外环进行电压扫描，电压从-150v 扫到 0v，从而得到最外环上电压和电流的关系。

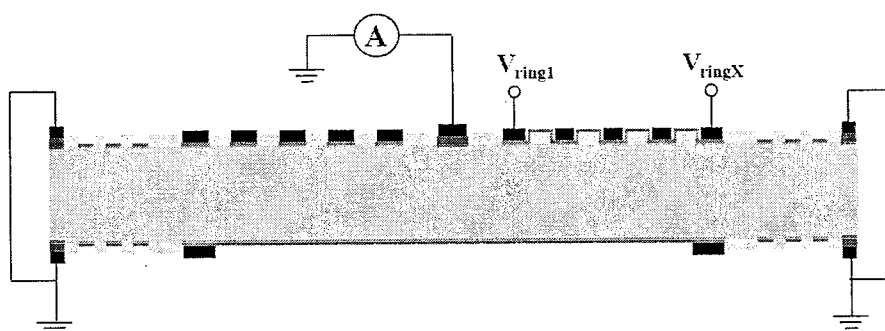


图 6.12 硅漂移探测器中分压电阻测试方式示意图。

通过测试我们得到了最外环上电压和电流之间的关系如图 6.13 所示。可以看到当最外环电压在-80v 到 0v 之间时，I-V 特性呈现很明显的线性关系的，但是当最外环电压小于-80v 之后，I-V 特性明显偏离线性关系了。线性的 I-V 关系是电阻的最基本的关系。当最外环电压在-80v 到 0v 之间时，I-V 关系为线性的，这说明测得的电流是从分压电阻流过的，但是当最外环电压超过-80v 之后，我们可以看到，电流随着最外环电压的增大明显增加的更快了。这说明在最内环和最外环之间出现了其它的电流导通通道。但是电流还会通过什么路径从最外环流到最内环呢？我们首先想到的就是 PNP 结构的穿通。因为硅漂移探测器的衬底两个表面上都有很多分离的 P+掺杂区域，而衬底又是 N 型掺杂的，所以在硅漂移

探测器中就形成了很多 PNP 结构。因为衬底的掺杂浓度非常低，所以当在这些 P+掺杂区域上加反向偏压的时候，耗尽区在衬底内部扩展的非常快，当一个 P+区域的耗尽区和另一个 P+区域的耗尽区连接到一起的时候，就相当于这两个 P+区形成的 PNP 结构穿通了[138]。除此之外，两个 P+区之间还可以通过其它 P+区域实现贯通，例如当两个 P+区之间距离比较远时，一个 P+区可以先和它们中间的一个 P+区贯通，然后该 P+区再和另一个 P+区贯通，这样的贯通和两个 P+区直接贯通效果是一样的，而且当中间的 P+区面积比较大时，可以大大减小两个距离较远的 P+区之间的贯通电压。其实我们在上一节中测量衬底的耗尽电压就是利用的这种贯通效应。PNP 贯通之后有一个很明显的现象，那就是两个 P+区之间的电流会随着两端所加的电压的增大而快速增大[139]。所以我们猜想随着最外环和最内环之间反向偏压的增大，有可能是两个 P+区之间发生了贯通。但是因为最外环和最内环之间的距离比较远，所以两个 P+区直接贯通的可能性比较小，因此这两个区域可能是通过中间的 P+区来辅助贯通的，但是因为最外环和最内环之间的 P+区非常多，那么它们到底是通过哪些 P+区贯通的呢。

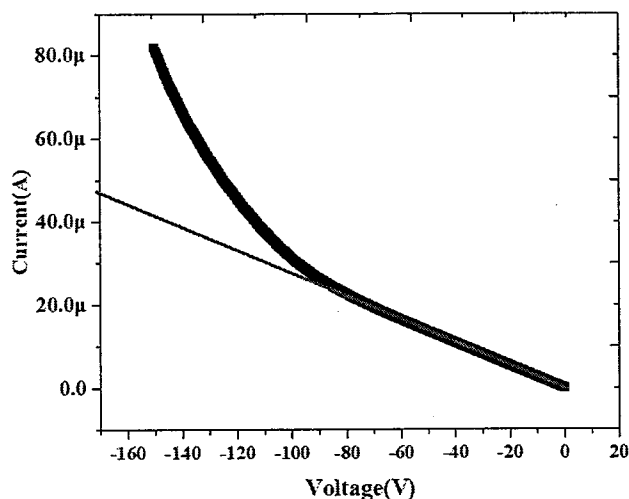


图 6.13 最外环上电压和电流之间的关系。

为了分析最外环和最内环之间是如何贯通的，我们采用了模拟的方式对该结构进行了分析，我们模拟采用的结构如图 6.14 所示。该结构就是模拟的硅漂移探测器漂移区的结构。通过模拟我们可以看到衬底电势的分布情况以及电流流动方向，从而可以得到最外环和最内环的贯通方式。

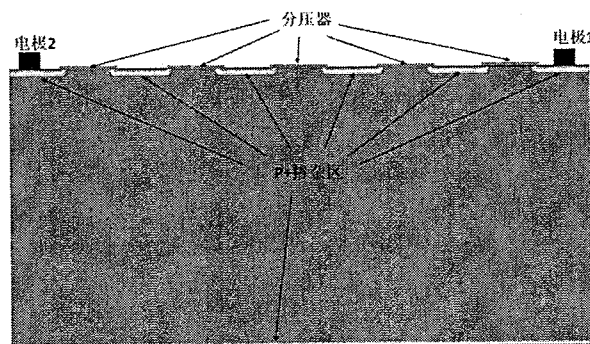


图 6.14 模拟最外环与最内环穿透方式采用的结构示意图。

我们通过模拟得到了图 6.15 所示的 I-V 曲线，该 I-V 曲线和我们在实验中得到了 I-V 曲线非常像，这说明电流在模拟中两个电极之间的流动情况应该和实验中电流在最外环和最内环之间的流动情况也是一样的。

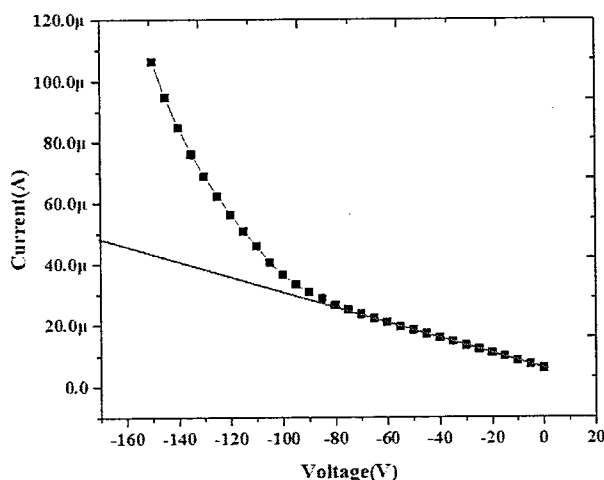
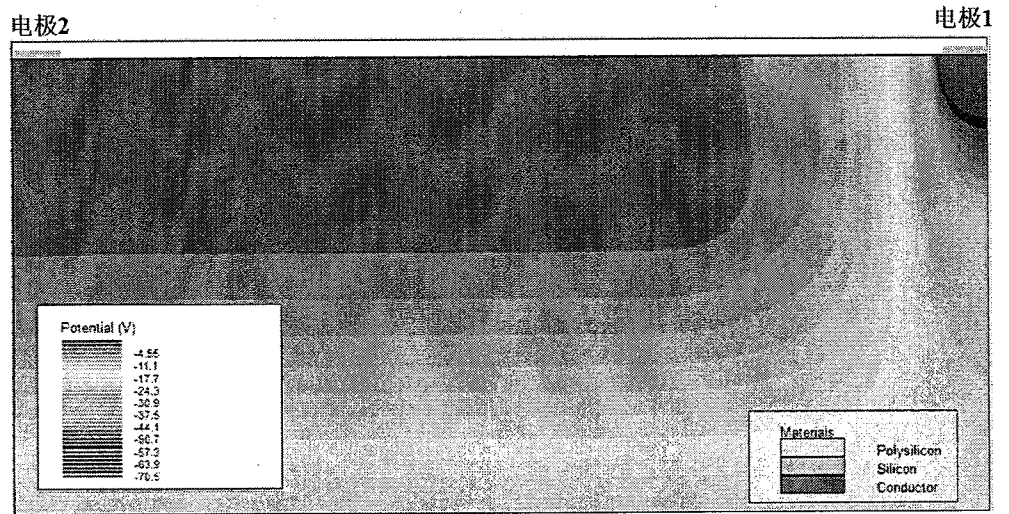
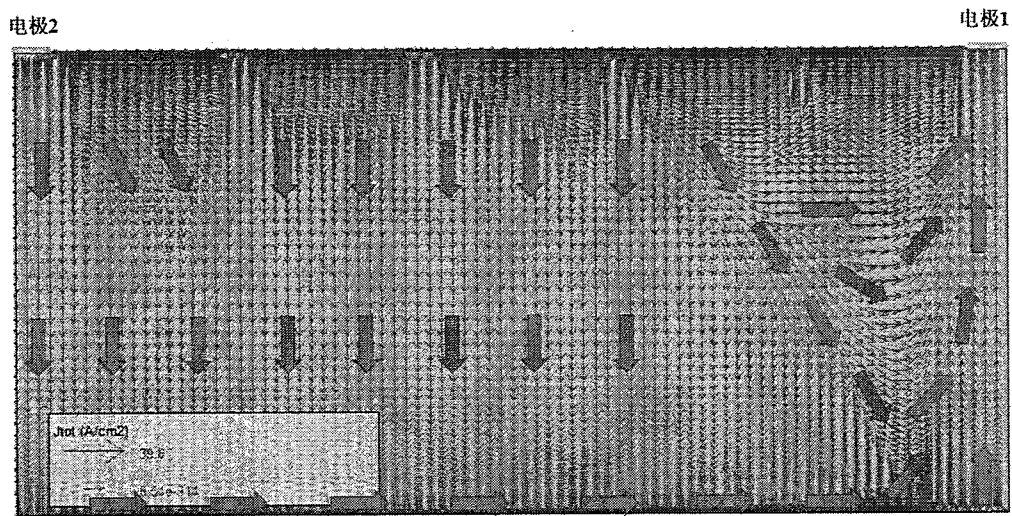


图 6.15 模拟得到的电极 1 上的电压和电流之间的关系。

为了观察两个电极之间是如何穿透，我们提取了衬底内部的电势分布和电流向量分布如图 6.16 所示。从图 6.16 (a) 中我们可以看到电极 1 下面的 P+区是首先和背面的 P+区穿透，然后再通过背面 P+耗尽区的扩展和电极 2 下面的 P+区穿透的。因为衬底的厚度相对于两个电极之间的横向距离来说要小的多，所以这种穿透方式要比两个电极直接穿透容易得多，而且这种穿透方式的穿透电压应该是衬底耗尽电压的两倍。通过这种方式穿透之后，两个电极之间的电流就会有一部分是通过背面的 P+区域流通的。如图 6.16 (a) 所示，我们提取了衬底内部电流向量的分布，衬底内部电流的流动情况和我们的推测是一致的。



(a)



(b)

图 6.16 (a) 衬底内部的电势分布模拟结果 (b) 衬底内部电流向量分布的模拟结果

对于分压电阻来说,其最主要的功能就是将在最内环和最外环之间施加的电压均匀分配到各个漂移环上。因此分压电阻具有很好的电阻特性还是不够的,评价一个分压电阻最终的标准应该是其分压特性。为了表征分压电阻的分压特性,我们采用如图 6.17 所示的测试方式进行测试。首先还是先将阳极和接地环接地,然后固定最内环电压为-10v,最外环电压为-80v。然后将探针改为电压测试模式并对中间每一个漂移环的电势进行测试。

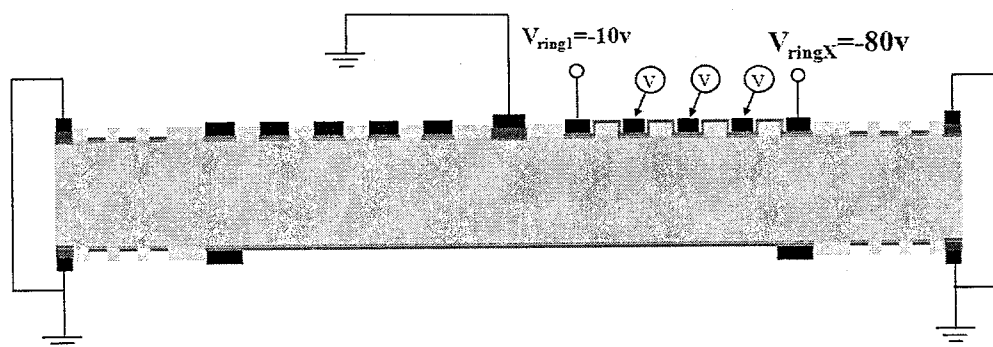


图 6.17 硅漂移探测器中分压电阻的分压特性测试方法示意图。

分压电阻的分压特性测试结果如图 6.18 所示。可以看到各个漂移环上的电势从内到外基本上是线性下降的，这说明分压电阻确实起到了均匀分压的作用。

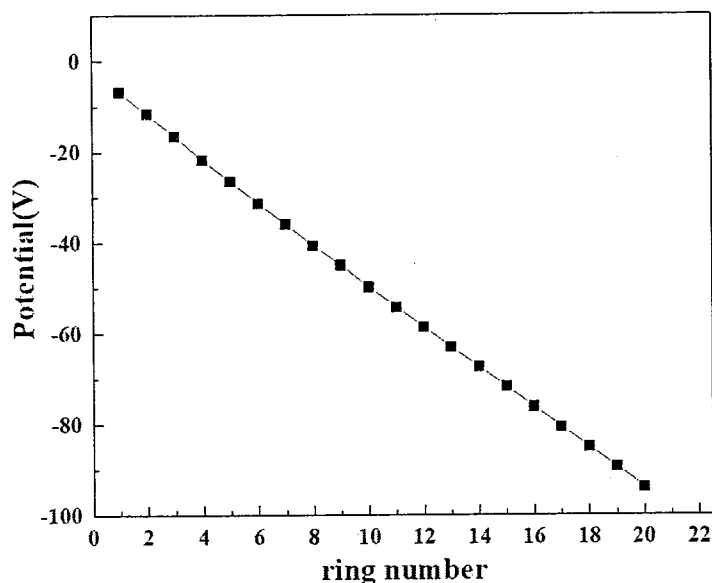


图 6.18 硅漂移探测器各个漂移环上的电势分布测试结果。

6.3.2. 硅漂移探测器的封装

在对硅漂移探测器进行静态电学性能测试之后，我们就要对其进行动态信号测试了。但是要想进行动态信号测试，就必须要将硅漂移探测器芯片封装起来。因为进行动态信号测试的时候，需要采用各种信号源对芯片进行照射，所以不可能再采用探针台给芯片的各个电极施加电压了。必须将探测器芯片封装到 PCB 板上，然后通过打金线的方式将探测器上的电极引到 PCB 板上。还有一点，因为我们的探测器是一种双面器件，器件的双面都要施加电压，所以就需要在器件的双面进行打线，并且保证器件的入射窗口暴露出来从而方便对其进行照射。为

此我们设计了一种镂空的 PCB 板，也就是在 PCB 板上开出一个和入射窗口大小相同的孔并将芯片架在该孔上，这样芯片的双面都裸露出来，从而可以进行打线和施加信号了。具体的封装如图 6.19 所示。通过将硅漂移探测器进行如下封装我们就可以非常方便的对硅漂移探测器进行动态信号测试了。

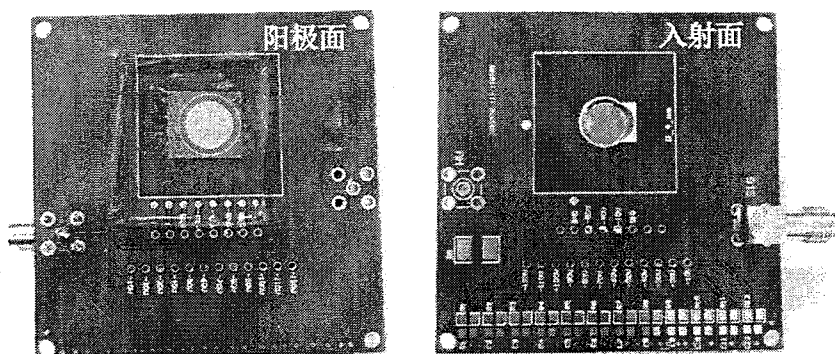


图 6.19 封装之后的硅漂移探测器阳极面和入射窗口面实物图。

6.3.3. 硅漂移探测器动态信号测试

在硅漂移探测器芯片的静态电学性能测试合格并对其进行封装之后，我们就要对其进行动态信号测试了。具体测试方式如图 6.20 所示。为了屏蔽外界电磁干扰和遮光我们将芯片放到了一个封闭的铸铝盒子里面进行测试。与此同时盒子里面还有一个半导体制冷台用来给芯片降温。从图 6.19 中我们可以看到芯片的阳极面是用封装胶密封起来的，测试时就将有封装胶的一面放在低温台上，这样避免了芯片直接和低温台接触。首先通过外面的高压电源给里面的芯片的各个电极加上合适的电压，然后将信号源发出的射线通过 PCB 板上的通孔直接照射到芯片的入射窗口上。射线产生的电子被阳极收集起来之后会在阳极积累起来，并产生一个电荷输出信号，该电荷信号需要通过一个电荷灵敏放大器转换成一个经过放大的脉冲电压信号。但是一般的电荷灵敏放大器的放大倍数都是比较小的，所以其输出的脉冲电压信号还需要经过一个能谱放大器进行再次放大，除此之外能谱放大器还具有整形的作用，也就是将芯片输出的非常窄的脉冲信号转换成可以进行后续处理的标准脉冲信号。正常来说，能谱放大器输出的信号要进入多道分析仪进行分类和计数，最后形成一个能谱图。但是由于测试条件的限制，我们将能谱放大器直接连到了示波器上，然后通过示波器对单个脉冲信号进行观察。

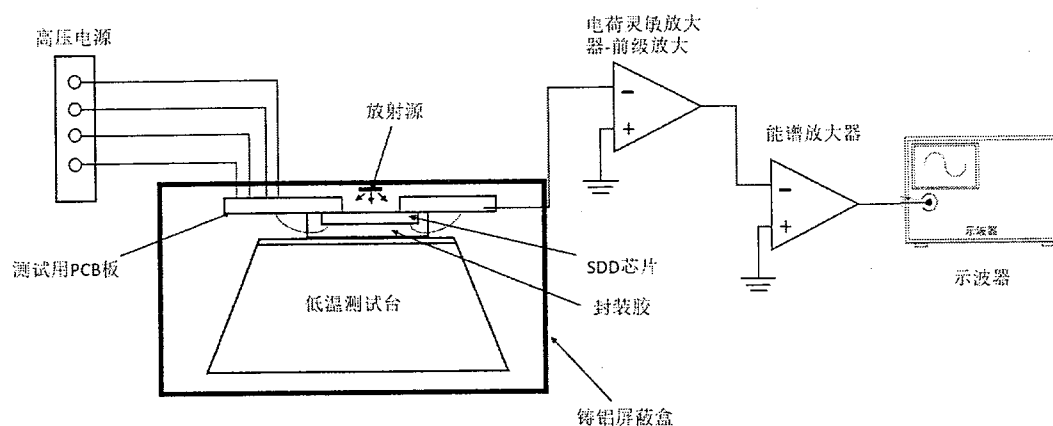


图 6.20 硅漂移探测器动态信号测试方法示意图。

如图 6.21 所示为我们测试过程中所用仪器的实物图。

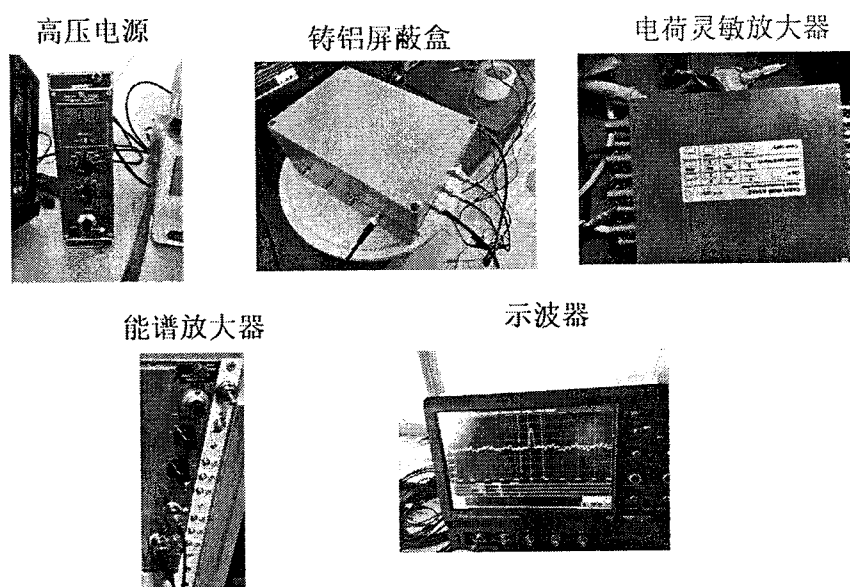


图 6.21 动态信号测试所用仪器实物图

测试中我们主要采用了两种信号源对探测器进行照射，一种是脉冲激光源，另一种是 ^{241}Pu 放射源。两种源产生的脉冲信号在示波器上显示如图 6.22 所示。对于脉冲激光源产生的信号可以很容易的确认，但是对于高能射线产生的脉冲信号就不是很容易确认了，因为很多噪声和干扰也会产生这样的信号，我们是通过对比有源和没源时输出信号的情况来确定示波器上产生的信号是不是由于高能射线引起的。通过对比我们发现，当放上放射源之后示波器上确实会不断地出现

一个个脉冲信号,但是将源拿走之后这种脉冲信号就没有了,所以我们可以确定,探测器确实能够探测到 ^{241}Pu 产生的高能射线。

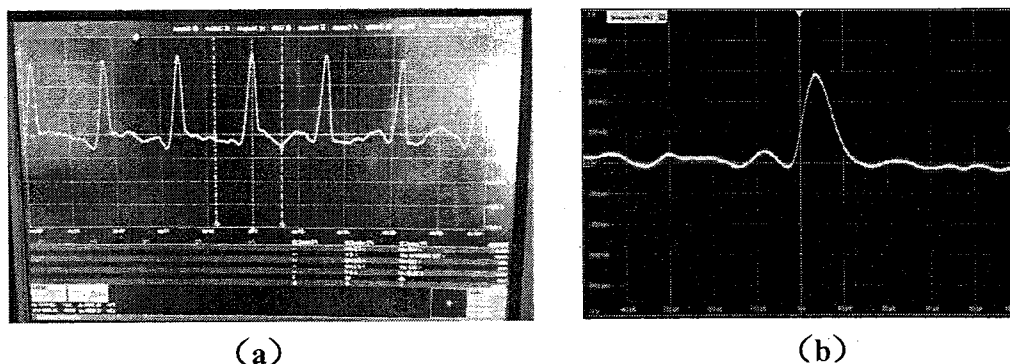


图 6.22 (a) 在脉冲激光源的照射下, 探测器产生的脉冲信号。(b) 在 ^{241}Pu 放射源的照射下, 探测器产生的脉冲信号。

目前我们已经可以证明, 我们制备的硅漂移探测器已经可以探测到 ^{241}Pu 放射出的高能射线, 但是 ^{241}Pu 可以放射出各种高能射线, 包括 X 射线、 γ 射线以及 α 粒子射线。因为没有采用多道分析仪对脉冲信号进行分析, 所以我们暂时还不能确定我们探测到的是哪一种高能射线。因此我们下一步的工作主要从以下两点开展: 首先我们要进一步对采用多晶硅薄膜技术制备硅漂移探测器的工艺进行改进, 进一步提高器件的性能。其次我们要为我们制备的探测器匹配合适的信号读取电路和多道分析仪, 从而实现我们最终的目标即实现高能射线能谱的测试。

6.4 本章小结

本章首先介绍了采用多晶硅薄膜技术来制备硅漂移探测器的完整工艺流程, 证明了采用多晶硅薄膜技术确实可以实现硅漂移探测器的制备。然后我们对硅漂移探测器进行了系统的测试, 测试主要分为两个方面: 一个是器件的静态电学特性测试, 另一个是器件的动态信号测试。具体研究内容和取得的成果如下:

- (1) 采用多晶硅薄膜技术实现了硅漂移探测器的制备, 制备出了三种不同尺寸的硅漂移探测器, 探测器的有效区直径分别为 0.5cm、1cm、2cm。
- (2) 采用不同方法对硅漂移探测器的阳极漏电进行了测试, 分析了器件面积、测试温度、最内环电压、入射窗口电压对器件阳极漏电的影响。发现器件漏电会随着器件面积的增大而迅速增加, 而降低器件温度可以明显减小器件漏

电。器件正常工作时，入射窗口电压对阳极漏电影响不是很大，但是最内环电压对阳极漏电影响比较明显。

- (3) 采用测量最外环和入射窗口穿通电压的方式对制备好的器件衬底的耗尽电压进行了测试，从而确定了器件正常工作时各个电极上应该施加的电压。
- (4) 对探测器中分压电阻的电阻特性和分压特性进行了测试，发现分压电阻可以起到很好的均匀分压的作用。
- (5) 采用脉冲激光源和 ^{241}Pu 放射源对探测器进行了动态信号测试，发现探测器确实可以探测到这两种源发出的信号，这说明我们制备的器件已经基本具备了探测高能射线的能力了，这也证明了采用多晶硅薄膜技术来制备硅漂移探测器确实是行得通的。

第七章 总结与展望

7.1 本论文取得的主要成果

IBC 太阳电池在硅基太阳电池中是效率最高的一种电池结构,而硅漂移探测器在各种硅基 X 射线探测器中也是性能最优越的探测器之一。所以对这两种器件进行研究是非常有意义的。采用传统的工艺来制备这两种器件的过程中出现了很多难以克服的困难,这些困难导致器件的性能很难再有很大提升,因此开发新的工艺对于继续提升这两种器件的性能变的非常重要。因此,在本论文中我们提出采用多晶硅薄膜技术来制备 IBC 太阳电池和硅漂移探测器。多晶硅薄膜技术在 IBC 太阳电池中的应用已经有相关的报道了,具体是采用多晶硅来制备 Poly-TOPCon,然后将 Poly-TOPCon 结构应用到 IBC 电池中去。但是其中多晶硅都是采用离子注入进行掺杂的,这不利于电池制备成本的降低。而多晶硅薄膜技术在硅漂移探测器中的应用却从来没有人报道过。因此我们在采用多晶硅薄膜技术来制备这两种器件方面进行了大胆的尝试和创新,并最终取得了以下成果:

- (1) 对 ICB 电池的结构设计进行了深入的理论分析,得到了电池不同部位的结构参数对电池性能的影响,这不但对于传统 IBC 电池适用,而且对于采用 Poly-TOPCon 结构的 IBC 电池也是适用的。然后我们又对 IBC 电池制备中的单项工艺进行了优化,最终制备出了两种不同前场结构的 IBC 电池,其中 N 型前场 IBC 电池效率为 17.15%,无前场结构的 IBC 电池效率达到了 21.4%。
- (2) 在对传统结构的 IBC 太阳电池的研究完成之后,我们开始探索将 Poly-TOPCon 结构应该用到 IBC 电池中的途径。首先采用提参建模方式对只采用 Poly-TOPCon 结构作为前场的 IBC 电池进行了详细分析,发现要想提高电池效率, Poly-TOPCon 结构要具有以下特征: (a) 多晶硅掺杂浓度足够高。(b) 多晶硅层的厚度要比较小。(c) 多晶硅层的载流子迁移率要尽量高。(d) 隧穿氧化层厚度为 1.2nm。然后我们采用 Poly-TOPCon 制备出了两种结构的 IBC 电池,一种只采用 Poly-TOPCon 结构作为前场,电池效率最高为 17.08%,另一种是采用 Poly-TOPCon 结构同时作为 IBC 电池的前场和背场,电池效率最高为 15.68%。

- (3) 采用多晶硅薄膜技术制备出了高阻值的多晶硅电阻，并开发出了多种调节多晶硅薄膜方阻的方法，通过控制沉积时间和退火温度，制备出了方阻最高达到 $36.576\text{k}\Omega/\square$ 的多晶硅薄膜，这在硅漂移探测器中制备高阻值分压电阻打下了良好的基础。
- (4) 探索出了一种采用多晶硅薄膜制备高质量 PN 结的方法，通过控制工艺参数，已经将 PN 结的反向饱和漏电流降低到了 $1.5\text{nA}/\text{cm}^2$ 以下了，这对于制备低噪声的高性能硅漂移探测器打下了良好的基础。
- (5) 成功的将多晶硅薄膜制备的高阻值电阻和高质量 PN 结应用到了硅漂移探测器中，不但可以使结构性能得到了很大的提升，而且可以大大简化制备工艺，为下面硅漂移探测器的实际流片打下了坚实的基础。
- (6) 采用多晶硅薄膜技术实现了硅漂移探测器的流片，制备出了有效区直径分别为 0.5cm 、 1cm 、 2cm 的硅漂移探测器。并对硅漂移探测器的静态电学性能进行了测试，采用多晶硅薄膜制备的分压电阻起到了很好的分压的作用。制备出的探测器已经可以探测到脉冲激光信号和 ^{241}Pu 放射出的高能射线了。

7.2 本论的创新点

- (1) 分析对比了三种不同方法去除富硼层的效果，发现采用热硝酸处理的方法只能去掉表面一部分的富硼层。采用原位氧化和化学腐蚀的方法可以完全去掉富硼层，但是原位氧化会造成衬底寿命的衰减，因此最佳的去富硼层的方法是采用化学腐蚀。
- (2) 对采用 Poly-TOPCon 结构作为前场的 IBC 电池结构进行了详细的理论分析。分析了 Poly-TOPCon 结构中的多晶硅掺杂浓度，多晶硅厚度，隧穿氧化层厚度对电池前表面钝化和载流子横向输运的影响。将采用原位掺杂制备的 Poly-TOPCon 结构应用到了 IBC 电池的制备中，对采用 Poly-TOPCon 同时作为前场和背场的 IBC 电池，通过杂质补偿的方式解决了 IBC 电池背面图形化的问题，避免了复杂的图形化工艺。
- (3) 采用多晶硅薄膜来制备分压电阻，通过工艺的创新实现了高阻值多晶硅分压电阻的制备。并发展了多种调节多晶硅分压电阻方阻的方法，实现了多晶硅电阻阻值的精确控制。

- (4) 创新性的采用多晶硅薄膜来制备高质量的 PN 结, 将 PN 结的漏电控制到了很低的水平, 而且通过控制工艺参数可以制备出结深只有 14nm 的超浅结, 这非常有利于硅漂移探测器探测低能量光子。
- (5) 首次采用多晶硅薄膜技术取代离子注入来制备硅漂移探测器, 创新性的采用多晶硅薄膜来同时制备硅漂移探测器中的分压电阻、漂移环、阳极、保护环、入射窗口、接地环, 并且通过一步退火工艺就能制备出这些结构, 不但可以提高器件的性能而且极大的简化了器件的制备工艺。

以上部分创新性成果已经发表在相关领域的 SCI 期刊上了, 其中包括: Chinese Phys. B, J. Mater. Sci-Mater. El, Appl. Phys. A-Mater, 并得到了国内外评审专家的认可。

7.3 前景展望

采用多晶硅薄膜技术来制备 IBC 太阳能电池和硅漂移探测器是一种全新的工艺, 尤其是采用多晶硅薄膜来制备硅漂移探测器, 以前还没有任何人做过这方面的研究, 我们提出了这种工艺并对工艺的可行性进行了验证, 通过分析我们发现这种多晶硅薄膜工艺在制备高性能的 IBC 电池和硅漂移探测器方面是非常有潜力的, 虽然目前我们制备出的器件的性能还不是很好, 但是我们相信, 随着我们对该工艺研究的不断深入一定可以制备出高性能的 IBC 太阳能电池和硅漂移探测器。