



中国科学院大学

University of Chinese Academy of Sciences

博士学位论文

基于硅柱互连的 MEMS 三维圆片级封装技术研究

作者姓名: 梁亨茂

指导教师: 熊斌 研究员

中国科学院上海微系统与信息技术研究所

学位类别: 工学博士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院上海微系统与信息技术研究所

2020 年 6 月

Research on 3D Wafer-level Packaging Technology for MEMS Based
on Si Column Interconnection

A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Doctor of Philosophy
in Microelectronics and Solid-state Electronics

By

Liang Hengmao

Supervisor: Professor Xiong Bin

Shanghai Institute of Microsystem and Information Technology,
Chines Academy of Science

June 2020

中国科学院大学

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：梁亨茂

日期：2020年6月12日

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：梁亨茂

日期：2020年6月12日

导师签名：

梁亨茂

日期：2020.6.12.

摘 要

随着封装技术的发展,以垂直互连为特征的先进三维封装技术已成为 MEMS 集成制造的关键,而圆片级真空封装是实现高 Q 值谐振式 MEMS 器件的低成本制造和实用化的重要环节。然而现有基于垂直互连的 MEMS 三维封装技术面临工艺复杂、缺乏全硅制造潜力、以及应用局限性(难以对含有多层金属互连线进行气密封装的信号接口)等诸多挑战。为此,本论文工作融合金硅共晶键合技术创新性地提出一种基于硅柱互连的全硅 MEMS 三维圆片级封装技术,其通过构建共面键合结构并以两步光刻实现低阻硅盖板对器件气密封装的同时形成硅柱垂直互连通路。具体地,本论文就其中所涉及关键的 KOH 腐蚀减薄的工艺兼容性、金硅键合的欧姆接触电阻和键合强度展开了深入研究,并以此为基础实现了基于硅柱互连的 MEMS 谐振器三维圆片级真空封装技术,进而对三维封装的工艺效果、封装结构性能进行了表征分析。

首先,针对金硅共晶键合技术与 KOH 腐蚀工艺兼容性研究的空白,本论文详细论述了 Au/bulk Si 键合和 Au/ α -Si 键合两种结构与 KOH 腐蚀的工艺兼容性。其一利用 KOH 各向异性腐蚀的特点分析并解释了 Au/bulk Si 键合在 KOH 腐蚀中侧向钻蚀现象与成因;其二提出了为保证 Au/ α -Si 键合结构与 KOH 腐蚀工艺兼容性所需满足 α -Si/Au 薄膜厚度比的条件;其三创新性地提出一种基于两步 LOCOS (Local Oxidation Of Silicon) 的改进型 Au/bulk Si 键合结构,从而解决了传统 Au/bulk Si 键合结构在高键合质量与 KOH 腐蚀兼容性之间的矛盾。

其次,为了发掘金硅共晶键合技术在三维互连中的应用潜力,一方面通过对不同键合温度(350°C、400°C 和 430°C)和接触图形半径(3~20 μm)下金硅键合欧姆接触电阻的测试发现,当键合温度高于金硅共晶温度 363°C 时为保证电互连的可靠性需满足接触半径大于 10 μm (此时接触电阻 $<2\ \Omega$),但上述键合温度下总测试电阻值差异不大(均值偏差 $<20\%$),这奠定了金硅共晶键合应用于硅柱垂直互连结构中的可行性基础;另一方面基于有限元分析和金硅键合强度测试结果讨论了键合强度与单一键合图形形状(方形与圆形)的关系以及与键合面积

($<1\text{ mm}^2$) 的反比关系, 这为后续硅柱互连结构的形状和尺寸设计提供了指导。

再次, 为解决 MEMS 封装中多层金属互连线跨越键合密封环产生“台阶”导致的封装泄漏这一共性问题, 论文创新性地构建了基于金硅共面键合的硅柱互连结构, 并通过气密性测试 (He 检漏试验, $<5\times 10^{-8}\text{ atm.cc/sec}$) 和硅柱互连阻抗测试 (单硅柱电阻约 $1\ \Omega$, 含 $0.5\ \Omega$ 的金属/半导体欧姆接触电阻) 验证了共面键合结构在满足 MEMS 气密封装中多层金属互连所需的垂直信号接口的有效性。

最后, 论文以金硅共面键合的硅柱互连结构为基础, 设计并实现了基于硅柱互连的 MEMS 谐振器三维圆片级真空封装结构。其一, 论文通过对器件封装的寄生电容量化分析, 提出了以接地屏蔽方法实现谐振特性测试中馈通效应的抑制 (寄生电容在接地屏蔽前后 $\text{pF}\rightarrow\text{fF}$ 量级); 其二, 论文所实现的 MEMS 谐振器三维圆片级封装, 具有较高的晶圆单片合格率 (硅柱互连结构电绝缘性的 3 片晶圆的单片合格率分别为 78.6%、76.5%、46.9%, 封装气密性的 3 片晶圆的单片合格率分别为 72.7%、87.5%、100%), 并具备真空封装能力 ($\sim 1\text{ kPa}$) 和真空度保持的长期稳定性 (>6 个月); 其三, 论文就影响器件 Q 值的封装工艺和封装结构等因素进行了测试和分析, 为 MEMS 谐振器封装的 Q 值提升提供了优化设计思路。综上所述, 所提出的基于硅柱互连的三维封装技术为 MEMS 三维圆片级真空封装开辟了一条低阻垂直互连、工艺简单、可全硅制造、可对气密封装中多层金属互连信号接口的高性价比解决思路, 并具较广泛的应用潜力和通用性。

关键词: 硅柱互连, MEMS 三维圆片级真空封装, 金硅共晶键合, KOH 腐蚀兼容性, 欧姆接触电阻

Abstract

With the development of the packaging technology, the advanced 3D packaging technology featured with vertical interconnections has become the key of Integrated Manufacturing for MEMS. Wherein the wafer-level vacuum packaging is an important shortcut to realize low-cost and high- Q -factor resonant MEMS devices. However, the existing MEMS 3D packaging technology based on vertical interconnections is faced with many challenges, such as complex processes, lacking in the all-Si fabrication potential, and application limitations (being hard to achieve signal interfaces for multi-layer metal interconnections while forming the hermetic sealing). Therefore in this thesis, it is proposed for an innovative all-Si MEMS 3D wafer-level packaging strategy based on the Si column interconnections by integrating Au-Si eutectic bonding technology. By constructing a co-planar bonding structure, it is cost-effective to employ low-resistivity Si columns in Cap wafers as vertically electrical pathways while accomplishing Cap sealing by two-step lithographies. Specifically, in this thesis, the process compatibility with KOH etching, the ohmic contact resistances and the bonding strengths for Au-Si bonding have been studied in depth. Based on these, the 3D wafer-level vacuum packaging for a MEMS resonator based on Si column interconnections has been realized, and further been characterized with the specific packaging performance indexes.

Firstly, in view of the research blank of the Au-Si bonding with compatibility of KOH etching, it is discussed in detail for the compatibility of Au/bulk Si bonding and Au/ α -Si bonding with KOH etching. One is to analyze the phenomenon and cause of the underetch for Au/bulk Si bonds in KOH etching by the characteristic of KOH anisotropic etching. The other one is to propose the critical parameter of the α -Si/Au film thickness ratio to ensure the compatibility between the Au/ α -Si bonding and KOH etching. Further, a modified Au/bulk bonding structure based on the two-step LOCOS (Local Oxidation of Si) is proposed to solve the contradiction between the

high bonding quality and KOH etching compatibility for the conventional Au/bulk Si bonding structure.

Secondly, it is imperative to explore the application potential of Au-Si bonding technology applied on 3D interconnections. On the one hand, by Au-Si bonding ohmic contact resistance tests under different bonding temperatures (350°C, 400°C and 430°C) and contact pattern radius (3~20 μm), it is found that the contact radius should be greater than 10 μm (contact resistance: $<2\ \Omega$) to ensure the reliability of electrical interconnection for bonding temperature above Au-Si eutectic point of 363°C. Also, the insignificant difference on the total test resistance at the above-mentioned Au-Si bonding temperatures (mean value deviation: $<20\%$) lays the feasibility foundation for the Au-Si eutectic bonding applied on vertical Si column interconnections. On the other hand, based on the finite element analysis and the test results on Au-Si bonding strengths, the relationship between the bonding strength with the bond pattern shapes (i.e. square and circular) and the bond areas ($<1\ \text{mm}^2$) provide references for the subsequent design on Si column interconnection structures.

Thirdly, in order to solve the common problem of package leakages caused by multi-layer metal interconnections crossing the bonding ring in MEMS packaging, the Si column interconnection structure based on the co-planar Au-Si bonding is constructed. Through the He leak tests ($<5\times 10^{-8}\ \text{atm.cc/sec}$) and Si column interconnection impedance tests (single Si column interconnection resistance: $\sim 1\ \Omega$, including the metal/silicon contact resistance of $\sim 0.5\ \Omega$), the co-planar bonding structure has been verified to be qualified for vertical signal interfaces on multi-layer metal interconnection in a MEMS hermetic package.

At last, based on the Si column interconnections by the co-planar Au-Si bonding, a 3D wafer-level vacuum packaging structure for a MEMS resonator has been designed and implemented. On the basis of the quantitative analysis for the parasitic capacitance of the device package, the method of ground shielding is introduced to suppress the feed-through effect in the resonance characteristic test (the parasitic capacitance: pF $\rightarrow$ fF before and after the ground shielding). In addition, the 3D wafer-level packaging for the MEMS resonator realized in this work has the high

wafer yield (the qualification rate of electrical insulation for the silicon column interconnection structure on the three packaged wafers: 78.6%, 76.5%, 46.9%, and the hermetic qualification rate on the three packaged wafers: 72.7%, 87.5%, 100%), the vacuum packaging ability (~ 1 kPa) and the long-term stability of achieved vacuum degrees (>6 months). Apart from it, the packaging process and packaging structure elements affecting the Q -factor of the resonator have been tested and analyzed, which provides the specific optimization design ideas for the Q -factor improvement of the MEMS resonator by wafer-level packaging. Generally speaking, the proposed packaging technology with Si column interconnections provides a cost-efficacious strategy for MEMS 3D packaging with the low interconnection resistance, the simplified process, the all-Si fabrication ability, the extensive application potential and versatility (i.e. the signal-interface feasibility for multi-layer metal interconnections in hermetic packaging).

Keywords: Si column interconnection, MEMS 3D wafer-level vacuum packaging, Au-Si eutectic bonding, KOH etching compatibility, Ohmic contact resistance

目 录

摘 要.....	I
Abstract.....	III
表格目录.....	XI
图示目录.....	XIII
第一章 绪论.....	1
1.1 引言.....	1
1.2 MEMS 圆片级封装与键合技术概述.....	3
1.2.1 MEMS 圆片级封装技术概述.....	3
1.2.2 MEMS 圆片级键合技术概述.....	4
1.3 基于键合技术的 MEMS 圆片级封装与互连的研究进展.....	6
1.3.1 基于平面互连的 MEMS 圆片级封装.....	6
1.3.2 基于 TSV 垂直互连的 MEMS 三维圆片级封装.....	14
1.3.3 基于非传统 TSV 垂直互连的 MEMS 三维圆片级封装.....	16
1.4 小结.....	26
1.5 本论文研究内容及结构安排.....	28
1.5.1 论文研究内容.....	28
1.5.2 论文结构安排.....	29
第二章 金硅键合与 KOH 湿法腐蚀工艺兼容性研究.....	31
2.1 引言.....	31
2.2 传统 Au/bulk Si 键合结构与 KOH 腐蚀兼容性.....	33
2.2.1 Au/bulk Si 键合结构的设计与制备.....	33
2.2.2 Au/bulk Si 键合结构的 KOH 腐蚀兼容性评估.....	35
2.3 Au/ α -Si 键合结构与 KOH 腐蚀兼容性.....	40
2.3.1 Au/ α -Si 键合结构的设计与制备.....	41

2.3.2	Au/ α -Si 键合结构的 KOH 腐蚀兼容性评估.....	43
2.4	基于 LOCOS 的改进型 Au/bulk Si 键合结构与 KOH 腐蚀兼容性.....	48
2.4.1	改进型 Au/bulk Si 键合结构的设计.....	48
2.4.2	改进型 Au/bulk Si 键合结构的制备.....	51
2.4.3	改进型 Au/bulk Si 键合结构的 KOH 腐蚀兼容性评估.....	53
2.4.4	改进型 Au/bulk Si 键合结构键合的键合强度及应用潜力.....	60
2.5	小结.....	63
第三章	金硅键合的欧姆接触与键合强度研究.....	67
3.1	引言.....	67
3.2	金硅键合的欧姆接触研究.....	69
3.2.1	金硅键合欧姆接触电阻的测试结构设计原理.....	69
3.2.2	金硅键合欧姆接触电阻的测试结构制备.....	74
3.2.3	金硅键合欧姆接触电阻的测试结果与分析.....	76
3.3	金硅键合的键合强度研究.....	82
3.3.1	金硅键合强度测试结构的设计.....	82
3.3.2	金硅键合结构的结构静力学分析.....	83
3.3.3	金硅键合强度测试结构的制备.....	88
3.3.4	金硅键合强度的测试结果与分析.....	89
3.4	小结.....	93
第四章	基于金硅共面键合的硅柱互连封装形式研究.....	95
4.1	引言.....	95
4.2	硅柱互连及共面键合结构的概念与设计.....	95
4.3	基于金硅共面键合的硅柱互连结构制备.....	98
4.4	基于金硅共面键合的硅柱互连结构测试与表征.....	101
4.4.1	金硅共面键合结构的共面性评估.....	101
4.4.2	金硅共面键合结构的封装气密性评估.....	104
4.4.3	硅柱互连结构的电学特性评估.....	105
4.5	小结.....	109
第五章	基于硅柱互连的 MEMS 谐振器三维圆片级真空封装研究.....	111

5.1	引言.....	111
5.2	基于硅柱互连的 MEMS 谐振器三维封装设计与制备.....	111
5.2.1	MEMS 谐振器基本原理.....	111
5.2.2	MEMS 谐振器设计及电信号接口分析.....	112
5.2.3	基于硅柱互连的 MEMS 三维封装结构设计.....	113
5.2.4	基于硅柱互连的 MEMS 三维封装结构的工艺实现.....	115
5.3	器件封装工艺效果表征.....	121
5.3.1	器件封装工艺中金硅键合工艺对准偏差.....	121
5.3.2	器件封装的金硅键合界面情况.....	123
5.4	器件封装后的器件测试与性能表征.....	124
5.4.1	器件封装后谐振特性测试及寄生效应分析.....	124
5.4.2	器件封装的晶圆单片合格率统计.....	133
5.4.3	器件封装的真空度.....	137
5.4.4	器件封装真空度保持的长期稳定性.....	139
5.5	影响器件 Q 值的封装因素分析.....	140
5.5.1	金硅键合封装工艺的除气时间对器件 Q 值的影响.....	140
5.5.2	封装空腔深度设计对器件 Q 值的影响.....	141
5.5.3	封装真空度对器件 Q 值温度特性的影响.....	149
5.6	小结.....	153
第六章	总结与展望.....	155
6.1	研究内容总结.....	155
6.1.1	全文工作回顾.....	155
6.1.2	论文所实现的封装成效.....	158
6.1.3	论文主要的创新点总结.....	159
6.2	工作展望.....	160
	参考文献.....	163
	致 谢.....	173
	作者简介.....	175

攻读学位期间发表的学术论文与研究成果.....	177
-------------------------	-----

表格目录

表 1.1	对于非传统 TSV 技术实现具有金属或硅柱垂直互连形式的 MEMS 三维圆片级封装结构制备工艺复杂度的总结。.....	24
表 1.2	对于非传统 TSV 技术实现具有金属或硅柱垂直互连形式的 MEMS 三维圆片级封装性能及通用性的总结。.....	25
表 2.1	Au/ α -Si 键合结构制备中所沉积的不同薄膜厚度参数。.....	43
表 2.2	改进型 Au/bulk Si 键合结构制备过程中所沉积的薄膜参数。.....	53
表 2.3	本论文制备的改进型 Au/bulk Si 键合结构所计算和测量的关键结构参数。.....	61
表 2.4	在拉伸试验中改进型 Au/bulk Si 键合结构在不同 Cap Si 的 SiO ₂ 厚度（也即芯片类型）下测试得到的拉力值和键合强度值。.....	62
表 2.5	Au/ α -Si 和 Au/bulk Si 键合结构在 KOH 腐蚀测试中的平均侧向钻蚀速率。.....	65
表 3.1	近来文献中采用金属键合工艺实现的 3D 互连所测试得到的比欧姆接触电阻率。.....	68
表 3.2	不同接触半径下的体硅扩散电阻的仿真值及公式修正计算值的汇总。.....	74
表 3.3	拉伸试验后圆形和方形键合图形不同尺寸的 Cap Si 一侧断面形貌光学显微镜照片。.....	91
表 4.1	对 10 个随机选取的封装芯片进行 He 检漏试验中测试得到的泄漏率。.....	104
表 4.2	本实验所测试的 He 泄漏率数据与其他封装文献的比较。.....	105
表 4.3	在金硅键合工艺前后硅柱互连结构电阻测试对的电阻测试值和相	

应欧姆接触电阻 $R_{Contact}$ 提取值。	108
表 5.1 不同 MEMS 器件晶圆三维封装中采用的不同金硅共晶键合工艺参数。	121
表 5.2 衬底采用玻璃片的 MEMS 谐振器三维封装后在不同接地情况下的寄生电容水平。	132
表 5.3 衬底采用硅片的 MEMS 谐振器三维封装后在不同接地情况下的寄生电容水平。	132
表 5.4 MEMS 谐振器三维封装后不具有封装气密性的器件在不同盖板和衬底空腔深度下谐振器大气环境 Q 值以及单对梳齿结构对应的仿真阻尼力值汇总。	146
表 5.5 不同封装情况下 MEMS 谐振器三维封装后的器件 Q 值随温度变化的曲线通过幂指数拟合的结果。	152
表 6.1 本工作在封装性能方面与其他具有硅柱垂直互连形式的非传统 TSV 技术实现的 MEMS 三维圆片级封装结构的比较。	158

图示目录

图 1.1	典型的 MEMS 圆片级薄膜封装工艺及所实现的封装结构 ^[23-24] 。..3
图 1.2	典型的基于圆片级键合技术的 MEMS 圆片级封装工艺及所实现的封装结构 ^[24] 。.....4
图 1.3	在硅玻璃键合中金属平面互连线跨越键合密封环导致的封装气密性问题示意图 ^[35] , (a) 键合区域的俯视图, (b) 键合区域的剖视图。.....7
图 1.4	在硅玻璃键合中由平面金属布线跨越密封环时产生的微通道的 (a) 模型示意图, 及其相应的 (b) 微通道泄漏模型图 ^[37] 。.....7
图 1.5	硅玻璃键合中平面金属布线跨越密封环存在微通道的光学显微镜和电镜照片 ^[37] 。.....8
图 1.6	通过硅-硅等离子体激活键合实现的带有金属平面互连布线的 MEMS 圆片级封装结构示意图 ^[38] 。.....9
图 1.7	硅玻璃键合实现的具有埋层平面互连形式的 MEMS 圆片级封装结构示意图 ^[39-40] 。.....9
图 1.8	硅玻璃键合实现的带有金属平面互连线的 MEMS 圆片级封装结构示意图 ^[41] 。.....10
图 1.9	硅玻璃键合实现的带有埋置于所刻蚀的玻璃沟槽内金属平面互连线的 MEMS 圆片级封装结构示意图 ^[42] 。.....11
图 1.10	玻璃浆料键合实现的带有金属平面互连线的 MEMS 圆片级封装结构示意图, 金属互连线从 (a) 器件基板晶圆一侧引出 ^[39] 和 (b) 盖板晶圆一侧引出 ^[44] 。.....11
图 1.11	聚合物键合实现的带有金属平面互连线的 MEMS 圆片级封装结构示意图 ^[46] 。.....12
图 1.12	金锡焊料键合实现的在盖板晶圆一侧进行金属平面互连布线的 MEMS 圆片级封装结构示意图 ^[47] 。.....12

图 1.13	金硅共晶键合实现的在器件晶圆一侧进行金属平面互连布线的 MEMS 圆片级封装结构示意图 ^[48] 。.....	13
图 1.14	基于金属或多晶硅填充的 TSV 技术应用于 MEMS 圆片级封装的两种方式, (a) 从盖板引出, 以及 (b) 从基板引出 ^[57] 。.....	15
图 1.15	一种应用于硅基谐振器封装的具有一定坡度通孔的 TSV 形式 ^[58] 。.....	15
图 1.16	由硅玻璃键合实现的一种在玻璃基板一侧形成垂直金属互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 ^[63] 。.....	17
图 1.17	由硅玻璃键合实现的另一种在玻璃基板一侧形成垂直金属互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 ^[64] 。..	17
图 1.18	由玻璃浆料键合实现的一种在硅盖板一侧形成垂直金属互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 (由 ADI 公司开发) ^[65] 。.....	18
图 1.19	由硅玻璃键合实现的一种在 SOI 硅盖板晶圆一侧形成垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 ^[66-67] 。.....	19
图 1.20	由硅玻璃键合实现的另外一种在硅玻璃键合的盖板晶圆一侧形成垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 ^[68] 。.....	19
图 1.21	由 Murata Electronics Oy 公司开发的一种垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 ^[24, 69] 。.....	20
图 1.22	由 STMicroelectronics 公司开发的基于 THELMA 技术实现的两种垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图 ^[70] , (a) 硅柱互连结构在器件晶圆层形成, 以及 (b) 硅柱互连结构在衬底晶圆层形成。.....	21
图 1.23	由 Silex Microsystems 公司开发 Sil-Via 技术实现的一种垂直硅柱互连的 MEMS 三维圆片级封装结构示意图 ^[71-72] 。.....	22
图 1.24	由 Teledyne DALSA 公司开发的基于 MIDIS 技术实现的一种垂直	

硅柱互连的 MEMS 三维圆片级封装结构示意图 ^[73-74] 。.....	22
图 2.1 Au/bulk Si 键合结构的示意图, (a) 键合前, (b) 键合后。...	33
图 2.2 金硅共晶键合工艺中键合压力和温度随时间的变化曲线。.....	35
图 2.3 Au/bulk Si 键合结构在 KOH 腐蚀 6 hours 后的侧面光学显微镜照片。.....	36
图 2.4 Au/bulk Si 键合结构在 KOH 腐蚀 6 hours 后的 SEM 照片。.....	37
图 2.5 在 KOH 腐蚀 6 hours 后 Au/bulk Si 键合结构的剖面 SEM 照片, (a) 整体钻蚀形貌, (b) 钻蚀前沿的局部放大照片。.....	38
图 2.6 Au/bulk Si 键合结构的剖面 SEM 照片。.....	39
图 2.7 Au/ α -Si 键合结构示意图, (a) 键合前, (b) 键合后 α -Si 层全部反应, (c) 键合后 α -Si 层有残余。.....	42
图 2.8 α -Si 与 Au 厚度比为 12.5:1 的 Au/ α -Si 键合芯片单元的红外显微镜照片, (a) 腐蚀前, (b) 腐蚀 20 min 后。.....	45
图 2.9 α -Si 与 Au 厚度比为 4:1 的 Au/ α -Si 键合芯片单元的红外显微镜照片, (a) 腐蚀前, (b) 腐蚀 20 min 后。.....	45
图 2.10 α -Si 与 Au 厚度比为 1.5:1 的 Au/ α -Si 键合芯片单元的红外显微镜照片, (a) 腐蚀前, (b) 腐蚀 6 h 后。.....	46
图 2.11 α -Si 与 Au 厚度比为 12.5:1 的 Au/ α -Si 键合芯片单元在 90 min 的 KOH 腐蚀后边界经由 FIB 处理后的 SEM 照片。.....	47
图 2.12 Au/ α -Si 键合芯片单元在腐蚀前的键合界面 SEM 照片, (a) α -Si 与 Au 厚度比为 12.5:1, (b) α -Si 与 Au 厚度比为 1.5:1。.....	48
图 2.13 (a)传统 Au/bulk Si 键合结构和(b)基于 LOCOS 的改进型 Au/bulk Si 键合结构示意图。.....	49
图 2.14 改进型 Au/bulk Si 键合结构的制备工艺流程图。.....	51
图 2.15 改进型 Au/bulk Si 键合结构在 KOH 腐蚀前的键合界面 SEM 照片, (a) Cap Si 具有 650 nm 厚度的 SiO ₂ , (b) Cap Si 具有 1400 nm 厚度的 SiO ₂ 。.....	54

图 2.16	Cap Si 具有 650 nm 厚度 SiO ₂ 的改进型 Au/bulk Si 键合结构在 KOH 腐蚀 28 h 后的两种典型光学和红外显微镜照片, 即 (a) 单面减薄成功和 (b) 单面减薄不成功的情况; 另外, (c) 和 (d) 分别为 (a) 和 (b) 图中的右上角蓝色虚线框的红外显微镜照片。.....	56
图 2.17	在图 2.16 (b) 中检测点(I)和(II)的 SEM&EDS 结果, 分布在 Substrate Si 上的 (a) 纯 Au 薄膜和 (b) Au-Si 合金。.....	57
图 2.18	Cap Si 具有 650 nm 厚度 SiO ₂ 的改进型 Au/bulk Si 键合结构在 KOH 腐蚀 28 h 后的键合界面 SEM 照片, 即 (a) 中的 Case-1 单侧减薄和 Case-2 双侧减薄两种情况; 另外, (b) 和 (c) 分别为 (a) 中 Case-1 的 (I) 和 Case-2 的 (II) 区域的腐蚀边界 SEM 照片。.....	59
图 2.19	(a) Cap Si 具有 1400 nm SiO ₂ 的改进型 Au/bulk Si 键合结构在 KOH 腐蚀 34 h 后典型的光学显微镜照片, 及其 (b) 相应的剖面 SEM 照片。.....	60
图 2.20	改进型 Au/bulk Si 键合芯片在拉伸测试后的断面光学显微镜照片, (a1) 与 (a2) 中体硅开裂发生在键合环和少部分非键合环区域(在拉伸测试中具有最小的拉力值 469 N), 而 (b1) 与 (b2) 中体硅开裂发生在键合环和大部分非键合环区域(在拉伸测试中具有最大的拉力值 1609 N。.....	63
图 3.1	本论文工作所提出的一种基于金硅键合实现的硅柱 3D 互连结构示意图。 Figure 3.1 The sketch of the 3D interconnection structure of Si columns in this work.....	69
图 3.2	金硅键合欧姆接触电阻测试结构示意图。.....	70
图 3.3	金硅键合欧姆接触电阻测试结构的电阻模型。.....	71
图 3.4	金硅键合欧姆接触电阻测试结构的尺寸说明。.....	72
图 3.5	通过有限元仿真获得的体硅扩散电阻结构中的电势分布(以接触图形半径设计值 20 μm 为例)。.....	73
图 3.6	所设计的金硅键合欧姆接触电阻测试结构的制备工艺流程图。.....	74

图 3.7	金硅欧姆接触电阻测试图形的部分阵列 SEM 照片（包含一个接触半径设计值为 $3\text{ }\mu\text{m}$ 的典型接触图形的俯视图和横截面 SEM 照片）。	76
图 3.8	实验采用的四探针 Kelvin 测试照片。	77
图 3.9	350°C 键合温度下金硅键合工艺前后不同接触半径接触对之间的 I-V 特性曲线。	77
图 3.10	对于不同键合温度 350°C 、 400°C 和 430°C 的芯片探针测试得到的总电阻 R_T 值（不同接触图形半径各测试 20 组数据）。	78
图 3.11	键合温度 400°C 下不同金硅接触图形尺寸对应的 SEM 照片，(a) 接触图形半径设计值为 $3\text{ }\mu\text{m}$ 的测试图形以及 (b) 接触图形半径设计值为 $20\text{ }\mu\text{m}$ 的测试图形。	79
图 3.12	对于键合温度 350°C 的测试芯片所提取的 R_c 值和计算的 ρ_c 值（不同接触图形半径各测试 20 组数据）。	80
图 3.13	所设计的用于金硅键合强度测试的金硅键合结构。	82
图 3.14	对于圆形键合图形的键合面积为 $420^2\text{ }\mu\text{m}^2$ 所仿真得到的键合结构正应力分布，(a) 整体正视图，(b) 在图 (a) 中 A-A' 俯视图，(c) 在图 (a) 中边角(I)区域的局部正视图。	84
图 3.15	对于方形键合图形的键合面积为 $420^2\text{ }\mu\text{m}^2$ 所仿真得到的键合结构正应力分布，(a) 整体正视图，(b) 在图 (a) 中 A-A' 俯视图，(c) 在图 (a) 中边角(I)区域的局部正视图。	85
图 3.16	不同键合图形形状（圆形与方形）的键合结构在同一拉伸压强值作用下其结构中的最大正应力随着键合图形尺寸变化的关系。	86
图 3.17	对于圆形键合图形半径为 $541.6\text{ }\mu\text{m}$ 所仿真得到的键合结构正应力分布，(a) 正视剖面图，(b) 俯视剖面图。	86
图 3.18	对于圆形键合图形半径为 $135.4\text{ }\mu\text{m}$ 所仿真得到的键合结构正应力分布，(a) 正视剖面图，(b) 俯视剖面图。	87
图 3.19	对于圆形键合图形半径为 $67.7\text{ }\mu\text{m}$ 所仿真得到的键合结构正应力分布，(a) 正视剖面图，(b) 俯视剖面图。	87
图 3.20	用于金硅键合强度评估的测试结构的制备工艺流程。	89

图 3.21	在拉伸测试中对于不同键合图形尺寸和形状所测试得到的拉力峰值和相应计算得到的键合强度值。.....	90
图 4.1	所提出的基于金硅共面键合的硅柱互连结构的三维模型示意图。	96
图 4.2	所提出的基于金硅共面键合的硅柱互连结构的剖面示意图。.....	97
图 4.3	含有平面互连结构的金硅共面键合结构制备流程。.....	99
图 4.4	盖板晶圆的制备及具有硅柱互连特征的整体圆片级封装结构实现的工艺流程。.....	100
图 4.5	在金硅键合工艺之前所制备键合晶圆上一个芯片单元的光学显微镜照片，(a) 盖板晶圆一侧，(b) 含有平面互连结构的共面键合结构的器件晶圆一侧。.....	101
图 4.6	(a) 在金硅键合之前，器件晶圆上一个共面键合结构（如图 4.5 (b) 中绿色虚线框标记区域）的三维表面轮廓；(b) 从图 (a) 的 A-A' 角度测试的键合面高度变化情况。.....	102
图 4.7	键合晶圆划片后的其中一个封装芯片单元（具有 4×4 阵列的硅柱互连结构）的光学显微镜照片。.....	103
图 4.8	一个封装芯片上的一个硅柱互连结构的剖面 SEM 照片。.....	103
图 4.9	硅柱互连结构电阻测试原理，(a1) 和 (b1) 分别是共面结构中采用金属平面互连线情况在键合前后的一对硅柱互连结构电阻测试图形，(a2) 和 (b2) 分别是共面结构中采用体硅平面互连线情况在键合前后的一对硅柱互连结构电阻测试图形。.....	106
图 4.10	通过具体尺寸标注加以说明的硅柱互连结构示意图。.....	107
图 4.11	表 4.3 中 $R_x=R_M$ 和 $R_x=R_S$ 情况下的 R_0 和 R_I 两组数据对应的 I-V 特性曲线。.....	109
图 5.1	MEMS 谐振器典型的一维弹簧-质量块-阻尼系统等效模型。....	112
图 5.2	(a) 实验采用的 MEMS 谐振器原型示意图，以及 (b) 该谐振器工作的“SE”模态仿真结果。.....	113

图 5.3	(a) 实验设计的含有金硅共面键合结构的 MEMS 谐振器版图， 及其 (b) 相应的基于硅柱互连的 MEMS 谐振器圆片级三维封装结构三 维示意图。.....	114
图 5.4	金硅共面键合实现的基于硅柱互连 MEMS 谐振器三维封装结构的 剖面示意图。.....	115
图 5.5	承载硅柱互连结构的盖板晶圆工艺流程。.....	117
图 5.6	基于 Cavity-SOI 工艺实现的 MEMS 谐振器制备流程，(a) Cavity-SOI 的衬底采用玻璃片，以及 (b) Cavity-SOI 的衬底采用硅片。	119
图 5.7	MEMS 谐振器三维圆片级封装工艺的实施及硅柱互连结构的形成 工艺流程，(a) MEMS 谐振器的衬底采用玻璃片，以及 (b) MEMS 谐振器的衬底采用硅片。.....	120
图 5.8	MEMS 器件三维封装后反映金硅键合工艺对准偏差的晶圆中心两 侧的对准标记处 (a) 和 (b) 的红外显微镜照片。.....	122
图 5.9	MEMS 器件三维封装结构划片后芯片单元的剖面 SEM 照片。	123
图 5.10	MEMS 器件三维封装芯片单元的 SAM 照片，(a) 反射模式，(b) 透射模式。.....	124
图 5.11	MEMS 器件三维封装芯片单元通过引线键合工艺建立与 PCB 测 试电路板信号连接的 SEM 照片。.....	125
图 5.12	MEMS 谐振器在三维封装后在器件驱动端与检测端之间的寄生 电容网络，(a) MEMS 谐振器的衬底采用玻璃片，以及 (b) MEMS 谐振器的衬底采用硅片。.....	126
图 5.13	(a) MEMS 谐振器三维封装后在器件驱动端与检测端之间构成 的等效电路模型，(b) 器件驱动端与检测端之间存在由器件本身引入 的寄生电容网络模型。.....	126
图 5.14	采用电路级电容补偿的方法消除三维封装器件谐振特性测试中 所存在的除开器件引入的其他杂散寄生电容示意图。.....	128
图 5.15	含有寄生电容补偿电路的谐振器谐振特性测试电路示意图。.	129

图 5.16	在不同接地情况下三维封装的 MEMS 谐振器所测试得到的幅频特性曲线，（a）MEMS 谐振器的衬底采用玻璃片，以及（b）MEMS 谐振器的衬底采用硅片。.....	130
图 5.17	MEMS 器件衬底采用硅片的封装单片合格率统计（用表 5.1 的 No.1 键合工艺）。.....	134
图 5.18	MEMS 器件衬底采用玻璃片的封装单片合格率统计（用表 5.1 的 No.2 键合工艺）。.....	135
图 5.19	MEMS 器件衬底采用玻璃片的封装单片合格率统计（用表 5.1 的 No.3 键合工艺）。.....	136
图 5.20	从 MEMS 器件三维封装结构的玻璃衬底一侧观察到的金硅合金外溢现象的光学显微镜照片。.....	137
图 5.21	封装具有气密性和不具有气密性的 MEMS 谐振器三维封装后所测试得到的幅频特性曲线，（a）MEMS 谐振器衬底采用玻璃片，以及（b）MEMS 谐振器衬底采用硅片。.....	138
图 5.22	封装不具有气密性（即存在封装泄漏）的 MEMS 谐振器三维封装后所测试得到的 Q - P 曲线，（a）MEMS 谐振器衬底采用玻璃片，以及（b）MEMS 谐振器衬底采用硅片。.....	138
图 5.23	MEMS 谐振器三维封装衬底采用玻璃片的气密性封装情况下器件归一化 Q 值随时间变化的稳定性。.....	139
图 5.24	MEMS 器件衬底采用玻璃片的气密性封装情况下器件 Q 值的频数统计结果（采用表 5.1 的 No.2 和 No.3 键合工艺）。.....	140
图 5.25	W_{air_cavity} 函数随 MEMS 谐振器三维封装结构空腔深度变化的曲线。.....	142
图 5.26	MEMS 谐振器三维封装结构中谐振器单对梳齿结构空气阻尼有限元仿真模型。.....	143
图 5.27	MEMS 谐振器三维封装结构中谐振器单对梳齿结构在 $1/2$ 周期时的速度分布（盖板和衬底空腔深度均为 $50\ \mu\text{m}$ ），（a）仿真结构 xy 截面上沿 x 轴的速度分布，（b）仿真结构 xz 截面上沿 x 轴的速度分布。	

.....	144
图 5.28 MEMS 谐振器三维封装结构中单对梳齿结构在不同衬底空腔深度下所仿真得到的阻尼力（盖板空腔深度固定为 50 μm ）。.....	145
图 5.29 归一化的 Q 值 ($Q_{normalized}$) 与归一化后的空气阻尼系数 ($C_{normalized}$) 随 MEMS 谐振器三维封装结构空腔深度变化的曲线。.....	147
图 5.30 MEMS 谐振器三维封装后不具有封装气密性的器件在不同盖板和衬底空腔深度情况下实验测试得到的 Q - P 曲线。.....	148
图 5.31 MEMS 谐振器三维封装具有气密性封装情况下器件幅频特性曲线随环境温度变化的关系，(a) 封装气压约为 1 kPa 的封装器件，(b) 封装气压约为 30 kPa 的封装器件。.....	149
图 5.32 不同封装情况（包括不同封装真空度的气密封装以及非气密封装）下 MEMS 谐振器三维封装后的器件 Q 值随温度变化的曲线。.	150

第一章 绪论

1.1 引言

随着集成电路和微纳加工技术的发展^[1], 微系统技术正逐渐成为传感器小型化、多功能的研究重点和产业化的必然选择。微机电系统 (Micro Electro Mechanical System, MEMS) 是通过半导体工艺和微纳加工技术在硅或其他介质晶圆上形成微机械元件 (如微型传感器、微型执行器) 并最终与信号处理电路集成于一体的统称。与传统的机械传感器相比, MEMS 传感器具有体积小、重量轻、成本低、功耗低、可靠性高、适于量产、易于集成和实现智能化的优势。目前, 大多数 MEMS 传感器都是以 MEMS 谐振器为基础实现的各物理或化学量的传感, 比如 MEMS 磁场传感器^[2]、MEMS 压力传感器^[3]、MEMS 惯性传感器 (陀螺仪^[4]、加速度计^[5]等)、用于射频通信领域的 MEMS 振荡器与滤波器^[6]、RF MEMS 射频开关^[7]、以及化学类传感器^[8], 而 MEMS 谐振器由于其与晶振相媲美的高品质因数也被用作时间基准器件^[9]。

由于 MEMS 器件具有可动结构易受组装工艺和实际应用场景的外力冲击和环境影响, 因此通常需要进行封装以保护器件脆弱的可动结构并实现与外界环境的隔离。MEMS 封装一直以来是实现 MEMS 传感器的产品化和实用化的进程中极具挑战性又十分关键的工艺^[10], 同时由于 MEMS 封装的成本占据 MEMS 产品成本的 80% 以上并随着器件结构复杂度的提升而增加^[11-12], 这使得对于 MEMS 封装工艺的简化和低成本要求日渐突显。

综合来看, MEMS 封装的功能主要有下面 3 个方面:

(1) 机械保护

由于 MEMS 器件通常含有微米量级的结构间隙以及悬浮梁结构, 若不进行器件封装, 则空气中的颗粒将进入结构间隙导致可动结构的黏附失效, 同时 MEMS 器件的悬浮梁结构也容易受到外部冲击的损坏。此外对于未进行封装的 MEMS 腔体也会存在潜在的空气腐蚀损害, 由于工艺中的残余液体 (如冷凝以后) 与梁结构以及空气之间所产生的表面张力也会导致梁结构粘附而失效^[12]。

（2）化学保护

由于 MEMS 器件结构具有较高的表面积-体积比,若不进行封装,结构表面将发生更为显著的化学反应并改变器件的性能,比如在较高湿度下水蒸气将促进硅基 MEMS 结构表面的氧化硅层生长并引起材料的裂纹最终改变器件的疲劳特性^[13-14];此外,对于未封装的 MEMS 器件,环境氛围的湿度变化也会引起器件 Q 值的变化从而影响器件的稳定性^[15],又比如湿度已经被证明是 RF MEMS 器件性能下降的主要原因^[16]。

（3）器件性能的提升

实际上, MEMS 谐振器通常需要采用真空封装以降低机械运动部件运动时的空气阻尼,从而获得较高的品质因数 (Quality-factor, 简称 Q -factor 或 Q) 以提升器件性能、长期稳定性以及使用寿命,比如谐振式 MEMS 器件等。不过对于谐振式 MEMS 加速度传感器来说,其需要一定气氛下的气密封装,因为其需要一定的空气阻尼来避免加速度载荷下过高的器件输出,并通过控制封装内部的气压调节阻尼系数比来对器件的动态响应进行优化^[17-18]。

目前,实现 MEMS 的气密或真空封装通常有器件或芯片级 (Die-level)^[19]和圆片级 (Wafer-level Package, WLP) 两种封装方案。器件级封装是指将 MEMS 晶圆通过划片分割为独立的 MEMS 器件,后通过管壳或陶瓷基板等实现 MEMS 芯片单元的封装,然而晶圆的切割涉及到机械划片和湿法工艺将会降低 MEMS 器件的成品率,且单芯片的封装工艺效率较低且成本较高。圆片级封装则是在晶圆层级通过薄膜沉积 (薄膜封装) 及键合工艺等半导体制造技术完成 MEMS 器件的封装,由于在晶圆层级能一次实现晶圆上所有器件的封装,因此能通过批量化制造极大地降低成本,并能提高工艺参数一致性、产品的成品率与可靠性,可见圆片级封装已经成为 MEMS 技术发展中的关键技术^[20]。

本章首先对 MEMS 圆片级封装和键合技术进行概述,随后详细介绍基于键合技术实现的 MEMS 圆片级封装研究现状与进展,一方面重点阐述基于平面互连的 MEMS 圆片级封装及其互连线引入的封装气密性问题,另一方面总结了顺应发展潮流的基于垂直互连的 MEMS 三维圆片级封装技术及其面临的诸多挑战与现存问题,进而引入本文的研究内容。

1.2 MEMS 圆片级封装与键合技术概述

1.2.1 MEMS 圆片级封装技术概述

MEMS 圆片级封装主要有两种方法，一种是通过薄膜沉积工艺实现 MEMS 器件的封装，即以所沉积薄膜作为器件的盖板层，被称为薄膜盖板封装或薄膜封装（Thin-film Cap Packaging）；另一种是通过圆片级键合工艺实现盖板晶圆（如玻璃片、硅片等）对 MEMS 器件的封装，被称为圆片级键合封装或硬盖板封装（Hard Cap Packaging）。

图 1.1 展示了 MEMS 薄膜封装的示意图，（a）在释放后的 MEMS 结构上沉积牺牲层，（b）随后在 MEMS 晶圆上沉积盖板薄膜层，（c）对所沉积的盖板薄膜层进行光刻和腐蚀（或刻蚀）以形成抽气窗口（Vent Hole），并通过抽气窗口将牺牲层腐蚀干净，（d）最后通过薄膜沉积工艺在一定真空下实现抽气窗口的填充与封闭。可见，对于 MEMS 的薄膜封装，牺牲层为 MEMS 结构提供了运动空腔，而盖板薄膜层构成了器件最终的封装结构。作为薄膜封装的封装盖板材料主要有多晶硅、氮化硅、氧化硅等材料^[21]，现在较为成熟的薄膜封装技术是由 Stanford University 和 Bosch 公司开发的“Epi-seal”方法，其采用氧化硅为牺牲层以及多晶硅作为盖板层，其所涉及工艺温度约 1000°C ^[22]。

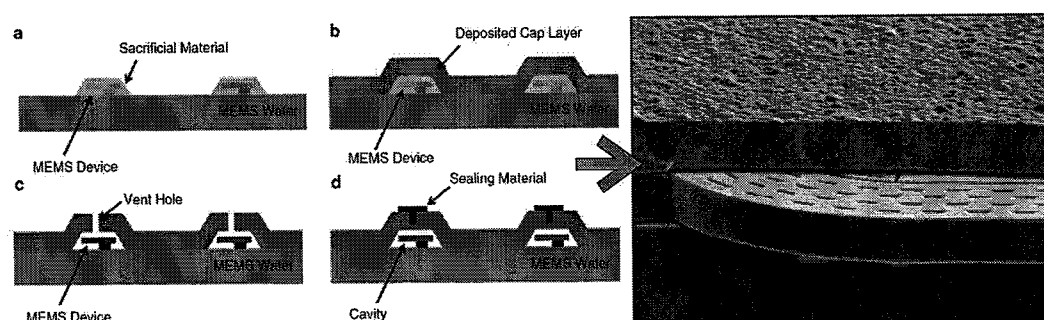


图 1.1 典型的 MEMS 圆片级薄膜封装工艺及所实现的封装结构^[23-24]。

Figure 1.1 The typical fabrication process and its realized packaging structure of the Thin-film wafer-level packaging technology for MEMS^[23-24].

薄膜封装可以实现器件最小面积的封装，但是所涉及的材料与工艺的选择却是个难题，比如 MEMS 器件本身和牺牲层材料都必须能耐受较高的温度，且在

去除牺牲层的腐蚀性工艺条件选择上需要考虑对盖板薄膜材料的影响。此外由于涉及到高温工艺，MEMS 器件的电互连及封装体外的信号引出也成为难题，比如难以采用金属而仅能利用硅材料进行互连和信号引出。这些都对 MEMS 器件的设计和制造产生了很大的限制。

图 1.2 展示了基于圆片级键合技术实现的 MEMS 器件盖板封装示意图，一片含有 MEMS 结构的晶圆与另一片具有空腔结构的晶圆通过键合工艺实现了封装。与薄膜封装技术相比，基于键合技术实现的 MEMS 圆片级封装具有较低的工艺温度，且盖板的空腔结构具有可设计性（如空腔深度、吸气剂 Getter 的沉积等），同时盖板晶圆能提供更高的抗冲击强度，这都使得 MEMS 器件的设计和制造（包括互连方式及金属选择）有了更多的自由度，因此基于键合技术实现的 MEMS 圆片级封装应用更加广泛。下一节对现在主流的圆片级键合技术的形式和方法进行了总结。

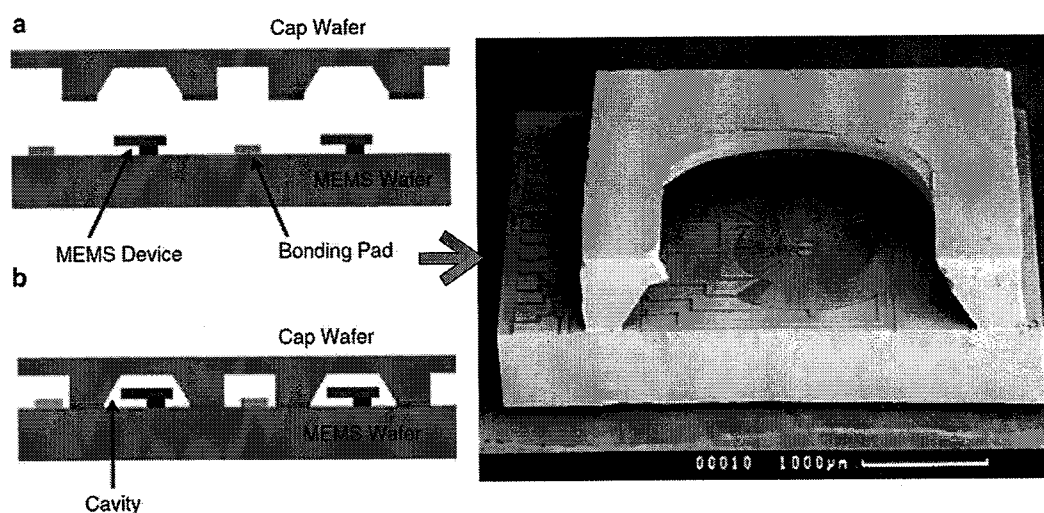


图 1.2 典型的基于圆片级键合技术的 MEMS 圆片级封装工艺及所实现的封装结构^[24]。

Figure 1.2 The typical fabrication process and its realized packaging structure of the wafer-level packaging technology for MEMS based on wafer bonding techniques^[24].

1.2.2 MEMS 圆片级键合技术概述

圆片级键合技术是实现三维复杂微机电系统的制造及封装的关键技术，也是集成电子、光子和微机械器件的重要工艺流程^[25]。接下来，本文将对目前主流的圆片级键合技术进行概述。

(1) 直接圆片键合

直接键合是在不施加外力和没有介质粘附层的情况下使两片硅片键合在一起的方式,其原理主要是范德华力、毛细作用力或静电作用力^[26]。该方式对键合表面的平坦度、光滑度和清洁度有很高的要求^[27]。主要有阳极键合和熔融键合。

1) 阳极键合

主要用于硅-玻璃键合和金属-玻璃键合,在 300~450°C 下对 2 个待键合晶圆上施加 500~1000V 的电压(玻璃片接负极,金属或硅片接正极)完成键合。

2) 熔融键合

典型的退火温度要求 600~1200°C,分为高温亲水键合、高温疏水键合和等离子激活键合。高温亲水键合适合于硅片表面具有氧化硅的键合情况(Si-O-Si 共价键);高温疏水键合针对硅片表面不具有氧化硅的键合情况(Si-Si 共价键)。

实际上,硅硅的高温亲水和疏水键合存在与薄膜封装中类似的高温问题,因此常被用于 MEMS 结构的制备而难以用于封装,为此采用等离子激活键合则能有效降低硅硅键合的温度,其主要是采用 Ar、N₂ 和 O₂ 的等离子体实现 400°C 下低温亲水键合^[27]。

(2) 介质层键合

低温键合避免了掺杂剂的扩散和内互连的失效,也保证了微电子和微机械结构的性能。因此,介质层键合集中在下述 3 种介质材料被广泛研究。

1) 玻璃浆料键合

玻璃浆料键合利用了较低熔点的玻璃作为介质层,玻璃的液态流动性可以补偿键合表面的不平整性,但是其密封环宽度较宽且存在溢出效应对器件的冗余设计有很高的要求。

2) 聚合物键合

聚合物作为键合的介质层选材广泛,如环氧树脂、SU-8、BCB、聚酰亚胺和紫外(UV)固化的材料等。该方式工艺温度较低,不需要平整的表面,能容忍颗粒的沾污。

3) 焊料键合

焊料键合也称为共晶焊料键合,它是以金属(包括锡、银、铝和金等能形成

较低熔点的合金)作为介质层,升温到合金的熔点后冷却形成较强的键合结构。与直接键合相比,共晶键合对表面的粗糙和平整度要求较低;与熔融键合相比,共晶键合温度很低;与阳极键合相比,共晶键合在实现低键合温度的同时不需要施加高电压,而高压对静电式 MEMS 极为有害;与有机物作为介质层相比,共晶键合可以实现更好的除气和气密封装^[28]。共晶键合的限制因素较少,可选材料和工艺参数范围较大,可用于硅与硅、硅与玻璃和硅与金属外壳的键合。

而硅与金则可以形成最为稳定的合金^[29],因此金硅共晶键合被广泛研究^[30-31]。实际上,金硅共晶键合结构的形成源于 Au 与 Si 间的互扩散。当对键合面施加一定压力和高于共晶温度 363°C 的温度时, Au 与 Si 原子接触反应形成金硅合金,并在达到共晶成分时形成液相,液相加速了原子的扩散和共晶体的混合,从而在冷却后形成良好的键合结构。金硅共晶键合具有较高的机械强度、较高的热阻和耐化学性、较高的电导率,另外其对表面质量和平整度没有太多要求,与 IC 工艺有很好的兼容性,特别是较低的键合温度避免了金属化的破坏。此外,金硅键合技术所形成的金硅合金层也为器件的电学互连提供了新的思路^[32]。

1.3 基于键合技术的 MEMS 圆片级封装与互连的研究进展

1.3.1 基于平面互连的 MEMS 圆片级封装

1.3.1.1 由互连线引起的封装气密性问题

MEMS 圆片级封装需要考虑 MEMS 器件的信号接口问题,因为 MEMS 器件的运动及其控制都需要施加相应的驱动信号并检测器件的输出信号。在大多数以圆片级键合技术实现 MEMS 的圆片级封装中,其 MEMS 器件电信号的引出通常采用平面互连的形式,这意味着这些平面互连信号线需要跨越实现密封功能的键合密封环区域,此时金属层和绝缘层在键合密封环区域将会产生高于键合环区域的键合平面,也即产生互连线跨越键合密封环形成的“台阶”问题^[33-34]。在键合工艺实施中,在这些“台阶”与键合密封环交界处将会产生封装体的泄漏通道,从而难以实现 MEMS 器件的气密封装。图 1.3 以硅玻璃键合为例展示了上述的泄漏问题,并有研究表明,在硅玻璃键合工艺实现的 MEMS 封装中,金属互连线的

高度必须在 50 nm 以下才能保证器件封装的气密^[35]。又比如在 Si-Gold-Glass 异质键合中, Jayaprakash Reddy 等人^[36]研究发现 Au 薄膜的厚度应该控制在 55 nm 左右否则将会在金属层的边缘产生分层 (Delamination) 现象。

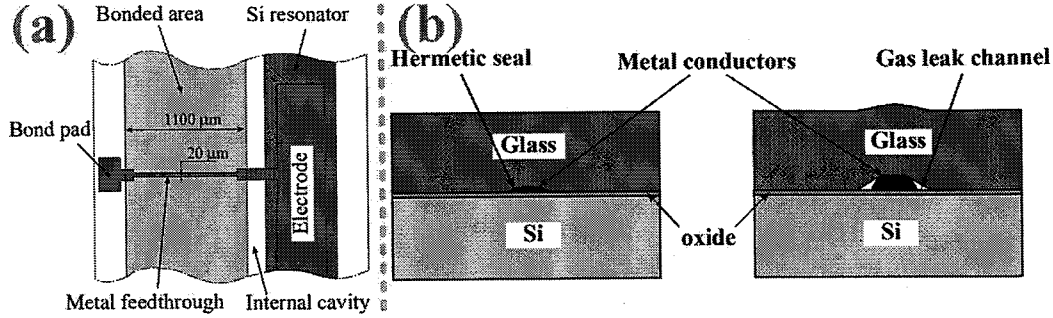


图 1.3 在硅玻璃键合中金属平面互连线跨越键合密封环导致的封装气密性问题示意图^[35], (a) 键合区域的俯视图, (b) 键合区域的剖视图。

Figure 1.3 The diagram of the hermetic packaging problem resulted from the metal feed-throughs passing through bonding zones in Si-Glass bonding^[35]. (a) The top view of the bonding zones and (b) the cross-sectional view of the bonding zones.

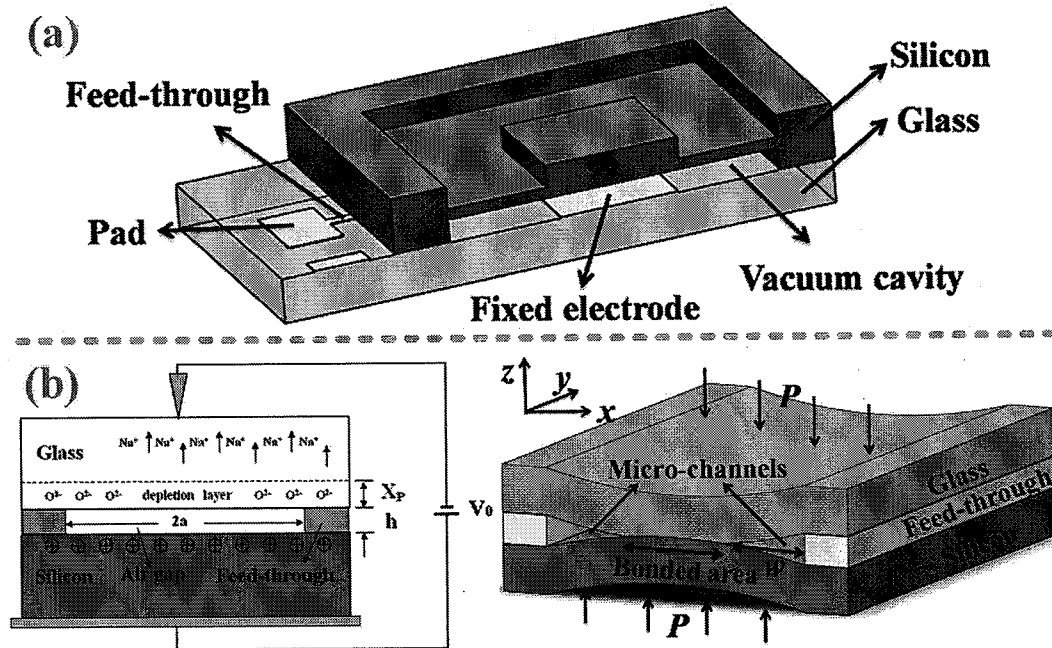


图 1.4 在硅玻璃键合中由平面金属布线跨越密封环时产生的微通道的 (a) 模型示意图, 及其相应的 (b) 微通道泄漏模型图^[37]。

Figure 1.4 (a) The sketch and (b) the corresponding model of the micro-channel caused by the metal feed-throughs passing through bonding zones in Si-Glass bonding^[37].

此外,如图 1.4 和图 1.5 所示, Liu, Q. 等^[37]从理论和实验上分析了金属互连线跨越键合密封环导致的封装气密性问题,其建立了这种台阶产生的泄露微通道对密封可靠性影响的理论模型。

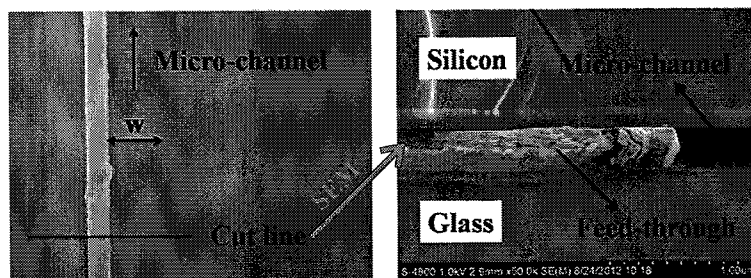


图 1.5 硅玻璃键合中平面金属布线跨越密封环存在微通道的光学显微镜和电镜照片^[37]。

Figure 1.5 The optical micro-photograph and SEM images for the micro-channel caused by the metal feed-throughs passing through bonding zones in Si-Glass bonding^[37].

显然,封装体内所需金属互连的信号接口存在跨越键合密封环的“台阶”问题极大地限制了封装的可靠性,如何在保证 MEMS 封装的气密性的同时实现 MEMS 器件的电信号接口始终是 MEMS 封装极具研究意义和工程价值的课题。实际上,圆片级键合技术在 MEMS 封装的应用中或多或少都存在上述“台阶”所致的封装气密性难题,下面将介绍各种键合技术在兼顾 MEMS 封装的气密性和信号接口中相应的解决方案。

1.3.1.2 基于平面互连的 MEMS 圆片级封装策略

为了解决平面互连线跨越键合密封环引起 MEMS 圆片级封装的气密问题,不同的键合技术均有其相应的封装结构设计策略。本节总结了主流的圆片级键合技术在实现 MEMS 圆片级封装时的平面互连设计方案,并分析了现有技术所面临的挑战。

(1) 硅硅等离子体激活键合

如图 1.6 所示, S. Kühne 等人^[38]采用 Au-Sn 与硅硅等离子体激活的混合键合方法实现了封装体内的电信号引出。先在 Cap 晶圆上腐蚀出 300 nm 的空腔,在空腔内沉积金属互连线(100 nm Au),并在 Cap 与 Bottom 晶圆需要电学互连的区域设置 Au-Sn 键合点(Cap 晶圆空腔内的 Au-Sn 键合点具有厚度为 150 nm

的 Au/Sn 比为 3:2 的共晶层, Bottom 晶圆的 Au-Sn 键合点具有一定厚度的 Au 薄膜), 随后对键合片表面进行 O_2 等离子体激活并进行键合工艺。键合中, Au-Sn 共晶焊料先在 300°C 的键合温度下形成液态共晶组分, 在键合压力作用下填充了 Cap 晶圆上的空腔结构, 并使得硅硅键合面接触, 随后降温至 250°C 并维持 4 小时进行硅硅直接键合, 最终实现基于硅硅键合的封装体内部的电信号引出。然而, 这种方法需要对空腔的深度和金属层的厚度综合考虑, 对空腔在亚微米级深度的均匀性有很高的工艺要求。

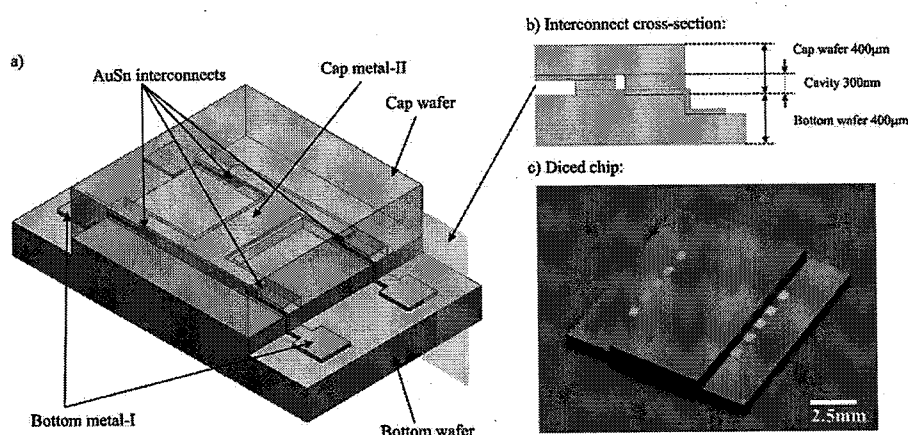


图 1.6 通过硅-硅等离子体激活键合实现的带有金属平面互连布线的 MEMS 圆片级封装结构示意图^[38]。

Figure 1.6 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections realized by the plasma-activated Si-Si bonding^[38].

(2) 硅玻璃键合 (阳极键合)

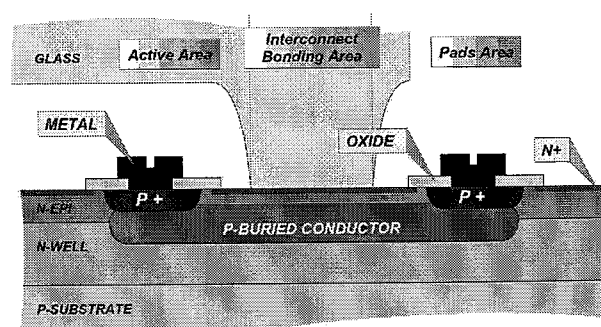


图 1.7 硅玻璃键合实现的具有埋层平面互连形式的 MEMS 圆片级封装结构示意图^[39-40]。

Figure 1.7 The diagram of the MEMS wafer-level packaging structure with buried layer interconnections realized by the Si-Glass bonding^[39-40].

硅玻璃键合（阳极键合），可以实现金属（合金）、半导体与玻璃键合在一起，一种方式是利用在基板圆片上制作外延层，利用埋层实现封装体内的向外引线^[39-40]，如图 1.7 所示，因此并不会产生金属布线的台阶导致封装的可靠性问题。

此外，硅玻璃键合也可以在一定的工艺和设计选择后通过金属层进行互连。一种方法是采用玻璃片上形成沟槽并在沟槽内制备金属引线，尽可能地降低由于金属布线在密封环区域形成的台阶，使得键合工艺容易进行^[41]，如图 1.8 所示，但这种方式显然会影响键合的可靠性和良品率。

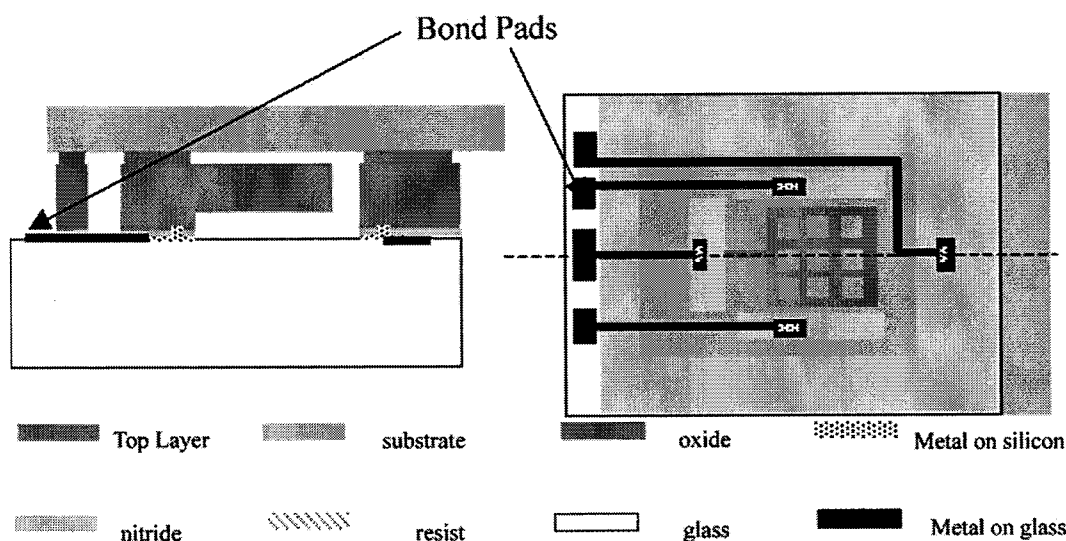


图 1.8 硅玻璃键合实现的带有金属平面互连线的 MEMS 圆片级封装结构示意图^[41]。

Figure 1.8 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections in the Si-Glass bonding^[41].

还有一种方式，是通过同时利用硅玻璃键合与 Au-Si 共晶键合实现的^[42]，如图 1.9 所示，通过在玻璃上制作沟槽并填充布线金属和键合金属，使得在键合工艺中能同时实现硅玻璃和金属共晶键合，并且依靠金硅合金的液态流动性来填补沟槽。然而，对于沟槽填充金属互连线的方案在保证封装气密性上仍有许多难度，一是金属互连线的厚度须保持在严格的范围内，二是当 Pyrex 玻璃用金属掩模进行沟槽刻蚀时在沟槽的侧面形成了长而平的斜坡，进而导致这些斜坡处未被金属填充而产生泄漏^[43]。

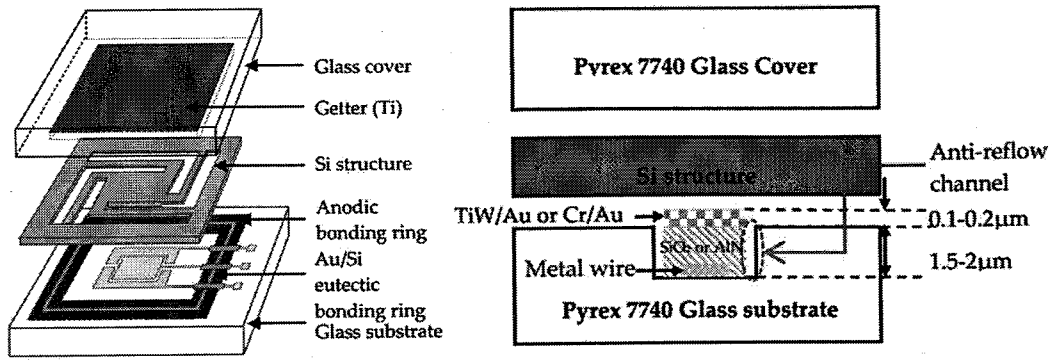


图 1.9 硅玻璃键合实现的带有埋置于所刻蚀的玻璃沟槽内金属平面互连线的 MEMS 圆片级封装结构示意图^[42]。

Figure 1.9 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections buried in the etched Glass-trenches in the Si-Glass bonding^[42].

(3) 玻璃浆料键合

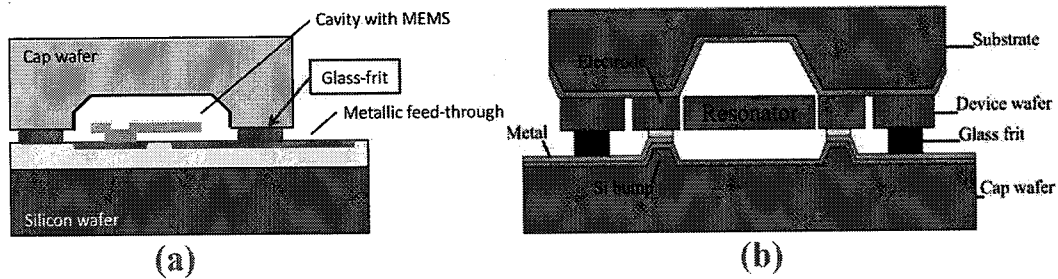


图 1.10 玻璃浆料键合实现的带有金属平面互连线的 MEMS 圆片级封装结构示意图，金属互连线从 (a) 器件基板晶圆一侧引出^[39]和 (b) 盖板晶圆一侧引出^[44]。

Figure 1.10 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections realized by the Glass-frit bonding. The horizontal metal interconnections leaded out on (a) the Device wafer^[39] and (b) the Cap wafer^[44].

玻璃浆料键合工艺中玻璃浆料具有天然的电学绝缘性，且玻璃浆料的厚度通常在几十个微米的量级，因此如图 1.10 所示，可以通过玻璃浆料的流动特性实现跨越金属布线的盖板封装，一种传统的封装体内向外引线的方式是通过可动结构的支撑圆片（基板圆片）上的金属布线实现^[39]，而另一种方式就是通过盖板圆片上的金属布线实现引线和互连^[44]。然而玻璃浆料键合存在封装尺寸和性能的限制^[45]，比如其几十微米的线宽设计难以满足 MEMS 器件的小型化和集成化要求。

(4) 聚合物键合

聚合物键合由于采用了具有电学绝缘性的有机树脂作为键合介质,则能较好的解决金属布线跨封键合密封时存在的台阶问题。如图 1.11 所示,文献^[46]采用了 BCB 键合的技术,先在盖板玻璃基板上形成空腔结构,随后将 BCB 胶通过喷胶 (Spray-coating) 的方法涂敷在盖板玻璃基板的键合面上,最后将盖板晶圆与制备好的 MEMS 结构晶圆进行键合。由于 BCB 胶在固化前具有一定的流动性,因此很容易对金属布线跨封键合密封时存在的台阶进行填充,从而实现结构的保护与互连。然而,聚合物键合仅能适用于非气密封装的场合,不过由于有机物通常具有透明性因此也很适合与光学 MEMS 器件的封装^[27]。

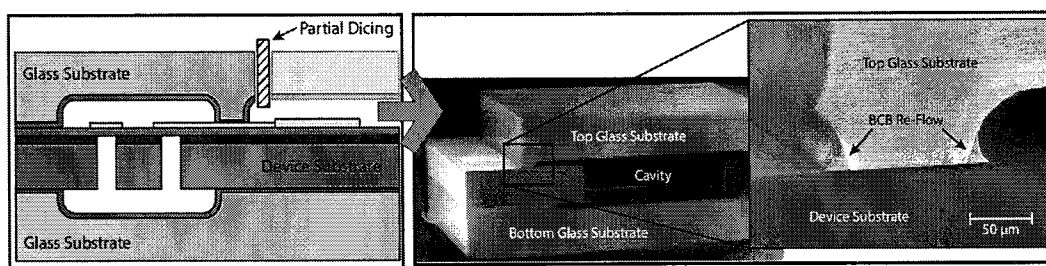


图 1.11 聚合物键合实现的带有金属平面互连线的 MEMS 圆片级封装结构示意图^[46]。

Figure 1.11 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections realized by the polymer bonding^[46].

(5) 焊料键合 (含共晶键合)

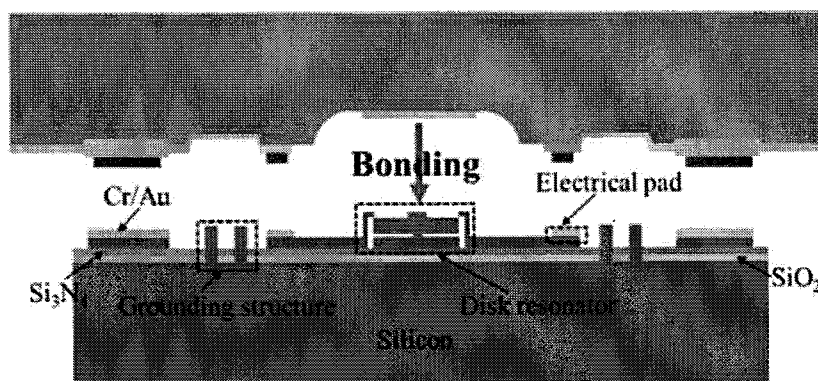


图 1.12 金锡焊料键合实现的在盖板晶圆一侧进行金属平面互连布线的 MEMS 圆片级封装结构示意图^[47]。

Figure 1.12 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections placed on the Cap wafer realized by the Au-Sn solder bonding^[47].

利用金属焊料键合则同样面临着密封环跨金属布线封装时的“台阶”问题，文献^[47]提供了一种通过盖板圆片的金属布线互连方式，其采用了 Au46Sn54 的合金焊料键合（310°C），即器件圆片上的 Cr/Au 与盖板圆片上的 Cr/Au/Sn/Au 进行键合，如图 1.12 所示，由于采用电镀方式可使得 Sn 厚度达微米量级，因此在键合工艺的高温 and 压力下，较厚的液态合金能补偿几百纳米的金属布线的台阶。

另一种采用焊料键合的封装和互连如图 1.13 所示，其通过多晶硅层（离子注入以实现重掺杂）和金属层进行穿越密封环的布线（Feed-through），但是在互连线穿越键合密封环处需要设置局部区域的 Passivation 钝化层以实现键合金属与互连线之间的电学隔离^[48]，这显然也是要求金属在液态下对互连层与钝化层在键合密封环区域形成的台阶进行台阶补偿以保证封装气密性。

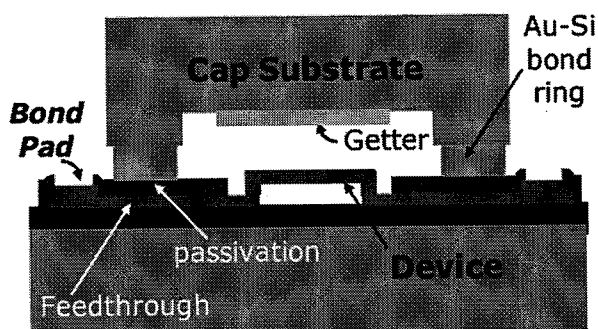


图 1.13 金硅共晶键合实现的在器件晶圆一侧进行金属平面互连布线的 MEMS 圆片级封装结构示意图^[48]。

Figure 1.13 The diagram of the MEMS wafer-level packaging structure with horizontal metal interconnections placed on the Device wafer realized by the Au-Si eutectic bonding^[48].

综合而言，现有大多数 MEMS 的圆片级封装和互连方式，其互连线的引出均是采用上述平面互连方式，主要是通过埋层互连和金属布线互连两种形式，其中利用埋层的互连方式并不存在布线台阶的问题；而对于金属布线则存在明显的台阶问题，有的是通过键合工艺采用的材料（玻璃浆料键合、聚合物键合和焊料键合）具有液态和流动性实现台阶的补偿，有的则是单纯地制作沟槽填充金属（如硅硅键合和硅玻璃键合）以尽可能地降低台阶的高度。

可见，互连面与键合面的共面性对键合以及最终 MEMS 封装的可靠性和良品率是至关重要的。而这种台阶性的存在对于一些含有多层金属布线的 MEMS

器件的封装（比如谐振式 MEMS 磁传感器^[49]）则会产生更显著的影响，因为谐振结构上的金属线圈同样需要进行互连，也即有多层金属互连线将跨越封装所需的键合密封环，随之而来的“台阶”效应就会更加显著。对于焊料键合，其焊料液态的流动性对于台阶的补偿是有限度的。特别是当 MEMS 金属线圈层数变多、线圈层间的绝缘层和线圈层的累积厚度过大时，如果寄希望于液态焊料对台阶的补偿就需要增加焊料层的厚度。然而焊料层厚度的增加会影响材料沉积的工艺难度、材料的粘附性、焊料内部的致密性（孔洞等问题）。特别的，在利用共晶（如金硅键合）或焊料键合技术时，为补偿所形成的台阶则需要通过复杂的电镀工艺形成较厚的键合金属层，这提高了封装的成本和工艺复杂度^[50]。因此，如何从根本上解决由金属互连线跨越密封环产生的密封可靠性问题则是所有封装技术和键合工艺不可回避的挑战，而这正是本论文所提出共面键合结构的意义所在。

1.3.2 基于 TSV 垂直互连的 MEMS 三维圆片级封装

随着封装技术的发展，传统平面互连的封装形式已经难以满足 MEMS 集成制造的需求，以垂直互连为特征的先进三维封装技术逐渐得到学术界和工业界的关注。自 20 世纪 80 年代以来，IBM、NEC、Siemens 和 Fraunhofer 等机构便一直致力于三维集成方面的研究。在 20 世纪 90 年初 Fraunhofer Munich 提出了一种垂直芯片间孔（Vertical Inter-chip Vias, ICVs）的堆叠技术^[51]，这便是现在通用硅通孔技术（Through Silicon Via, TSV）的雏形。TSV 技术是通过晶圆间制造垂直通孔实现芯片之间多样化的 Z 方向互连^[52]，并支持异质晶圆 CMOS、MEMS、SiGe、GaAs 等的“混合集成”^[53]。TSV 技术在 2010 年就被用于 DRAM 和 FLASH 存储器的制造，目前也已被应用在 MEMS 传感器的生产，比如触摸手指传感器、3D IC 堆栈和 CMOS 图像传感器等^[54]。德国弗朗霍夫研究所的 Charles-Alix Manier 等^[55]利用铜电镀 TSV 技术实现了 MEMS 谐振器与 ASIC 电路三维集成以作为芯片的时钟基准。Ramm P 等^[51]将钨填充的 TSV 三维集成技术应用到轮胎压力监测系统（TPMS），其压力传感器和体声波谐振器通过 TSV 接合在含有射频收发模块的 IC 芯片上。

简单来说，TSV 技术是通孔的刻蚀与再填充工艺的一种结合，也即在晶圆

上刻蚀形成的通孔处填充多晶硅、铜、钨等介质作为垂直互连通路^[56]，其典型的工艺流程包括高深宽比通孔的蚀刻，通孔的绝缘层、种子层、导电层填充（电镀或化学镀）和实现平坦化的多道化学机械抛光（Chemical Mechanical Polishing, CMP）工艺。将 TSV 技术应用到 MEMS 器件的圆片级封装中，则主要有图 1.14 所示的两种方式：从基板和从盖板制作 TSV 结构^[57]。图 1.15 展示了一种具有斜坡通孔以利于金属电镀的 MEMS 谐振器的 TSV 封装方法^[58]。

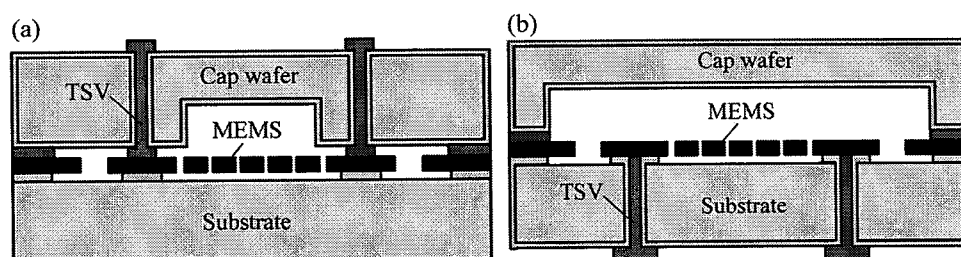


图 1.14 基于金属或多晶硅填充的 TSV 技术应用于 MEMS 圆片级封装的两种方式，（a）从盖板引出，以及（b）从基板引出^[57]。

Figure 1.14 Two ways of metal-refilling or poly-Si-refilling TSV technology applied on the MEMS wafer-level packaging: (a) from the Cap wafer, and (b) from the Substrate wafer^[57].

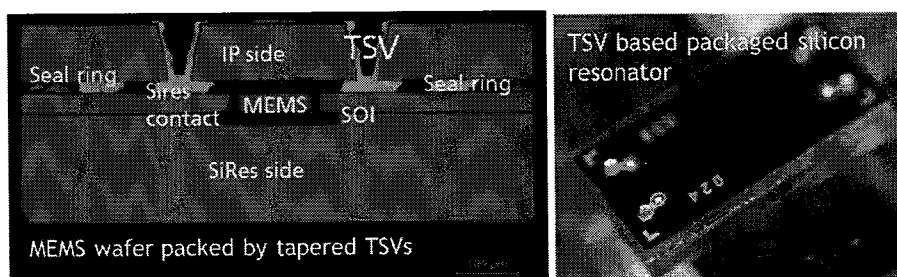


图 1.15 一种应用于硅基谐振器封装的具有一定坡度通孔的 TSV 形式^[58]。

Figure 1.15 The TSV application on packaging of Si resonators with tapered TSVs^[58].

尽管 TSV 技术具有很多优点，如纵向互连缩短了信号的传输路径从而减小寄生效应和延迟时间，又比如垂直互连结构提高了对芯片面积的利用率并缩小了封装尺寸，然而 TSV 技术应用在 MEMS 三维封装中仍然面临诸多挑战，比如较高的制造成本以及技术本身实现的工艺复杂度与难度：

1) 通孔的刻蚀

通孔的蚀刻强调导孔轮廓尺寸的一致性,以及通孔不能有残渣存在,这都提高了工艺实现的难度,且对过孔有较高深宽比的要求;此外,通孔刻蚀后的表面粗糙会直接影响后续通孔再填充的质量和产生信号线的电流泄漏^[59],为此通孔还需要进行腐蚀或等离子体的表面处理^[60],这增加了工艺的复杂度;

2) 通孔的再填充

通孔的绝缘层、阻挡层和金属层填充时对工艺有着较为苛刻的要求,特别是 Cu 电镀工艺中由于“Current Crowding”效应而容易在通孔填充中产生空洞^[61],而对于多晶硅的填充中也存在通孔上下侧沉积速率差异导致的孔洞问题;此外, Cu 基 TSV 结构中由于 Cu 与 Si 之间的热膨胀系数不匹配而产生应力问题。

3) 减薄工艺

CMP 工艺成本较高,且对于含有悬浮微结构的 MEMS 器件来说,减薄过程极易造成晶圆碎片或器件的损坏^[38, 62],同时 CMP 的减薄过程中产生的应力易使硅片翘曲,并对应力敏感的 MEMS 器件性能产生影响。

1.3.3 基于非传统 TSV 垂直互连的 MEMS 三维圆片级封装

在 MEMS 与 IC 的三维集成日趋重要的大背景下,TSV 技术虽然极大满足了三维集成的需求,却依然面临一些工艺复杂、成本较高的挑战,因此迫切一种低成本的三维集成方式,对于 MEMS 纵向互连的圆片级封装方式也已经有一些除了传统 TSV 技术的其他方法,主要有金属介质的垂直互连和低阻硅本体的垂直互连两类。下面将就 MEMS 圆片级封装中的这两种类型非传统 TSV 垂直互连形式进行介绍,并进一步分析其所面临的挑战。

1.3.3.1 以金属为非 TSV 垂直互连通路的 MEMS 三维圆片级封装

如图 1.16 所示,密歇根州立大学的 Chae J 等^[63]提出了基于金属垂直互连的 MEMS 三维圆片级封装方法,其结构先通过硅玻璃键合实现 MEMS 器件的封装,后在玻璃片一侧以湿法腐蚀制作基板通孔,在孔内暴露出 Si 本体后电镀金属形成电极再对通孔蒸镀或溅射金属,随后通过金属焊球实现电极引出。

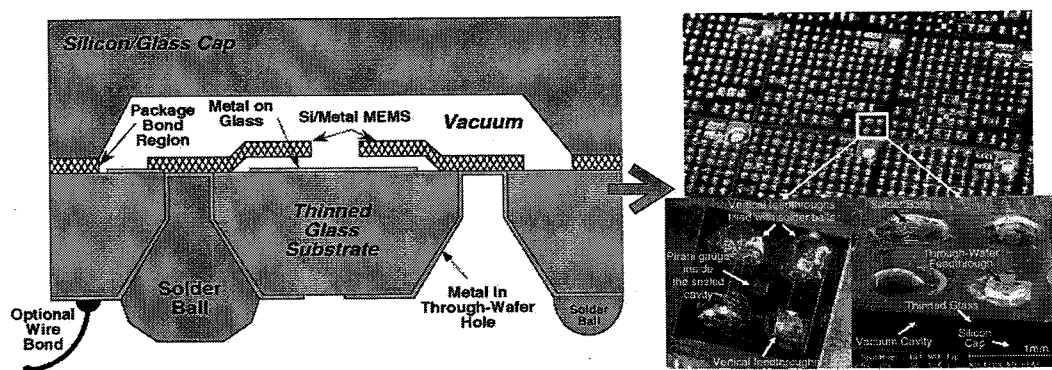


图 1.16 由硅玻璃键合实现的一种在玻璃基板一侧形成垂直金属互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图^[63]。

Figure 1.16 The diagrams of the one unconventional TSV-form 3D wafer-level packaging structure for MEMS with vertical metal interconnections in the Substrate Glass wafer realized by the Si-Glass bonding^[63].

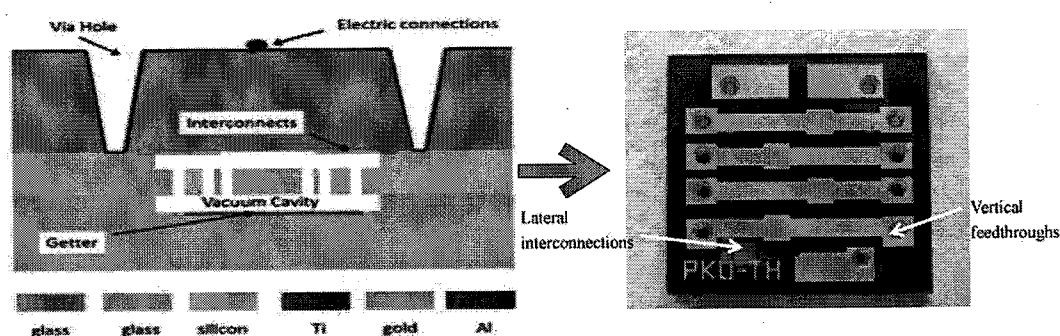


图 1.17 由硅玻璃键合实现的另一种在玻璃基板一侧形成垂直金属互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图^[64]。

Figure 1.17 The diagrams of the another one unconventional TSV-form 3D wafer-level packaging structure for MEMS with vertical metal interconnections in the Substrate Glass wafer realized by the Si-Glass bonding^[64].

另外, 如图 1.17 所示, 北京大学的 Zhao Q C 等^[64]提出以喷砂 (sandblasting) 方式预先在玻璃基板一面上形成盲孔, 另一面沉积金属的互连线, 在器件制备完成后与该玻璃基板带有金属互连线的一面键合, 随后用湿法腐蚀将基板上的盲孔腐穿, 暴露出 Si 本体, 在孔内溅射 $2\ \mu\text{m}$ 的 Al 形成电学接触。

ADI 公司^[65]开发了如图 1.18 所示的一种用于 MEMS 三维晶圆级芯片规模封装（Wafer-level Chip Scale Packaging, WLCSP）的结构，其分别利用氧化硅和光刻胶作为 DRIE 刻蚀掩膜在盖板硅晶圆的同一侧形成斜坡通孔及空腔结构，并通过热氧化工艺实现通孔侧壁的绝缘。随后通过丝网印刷玻璃浆料形成盖板晶圆的键合图形（避免了深腔光刻），将盖板晶圆与 MEMS 硅晶圆进行玻璃浆料键合，并以硬掩模法在斜坡通孔处沉积厚度小于 $1\text{ }\mu\text{m}$ 的 TiW/Ni/Au 以形成与器件电极的接触（避免了深腔光刻），最后在通孔处植焊球形成垂直互连通路。

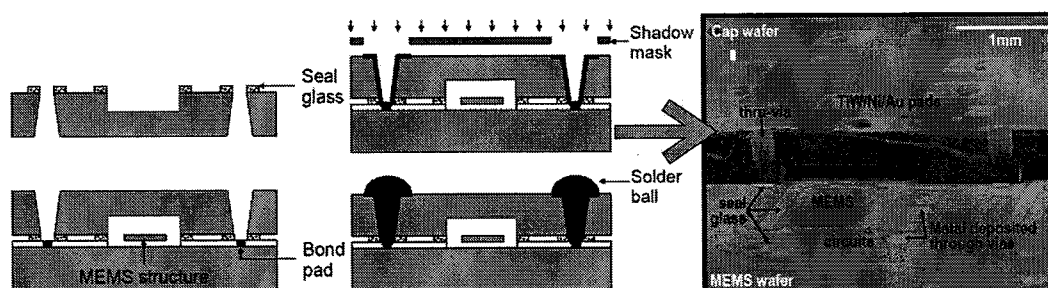


图 1.18 由玻璃浆料键合实现的一种在硅盖板一侧形成垂直金属互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图（由 ADI 公司开发）^[65]。

Figure 1.18 The diagrams of the one unconventional TSV-form 3D wafer-level packaging structure for MEMS with vertical metal interconnections in the Cap Si wafer realized by the Glass-frit bonding (developed by the ADI)^[65].

1.3.3.2 以硅本体为非 TSV 垂直互连通路的 MEMS 三维圆片级封装

如图 1.19 所示，Torunbalci M M 等人^[66-67]提出了以 SOI 盖板片制备硅柱垂直互连的电学通路从而实现 MEMS 的真空封装。其首先在 SOI 盖板的基底层（Handle layer）以 KOH 腐蚀形成穿透 Handle layer 的窗口（以埋氧层为腐蚀终止层），随后进行深腔光刻并刻蚀出埋氧层的与器件层（Device layer）的接触窗口，进而在深腔内沉积金属层并再次深腔光刻和腐蚀（金属层使得 SOI 盖板的 Handle layer 与 Device layer 短接以保证后续作为硅玻璃键合区域的硅柱结构与 MEMS 晶圆的键合质量）。之后在 SOI 盖板的 Device layer 一侧 DRIE 刻蚀出盖板的硅柱互连及空腔结构，此时即完成了 SOI 盖板晶圆的制备。通过 SOI 盖板晶圆与 MEMS 晶圆的硅玻璃键合即实现了基于硅柱垂直互连的三维封装结构。不过，在封装后还需要将盖板顶部窗口的金属层去除以保证硅柱电极与 SOI 盖板

的 Handle layer 之间的电学绝缘, 进一步通过 lift-off 工艺在 SOI 盖板的埋氧层通孔内形成金属图形并经由引线键合实现硅柱信号的外接。可见 SOI 盖板的制备涉及工艺工序较多 (共 4 次光刻工艺) 且涉及较为复杂的深腔光刻工艺。

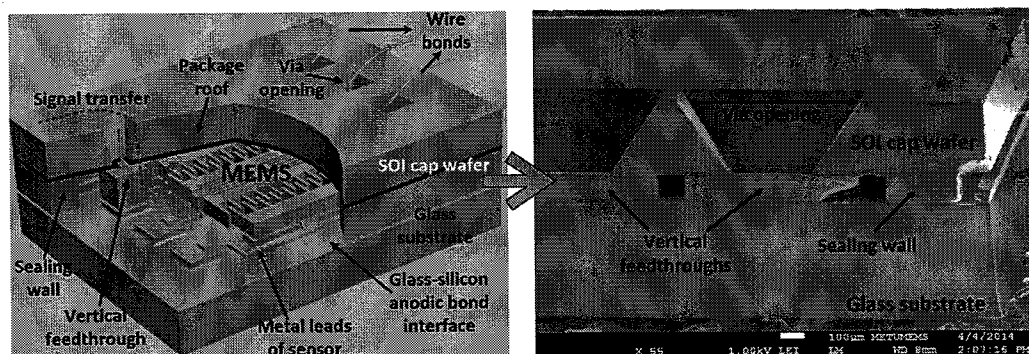


图 1.19 由硅玻璃键合实现的一种在 SOI 硅盖板晶圆一侧形成垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图^[66-67]。

Figure 1.19 The diagrams of the one unconventional TSV-form 3D wafer-level packaging structure for MEMS with vertical Si column interconnections in the SOI Cap Si wafer realized by the Si-Glass bonding^[66-67].

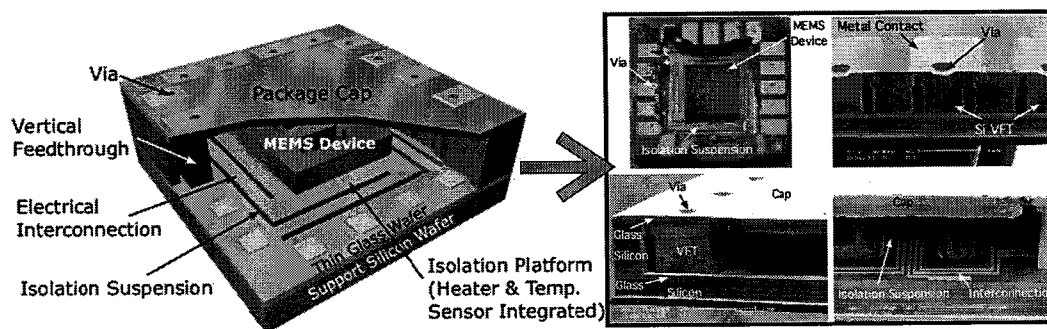


图 1.20 由硅玻璃键合实现的另外一种在硅玻璃键合的盖板晶圆一侧形成垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图^[68]。

Figure 1.20 The diagrams of the another one unconventional TSV-form 3D wafer-level packaging structure for MEMS with vertical Si column interconnections in the Si-Glass bonded Cap wafer realized by the Si-Glass bonding^[68].

Lee S-H 等^[68]提出了如图 1.20 所示的 MEMS 三维封装结构, MEMS 器件通过转移 (Transfer) 工艺被搭载在含有加热器和温度传感器的硅玻璃键合晶圆上,

随后进行盖板封装。器件制备较为复杂，此处重点关注盖板晶圆的制备。盖板晶圆实际上是先由硅片与较薄玻璃片通过阳极键合构成的，随后在玻璃一侧以 HF 腐蚀形成通孔，并在通孔内沉积金属，进一步在硅片一侧以 DRIE 刻蚀形成硅柱和封装所需的空腔结构，最后将该硅玻璃键合片的盖板片与 MEMS 晶圆通过阳极键合进行封装，由此 MEMS 器件的电信号通过低阻硅柱结构实现了垂直互连。

而在商业化的非 TSV 技术实现的 MEMS 三维封装中，则主要以硅为垂直电互连通道，目前也已由几家半导体公司提供流片服务。

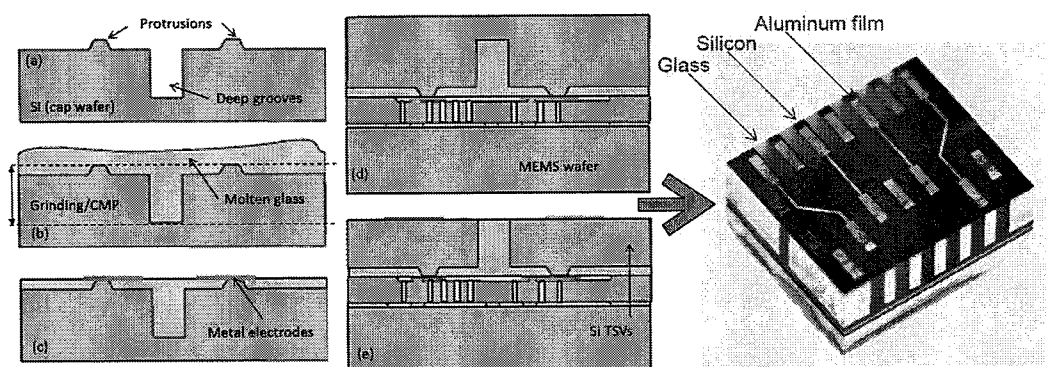


图 1.21 由 Murata Electronics Oy 公司开发的一种垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维圆片级封装结构示意图^[24, 69]。

Figure 1.21 The diagrams of the one unconventional TSV-form 3D wafer-level packaging structure for MEMSs with vertical Si column interconnections developed by the Murata Electronics Oy^[24, 69].

芬兰的 Murata Electronics Oy 公司^[24, 69]开发了如图 1.21 所示的一种基于硅凸台互连结构的 MEMS 圆片级封装技术。其先在硅片上通过 KOH 腐蚀形成硅凸台，并用划片工艺将各个硅凸台结构进行预隔离，随后在硅凸台上放置一片玻璃片并加热到 900℃ 使得玻璃熔融填充到硅凸台周围的沟槽里，之后进行研磨和抛光以暴露出硅凸台，在硅凸台形成相应的金属电极，随后将该具有硅凸台的盖板硅晶圆与 MEMS 硅晶圆进行硅玻璃阳极键合，最后对硅凸台一侧的硅盖板的背面进行减薄并沉积相应的金属实现各硅柱结构的独立，由此就实现了硅柱互连的 MEMS 三维圆片级封装结构。

ST Microelectronics 公司提出了基于 THELMA 的 MEMS 封装方法^[70]。如图

1.22 所示,在硅衬底上通过热氧化工艺与多晶硅沉积的工艺组合形成多晶硅的平面互连线(需要进行氧化硅的刻蚀形成多晶硅的接触窗口),随后基于多晶硅和氧化硅表面外延生长多晶硅作为 MEMS 器件层,此时 MEMS 的电极(非金属电极)经由多晶硅互连线可以传输至外延硅的硅柱结构(如图 1.22 (a) 所示)或衬底硅片的硅柱结构(如图 1.22 (b) 所示,又被称为 SMERALDO 技术)实现电信号的垂直引出,最后通过一具有空腔的硅片与之进行玻璃浆料键合实现器件的封装。该方法使得互连结构的形成与封装体分隔开来,降低了三维封装设计的难度。然而该方法由于通过多晶硅互连避开了金属引线跨越密封环的台阶问题,因此仅适用于 MEMS 器件不含金属互连线的封装情况。

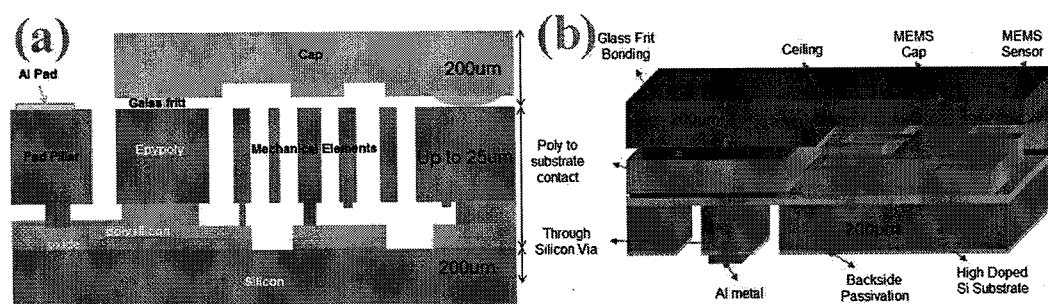


图 1.22 由 STMicroelectronics 公司开发的基于 THELMA 技术实现的两种垂直硅柱互连通道的非传统 TSV 形式的 MEMS 三维晶圆级封装结构示意图^[70], (a) 硅柱互连结构在器件晶圆层形成, 以及 (b) 硅柱互连结构在衬底晶圆层形成。

Figure 1.22 The diagrams of the two unconventional TSV-form 3D wafer-level packaging structures for MEMS with vertical Si column interconnections by the THELMA technology (developed by the STMicroelectronics)^[70]. The Si column interconnections formed on (a) the Device wafer and (b) the Substrate wafer.

而 Silex Microsystems 公司提出了一种 Sil-Via 方法^[71-72], 如图 1.23 所示即在衬底硅片和器件硅片的平面间通过衬底硅片的硅柱实现垂直互连。其首先在硅片上刻蚀出未穿透硅片的沟槽, 随后以热氧化的方法用氧化硅填充所形成的沟槽结构, 最后通过 CMP 工艺减薄未暴露所刻蚀沟槽的硅片背侧以隔离出独立的硅柱结构, 此时也实现了键合平面的平坦化, 在后期将该盖板硅片与 MEMS 晶圆进行键合就完成了封装所需的硅柱垂直互连结构, 最后在盖板顶端形成金属电极或植焊球。

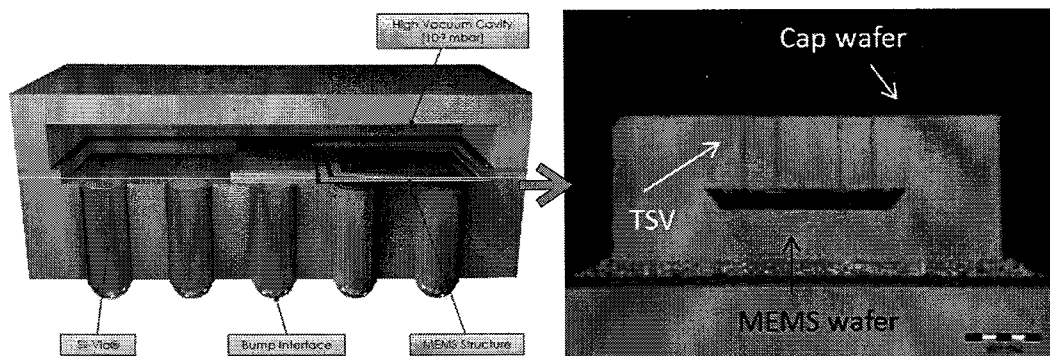


图 1.23 由 Silex Microsystems 公司开发 Sil-Via 技术实现的一种垂直硅柱互连的 MEMS 三维圆片级封装结构示意图^[71-72]。

Figure 1.23 The diagrams of the Sil-Via technology for 3D wafer-level packaging structure for MEMSs with Si column interconnections (developed by the Silex Microsystems)^[71-72].

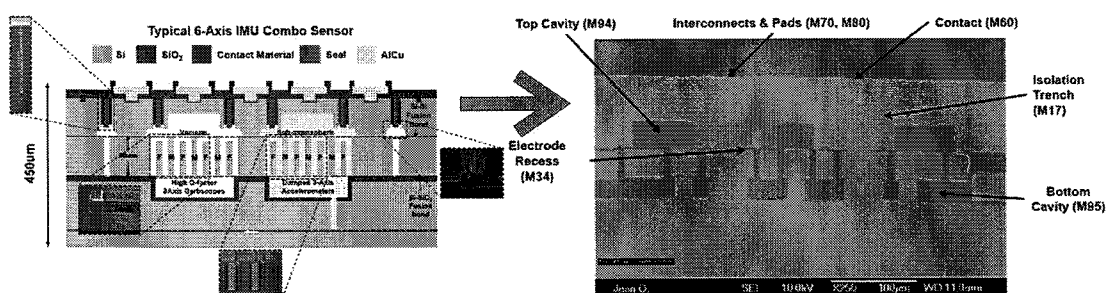


图 1.24 由 Teledyne DALSA 公司开发的基于 MIDIS 技术实现的一种垂直硅柱互连的 MEMS 三维圆片级封装结构示意图^[73-74]。

Figure 1.24 The diagrams of the MIDIS technology for 3D wafer-level packaging structure for MEMSs with Si column interconnections (developed by the Teledyne DALSA)^[73-74].

如图 1.24 所示, Teledyne DALSA 公司^[73-74]提出了一种 MIDIS 工艺 (MEMS Integrated Design for Inertial Sensors) 来实现基于硅柱结构的 MEMS 惯性传感器的三维封装。其首先在盖板硅片的键合面一侧光刻并以 KOH 腐蚀形成 $2\text{ }\mu\text{m}$ 高度的硅凸点结构, 继续进行第二次光刻并以 DRIE 刻蚀出盖板空腔; 随后在盖板硅片的键合面一侧光刻并以 DRIE 刻蚀形成环形沟槽; 其次对具有环形沟槽的盖板硅片进行热氧化并以 In-Situ Doped Poly (ISDP) 填充通孔; 再次对盖板硅片的另一侧进行 CMP 减薄工艺以形成独立的硅柱垂直互连结构; 最后盖板硅片与 MEMS 晶圆进行 Si-Si 熔融键合并在 1100°C 下退火, 在键合后的盖板晶圆顶端

进行相应的绝缘和电学接触工艺。然而其采用的是硅-硅键合的方法不适用于在器件硅片顶端带有金属层的电极引出。

通过对上述采用非传统 TSV 技术实现的 MEMS 三维圆片级封装在工艺制造的复杂度（如表 1.1 所示）和最后实现的效果及应用通用性（如表 1.2 所示）两大方面的总结，能较全面地评估现有技术所存在的 4 个主要问题：

（1）制造工艺的复杂程度

1) 现有非传统 TSV 技术中盖板晶圆或采用了 Si-Glass 键合片和 SOI 硅片，这一定程度增加了工艺步骤及封装成本；

2) 在光刻次数方面，主要涉及到键合工艺前的盖板（或互连结构）光刻次数和键合后光刻次数，现有非传统 TSV 技术大多数在键合工艺前的盖板（或互连结构）制备的光刻次数较多（ ≥ 3 ），且部分在键合后存在 2 次或更多光刻次数的工艺，光刻次数直接反映了制造工艺的复杂度，特别是键合后的光刻次数应该尽可能少，因为键合后的工艺次数较多容易造成键合后的封装结构内部的 MEMS 可动结构损坏而影响封装晶圆单片合格率；

3) 现有部分非传统 TSV 技术涉及到深腔光刻，而深腔光刻与传统光刻胶旋涂不同需要 Spray Coating 光刻胶喷涂工艺，这也增加了工艺复杂度和难度；

4) 部分基于硅柱垂直互连的非传统 TSV 技术还涉及到 CMP 工艺对晶圆键合平面的平坦化工艺，也涉及到通孔高深宽比的刻蚀、绝缘沟槽的致密填充等问题，这些技术还未摆脱对 TSV 传统技术的依赖，因此也存在 TSV 应用于 MEMS 封装中的弊端（应力、MEMS 可动结构破坏、通孔致密填充以保证封装气密性的问题）；

5) 现有部分非传统 TSV 技术涉及到其他非常规的 MEMS 制造工艺，如喷砂、外延、高温玻璃熔融和 ISDP 原位沉积等。

（2）三维封装结构的气密性

如表 1.2 所示，尽管现有非传统 TSV 技术采用硅-玻璃、硅-硅、玻璃浆料及焊料（含共晶）键合均能不同程度实现 MEMS 封装的气密性和真空度，然而如 Murata Electronics Oy 公司所发现的通孔内熔融玻璃填充物存在 He 气渗透的问题，可见玻璃材料的采用也会影响封装结构在极端气氛（如 He）的气密性。

表 1.2 对于非传统 TSV 技术实现具有金属或硅柱垂直互连形式的 MEMS 三维圆片级封装性能及通用性的总结。

Table 1.2 The summaries on the performances and generalities for the unconventional TSV-form 3D wafer-level packaging structure for MEMSs with vertical interconnections of metal or Si column structures.

非传统 TSV 的 MEMS 三维封装与 垂直互连技术			圆片键合技术	封装真空度	可对 MEMS 结构顶端的 金属线接口	可全 硅制 造性
金属 介质 互连	Chae J ^[63]	Si-Glass		~1.5 kPa (Getter) ~10 kPa (No Getter)	×	×
	Zhao Q C ^[64]	Si-Glass		~100 Pa (Getter)	×	×
	ADI ^[65]	Glass Frit		气密, 无真空值	√	√
	Torunbalci M M ^[66-67]	Si-Glass		0.1~10 Pa (Getter) 0.1~2.5 kPa (No Getter)	√, 台阶问题	×
硅柱 结构 互连	Lee S-H ^[68]	Si-Glass		0.7~3 Pa (Getter)	√, 台阶问题	×
	Murata ^[24, 69]	Si-Glass		气密, 但玻璃熔融填充存在 He 渗透 ^[69]	√, 台阶问题	×
	ST ^[70]	Glass Frit		无数据	×	√
	Silex ^[71-72]	Metal		~0.1 Pa (Getter)	√, 台阶问题	√
	DALSA ^[73-74]	Si-Si (1100°C)		~1 Pa (Getter)	×	√

(3) 三维封装的应用通用性

这里封装结构的应用通用性主要考虑是否可对 MEMS 结构顶端的金属互连线信号接口。现有非传统 TSV 技术有的无法实现 MEMS 结构顶端的金属互连线信号接口（如涉及 1100°C 的 Si-Si 键合，又比如互连结构是在器件的衬底基板晶圆层形成），而有的虽然理论上可以实现 MEMS 结构顶端的金属互连线信号接

口，但其仍然面临类似于金属互连线跨越键合密封环的“台阶”问题（详见 1.3.1.1 节），当然这里的“台阶”问题表现在作为互连区域的键合电极与作为密封区域的键合环平面存在由金属引起的高度差，这将同样影响键合工艺的键合质量乃至封装的气密性与可靠性。

（4）三维封装的全硅制造难度

现有非传统 TSV 技术大部分都采用了 Si-Glass 键合技术，这导致玻璃晶圆的采用极大的限制了封装结构的全硅制造能力。而 MEMS 全硅制造是 MEMS 工艺与 IC 工艺相兼容的基本条件，这是因为玻璃的采用存在钠离子沾污的问题，这会对 IC 芯片的可靠性产生影响，因此提供一种具有全硅制造能力的 MEMS 三维圆片级封装结构也是 MEMS 发展中的必由之路。

1.4 小结

MEMS 封装始终是 MEMS 器件的性能优化和产品实用化中不可或缺的环节，由于圆片级封装具有低成本、高良率、可批量制造的优势因此一直是 MEMS 封装领域研究的热点，其中又以圆片级键合技术为实现 MEMS 圆片级封装的主流，这是因为各种类型的键合技术使得 MEMS 封装中的结构与互连设计以及工艺实现的自由度较高、可应用场景也较丰富。而随着封装技术的发展，传统平面互连的封装形式已经难以满足 MEMS 集成制造的需求，以垂直互连为特征的先进 MEMS 三维封装技术开发也备受关注。然而，在 MEMS 的圆片级封装研发中却仍然面临诸多挑战：

（1）圆片级键合工艺的局限性

以圆片级键合技术实现 MEMS 封装正朝向键合条件的低温化和较高工艺冗余度的方向发展。与硅硅键合（600~1200℃，高表面要求）、阳极键合（~450℃，高表面要求、需施加高电压）、聚合物键合（泄漏和放气问题）相比，共晶键合限制因素较少，具有高键合强度和低键合温度的优势，对表面质量和平整度没有太高要求，适于 MEMS 的气密及真空封装，且合金层本身也可作为电学通路。

（2）封装结构互连线跨越键合密封环的“台阶”问题

圆片级键合技术在 MEMS 封装的应用中或多或少都存在金属平面互连线跨

越键合密封环形成的“台阶”导致的封装气密性难题。尽管近来的研究针对不同的键合技术中存在的这种“台阶”问题都相应开发了不同的解决方案,即有的是通过键合工艺利用材料的液态流动性实现台阶的补偿,有的则是单纯地制作沟槽填充金属以尽可能的降低台阶的高度。前者要求具有流动性的键合介质需要足够的厚度,这将导致所沉积薄膜的应力和工艺实现的难度和复杂度,后者则要求沟槽深度和金属层厚度的匹配性,且沟槽本身也会引入新的封装气密性问题。因此,如何从根本上避免由金属互连线跨越密封环产生的密封可靠性问题则是所有封装技术和键合工艺所不可回避的挑战。

(3) MEMS 三维封装技术的开发

1) 传统 TSV 技术应用于 MEMS 封装的局限性

MEMS 三维封装与 IC 三维封装有很大的差别,一是 MEMS 三维封装需要考虑对复杂悬浮结构的保护,二是 MEMS 器件的 I/O 接口远少于 IC 器件,三是 MEMS 悬浮结构内外侧具有复杂的电极设置有时导致平面布线的难度。由于上述原因以及传统 TSV 技术本身的工艺成本、工艺复杂度和工艺中的应力问题,导致可高密度互连的传统 TSV 技术在 MEMS 三维圆片级封装中难以发挥优势。由此,开发基于非传统 TSV 实现 MEMS 三维圆片级封装的技术势在必行。

2) 非传统 TSV 技术实现 MEMS 封装所面临的挑战

为了降低对传统 TSV 技术的依赖,寻求更加适合于 MEMS 的三维封装和垂直互连形式,一些非传统 TSV 技术被相继开发出来。然而现有非传统 TSV 技术却仍然面临一些工艺复杂、成本较高的挑战,且还缺乏对三维封装的应用通用性(比如,是否可对 MEMS 结构顶端的金属互连线信号接口)、以及或多或少存在三维封装的全硅制造难度。

综上所述,通过融合共晶键合技术开发一种基于非传统 TSV 技术实现 MEMS 三维圆片级封装的方案,并尽可能简化封装工艺以及提升 MEMS 封装结构的全硅制造能力,同时还能解决封装结构中由于 MEMS 含有金属布线引起的封装气密性问题以提升封装结构的通用性,这些都是 MEMS 先进三维封装研究中值得付出努力的方向,对 MEMS 的三维集成制造和产业化也极具研究价值。

1.5 本论文研究内容及结构安排

1.5.1 论文研究内容

正是基于上述的考虑, 本论文针对现有非传统 TSV 技术的复杂工艺、缺乏全硅制造能力以及应用范围的局限性, 通过融合金硅共晶键合技术提出一种基于硅柱互连的 MEMS 三维圆片级封装结构。研究内容可分为金硅共晶键合工艺的研究和硅柱互连结构的应用研究两大块, 前者研究中所涉及键合工艺的 KOH 腐蚀兼容性、电学特性以及机械强度三方面构成了后者的应用基础。

(1) 金硅共晶键合工艺的研究

为对键合工艺参数进行优化, 主要需要研究 3 个方面的内容: 一是为了实现多层三维堆叠、器件的小型化以及低成本的集成制造, 需要研究金硅共晶键合与硅片 KOH 腐蚀减薄的工艺兼容性问题; 二是为了提升三维互连的面积优势, 需要掌握金硅键合强度与键合面积之间的本构关系; 三是为了优化互连结构的尺寸设计, 需要对作为电互连通路的金硅键合界面进行欧姆接触电阻的表征和提取。这三个方面为硅柱互连结构和三维圆片级封装的实现提供了微机械体硅加工的工艺兼容能力和三维互连结构优化设计基础。

(2) 硅柱互连结构的应用研究

1) 基于金硅共面键合的硅柱互连结构研究

基于绪论总结, 现有基于键合技术实现的 MEMS 圆片级封装中, 金属互连线跨越键合密封环形成的“台阶”是导致封装泄漏的一个共性问题。而在基于硅柱互连的 MEMS 三维封装实现中, 硅柱互连区和密封区的这两种功能区都需要在键合工艺中作为键合面, 而由于不同的工艺组合通常会导致不同功能区具有不同的表面高度(如以晶圆硅平面为参考), 这也会产生严重的“台阶”效应进而导致封装气密性和键合可靠性问题。为此, 可首先考虑如何保证键合结构的键合表面能在复杂的制造工艺中始终处于同一平面, 而这便是基于金硅共面键合的硅柱互连结构封装形式的研究主题。

2) 基于硅柱互连的 MEMS 谐振器三维真空封装的实现

真空封装总是以封装的气密性为前提, 因此, 在实现基于硅柱互连的 MEMS 三维真空封装时需要融合金硅共面键合结构进行封装结构的设计, 其次还需要兼

顾工艺实现的路径规划、封装真空度的评估手段、直至最后封装结构对器件影响的评估等问题。由于 MEMS 谐振器是许多传感器的基础,采用谐振器对封装结构进行应用验证能有效反映该封装结构的通用性,并且器件的谐振特性测试为评估封装结构的寄生电容水平、封装真空度及长期稳定性都提供了切实可行的表征手段,因此本论文将以 MEMS 谐振器为载体对所提出的封装结构进行应用验证。

1.5.2 论文结构安排

本论文的结构安排如下:

第一章为本论文的绪论。

第二章围绕金硅共晶键合与 KOH 腐蚀工艺的兼容性展开讨论。本章分为五个小节:第一节首先概述了金硅共晶键合与 KOH 腐蚀的工艺兼容性的研究背景和意义;其次,基于金硅键合结构的设计、制备和 KOH 腐蚀实验,在第二、三小节分别讨论了 Au/bulk Si 和 Au/ α -Si 两种金硅键合结构在 KOH 腐蚀中的侧向钻蚀成因和满足 KOH 腐蚀工艺兼容性的 α -Si/Au 厚度比条件;基于对前述条件的考虑,在第四节创新性地提出了一种基于 LOCOS (Local Oxidation Of Silicon) 工艺实现的改进型 Au/bulk Si 键合结构,来解决传统 Au/bulk Si 键合结构在 KOH 腐蚀中的侧向钻蚀问题,并从结构参数和键合强度方面评估了该改进型 Au/bulk Si 键合结构在微结构支撑和封装等方面的应用潜力;最后在第五节进行总结。

第三章围绕金硅共晶键合的欧姆接触电阻和键合强度展开讨论。本章分为四个小节:第一节首先概述了涉及硅柱互连结构实现的金硅键合技术在欧姆接触电阻和键合强度研究的研究意义和现状;随后在第二小节,针对硅柱互连结构的电互连阻抗要求,基于 LOCOS 工艺提出了一种适用于金硅键合欧姆接触电阻测试的结构,并根据其测试原理对不同键合温度 and 不同键合面积下的金硅键合欧姆接触电阻进行了表征和分析,同时也对金硅键合比欧姆接触电阻率进行了提取;在第三小节,针对硅柱互连结构的支撑强度要求,提出了一种不受金硅液态合金外溢影响的金硅键合强度测试结构,并从键合结构的静力学仿真分析和实验测试结果分析和总结了金硅键合强度与键合图形形状和面积之间的本构的关系;最后在第四小节对相关结论进行了总结。

第四章旨在解决 MEMS 封装中金属互连线在键合平面上形成“台阶”导致的封装气密性问题,因此创新性地提出了一种基于金硅共面键合的硅柱互连封装形式,以满足气密封装结构内含有金属互连线的信号接口需求。本章分为五个小节:第一节概述了现有封装技术所面临“台阶”问题引起应用局限性的挑战;第二节和第三节分别介绍了对于所述金硅共面键合的硅柱互连封装结构的设计与制备;第四节则通过对共面键合结构的共面性、封装气密性以及硅柱互连结构的电学特性评估进而验证其解决“台阶”问题的有效性;第五节作相应总结。

第五章则在前述三个章节的研究基础上展开对基于硅柱互连的 MEMS 谐振器三维圆片级真空封装的设计、实现和测试表征工作。本章分为六个小节:第一节首先对本论文绪论中 MEMS 封装的特殊性和三维封装的需求进行了概述;第二节介绍了基于硅柱互连的 MEMS 谐振器三维封装结构的设计和制备流程;第三节对器件封装的工艺效果进行表征(金硅键合工艺的对准偏差、金硅键合界面情况等);第四节对器件封装的晶圆单片合格率、封装真空度和封装真空度保持的长期稳定性进行了相应的表征;随后,第五节就封装工艺和器件封装结构设计等因素对器件 Q 值的影响进行了测试分析;最后在第六节予以总结。

第六章为本论文的总结,以及后续工作的展望。

第二章 金硅键合与 KOH 湿法腐蚀工艺兼容性研究

2.1 引言

3D 集成制造已成为半导体产业发展超越摩尔定律的重要环节，特别是，圆片级键合技术与圆片减薄技术的相结合正不断增强 3D 器件制造的大规模、小型化、高密度集成能力^[75]。圆片级键合技术由于其具有较高的产率、可靠性和性价比的优势而被广泛应用于半导体制造中。一方面，圆片级键合技术是实现 MEMS 器件（包括各种类型的谐振器、红外传感器、射频开关器件等）气密封装或真空封装的成熟工艺^[76]；另一方面，圆片级键合技术也被应用于复杂三维结构的制备，也即通过键合技术将同质或异质圆片形成一个整体，随后通过湿法腐蚀工艺或干法刻蚀工艺对键合片适当刻蚀用以形成微流体通道和复杂的悬臂梁结构^[77]。此外，圆片级键合技术也逐渐发展成为 IC 三维堆叠所需硅通孔技术（TSV）中必不可少的工艺，比如用于载片（Carrier）的临时键合和对于中介层（Interposer）的永久键合^[78]。

在过去的几十年，各种各样的圆片级键合技术已经被广泛的研究和报道^[79]。而相比于其他的键合技术，金硅键合技术具有很多优势，比如较低的键合温度、较高的键合强度、以及对键合表面的粗糙度和颗粒有较好的容忍性^[80]。此外，由于金硅键合技术可以在金硅界面处实现金属与半导体之间的欧姆接触^[81]，因此具有实现电学通路的潜力。正如本论文所提出的硅柱互连结构，其正是利用了低阻盖板硅片与金硅键合合金层之间所形成的欧姆接触来实现 MEMS 真空封装中的垂直电信号接口。此外，诸如金硅键合和铝硅键合等共晶键合技术所形成的键合金属层也展现出了基于硅湿法腐蚀工艺中自停止腐蚀终止层的特点^[82]，并被应用在基于 KOH 各向异性腐蚀工艺的压力传感器制造中。

而为了实现 3D 器件的小型化和高层次集成，不同的圆片减薄技术也被广泛而深入的研究，比如，湿法腐蚀（Wet etching）、干法刻蚀（Dry etching）、机械研磨（Mechanical grinding）、化学机械抛光（Chemically Mechanical Polishing, CMP）^[83]。在大多数情况下，上述多种减薄工艺的混合使用将能有效平衡减薄

质量和工艺成本之间的矛盾。同时,湿法腐蚀工艺(包括 KOH 腐蚀、TMAH 腐蚀等)也是一种消除机械研磨残余应力的常规工艺^[84]。而 KOH 腐蚀作为一种低成本、低减薄应力和高减薄表面质量的湿法腐蚀手段,在圆片级键合所制备的 3D 器件制造中具有难以取代的作用。回溯到 SOI (Silicon On Insulation) 绝缘层上硅的制造中,KOH 腐蚀被应用于 Si-Si 直接键合所制备的 SOI 片键合质量的评估(如键合空洞评估等)^[85-86]。此外,KOH 腐蚀不仅被用于晶圆键合后的器件层减薄^[87],也被用于器件硅片键合后微结构释放的预处理^[88]。其中,通过 KOH 腐蚀对键合后圆片的减薄,也被巧妙的用于 MEMS 器件圆片级键合封装后器件内部平面互连金属电极的暴露^[88]。实际上,KOH 腐蚀在以圆片级键合技术所实现的 3D 互连中扮演重要的角色。一方面,利用 KOH 对硅各向异性腐蚀的特性,可以在键合后硅片的一侧形成穿透单层硅片的 V 形槽,从而利于 V 形槽底部和侧壁的金属沉积,所沉积的金属形成了接近垂直的纵向互连^[89]。另一方面,KOH 腐蚀也被用于金属 TSV 凸点在 CMP 工艺减薄处理后的凸点暴露,特别是在 Via-first 和 Via-mid 工艺中^[90]。显然,圆片级键合技术与 KOH 腐蚀技术的相结合已成为半导体器件集成制造的基本思路,而这也使得圆片级键合技术与 KOH 腐蚀技术的工艺兼容性成为必须。

通常,晶圆键合后的减薄需要将晶圆从几百个微米减薄至几十个微米以作为后续工艺的基底,因此圆片级键合技术与 KOH 腐蚀技术的工艺兼容性体现在长时间的 KOH 腐蚀(如腐蚀速率 $12\text{ }\mu\text{m/h}$,则腐蚀时间将大于 24 小时)并不损害键合结构的键合界面且能实现单面腐蚀。到目前为止,KOH 腐蚀作为湿法腐蚀工艺的典型技术,已被证明具备与 Si-Si 直接键合^[91]、Si-Glass 阳极键合^[92]、BCB 键合^[93-94]等圆片级键合技术的工艺兼容性。然而目前,有关金硅键合技术与 KOH 腐蚀的兼容性少有研究。并且,在一定的文献讨论中^[95-96],对于金硅键合技术是否具有与 KOH 腐蚀的兼容性问题也尚无明确的定论,甚至于对于金硅键合结构在 KOH 腐蚀中所存在的侧蚀现象也缺乏钻蚀机制原理的深入分析与讨论。

本章将围绕金硅键合工艺所存在的 Au/bulk Si 键合和 Au/ α -Si 键合两种键合结构展开讨论,分别设计和制备了这两种键合结构,并进行 KOH 腐蚀实验,基于 KOH 腐蚀实验实施前后键合芯片所产生变化的观察,其中主要利用了红外显

显微镜 (IR)、扫描电镜 (SEM)、聚焦离子束 (FIB) 等微观观察和分析手段, 来分析和阐述 Au/bulk Si 键合结构和 Au/ α -Si 键合结构与 KOH 腐蚀的工艺兼容性问题。最终, 针对传统 Au/bulk Si 键合结构在 KOH 腐蚀中的侧向钻蚀问题, 提出一种基于两步 LOCOS 的改进型 Au/bulk Si 键合结构, 并讨论了在实现改进型 Au/bulk Si 键合结构与 KOH 腐蚀兼容性时所需满足的键合结构关键参数要求, 并从键合强度和结构参数方面评估了该键合结构的应用潜力。

2.2 传统 Au/bulk Si 键合结构与 KOH 腐蚀兼容性

2.2.1 Au/bulk Si 键合结构的设计与制备

下图 2.1 展示了 Au/bulk Si 键合结构的示意图, 其中盖板晶圆 Cap Si (也即 Bulk Si) 一侧溅射有 Ti/Au 层, Cap Si 圆片提供金硅共晶反应中硅的来源; 而基板晶圆 Substrate Si 则带有氧化层, 模拟一般性器件圆片所具有绝缘层保护器件的功能 (防止金在器件硅内的扩散), 并在 Substrate Si 一侧氧化硅上溅射 Ti/Au 层。对 Cap Si 圆片和 Substrate Si 圆片的键合金属面对面进行金硅共晶键合工艺, 最终形成图 2.1 (b) 中的 Au/bulk Si 键合片。

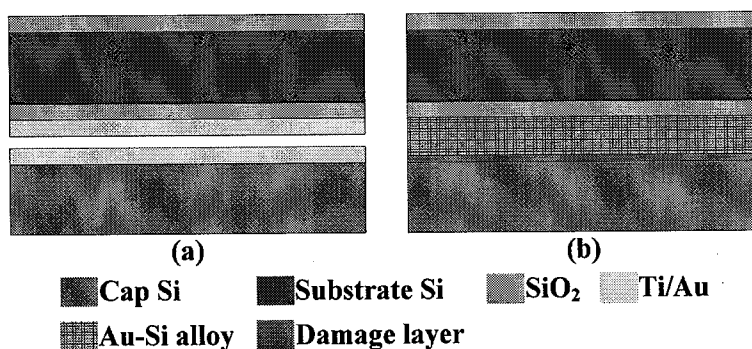


图 2.1 Au/bulk Si 键合结构的示意图, (a) 键合前, (b) 键合后。

Figure 2.1 The sketch of the Au/bulk Si bonding structure. (a) Before bonding and (b) after bonding.

刘米丰在其在博士论文^[97]中, 曾较为深入的探讨了 Au/bulk Si 键合结构与 KOH 腐蚀的兼容性问题, 通过对 Au/bulk Si 键合结构整个圆片的 KOH 腐蚀实验结果的分析, 提出了损伤层 (Damage layer) 的理论来解释 Au/bulk Si 键合结构

在 KOH 腐蚀中的侧向钻蚀现象。尽管如此，在近年的文献中，Huang, Xian 等人^[96]也观察到了 Au/bulk Si 键合结构在 KOH 腐蚀中类似的侧蚀现象，但他们却将侧蚀的原因归结于键合界面存在空洞和倒金字塔的方坑。为了对 Au/bulk Si 键合结构在 KOH 腐蚀中存在的侧向钻蚀现象进行更为有效而直观的解释，本节将利用 KOH 对单晶硅的各向异性腐蚀特点，从腐蚀形貌的角度进一步验证和分析 Au/bulk Si 键合结构的钻蚀现象及其成因。

在 Au/bulk Si 键合结构的制备中，盖板晶圆 Cap Si 和基板晶圆 Substrate Si 均采用四英寸 N 型 (100) 硅片，其硅片厚度约为 425 μm ，其电阻率为 3~8 $\Omega\cdot\text{cm}$ 。键合结构制备主要包括如下工艺：

(1) 对于 Cap Si 圆片，首先进行标准清洗工艺（依次经过浓硫酸+双氧水、氢氧化铵+双氧水、盐酸+双氧水清洗），并在溅射工艺前，进行氢氟酸漂洗（约 2 min），以去除硅片表面的自然氧化层；随后在 Cap Si 圆片一侧溅射厚度为 50 nm/200 nm 的 Ti/Au 层，作为 Cap Si 圆片的键合金属层。

(2) 对于 Substrate Si 圆片，同样首先进行标准清洗工艺，随后进行热氧化工艺，通过干氧和湿氧工艺的组合在 Substrate Si 圆片热生长厚度为 2 μm 的氧化硅层；并在 Substrate Si 一侧氧化硅上溅射厚度为 50 nm/200 nm 的 Ti/Au 层，作为 Substrate Si 圆片的键合金属层。

(3) 对 Cap Si 圆片和 Substrate Si 圆片在 SB6 键合机中进行金硅共晶键合工艺，并用 Disco DAD-341 划片机将键合后的圆片沿着平行以及垂直于主切边的方向进行划片，划成 6 mm×6 mm 大小的键合芯片单元，用于随后的 KOH 腐蚀实验。

其中，一个典型的金硅共晶键合工艺程序如图 2.2 所示，其工艺过程主要包括：将键合机抽至 1×10^{-4} mbar 的基底真空度，并将待键合圆片置于 300°C 下维持 30 分钟进行必要的除气工艺，随后加热至 400°C 并在 2500 mbar 的键合压力下持续 30 分钟的键合，在键合工艺完成后进行降温形成最终的 Au/bulk Si 键合结构。下文中如无特别说明，金硅共晶键合工艺均采用该键合程序。当键合程序在不断的优化和验证后，为适应不同的键合场景的要求可对该键合程序进行一定的参数调整，键合程序参数的调整主要涉及到键合压力和除气工艺

(Out-gassing) 时间。键合压力需要根据键合圆片的尺寸和键合图形的总面积进行调整, 一般需要保证键合面承受约 2 MPa 的键合压力; 而对于除气工艺, 可根据键合所要达成的要求来定, 比如当键合用于真空封装, 那么应该适当延长除气工艺的时间, 特别是当涉及到真空封装中吸气剂 (Getter) 的激活时则需要调整除气工艺的温度 (除气工艺温度应高于吸气剂的激活温度) 和时间。

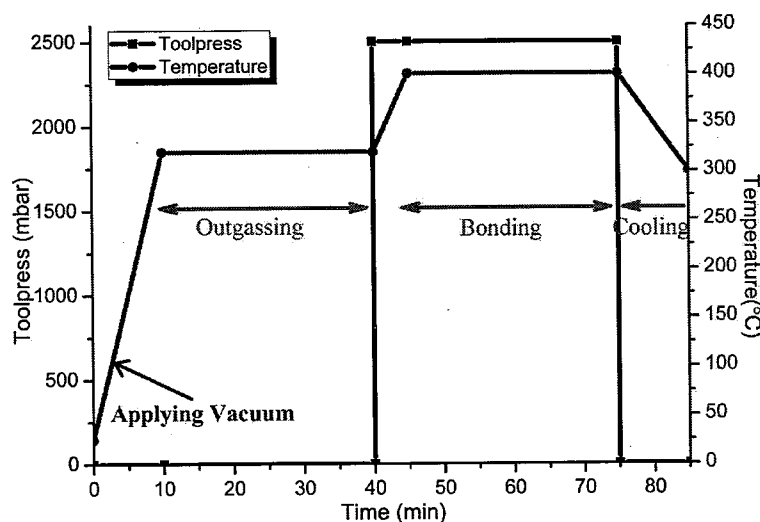


图 2.2 金硅共晶键合工艺中键合压力和温度随时间的变化曲线。

Figure 2.2 The plot of bonding pressure and temperature as function of time in the Au-Si bonding process.

Au/bulk Si 键合结构的形成原理是, 当键合机内的待键合圆片被加热到高于金硅共晶温度点 ($\sim 363^{\circ}\text{C}$) 时, Cap Si 圆片一侧的 Au 层与 Bulk Si 之间首先发生共晶反应, 形成金硅合金的液态相; 在键合机所施加的键合压力作用下, 金硅液态合金进一步与 Substrate Si 一侧的 Au 层接触并反应, 随着共晶反应的推进, Cap Si 圆片和 Substrate Si 圆片之间将充满金硅的液态合金; 随后, 在降温过程中, 金硅液态合金被冷却并不断再结晶、析出硅单晶, 使得 Cap Si 圆片和 Substrate Si 圆片被金硅合金所连接在一起, 形成一个键合结构整体。

2.2.2 Au/bulk Si 键合结构的 KOH 腐蚀兼容性评估

将划片后的 Au/bulk Si 键合芯片单元进行 KOH 腐蚀实验。腐蚀实验采用浓度为 40 wt.% 的 KOH 腐蚀溶液, 并进行 50°C 的水浴加热, 其所对应的 (100) 硅片的腐蚀速率约为 $12 \mu\text{m/h}$ 。在腐蚀实验中, 发现在腐蚀 6 h 以后, 通过光学

显微镜观察到键合单元在盖板 Cap Si 和基板 Substrate Si 之间的连接处出现了缝隙。如图 2.3 所示，其缝隙纵向宽度约为 $64\text{ }\mu\text{m}$ ，缝隙侧向深度约为 1 mm 。实际上，根据 KOH 腐蚀速率 $12\text{ }\mu\text{m/h}$ ，可以计算 6 h 的 KOH 腐蚀后键合芯片单元 Cap Si 一侧的腐蚀深度约为 $72\text{ }\mu\text{m}$ 。而通过实际测量得到的 Cap Si 一侧所剩余厚度约为 $354\text{ }\mu\text{m}$ ，可以推知 KOH 腐蚀速率基本符合 $12\text{ }\mu\text{m/h}$ 的经验值。从缝隙纵向宽度 $64\text{ }\mu\text{m}$ 和 Cap Si 腐蚀深度为 $72\text{ }\mu\text{m}$ 可以推断，侧向钻蚀发生略晚于 KOH 对 Cap Si 纵向腐蚀开始的时间，但大致与 KOH 腐蚀对 Cap Si 外侧减薄的开端时间相近。同时，从缝隙侧向深度 1 mm 和 Cap Si 腐蚀深度为 $72\text{ }\mu\text{m}$ 可以推断，侧向钻蚀的速率远高于 KOH 对硅的腐蚀速率（接近 15 倍）。

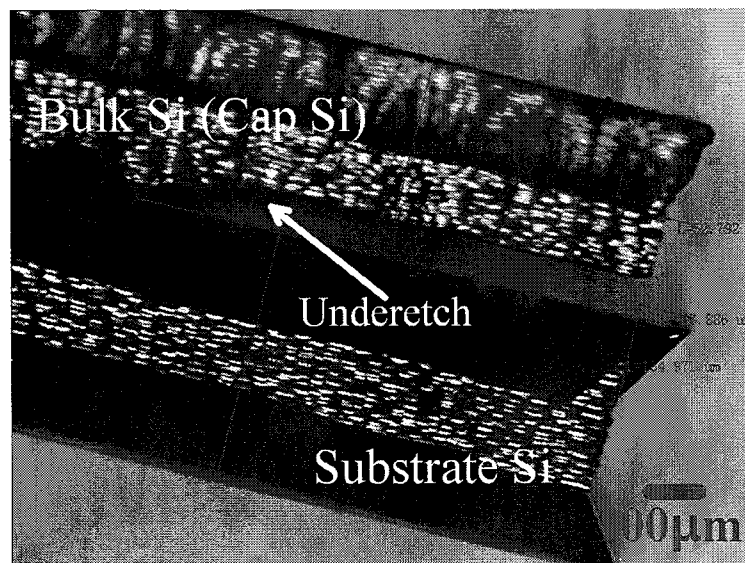


图 2.3 Au/bulk Si 键合结构在 KOH 腐蚀 6 hours 后的侧面光学显微镜照片。

Figure 2.3 The optical microscopy photograph on the side of the Au/bulk Si bonding structure after 6-hour KOH etching.

进一步，图 2.4 的 SEM 照片展示了经过 KOH 腐蚀后的 Au/bulk Si 键合芯片单元的形态，可见键合芯片单元的四周均发生了侧向钻蚀现象。如图 2.5 所示，对 KOH 腐蚀后的键合芯片进行研磨制样并通过 SEM 观察其键合界面的形态，发现沿着侧向钻蚀扩展的方向，在 Substrate Si 一侧的金硅键合层保持完好，而 Cap Si 一侧靠近金硅键合层的区域则被 KOH 腐蚀液所腐蚀，也即侧向钻蚀发生在金硅键合层与 Cap Si 之间的区域。实际上，金硅键合层由于是由金硅合金、

再结晶后析出的单晶硅和金所构成的, 因此键合层中的单晶硅被金和金硅合金所包裹而不被 KOH 所腐蚀, 也即在侧向钻蚀的整个断面上都可以观察到, 金硅键合层在 Substrate Si 一侧保持完整。正如图 2.5 (a) 中测量到的, 侧向钻蚀缝隙纵向宽度与 Cap Si 一侧的 KOH 腐蚀深度较为接近, 这意味着实际发生侧向钻蚀的 Bulk Si 区域是十分脆弱的, 以至于键合芯片单元的 Cap Si 一侧很快就由原本的单侧腐蚀转向双侧腐蚀。而如图 2.5 (b) 所示, 在侧向钻蚀的前沿可以看到, 钻蚀的前端凸起于 (111) 硅的慢腐蚀面, 且钻蚀前端具有接近各向同性腐蚀的特点, 考虑到 KOH 对单晶硅的腐蚀应当表现为各向异性腐蚀, 这说明被侧向腐蚀的硅已经不再单纯是单晶硅了。实际上在刘米丰的工作中^[97], 基于对 Au/bulk Si 键合结构键合界面的 TEM 制样与分析, 发现在 Cap Si 一侧靠近金硅键合层的区域存在明显的单晶硅晶格缺陷, 而这一层晶格损伤层则被定义为 Damage layer。而在本节所设计的腐蚀实验中, 所观察到的侧向钻蚀现象表现为: 侧向钻蚀前端凸起于硅 (111) 慢腐蚀面而具有各向同性腐蚀特点以及很快的钻蚀速率。因此本节主要从腐蚀形貌的角度验证了 Damage layer 层的存在, 进而确认了 Au/bulk Si 键合结构在 KOH 腐蚀中所存在的侧向钻蚀原因。

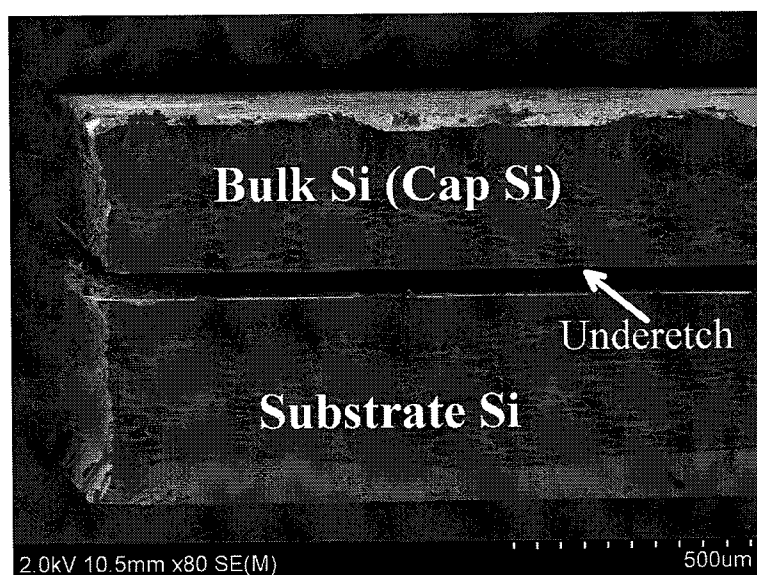


图 2.4 Au/bulk Si 键合结构在 KOH 腐蚀 6 hours 后的 SEM 照片。

Figure 2.4 The SEM images of the Au/bulk bonding structure after 6-hour KOH etching.

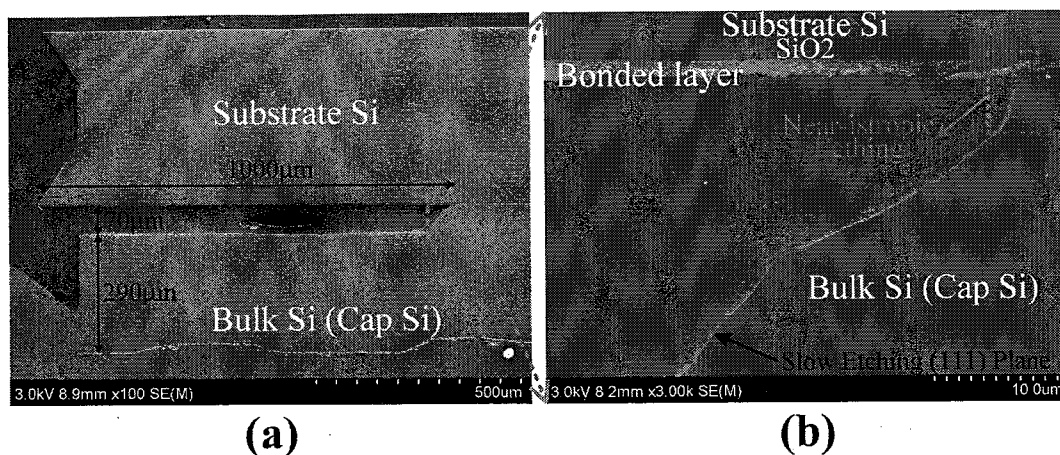


图 2.5 在 KOH 腐蚀 6 hours 后 Au/bulk Si 键合结构的剖面 SEM 照片，（a）整体钻蚀形貌，（b）钻蚀前沿的局部放大照片。

Figure 2.5 The cross-sectional SEM images of the Au/bulk bonding structure after 6-hour KOH etching. (a) The entire morphology of underetch and (b) the enlarged view on the front edge of underetch.

对于 Au/bulk Si 键合结构在 KOH 腐蚀中所存在的侧向钻蚀现象，Huang, Xian 等人^[96]认为是 Au/bulk Si 键合结构的键合层中的空洞和倒金字塔方坑导致了钻蚀现象的发生。为了分析钻蚀现象的原因，本节将 Huang, Xian 等人的工作^[96]与本文工作在键合结构的键合金属层构成、工艺实施细节和 SEM 剖面进行了对比和分析。

首先对于键合结构的键合金属构成，Huang, Xian 等人^[96]采用的是 Glass/Ti/Pt/Au 与 Bulk Si 直接键合的结构，而本文工作采用的是 Si/SiO₂/Ti/Au 与 Au/Ti/Bulk Si 键合的结构，最大的差异在于对 Bulk Si 的处理（也即是否在 Bulk Si 一侧溅射了键合金属）。其次，在工艺细节上的处理方面，Huang, Xian 等人^[96]是在金硅键合工艺前将 Bulk Si 进行 BHF（Buffered HF）的漂洗，随后立即进行金硅键合工艺，而本文工作是在对 Bulk Si 溅射 Ti/Au 键合金属前进行 HF 的漂洗，并且在键合工艺前有一段时间的放置。再有，从 SEM 剖面照片来进行比较，Huang, Xian 等人工作的键合 SEM 照片^[96]，从其键合界面中可看到有明显的倒金字塔方坑，但倒金字塔方坑在键合界面上是离散分布而非连续分布；图 2.6 展示了本工作 Au/bulk Si 键合结构的键合界面 SEM 照片，从中可以看到靠近金硅合

金键合层的 Cap Si (Bulk Si) 区域呈现出波浪形的起伏，且键合界面也未发现倒金字塔方坑，这说明金硅反应在键合区域内均匀发生。

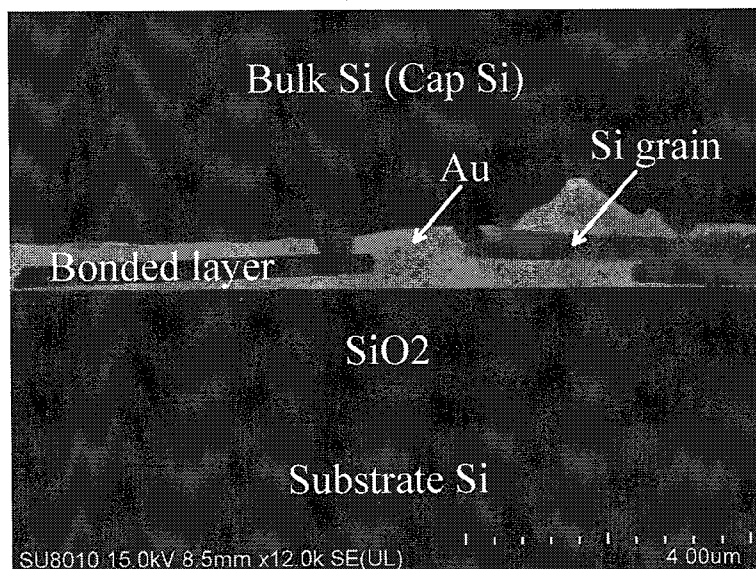


图 2.6 Au/bulk Si 键合结构的剖面 SEM 照片。

Figure 2.6 The cross-sectional SEM images of the Au/bulk bonding structure.

实际上，本节所采用的 Au/bulk Si 键合结构中，所溅射的 Ti 一方面起到了增加 Au 在氧化硅或硅上粘附性的作用，另一方面对于 Cap Si 一侧所溅射的 Ti 还能在金硅键合过程中与 Cap Si 表面残留的自然氧化层反应，进而使键合区域的金和硅之间充分接触和发生均匀的共晶反应，提高了金硅共晶键合质量。荆二荣在其博士论文^[98]中，曾详细地分析了类似于 Huang, Xian 等人工作^[96]所采用的 Au/bare bulk Si 键合结构，并解释了倒金字塔方坑的形成是由于 Au/bare bulk Si 键合结构中裸 Bulk Si 表面存在的自然氧化层在键合压力作用下产生的局部破裂，使得局部发生具有取向性的金硅共晶反应。而本文工作采用的 Au/bulk Si 键合结构则由于 Ti 对自然氧化层的反应使得共晶反应均匀发生，因此在键合界面处并未观察到倒金字塔的方坑。

通过 Damage layer 的理论则能较好地解释本文工作与 Huang, Xian 等人工作^[96]的差异性，进而对 Au/bulk Si 键合结构在 KOH 腐蚀中存在钻蚀问题有更合理的解释。实际上，Damage layer 的形成是由于金硅共晶反应中，Cap Si (Bulk Si) 提供了金硅反应中硅的来源，当 Si 原子不断离开 Bulk Si 而扩散到 Au 中时，

就会破坏 Bulk Si 一侧正常的单晶硅晶格分布,也即在金硅键合层与 Bulk Si 之间形成一层单晶硅晶格失配层,也就是损伤层 Damage layer。同时由于 Damage layer 的形成与金硅共晶反应密切相关,也即只有金硅反应的区域才会在 Bulk Si 一侧相应的区域处形成 Damage layer。因此可以确定,在键合区域内金硅反应的范围越宽,所形成的 Damage layer 区域也会越宽。对于 Huang, Xian 等人工作^[96],尽管在键合前对 Bulk Si 进行了 BHF 漂洗,但无法保证键合区域没有自然氧化层的残留和形成,因此他们能够同时观察到钻蚀现象和倒金字塔方坑的存在,这也意味着 Damage layer 在键合界面处的分布并不是连续的,正如文献^[96]最后给出的腐蚀实验照片,少部分区域未被 KOH 所钻蚀而保持完整,大部分的区域则发生了钻蚀。相较之,本文工作的键合结构由于 Ti 的作用使得金硅反应均匀,进而使得在键合界面处的 Damage layer 连续分布,而观察到键合芯片四周都发生侧向钻蚀现象。

综上,本节通过分析 Au/bulk Si 键合芯片单元在 KOH 各向异性腐蚀中的侧向钻蚀形貌,验证了钻蚀现象发生在 Au/bulk Si 键合结构的金硅键合层与 Bulk Si 接合的区域,该区域已不再表现单晶硅在 KOH 腐蚀中的各向异性,反而表现出接近各向同性腐蚀的特点,这显示了所发生钻蚀的区域单晶硅晶格已经被破坏。进一步对比分析发现,通过 Damage layer 的理论则能较好的解释这种钻蚀现象,并均能解释 Huang, Xian 等人的工作^[96]和本论文工作的差异性,从而证明传统 Au/bulk Si 键合结构在保证良好键合质量的同时是难以与 KOH 腐蚀工艺实现兼容的。因此,为实现金硅键合与 KOH 腐蚀的工艺兼容性,应该从 Damage layer 产生所导致的钻蚀根本原因入手,避免 Damage layer 的出现或者对出现的 Damage layer 层进行保护以隔离 KOH 腐蚀。

2.3 Au/ α -Si 键合结构与 KOH 腐蚀兼容性

从金硅键合的原理来看,为了实现金硅共晶反应,除了上一节探讨的 Au/bulk Si 键合结构是以 Bulk Si 直接提供金硅共晶反应的硅的来源外,利用在圆片上沉积多晶硅(Poly-Silicon, poly-Si)或非晶硅(Amorphous Silicon, α -Si)提供金硅共晶反应中硅的来源也是近来常用的金硅键合技术,这些键合技术被称为

Au/poly-Si 键合技术和 Au/ α -Si 键合技术。

本节的重点在于研究 Au/ α -Si 键合技术与 KOH 腐蚀的工艺兼容性。尽管在刘米丰的博士论文^[97]中和 Huang, Xian 等人^[96]的工作中, 都发现了 Au/ α -Si 键合技术与 KOH 腐蚀工艺具有良好的工艺兼容性, 其中刘米丰认为是由于 Au/ α -Si 键合结构不再有 Damage layer 的存在, 而 Huang, Xian 等人的工作则认为这是由于 Au/ α -Si 键合结构所形成的金硅键合层不再存在空洞和倒金字塔方形坑。实际上, 在刘米丰的工作中^[97], 利用划片-FIB 法对 Au/ α -Si 键合结构的剖面进行处理和观察发现键合层仍然有空洞的存在, 这从另一个角度也证明了上一节有关 Au/bulk Si 键合结构在 KOH 腐蚀中的侧向钻蚀现象并非由于键合层的空洞存在。值得注意的是刘米丰的工作^[97]和 Huang, Xian 等人的工作^[96]都是基于单一的 α -Si 层和键合金属层厚度实现 Au/ α -Si 键合结构的制备, 随后对其进行 KOH 腐蚀实验和观察, 进而得到 Au/ α -Si 键合结构可与 KOH 腐蚀兼容的结论。

事实上, 在 Au/ α -Si 键合结构的制备中, α -Si 层厚度和键合金属层厚度是必须考量的参数, 以单一薄膜厚度参数的 Au/ α -Si 键合结构来说明该键合结构与 KOH 腐蚀的兼容性具有一定的局限性, 也难以证明其与 KOH 腐蚀兼容的可靠性。为了对 Au/ α -Si 键合结构与 KOH 腐蚀的工艺兼容性进行更为深入的分析, 本节设计了不同的 α -Si 层与 Au 层厚度比的 Au/ α -Si 键合结构, 并进行 KOH 腐蚀实验, 通过 IR、SEM、FIB 等技术观察和分析了不同薄膜参数下的 Au/ α -Si 键合结构与 KOH 腐蚀兼容性的差异性, 最终给出实现 Au/ α -Si 键合结构与 KOH 腐蚀可靠兼容的 α -Si 层与 Au 层厚度比条件。

2.3.1 Au/ α -Si 键合结构的设计与制备

图 2.7 (a) 展示了 Au/ α -Si 键合结构的示意图, 其中盖板晶圆 Cap Si 一侧沉积有 α -Si 层, 并在 α -Si 上随之溅射有 Ti/Au 层; 而基板晶圆 Substrate Si 作为器件圆片则带有氧化层, 模拟一般性器件圆片所具有绝缘层保护器件的功能, 并在 Substrate Si 一侧氧化硅上溅射 Ti/Au 层。对于这种 Au/ α -Si 键合结构, 由于在 Cap Si 与 Substrate Si 圆片上都具有类似氧化层形成的绝缘层, 这有效防止了金在盖板硅和器件硅内的扩散, 因此该键合结构具有较为宽泛的应用场景。对 Cap Si

圆片和 Substrate Si 圆片的键合金属面对面进行金硅共晶键合工艺，最终形成图 2.7 (b) 和 (c) 中的 Au/ α -Si 键合片。其中，图 2.7 (b) 是所沉积的 α -Si 层能够完全参与金硅共晶反应，图 2.7 (c) 则显示了所沉积的 α -Si 层在金硅共晶反应后还有一定 α -Si 剩余的情况，显然这两种情况的出现与所沉积的 α -Si 层及 Ti/Au 层厚度比是密切相关的。

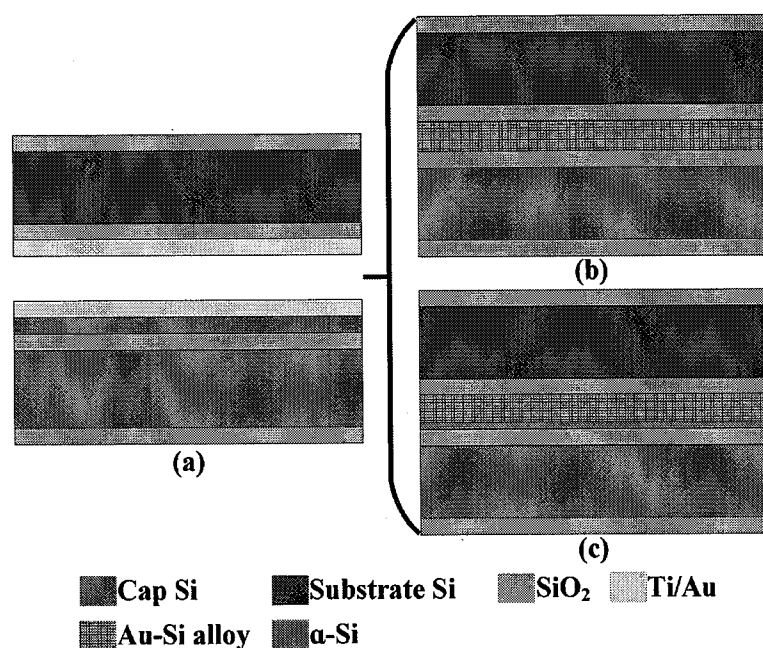


图 2.7 Au/ α -Si 键合结构示意图，(a) 键合前，(b) 键合后 α -Si 层全部反应，(c) 键合后 α -Si 层有残余。

Figure 2.7 The sketch of the Au/bulk Si bonding structure. (a) Before bonding, (b) after bonding with full reactions of α -Si films, and (c) after bonding with remaining α -Si films.

在 Au/ α -Si 键合结构的制备中，盖板晶圆 Cap Si 和基板晶圆 Substrate Si 均采用四英寸 N 型 (100) 硅片，其硅片厚度约为 425 μm ，其电阻率为 3~8 $\Omega\cdot\text{cm}$ 。本实验中 Au/ α -Si 键合结构制备主要包括如下工艺：

(1) 对于 Cap Si 圆片，首先进行标准清洗工艺，随后进行热氧化工艺，通过干湿氧化工艺的组合在 Substrate Si 圆片生长厚度为 2 μm 的氧化硅层；随后在 Cap Si 圆片一侧通过等离子体增强化学气相沉积 (PECVD) 技术沉积不同厚度的 α -Si 层；进一步在 α -Si 膜层上溅射不同厚度的 Ti/Au 层，作为 Cap Si 圆片的键合金属层。

(2) 对于 Substrate Si 圆片, 同样首先进行标准清洗工艺, 随后进行热氧化工艺, 通过干湿氧化工艺的组合在 Substrate Si 圆片生长厚度为 $2\text{ }\mu\text{m}$ 的氧化硅层; 并在 Substrate Si 一侧氧化硅上溅射不同厚度的 Ti/Au 层, 作为 Substrate Si 圆片的键合金属层。

(3) 对 Cap Si 圆片和 Substrate Si 圆片在 SB6 键合机中进行金硅共晶键合工艺, 并用 Disco DAD-341 划片机将键合后的圆片沿着平行以及垂直于主切边的方向进行划片, 划成 $6\text{ mm}\times 6\text{ mm}$ 大小的键合芯片单元, 用于随后的 KOH 腐蚀实验。

需要说明的是, Au/ α -Si 键合结构制备中所沉积的不同薄膜厚度及其相应的 α -Si 层与 Au 层厚度比汇总在表 2.1 中, 实验中 α -Si 层与 Au 层厚度比主要选择了 12.5:1、4:1 和 1.5:1 这三种情况。

表 2.1 Au/ α -Si 键合结构制备中所沉积的不同薄膜厚度参数。

Table 2.1 The parameters of deposition films in the Au/ α -Si bonding structure preparations.

No.	Cap Si 的 α -Si 薄膜厚度	Cap Si 的 Ti/Au 薄膜厚度	Substrate Si 的 Ti/Au 薄膜厚度	α -Si 与 Au 薄膜厚度比
1	300 nm	50 nm/100 nm	50 nm/100 nm	1.5:1
2	800 nm	50 nm/100 nm	50 nm/100 nm	4:1
3	2000 nm	50 nm/80 nm	50 nm/80 nm	12.5:1

2.3.2 Au/ α -Si 键合结构的 KOH 腐蚀兼容性评估

Au/ α -Si 键合芯片的 KOH 腐蚀实验条件与上节 Au/bulk Si 键合芯片的腐蚀条件一致。由于 Au/ α -Si 键合芯片单元在盖板 Cap Si 和基板 Substrate Si 侧均有 $2\text{ }\mu\text{m}$ 的氧化硅作为保护层, 因此在腐蚀实验中, 暴露于 KOH 溶液中的 Au/ α -Si 键合芯片单元两侧均不会发生腐蚀, 而只用观察不同 α -Si 层与 Au 层厚度比下 Au/ α -Si 键合结构在 KOH 腐蚀中是否发生侧向钻蚀现象。

由于 Au/ α -Si 键合结构不存在体硅损伤层, 且在金硅键合层两侧均有氧化硅的存在, 使得 Au/ α -Si 键合结构中 Cap Si 和 Substrate Si 的硅本体均不会被 KOH 所腐蚀, 特别是金硅键合层厚度在一两个微米的量级, 因此如何判断 Au/ α -Si 键

合芯片单元在 KOH 腐蚀中发生侧向钻蚀成为一个难题。Jing, Errong 等人^[99-100]提出可以利用红外显微镜来判断金硅键合的键合质量,其所利用的原理正是红外光能穿透硅、氧化硅等介质而不能穿透金属介质,因此当通过红外显微镜观察金硅键合层,由金构成的区域展现出亮白色或浅灰色,而由硅构成的区域展现出深灰色或黑色。借鉴这种方法,如果 Au/ α -Si 键合芯片单元在 KOH 腐蚀中发生侧向钻蚀的现象,那么在金硅键合层处会产生一定的腐蚀间隙,改变了红外光传播所经过的介质,使得在腐蚀前后的红外照片上将呈现出明显的差异。

在 Au/ α -Si 键合芯片进行 KOH 腐蚀实验前,先利用红外显微镜的反射模式进行键合芯片观察和拍照,需要说明的是红外显微镜观察中均是红外光从 Au/ α -Si 键合芯片单元的 Cap Si 一侧(也即键合结构制备带有 α -Si 薄膜的一侧)入射。随后,在 KOH 腐蚀后将 Au/ α -Si 键合芯片单元用去离子水冲洗并干燥,并再次利用红外显微镜进行键合芯片的观察和拍照。图 2.8、图 2.9 和图 2.10 分别展示了 α -Si 层与 Au 层厚度比为 12.5:1、4:1 和 1.5:1 三种情况的 Au/ α -Si 键合芯片在 KOH 腐蚀前后的红外照片。从图 2.8 和图 2.9 中不难发现,对于 α -Si 层与 Au 层厚度比为 12.5:1 和 4:1 的这两种情况,在 KOH 腐蚀 20 min 前后键合芯片相应区域的红外显微镜照片均呈现出明显的差异,也即在 Au/ α -Si 键合芯片单元的四周出现了深灰色区域。而图 2.10 中对于 α -Si 层与 Au 层厚度比为 1.5:1 的 Au/ α -Si 键合芯片在 KOH 腐蚀 6 h 前后的红外照片则没有明显的差异。上述实验说明对于 α -Si 层与 Au 层厚度比为 12.5:1 和 4:1 两种情况的 Au/ α -Si 键合结构在 KOH 腐蚀中同样存在侧向钻蚀的现象,且红外显微镜照片上所呈现的深灰色区域宽度约 200 μm ,根据 Au/ α -Si 键合芯片所经历的 KOH 腐蚀时间约 20 min,可以计算其相应的钻蚀速率约为 600 $\mu\text{m}/\text{h}$,该侧向钻蚀速率同样远远大于 KOH 对硅(100)的腐蚀速率(约 50 倍)。显然, α -Si 层与 Au 层厚度比对于 Au/ α -Si 键合结构与 KOH 腐蚀的兼容性有着决定性的影响。

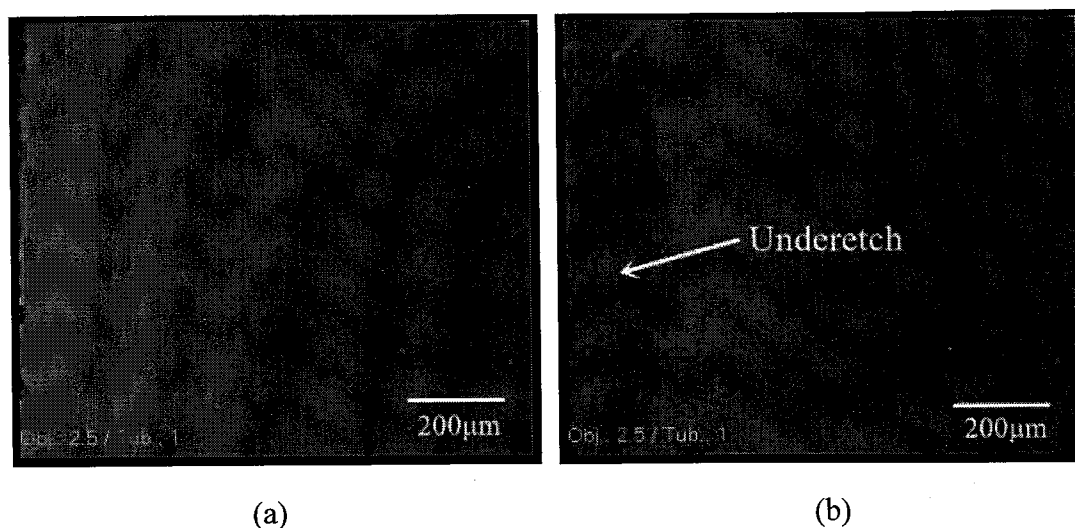


图 2.8 α -Si 与 Au 厚度比为 12.5:1 的 Au/ α -Si 键合芯片单元的红外显微镜照片, (a) 腐蚀前, (b) 腐蚀 20 min 后。

Figure 2.8 The IR images of Au/ α -Si bonding chips with the α -Si/Au thickness ratio of 12.5:1.

(a) Before etching and (b) after 20-minute etching.

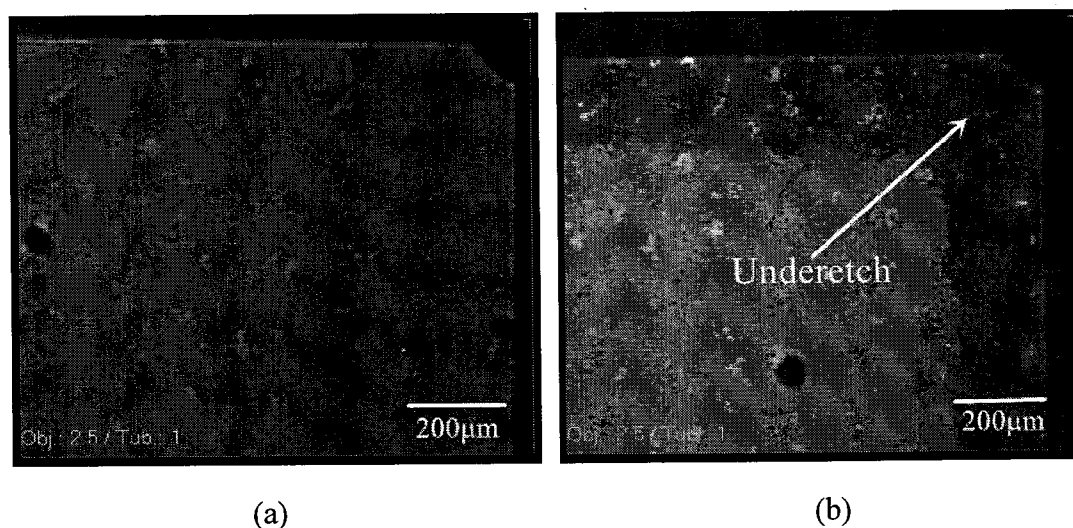


图 2.9 α -Si 与 Au 厚度比为 4:1 的 Au/ α -Si 键合芯片单元的红外显微镜照片, (a) 腐蚀前, (b) 腐蚀 20 min 后。

Figure 2.9 The IR images of Au/ α -Si bonding chips with the α -Si/Au thickness ratio of 4:1. (a)

Before etching and (b) after 20-minute etching.

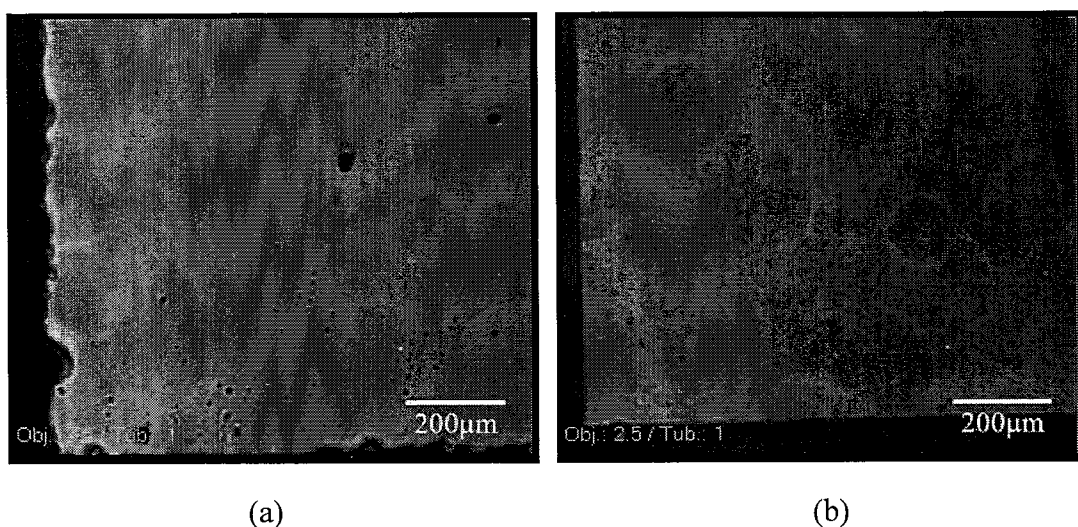


图 2.10 α -Si 与 Au 厚度比为 1.5:1 的 Au/ α -Si 键合芯片单元的红外显微镜照片，(a) 腐蚀前，(b) 腐蚀 6 h 后。

Figure 2.10 The IR images of Au/ α -Si bonding chips with the α -Si/Au thickness ratio of 1.5:1.
(a) Before etching and (b) after 6-hour etching.

为了进一步分析 Au/ α -Si 键合结构在 KOH 腐蚀中侧向钻蚀的原因，现对 KOH 腐蚀后的 Au/ α -Si 键合芯片单元进行键合界面的研磨制样与 SEM 观察。其中对于发生侧向钻蚀的 Au/ α -Si 键合芯片样品制备，首先是通过机械研磨抛光的形式研磨到键合芯片的中部以暴露出该芯片的键合界面；由于 Au/ α -Si 键合结构仅能在键合界面处产生侧向钻蚀现象，而键合界面实际的形貌易受到机械研磨产生的碎屑的影响，因此随后利用 FIB 离子束刻蚀对键合芯片边界区域进行处理，最后得到其键合界面实际的形貌。

图 2.11 展示了 α -Si 层与 Au 层厚度比为 12.5:1 的 Au/ α -Si 键合芯片在 KOH 腐蚀后边界经由 FIB 处理后的 SEM 照片。从图中很容易看到，在金硅键合层与 Cap Si (Bulk Si) 的氧化层之间出现了一条连续的间隙，该缝隙也进一步验证了从红外照片中观察到的侧向钻蚀现象，通过测量，该间隙纵向宽度在 400 nm~1200 nm 之间。



图 2.11 α -Si 与 Au 厚度比为 12.5:1 的 Au/ α -Si 键合芯片单元在 90 min 的 KOH 腐蚀后边
界经由 FIB 处理后的 SEM 照片。

Figure 2.11 The SEM image of an Au/ α -Si bonding chip with the α -Si/Au thickness ratio of
12.5:1 by surface treatments of FIB (after 90-minute KOH etching)

图 2.12 (a) 和 (b) 分别展示了 α -Si 层与 Au 层厚度比为 12.5:1 和 1.5:1 的 Au/ α -Si 键合芯片在 KOH 腐蚀前键合层的 SEM 照片，从中可以看到在金硅键合层与 Cap Si (Bulk Si) 的氧化层之间存在未完全参与金硅共晶反应的 α -Si 薄膜，同样通过测量，其剩余的 α -Si 薄膜厚度在 300 nm~1200 nm 之间。可见，图 2.11 中的间隙纵向宽度和图 2.12 (a) 中的剩余 α -Si 薄膜厚度基本在同一个参数范围内，这说明 α -Si 层与 Au 层厚度比为 12.5:1 的 Au/ α -Si 键合芯片的侧向钻蚀发生在金硅共晶反应所残余的 α -Si 薄膜区域。实际上，由 PECVD 所沉积的 α -Si 薄膜本身是很疏松的，因此很容易被 KOH 溶液所腐蚀。

对于图 2.12 (b) 中 α -Si 层与 Au 层厚度比为 1.5:1 的 Au/ α -Si 键合芯片 SEM 照片，在其键合界面处，并没有观察到 α -Si 层。这说明当 α -Si 层与 Au 层厚度比相对较低时， α -Si 薄膜将完全参与到金硅共晶反应中，避免了本身富含缺陷的疏松 α -Si 薄膜残余所产生的侧向钻蚀通道。由于金硅键合层中硅被金所包围而不被 KOH 溶液所腐蚀，而金硅键合层又将 Cap Si 和 Substrate Si 紧密连接在一起，使

得 α -Si 层与 Au 层厚度比为 1.5:1 的 Au/ α -Si 键合芯片具备了与 KOH 腐蚀兼容的能力。这里需要强调的是, 金硅共晶反应在键合工艺中与键合温度和键合时间密切相关, 本节仅以典型的金硅键合工艺参数(键合温度: 400°C; 键合时间: 30 min)来说明 Au/ α -Si 键合结构在实现与 KOH 腐蚀兼容所需具备的 α -Si/Au 薄膜厚度比条件, 并在该键合工艺参数下给出 α -Si 层与 Au 层厚度比低于 1.5:1 的参考值。

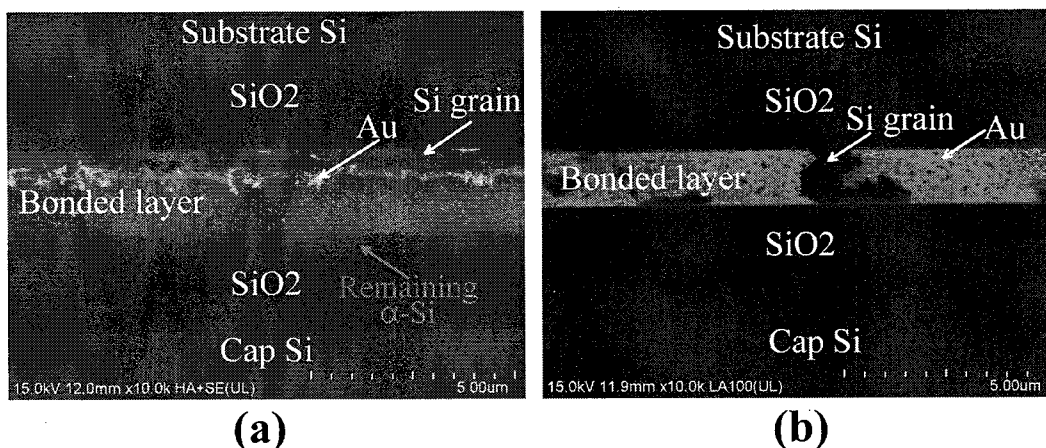


图 2.12 Au/ α -Si 键合芯片单元在腐蚀前的键合界面 SEM 照片, (a) α -Si 与 Au 厚度比为 12.5:1, (b) α -Si 与 Au 厚度比为 1.5:1。

Figure 2.12 The cross-sectional SEM images of Au/ α -Si bonding chips before KOH etching.

(a) The α -Si/Au thickness ratio of 12.5:1, and (b) the α -Si/Au thickness ratio of 1.5:1.

2.4 基于 LOCOS 的改进型 Au/bulk Si 键合结构与 KOH 腐蚀兼容性

2.4.1 改进型 Au/bulk Si 键合结构的设计

尽管 Au/ α -Si 键合结构在较低的 α -Si 层与 Au 层厚度比例下能实现与 KOH 腐蚀的兼容, 然而 Au/bulk Si 键合结构由于不需要沉积硅的薄膜而使得键合效果不依赖于所沉积硅薄膜的质量, 并且该键合结构的制备流程较为简单。因此, 如何通过对 Au/bulk Si 键合结构进行改良设计以实现键合结构与 KOH 腐蚀的兼容性依然值得深入研究。图 2.13 (a) 展示了传统 Au/bulk Si 键合结构的示意图, 如前所述, 对于 Au/bulk Si 键合结构来说, 充分均匀发生的金硅共晶反应将会使得在金硅键合层与体硅 (bulk Si) 之间的界面上形成连续分布的损伤层 (Damage Layer), 而损伤层的产生则被认为是 Au/bulk Si 键合结构在 KOH 腐蚀工艺中存

在侧向钻蚀现象的根本原因。

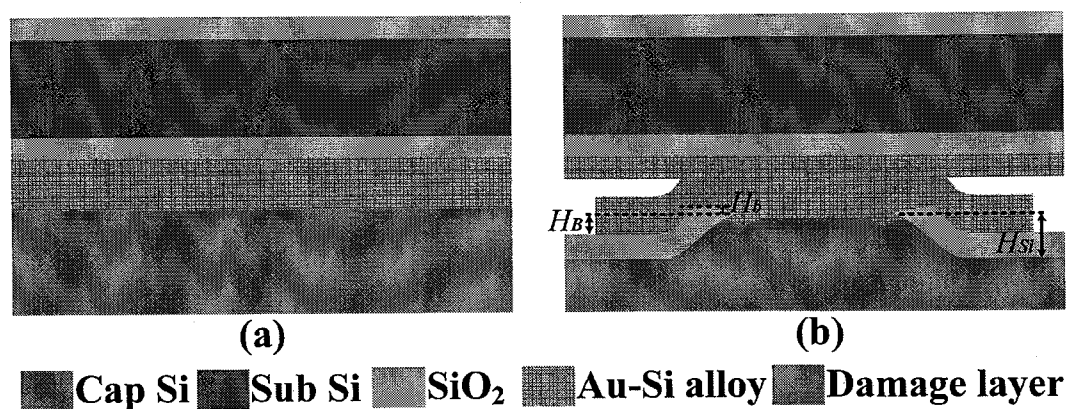


图 2.13 (a) 传统 Au/bulk Si 键合结构和 (b) 基于 LOCOS 的改进型 Au/bulk Si 键合结构示意图。

Figure 2.13 The diagrams for (a) the conventional Au/bulk Si bonding structure and (b) the modified Au/bulk Si bonding structure based on LOCOS.

可见，如果能对 Au/bulk Si 键合结构中的金硅键合层与体硅 (bulk Si) 之间的界面通过一定方式形成一定保护，使得金硅共晶反应界面与 KOH 腐蚀溶液之间形成隔离，那么就能保护所形成的损伤层免受 KOH 腐蚀。这不失为一种实现 Au/bulk Si 键合与 KOH 腐蚀工艺兼容性的新思路。在集成电路制造中常用局部氧化工艺 (local oxidation of silicon, LOCOS) 来实现源区之间的侧向隔离，其原理主要是利用了氮化硅在硅热氧化工艺中作为图形化后的硬掩模实现硅圆片的局部区域氧化，这为实现对金硅共晶反应界面的保护提供了参考。

实际上，在集成电路制造的 LOCOS 工艺应用中，只涉及到一次硅热氧化工艺，如果将 LOCOS 工艺应用到金硅键合结构的制备中，则需要根据金硅键合的共晶反应原理和特点进行 LOCOS 工艺的适当调整。金硅键合工艺的实施是将两圆片的键合面面对面并在一定压力和高于金硅共晶温度点的温度下使得键合面能有效接触和发生共晶反应最终实现圆片之间的键合。考虑到 Au/bulk Si 键合结构的 bulk Si 圆片一侧的键合区域既需要暴露以保证圆片在键合工艺中的充分接触，又需要对金硅共晶反应界面进行隔离保护，因此可设计具有硅凸台结构的 Au/bulk Si 键合结构来满足上述的两个要求。具体而言就是将成熟的单步氧化 LOCOS 工艺拓展成为两步热氧化 LOCOS 工艺，首先通过第一步热氧化工艺形

成具有一定高度的硅凸台结构作为金硅共晶键合区域,随后通过第二步热氧化工艺实现金硅共晶键合区域四周边缘被氧化层包裹所形成的保护结构。

由此,本节从 LOCOS 工艺和硅热氧化原理出发,提出一种基于两步热氧化 LOCOS 工艺的改进型 Au/bulk Si 键合结构,并以此解决传统 Au/bulk Si 键合结构与 KOH 腐蚀工艺兼容性的难题。与图 2.13 (a) 中相比,图 2.13 (b) 所展示的改进型 Au/bulk Si 键合结构的键合区域呈现出一个四周被氧化硅层所包裹的硅凸台结构,其中硅凸台结构顶部的键合金属层作为 bulk Si 圆片的键合面,而位于键合金属层下侧的硅本体则提供了键合工艺中金硅共晶反应的硅的来源;另外,硅凸台所被包裹的氧化硅层则用于保护金硅共晶反应的界面免于暴露在 KOH 腐蚀溶液中,特别是由 LOCOS 工艺所形成的“鸟嘴”结构有效的隔离了键合环的金硅共晶反应边界与 KOH 腐蚀液的接触。因此,对于改进型 Au/bulk Si 键合结构虽然在 Au/Si 键合共晶反应界面上依然会形成所谓的损伤层,但是粘附于 Au/Si 键合层上的氧化层则在损伤层和 KOH 溶液之间形成了屏障,因此该结构预期可以实现 Au/bulk Si 键合与 KOH 腐蚀的工艺兼容性。

显然,本文所提出的改进型 Au/bulk Si 键合结构具有三个关键的结构参数:硅凸台结构的体硅区表面与氧化硅区的表面高度差 (H_B)、硅凸台的高度 (H_{Si}) 和鸟嘴高度 (H_b)。其中,较小的 H_B 和 H_b 值将有助于在键合工艺中两个晶圆之间的充分接触和反应,最终确保形成高可靠的金硅键合结构,而具有一定高度 H_{Si} 的硅凸台结构将在金硅共晶反应中提供硅的来源。当该改进型 Au/bulk Si 键合结构应用于实际的 KOH 腐蚀中时,则应考虑如下参数的选择。

1) 根据硅热氧化原理,硅凸台结构的体硅区表面与氧化硅区的表面高度差 (H_B)、硅凸台的高度 (H_{Si}) 分别可以由下述表达式 (2.1) 和 (2.2) 推算得到,其中 T_0 和 T_1 分别为第一步和第二步热氧化工艺中生长氧化硅的厚度。而为了使得 Au/bulk Si 键合结构在键合工艺中的盖板晶圆 Cap Si 和基板晶圆 Substrate Si (下文或采用“Cap Si”和“Sub Si”的简写) 的键合区域能充分接触,则要求硅凸台结构的体硅区域的表面高度应略大于氧化硅区域的高度,也即两步热氧化工艺的氧化硅厚度应当满足 $T_0 > 1.273T_1$ 。

2) 该改进型 Au/bulk Si 键合结构既然是以氧化硅作为 KOH 腐蚀中对金硅键

合层的保护层，那么这种改进型 Au/bulk Si 键合结构在 KOH 腐蚀中所能被安全腐蚀的硅厚度或硅深度则完全取决于该结构制备中的第二次热氧化工艺生长的氧化硅厚度 T_1 。因此，根据 KOH 腐蚀液对于硅和氧化硅的腐蚀速率比，可以在实际应用中根据需求选择合适的氧化硅层厚度。

$$H_B = 0.44T_0 - 0.56T_1 \quad (T_0 > 1.273T_1) \quad (2.1)$$

$$H_{Si} = 0.44 \cdot (T_0 + T_1) \quad (2.2)$$

2.4.2 改进型 Au/bulk Si 键合结构的制备

在改进型 Au/bulk Si 键合结构的制备中，盖板晶圆 Cap Si 和基板晶圆 Substrate Si 均采用四英寸 N 型 (100) 硅片，其硅片厚度约为 $425 \mu\text{m}$ ，其电阻率为 $3 \sim 8 \Omega \cdot \text{cm}$ 。图 2.14 展示了该改进型 Au/bulk Si 键合结构的两掩模制备流程。

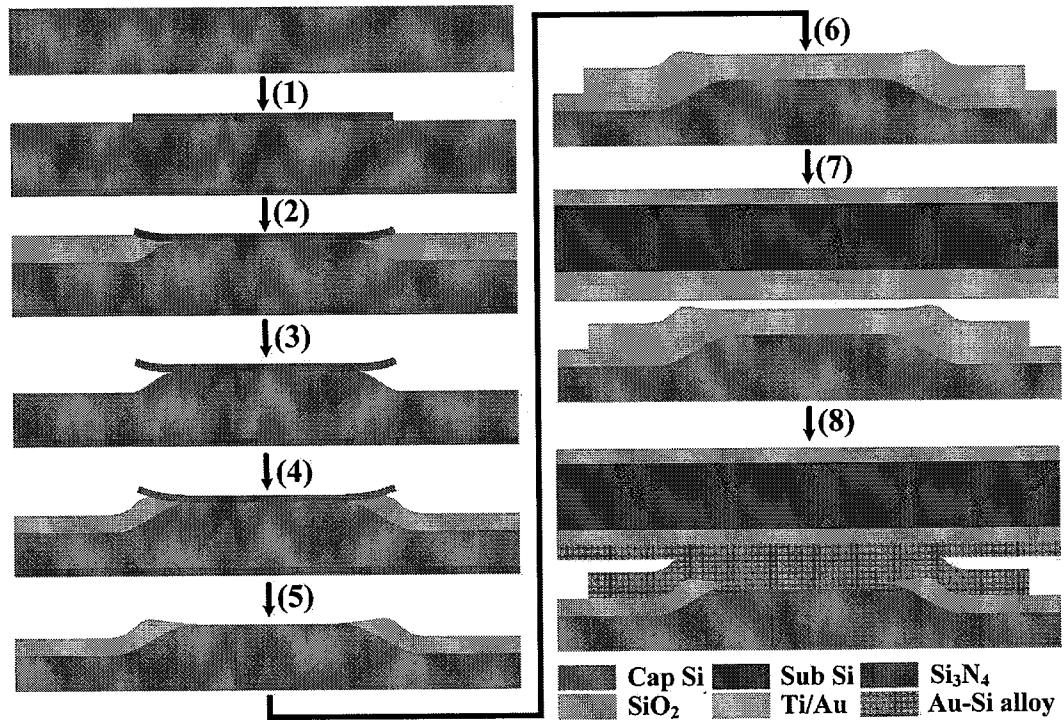


图 2.14 改进型 Au/bulk Si 键合结构的制备工艺流程图。

Figure 2.14 The overall fabrication processes of the modified Au/bulk Si bonding structure.

(1) 首先通过低压化学气相沉积 (LPCVD) 在盖板硅 Cap Si 上沉积一定厚度的氮化硅层 (普通应力, Normal Stress)，以作为后续热氧化工艺的掩模层。随后，通过第一次光刻和反应离子刻蚀 (RIE) 技术，对沉积的氮化硅层进行图

形化,也即对需要参与金硅键合的键合区域(键合环区域)保留氮化硅薄膜的附着,而对于非键合区域(非键合环区域)作为需要热生长氧化硅的区域则进行氮化硅的刻蚀。

(2)然后将这些 Cap Si 圆片送入高温炉管中,利用干法和湿法氧化的交替混合氧化工艺在圆片图形化后的非氮化硅区域热生长一定厚度的氧化硅层。这也就是第一步热氧化工艺。实际上该氧化层作为牺牲层,以形成具有一定台阶高度的硅凸台结构。

(3)通过缓冲氧化物刻蚀液(BOE)对 Cap Si 上已经形成的热氧化层进行完全腐蚀,其中 BOE 腐蚀液对氧化硅与氮化硅的刻蚀比约为 50:1,该具有高选择性的刻蚀比对键合结构的制备至关重要。此时,可以看到一个具有一定高度的硅凸台结构就初步形成了。

(4)随后通过干法和湿法氧化工艺的交替混合工艺,在 Cap Si 圆片上继续热氧化生长一定厚度的氧化硅层,该氧化硅的主要作用是作为该改进型的键合结构在 KOH 腐蚀中的掩蔽层。这就是第二步的热氧化工艺。

(5)进一步,将 Cap Si 圆片在氢氟酸溶液中漂洗 2 分钟以去除氮化硅表面由于热氧化工艺所形成的氮氧化物,随后将 Cap Si 圆片置于 160°C 的磷酸溶液中将氮化硅层腐蚀干净,其中 160°C 的磷酸溶液对氮化硅和氧化硅的腐蚀比约为 50:1。到这一步,就完成了四周具有氧化层包裹的硅凸台结构的制备,硅凸台顶部作为金硅键合中的接触面。

(6)随后将 Cap Si 圆片在氢氟酸溶液中漂洗约 2 分钟,并通过磁控溅射将作为键合金属层的 Ti/Au 薄膜溅射到 Cap Si 圆片的具有硅凸台结构一侧,其中 Ti 膜不仅可以改善 Au 膜在 Si 上的粘附性,还可以去除在 Au/bulk Si 键合中体硅表面的自然氧化层。溅射完成后进行第二次(也即最后一次)光刻,然后分别用碘+碘化钾混合溶液和稀释后的氢氟酸溶液对 Au 薄膜和 Ti 薄膜进行腐蚀,由此制备出完整的金硅键合结构中的 bulk Si 键合表面。

(7)对衬底硅圆片 Sub Si 进行热氧化工艺,生长厚度为 2 μm 的氧化硅,模拟具有器件或电路等功能区的衬底硅片,并通过磁控溅射在 Sub Si 一侧溅射一层 TiW/Au 薄膜作为 Sub Si 的金硅键合面。这里需要说明的是,Sub Si 带有

TiW/Au 薄膜的一侧没有进行金属层的图形化, 该圆片整面都是键合金属层并进行随后的金硅键合工艺。

(8) 将制备好的 Cap Si 与 Sub Si 圆片送入到 Karl Suss SB-6E 真空键合机中进行金硅共晶键合工艺, 该键合结构在本实验中对键合对准没有要求。该键合工艺的过程主要包括如下基本步骤: 将键合机抽至 1×10^{-4} mbar 的基底真空度, 并将待键合圆片置于 300°C 下维持 30 分钟进行必要的除气工艺, 随后加热至 400°C 并在 1250 mbar 的键合压力下进行持续 30 分钟的键合, 在键合工艺完成后降温形成最终的 Au/bulk Si 键合结构。

在上述制备工艺中, 本论文工作采用两种典型工艺参数制备了相应的改进型 Au/bulk Si 键合结构, 其工艺参数如表 2.2 所示。

表 2.2 改进型 Au/bulk Si 键合结构制备过程中所沉积的薄膜参数。

Table 2.2 The detailed thicknesses of deposited films in the modified Au/bulk Si bonding structure fabrications.

芯片 类型	LPCVD 氮化硅厚度	第一步热氧 化厚度 T_0	第二步热氧 化厚度 T_1	Cap Si 侧的 Ti/Au 厚度	Sub Si 侧的 TiW/Au 厚度
NO.1	200 nm	1000 nm	650 nm	50/300 nm	80/500 nm
NO.2	200 nm	2000 nm	1400 nm	50/600 nm	80/500 nm

2.4.3 改进型 Au/bulk Si 键合结构的 KOH 腐蚀兼容性评估

图 2.15 显示了盖板晶圆 Cap Si 具有不同二氧化硅厚度(650 nm 和 1400 nm)的改进型 Au/bulk Si 共晶键合结构的金硅键合层的剖面 SEM 照片。显然, 最初的 Au/Au 界面已经发生改变, 界面转变成为了由金硅合金和空洞组成的金硅键合层。如图 2.15 (a) 和 (b) 所示, 实际上金硅合金在室温下形成的微观结构是在金硅键合工艺的冷却过程中从金硅共晶成分中析出的 Au 和 Si 的混合物 [101-102]。而在金硅共晶点 363°C 以上实现金硅晶圆键合时金硅共晶反应产物的显著特征是在金硅键合层中散布着黑色的硅斑点或硅孤岛, 这在图 2.15 中也有很清晰的体现。从 SEM 照片中也可以看到, 在靠近 Cap Si 一侧的金硅键合界面上, 原始的金硅键合环边界已被带有 LOCOS 工艺典型“鸟嘴”结构的氧化硅层所包

裹。同时，在“鸟嘴”结构遮蔽下，属于 Cap Si 圆片的 bulk Si 区域也参与到了金硅共晶反应中而被消耗了一部分体硅，并且被消耗的体硅区域由金硅合金所填充，这个反应过程的示意图也可以从图 2.14 键合结构制备过程中的第 8 步键合前后的差异得以反映。此外，可以看到紧靠金硅键合界面上，Cap Si 一侧展现出 bulk Si 的起伏形貌（而不再是原来的抛光状态），这表明来自于 Cap Si 的硅均匀地向 Au 薄膜扩散并参与到金硅共晶反应中。综上所述，本论文提出的改进型 Au/bulk Si 键合结构已经实现了金硅共晶键合，使得 Cap Si 圆片与 Sub Si 圆片之间通过金硅共晶键合层粘合从而形成了一个整体。

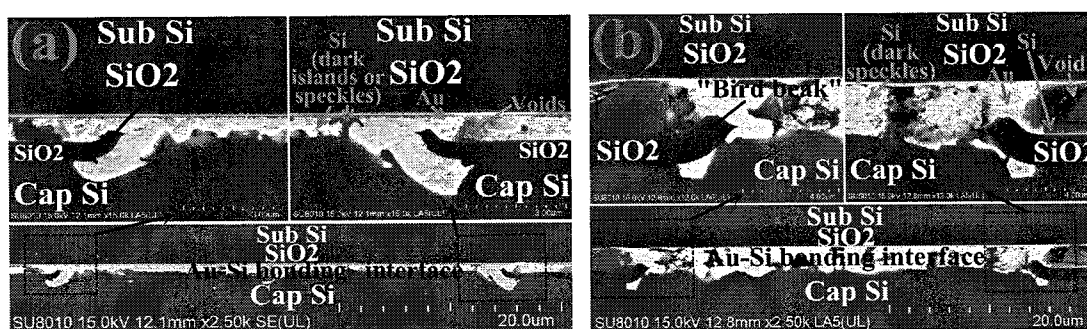


图 2.15 改进型 Au/bulk Si 键合结构在 KOH 腐蚀前的键合界面 SEM 照片，（a）Cap Si 具有 650 nm 厚度的 SiO₂，（b）Cap Si 具有 1400 nm 厚度的 SiO₂。

Figure 2.15 The cross-sectional SEM images of the modified Au/bulk Si bonding structure before KOH etching. (a) 650 nm SiO₂ for Cap Si and (b) 1400 nm SiO₂ for Cap Si.

改进型 Au/bulk Si 键合结构的形成可用以下四个步骤来进行说明：1）在金硅键合过程中，当温度超过金硅共晶点（363℃）时，溅射在 Cap Si 硅片上的 Au 膜首先与 Cap Si 的 bulk Si 发生共晶反应，由此不断形成液态金硅合金。2）所形成的液态金硅合金在键合压力作用下与溅射在 Sub Si 晶圆上的 Au 薄膜接触并进一步共晶反应。3）随着金硅共晶反应的进行，键合环区域源于 Cap Si 的硅原子以 Sub Si 上整片 Au 薄膜作为输运介质向非键合环区域扩散，这意味着在非键合环区的部分区域也形成了液态金硅合金，这些非键合环区域的液态金硅合金进一步填充了在 Cap Si 和 Sub Si 晶圆的两层氧化物层之间的非键合环区的间隙。4）在充分的金硅共晶反应后，键合机开始降温使得键合片冷却。在金硅共晶成分的凝固过程中，由于 Au 和 Si 的相互溶解度可以忽略不计，Au 和 Si 从金

硅共晶组分中不断析出并形成由 Au 和 Si 混合物构成的金硅键合层。最终,形成的金硅键合层实现了这 Cap Si 与 Sub Si 两晶圆之间的冶金化连接。

将键合后的圆片划片成 $6.4 \times 6.4 \text{ mm}^2$ 大小的金硅键合芯片单元,并将这些芯片单元浸入到 50°C 下浓度为 40 wt.% 的 KOH 腐蚀溶液中进行腐蚀实验,该温度和浓度下的 KOH 腐蚀溶液对 (100) 硅的腐蚀速率经验值约为 $12 \mu\text{m/h}$,但实验中所测试得到的 (100) 硅的实际腐蚀速率约为 $10 \mu\text{m/h}$ 。这里需要说明的是,为了能有效验证改进型 Au/bulk Si 键合结构与 KOH 腐蚀的工艺兼容能力,仅让 Cap Si 的非键合面暴露出体硅面作为 KOH 腐蚀的减薄区域,而 Sub Si 由于其键合面和非键合面都有氧化硅的保护(实验中的氧化硅厚度为 $2 \mu\text{m}$)因此不会在 KOH 腐蚀实验中发生硅本体的减薄。可见,如果改进型 Au/bulk Si 键合结构具有对 KOH 腐蚀的工艺兼容性,那么仅有 Cap Si 的非键合面发生减薄,在 KOH 腐蚀深度低于硅片厚度时, Cap Si 的减薄面应当保持完好而没有腐蚀穿透的现象。下文的分析,将依据该项判据来分析这种改进型 Au/bulk Si 键合结构是否具有对 KOH 腐蚀工艺兼容的能力。

在 KOH 腐蚀实验中,对于这些 Cap Si 具有二氧化硅厚度为 650 nm 的改进型 Au/bulk Si 键合芯片,图 2.16 (a) 和 (b) 分别展示两种典型的 KOH 腐蚀后光学显微镜照片,其 KOH 腐蚀时间约为 28 h,对应于 Cap Si 硅片腐蚀或减薄的深度约为 $280 \mu\text{m}$ 。对于图 2.16 (a) 中的情况,可以看到在改进型 Au/bulk Si 键合芯片单元的 Cap Si 减薄一侧, Cap Si 周围形成了 KOH 各向异性腐蚀的慢腐蚀平面,且慢腐蚀面在 Cap Si 周围分布基本连续,这表明所提出的 Au/bulk Si 键合结构具有与 KOH 腐蚀兼容的可行性。然而,对于图 2.16 (b) 中的情况,可以看到一些键合芯片存在减薄失效的情况,也即在仅 28 h 的 KOH 腐蚀后, Cap Si 一侧在金硅键合环外侧的区域存在腐蚀穿透的现象,这意味着在实现改进型 Au/bulk Si 键合结构与 KOH 腐蚀兼容性方面还需要克服一些问题。由于腐蚀穿透的现象出现在非键合环区域,因此需要更加关注非键合环区域的金硅反应状态。

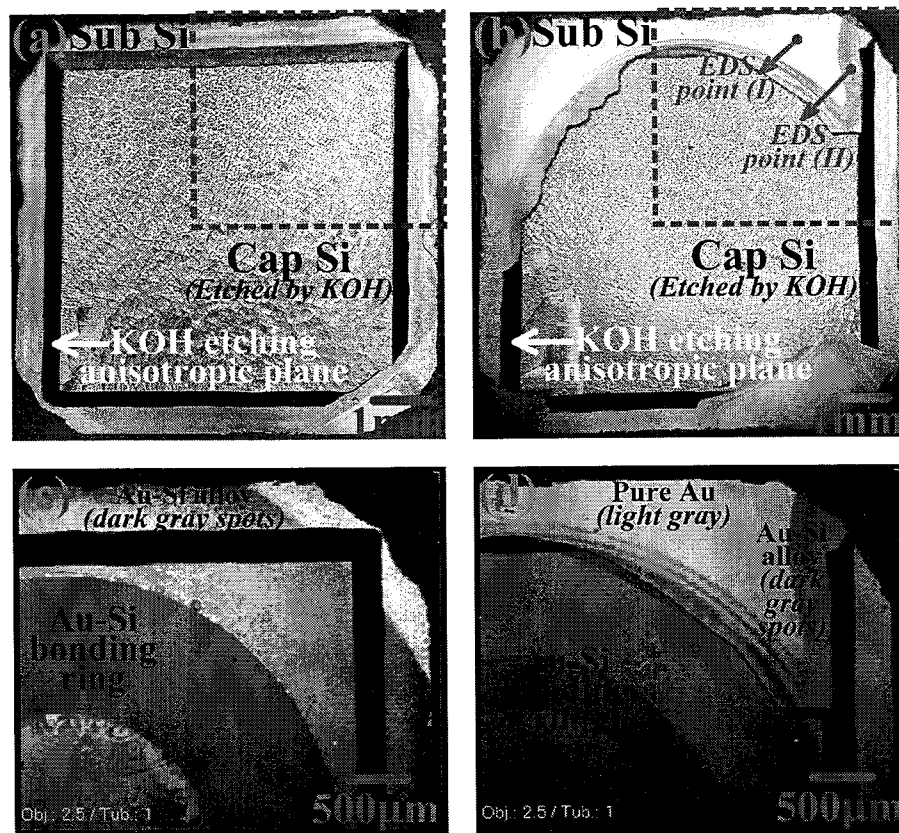


图 2.16 Cap Si 具有 650 nm 厚度 SiO_2 的改进型 Au/bulk Si 键合结构在 KOH 腐蚀 28 h 后的两种典型光学和红外显微镜照片，即 (a) 单面减薄成功和 (b) 单面减薄不成功的情况；另外，(c) 和 (d) 分别为 (a) 和 (b) 图中的右上角蓝色虚线框的红外显微镜照片。

Figure 2.16 The two type photographs of modified Au/bulk Si bonding chips (with 650 nm SiO_2 for Cap Si) after 28-hour KOH etching, i.e. (a) successfully single-side thinning and (b) unsuccessfully single-side thinning. And their IR images (c) and (d) of the upper-right corner zones marked with the blue dash lines in (a) and (b) respectively.

首先利用红外显微镜的无损观察手段对这两种减薄后的键合芯片进行比较分析。红外显微镜可用于金硅共晶键合质量的评估，其原理是金硅共晶键合后的键合层包含金和硅的机械混合物，而红外光可透过氧化硅和硅，透不过金属而产生反射，因此在金硅键合后的红外照片如有深灰色点状图形则表明金硅发生了共晶反应，深灰色点状图形表示该区域是硅，而浅灰色图样则表示该区域是金。依据这个原理，可以通过红外显微镜透过 KOH 腐蚀后的 Cap Si 观察其内部键合环和非键合环区域的金硅共晶反应状态，以期找到导致上述两种 KOH 腐蚀减薄情

况的原因。图 2.16 (c) 和 (d) 分别显示了图 2.16 (a) 和 (b) 中用蓝色虚线标记的右上角区域的红外图像。如图 2.16 (c) 所示, 除了键合环区域呈现出深灰色点状与浅灰色点状图形交错分布, 在整个非键合环区域也分布着密密麻麻的深灰色与亮灰色点状交错的图形, 这表明对于图 2.16 (a) 中的键合芯片, 其整个非键合环区域都有金硅共晶产物的存在。而如图 2.16 (d) 所示, 尽管键合环区域呈现出深灰色点状与浅灰色点状图形交错分布, 但在非键合环区域既有深灰色与亮灰色点状交错的图形, 也有完全是亮灰色的区域, 这意味着对于图 2.16 (b) 中的键合芯片, 其部分非键合环区域有金硅共晶产物的存在, 另一部分则是未参与金硅反应的纯的金薄膜。

为了验证上述基于红外图像的分析, 本论文进一步引入了 SEM&EDS 的分析手段。针对图 2.16 (d) 中所呈现出的两种红外图像进行不同区域的 SEM&EDS 分析, 如图 2.17 (a) 所示, 可以看到图 2.16 (d) 的红外图像中非键合环区域的浅灰色区域确实是由纯金膜组成。与之对应, 如图 2.17 (b) 所示, 在图 2.16 (d) 的红外图像中非键合环区域呈现出深灰色点状与亮灰色点状交替分布的部分区域, 其 SEM 照片呈现出由空洞所分割出的金属冶金形态, 而原本则应该是完整的金薄膜, 再通过 EDS 测试发现该区域的金属部分含有硅的成分, 这更加验证了该区域存在金硅合金的产物。实际上, 非键合环区域金硅合金的形成原因在于, 在键合过程中键合环区域 Cap Si 一侧的硅原子通过沉积在 Sub Si 上的整片金薄膜扩散到了非键合环区域的金薄膜中而进一步发生共晶反应。

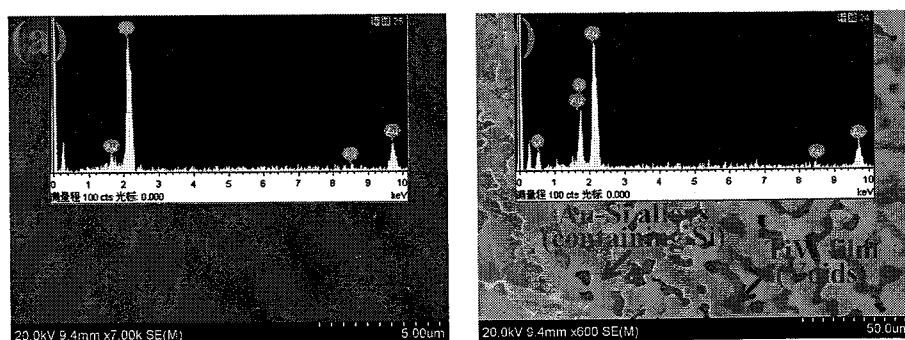


图 2.17 在图 2.16 (b) 中检测点(I)和(II)的 SEM&EDS 结果, 分布在 Substrate Si 上的 (a) 纯 Au 薄膜和 (b) Au-Si 合金。

Figure 2.17 The SEM&EDS results of the EDS points (I) and (II) in the figure 2.16 (b), i.e. (a) the pure Au and (b) the Au-Si alloy distributed on the Substrate Si.

其实不难发现,在非键合环区是否有金硅合金的存在与是否出现 KOH 腐蚀中的各向异性慢刻蚀面之间存在密切的关系,也即,当非键合环区域存在金硅合金时该区域很大可能会形成 KOH 各向异性的慢腐蚀面,而当非键合环区域存在纯金薄膜时该区域则不会有慢腐蚀面的出现反而出现腐蚀穿透的现象。实际上,在 Cap Si 一侧由于非键合环区域没有金的存在,这使得键合结构的非键合环区域存在间隙,而如果非键合环区域有液态金硅合金的出现,并且所形成的液态金硅合金能到达键合芯片的划片边界同时又能完全填满 Cap Si 和 Sub Si 的两氧化层之间的间隙时,就可以实现该改进型 Au/bulk Si 键合结构完美的抗 KOH 侧向钻蚀的性能。这正如图 2.18 (a) 所示的 Case-1 单面腐蚀的情况,从图 2.18 (a) 的 (I) 区域局部放大的图 2.18 (b) 中可以看到,由于金硅合金的致密填充, Cap Si 的边界区域已经形成了 KOH 各向异性腐蚀的慢腐蚀面,并且 Cap Si 一侧的氧化硅还保持完整和连续。然而,如图 2.18 (a) 所示的对于 Case-2 双面腐蚀的情况,即使非键合环区域有金硅合金的形成,但由于金硅合金在填充间隙存在着填充密度的随机性和不可控性, Cap Si 和 Sub Si 之间的非键合环区域就会存在金硅合金填充的不致密性,这导致键合后的 Cap Si 在 KOH 腐蚀中出现了双面腐蚀的可能性。

对于金硅合金填充致密性的随机性,可以从图 2.18 (a) 中 Case-2 双面腐蚀的腐蚀形貌中得以验证。与 Cap Si 非键合面(也即 Cap Si 的减薄面)在 KOH 腐蚀中所表现出腐蚀的均匀性和同时性不同, Cap Si 靠近金硅键合层的一侧腐蚀形貌起伏很大,这意味 Cap Si 这一侧的体硅 KOH 腐蚀发生或开端时间不同而产生了不同的腐蚀程度,这也就是说非键合环区域的各部分具有不同的金硅合金填充致密度。正如图 2.18 (c) 中所示,伴随着 Cap Si 一侧的氧化硅在 KOH 腐蚀中的消耗,在腐蚀前沿不再有类似于图 2.18 (b) 中完整而连续分布的氧化硅层, Cap Si 一侧氧化层的消耗导致体硅的暴露最终导致 KOH 腐蚀中双面减薄情况的出现,也就是产生了基于 Cap Si 单面减薄为目的或前提的腐蚀失效。

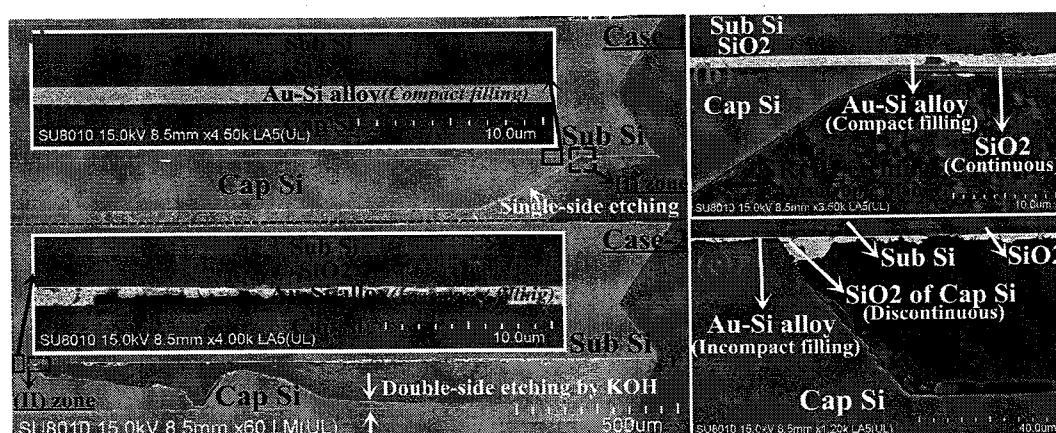


图 2.18 Cap Si 具有 650 nm 厚度 SiO₂ 的改进型 Au/bulk Si 键合结构在 KOH 腐蚀 28 h 后的键合界面 SEM 照片，即 (a) 中的 Case-1 单侧减薄和 Case-2 双侧减薄两种情况；另外，(b) 和 (c) 分别为 (a) 中 Case-1 的 (I) 和 Case-2 的 (II) 区域的腐蚀边界 SEM 照片。

Figure 2.18 The cross-sectional SEM images of the modified Au/bulk Si bonding structure (with 650 nm SiO₂ for Cap Si) after 28-hour KOH etching. (a) The two typical situations of Case-1 (single-side etching) and Case-2 (double-side etching). (b) The etching boundary of the (I) zone for Case-1 in (a). (c) The etching boundary of the (II) zone for Case-2 in (a).

因此，考虑到金硅合金在填充非键合环区域的间隙所存在填充致密度不可控的问题，可以从增加 Cap Si 氧化层厚度的角度来解决这一问题，也即可以根据 KOH 腐蚀液对硅和氧化硅的腐蚀速率比来选择合适的第二步热氧化工艺的氧化层厚度，以满足 KOH 腐蚀对硅所需一定的腐蚀深度要求。尽管如此，如在设计部分所提到的，对第二步氧化层厚度的选择还必须满足 $T_0 > 1.273T_1$ 的条件，以确保在 Au/bulk Si 键合过程中 Cap Si 与 Sub Si 的键合环区域之间能充分的接触。这样一来，无论金硅合金在非键合环区域的填充致密情况如何，都可以可靠地实现 Au/bulk Si 键合结构与 KOH 腐蚀之间的工艺兼容性。如图 2.19 所示，通过增加两步氧化层的厚度 ($T_0 = 2 \mu\text{m}$, $T_1 = 1.4 \mu\text{m}$)，本工作成功地将所提出的改进型 Au/bulk Si 键合结构的 Cap Si 一侧在 KOH 腐蚀液中单面减薄至 95 μm 。其中，图 2.19 (a) 展示了该改进型 Au/bulk Si 键合结构 (Cap Si 一侧具有 1.4 μm 的氧化硅) 典型的在 34 h 的 KOH 腐蚀后的光学显微镜照片，其减薄后的 Cap Si 边界四周被 KOH 各向异性腐蚀的慢腐蚀面所完全包围，这展现了该工艺参数下改进型 Au/bulk Si 键合结构对 KOH 腐蚀完美的兼容能力。此外，从图 2.19 (b) 相

应的键合结构的剖面 SEM 照片也可以看到,即使 Cap Si 和 Sub Si 的非键合环区域之间仍然存在随机分布的空隙(即存在金硅合金不致密填充的区域),但是由于 Cap Si 的键合面一侧有 $1.4\ \mu\text{m}$ 的氧化硅作为保护,该键合结构在 KOH 腐蚀液中将仅暴露出 Cap Si 用于腐蚀减薄的非键合面一侧,从而实现键合结构在 KOH 腐蚀中可靠的单侧腐蚀或减薄。

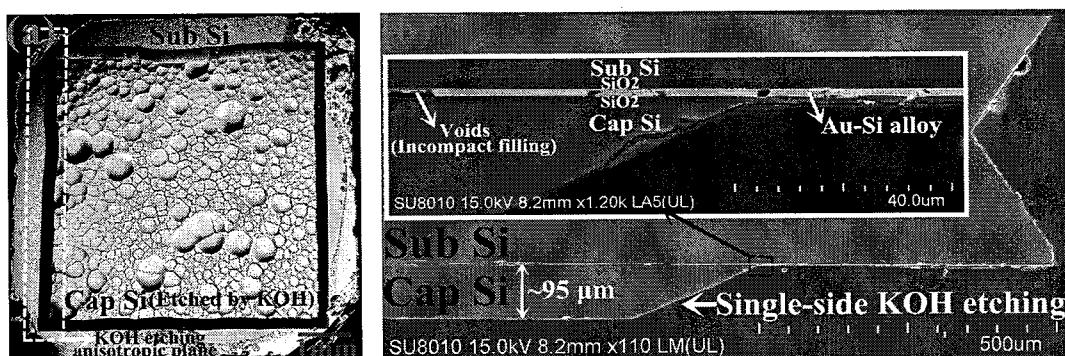


图 2.19 (a) Cap Si 具有 $1400\ \text{nm}\ \text{SiO}_2$ 的改进型 Au/bulk Si 键合结构在 KOH 腐蚀 34 h 后典型的光学显微镜照片, 及其 (b) 相应的剖面 SEM 照片。

Figure 2.19 (a) The typical photograph for the modified Au/bulk Si bonding structure (with $1400\ \text{nm}\ \text{SiO}_2$ for Cap Si) after 34-hour KOH etching and (b) its cross-sectional SEM images.

2.4.4 改进型 Au/bulk Si 键合结构键合的键合强度及应用潜力

最后,对于所提出的改进型 Au/bulk Si 键合结构在实际器件制造中的可用性评估也是十分重要的。表 2.3 汇总了本论文所采用的两种典型工艺参数下改进型 Au/bulk Si 键合结构的三个关键的结构参数:硅凸台结构的体硅区表面与氧化硅区的表面高度差 (H_B)、硅凸台的高度 (H_{Si}) 和鸟嘴高度 (H_b)。需要说明的是,上述三个结构参数值是通过键合结构的剖面 SEM 照片测量得到,其中, H_B 和 H_{Si} 这两个参数还通过式 (2.1) 和式 (2.2) 得到了相应的理论计算值。实际上,鸟嘴高度的存在会导致硅凸台结构的顶部体硅平面略低于氧化硅“鸟嘴”结构的顶部凸起,但是从表中可以看到鸟嘴高度 (H_b) 在百纳米量级,如果在硅凸台结构处沉积的键合金属层厚度大于鸟嘴结构凸起的高度,那么可以在键合过程中利用金薄膜的柔软性使得键合面能有效而可靠的接触,从而消除“鸟嘴”结构顶部凸起对键合工艺的影响。其次, H_B 和 H_{Si} 这两个参数均在微米及以下量级,这并

不会给盖板晶圆 Cap Si 的结构和空腔设计带来麻烦, 因此在键合工艺之前可以对 Cap Si 所需要结构进行制备, 这使得该改进型 Au/bulk Si 键合结构可以完全用于 MEMS 器件的圆片级封装或 MEMS 本身复杂可动结构的制备中。所提出的改进型 Au/bulk Si 键合结构由于从原理上还是利用了金与体硅之间的共晶反应, 同时综合考虑表 2.3 中的三个关键结构参数对键合工艺的实现并没有影响, 因此该结构应该具有类似于传统 Au/bulk Si 键合结构的键合强度。

表 2.3 本论文制备的改进型 Au/bulk Si 键合结构所计算和测量的关键结构参数。

Table 2.3 The calculated and measured values for critical parameters of the modified Au/bulk Si bonding structure fabricated in this study.

芯片 类型	H_B		H_{Si}		H_b
	计算值	测量值	计算值	测量值	测量值
NO.1	76 nm	~200 nm	726 nm	~790 nm	~110 nm
NO.2	96 nm	~220 nm	1496 nm	~1580 nm	~450 nm

为了说明这种改进型 Au/bulk Si 键合结构的键合强度, 本论文工作对具有不同 Cap Si 氧化硅厚度的键合芯片进行了拉伸强度测试, 也即在键合后圆片的上、下、左、右、中五个位置各分别随机选取两个芯片进行拉伸试验。如表 2.4 所示, Cap Si 具有 650 nm 厚度氧化硅的改进型金硅键合结构的平均断裂拉力值约在 920 N, 而 Cap Si 具有 1400 nm 厚度氧化硅的改进型金硅键合结构的平均断裂拉力值约在 1000 N, 可见断裂拉力值在不同的 Cap Si 氧化硅厚度参数下没有明显的差异。

图 2.20 展示了这两种不同 Cap Si 氧化硅厚度的键合芯片在拉伸测试后典型的断裂形貌。可见, 在键合环区域的大部分区域断裂发生在硅本体而不是金硅键合层, 这意味着由这种改进型 Au/bulk Si 键合结构所实现的金硅键合强度已经高于体硅本身的断裂强度。同时, 在非键合环区域也可以观察到体硅发生开裂的形貌, 图 2.20 (a1) 和 (a2) 分别呈现了非键合环区域具有较少部分发生体硅断裂的 Sub Si 和 Cap Si 两侧的断裂形貌, 而图 2.20 (b1) 和 (b2) 分别呈现了非

键合环区域大部分发生体硅断裂的 Sub Si 和 Cap Si 两侧的断裂形貌。实际上，在非键合环区域的体硅断裂形貌说明了，在非键合环区域所形成的金硅合金也发挥了粘合介质的作用使得非键合环区域形成了键合而进一步拓展了键合结构实际的键合面积，换句话说，该键合结构的实际键合面积将不一定与键合环区域的面积保持一致了。然而，正如在此前的 KOH 腐蚀实验中所发现的，非键合环区域的金硅合金存在对非键合环区域的间隙填充致密度的不确定性，因此也很难准确地确定此种情况下的键合芯片的实际键合面积。

表 2.4 在拉伸试验中改进型 Au/bulk Si 键合结构在不同 Cap Si 的 SiO₂ 厚度（也即芯片类型）下测试得到的拉力值和键合强度值。

Table 2.4 The measured bonding forces and bonding strengths for the modified Au/bulk Si bonding structure at different SiO₂ thicknesses of Cap Si (i.e. Chip Types) in tensile tests.

芯片 类型	键合圆片上不同位置的最大拉力值 (N)					平均最大 拉力值 (N)	强度下 限值 (MPa)	强度上 限值 (MPa)
	上	下	左	右	中			
No.1	790	900	936	727	1609	996.8	24.3	78.1
	1368	705	543	833	1557	(376.1) ^a	(9.2) ^b	(29.5) ^c
No.2	970	540	1369	618	1453	922.6	22.5	72.3
	884	469	611	1594	718	(410.8)	(10.0)	(32.2)

^a 例如，996.8 (376.1) 表示平均拉力值 996.8 N，相应的标准偏差值 376.1 N。

^{b, c} 同时，分别以键合芯片面积 (6.4×6.4 mm²) 和设计键合环面积 (12.77 mm²) 计算出键合强度的下限值和上限值。

鉴于此，可以通过所设计的键合环区域面积和划片后的键合芯片面积来分别计算相应的键合强度值，从而得到键合强度的上下界限值，那么这种改进型 Au/bulk Si 键合结构的实际键合强度将在这两个上下界限值之间。如表 2.4 所示，由键合环区域的面积 12.77 mm² 来计算的键合强度上限均值为 75 MPa，而由划片后键合芯片的大小 (6.4×6.4 mm²) 来计算的键合强度下限均值为 23 MPa。最终，本论文工作所提出的改进型 Au/bulk Si 键合结构的实际键合强度介于 23 MPa

与 75 MPa 之间。实际上, 这种改进型 Au/bulk Si 键合结构的键合强度下限均值 23 MPa 与传统 Au/bulk Si 键合结构的键合强度值 11~20 MPa^[103-104]基本在一个量级, 这说明所提出的改进型 Au/bulk Si 键合结构完全可以胜任传统 Au/bulk Si 键合所能应用的各个场景。可见, 本论文提出的改进型 Au/bulk Si 键合结构巧妙地解决了 Au/bulk Si 键合结构的高键合质量(高键合强度)与 KOH 腐蚀兼容之间的矛盾, 这项工作使得 Au/bulk Si 键合技术在湿法腐蚀工艺兼容性方面得以完善。

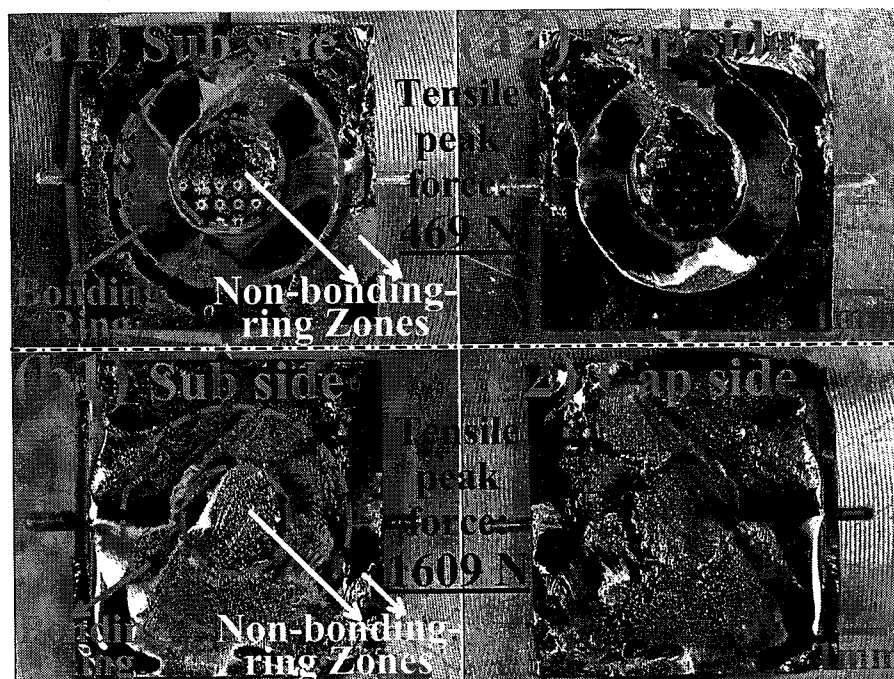


图 2.20 改进型 Au/bulk Si 键合芯片在拉伸测试后的断面光学显微镜照片, (a1) 与 (a2) 中体硅开裂发生在键合环和少部分非键合环区域(在拉伸测试中具有最小的拉力值 469 N), 而 (b1) 与 (b2) 中体硅开裂发生在键合环和大部分非键合环区域(在拉伸测试中具有最大的拉力值 1609 N)。

Figure 2.20 The typical photographs for the separated chips of the modified Au/bulk Si bonding structure after tensile tests. (a1) & (a2) The bulk Si fracture occurred on the bonding ring and the minority of non-bonding-ring zones (with the min tensile force of 469 N in tensile tests). (b1) & (b2) The bulk Si fracture occurred on the bonding ring and the all most of non-bonding-ring zones (with the max tensile force of 1609 N in tensile tests).

2.5 小结

本章详细论述了金硅共晶键合技术主流的两种键合结构（Au/bulk Si 键合结构和 Au/ α -Si 键合结构）与 KOH 腐蚀的工艺兼容性，最后提出一种基于 LOCOS 的改进型 Au/bulk Si 键合结构以解决 Au/bulk Si 键合结构在实现高键合质量以及与 KOH 腐蚀兼容之间的矛盾。

一方面，对于 Au/bulk Si 键合结构在 KOH 腐蚀中的侧向钻蚀现象，利用 KOH 对单晶硅的各向异性腐蚀特点，从腐蚀形貌的角度分析 Au/bulk Si 键合结构的钻蚀现象及其成因，通过相关文献的对比分析发现 Damage layer 理论（也即在金硅键合层与 Bulk Si 之间所产生的体硅晶格损伤层）能较为合理的解释这种钻蚀现象，由此得出结论：为实现金硅键合与 KOH 腐蚀的兼容性需要从避免 Damage layer 的产生或进行 Damage layer 的隔离保护两方面入手。

另一方面，对于 Au/ α -Si 键合结构与 KOH 腐蚀的工艺兼容性研究，通过不同 α -Si 薄膜与 Au 薄膜厚度比（12.5:1、4:1 和 1.5:1 三种情况）的 Au/ α -Si 键合结构的 KOH 腐蚀实验，并基于 IR、SEM、FIB 等微观表征和表面处理技术，发现较高的 α -Si 与 Au 薄膜厚度比（12.5:1 和 4:1）对应的 Au/ α -Si 键合结构将由于 α -Si 薄膜在金硅共晶反应中残余而产生侧向钻蚀现象，而较低的 α -Si 与 Au 薄膜厚度比（1.5:1）对应的 Au/ α -Si 键合结构由于 α -Si 薄膜完全参与金硅共晶反应而具备与 KOH 腐蚀的兼容能力。

表 2.5 汇总了 Au/bulk Si 键合结构和 Au/ α -Si 键合结构在 KOH 腐蚀中的不同情况，对于存在侧向钻蚀现象的情况进一步估算出其侧向钻蚀速率。不难发现，尽管 Au/ α -Si 键合结构避免了 Au/bulk Si 键合结构中体硅晶格损伤层（Damage layer）的出现，但其与 KOH 腐蚀的工艺兼容性完全取决于 α -Si 薄膜与 Au 薄膜厚度比。如果不对 α -Si 薄膜与 Au 薄膜厚度比进行限定，从侧向钻蚀的速率来看，Au/ α -Si 键合结构所产生的侧向钻蚀（ $\sim 600 \mu\text{m/h}$ ）将会比 Au/bulk Si 键合结构的侧蚀（ $\sim 333 \mu\text{m/h}$ ）现象更为严重。因此，为实现 Au/ α -Si 键合结构与 KOH 腐蚀的高可靠兼容性，本章基于典型的金硅键合工艺参数（键合温度： 400°C ；键合时间：30 min）给出 α -Si 薄膜与 Au 薄膜厚度比低于 1.5:1 的参考值。

本章最后针对传统 Au/bulk Si 键合结构与 KOH 腐蚀的不兼容性，提出并验证了一种适用于 KOH 腐蚀的改进型 Au/bulk Si 键合结构。该结构受 LOCOS 工

艺的启发, 将 LOCOS 单步热氧化工艺调整为两步热氧化工艺, 通过第一步热氧化工艺形成作为金硅键合区域的硅凸台结构并通过第二步热氧化工艺对硅凸台结构边缘进行保护, 实现 Au/bulk Si 共晶反应区域在 KOH 腐蚀中的隔离。实验发现, 两步热氧化层厚度对该改进型 Au/bulk Si 键合结构在 KOH 腐蚀中的抗蚀性能有重要影响: (1) 第一步氧化厚度应大于第二步氧化的 1.273 倍; (2) 第二步热氧化厚度决定了该改进型 Au/bulk Si 键合结构在 KOH 腐蚀中的最大可腐蚀深度。进一步, 通过拉伸试验, 该改进型 Au/bulk Si 键合结构的键合强度下限均值约为 23 MPa, 与传统的 Au/bulk Si 键合结构键合强度基本相似。因此, 该改进型 Au/bulk Si 键合结构提供了一种 Au/bulk Si 键合与 KOH 腐蚀相兼容的可行性策略, 拓展了金硅键合技术在三维器件制造与封装中的应用空间。除此之外, 这种改进的键合结构对其它硅基共晶键合技术在 KOH 腐蚀等湿法腐蚀工艺中也具有指导意义。

表 2.5 Au/ α -Si 和 Au/bulk Si 键合结构在 KOH 腐蚀测试中的平均侧向钻蚀速率。

Table 2.5 The average underetch rates of Au/ α -Si and Au/bulk Si bonding structures in KOH etching tests.

No.	键合结构	α -Si 与 Au 薄膜厚度比	平均侧向钻蚀速率
1		1.5:1	0
2	Au/ α -Si	4:1	~600 $\mu\text{m/h}$
3		12.5:1	~600 $\mu\text{m/h}$
4	Au/bulk Si	-	~333 $\mu\text{m/h}$

第三章 金硅键合的欧姆接触与键合强度研究

3.1 引言

圆片级键合技术是实现以 3D 互连为特征的 3D 集成技术开发的重要手段,特别是在圆片级实现 3D 集成的多层堆叠与异质集成方面发挥着关键性的作用^[79, 105]。随着 3D 互连所需高速、高密度和高可靠性等日益增长的需求,对互连结构的电学特性与机械特性的研究也已经成为 3D 互连优化设计不可或缺的组成部分,而这本质上也是与圆片级键合工艺密切相关的。

就互连结构的机械特性而言,圆片级键合技术所对应的键合强度毫无疑问影响着互连结构的尺寸设计,而互连结构的尺寸设计在一定程度上限制了互连结构的密度。就互连结构的电学特性而言,由圆片级键合技术所实现的两片键合圆片之间的所形成的欧姆接触电阻也影响着互连结构的可靠性以及整体互连通路的阻抗,而互连阻抗直接关系到 3D 互连结构时延。

一方面,对于 3D 互连结构之间所存在的欧姆接触电阻进行评估,已经被证明是评估 3D 互连可靠性的有效手段,比如,对于采用 Cu/Sn 键合和 BCB 键合的混合键合 (Hybrid bonding) 工艺所实现的 3D 铜互连可靠性评估^[106],以及其他 Hybrid bonding 键合界面质量的评估^[107];此外欧姆接触电阻也被进一步应用到圆片级键合工艺参数的优化中,比如,用于圆片级热压键合工艺中的键合温度和键合压力等工艺参数的优化选择^[108]。

另一方面,近来在 TSV 垂直互连的结构制造中,由不同圆片级键合工艺所形成的欧姆接触电阻也得到了广泛而深入的研究。如表 3.1 所示,总结的便是近年来不同文献中针对不同圆片级键合技术所测试得到的典型的 3D 互连结构比欧姆接触电阻值。显然,对于由圆片级键合技术所实现的 3D 互连结构所对应的键合强度和键合欧姆接触电阻已经成为表征 3D 互连能力及应用潜力的重要指标,与之相关的研究和测试也在 3D 互连的发展中引起了持续而广泛的关注。

表 3.1 近来文献中采用金属键合工艺实现的 3D 互连所测试得到的比欧姆接触电阻率。

Table 3.1 The summaries on the measured specific contact resistance values for 3D interconnections adopting metal bonding techniques in recent references.

圆片级键合技术	比欧姆接触电阻率 ($\Omega \cdot \text{m}^2$)
Cu/Cu	$\sim 10^{-12}$ [109], $\sim 10^{-11}$ [110]
Cu/In	$\sim 3.0 \times 10^{-13}$ [111]
Al/Al	$\sim 2.6 \times 10^{-12}$ [112]
Au/Sn	$\sim 3.9 \times 10^{-12}$ [113]
Au/Au	$\sim 7.5 \times 10^{-10}$ [114]

图 3.1 为本论文所提出的 3D 互连结构示意图，此方案是基于金硅共晶键合技术所实现的，并且其互连通路包含了硅柱本体结构及其上下侧的金属/半导体接触电阻。因此，相比于前述 3D 铜互连、铝互连等结构所具有金属与金属之间单纯的欧姆接触状态，由金硅共晶键合技术所形成的金硅键合欧姆接触电阻的情况则更加复杂，其中涉及到由金属与半导体之间肖特基接触和欧姆接触两种情况。目前，Fu, Fengshan 等人^[115]和 Fan, Xuejiao 等人^[116-117]均设计和制备了基于离子注入工艺实现的金硅键合欧姆接触电阻 Kelvin 测试结构，由此提取出所形成的比欧姆接触电阻率范围较宽，在 $10^{-6} \sim 10^{-9} \Omega \cdot \text{m}^2$ 之间。不过本论文所提出的 3D 互连结构所采用的是通过扩散工艺所形成低电阻率 ($0.013 \sim 0.02 \Omega \cdot \text{m}$) 的硅晶圆，因此并不需要离子注入实现欧姆接触，而如何对此种情况的金硅键合欧姆接触电阻进行测试与评估则显得十分必要。

此外，由于金硅共晶键合技术主要被应用于 MEMS 器件的圆片级封装，因此对于金硅键合的键合强度的研究则主要集中在对方形键合环及较大键合面积下的键合强度评估，比如 $\sim 10.65 \text{ MPa}$ ^[103]， $\sim 13.2 \text{ MPa}$ ^[104]， $\sim 20 \text{ MPa}$ ^[98, 100]等。本论文工作研究的是如图 3.1 所示的由金硅键合所实现 3D 垂直互连结构，一般而言 3D 垂直互连结构是单一独立且具有较小键合面积的结构，这在本论文提出的硅柱互连结构中有更为直观的体现。然而，对于单一独立且具有较小键合面积的结构所具有的键合强度却少有研究，特别是缺乏对于键合图形的形状选择的考量。在近年以硅本体作为垂直互连通道的 3D 互连研究中，有的采用了方形的键

合图形（比如，Torunbalci M M^[66-67]，Lee S-H^[68]，ST^[70]，Silex^[71-72]等），有的则采用了圆形的键合图形（比如，Murata^[69]，DALSA^[73-74]等），但就键合图形形状设计对键合强度的影响尚缺乏研究。

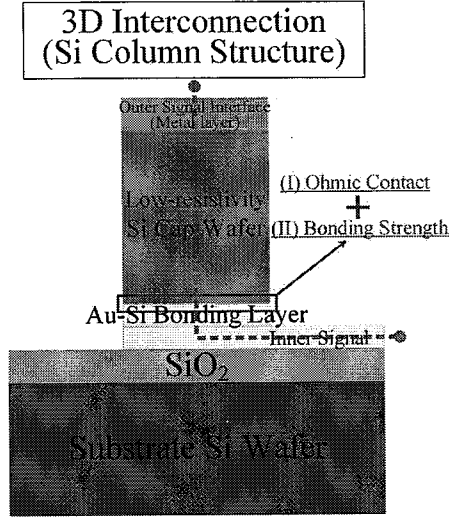


图 3.1 本论文工作所提出的一种基于金硅键合实现的硅柱 3D 互连结构示意图。

Figure 3.1 The sketch of the 3D interconnection structure of Si columns in this work.

无论是金硅键合工艺所对应的键合强度，还是由金硅键合工艺所形成的欧姆接触电阻，都是由键合图形尺寸所定义的参数。因此，本章将就金硅键合工艺所涉及到的这两个参数展开讨论，分别设计和制备了相应的测试结构，并测试和分析了金硅键合工艺所实现 3D 互连结构的欧姆接触电阻和键合强度。

3.2 金硅键合的欧姆接触研究

3.2.1 金硅键合欧姆接触电阻的测试结构设计与原理

对于金属/半导体之间的欧姆接触电阻测试，目前广泛采用的是比欧姆接触电阻率（Specific Contact Resistance, SCR, ρ_c ）这一定量指标来对所形成的欧姆接触质量进行表征。比欧姆接触电阻率 ρ_c ，如下式（3.1）所示，被定义为在一定接触面积区域内的所施加电压 V 偏导与电流密度 J 偏导之间的比值关系，并可以由该接触面积区域下的接触电阻（ R_c ）和接触面积（ A_c ）的乘积来近似计算。

$$\rho_c = \frac{\partial V}{\partial J} \Big|_{V=0} \approx R_c \times A_c \quad (3.1)$$

目前对于比欧姆接触电阻率 ρ_c 的测试，主要有三种成熟的测试方法：1) 早期简单的两点测试法 (Two-Contacts) [118-119]，其适用于在均匀掺杂硅基板上形成的欧姆接触测试；2) 传输线方法 (Transmission Line Model, TLM) [120]则主要适用于在硅基板表面的局部区域通过离子注入所形成的欧姆接触测试；3) Kelvin 电阻测试方法 (Cross Bridge Kelvin Resistance, CBKR) [121]，也适用于在硅基板表面通过离子注入所形成的欧姆接触测试，其需要对欧姆接触区域和薄膜电阻进行局部掺杂。

对于本论文工作所提出的 3D 互连结构，由于利用了低阻硅本体作为互连结构，其由金硅键合所实现的欧姆接触相当于是在均匀掺杂硅基板上所形成的金属/半导体之间的欧姆接触，因此本节将采用两点测试法 (Two-Contacts) 来对金硅键合欧姆接触电阻进行评估。由于金硅键合工艺的实施需要施加一定的键合压力和键合温度，因此本节基于局部硅氧化工艺 (Local Oxidation of Silicon, LOCOS) 原理，提出一种如图 3.2 所示的具有一定台阶高度的硅凸台结构，用以测试盖板晶圆 Cap Si 与基板晶圆 Substrate Si 在金硅键合工艺下的欧姆接触电阻。

对于上述通过 LOCOS 工艺形成 Cap Si 一侧的硅凸台结构，其顶部暴露的硅平面作为金硅键合的区域，并因此成为金硅键合欧姆接触形成的界面。显然，该硅凸台的硅平面尺寸对应了金硅欧姆接触的面积大小。测试结构的接触图形设计为圆形，且其半径分别设计为 3 μm 、5 μm 、7 μm 、10 μm 、12 μm 、15 μm 、17 μm 和 20 μm 共八种不同的接触图形尺寸。

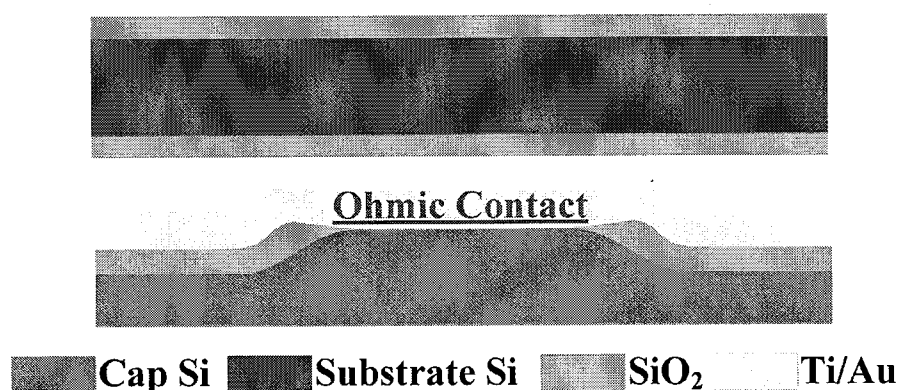


图 3.2 金硅键合欧姆接触电阻测试结构示意图。

Figure 3.2 The sketch of the ohmic contact resistance test structure for Au-Si bonding.

如图 3.3 所示,在金硅欧姆接触电阻测试结构中,接触于两个测试图形上的探针之间的总电阻 (R_T) 可分为三个部分: 探针的寄生电阻 (R_p)、金硅欧姆接触电阻 (R_c) 和体硅扩散电阻 (R_{sp}), 如式 (3.2) 所示,

$$R_T = 2R_c + R_{sp} + R_p \quad (3.2)$$

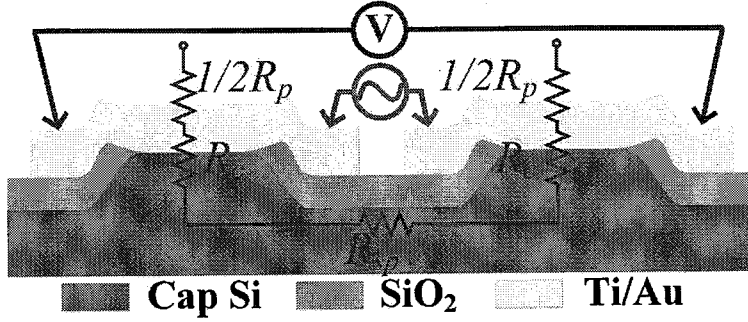


图 3.3 金硅键合欧姆接触电阻测试结构的电阻模型。

Figure 3.3 The resistance model of testing structure for ohmic contact resistances realized by Au-Si bonding.

显然,在给出探针寄生电阻 (R_p) 和体硅扩散电阻 (R_{sp}) 的条件下,金硅欧姆接触电阻 (R_c) 将很容易求解出来。根据传统的两点测试法 (Two-Contacts) [118-119],对于在均匀半无限介质上形成的两个平面圆形金属/半导体接触,体硅扩散电阻 (R_{sp}) 可以通过表达式 (3.3) 进行估计,

$$R_{sp} = \frac{\rho_{Si}}{2r_c} \quad (3.3)$$

式 (3.3) 中, ρ_{Si} 是体硅圆片的电阻率, r_c 是金属/半导体的圆形接触半径。

而寄生探针电阻 (R_p) 可以通过将探针放置在同一接触测试图形上来测得,也即此时探针之间的电阻即为寄生探针电阻。由此,从式 (3.2) 中减去探针寄生电阻 (R_p) 和体硅扩散电阻 (R_{sp}), 即可得到金硅欧姆接触电阻 (R_c), 如表达式 (3.4) 所示,

$$R_c = \frac{R_T - R_{sp} - R_p}{2} \quad (3.4)$$

进而基于金硅接触的面积可以计算出金硅键合欧姆接触的 ρ_c 值,

$$\rho_c = R_c \times A_c = \frac{R_T - R_{sp} - R_p}{2} \times \pi r_c^2 \quad (3.5)$$

然而，在我们设计的测试结构中，由于在接触面上形成凸台结构，对体硅扩散电阻（ R_{sp} ）的估计会产生一定的误差。为了尽可能提高 R_{sp} 的准确度，需要对 R_{sp} 的表达式进行修正。实际上，由于 LOCOS 过程中的两步热氧化，如图 3.4 所示，在形成的单个欧姆接触测试结构中，被氧化层所包围的硅圆凸台结构可以近似地视为一个圆台，其上下直径分别为实际接触图形直径（ D_r ）和原始设计的接触图形直径（ D_d ）。

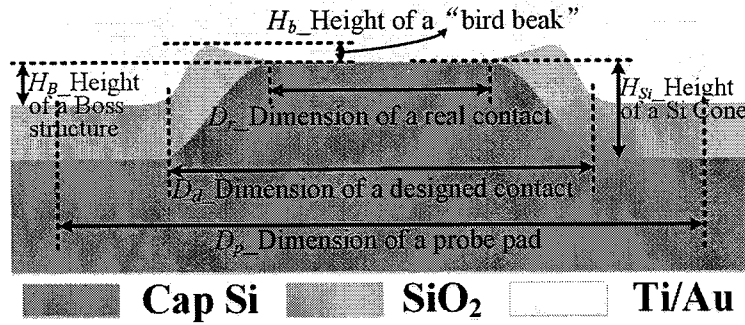


图 3.4 金硅键合欧姆接触电阻测试结构的尺寸说明。

Figure 3.4 The test structure of ohmic contact resistances realized by Au-Si bonding with dimension marks.

此外，根据硅热氧化的原理，硅圆凸台结构的高度（ H_{Si} ）可以直接由下式计算得到，

$$H_{Si} = 0.44 \cdot (T_0 + T_1) \quad (3.6)$$

式（3.6）中， T_0 和 T_1 分别是欧姆接触电阻测试结构制备中的第一次热氧化工艺和第二次热氧化工艺所生长的氧化硅厚度。

由此，修正的体硅扩散电阻（ R_{rsp} ）应当包括含两个硅凸圆台结构的电阻和体硅本身的扩散电阻，其中体硅本身的扩散电阻可以用 R_{sp} 的原始表达式计算（其中， $r_c = D_d/2$ ）。因此，修正后的体硅扩散电阻（ R_{rsp} ）可以表示为（3.7）式。

$$R_{rsp} = \frac{\rho_{Si}}{D_d} + 2 \times \frac{4\rho_{Si} \cdot H_{Si}}{\pi \cdot D_r \cdot D_d} = \frac{\rho_{Si}}{D_d} \cdot \left(1 + \frac{8H_{Si}}{\pi D_r} \right) \quad (3.7)$$

为了验证对体硅扩散电阻表达式进行上述修正的准确性, 本节引入有限元模拟对体硅扩散电阻的理论计算准确度进行了分析。基于有限元分析的静电分析模块, 建立了体硅结构模型, 该模型包含一个硅长方体 ($1500 \times 1500 \times 400 \mu\text{m}^3$) 和两个硅圆台。其中, 该硅长方体的厚度即为硅片的厚度 $400 \mu\text{m}$, 且这两个硅圆台轴对称地放置在硅长方体的中心, 间距为 $400 \mu\text{m}$ 。硅圆台的上下两个圆面的尺寸依据实际制备的硅凸台结构的实际接触图形直径 (D_r) 和原始设计的接触图形直径 (D_d) 来确定, 而实际接触图形直径 (D_r) 可由显微镜观察测量得到。

在仿真中, 整个仿真结构的材料属性设置为硅, 且硅的电阻率值设置为 $0.018 \Omega \cdot \text{cm}$ 。仿真过程如下, 在一对硅圆台中, 一个硅圆台的表面施加 1 mA 恒定的电流, 另一个硅圆台的表面施加 0 V 的电压。根据结构的电位分布, 如图 3.5 所示, 可以得到两个硅圆台表面的电位差, 进一步通过求解电位差与所施加电流 1 mA 的比值, 即可得到相应的电阻值。

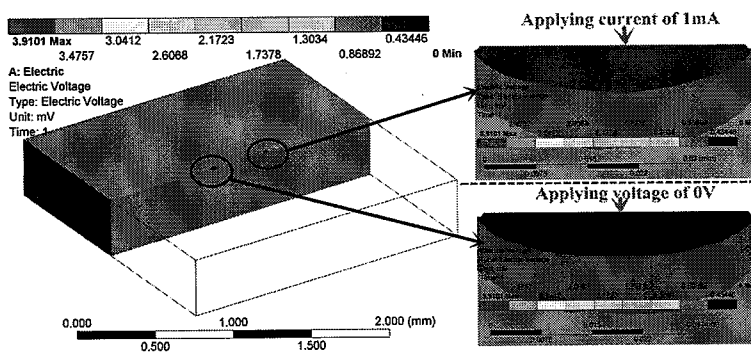


图 3.5 通过有限元仿真获得的体硅扩散电阻结构中的电势分布 (以接触图形半径设计值 $20 \mu\text{m}$ 为例)。

Figure 3.5 The simulated potential distribution of the silicon spread resistance structure from the FEA simulation (Taking the designed contact radius of $20 \mu\text{m}$ as an example).

基于上述仿真过程, 对于所提出的测试结构的体硅扩散电阻, 很容易求解出不同接触尺寸下的体硅扩散电阻仿真值。将体硅扩散电阻的模拟值与计算值进行比较, 即可判断上述对体硅扩散电阻进行适当修正的有效性。表 3.2 展示了不同接触尺寸下的体硅扩散电阻仿真值与计算值的汇总和比较, 从中发现仿真值与计算值之间的偏差在 10% 以内, 说明上述对体硅扩散电阻的修正是合理的。同时, 体硅扩散电阻的仿真值总是要大于计算值, 因此, 依据修正后的体硅扩散电阻

R_{rsp} 表达式, 可以求出 R_{rsp} 的下限值, 从而提取出 R_c 和 ρ_c 的上限值, 而此时 R_c 和 ρ_c 的上限值意味着实际所实现的欧姆接触电阻将优于该计算值。

表 3.2 不同接触半径下的体硅扩散电阻的仿真值及公式修正计算值的汇总。

Table 3.2 The summaries on simulations and revised calculations of silicon spread resistance values at different contact radius.

测试图形序号	1	2	3	4	5	6	7	8
接触半径设计值(μm)	3	5	7	10	12	15	17	20
接触半径测量值(μm)	2.5	4.5	6.5	9.5	11.5	14.5	16.5	19.5
R_{rsp} 计算值(Ω)	32.84	17.61	12.01	8.12	6.68	5.27	4.62	3.90
R_{rsp} 仿真值(Ω)	35.85	18.73	12.58	8.38	6.84	5.35	4.67	3.91
ΔR_{rsp} (R_{rsp} 计算与仿真值的 偏差)	9.2%	6.4%	4.8%	3.2%	2.4%	1.5%	0.9%	0.2%

3.2.2 金硅键合欧姆接触电阻的测试结构制备

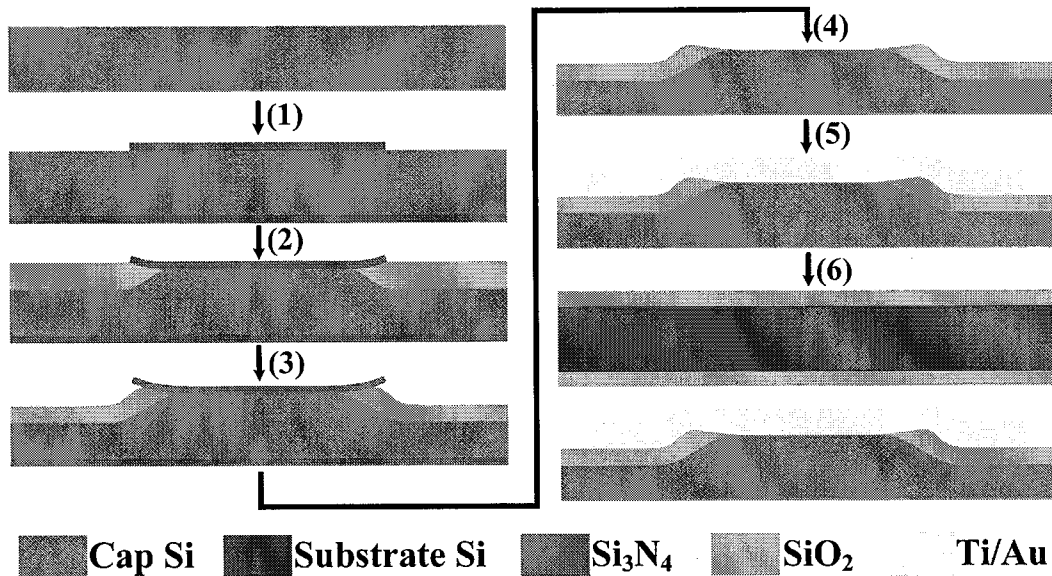


图 3.6 所设计的金硅键合欧姆接触电阻测试结构的制备工艺流程图。

Figure 3.6 The fabrication processes for the designed testing structure of Au-Si bonding ohmic contact resistances.

图 3.6 展示了金硅键合欧姆接触电阻测试结构的制备流程示意图。实验中, 盖板晶圆 Cap Si 和基板晶圆 Substrate Si 均采用四英寸以硼扩散进行重掺杂的 p 型 (100) 硅片, 其硅片厚度约为 400 μm , 其电阻率为 $\sim 0.015 \Omega \cdot \text{cm}$ 。

其结构制备主要包括如下工艺:

1) 对于 Cap Si 圆片, 首先进行标准清洗工艺, 并通过低压化学气相沉积 (LPCVD) 在 Cap Si 圆片上沉积厚度为 200 nm 的普通应力氮化硅层; 随后进行第一次光刻, 并在 Cap Si 圆片一侧以反应离子刻蚀技术 (RIE) 刻蚀氮化硅形成需要的欧姆接触图形。

2) 以等离子体去胶机和浓硫酸去除 RIE 刻蚀后留存的光刻胶后, 对 Cap Si 圆片进行热氧化工艺, 热氧化生长 1 μm 厚度的氧化硅层, 作为形成后续硅凸台结构的牺牲层。

3) 用缓冲氧化物刻蚀液 (Buffered Oxide Etch, BOE) 将已经热氧化生长的 1 μm 氧化硅层去除干净; 同时, Cap Si 圆片在经过标准清洗工艺后再次进行热氧化工艺, 热氧化生长 400 nm 厚度的氧化硅层, 作为欧姆接触电阻测试中的绝缘层。

4) 在 Cap Si 圆片进行氢氟酸漂洗约 2 min 后 (以去除圆片上氮化硅表面的氮氧化物), 用磷酸溶液将 Cap Si 圆片上所留存的氮化硅层腐蚀干净, 以暴露出硅凸台结构上的硅本体, 从而构成金硅键合的键合图形并作为金硅键合欧姆接触区域。

5) 进一步, 对 Cap Si 圆片进行氢氟酸漂洗约 2 min, 并通过磁控溅射技术在金硅键合图形上沉积键合金属层 Ti/Au (厚度为: 50 nm/300 nm); 至此进行第二次光刻工艺, 并依次通过湿法腐蚀工艺 (以碘与碘化钾混合液腐蚀 Au 薄膜, 以稀释后约 1:100 的氢氟酸溶液腐蚀 Ti 薄膜) 对键合金属层进行图形化, 去胶后最终形成金硅欧姆接触的测试点。

6) 最后, 将制备好的 Cap Si 圆片与带有 2 μm 氧化硅的 Substrate Si 圆片在 Karl Suss SB-6E 键合机中键合, 所施加的键合压力为 250 mbar、键合温度采用 350°C、400°C 和 430°C 三种参数, 键合温度下维持 30 min。

由于 Substrate Si 一侧的氧化层上并没有键合金属层, 因此, 在完成上述工

艺后，“键合后”的 Cap Si 圆片与 Substrate Si 圆片之间并不会形成有效键合而很容易分离，随后在“键合片”分离后的 Cap Si 圆片上用探针台对金硅欧姆接触图形进行电阻测试。

3.2.3 金硅键合欧姆接触电阻的测试结果与分析

为了提高分析和测试准确度，实验中采用标准的四探针测试方法对硅片的实际电阻率值进行了测量。基于测得的方块电阻值 ($0.425\sim 0.475\ \Omega/\square$)，可以根据硅片厚度 ($400\ \mu\text{m}$) 计算出硅片的实际电阻率值为 $0.017\sim 0.019\ \Omega\cdot\text{cm}$ 。因此，下文的分析和计算中均采用 $0.018\ \Omega\cdot\text{cm}$ 的平均电阻率值作为硅片的电阻率。

图 3.7 显示了金硅欧姆接触电阻测试图形的部分阵列，也同时显示了一个接触半径设计值为 $3\ \mu\text{m}$ 的接触图形的典型俯视图和横截面 SEM 照片。

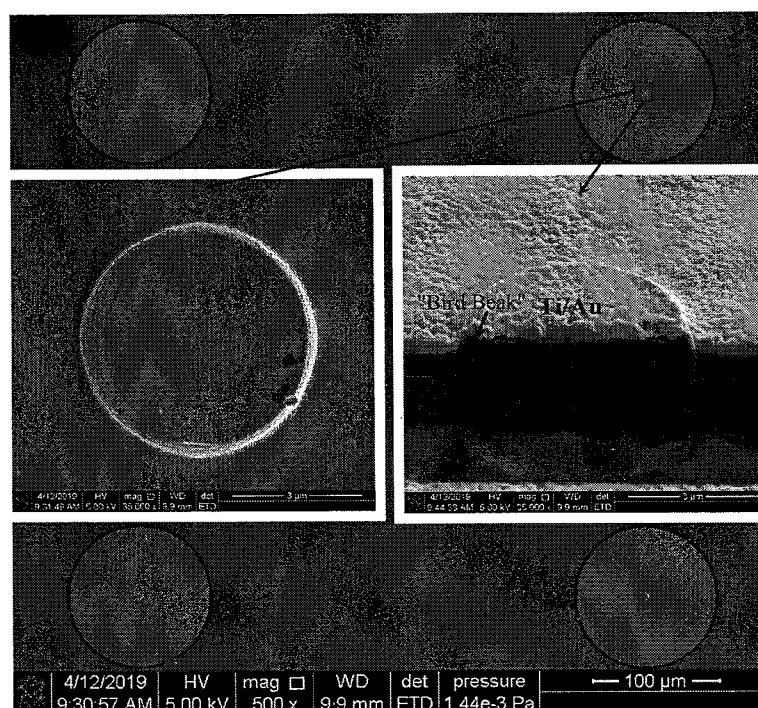


图 3.7 金硅欧姆接触电阻测试图形的部分阵列 SEM 照片（包含一个接触半径设计值为 $3\ \mu\text{m}$ 的典型接触图形的俯视图和横截面 SEM 照片）。

Figure 3.7 The SEM images for the part array of testing patterns for Au-Si ohmic contact resistances (including the typically top-view and cross-sectional SEM images of one contact pattern with designed contact radius of $3\ \mu\text{m}$).

在实验中,如图 3.3 和图 3.8 所示,欧姆接触电阻的测试采用了四探针开尔文测试法,测试中在两个测试图形上分别放置两根探针,两测试图形上的一对探针施加电流,另外一对探针作为感测端测试两测试图形上的电压,从而测试得到电流与电压之间关系,也即 I-V 特性曲线,从而对欧姆接触的状态进行判断。如果是良好的欧姆接触则应该表现为线性的 I-V 特性曲线,并且由 I-V 特性曲线的斜率即可获知两测试端之间的总体电阻。

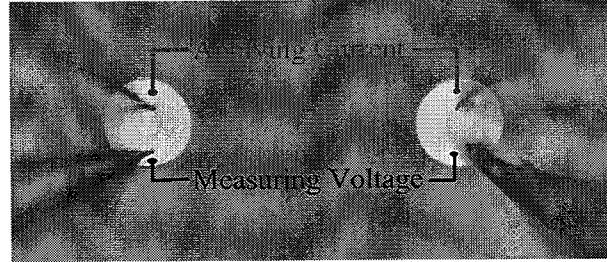


图 3.8 实验采用的四探针 Kelvin 测试照片。

Figure 3.8 The photograph of the four-probe Kelvin method applied in this experiment.

图 3.9 显示了在键合温度为 350°C 的金硅键合工艺前后不同接触尺寸下接触图形之间的 I-V 特性曲线,可见,在键合工艺前 Au/Si 界面的接触状态表现为肖特基接触,在键合工艺后 Au/Si 界面的接触状态已经转变为欧姆接触。

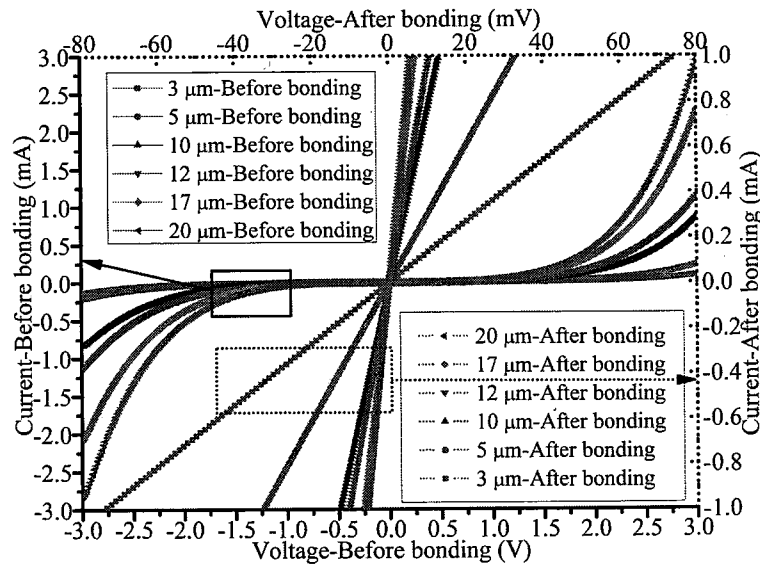


图 3.9 350°C 键合温度下金硅键合工艺前后不同接触半径接触对之间的 I-V 特性曲线。

Figure 3.9 The I-V characteristics of contact pairs at different contact radius before and after the Au-Si bonding process with the bonding temperature of 350°C .

通过探针台测试, 图 3.10 展示了不同键合温度 350°C、400°C 和 430°C 的芯片测试得到的接触对总电阻 R_T 值, 其中对不同接触图形半径各测试 20 组数据, 并由此得到其均值与方差。在图 3.10 中需要说明的是, 通过探针测试发现对于键合温度 400°C 和 430°C 下的半径小于 10 μm 的金硅接触图形测试对之间呈现很高的电阻甚至大多数是绝缘的状态, 而对于半径大于 10 μm 的金硅接触图形测试对之间则电阻测试正常, 且金硅键合接触电阻 (R_c) 小于 2 Ω 。

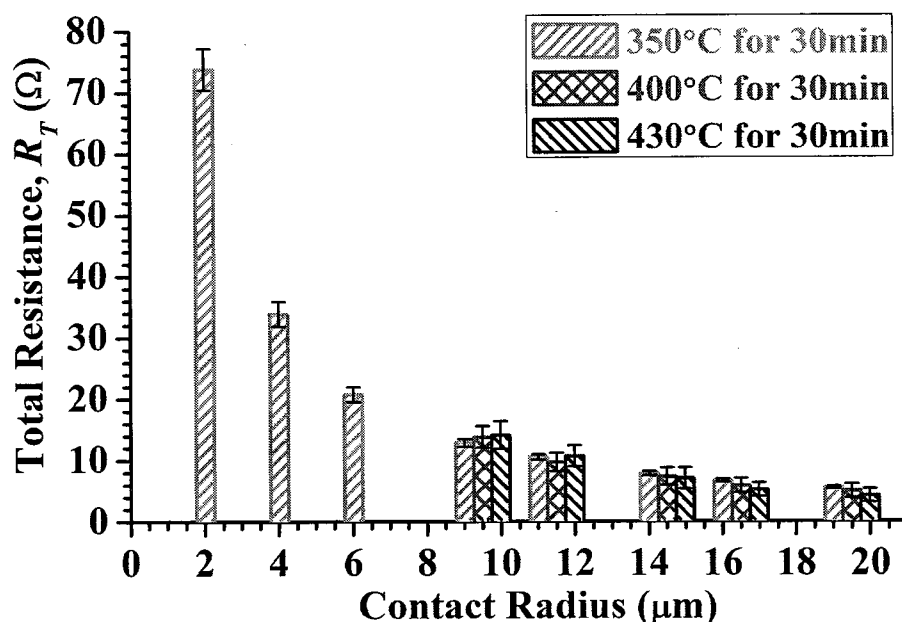


图 3.10 对于不同键合温度 350°C、400°C 和 430°C 的芯片探针测试得到的总电阻 R_T 值(不同接触图形半径各测试 20 组数据)。

Figure 3.10 The total resistance R_T values measured in probe tests for different Au-Si bonding temperature of 350°C, 400°C and 430°C (every 20 groups for different contact radius).

经过观察分析, 发现当键合温度高于金硅共晶温度点 (363°C), 测试图形 Cap Si 一侧的金硅接触区域将发生金硅共晶反应, 而由于 Cap Si 提供了金硅共晶反应源源不断的硅的来源, 且金硅共晶反应中硅扩散到金占据主导, 这使得较小接触面积的 Cap Si 的硅凸台结构在金硅共晶反应中所消耗的硅本体厚度要高于较大接触面积的情况(这主要基于不同金硅接触面积下均具有同一面积金图形的考虑)。正如图 3.11 (a) 和 (b) 显示的, 在键合温度 400°C 下, 接触图形

半径设计值为 $3\text{ }\mu\text{m}$ 时金硅共晶反应剧烈且在接触圆形窗口的边缘出现了金属电极与金硅接触界面的分层现象,而接触图形半径设计值为 $20\text{ }\mu\text{m}$ 的测试图形则在接触圆形窗口的边缘保持完整。因此,对于接触图形尺寸较小的金硅欧姆接触电阻测试图形来说,Cap Si 具有硅凸台结构的硅本体表面过度消耗产生了金属与金硅接触面之间的台阶而导致接触对之间的电阻不稳定甚至绝缘的现象。由此在图 3.10 中仅测试得到键合温度 400°C 和 430°C 下的半径大于 $10\text{ }\mu\text{m}$ 的金硅接触总电阻测试值,而对比不同键合温度下的这些金硅接触总电阻测试值,发现键合温度 400°C 和 430°C 的总电阻测试值离散度(标准差)略大于键合温度 350°C 的情况,但就总电阻测试值的均值来说基本在同一水平(均值偏差 $<20\%$)。实际上,键合温度 400°C 和 430°C 的电阻值应该比键合温度 350°C 的电阻值还小,这主要是因为高于金硅共晶温度点的键合情况下金硅共晶反应使得金硅接触面积增加,进而导致接触电阻的下降。

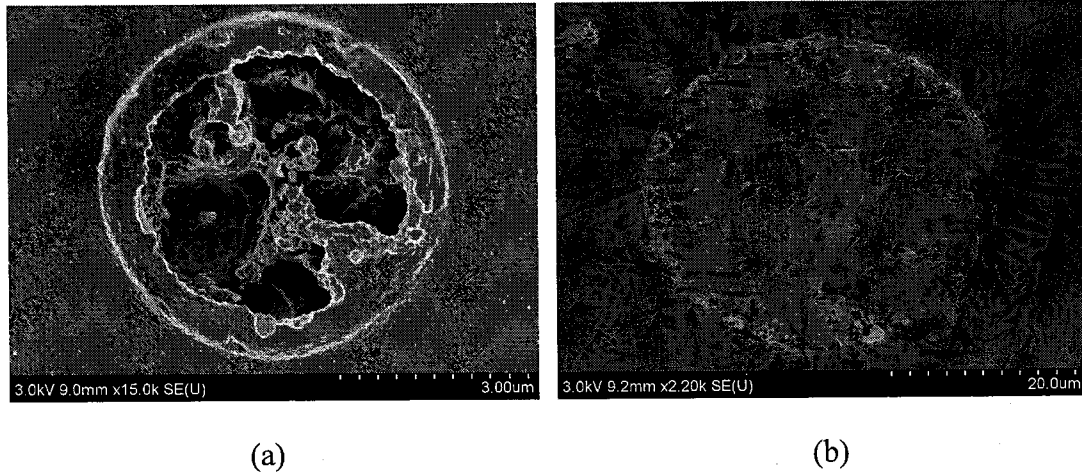


图 3.11 键合温度 400°C 下不同金硅接触图形尺寸对应的 SEM 照片, (a) 接触图形半径设计值为 $3\text{ }\mu\text{m}$ 的测试图形以及 (b) 接触图形半径设计值为 $20\text{ }\mu\text{m}$ 的测试图形。

Figure 3.11 The SEM images of Au-Si ohmic contact test pads for different contact pattern radius under the Au-Si bonding temperature of 400°C . (a) The test pad for the contact radius designed with $3\text{ }\mu\text{m}$, and (b) the test pad for the contact radius designed with $20\text{ }\mu\text{m}$.

根据 3.2.1 节中比欧姆接触电阻率测试原理的分析,在不同的接触半径下,很容易提取出单个金硅欧姆接触电阻 (R_c),进而计算出相应的 SCR 值 (ρ_c)。然而在金硅键合实际的比欧姆接触电阻率的获取中,不仅考虑到 Two-Contacts

测试方法所要求的越小的接触面积下比欧姆接触电阻率测量越精确,也考虑到图 3.10 中不同键合温度下的电阻测试值处于同一水平,更考虑到高于金硅共晶温度点的键合情况下金硅接触区域的形状和面积发生改变带来接触面积偏差和后续比欧姆接触电阻率计算的偏差。因此,如图 3.12 所示,本文将采用键合温度 350°C 下的金硅接触电阻测试值来对金硅键合的比欧姆接触电阻率进行提取和计算。最后本论文工作测量的 ρ_c 值为 $3.9\sim 8.1\times 10^{-10}\Omega\cdot\text{m}^2$ 。需要说明的是,将四个探针放在同一测试图形上时,探针间测试得到即为寄生探针电阻 (R_p), R_p 在测试中测得约 0.25Ω 。

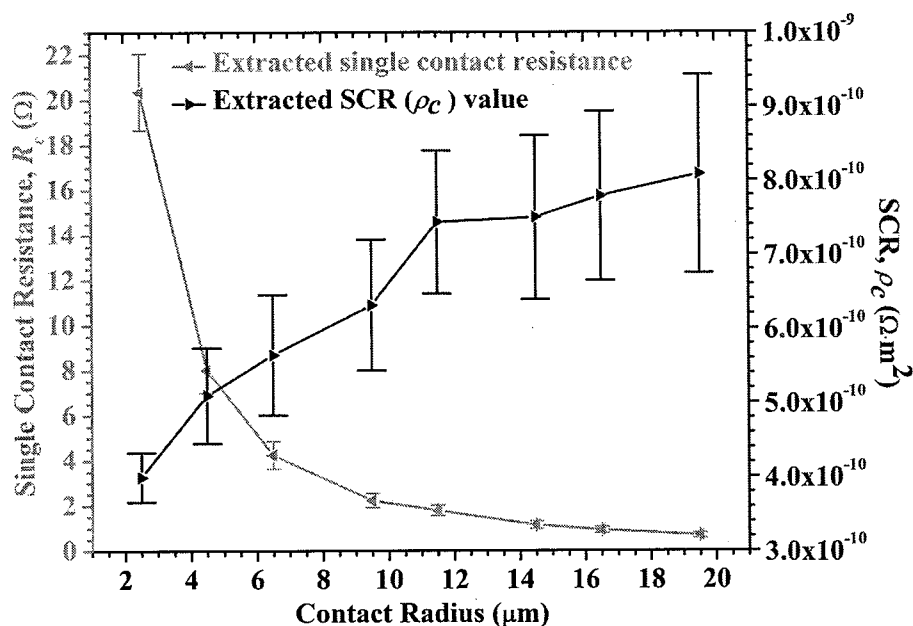


图 3.12 对于键合温度 350°C 的测试芯片所提取的 R_c 值和计算的 ρ_c 值 (不同接触图形半径各测试 20 组数据)。

Figure 3.12 The extracted R_c values and calculated ρ_c values for bonding temperature of 350°C (every 20 groups for different contact radius).

Fu, Fengshan 等人^[115]和 Fan, Xuejiao 等人^[116-117]也对金硅键合的欧姆接触电阻做了一定研究,他们均是在电阻率为 $3\sim 8\Omega\cdot\text{cm}$ 硅片的金硅键合面磷离子注入掺杂后对金硅键合欧姆接触电阻进行的测试。其中 Fu, Fengshan 等人^[115]发现在低于共晶温度以下的键合,欧姆接触电阻变化平稳,测试的金硅键合比欧姆接触电阻率在 $10^{-8}\sim 10^{-9}\Omega\cdot\text{m}^2$;而高于共晶温度的键合,欧姆接触电阻变化剧烈,其

测试的比欧姆接触电阻率为 $10^{-6} \sim 10^{-7} \Omega \cdot \text{m}^2$ ，由此认为高于金硅共晶温度的欧姆接触是不可靠的且原因在于金硅反应的不均匀性导致了键合金属层的非连续电阻而使得比欧姆接触电阻率大幅增加。实际上，基于图 3.10 中不同键合温度 350°C、400°C 和 430°C 下金硅欧姆接触总电阻测试值的分析，高于共晶温度的键合温度并不会导致接触电阻剧烈的变化。通过对 Fu, Fengshan 等人^[115]工作的分析，可以看到由于离子注入结深较浅（约 0.27 μm ，由磷离子注入剂量 $5 \times 10^{15} \text{ cm}^{-2}$ @80 KeV 推算得到），当键合温度超过共晶温度后，离子注入后键合面的硅本体参与金硅共晶反应而不断被消耗，所形成的金硅合金层与基板硅片的接触状态由此时在消耗硅本体后的硅基板表面的杂质浓度所决定，因此此时的金硅欧姆接触状态不再稳定。而本文工作采用的是由扩散工艺形成的低阻硅片，尽管金硅共晶反应会消耗一定的硅本体，但所形成的金硅合金层与低阻硅本体之间始终保持着较低的金属/半导体接触势垒，因此高于共晶温度的金硅欧姆接触电阻值并不会受金硅共晶层电阻的巨大影响。这一结论为金硅共晶键合技术应用于 MEMS 三维圆片级封装和 3D 硅柱互连结构中奠定了重要的可行性基础。

Fan, Xuejiao 等人^[116-117]在电阻率为 3~8 $\Omega \cdot \text{cm}$ 的硅片的金硅键合面进行磷离子注入掺杂（掺杂剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ @80 KeV），其在 350°C 键合温度和 1000 V 电压的硅玻璃静电键合条件下所测试得到金硅欧姆接触电阻的 ρ_c 值为 $0.85 \sim 1.55 \times 10^{-8} \Omega \cdot \text{m}^2$ 。如图 3.12 所示，本论文工作测量得到的 ρ_c 值为 $3.9 \sim 8.1 \times 10^{-10} \Omega \cdot \text{m}^2$ ，明显小于 Fu, Fengshan 等人^[115]和 Fan, Xuejiao 等人^[116-117]的工作所测试得到的金硅键合欧姆接触 ρ_c 值近一个数量级。此外，从测试结果可以看到，对于接触半径为 20 μm 的单个金硅欧姆接触电阻 (R_c) 约为 0.67 Ω ，这说明在通过金硅键合技术所实现的 3D 互连中，如此小的金硅欧姆接触电阻能够满足大部分器件互连的阻抗要求。而通过测试得到的金硅比欧姆接触电阻率，也可以反过来对不同接触尺寸下的金硅欧姆接触电阻进行估计，比如，基于测试中最大的 ρ_c 均值 $8.1 \times 10^{-10} \Omega \cdot \text{m}^2$ ，接触半径为 50 μm 的金硅键合欧姆接触电阻 (R_c) 约为 0.1 Ω 。随着接触尺寸的增加，其由金硅键合所引入的欧姆接触电阻将逐渐下降，进而有助于缩短互连阻抗、减少 RC 时延。因此，本论文工作测量的金硅欧姆接触 ρ_c 值为采用金硅键合工艺所实现的 3D 互连结构的尺寸设计和优化提供了参考。

3.3 金硅键合的键合强度研究

如引言部分所述, Au-Si 键合强度对结构支撑的可靠性起着至关重要的作用。特别是在通过 Au-Si 键合实现的 3D 互连中, 由于键合强度是一个由尺寸决定的参数, 因此金硅键合的强度一定程度上限制了 3D 互连的密度。本节旨在通过拉伸测试来探究键合区域的面积和形状对键合强度的影响, 这对于采用 Au-Si 键合所实现的 3D 互连布局的优化设计具有重要意义。本节引入一种适合于进行拉伸试验的金硅键合结构, 以快速准确地评估 Au-Si 键合强度。

3.3.1 金硅键合强度测试结构的设计

下图 3.13 展示了用于键合强度测试的金硅键合结构示意图。显然, 金硅键合结构由盖板晶圆 Cap Si 和基板晶圆 Substrate Si 构成, 其中键合结构的外表面用作拉伸试验中与拉伸夹具粘合的结合面。在金硅键合结构中, Cap Si 提供了金硅共晶反应所需硅的来源, 而位于 Substrate Si 中心位置的硅柱结构作为 Substrate Si 的键合区域定义出了该键合结构的键合面积大小。

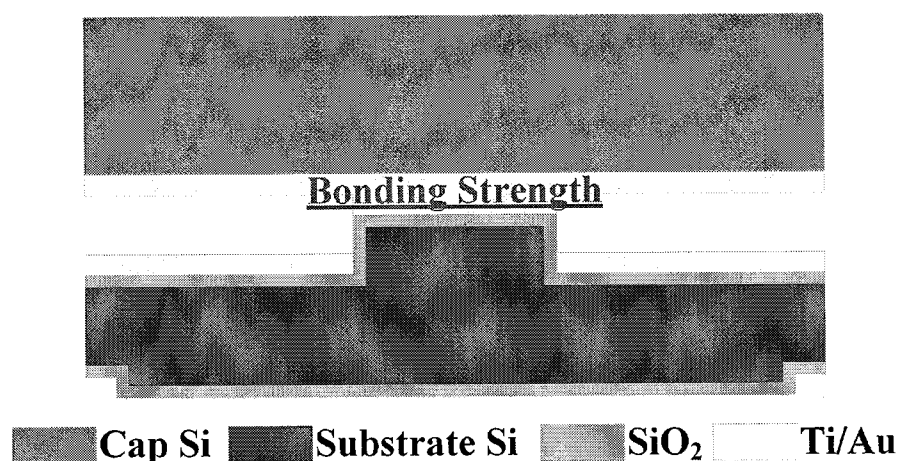


图 3.13 所设计的用于金硅键合强度测试的金硅键合结构。

Figure 3.13 The designed Au-Si bonding structure used for Au-Si bonding strength tests.

这里设计硅柱结构的目的在于, 硅柱结构具有一定高度 ($10\ \mu\text{m}$) 以有效地隔离了金硅键合的键合区和非键合区, 从而避免金硅键合过程中 Au-Si 液态合金外溢导致对金硅键合强度评估准确度的影响。实际上, 由于金硅共晶键合过程中形成的液态 Au-Si 合金在键合压力作用下会产生合金外溢出键合区域的现象, 而

导致非键合区域也会被金硅液态合金所填充甚至使得非键合区域也产生了键合的效果, 这进一步导致了根据键合面积计算键合强度时的偏差。

因此, 在上述所提出的适用于键合强度评估的金硅键合结构基础上, 通过设计硅柱结构的横截面尺寸和形状, 并制备相应的键合强度测试结构, 就可以准确的评估不同尺寸和形状下的金硅键合芯片实际的键合强度。

3.3.2 金硅键合结构的结构静力学分析

首先采用有限元模拟方法分析了圆形键合图形和方形键合图形所对应金硅键合结构的静力学特性差异。实际上, 金硅键合强度的测试结构可以看作是类似于一个字母“H”的模型, 因此可建立由两个长方体(长 4 mm, 宽 4 mm, 高 450 μm)和一个中心柱体(高 10 μm)组成的“H”型键合结构的仿真模型。其中, 所述的中心柱体放置并支撑在所述两个长方体的中心位置上。在模拟中, “H”型体硅结构被视为一个整体, 并被定义为硅材料的属性。随后对键合结构的模型两侧设置边界条件, 也即在键合结构模型的一侧施加相同大小的拉伸压强值, 另一侧设置为固定支撑(Fixed Support)的边界条件。

在本论文的有限元分析中, 主要评估了键合结构(类似于“H”型结构)在一侧固定另一侧施加拉力载荷下的应力分布情况, 对于不同的键合面积下所施加的拉伸强度载荷应保持一致(也即, 各面积乘以某一固定的压强值为各个面积所对应的拉力载荷大小, 比如此仿真中设置为 5.67 MPa), 通过对中心柱体的横截面尺寸(直径或长度)和形状(圆形或正方形)的设定, 就可以方便地获得不同键合图形尺寸和形状下键合结构的法向正应力分布。

图 3.14 和图 3.15 分别显示了相同截面面积为 $420^2 \mu\text{m}^2$ 的圆形和方形中心硅柱结构的正向应力分布情况。如图 3.14 (b) 和 (c) 所示, 对于中心硅柱结构截面为圆形的键合结构, 其应力主要分布在中心硅柱结构的边缘区域, 硅柱结构的中部存在应力为零的情况。

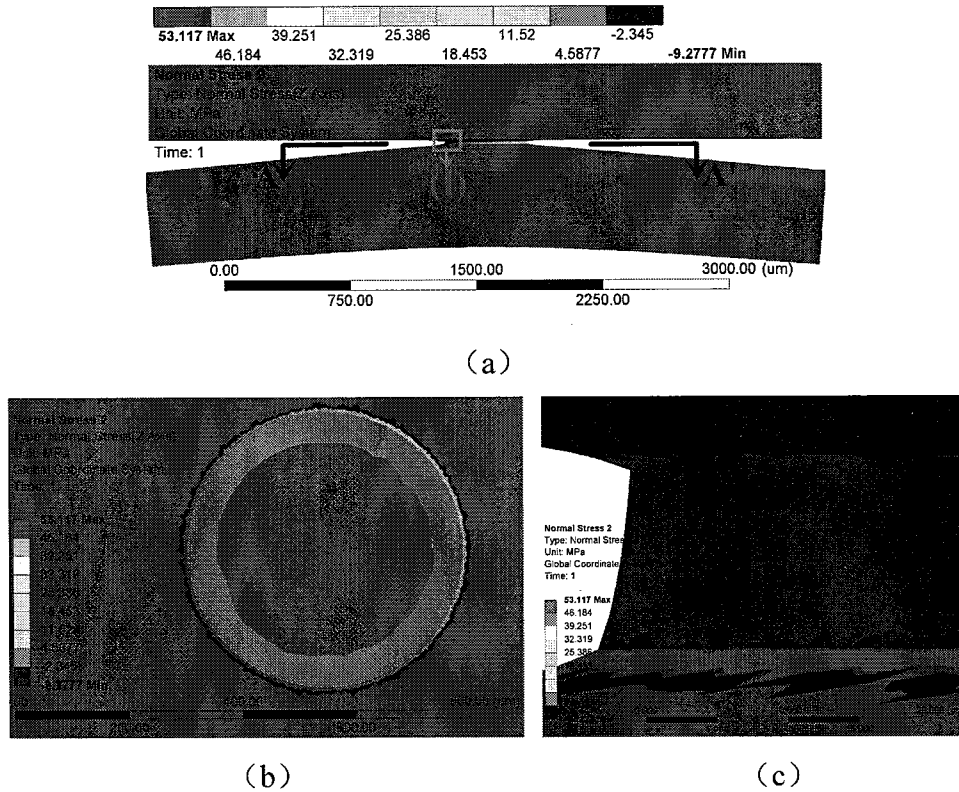


图 3.14 对于圆形键合图形的键合面积为 $420^2 \mu\text{m}^2$ 所仿真得到的键合结构正应力分布, (a) 整体正视图, (b) 在图 (a) 中 A-A' 俯视图, (c) 在图 (a) 中边角(I)区域的局部正视图。

Figure 3.14 The simulated normal stress distributions of circular bonding pattern with area of $420^2 \mu\text{m}^2$. (a) The wholly front view. (b) The top view of the A-A' section in (a). (c) The partly front view of the edge corner zone (I) in (a).

相在之下, 如图 3.15 (b) 和 (c) 所示, 对于中心硅柱结构截面为正方形的键合结构, 其应力虽然也主要分布在硅柱结构的边缘区域, 且硅柱结构的中部也存在应力为零的情况, 但是最大正应力出现在方形硅柱结构的四个边角位置。这说明中心硅柱结构截面为正方形的键合结构存在应力集中的现象, 这些应力集中的位置将是键合结构容易发生破坏或失效的点, 从而导致键合结构强度的下降。

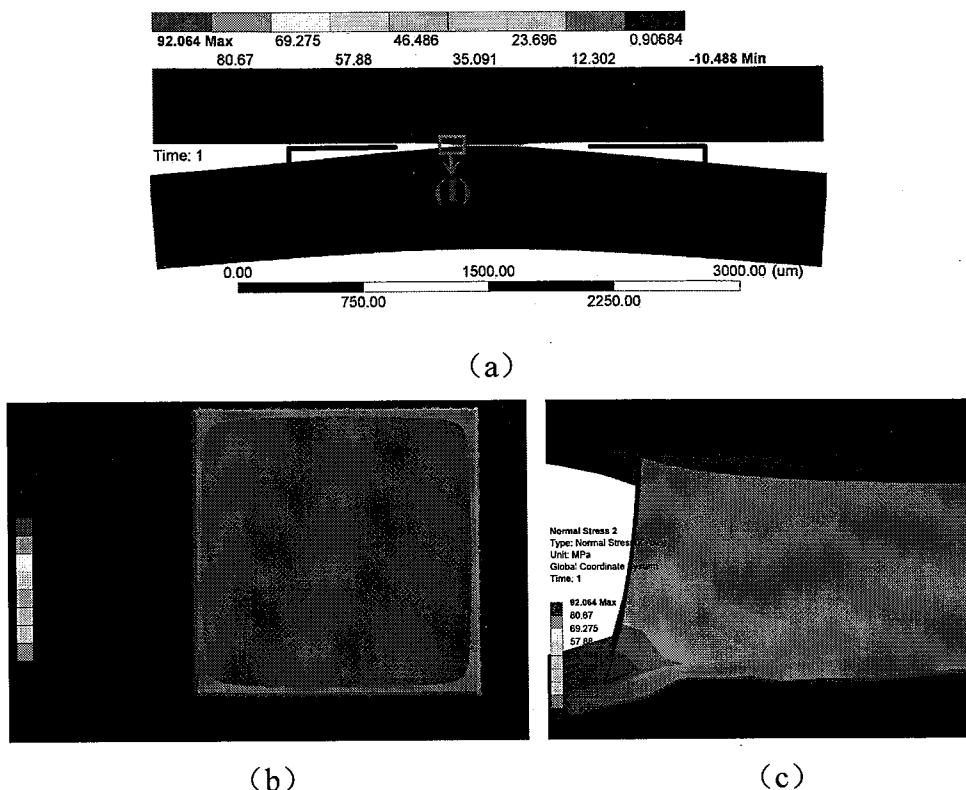


图 3.15 对于方形键合图形的键合面积为 $420^2 \mu\text{m}^2$ 所仿真得到的键合结构正应力分布, (a) 整体正视图, (b) 在图 (a) 中 A-A' 俯视图, (c) 在图 (a) 中边角(I)区域的局部正视图。

Figure 3.15 The simulated normal stress distributions of square bonding pattern with area of $420^2 \mu\text{m}^2$. (a) The wholly front view. (b) The top view of the A-A' section in (a). (c) The partly front view of the edge corner zone (I) in (a).

此外, 从图 3.16 中也可以发现, 随着键合面积的增加, 其键合结构应力分布中的 Z 轴最大正应力将逐渐提高。而这可以从键合结构中应力分布情况的变化来进一步分析和解释。下图 3.17、图 3.18 和图 3.19 分别展示了 3 种不同的键合面积下圆形键合图形形状的应力分布。从图中可以看到, 当键合结构处于拉伸载荷下, 其应力主要集中在作为键合图形的中心硅柱结构的边缘区域。

对于图 3.17 中键合面积较大的键合结构, 仅有键合图形的边缘有应力的分布, 而图形内部大部分都是应力为零的情况, 应力分布中应力大于零的区域宽度约为 $30 \mu\text{m}$, 这相对于键合图形的半径 $541.6 \mu\text{m}$ 来说仅占据约 5% 的比例, 显然结构中的应力分布并没有分布在整个键合面积上, 也即键合结构实际承受应力的面积对整体键合面积的利用率很低。

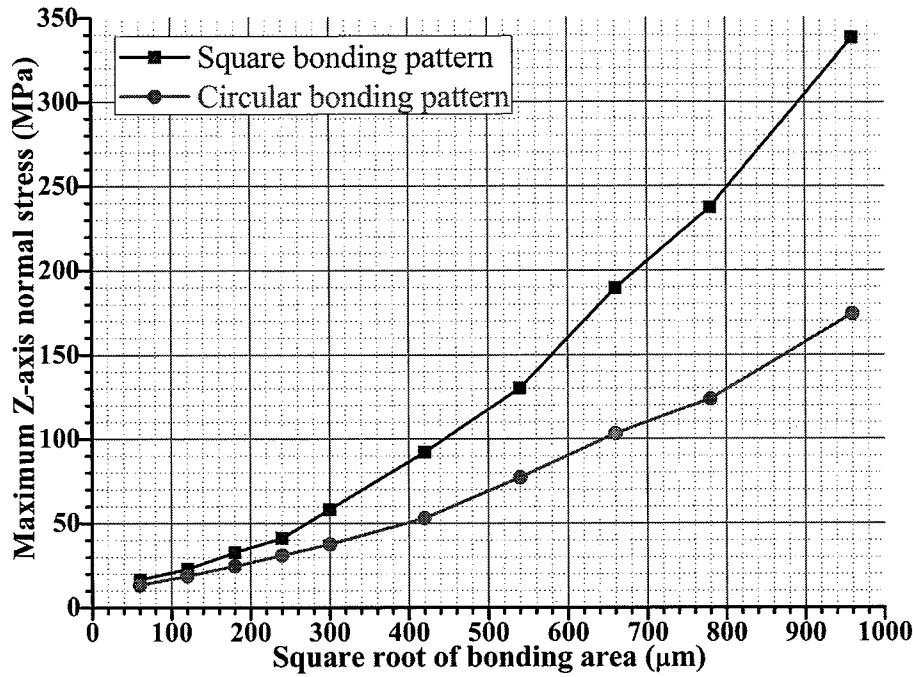


图 3.16 不同键合图形形状（圆形与方形）的键合结构在同一拉伸压强值作用下其结构中的最大正应力随着键合图形尺寸变化的关系。

Figure 3.16 The relationship between the max normal stress and the bonding pattern dimensions under the same tensile strength load for different bonding pattern shapes (i.e. the circular and square shapes).

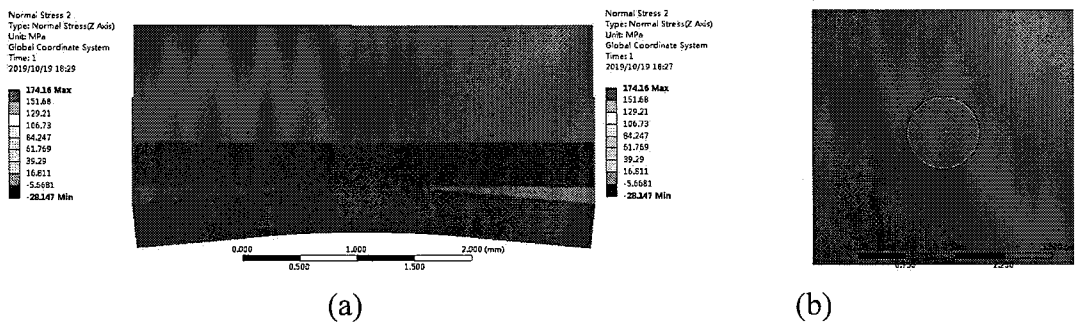


图 3.17 对于圆形键合图形半径为 541.6 μm 所仿真得到的键合结构正应力分布，（a）正视图剖面图，（b）俯视图剖面图。

Figure 3.17 The simulated normal stress distributions of circular bonding pattern with radius of 541.6 μm. (a) The front cross-sectional view, and (b) the top cross-sectional view.

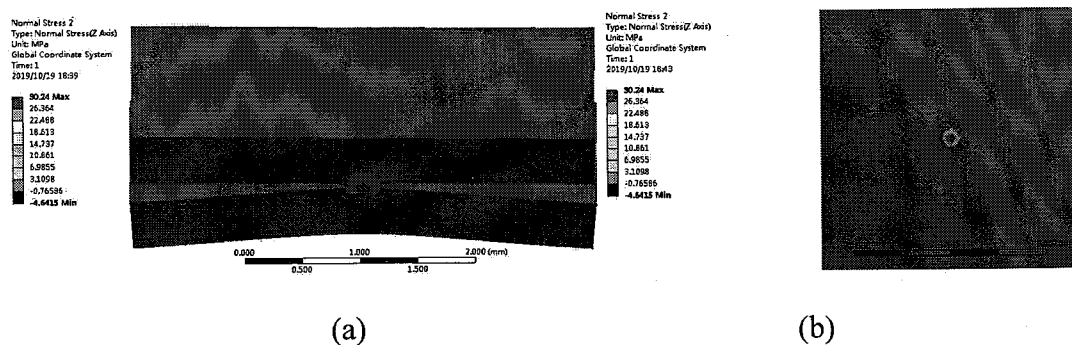


图 3.18 对于圆形键合图形半径为 $135.4\ \mu\text{m}$ 所仿真得到的键合结构正应力分布，(a) 正视图剖面图，(b) 俯视剖面图。

Figure 3.18 The simulated normal stress distributions of circular bonding pattern with radius of $135.4\ \mu\text{m}$. (a) The front cross-sectional view, and (b) the top cross-sectional view.

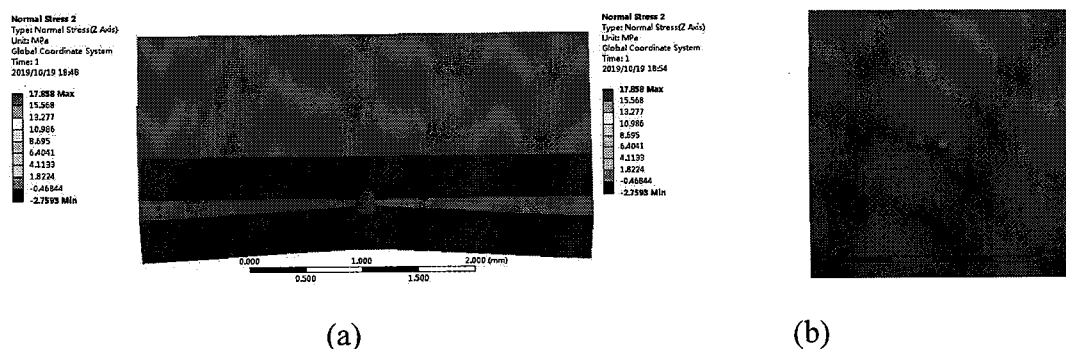


图 3.19 对于圆形键合图形半径为 $67.7\ \mu\text{m}$ 所仿真得到的键合结构正应力分布，(a) 正视图剖面图，(b) 俯视剖面图。

Figure 3.19 The simulated normal stress distributions of circular bonding pattern with radius of $67.7\ \mu\text{m}$. (a) The front cross-sectional view, and (b) the top cross-sectional view.

而随着面积的减小，应力分布在键合图形内逐渐变得均匀，比如在图 3.18 中半径为 $135.4\ \mu\text{m}$ 的圆形内应力分布的宽度约为 $90\ \mu\text{m}$ ，其相对于键合图形的半径 $135.4\ \mu\text{m}$ 来说占据约 70% 的比例，说明该情况下键合结构实际承受应力的面积对键合面积的利用率有很大的提升；又比如图 3.19 中当键合图形的半径为 $67.7\ \mu\text{m}$ 时，其键合结构的应力分布在整个键合图形上，中心硅柱结构的应力分布不再有应力为零的区域，这意味着该情况下键合结构实际承受应力的面积对键合面积的利用率已达到 100%，应力分布逐渐变得均匀。因此，在同一拉伸压强

载荷下,随着键合图形尺寸的增加,键合结构的应力分布将由小键合面积下的相对均匀的应力分布转变为大键合面积下非均匀的应力分布,也即键合结构实际承受应力的面积对键合面积的利用率下降,导致键合结构最大正应力提升。

综上所述,利用有限元分析手段对“H”型键合结构进行了模型建立和静力学分析,可以得到如下两个结论:

(1) 就键合强度与键合图形形状之间的关系来说,键合结构键合面采用正方形图形的设计将会使得键合结构方形键合图形的四个边角产生应力集中的现象,而键合结构键合面采用圆形图形的设计将会避免这种明显的应力集中现象。同时,在同一键合面积下,键合面为正方形的键合结构的最大 Z 轴正应力总是大于中心硅柱结构截面为圆形的键合结构的最大 Z 轴正应力。因此可以得到如下预期,键合图形形状采用圆形设计所对应的键合强度值将高于方形设计的情况。

(2) 就键合强度与键合面积之间的关系来说,随着键合面积的增加,其键合结构应力分布中的 Z 轴最大正应力将逐渐提高。通过键合图形处的应力分布观察与分析,发现键合结构实际承受应力的面积对键合面积的利用率随着键合面积的增加而逐渐减小,导致结构最大应力值的增加。由于最大应力出现的位置通常是结构发生破坏或失效的点,因此可以得到这样一个预期,随着键合面积的增加,其由键合面积计算出来的键合强度值将逐渐下降。

3.3.3 金硅键合强度测试结构的制备

为了对上述有限元分析的结论进行实验验证,接下来将对所提出的金硅键合强度测试结构进行制备和测试分析。在金硅键合强度测试结构的制备中,盖板晶圆 Cap Si 和基板晶圆 Substrate Si 均采用四英寸 N 型 (100) 硅片,其硅片厚度约为 $425\ \mu\text{m}$,其电阻率为 $3\sim 8\ \Omega\cdot\text{cm}$ 。其结构制备如图 3.20 所示,主要包括如下工艺:

1) 对于 Substrate Si 圆片,首先进行标准清洗工艺,并通过热氧化工艺在 Substrate Si 圆片上热氧化生长厚度为 $200\ \text{nm}$ 的氧化硅层;随后进行第一次光刻,并在 Substrate Si 圆片一侧以反应离子刻蚀技术 (RIE) 刻蚀出氧化硅窗口 (暴露窗口处的硅本体),进一步通过 KOH 腐蚀 (速率约 $5\ \mu\text{m}/\text{h}$,腐蚀约 10 分钟)

形成需要的划片槽和光刻对准标记。

2) 用缓冲氧化物刻蚀液 (BOE) 将 Substrate Si 圆片上留存的厚度为 200 nm 的氧化硅层去除干净; 同时, 在 Substrate Si 圆片划片标记一侧相对的另一侧, 进行第二次光刻, 并通过深反应离子刻蚀技术 (Deep Reactive Ion Etching, DRIE) 刻蚀出硅柱结构 (刻蚀深度约 10 μm) 作为键合图形。

3) 在经过标准清洗工艺后再次进行热氧化工艺, 热氧化生长 2 μm 厚度的氧化硅层, 并通过磁控溅射技术在 Substrate Si 圆片的硅柱结构一侧沉积键合金属层 Ti/Au (厚度为: 50 nm/300 nm) 作为键合面。此外, 对于 Cap Si 圆片进行氢氟酸漂洗约 2 min, 也通过磁控溅射技术在 Cap Si 圆片一侧沉积键合金属层 Ti/Au (厚度为: 50 nm/300 nm) 作为键合面。

4) 最后, 将制备好的 Cap Si 圆片与 Substrate Si 圆片在 Karl Suss SB-6E 键合机中进行金硅共晶键合工艺, 所施加的键合压力为 1000 mbar、键合温度为 400 $^{\circ}\text{C}$ (并维持 30 min), 键合并不需要键合预对准。

在完成上述工艺后, 利用 Disco-DAD-341 将键合后的圆片沿划片槽图形划分成 4 $\times$ 4 mm² 的单个键合芯片单元, 作为后续的键合强度测试样品。

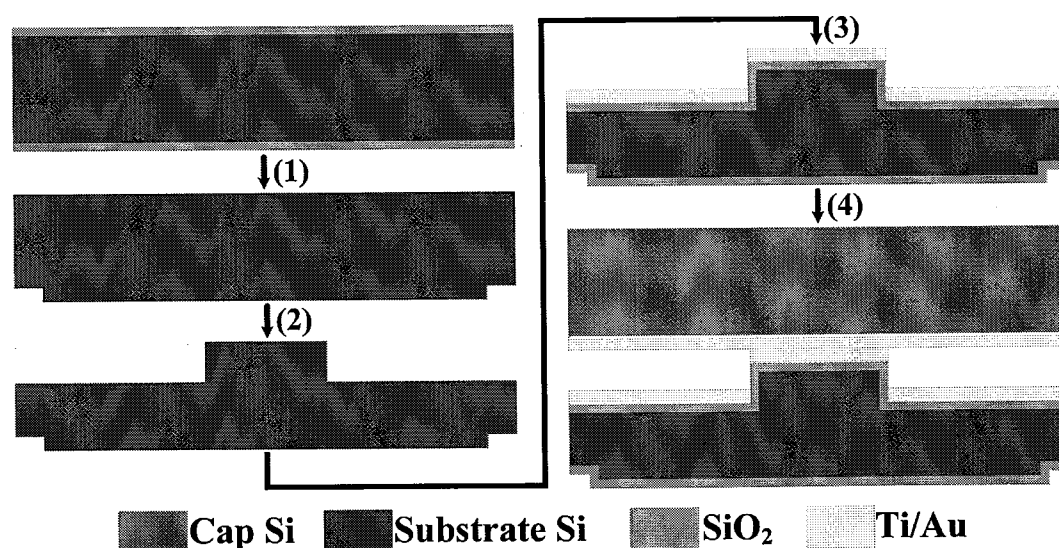


图 3.20 用于金硅键合强度评估的测试结构的制备工艺流程。

Figure 3.20 The fabrication processes for the testing structure of Au-Si bonding strengths.

3.3.4 金硅键合强度的测试结果与分析

本文通过对不同键合面积 ($60^2 \mu\text{m}^2$, $120^2 \mu\text{m}^2$, $180^2 \mu\text{m}^2$, $240^2 \mu\text{m}^2$, $300^2 \mu\text{m}^2$, $420^2 \mu\text{m}^2$, $540^2 \mu\text{m}^2$, $660^2 \mu\text{m}^2$, $780^2 \mu\text{m}^2$ 和 $960^2 \mu\text{m}^2$) 以及不同键合图形形状 (正方形和圆形) 的金硅键合芯片进行的拉伸试验, 评估其键合强度大小。实验对于每种不同的键合面积和键合图形形状各测试了 8 组数据, 并根据其设计的键合面积大小 (键合结构中硅柱结构的横截面积) 分别计算出其相应的拉伸强度值。图 3.21 呈现了键合图形形状为正方形和圆形的金硅键合芯片拉伸测试断裂力峰值及其相应的拉伸强度值随着键合图形尺寸变化的关系。

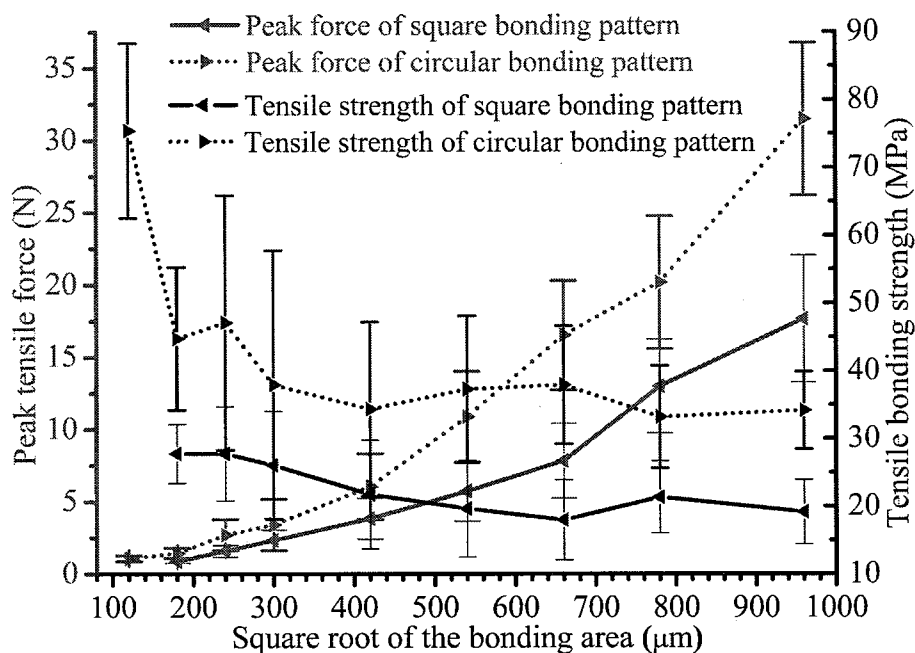


图 3.21 在拉伸测试中对于不同键合图形尺寸和形状所测试得到的拉力峰值和相应计算得到的键合强度值。

Figure 3.21 The measured peak force values and calculated bonding strength values for the different bonding areas and bonding pattern shapes in tensile tests.

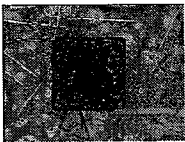
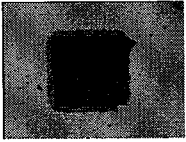
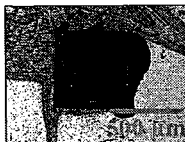
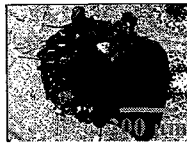
表 3.3 显示了不同键合面积下方形和圆形键合图形的 Cap Si 一侧在拉伸测试后断裂形貌的光学显微照片。对于大多数键合芯片的断裂形貌, 都可以看到有硅本体残留在 Au-Si 键合面上或从 Au-Si 键合面上剥落, 这表明所实现的金硅键合强度在这些硅开裂的区域已经高于体硅的断裂强度。

在划片中, 发现所有键合面积为 $60^2 \mu\text{m}^2$ 的键合芯片在划片后均发生分离。同时, 需要说明的是, 由于金硅键合芯片在小键合面积下的键合力较弱, 因此也

观察到在拉伸试验前所有键合面积为 $120^2 \mu\text{m}^2$ 的方形键合图形形状对应的键合芯片也已经发生分离。因此，图 3.21 中并没有呈现出面积为 $120^2 \mu\text{m}^2$ 的正方形键合图形和面积为 $60^2 \mu\text{m}^2$ 对应的拉伸数据。从图 3.21 中不难发现，在相同的键合面积（ $120^2 \sim 960^2 \mu\text{m}^2$ ）下，键合图形为圆形所对应的拉力峰值和相应的键合强度值（平均拉伸强度 35~75 MPa）均要大于键合图形为方形的情况（平均拉伸强度 18~30 MPa）。这与之前的有限元分析中的结论一致，正是由于键合图形为正方形的键合结构在方形四个边角处存在应力集中的现象，导致键合结构的抗破坏能力下降，也即键合强度的下降。因此在键合强度方面，键合结构的键合图形采用圆形的图形设计将优于采用方形的图形设计。

表 3.3 拉伸试验后圆形和方形键合图形不同尺寸的 Cap Si 一侧断面形貌光学显微镜照片。

Table 3.3 The optical micro-photographs for the separation topography of the Cap Si sides for square and circular bonding patterns at different bonding dimensions after tensile tests.

	60	120	180	240	300
方形键合图形边长 (μm)					
	420	540	660	780	960
					
	33.8	67.7	101.5	135.4	169.2
					
圆形键合图形半径 (μm)	236.9	304.6	372.3	440.0	541.6
					

此外,随着键合面积的增加,键合芯片的拉伸断裂力逐渐增大,而根据键合面积计算出的键合强度值逐渐下降。可见,键合强度与键合面积之间呈现出反比的关系。实际上,相关文献同样也观察到了键合强度与键合面积之间的反比关系,并也从不同角度解释了产生这种现象的原因。

(1) 张卓等^[33, 122]利用拉伸测试来评估金硅键合的强度,发现随着键合面积的增加,单位面积键合强度在减小,并认为原因在于硅片存在翘曲和局部的缺陷,导致键合区域存在一定的高度差。当键合面积增加时,在键合区域内所表现出来的总高度差进而变大,使得键合强度随着面积增加而下降。

(2) Woo-Tae Park 等人^[123]在 Al-Ge 键合的剪切试验中也发现了键合强度与面积的反比例关系,但他们认为在键合工艺中当对晶圆施加一定的力时,较小的键合面积芯片会受到更大的键合压强,导致更加剧烈的共晶反应,所以使得较小面积下的键合强度增加。

(3) Mitchell, J. S. 在其博士论文^[48]中采用剪切测试评估金硅键合的强度,他观察到了键合强度随着面积的增加会减小,并认为这些不同键合面积的芯片是在差不多大小的剪切力下发生开裂,因此小键合面积具有较大的键合强度计算值。

(4) Malik, Nishant 等人^[124], Tofteberg, Hannah 等人^[125]均采用剪切测试评估了金金热压键合和金硅共晶键合强度,认为不同键合面积的键合结构断裂力是相似的,或者说断裂力的大小并不高度依赖于键合面积,而键合强度的计算则完全依赖于键合面积的大小。

(5) Tollefsen, Torleif Andre 等人^[126]利用有限元分析金硅键合结构的剪切试验过程,发现键合环宽度的两倍提高仅产生塑性应变 35% 的下降,也就是说结构应力集中区域的应力并不是随着键合面积的增加而线性下降的,但是键合强度的计算却是依据力与键合面积的比例关系。

总结上述观点,文献^[33, 122]所持观点是从工艺的角度对结果进行分析的,但是所体现的关键的信息是缺陷的存在,以及缺陷所导致的面内高度差的增加使得强度下降。文献^[123]所持观点比较片面,虽然键合强度与键合压强有一定联系,但是在键合过程中各键合面积处所承受的键合压力的合力与所施加的键合压力

相等,而各键合面积处所承受的键合压强则是相等的,同时,根据文献^[48]中对键合压强的充分研究,键合压强过高反而导致键合强度的下降,所以文献^[123]的分析欠妥。而其他文献虽然表述有所不同,但基本上都在围绕一个点,那就是键合结构的断裂力大小与键合面积的关系并不是线性变化的,根本原因在于结构应力随着面积的增加并不是线性减小的。

在前述有限元分析中,发现随着键合图形尺寸的增加,键合结构的最大正应力逐渐增大,而形成这种现象的原因在于,键合结构的应力在键合图形上的分布是不均匀的,特别是对于大面积下的键合图形,其应力主要分布在键合图形边缘有限的区域内,因此键合图形内部的大部分区域并没有起到分担拉伸应力的作用(键合图形内部大部分区域应力为零),而随着键合图形面积的减小,键合图形整体面积对于拉伸应力的分担效果逐渐提升。因此在同一拉伸压强作用下,表现出结构最大正应力随着面积增加而增加的结果,这意味着面积较大的键合图形更容易受到应力的威胁也更容易发生破坏。这里需要注意的是,结构在实际中主要会受到冲击,这体现为力的大小,而并非能全部分布在键合结构图形上的压强载荷,所以直观上,面积较小的键合图形所受的压强比面积较大的图形大而容易破坏。但是,对于研究键合结构的键合强度则考虑的是键合强度本身与键合面积之间的关系,因此本文讨论的是在同一拉伸压强载荷下结构应力分布情况。

而另一方面,根据格里菲斯的裂纹扩展理论^[127],相比于小面积,在较大面积下更容易找到使得结构发生破坏的缺陷,所以体现出拉伸强度随着面积的增加而减小,这种关系表现为固体强度的尺寸效应。

因此,根据上述分析,键合强度与键合面积的反比关系可以从两个方面进行解释,一是结构应力的非均匀分布,二是缺陷因素。对于小的键合面积,其结构应力分布相对更加均匀(分布在整个键合面积上),且存在更少的内部缺陷,因此表现为更高的键合强度值。同时由于小面积下应力分布愈加均匀,因此较小的键合面积所得到的强度值更接近材料本身的强度极限。

3.4 小结

本章旨在对由金硅键合工艺所实现的3D互连中金硅键合的欧姆接触电阻和

键合强度等性能进行研究,并详细介绍了相应测试结构的设计、制备和测试结果。

对于金硅键合欧姆接触电阻研究,一是将用于平面欧姆接触测试的传统 Two-Contacts 方法改进成为基于 LOCOS 工艺实现的硅凸台结构来测量金硅键合工艺中实际的欧姆接触电阻,并通过有限元模拟分析了对 Two-Contacts 方法适当修正后的扩散电阻的准确性。二是通过对不同键合温度 350°C、400°C 和 430°C 下金硅欧姆接触总电阻测试值的分析,发现高于金硅共晶温度 363°C 键合温度情况下会产生金属层与金硅接触界面的分层产生电互连可靠性问题(特别是小于接触半径 10 μm 时产生断路问题),但是大于接触半径 10 μm 时金硅欧姆接触电阻值将小于 2 Ω ,且与 350°C 键合温度下无明显差异(欧姆接触总测试均值偏差 <20%),这奠定了金硅共晶键合技术应用于 3D 硅柱互连结构中的可行性基础。三是由接触面积和接触电阻值推算出了金硅键合的比欧姆接触电阻率为 $3.9\sim 8.1\times 10^{-10}\Omega\cdot\text{m}^2$,这为硅柱互连结构的尺寸设计提供了参考。

对于金硅键合强度的研究,主要涉及到金硅键合强度与键合图形形状(圆形、方形)以及键合面积之间的关系。一是设计了适合于拉伸强度测试的金硅键合结构,以避免金硅键合工艺中金硅液态合金形成所发生的合金外溢导致键合强度评估的偏差。二是,通过有限元分析手段对该设计的金硅键合结构进行了应力分析,发现键合图形采用方形设计的键合结构在键合图形四个边角存在应力集中的现象而导致同一键合面积下采用方形图形设计的最大正应力大于圆形图形设计的最大正应力,且结构最大正应力与键合面积正相关。三是,通过测试结构的制备和拉伸强度测试分析,印证了上述有限元分析的结论,也即:1)由于方形图形设计的键合结构比圆形图形设计的最大正应力更大,因此在相同的键合面积下($120^2\sim 960^2\mu\text{m}^2$),键合图形采用圆形设计的平均拉伸强度(35~75 MPa)优于方形图形设计的平均拉伸强度(18~30 MPa);2)由于键合结构的键合图形处应力分布的不均匀性,表现出键合结构最大正应力随着键合面积增大而增大的变化关系,因此得到金硅键合强度与键合面积之间的反比关系。这同样为硅柱互连结构的尺寸设计提供了参考。

实际上,上述金硅键合欧姆接触和键合强度的分析方法同样适用于 Al-Si 键合等其他硅基共晶键合技术,这将有效拓宽圆片级键合技术实现的 3D 互连形式。

第四章 基于金硅共面键合的硅柱互连封装形式研究

4.1 引言

如绪论所述,传统 TSV 技术在 MEMS 封装中的应用面临在工艺成本与复杂度等挑战(如通孔高深宽比的刻蚀、通孔的致密再填充、CMP 减薄工艺等),以非传统 TSV 技术实现 MEMS 三维封装逐渐成为近来研究的热点,其中以硅柱互连结构为基础的三维封装形式开发构成了非传统 TSV 技术的重要组成部分。

然而由圆片级键合工艺实现的 MEMS 封装中存在器件金属平面互连线跨越键合密封环时需要电学隔离所形成的“台阶”问题,特别是当 MEMS 器件含有复杂的多层金属平面互连布线时,这种“台阶”问题愈加凸显,进而对封装的气密性提出了挑战。这种“台阶”所致封装气密性问题的产生主要源于键合密封环处的键合面并不完全处于同一个平面,因此在键合工艺中“台阶”处将会产生泄漏通道。

如绪论总结到的,现有非传统 TSV 技术如果应用到含有多层金属互连线的 MEMS 三维封装结构时仍然无法避免这种“台阶”问题,为解决这一问题并增强封装结构的通用性,本章首先提出一种具有金硅共面键合特征的硅柱互连封装形式,通过对硅柱互连的三维封装结构制备和测试(共面键合结构的共面性、封装气密性以及硅柱互连结构的电学特性评估)阐述了金硅共面键合结构在实现气密封装的同时对多层金属互连线垂直信号接口的有效性。

4.2 硅柱互连及共面键合结构的概念与设计

硅柱互连结构即是以硅晶圆的硅本体作为垂直互连通路来传输器件封装结构内部电学信号,实现电学信号的外部接口。其中为了降低互连阻抗,作为互连通路的硅晶圆通常采用重掺杂低阻硅片。本论文工作通过金硅共晶键合技术来实现基于硅柱互连的 MEMS 三维圆片级封装,因此首要解决的是如何实现具有封装气密性的硅柱互连结构。为此本节提出一种基于金硅共面键合的硅柱互连结构,并通过对含有金属和硅介质多层平面互连结构的三维圆片级封装应用加以验

证。图 4.1 展示了所提出的基于金硅共面键合的硅柱互连结构的三维模型图，该其剖面细节示意图如图 4.2 所示。其中，平面互连结构是基于 MEMS 体硅微机械制造中常用的 Cavity-SOI 工艺进行制备的，其主要由器件层和衬底层构成。而进一步对该平面互连结构的器件层结构暴露侧进行盖板层的键合工艺，就实现了器件层上下侧各自被盖板层和衬底层所封装的结构。因此，从图 4.1 和图 4.2 中可以清晰看到，整个封装结构自上而下包含了三个要素：盖板圆片 Cap wafer、器件圆片 Device wafer 和衬底圆片 Substrate wafer。

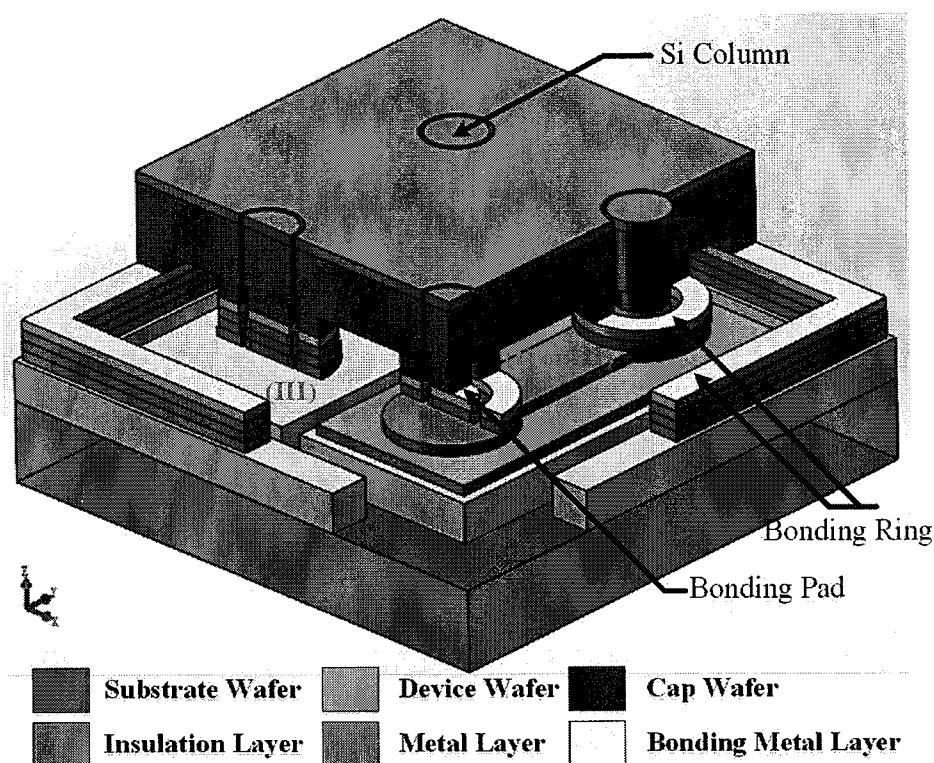


图 4.1 所提出的基于金硅共面键合的硅柱互连结构的三维模型示意图。

Figure 4.1 The 3-D model sketch for the proposed Si column interconnection structure based on the co-planar Au-Si bonding structure.

对于所设计的基于金硅共面键合的硅柱互连结构，为了评估其对多种互连形式的普适性，故共面键合结构中包含了两种平面互连形式，即以金属和硅本体作为互连通路来传输器件电信号。图 4.1 和图 4.2 中的（I）和（II）区域则是指金属平面互连的形式，而图中的（III）区域则是指硅本体平面互连的形式。

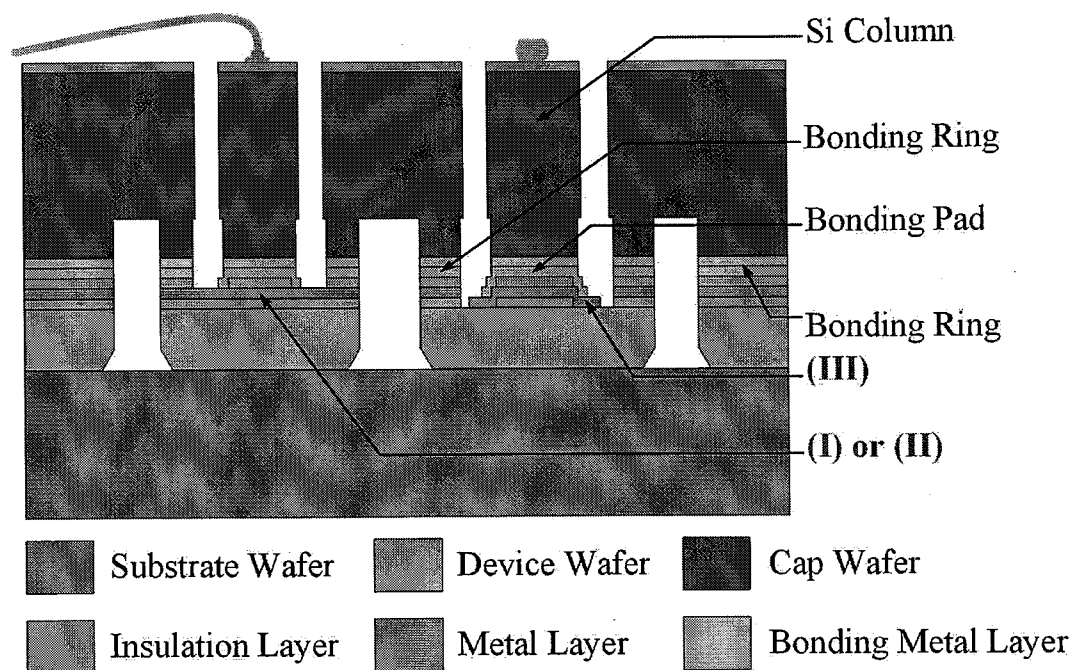


图 4.2 所提出的基于金硅共面键合的硅柱互连结构的剖面示意图。

Figure 4.2 The cross-sectional schematic for the proposed Si column interconnection structure based on the co-planar Au-Si bonding structure.

如图 4.1 和图 4.2 所示,通过金硅键合技术实现盖板对平面互连结构密封的同时利用硅柱互连结构 (Si Column) 对平面互连结构进行信号的垂直引出,并且通过对硅柱互连结构的绝缘沟槽进行刻蚀实现硅柱互连结构的独立性(也即与盖板之间的电学隔离)。为了保证封装的气密性,则对每个硅柱互连结构都应该设置绝缘密封环。由此,就形成了两种键合功能区域,一是发挥密封作用的键合环区域 (Bonding Ring),二是作为垂直硅柱互连结构键合电极的互连区域 (Bonding Pad)。需要注意的是,硅柱互连结构由键合电极提供电学接触和机械支撑,而键合环区域不仅需要具有一定键合强度的密封功能也应具有电学隔离作用。共面键合结构的提出就是要统筹考虑键合环的密封区域和键合电极的互连区域在键合工艺实施前的共面性,从而解决金属互连线跨越键合密封环形成的“台阶”问题,最终确保三维封装的气密性和垂直电互连的可靠性。

图 4.1 和图 4.2 均显示了对于含有复杂平面互连结构的器件一侧共面键合结构的形成原理。对于用于密封的键合环区域(包括如图 4.1 和图 4.2 中的键合环 Bonding Ring),它是由所沉积的每一层薄膜堆叠而成的,其中在键合环区域

环状金属层略窄于环状绝缘层,使得金属层始终被绝缘层所完全包覆而实现键合环区域的电学绝缘。而对于作为键合电极 (Bonding Pad) 的互连区域,它同样是由所沉积的每一层薄膜堆叠而成的,但是在需要进行信号引出的区域对绝缘层形成接触窗口,并利用金属薄膜沉积中对绝缘层窗口处的台阶覆盖效应将所需的互连区逐层引出至键合面的顶端。这样,键合环区域与键合电极的互连区域始终保持在同一高度,也即结构中所有需要键合的区域都在同一个平面,之后在键合面上沉积键合金属层,从而形成共面键合结构。本论文采用金硅键合技术,因此将其称为基于金硅共面键合的硅柱互连结构。最终在硅柱互连结构的顶部通过沉积金属形成金属与半导体之间的欧姆接触,就可以方便地通过引线键合 (Wire bonding) 或球栅阵列 (BGA) 等半导体后道工艺对硅柱互连结构所传输的器件信号进行引出,并通过印制电路板 (PCB) 对器件进行信号处理。

4.3 基于金硅共面键合的硅柱互连结构制备

基于金硅共面键合的硅柱互连结构制备主要包含两部分的工艺,一是含有平面互连结构的金硅共面键合结构制备,二是作为硅柱互连接体的盖板封装结构制备及其圆片级封装工艺的实施。实验中,盖板圆片和器件圆片采用 4 英寸硼扩散 p 型 (100) 硅片 (厚度 400 μm , 电阻率约 0.015 $\Omega\cdot\text{cm}$), 衬底圆片采用 4 英寸 Pyrex 玻璃 (厚度 450 μm)。此外,为了模拟 MEMS 器件的实际制作过程,首先采用 Cavity-SOI 工艺将器件圆片 (含 KOH 各向异性腐蚀形成的空腔结构) 和衬底圆片进行硅玻璃键合,并将键合后的器件晶圆进一步减薄至 80 μm , 这便构成了含有平面互连结构的金硅共面键合结构的制备基础。

图 4.3 展示了含有平面互连结构的金硅共面键合结构制备流程,主要包括:

(1) 首先采用等离子体增强化学气相沉积 (PECVD) 技术在器件晶圆层表面沉积 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ (厚度为 200 nm/200 nm/200 nm) 复合膜绝缘层,并通过光刻进行图形化,用反应离子刻蚀 (RIE) 形成与器件硅之间的欧姆接触窗口及其它所需要暴露器件层硅本体的区域。

(2) 然后以溅射工艺沉积厚度为 400 nm 的 Al 金属层并进行光刻和腐蚀,作为第一层平面金属互连线。同样地,用 PECVD 沉积 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ (200 nm/200

nm/200 nm) 复合膜的第二绝缘层, 并沉积 400 nm 厚度的 Al 层, 形成第二层平面金属互连线。之后, 器件晶圆在流动的氮气中以 450°C 下退火 30 分钟, 以形成所需金属与硅本体之间的欧姆接触。此时, 所制备的结构已经包含了两层金属平面互连线。

(3) 继续用 PECVD 技术沉积 $\text{Si}_3\text{N}_4/\text{SiO}_2$ (200 nm/200 nm) 的第三层绝缘层, 保证键合密封环与键合电极之间的电气绝缘性。

(4) 用磁控溅射工艺沉积金硅键合所需的键合金属层 TiW/Au (80 nm/300 nm) 薄膜, 得到初步的金硅共面键合结构。

(5) 随后通过深反应离子刻蚀 (DRIE) 对器件硅本体进行刻蚀, 形成独立的硅介质平面互连结构。最终制备的共面键合结构包含了金属互连线和硅介质互连线两种平面互连形式。

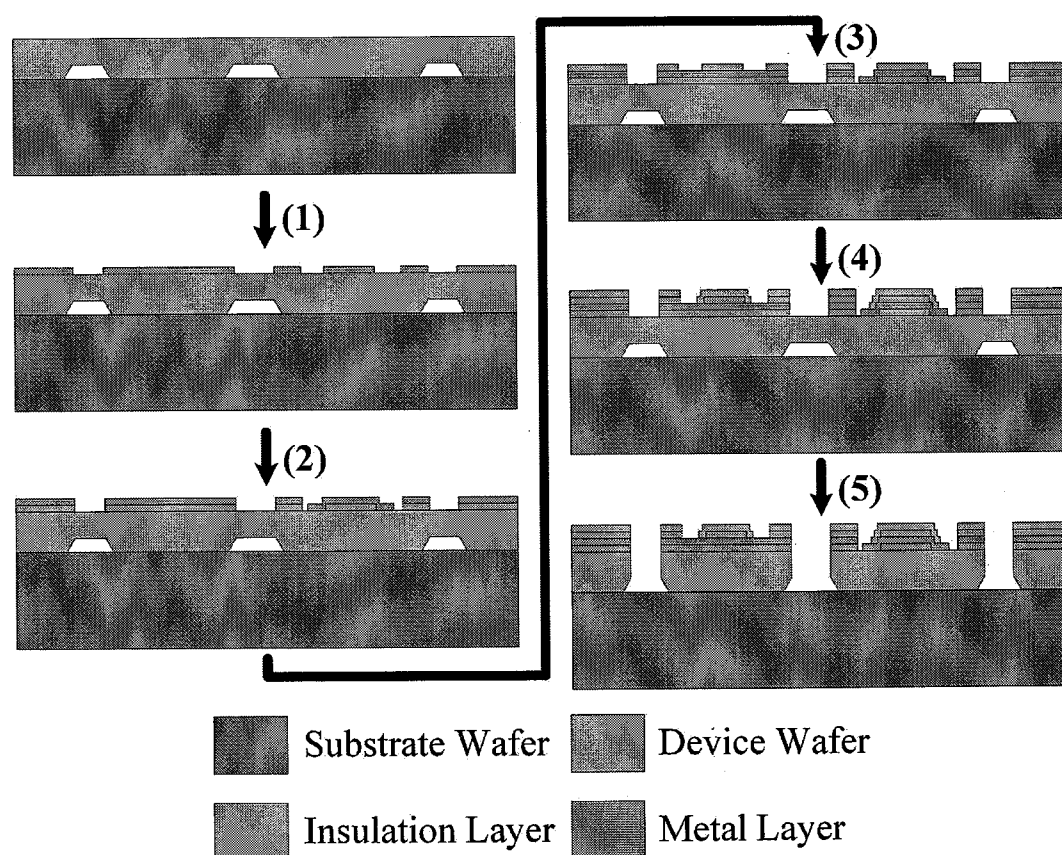


图 4.3 含有平面互连结构的金硅共面键合结构制备流程。

Figure 4.3 The main processes for the preparation of the co-planar Au-Si bonding structure containing horizontal interconnection structures.

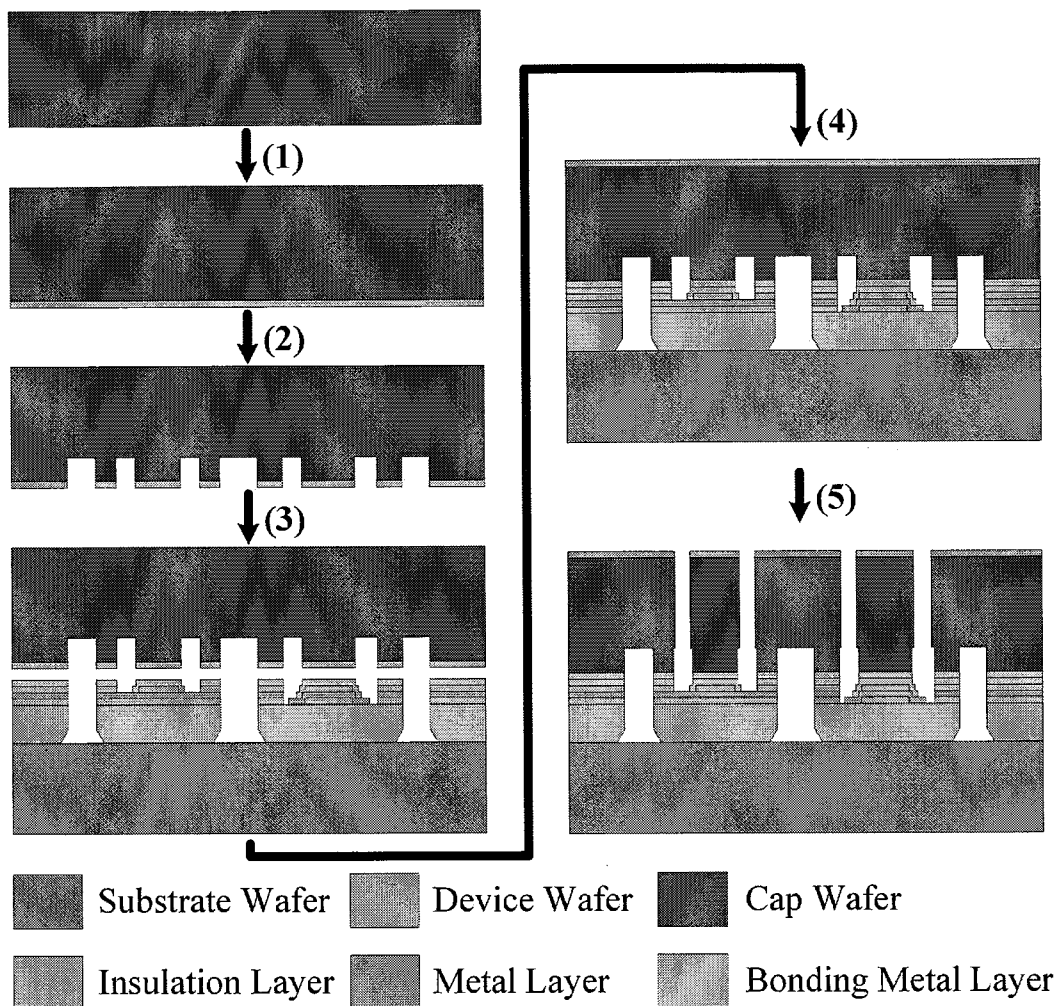


图 4.4 盖板晶圆的制备及具有硅柱互连特征的整体圆片级封装结构实现的工艺流程。

Figure 4.4 The processes for the preparation of the Cap wafer and the whole wafer-level packaging structure with Si column interconnections.

图 4.4 展示了盖板晶圆的制备及具有硅柱互连特征的整体圆片级封装结构实现的工艺流程。

(1) 首先将盖板晶圆进行标准清洗，并浸入 HF 溶液中（约 2 分钟）以除去表面自然氧化层。随后，通过磁控溅射工艺将金硅键合工艺所需的键合金属层 Ti/Au（50 nm/300 nm）沉积到盖板晶圆的键合面上。

(2) 对键合金属层通过光刻和腐蚀工艺进行图形化，形成了盖板晶圆键合环区域和电互连区域的键合平面，该键合平面显然处于同一平面。同时，采用深反应离子刻蚀（DRIE）方法对金属腐蚀后暴露出来的硅本体进行刻蚀，以形成盖板晶圆的空腔结构（刻蚀的空腔深度约为 30 μm ）。

(3) 将制备好的盖板晶圆（作为硅柱互连结构载体）和器件晶圆（作为含有多层多种平面互连线的金硅共面键合结构）送入到 Karl Suss MA-6B 光刻机进行键合预对准，随后在 Karl Suss SB-6E 真空键合机中进行金硅共晶键合工艺。

(4) 金硅共晶键合工艺实施的主要参数有，键合机真空度维持在 1×10^{-4} mbar 以下，并在 300°C 下维持 30 min 进行除气工艺，随后在键合温度 400°C 和 2500 mbar 键合压力下维持 30 min 进行键合，最后进行键合压力卸载和降温，盖板晶圆与衬底晶圆即通过金硅键合层连接在一起形成封装后的晶圆。

(5) 随后，在盖板晶圆表面用溅射工艺沉积一层厚度为 500 nm 的 Al 薄膜，并以光刻和金属腐蚀进行金属层的图形化。最后，采用深反应离子刻蚀（DRIE）对盖板进行绝缘沟槽（沟槽宽度约 $65\ \mu\text{m}$ ，刻蚀深度为盖板硅片厚度减去盖板空腔的深度）的刻蚀，形成独立的硅柱互连结构。

4.4 基于金硅共面键合的硅柱互连结构测试与表征

4.4.1 金硅共面键合结构的共面性评估

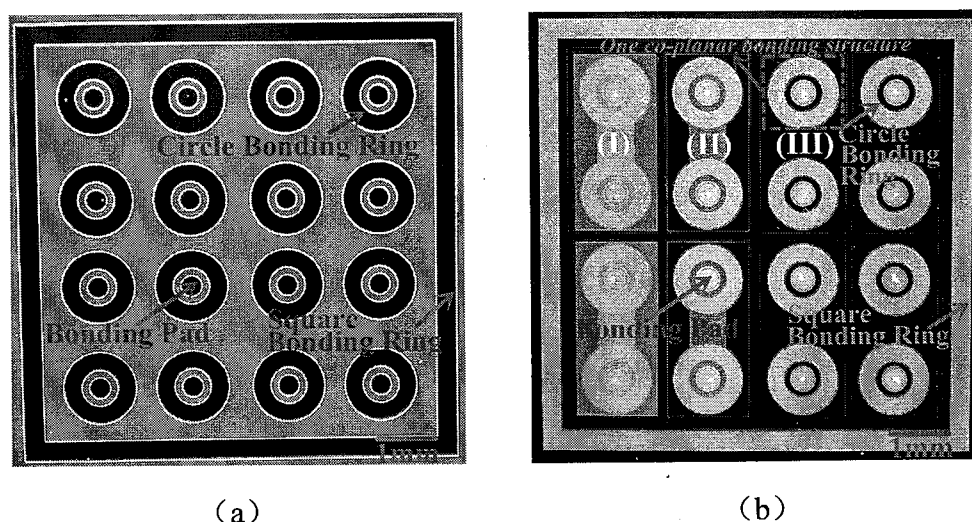


图 4.5 在金硅键合工艺之前所制备键合晶圆上一个芯片单元的光学显微镜照片，(a) 盖板晶圆一侧，(b) 含有平面互连结构的共面键合结构的器件晶圆一侧。

Figure 4.5 The photographs of one chip unit on the prepared wafers before Au-Si bonding processes. (a) The Cap wafer, and (b) the Device wafer with co-planar bonding structure containing horizontal interconnections.

图 4.5 (a) 和 (b) 分别是所制备的盖板封装结构及含有平面互连结构的共面键合结构在金硅键合之前的一个芯片单元的光学显微镜照片, 其中圆环形和方环形键合环作为对平面互连结构的密封区域, 而圆形键合电极作为电互连区。在图 4.5 (b) 中, 制备的共面键合结构含有两种典型的平面互连形式: (I) 和 (II) 区中的两层金属互连线, 以及 (III) 区域的硅介质互连线。

为了评价共面键合结构的共面特性, 可利用 WYKO NT-2000 的三维轮廓仪对金硅键合前所制备的共面键合结构的表面形貌进行观察和测量。图 4.6 (a) 显示了在金硅键合之前器件晶圆上含有硅介质平面互连的一个共面键合结构键合表面的三维形貌。从图中可以看到, 该共面键合结构包含两个要素: 作为键合电极的内部凸台结构和作为键合密封环的环形凸台结构, 而这两个要素都作为金硅键合面应当处于同一个平面。从图 4.6 (a) 中的 A-A' 视角, 可以将内部凸台和环形凸台表面高度波动的数据绘制在图 4.6 (b) 中。显然, 内凸台和环形凸台表面的高度差表现为在减薄后的器件硅片一侧所沉积薄膜的表面粗糙度, 也即所实现的共面键合结构已经通过薄膜沉积的堆叠消除了多层金属互连线跨越键合密封环导致的“台阶”问题。

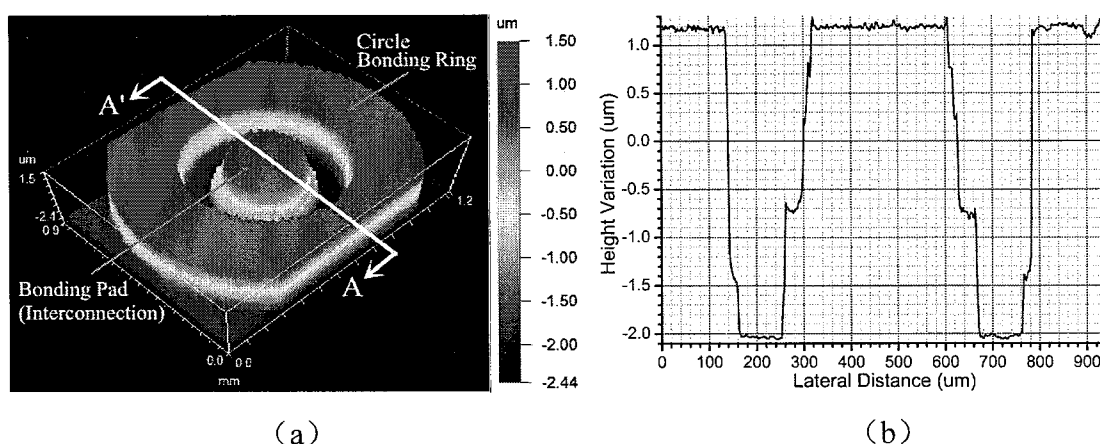


图 4.6 (a) 在金硅键合之前, 器件晶圆上一个共面键合结构 (如图 4.5 (b) 中绿色虚线框标记区域) 的三维表面轮廓; (b) 从图 (a) 的 A-A' 角度测试的键合面高度变化情况。

Figure 4.6 (a) The 3-D surface profile of one co-planar bonding structure (the green dashed-line box marked in the Figure 4.5 (b)) on the Device wafer before Au-Si bonding, and (b) the graph of height variations on bonding surface observed from the view of A-A' of (a).

通过 Disco DAD-341 将金硅键合后的晶圆划片成为尺寸为 $7.9 \times 7.9 \times 1.0 \text{ mm}^3$ 的独立键合芯片单元，图 4.7 显示了其中的一个键合芯片的显微镜照片。

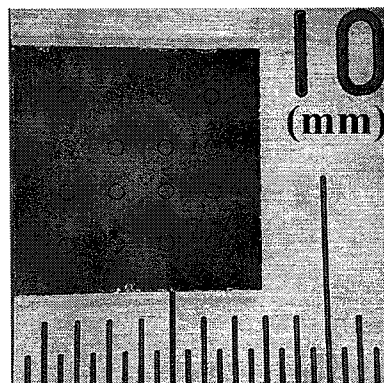


图 4.7 键合晶圆划片后的其中一个封装芯片单元（具有 4×4 阵列的硅柱互连结构）的光学显微镜照片。

Figure 4.7 The photograph of one packaged chip with 4×4 arrays of Si column interconnection structures after dicing for bonded wafers.

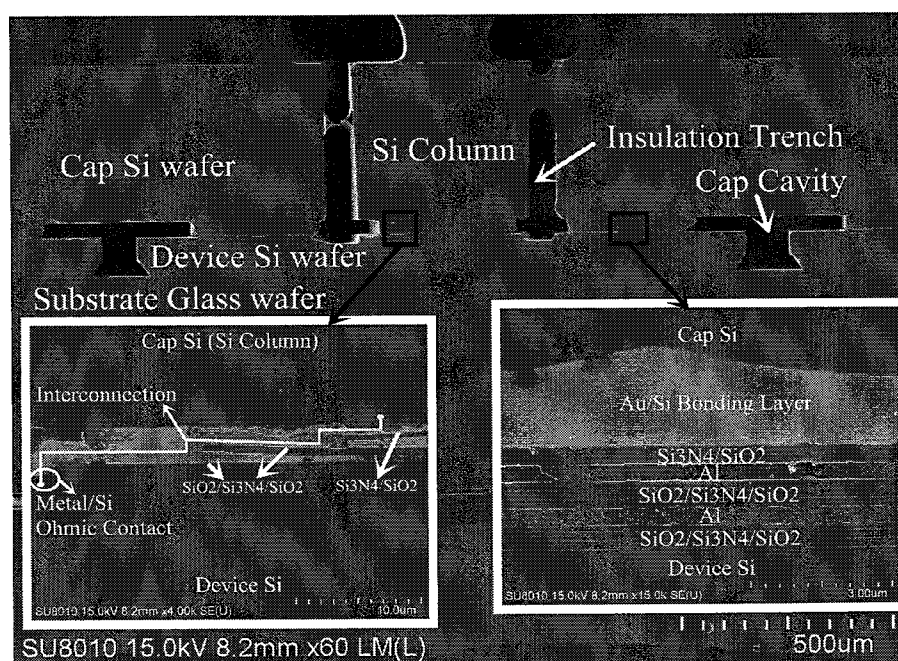


图 4.8 一个封装芯片上的一个硅柱互连结构的剖面 SEM 照片。

Figure 4.8 The cross-sectional SEM images for the one Si column interconnection structure on the one of packaged chips.

为了直观反映由金硅共面键合实现的硅柱互连结构的键合情况，图 4.8 显示了键合结构的剖面 SEM 照片，从中可以看到硅柱互连结构已经由 DRIE 所刻蚀

出来的绝缘沟槽实现了与盖板硅之间的电学隔离，而独立的硅柱结构由键合电极处形成的金硅合金键合层实现机械支撑。在硅柱结构的金硅键合界面处，器件硅一侧的硅介质平面互连结构的信号由所沉积的铝金属薄膜堆叠形成的电学通路引导至硅柱结构的金硅键合层中，并通过硅柱结构垂直传输到封装结构的顶端。在图 4.8 中的键合密封环区域则是由两层平面金属互连布线的金属层与绝缘层交替堆叠满足了与键合电极区域处于同一高度键合面的要求。实际上，无论是在键合电极区域还是键合环区域，其靠近金硅键合界面处的盖板硅呈现出起伏的表面，这显示金硅共晶反应的均匀发生。同时，由共面键合结构所实现的金硅键合层没有观察到键合间隙。

4.4.2 金硅共面键合结构的封装气密性评估

表 4.1 对 10 个随机选取的封装芯片进行 He 检漏试验中测试得到的泄漏率。

Table 4.1 The measured leak rate values of the 10 packaged chips in tests of He bombing & leak detection.

No.	1	2	3	4	5
Leak Rate (atm.cc/sec)	1.4×10^{-8}	7.0×10^{-9}	8.4×10^{-9}	1.2×10^{-8}	7.8×10^{-9}
No.	6	7	8	9	10
Leak Rate (atm.cc/sec)	7.2×10^{-9}	8.0×10^{-9}	1.2×10^{-8}	9.0×10^{-9}	6.6×10^{-9}

为了进一步说明共面键合结构在保证气密封装的有效性，随后对划片后的键合芯片单元进行氦气检漏实验。氦检漏作为评价封装气密性的一种有效方法，常被用于器件封装气密性的筛选中。氦检漏原理是将封装后的芯片在外界氦气环境的正压下维持一段时间，随后将封装后的芯片放入到氦气质谱仪中，如果质谱仪探测到氦气的成分，这就意味着封装芯片不具有封装的气密性。在本实验中，随机选取 10 只共面键合后的芯片单元，并放入具有 5 个大气压的流动氦气的压力室中保持 4 个小时。随后，将这些芯片转移到泄漏率检测室，并从氦气质谱仪泄漏检测器中得到表 4.1 中的共面键合芯片单元的泄漏率。根据美国军方标准

MIL-STD-883F 的相关说明, 对于我们所设计的封装芯片空腔体积约为 0.0015 cc 的情况, 其泄漏率应当低于极限标准值 5×10^{-8} atm.cc/sec。可见, 表 4.1 中的泄漏率数据均在该极限值以下, 满足 MIL-STD-883F 规范的要求。同时如表 4.2 所示, 本节也将本工作的泄漏率测试值与采用圆片级金属键合技术所实现的封装泄漏率进行了总结比较, 本论文工作通过共面键合结构所实现的封装具有良好的气密性, 且其氦泄漏率值相对来说也是较低的。

表 4.2 本实验所测试的 He 泄漏率数据与其他封装文献的比较。

Table 4.2 The tested He leak rates in this work compared with another references.

	Fan <i>et al</i> [128]	Xu <i>et al</i> [129]	Choi <i>et al</i> [130]	Yu <i>et al</i> [131]	This work
圆片级封装	Cu-Cu	Au-Au	Au-Sn	Au-In-Sn	Au-Si
键合类型	热压键合	热压键合	焊料键合	焊料键合	共晶键合
键合环宽度 (μm)	50	-	70	300	方形环: 300; 圆形环: 260。
空腔体积 (cc, cm^3)	0.0014	0.0010	0.0038	0.0090	0.0015
芯片尺寸 (mm^2)	10×10	3×3	1×1	13×13	7.9×7.9
He 泄漏率 (atm.cc/sec)	$<1.7 \times 10^{-9}$	$\sim 4 \times 10^{-9}$	$<10^{-9}$	$<5 \times 10^{-8}$	$\sim 9.2 \times 10^{-9}$

4.4.3 硅柱互连结构的电学特性评估

对于由共面键合所实现的硅柱互连结构, 由于其涉及到盖板硅与器件硅之间的电学接触问题, 因此其电学阻抗的评估不仅对硅柱互连结构本身信号接口能力

的分析十分必要，也是对共面键合结构有效性验证的重要环节。

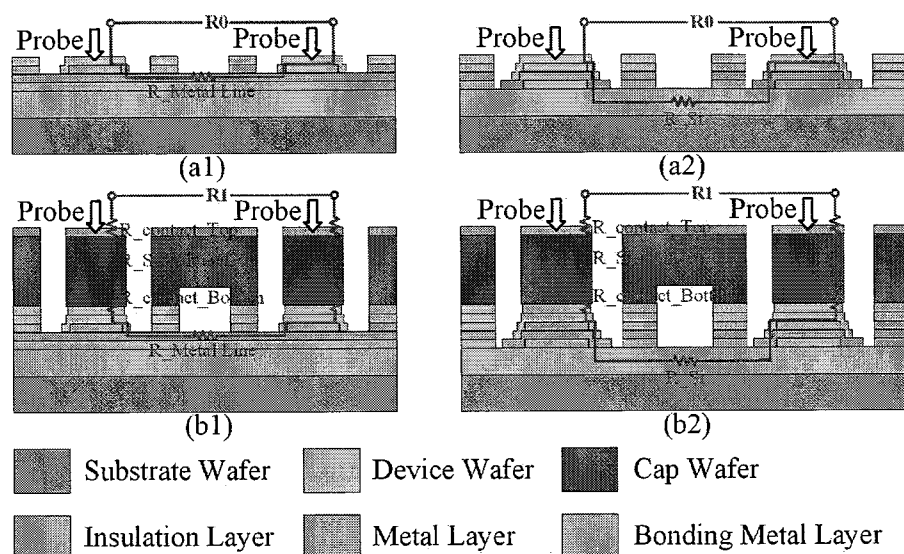


图 4.9 硅柱互连结构电阻测试原理，(a1) 和 (b1) 分别是共面结构中采用金属平面互连线情况在键合前后的一对硅柱互连结构电阻测试图形，(a2) 和 (b2) 分别是共面结构中采用体硅平面互连线情况在键合前后的一对硅柱互连结构电阻测试图形。

Figure 4.9 The test principle for the resistance of the Si column interconnection structure.

The one test pair of Si column interconnections before and after Au-Si bonding for co-planar Au-Si bonding structure with the horizontal interconnections of the metal ((a1) & (b1)), and the horizontal interconnections of the bulk Si ((a2) & (b2)).

硅柱互连结构的阻抗包含了硅柱本体电阻以及在硅柱本体的顶部和底部形成的金属/半导体欧姆接触电阻。图 4.9 展示了对硅柱互连结构电阻测试的原理图。首先如图 4.9 (a1) 和 (a2) 所示，在金硅键合工艺实施之前，可以在具有平面互连结构的共面键合结构的一对键合电极之间通过探针测试得到平面互连的电阻值，此阶段获得的测试总电阻记为 R_0 ，其包含探针电阻 (R_{Probe}) 和平面互连电阻 (R_x)。随后如图 4.9 (b1) 和 (b2) 所示，在金硅键合之后，可以在盖板硅片顶部金属的相应的这一对硅柱互连结构之间通过探针测试得到硅柱互连的电阻值，此阶段获得的测试总电阻记为 R_1 ，其包含一对硅柱互连电阻、探针电阻 (R_{Probe}) 和平面互连电阻 (R_x)。可见电阻 R_0 和 R_1 (即 $R_1 - R_0$) 之间的差值即为这一对硅柱互连结构的电阻值，则单个硅柱互连结构的电阻即为电阻 R_0 和 R_1 差值的一半 (即 $(R_1 - R_0)/2$)。

进一步, 由于硅柱互连结构的电阻包含了硅柱本体电阻以及金属/半导体欧姆接触电阻, 而其中的硅柱本体电阻可以通过盖板硅片的电阻率进行计算, 因此将单个硅柱互连结构电阻减去硅本体电阻 (即 $(R_I - R_0)/2 - R_{Si}$) 即可得到在硅柱本体的顶部和底部形成的金属/半导体欧姆接触电阻 ($R_{Contact}$)。

在实验中, 考虑到键合对准偏差的冗余设计和盖板硅片空腔的形成要求, 硅柱互连结构被设计成图 4.10 中的硅凸台形式, 其包含了一个大圆柱体 (高度为 $H-h$, 半径为 r_1) 和一个小圆柱体 (高度为 h , 半径为 r_2)。值得注意的是, 大圆柱体和小圆柱体 (即 $r_1 - r_2$) 半径差值代表了键合对准的最大允许偏差, 而小圆柱体的高度 (h) 对应于盖板硅片空腔的深度。

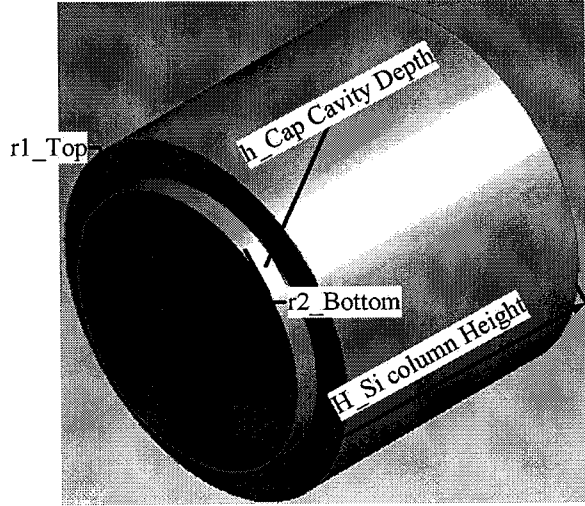


图 4.10 通过具体尺寸标注加以说明的硅柱互连结构示意图。

Figure 4.10 The sketch of the Si column interconnection structure marked with specific dimensions.

因此, 硅柱本体结构的电阻可由图 4.10 中的模型基于电阻定律进行推算,

$$R_{Si\ Column} = \frac{\rho_{Si}}{\pi} \times \left(\frac{H-h}{r_1^2} + \frac{h}{r_2^2} \right) \quad (4.1)$$

盖板硅片的电阻率采用标准的四探针测试方法进行测试, 约为 $0.017 \sim 0.019 \Omega \cdot \text{cm}$, 故后续分析中盖板硅片电阻率采用平均值 $0.018 \Omega \cdot \text{cm}$ 。考虑到单个硅柱结构的设计尺寸 ($H=400 \mu\text{m}$, $h=30 \mu\text{m}$, $r_1=210 \mu\text{m}$, $r_2=175 \mu\text{m}$), 其硅柱本体的电阻由式 (4.1) 计算得到为 0.537Ω 。

表 4.3 在金硅键合工艺前后硅柱互连结构电阻测试对的电阻测试值和相应欧姆接触电阻 $R_{Contact}$ 提取值。

Table 4.3 The measured resistances and extracted $R_{Contact}$ values of test pairs for Si column interconnection structures before and after Au-Si bonding processes.

测量内容		$R_{Before\ Packaging}$ (R_0, Ω)	$R_{After\ Packaging}$ (R_I, Ω)	$R_{Vertical}$ Interconnection ($(R_I - R_0)/2, \Omega$)	$R_{Contact}$ ($(R_I - R_0)/2 -$ $R_{Si\ Column}, \Omega$)
定义		$R_{Probe} + R_x$	$R_{Probe} + R_x +$ $2 \times R_{Vertical}$ Interconnection	$R_{Top_Contact} +$ $R_{Si\ Column} +$ $R_{Bottom_Contact}$	$R_{Top_Contact} +$ $R_{Bottom_Contact}$
测试值	$R_x = R_M$	2.26	4.14	0.940	0.403
		2.38	4.39	1.005	0.468
		2.25	4.35	1.050	0.513
		2.52	4.68	1.080	0.543
		2.47	4.36	0.945	0.408
		2.41	4.46	1.025	0.488
		2.44	4.16	0.860	0.323
		2.56	4.62	1.030	0.493
	$R_x = R_{Si}$	5.12	7.13	1.005	0.468
		5.48	7.52	1.020	0.483
		4.92	6.78	0.930	0.393
		4.98	7.08	1.050	0.513
		4.82	6.89	1.035	0.498
		5.26	7.43	1.085	0.548
		5.18	7.18	1.000	0.463
		5.34	7.64	1.150	0.613
均值	$R_x = R_M$	2.411	4.395	0.992	0.455
	$R_x = R_{Si}$	5.138	7.206	1.034	0.497
标准差	$R_x = R_M$	0.112	0.193	0.072	0.072
	$R_x = R_{Si}$	0.223	0.303	0.065	0.065

在实验中, 所有电阻值都是通过 Cascade 12742B-6 半导体探针测试台测量得

到的。对于共面键合结构中的金属互连和硅介质互连两种平面互连形式，分别测量了 8 组数据，如表 4.3 所示。其中，金属平面互连电阻记为 R_M （即平面互连电阻 $R_x=R_M$ ），而硅介质平面互连电阻记为 R_{Si} （即 $R_x=R_{Si}$ ）。同时，图 4.11 显示了中测试 R_0 和 R_I 电阻时对应 $R_x=R_M$ 和 $R_x=R_{Si}$ 的 I-V 特性，从金硅键合前后的保持一致的线性 I-V 特性可以看到在硅柱互连结构上下侧的金属/半导体接触已经是欧姆接触。对于 $R_x=R_M$ 和 $R_x=R_{Si}$ 两种不同平面互连情况下，其硅柱互连结构的电阻均在 $1\ \Omega$ 左右，这说明硅柱互连结构在不同互连应用下具有基本相同的互连电阻，同时该 $1\ \Omega$ 左右的电阻值已经足够小且能满足大多数器件互连的阻抗要求。此外表 4.3 中，对于 $R_x=R_M$ 和 $R_x=R_{Si}$ 情况，单个硅柱互连结构上下侧所形成的欧姆接触电阻值 $R_{Contact}$ 均在 $0.5\ \Omega$ 左右，且其相应的变异系数（也即标准差与均值的比值）分别为 15.80% 和 13.01%。这说明欧姆接触电阻值占据硅柱互连结构电阻整体的一半水平，因此应当重点关注对欧姆接触电阻的设计与工艺优化；不过其相对较小的离散性体现了硅柱互连结构具有较一致的互连电阻。

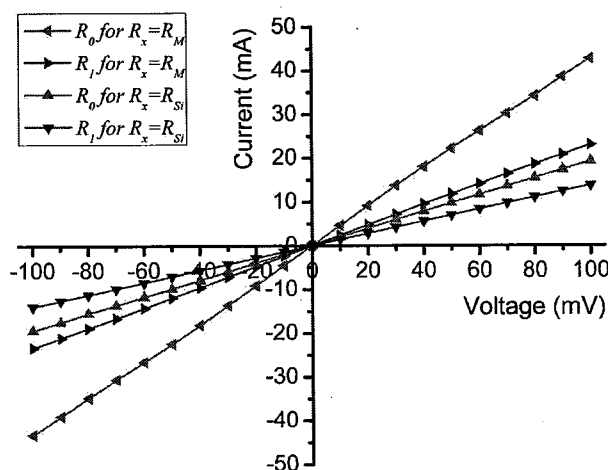


图 4.11 表 4.3 中 $R_x=R_M$ 和 $R_x=R_{Si}$ 情况下的 R_0 和 R_I 两组数据对应的 I-V 特性曲线。

Figure 4.11 The I-V characteristics of two group data of R_0 and R_I for $R_x=R_M$ and $R_x=R_{Si}$ respectively in table 4.3.

4.5 小结

为解决 MEMS 圆片级封装中金属互连线跨越键合金属密封环所形成“台阶”导致的封装气密性问题，本章提出了一种基于金硅共面键合的硅柱互连封装形

式, 并对该共面键合结构进行了硅介质互连和多层金属互连两种平面互连形式的应用验证。通过 He 检漏试验, 由金硅共面键合方法所实现的封装结构满足 MIL-STD-883F 标准中 $<5 \times 10^{-8}$ atm.cc/sec 的极限泄漏率要求; 通过探针测试, 由金硅共面键合方法所实现的硅柱互连结构具有约 1Ω 的单硅柱电阻 (包含其上下侧所形成的金硅欧姆接触电阻, 约 0.5Ω)。可见, 所提出的基于金硅共面键合的硅柱互连封装形式能保证气密封装的同时实现硅柱结构的低阻抗互连, 这实际上也提升了硅柱互连封装形式在 MEMS 三维圆片级气密封装中的通用性。

第五章 基于硅柱互连的 MEMS 谐振器三维圆片级真空封装研究

5.1 引言

MEMS 谐振器是许多 MEMS 传感器的基础,其不仅需要封装来保护器件可动结构和实现信号接口,更需要进行真空封装以提升器件的性能(品质因数 Q)。为了兼顾垂直互连的实现和 MEMS 器件封装的特殊性(如悬浮结构保护、较少的 I/O 接口、复杂的电极设置、工艺成本与复杂度控制等),并针对现有垂直互连式 MEMS 三维封装技术面临的工艺复杂、全硅集成制造及应用局限性的挑战,本章基于前述金硅键合工艺所涉及的 KOH 腐蚀减薄兼容性、欧姆接触电阻与键合强度研究结论,并在基于金硅共面键合的硅柱互连封装形式研究的基础上,以 MEMS 谐振器为载体对基于硅柱互连的三维封装结构进行应用验证。

首先对 MEMS 谐振器封装结构进行设计与制备;随后,对器件封装的工艺效果进行表征(包括金硅键合工艺的对准偏差、金硅键合界面情况等);并进行器件封装后的器件测试和性能表征,即基于 MEMS 谐振特性测试,一方面对器件封装结构所引入的寄生电容进行分析与消除,另一方面对器件封装的晶圆单片合格率、封装真空度和封装真空度保持的长期稳定性进行了相应的表征;最后对影响器件 Q 值的封装因素进行了分析,即通过实验测试评估了封装工艺的除气时间和封装空腔深度的选择对器件 Q 值的影响,以及封装真空度对器件 Q 值温度稳定性的影响。

5.2 基于硅柱互连的 MEMS 谐振器三维封装设计与制备

5.2.1 MEMS 谐振器基本原理

MEMS 谐振器的运动状态可由如图 5.1 所示的一维弹簧-质量块-阻尼系统进行描述^[132],其对应了式(5.1)的二阶线性微分方程,式中 $x(t)$ 是质量块的位移, K 、 M 和 c 分别是一维弹簧-质量块-阻尼系统的等效刚度、等效质量和等效阻尼系数,而 $F(t)$ 则是施加于该系统的作用力。

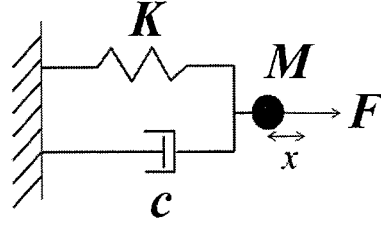


图 5.1 MEMS 谐振器典型的一维弹簧-质量块-阻尼系统等效模型。

Figure 5.1 The equivalent model of the one-dimensional spring-mass-damper system for MEMS resonators.

$$M \cdot x''(t) + c \cdot x'(t) + K \cdot x(t) = F(t) \quad (5.1)$$

由式便可得到该系统对应的谐振频率 f_0 和品质因数 Q , 如下式(5.2)和(5.3)。

$$f_0 = \frac{\omega_0}{2\pi} = \frac{1}{2\pi} \sqrt{\frac{K}{M}} \quad (5.2)$$

$$Q = \frac{f_0}{\Delta f_{-3dB}} = \frac{\sqrt{KM}}{c} \quad (5.3)$$

实际上对式(5.1)进行傅里叶变换, 可得到系统的传递函数, 如下式,

$$H(j\omega) = \frac{X(j\omega)}{F(j\omega)} = \frac{1}{(j\omega)^2 M + j\omega c + K} = \frac{1/M}{(j\omega)^2 + j\omega\omega_0/Q + \omega_0^2} \quad (5.4)$$

当系统处于谐振点, 也即传递函数中的角频率等于谐振角频率时, 系统传递函数的模可表示下式(5.5), 此时系统对应的谐振器的运动振幅得到了 Q 倍的放大, 可见寻求 Q 值的提升一直是谐振器设计与制造中非常值得努力的方向。

$$|H(j\omega_0)| = \frac{Q}{M \cdot \omega_0^2} = \frac{Q}{K} \quad (5.5)$$

5.2.2 MEMS 谐振器设计及电信号接口分析

MEMS 谐振器广泛应用在各种 MEMS 传感器中。本章针对基于法拉第电磁感应定律的谐振式 MEMS 磁传感器的关键组件, 也即工作在收缩-扩张模态(“SE”模态)下的 MEMS 谐振器, 展开基于硅柱互连的三维封装结构的设计、工艺实现和测试等研究工作。

图 5.2 (a) 显示本章采用的 MEMS 器件原型, 具体器件参数可参考刘松等人的论文^[49], 这里不再赘述。而图 5.2 (b) 则通过有限元的模态仿真得到该谐振器工作在“SE”模态下的谐振频率约 37.6 kHz。该谐振器的可动结构通过位于器件四角的四个锚点电极实现结构支撑, 器件的驱动-检测采用了梳齿电极的静电驱动和静电检测方式, 在谐振结构的外围上下左右侧各分布了一个驱动电极, 而驱动电极通过器件硅本体的平面互连形式连接在一起, 在谐振结构的内部分布有一个检测电极。当在锚点电极施加直流偏置电压 (即谐振结构本体被施加直流偏置电压), 在驱动电极施加与谐振器谐振频率相等的交流信号时, 器件由驱动梳齿间形成的静电力激励至谐振状态, 在检测电极端将产生由检测梳齿间电容变化引起的动态电流, 并经由信号处理转化为电压信号以反映谐振器的振幅。

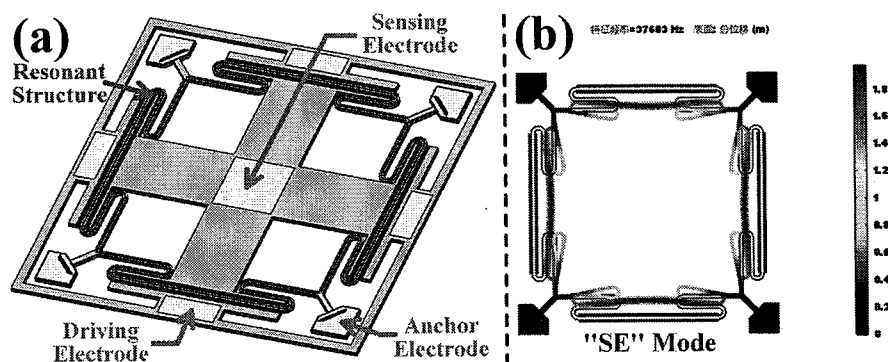


图 5.2 (a) 实验采用的 MEMS 谐振器原型示意图, 以及 (b) 该谐振器工作的“SE”模态仿真结果。

Figure 5.2 (a) The sketch of the MEMS resonator adopted in this work, and (b) its corresponding motion mode simulation results for the “SE” mode.

可见, 对该谐振器进行封装结构设计时需要考虑驱动电极、检测电极和锚点电极的信号接口问题。由于检测电极位于可动结构的内部无法通过平面互连的形式引出至谐振结构的外侧, 因此基于平面互连的传统 MEMS 圆片级封装形式均难以适用该谐振器的情况, 而通过垂直互连的形式则能解决这一问题, 这里以一个实际的案例直接体现了垂直互连在 MEMS 封装中对信号直接引出的优越性。

5.2.3 基于硅柱互连的 MEMS 三维封装结构设计

基于上一节对基于金硅共面键合的硅柱互连结构的研究, 并通过对图 5.2 中

的谐振器密封和信号接口的综合考虑，特设计如图 5.3 所示的适用于该 MEMS 谐振器的基于硅柱互连的圆片级三维封装结构。

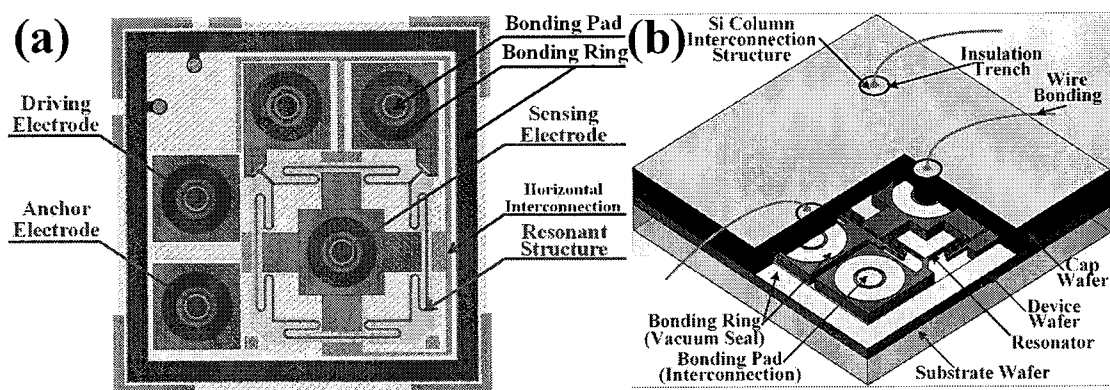


图 5.3 (a) 实验设计的含有金硅共面键合结构的 MEMS 谐振器版图，及其 (b) 相应的基于硅柱互连的 MEMS 谐振器圆片级三维封装结构三维示意图。

Figure 5.3 (a) The designed layout of the MEMS resonator with the co-planar Au-Si bonding structures in this work, and (b) its corresponding 3D model of the 3D wafer-level packaging structure based on Si column interconnections for the MEMS resonators.

考虑硅柱互连结构和封装结构的尺寸及布置，对图 5.2 (a) 中的谐振器重新进行布局，最终形成如图 5.3 (a) 所示的器件封装版图，该三维封装结构的立体示意图如图 5.3 (b) 所示。一方面，硅柱互连结构通过在谐振器相应电极（驱动、检测和锚点电极）处设置键合电极（Bonding Pad）实现了器件的垂直信号接口，而如图 5.3 (b) 所示，在硅柱互连结构周围通过绝缘沟槽的刻蚀实现了硅柱互连通道的独立性，进一步在硅柱互连结构的顶部可通过引线键合（或其他后道封装工艺）将器件内部的信号引导至其他功能性基板上（如 PCB 板）；另一方面，在实现硅柱互连的同时考虑到封装的气密性，每一个硅柱互连结构都带有一个特有的圆形键合密封环，因此谐振器所在的器件圆片（Device Wafer）不仅被底部密闭的衬底圆片（Substrate Wafer）所支撑和保护，也通过器件整体的方形键合密封环和多组圆形键合密封环（Bonding Ring）被密封在由顶部盖板圆片（Cap Wafer）构成的金硅键合结构内。

为了便于理解基于金硅共面键合的硅柱互连结构在谐振器三维封装中的应用方式，图 5.4 展示了 MEMS 谐振器三维封装结构的剖面示意图。

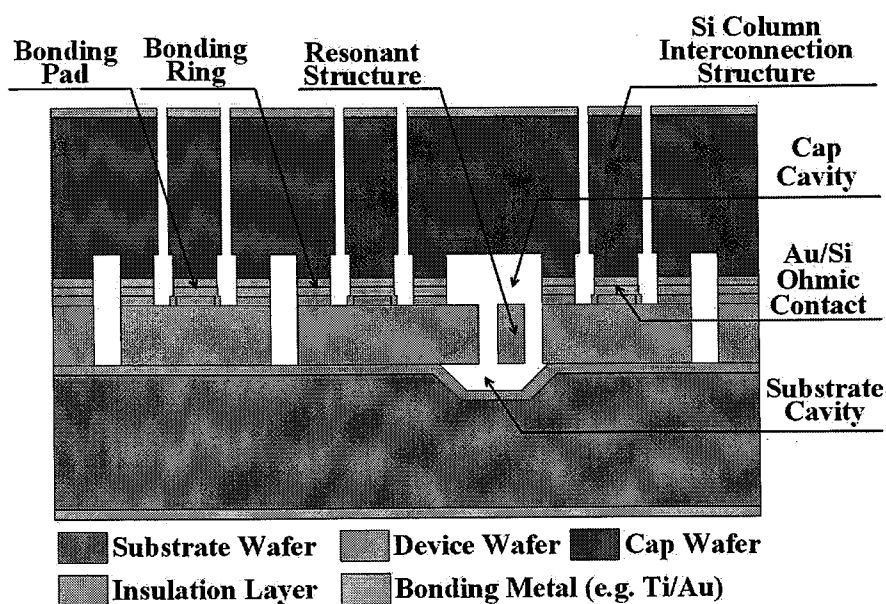


图 5.4 金硅共面键合实现的基于硅柱互连 MEMS 谐振器三维封装结构的剖面示意图。

Figure 5.4 The cross-sectional sketch of the 3D packaging structure for MEMS resonators based on Si column interconnections realized by co-planar Au-Si bonding structures.

如图 5.4 所示, 盖板晶圆和衬底晶圆均具有一定深度的空腔结构以提供谐振器可动结构的运动空间; 而如上一章对共面键合结构的描述, 在硅柱互连结构处, 由于只涉及到体硅平面互连的形式, 因此其作为密封功能的圆形和方形键合环 (Bonding Ring) 以及作为互连功能的键合电极 (Bonding Pad) 均是通过一层绝缘层和一层键合金属层的堆叠即实现了共面键合结构的制备 (键合表面均处于同一高度), 其中键合环通过绝缘层略宽于金属层的设计实现与器件体硅层的绝缘, 而键合电极通过金属层在绝缘层刻蚀出的接触窗口处“台阶覆盖”能力实现与器件体硅层的互连; 盖板圆片的封装工艺可采用金硅共晶键合技术, 因此在金硅键合工艺中, 盖板圆片与器件圆片的键合环区域通过金硅合金层实现了高键合强度的冶金连接, 而键合电极区域通过金硅合金层不仅实现了硅柱结构的强度支撑也完成了在器件圆片处金硅之间良好的欧姆接触。

5.2.4 基于硅柱互连的 MEMS 三维封装结构的工艺实现

实验中 MEMS 器件的制备采用一种 Cavity-SOI 的体硅工艺, 它是通过器件圆片 Device Wafer 和衬底圆片 Substrate Wafer 这两片圆片键合形成具有空腔结构

的 SOI 硅片完成器件制造。其中器件圆片通常采用硅片来实现可动微纳结构的制造,而衬底圆片的选择则可以根据 Cavity-SOI 工艺所选取的圆片级键合工艺来做选择,比如对于硅玻璃键合采用玻璃片为衬底,对于硅硅键合则采用硅片为衬底。实际上,为了降低衬底引入的寄生电容,对于电容式 MEMS 传感器制造中的体硅工艺通常选用玻璃圆片作为衬底圆片^[133]。不过, MEMS 器件的全硅制造始终是实现 MEMS 与 IC 工艺兼容的永恒主题,因此 Cavity-SOI 工艺中在采用硅片为衬底的同时寻求寄生效应的减弱甚至消除也是一个值得努力的方向。本论文在实现基于硅柱互连的 MEMS 谐振器三维圆片级封装中,需要考虑对 Cavity-SOI 工艺中这两种不同衬底情况的适用性,因此在 MEMS 谐振器的制造中既采用了硅片为衬底也采用了玻璃片为衬底。

在 MEMS 谐振器制造中, Cavity-SOI 工艺中器件圆片采用 4 英寸 p 型(100) SOI 硅片,对于衬底采用玻璃的 SOI 片其器件层 Device layer、基底层 Handle layer 和埋氧层 Buried oxide layer 厚度分别为 $60\text{ }\mu\text{m}$ 、 $380\text{ }\mu\text{m}$ 和 $2\text{ }\mu\text{m}$; 对于衬底采用硅片的 SOI 片其器件层、基底层和埋氧层厚度分别为 $52\text{ }\mu\text{m}$ 、 $430\text{ }\mu\text{m}$ 和 $2\text{ }\mu\text{m}$; 同时这两种 SOI 片的器件层电阻率均约 $0.013\text{ }\Omega\cdot\text{cm}$ 。而衬底圆片则采用 4 英寸 Pyrex 玻璃(厚度 $450\text{ }\mu\text{m}$)和 4 英寸硼扩散 p 型(100)硅片(厚度 $400\text{ }\mu\text{m}$, 电阻率约 $0.015\text{ }\Omega\cdot\text{cm}$)两种。在三维封装工艺中,封装盖板采用 4 英寸硼扩散 p 型(100)硅片(厚度 $400\text{ }\mu\text{m}$, 电阻率约 $0.015\text{ }\Omega\cdot\text{cm}$)。

图 5.5 展示了承载硅柱互连结构的盖板封装结构的制备流程,主要包括:

(1) 首先对盖板晶圆进行标准清洗,并浸入 HF 溶液中(约 2 分钟)以去除表面自然氧化层。随后,通过磁控溅射工艺将金硅键合工艺所需的键合金属层 Ti/Au ($50\text{ nm}/300\text{ nm}$)沉积到盖板晶圆的键合面上。

(2) 对键合金属层通过光刻和腐蚀工艺进行图形化,形成盖板晶圆键合区域和电互连区域的键合平面,该键合平面显然处于同一平面。同时,采用深反应离子刻蚀(DRIE)技术对金属腐蚀后暴露出来的硅本体进行刻蚀,以形成盖板晶圆的空腔结构(刻蚀的空腔深度约为 $30\text{ }\mu\text{m}$)。

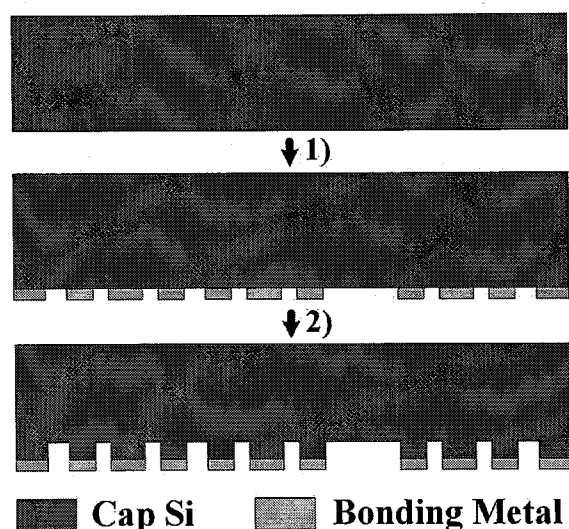


图 5.5 承载硅柱互连结构的盖板晶圆工艺流程。

Figure 5.5 The fabrication processes of the Cap wafer carrying with Si column interconnection structures.

图 5.6 (a) 展示了 Cavity-SOI 工艺中衬底采用玻璃的谐振器制备流程。

(1) 首先对 SOI 硅片进行标准清洗并热氧化生长 400 nm 厚度的氧化层，在 SOI 硅片的 Device layer 一侧对氧化层进行光刻和 RIE 刻蚀以图形化，随后采用 KOH 腐蚀液在 SOI 硅片的 Device layer 一侧形成深度为 10 μm 的空腔结构。

(2) 将作为衬底的玻璃片与该已具有空腔结构的 SOI 硅片进行标准清洗，并在 Karl Suss SB-6E 真空键合机中进行硅玻璃阳极键合工艺；随后将该键合后的圆片置于 KOH 腐蚀液中去除 SOI 硅片的 Handle layer 以暴露出 SOI 的埋氧层；进一步通过 BOE 腐蚀液将 SOI 片的 2 μm 埋氧层去除干净，留下 SOI 片的 Device layer，此时重新构成了由硅玻璃键合所形成的具有空腔结构的 Cavity-SOI 片，其中 Device layer 用于制备谐振结构。

(3) 在所形成的 Cavity-SOI 片的 Device layer 一侧用 PECVD 技术沉积 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ (300 nm/300 nm/300 nm) 的绝缘层，并进行光刻和 RIE 刻蚀实现绝缘层的图形化，从而形成谐振结构所需的金属/半导体欧姆接触窗口。

(4) 在 Device layer 一侧用磁控溅射工艺沉积金硅键合所需的键合金属层 TiW/Au (80 nm/600 nm) 薄膜，并进行光刻和相应的金属腐蚀工艺实现键合金属层的图形化，其中在之前刻蚀的绝缘层窗口形成器件所需的金属/半导体接触，

并形成具有处于同一平面的键合环与键合电极区域的金硅共面键合结构。

(5) 随后在 Device layer 一侧光刻出谐振器可动结构的图形, 并通过深反应离子刻蚀 (DRIE) 对光刻后的硅本体进行刻蚀, 形成器件的硅介质平面互连结构及可动结构。此时即完成了 MEMS 谐振器结构的制备。

图 5.6 (b) 展示了 Cavity-SOI 工艺中衬底采用硅片的谐振器制备流程。

(1) 首先对衬底硅片进行标准清洗并热氧化生长 600 nm 厚度的氧化层, 在衬底硅片一侧对氧化层进行光刻和 RIE 刻蚀, 去除光刻胶后对衬底硅片进行 KOH 腐蚀以形成深度为 25 μm 的衬底空腔结构。之后, 将 KOH 腐蚀中作为掩模的氧化层通过 BOE 去除干净并进行热氧化工艺 (所生长氧化硅厚度为 2 μm), 形成随后硅硅键合工艺中的器件与衬底之间的电学隔离。

(2) 将衬底硅片与 SOI 硅片进行标准清洗, 并在 Karl Suss SB-6E 真空键合机中进行硅硅熔融键合工艺, 并进行高温热氧化工艺 (所生长氧化硅厚度为 2 μm); 随后以 RIE 去除 SOI 硅片的 Handle layer 一侧的氧化硅, 并将该键合后的圆片置于 KOH 腐蚀液中去除 SOI 硅片的 Handle layer 以暴露出 SOI 的埋氧层; 进一步通过 BOE 腐蚀液将 SOI 片的 2 μm 埋氧层去除干净, 留下 SOI 片的 Device layer, 此时重新构成了由硅硅键合所形成的具有空腔结构的 Cavity-SOI 片, 其中 Device layer 用于制备谐振结构。

(3) 在该 Cavity-SOI 片上继续热氧化生长 900 nm 厚度的氧化硅层, 并通过光刻和 RIE 刻蚀实现绝缘层的图形化以形成所需的金属/半导体接触窗口。

(4) 在 Device layer 一侧用磁控溅射工艺沉积金硅键合所需的键合金属层 TiW/Au (80 nm/600 nm) 薄膜, 并进行光刻和相应的金属腐蚀工艺实现键合金属层的图形化, 其中在之前刻蚀的绝缘层窗口形成器件所需的金属/半导体接触, 并形成具有处于同一平面的键合环与键合电极区域的金硅共面键合结构。

(5) 随后在 Device layer 一侧光刻出谐振器可动结构的图形, 并通过深反应离子刻蚀 (DRIE) 对光刻后的硅本体进行刻蚀, 形成器件的硅介质平面互连结构及可动结构。此即完成了 MEMS 谐振器结构的制备。

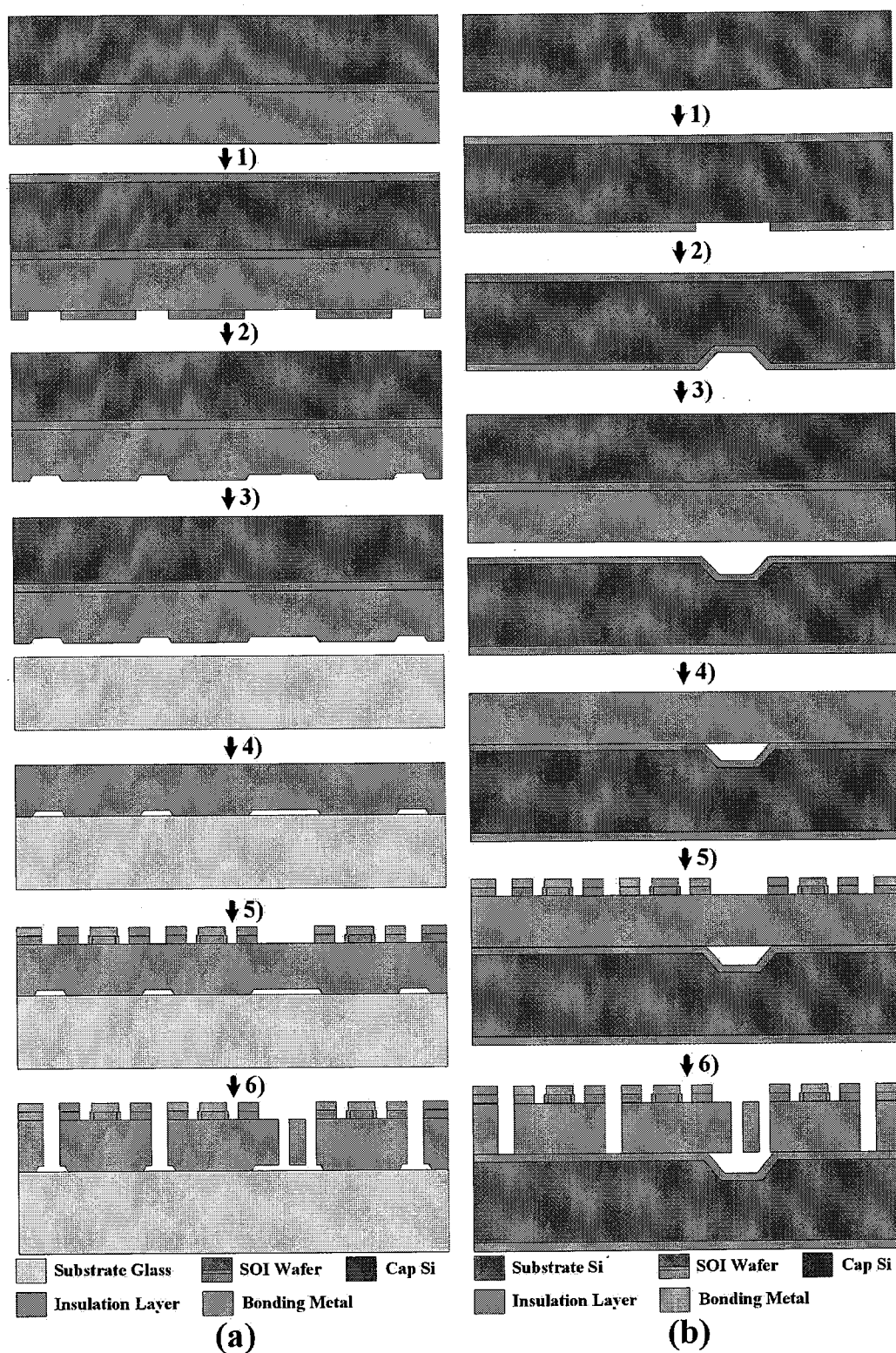


图 5.6 基于 Cavity-SOI 工艺实现的 MEMS 谐振器制备流程，(a) Cavity-SOI 的衬底采用玻璃片，以及 (b) Cavity-SOI 的衬底采用硅片。

Figure 5.6 The fabrication processes of the MEMS resonator realized by Cavity-SOI processes. Adopting the substrate wafer with (a) the Glass, and (b) the Si.

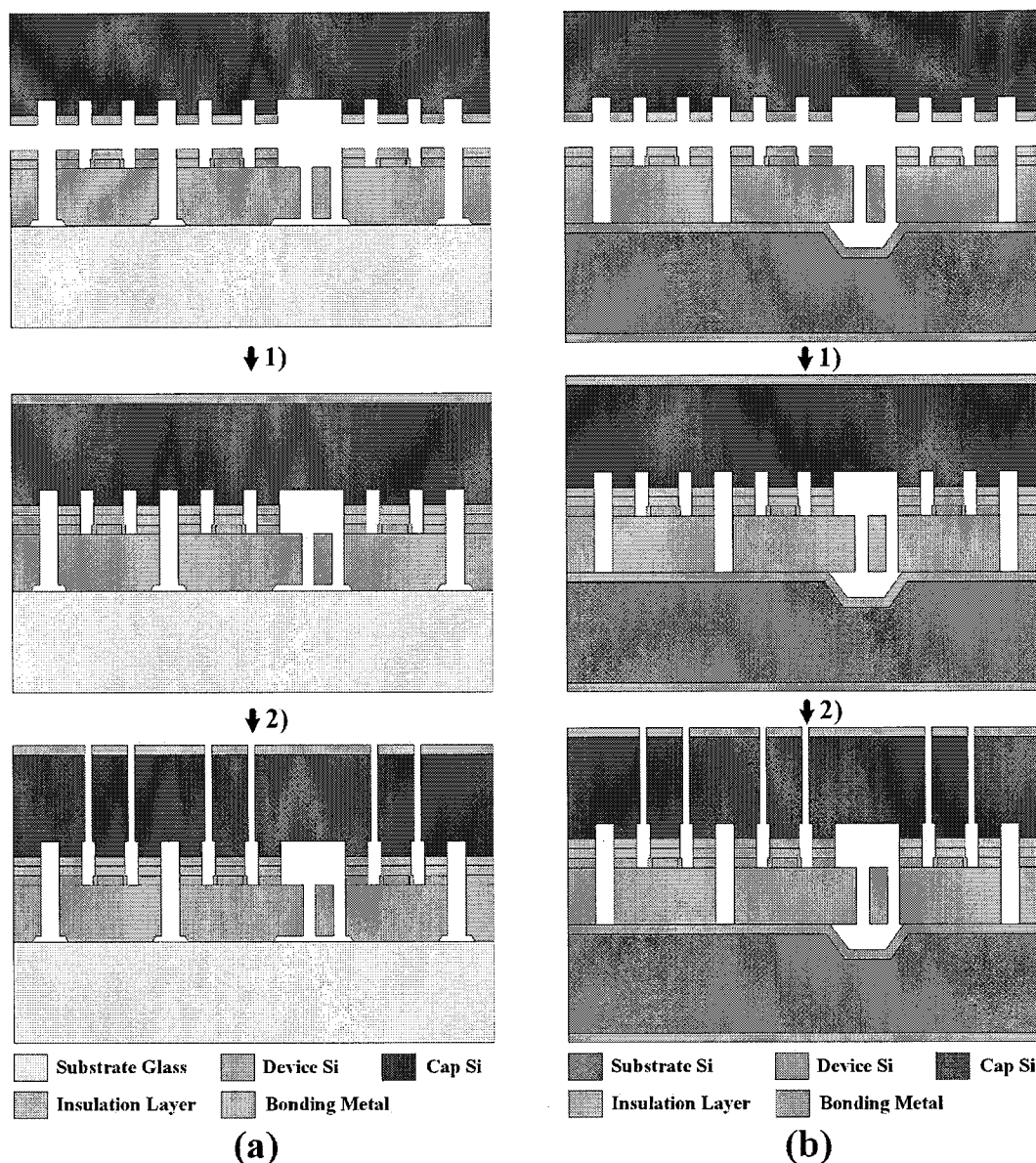


图 5.7 MEMS 谐振器三维圆片级封装工艺的实施及硅柱互连结构的形成工艺流程，(a) MEMS 谐振器的衬底采用玻璃片，以及 (b) MEMS 谐振器的衬底采用硅片。

Figure 5.7 The fabrication processes of the 3D wafer-level packaging structure for the MEMS resonators and the realizations of Si column interconnections. Adopting the substrate wafer with (a) the Glass, and (b) the Si for the MEMS resonators.

图 5.7 展示了圆片级封装工艺的实施及硅柱互连结构的形成过程。

(1) 将制备好的盖板晶圆(作为硅柱互连结构载体)和器件晶圆送入到 Karl Suss MA-6B 光刻机进行键合预对准，随后在 Karl Suss SB-6E 真空键合机中进行金硅共晶键合工艺。实验中制备了 1 片衬底采用硅片的 MEMS 器件晶圆以及 2

片衬底采用硅片的 MEMS 器件晶圆，并分别采用了不同的金硅共晶键合工艺，其工艺参数如下表 5.1 所示，主要的区别在于除气工艺（Out-gassing）参数的选择。此外在金硅键合工艺中，400 °C 键合温度维持 30 min 也形成了谐振器结构所需的金属/半导体欧姆接触。

表 5.1 不同 MEMS 器件晶圆三维封装中采用的不同金硅共晶键合工艺参数。

Table 5.1 The different Au-Si bonding process parameters in 3D wafer-level packaging for the different MEMS device wafers.

三维封装圆片序号	器件晶圆的衬底类型	键合机腔体真空度 (mbar)	除气工艺		键合工艺		
			温度 (°C)	持续时间 (min)	键合压力 (mbar)	温度 (°C)	持续时间 (min)
No.1	硅片		300	30	2500	400	30
No.2	玻璃片	$< 1 \times 10^{-4}$	320	60	2500	400	30
No.3	玻璃片		320	100	2500	400	30

(2) 在金硅键合后，在盖板晶圆表面用溅射工艺沉积一层厚度为 50 nm/500 nm 的 Ti/Au 薄膜，并以光刻和金属腐蚀进行金属层的图形化。随后采用深反应离子刻蚀（DRIE）对盖板进行绝缘沟槽的刻蚀，形成独立的硅柱互连结构。

(3) 对于衬底采用硅片的器件，在硅柱互连结构释放后，为了降低器件衬底的寄生电容效应，先用 RIE 将 Cavity-SOI 片的衬底一侧残余的氧化硅层刻蚀干净，并通过溅射工艺沉积一层厚度为 50 nm/500 nm 的 Ti/Au 薄膜，随后通过 350°C 下 30 min 的退火工艺来实现金属与硅本体之间良好的欧姆接触。至此即完成了 MEMS 谐振器的三维圆片级封装的所有工艺流程。

5.3 器件封装工艺效果表征

5.3.1 器件封装工艺中金硅键合工艺对准偏差

由于所提出的封装结构是通过金硅共晶键合工艺实现的，而键合对准的偏差

是其中必须考量的参数。为此可在器件封装工艺实施前先进行一定的键合对准验证实验，以掌握金硅键合的对准偏差。基于本论文工作对金硅键合工艺的实施经验，对于实验所采用的特定的键合机和键合工艺参数，金硅键合的对准偏差一般在 $5\ \mu\text{m}\sim 20\ \mu\text{m}$ ，因此封装版图设计上充分考虑了键合结构的对准冗余，并将对准冗余设置在 $30\ \mu\text{m}$ 。现就金硅键合对准偏差的来源分析如下：尽管实际的光刻工艺可控制在 $\pm 2\ \mu\text{m}$ 内的对准偏差，但在光刻机中键合预对准良好的待键合晶圆由于在共晶键合过程中，金硅键合结构会形成金硅合金液态相，而液态相使得键合圆片在键合压力下仍然存在一定滑移的可能性，由此产生金硅键合结构的键合对准偏差。

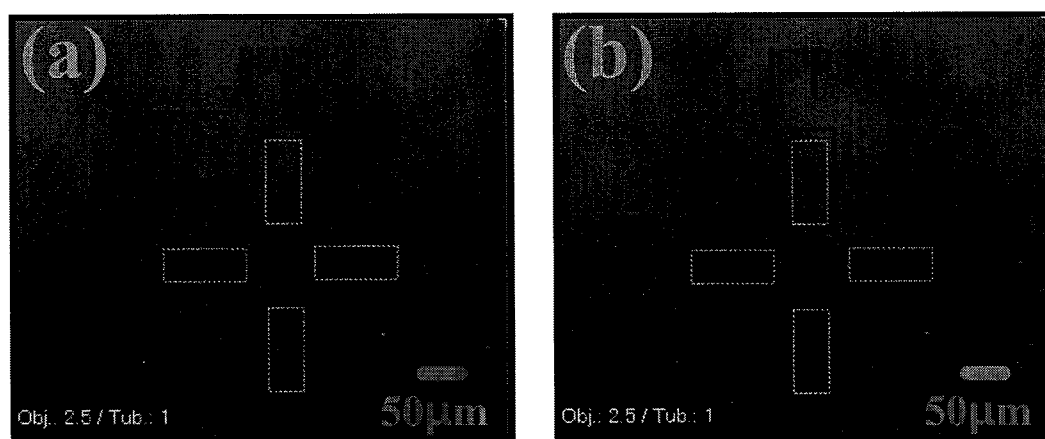


图 5.8 MEMS 器件三维封装后反映金硅键合工艺对准偏差的晶圆中心两侧的对准标记处 (a) 和 (b) 的红外显微镜照片。

Figure 5.8 The IR micro-photographs of the Au-Si bonding alignment marks located on the both sides of the center for the 3D packaged wafer of MEMS devices.

对于晶圆键合后的对准偏差判断主要是通过红外显微镜 (IR) 来估计键合对准标记处的图形偏差。图 5.8 展示了在实现器件三维封装中金硅键合工艺完成后一组典型的键合对准标记的红外显微镜照片，对准标记一般设计在晶圆中心靠近晶圆边缘的两侧，因此图 5.8 (a) 和 (b) 分别展示的晶圆中心左右两侧的对准标记。如图所示，由于红外显微镜照片中盖板晶圆的标记较为模糊 (为浅灰色图形影) 故用蓝色虚线框将其标识出，而颜色较深的图形则是衬底晶圆对应的标记，总的来说，器件封装工艺的对准偏差在 $5\ \mu\text{m}\sim 10\ \mu\text{m}$ 之间，完全满足在键合对准

冗余设计为 30 μm 时的对准要求。

5.3.2 器件封装的金硅键合界面情况

MEMS 器件圆片级封装的前道流片工艺完成后, 将进行器件的后道封装工艺, 即将晶圆通过划片工艺分割成独立的芯片单元。由于本文所提出的三维圆片级封装结构是基于金硅共晶键合技术实现的, 因此对封装器件的金硅键合界面的质量评估也是一个不可缺少的环节。本节主要从扫描电镜 SEM 和扫描声学显微镜 SAM 对金硅键合界面的形貌进行表征, 其中 SAM 分析是探测微观界面存在的分层、杂质、孔洞等缺陷分布的有力手段, 其利用了界面缺陷产生的声阻抗变化来反映界面的缺陷状况。

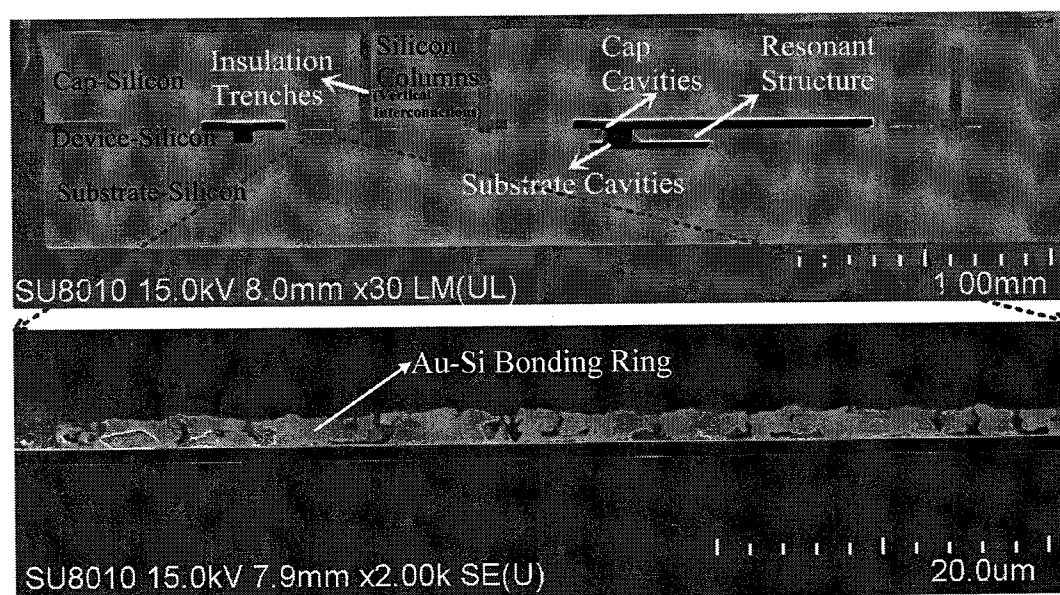


图 5.9 MEMS 器件三维封装结构划片后芯片单元的剖面 SEM 照片。

Figure 5.9 The cross-sectional SEM images for the one 3D packaged MEMS device as the individual chip after dicing.

图 5.9 展示了器件衬底采用硅片的器件封装芯片单元通过研磨抛光的剖面 SEM 照片, 其清晰展示了三维封装结构的硅柱互连结构及相应的绝缘沟槽、器件谐振结构和盖板与衬底空腔等关键的组件, 其中键合环处的金硅键合界面是由金和硅的再结晶产物构成的, 同时提供金硅共晶反应的硅来源的盖板硅一侧较为均匀的界面起伏显示了金硅共晶反应的均匀性。

图 5.10 (a) 和 (b) 展示了器件衬底采用玻璃片的器件封装芯片单元在反射模式和透射模式下的 SAM 照片。在图 5.10 (a) 的反射模式下, SAM 照片反映了器件硅与盖板硅之间金硅键合层的声学显微形貌, 键合环区域以及硅柱互连结构的键合电极区域均呈现出相对均匀的黑色图样, 但其中可以分辨出存在浅灰色点, 这些浅灰色点显示了键合层孔洞的存在。在图 5.10 (b) 的透射模式下, SAM 照片中键合环区域以及硅柱互连结构的键合电极区域均呈现出均匀的亮白色, 没有暗色图样的存在。一般需要对比 SAM 的反射和透射照片来综合判断界面的缺陷, 不过尽管反射模式的 SAM 照片显示了键合层孔洞的存在, 但孔洞分布仅零星存在, 这说明了所实现的金硅键合界面具有一定的气密封装能力。

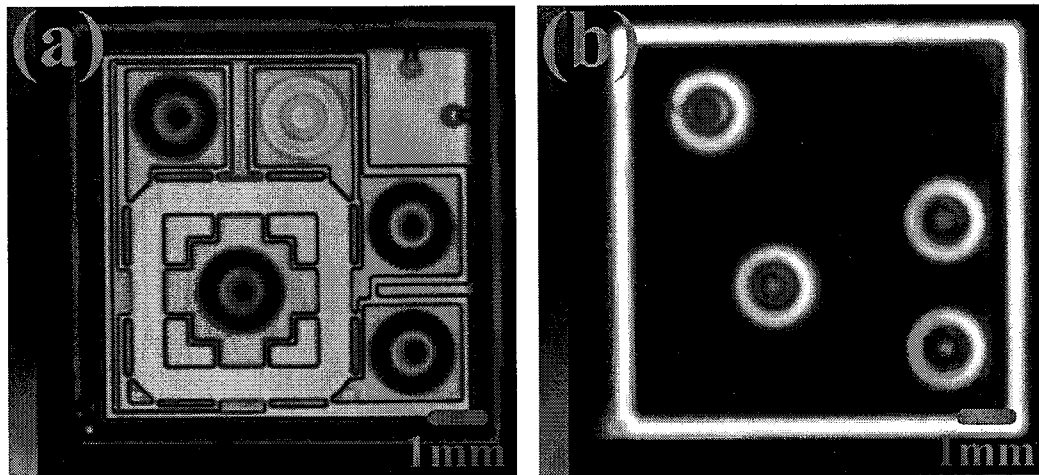


图 5.10 MEMS 器件三维封装芯片单元的 SAM 照片, (a) 反射模式, (b) 透射模式。

Figure 5.10 The SAM images for the one 3D packaged MEMS device as the individual chip.

(a) The reflection mode and (b) the transmission mode for SAM observations.

5.4 器件封装后的器件测试与性能表征

5.4.1 器件封装后谐振特性测试及寄生效应分析

谐振特性测试是获取 MEMS 谐振器主要性能指标如谐振频率和品质因数 Q 的途径, 其中本文主要依据谐振器的 Q 值与气压 P 之间的密切关系对器件封装的气密性和真空度以及真空保持的长期稳定性进行表征, 因此对器件谐振特性的测试 (特别是 Q 值的准确获取) 十分重要。对晶圆划片后形成的独立封装器

件芯片单元进行贴片和打线工艺，以实现器件与测试电路之间的信号接口。图 5.11 显示了器件封装的芯片单元通过打线工艺（Wire bonding）将硅柱互连结构的信号端口连接至 PCB 测试电路板的载板引脚的 SEM 照片，图中清晰展示了硅柱互连结构和相应的绝缘沟槽。

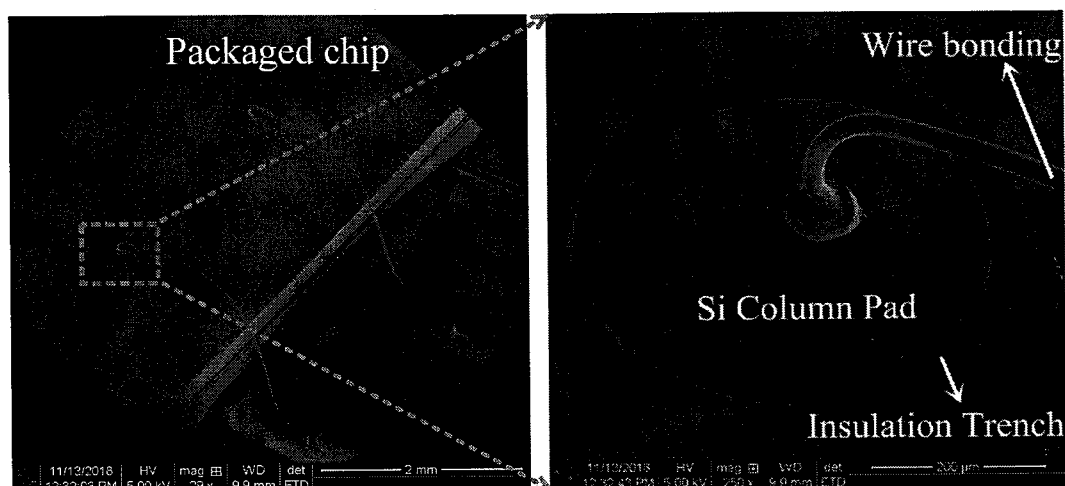


图 5.11 MEMS 器件三维封装芯片单元通过引线键合工艺建立与 PCB 测试电路板信号连接的 SEM 照片。

Figure 5.11 The SEM images for the one 3D packaged MEMS chip linked with the PCB interface circuit board by the Wire Bonding process.

在器件谐振特性测试中，通常采用电容驱动-电容检测的方式来获得谐振器的幅频特性与相频特性。然而由于电容检测方式会受到器件结构寄生电容的影响，使得器件的谐振信号将会淹没于寄生电容信号中，这被称为寄生电容的馈通效应^[134-135]，进而导致所测试得到的谐振器的谐振频率和品质因数存在偏差。如果寄生电容过大甚至将导致完全无法获得这些关键的谐振器参数。因此为从器件结构上抑制寄生电容所致的馈通效应，需对封装结构及器件结构的寄生电容和馈通回路进行分析。

5.4.1.1 三维封装结构的寄生电容网络及等效电路模型

图 5.12 (a) 和 (b) 分别展示了所提出的针对于 MEMS 谐振器衬底采用玻璃和采用硅情况下的三维封装结构中所存在的寄生电容网络。

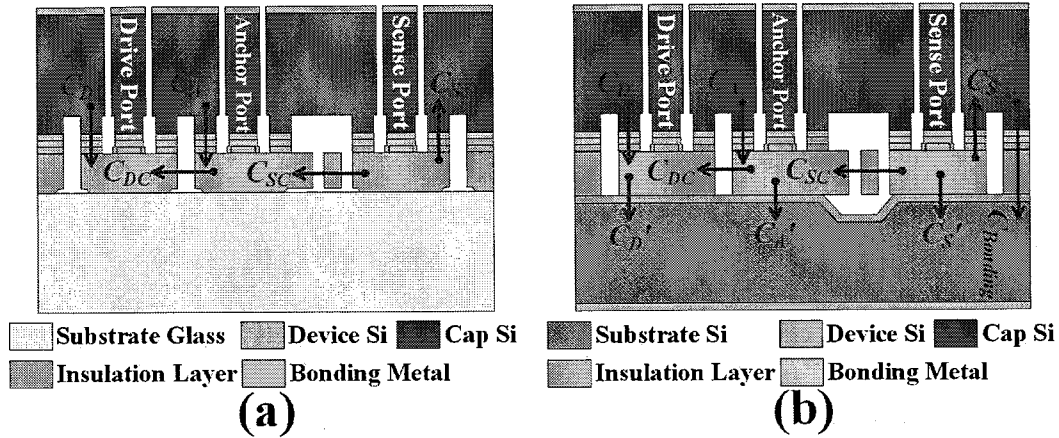


图 5.12 MEMS 谐振器在三维封装后在器件驱动端与检测端之间的寄生电容网络，(a) MEMS 谐振器的衬底采用玻璃片，以及 (b) MEMS 谐振器的衬底采用硅片。

Figure 5.12 The parasitic capacitance network between the driving and sensing ports for the 3D packaged MEMS device as the individual chip. Adopting the substrate wafer with (a) the Glass, and (b) the Si for the MEMS resonators.

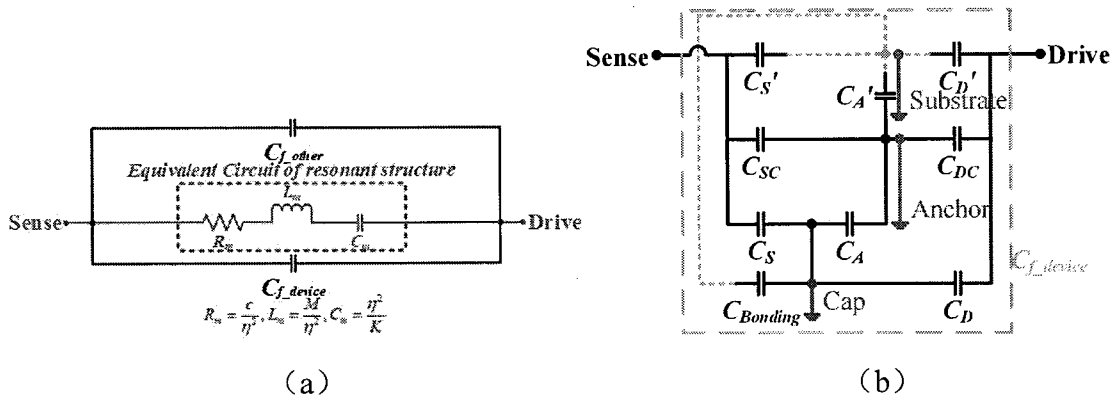


图 5.13 (a) MEMS 谐振器三维封装后在器件驱动端与检测端之间构成的等效电路模型，(b) 器件驱动端与检测端之间存在由器件本身引入的寄生电容网络模型。

Figure 5.13 (a) The equivalent circuit model between the driving and sensing ports for the 3D packaged MEMS resonator as the individual chip. (b) The parasitic capacitance network model resulted from the 3D packaged MEMS device between the driving and sensing ports.

实际上，MEMS 谐振器本身可等效为驱动与检测端之间形成的 R_m - L_m - C_m 串联谐振电路，因此如图 5.13 (a) 所示，对于 MEMS 谐振器三维封装后在器件驱动端与检测端之间的寄生电容构成了与 R_m - L_m - C_m 串联谐振电路并联的关系，

显然寄生电容将导致驱动端的交流驱动信号通过寄生电容的馈通效应影响检测端所接收的 $R_m-L_m-C_m$ 串联谐振信号。而寄生电容 C_f 的来源可分为两部分，一部分是由器件本身的结构导致的寄生电容 C_{f_device} ，另一部分则是其他杂散的寄生电容 C_{f_other} 。对于衬底为硅片的器件三维封装结构，其寄生电容网络模型如图 5.13 (b) 所示，而对于硅玻璃键合的器件的寄生电容网络可以看做是硅硅键合的寄生电容网络去除了经过衬底的寄生电容（即图 5.13 (b) 中去除绿色虚线部分）。

对于图 5.13 (a) 中的器件及寄生电容等效电路模型，其电路导纳或传递函数表达式为，

$$Y(\omega) = \frac{1}{R_m + j(\omega L_m - \frac{1}{\omega C_m})} + j\omega C_f = \frac{j\omega_0 C_m}{\left(\frac{\omega_0}{\omega} - \frac{\omega}{\omega_0}\right) + j\frac{1}{Q}} + j\omega C_f \quad (5.6)$$

上式中， R_m 、 L_m 、 C_m 分别为谐振结构等效电路中的等效电阻、电感和电容，而 C_f 为寄生电容， ω 为角频率。

当导纳表达式中角频率 ω 等于谐振器谐振频率 ω_0 时，即可由电路导纳表达式定义出 α 参数来评估寄生电容大小对谐振器谐振特性测试的影响程度^[134]，

$$Y(\omega_0) = \omega_0 C_m Q + j\omega_0 C_f \Rightarrow \alpha = \frac{C_f}{C_m Q} \quad (5.7)$$

当 $\alpha \ll 1$ 时，此时的寄生电容非常小，对谐振器谐振特性测试的影响很小，因此此种情况下可由幅频特性曲线获知较为准确的谐振器谐振频率和 Q 值。而当 $\alpha > 1$ 时，此时的寄生电容较大，对谐振器的谐振特性测试影响较大，难以直接从所测试得到的幅频特性中获得准确的谐振频率和 Q 值，当寄生电容很大时甚至无法测到 Q 值。对于本论文所采用的谐振器，其 $C_m \cdot Q$ 约为 1 pF，这意味着对于所设计的器件封装结构的寄生电容应当远小于 1 pF 才能保证器件谐振特性测试不受寄生电容的影响。

从图 5.13 (b) 中不难看到，由于硅的半导体属性，对于衬底采用硅片的器件三维封装结构，其寄生电容存在于三个层面：盖板硅、器件硅和衬底硅。相比而言，对于衬底采用玻璃片的器件三维封装结构，其寄生电容存在于两个层面：盖板硅、器件硅。可见，衬底采用玻璃片是降低寄生电容的有效途径，这也就是体硅微机械工艺中衬底采用玻璃片的原因^[133]。但是，在 MEMS 全硅制造的趋势

下，如何降低衬底硅和盖板硅引入的寄生电容就成为了本研究必须解决的问题。

实际上，分析器件封装结构的寄生电容网络，与盖板硅、器件硅和衬底硅分别相关的寄生电容总是相应的交汇于盖板硅、器件硅和衬底硅三个节点，如果对该三个节点都采取接地屏蔽的处理，那么所建立的寄生电容网络将会不再存在。在谐振特性测试中，电容式的静电驱动方式使得器件硅的可动结构接直流偏置，这使得器件硅节点对应的寄生电容网络得以消除^[136]，因此只需考虑盖板硅和衬底硅的接地屏蔽处理。而考虑到为实现良好的接地，则应该形成金属与硅之间的欧姆接触，因此本论文中盖板硅和衬底硅均采用了低阻硅片（电阻率约 $0.015 \Omega \cdot \text{cm}$ ），并通过衬底溅射金属及热退火工艺实现盖板硅和衬底硅的金属/半导体欧姆接触。

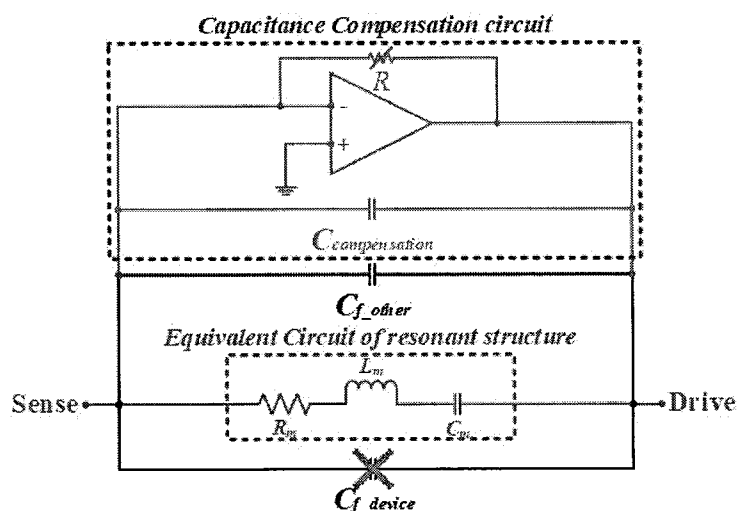


图 5.14 采用电路级电容补偿的方法消除三维封装器件谐振特性测试中所存在的除开器件引入的其他杂散寄生电容示意图。

Figure 5.14 The schematic of the circuit-level capacitance compensation method to eliminate the another spuriously parasitic capacitance except the parasitic capacitance caused by the packaged device itself in resonance characteristic tests.

不过在寄生电容模型中，还存在器件结构以外的其他寄生电容网络，比如器件打线及测试电路 PCB 板中存在的寄生电容网络等。因此，尽管从器件封装结构各层硅接地屏蔽实现了器件封装结构寄生电容的消除，其他杂散寄生电容的存在仍会使得器件的谐振信号受到寄生电容信号的影响。为了得到纯净的谐振信

号,可以采用图 5.14 的电路级电容补偿的方法来消除所存在的寄生电容^[137]。如图 5.14 所示,其原理是在检测端节点处形成与寄生电容信号反相的同频率负电容信号,使得在检测端的节点处由纯电容引入的信号矢量和为零,最终消除寄生电容信号的影响而得到作为谐振器等效电路的纯净 $R_m-L_m-C_m$ 串联谐振信号。具体的,一个由滑动变阻器控制放大倍数的基本运放输出端串联一个电容即构成了该电容补偿电路,通过调节运放的放大倍数来实时观察器件基于网络分析仪测试得到的幅频特性曲线的变化,最终可以得到纯净的谐振信号^[137]。

5.4.1.2 三维封装后的谐振特性测试及寄生电容水平分析

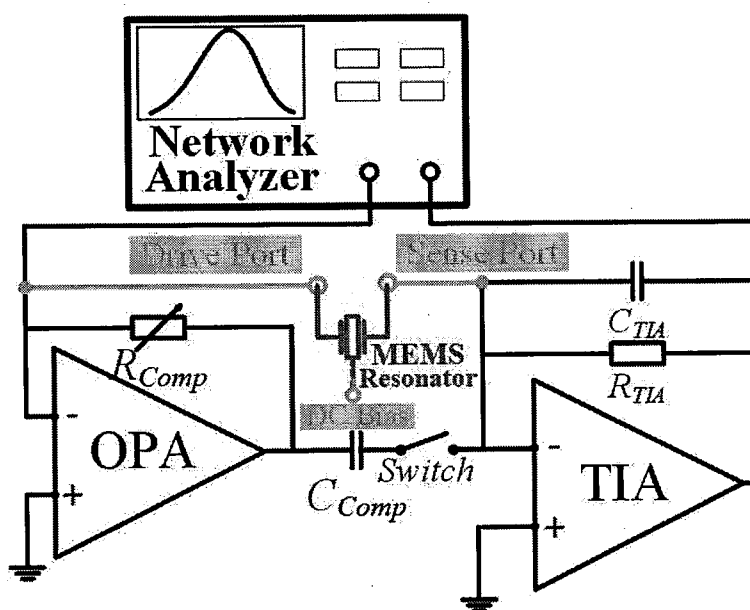


图 5.15 含有寄生电容补偿电路的谐振器谐振特性测试电路示意图。

Figure 5.15 The diagram of the resonance characteristic test circuit containing the capacitance compensation circuit.

下面将从实验测试的结果对器件封装结构的寄生电容效应加以说明。在谐振特性测试中,谐振器的驱动电极和检测电极通过接口电路接入网络分析仪,且可动结构接直流偏置电压(如 25 V,此时相当于器件封装结构的器件层接地^[136])。图 5.15 显示了带有寄生电容补偿电路的谐振器谐振特性测试电路图,当开关 *Switch* 断开时是常用的谐振器测试方案,当开关 *Switch* 闭合时则接入了由 OPA 运放和补偿电容构成的寄生电容补偿电路,因此观察网分仪中的幅频特性曲线并

通过调节 OPA 运放的放大倍数使得幅频特性呈现纯净的 $R_m-L_m-C_m$ 串联谐振峰。

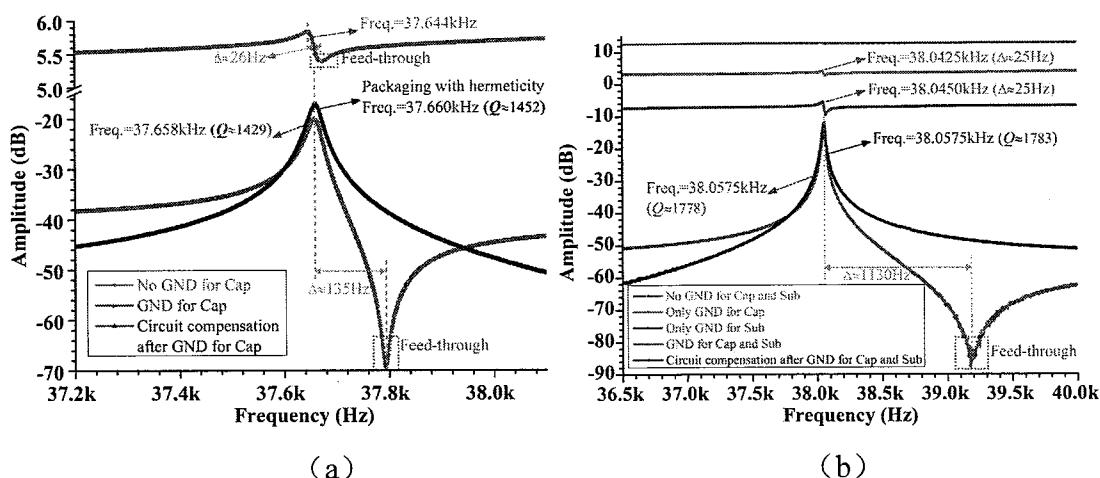


图 5.16 在不同接地情况下三维封装的 MEMS 谐振器所测试得到的幅频特性曲线, (a)

MEMS 谐振器的衬底采用玻璃片, 以及 (b) MEMS 谐振器的衬底采用硅片。

Figure 5.16 The measured amplitude-frequency characteristics for the 3D packaged MEMS resonators with different ground connection cases. Adopting the substrate wafer with (a) the Glass, and (b) the Si for the MEMS resonators.

图 5.16 (a) 和 (b) 分别展示了器件封装后的衬底采用玻璃片情况与衬底采用硅片情况在不同接地情况下的幅频特性。从图 5.16 中可以看到, 未经电容补偿电路所测试得到的幅频响应呈现出器件等效 $R_m-L_m-C_m$ 电路与寄生电容 C_f 并联的特性, 也即此时的幅频特性存在一对并联谐振峰 (器件的谐振峰与寄生电容馈通引入的反谐振峰)。当盖板硅和衬底硅不接地屏蔽时, 器件谐振信号完全淹没于寄生电容信号中, 并且无法获取谐振器的-3dB 带宽而得不到谐振器的品质因数 Q , 同时器件谐振峰频率与反谐振峰频率差约为几十个赫兹 (衬底为硅时频率差 25 Hz, 衬底为玻璃时频率差 26 Hz), 这说明谐振峰受寄生电容信号影响较为明显。当盖板硅和衬底硅接地屏蔽后, 器件谐振峰频率与反谐振峰频率差值得到提高 (衬底为硅时频率差 1130 Hz, 衬底为玻璃时频率差 135 Hz), 这使得器件谐振峰的分辨愈加清晰, 从中已经能通过-3dB 带宽得到谐振器 Q 值, 可见此时寄生电容的馈通效应已经很小了。进一步, 采用电容补偿电路对在器件封装结构各层接地后的幅频特性进行其他杂散寄生电容的消除, 即可得到图 5.16 中纯净的谐振器幅频特性曲线, 从中可以获得谐振器准确的谐振频率和 Q 值。不

难发现由器件封装结构各层接地所获取的 Q 值（衬底为硅时 Q 为 1778，衬底为玻璃时 Q 为 1429）与电容补偿后获取的 Q 值（衬底为硅时 Q 为 1783，衬底为玻璃时 Q 为 1452）是十分接近的，这意味着器件封装结构各层接地屏蔽的处理在消除寄生电容的馈通效应方面发挥着重要的作用。

实际上，在器件谐振特性测试中，如将器件结构的偏置电压设置为 0 V，那么此时谐振结构将不工作，也即在图 5.13 (a) 中的等效电路中只剩下寄生电容 C_f 的支路，此时很容易通过测试电路中跨阻放大器 TIA 的阻抗传递函数对寄生电容的大小进行求解。根据测试电路，若图 5.15 中的开关 *Switch* 断开且不接入跨阻放大器 TIA 的电容 C_{TIA} ，则在可动结构接地时，对于跨阻放大器信号输出 V_o 与信号输入 V_i 的比值应该为运放的放大倍数 A_V ，则有，

$$A_V = \frac{V_o}{V_i} = \frac{R_{TIA}}{\left[\frac{1}{j\omega C_f} \right]} = \omega R_{TIA} C_f = 2\pi f \cdot R_{TIA} C_f \quad (5.8)$$

上式 (5.8) 中 R_{TIA} 为跨阻放大器的放大电阻， ω 为角频率 (rad)， f 为频率 (Hz)。

而放大倍数 A_V 转化为增益 G_V (dB) 的表达式为，

$$G_V = 20 \lg A_V = 20 \lg \left(\frac{V_o}{V_i} \right) \quad (5.9)$$

则寄生电容为，

$$C_f = \frac{10^{\frac{G_V}{20}}}{2\pi f R_{TIA}} \quad (5.10)$$

通过上式 (5.10) 即可测得在盖板硅和衬底硅接地与否情况下寄生电容 C_f 值。实验中用同一块 PCB 板对衬底为玻璃和衬底为硅的封装器件分别测试了 3 个器件。表 5.2 和表 5.3 分别汇总了衬底为玻璃和衬底为硅的封装器件在器件各层接地情况下的寄生电容值。对于衬底为玻璃的封装器件，其寄生电容从不接地时的约 8 pF 下降到各层全接地时的 40 fF 左右。同样的，对于衬底为硅的封装器件，其寄生电容从不接地时的约 18 pF 下降到各层全接地时的 8 fF 左右。可见对器件各层的接地屏蔽使得器件结构中存在的寄生电容网络得以消除，仅留下由打线、PCB 板等引入的杂散寄生电容（在 fF 量级）。

表 5.2 衬底采用玻璃片的 MEMS 谐振器三维封装后在不同接地情况下的寄生电容水平。

Table 5.2 The measured parasitic capacitance levels for the 3D packaged MEMS resonators with substrate Glass at different ground connection cases.

器件 Q 值及谐振频率	测试状态	C_f (pF)
$Q=239$, $Freq.=37.62$ kHz	盖板不接地	6.7489
	盖板接地	0.0384
$Q=1430$, $Freq.=37.60$ kHz	盖板不接地	8.6227
	盖板接地	0.0451
$Q=1452$, $Freq.=37.66$ kHz	盖板不接地	8.5770
	盖板接地	0.0432

表 5.3 衬底采用硅片的 MEMS 谐振器三维封装后在不同接地情况下的寄生电容水平。

Table 5.3 The measured parasitic capacitance levels for the 3D packaged MEMS resonators with substrate Si at different ground connection cases.

器件 Q 值及谐振频率	测试状态	C_f (pF)
$Q=389$, $Freq.=38.06$ kHz	不接地	17.1128
	仅盖板接地	5.7966
	仅衬底接地	1.7162
	盖板和衬底都接地	0.0070
$Q=382$, $Freq.=38.05$ kHz	不接地	18.1874
	仅盖板接地	6.0301
	仅衬底接地	1.8413
	盖板和衬底都接地	0.0076
$Q=1783$, $Freq.=38.06$ kHz	不接地	18.0664
	仅盖板接地	6.2532
	仅衬底接地	1.8408
	盖板和衬底都接地	0.0072

根据前面的讨论及式 (5.7) 中的 α 参数, 对于本论文所采用的谐振器在器件各层接地屏蔽后寄生电容 C_f 值已经远小于 $C_m \cdot Q$ 值 (约 1 pF), 因此该情况下可得到与纯净的 $R_m-L_m-C_m$ 串联电路十分接近的谐振特性, 而这一点也为 MEMS 谐振器在实用化中所需的闭环驱动 (如满足自激振荡控制所需的相位、幅值条件) 提供了重要的基础。

更为重要的是对于衬底为硅的器件封装结构, 当衬底硅采用低阻硅片并接地屏蔽, 其寄生电容 (约 8 fF) 与衬底采用玻璃片的寄生电容 (约 40 fF) 在同一水平, 甚至比衬底采用玻璃片的情况还要低。这打破了 MEMS 制造工艺中为降低寄生电容而采用衬底玻璃片的局限性, 增强了全硅 MEMS 制造和封装能力。

5.4.2 器件封装的晶圆单片合格率统计

对于 MEMS 谐振器的三维封装结构单片合格率的统计主要关注两个指标, 一是器件各电极对应的硅柱互连结构与盖板之间的绝缘性, 二是封装的气密性。

硅柱互连结构与盖板之间的绝缘性是器件正常工作的基础, 为此可在键合晶圆划片和打线前先采用探针测试硅柱互连结构与盖板之间的绝缘情况, 本节以在 ± 25 V 下绝缘电阻能达到 Gohm 量级为判据对晶圆整体的器件硅柱互连结构电学绝缘性进行评估和统计, 其中对于每一个器件单元若有一个硅柱互连结构不满足电绝缘性要求则该器件被评判为互连结构的失效。

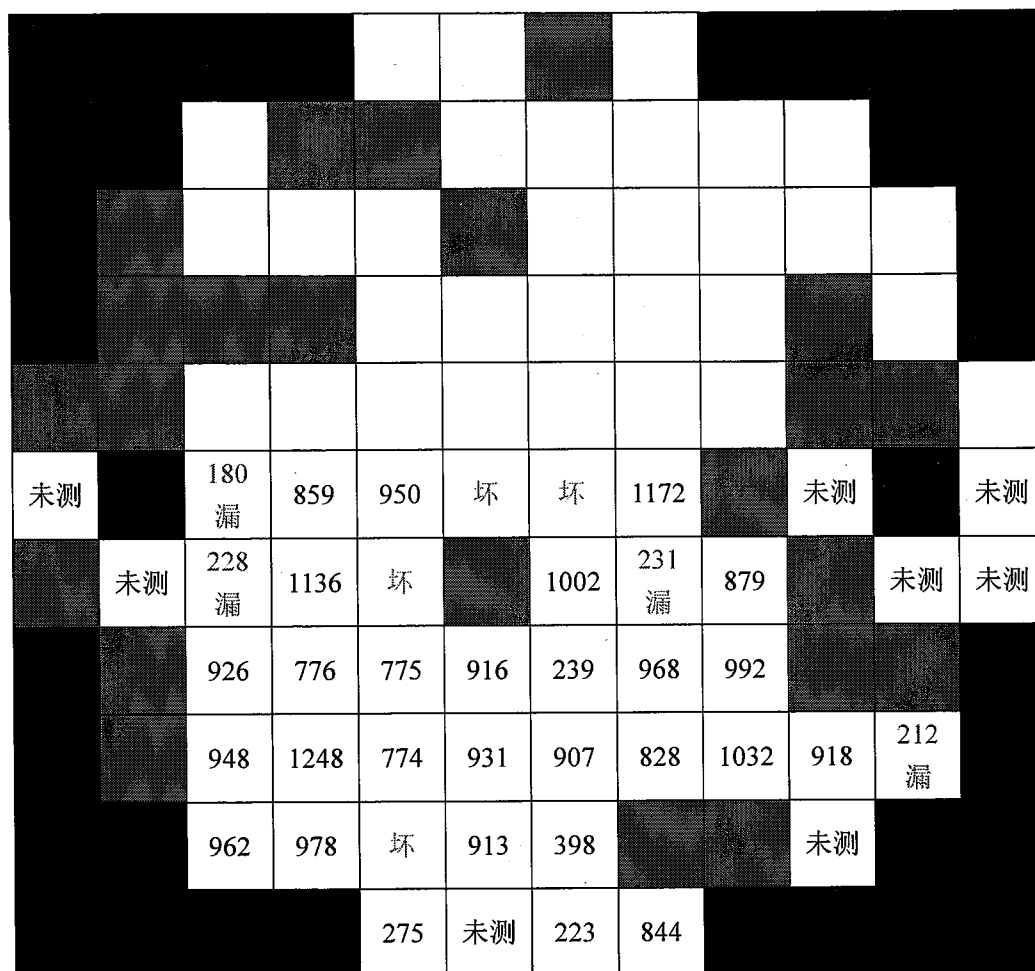
而封装的气密性也是器件封装结构有效性评判的重要指标, 由于谐振器的幅频响应 (如谐振器 Q 值) 受到空气阻尼的影响, 同时参考 He 检漏试验在高压下充气以评断器件的气密性, 因此可反向设计, 将封装后的器件置于负压环境, 如器件谐振特性 (或 Q 值) 随施加的负压变化而变化, 那么该器件封装结构就存在泄漏, 并判定该情况下器件封装为气密失效。以此为依据, 可对晶圆不同位置的器件封装结构进行封装的气密性验证。

图 5.17、图 5.18 和图 5.19 分别展示了在表 5.1 中三种金硅键合工艺下的封装晶圆单片合格率统计图, 其中需要说明的是本实验在封装气密性评估方面仅测试了晶圆的下半部分。现对所实现的三维封装结构中硅柱互连结构的电绝缘性及封装气密性单片合格率总结如下:

图 5.17 MEMS 器件衬底采用硅片的封装单片合格率统计（用表 5.1 的 No.1 键合工艺）。

(1) 器件结构衬底采用硅片的封装晶圆（采用表 5.1 的 No.1 键合工艺）

134



注：图中黑色块为非器件区域，蓝色块为硅柱互连结构绝缘失效的器件，而数值表示封装器件 Q 值，“坏”表示器件测试中无谐振信号，“漏”表示器件封装结构存在泄漏。

图 5.18 MEMS 器件衬底采用玻璃片的封装单片合格率统计(用表 5.1 的 No.2 键合工艺)。

Figure 5.18 The wafer qualification rate statistics for the 3D wafer-level packaged MEMS devices with substrate Glass wafer (Adopting the No.2 bonding recipe in the Table 5.1).

(2) 器件结构衬底采用玻璃片的封装晶圆 (采用表 5.1 的 No.2 键合工艺)

如图 5.18 所示, 硅柱互连结构电绝缘性的单片合格率为 $75/98 \approx 76.5\%$, 谐振特性测试随机选取了 36 个器件, 通过测试发现有 4 个器件损坏(无谐振信号), 另有 4 个器件封装无气密性, 剩余器件均有一定的真空度(器件 Q 值在 223~1248 之间), 封装气密性单片合格率为 $28/(36-4) \approx 87.5\%$ 。

(3) 器件结构衬底采用玻璃片的封装晶圆 (采用表 5.1 的 No.3 键合工艺)

如图 5.19 所示, 硅柱互连结构电绝缘性的单片合格率为 $46/98 \approx 46.9\%$, 谐振特性测试随机选取了 28 个器件, 通过测试发现有 2 个器件损坏(无谐振信号),

封装结构的气密性单片合格率却得到了一定的提升,这是因为除气工艺在略低于金硅共晶温度维持一定时间而排除了晶圆空腔内残留的气氛并使得晶圆各处的温度分布更加均匀而提升了键合质量。

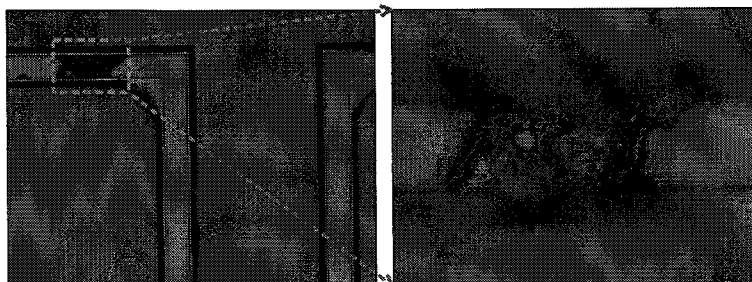


图 5.20 从 MEMS 器件三维封装结构的玻璃衬底一侧观察到的金硅合金外溢现象的光学显微镜照片。

Figure 5.20 The optical photographs of the Au-Si alloy squeezing out observed from the substrate Glass side for the 3D packaged MEMS devices.

5.4.3 器件封装的真空度

对于 MEMS 谐振器的真空封装,由于 MEMS 谐振器的品质因数 Q 与空气阻尼密切相关,因此常根据谐振器 Q 值与谐振器所处环境气压 P 之间的关系曲线(下述简称为 Q - P 曲线)来评估封装结构的真空度。通常,是先测试器件未进行盖板封装情况下的 Q - P 曲线,由该 Q - P 曲线基于器件在盖板封装后的 Q 值反推出器件封装的气压值。然而器件封装后由于引入了盖板导致的空气阻尼因素,因此依据器件未进行盖板封装的 Q - P 曲线将导致所估测封装气压的不准确性。为此,本工作基于上一节中晶圆封装气密性结果,先测试了器件在盖板封装后不具有封装气密性情况下的 Q - P 曲线,并依据此 Q - P 曲线对其它具有封装气密性的器件进行封装真空度的估计。

图 5.21 显示了封装存在泄漏和具有气密性的器件的幅频特性比较,图 5.21 (a) 和 (b) 分别为器件衬底为硅片和玻璃片的情况。从图中可见,采用目前设计的三维圆片级封装结构,已经可以实现 MEMS 谐振器的真空封装(Q 值提升最高约 6 倍)。

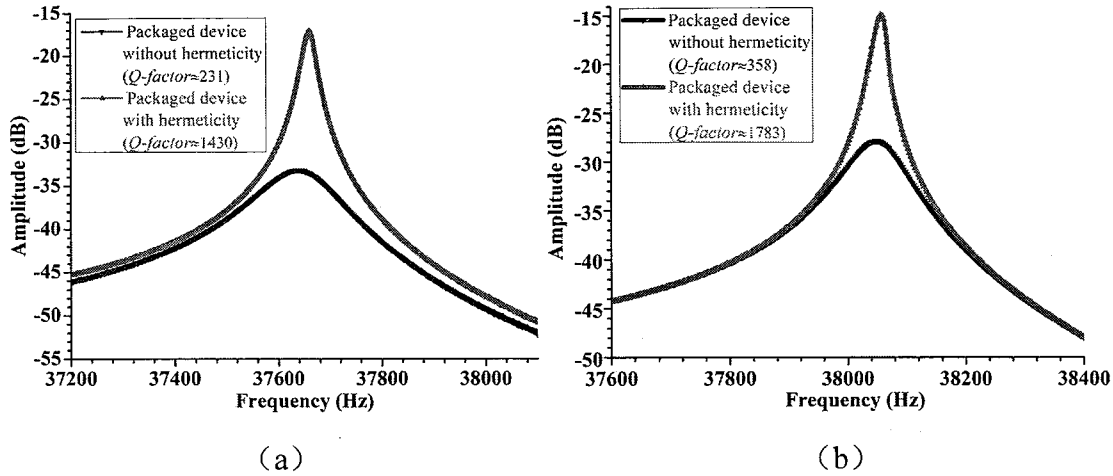


图 5.21 封装具有气密性和不具有气密性的 MEMS 谐振器三维封装后所测试得到的幅频特性曲线，(a) MEMS 谐振器衬底采用玻璃片，以及 (b) MEMS 谐振器衬底采用硅片。

Figure 5.21 The measured amplitude-frequency characteristics for the 3D packaged MEMS resonators with hermetic packaging and not hermetic packaging. Adopting the substrate wafer with (a) the Glass, and (b) the Si for the MEMS resonators.

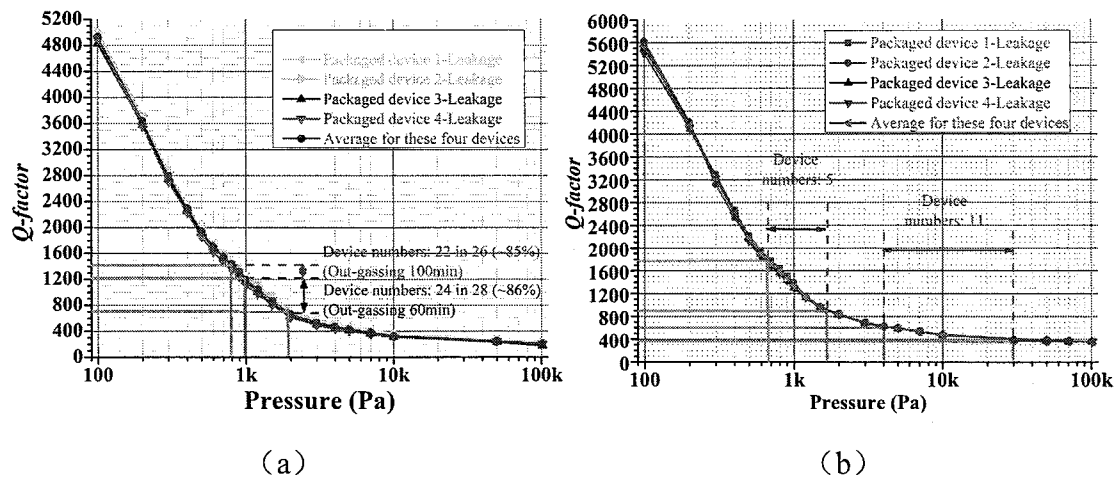


图 5.22 封装不具有气密性（即存在封装泄漏）的 MEMS 谐振器三维封装后所测试得到的 Q - P 曲线，(a) MEMS 谐振器衬底采用玻璃片，以及 (b) MEMS 谐振器衬底采用硅片。

Figure 5.22 The measured Q - P curves for the 3D packaged MEMS resonators without hermetic packaging (i.e. the leakage for packaging). Adopting the substrate wafer with (a) the Glass, and (b) the Si for the MEMS resonators.

图 5.22 (a) 和 (b) 分别为封装器件衬底为硅片和玻璃片的情况下存在封

装泄漏的器件的 Q - P 曲线, 实验中各选取了 4 个封装泄漏的器件进行 Q - P 曲线测试。对于封装器件衬底为硅片的情况 (采用表 5.1 的 No.1 键合工艺), 其封装真空度分布较分散, 大部分器件封装对应的真空度在 10 kPa 左右, 而少部分器件封装对应的真空度在 1 kPa 左右。而对于封装器件衬底为玻璃片的情况 (采用表 5.1 中 No.2 和 No.3 的键合工艺), 其封装真空度分布相对集中, 绝大部分器件封装对应的真空度在 1 kPa 左右, 且发现除气工艺 (Out-gassing) 时间对器件封装真空度的分布有一定影响, 也即除气工艺时间的增加有利于器件封装真空度分布的均一性, 这一点将在后续分析中加以总结。

5.4.4 器件封装真空度保持的长期稳定性

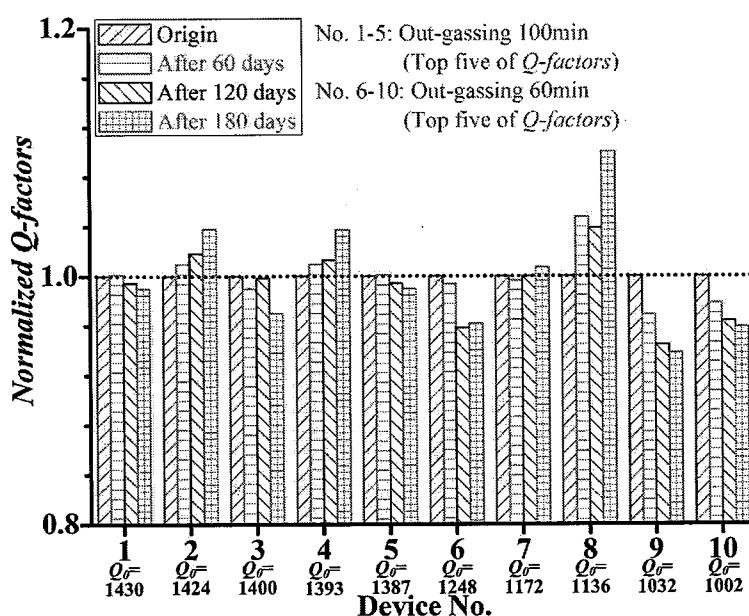


图 5.23 MEMS 谐振器三维封装衬底采用玻璃片的气密性封装情况下器件归一化 Q 值随时间变化的稳定性。

Figure 5.23 The normalized Q values stability varied with time for the 3D packaged MEMS resonators with substrate Glasses after hermetic packaging.

对封装真空度维持的长期稳定性测试主要是评估封装结构是否存在缓慢泄漏的现象, 这是器件封装气密可靠性评价的重要指标。本节通过器件的 Q 值随时间的变化来反映器件封装的长期稳定性, 考虑到器件高 Q 值对封装泄漏有更高的敏感性, 因此实验中在两种除气工艺 (Out-gassing 60 min 和 100 min) 的封

装器件中按器件封装后 Q 值由大到小排序各选取前五的器件进行了为期 6 个月的 Q 值监测，即每两个月对这些器件进行谐振特性测试获得器件 Q 值。图 5.23 展示了这些器件封装后的归一化 Q 值（即不同时间测得的 Q 值与最初测得的 Q 值 Q_0 的比值）随时间变化的稳定性，可见虽然封装器件 Q 值有一定波动，仅有少数 2 个器件呈现出 Q 值连续下降的趋势且下降幅度很小，但是总体来说器件封装结构均没有明显的泄漏现象，这说明所提出的基于硅柱互连的三维封装结构具有至少半年的气密保持能力。

5.5 影响器件 Q 值的封装因素分析

5.5.1 金硅键合封装工艺的除气时间对器件 Q 值的影响

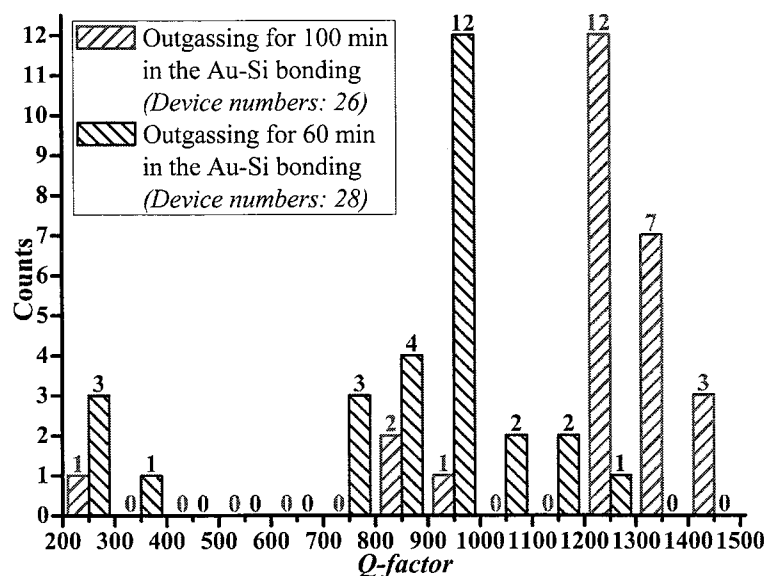


图 5.24 MEMS 器件衬底采用玻璃片的气密性封装情况下器件 Q 值的频数统计结果(采用表 5.1 的 No.2 和 No.3 键合工艺)。

Figure 5.24 The frequency statistics on the measured Q values for the 3D packaged MEMS resonators with substrate Glasses after hermetic packaging (Adopting the No.2 and No.3 bonding recipe in the Table 5.1).

除气工艺在金硅键合封装工艺中具有重要的作用，它是指在两待键合晶圆接触之前通过一定时间的高温和真空状态维持使得晶圆表面附着的水汽及其他气

氛能尽可能除去。本节将针对封装器件衬底为玻璃片的情况（具有相同的器件与封装结构，仅除气工艺时间不同），进行不同除气工艺条件下的 MEMS 封装器件 Q 值频数统计，如图 5.24 所示，可以看到，随着除气工艺时间的增加，器件 Q 值的分布将向更高 Q 值的方向平移，也就是说增加除气工艺时间将有利于封装真空度在晶圆层面的整体提升。实际上在前述 5.4.2 节中对比表 5.1 中 No.1~No.3 金硅键合工艺对应的除气工艺温度和持续时间，除气工艺温度和时间增加确实有利于封装气密性单片合格率和封装真空度的提升，并能有效促进晶圆封装真空度分布的集中性或一致性。

5.5.2 封装空腔深度设计对器件 Q 值的影响

MEMS 谐振器封装结构中空腔深度通常是封装结构设计的主要因素，这是因为当器件未进行封装或者仅实现了较低真空度的真空或气密封装时，作为提供给 MEMS 可动结构以运动空间的空腔结构由于仍然有气体分子的存在，使得可动结构依然受到空气阻尼的影响，从而直接影响所封装器件的 Q 值。可见对封装结构的空腔所引入的阻尼特性进行分析将会为空腔深度的优化设计提供参考。

5.5.2.1 封装结构的阻尼特性分析与仿真

对于本章所采用的 MEMS 谐振器，其工作在面内收缩-扩张运动 SE 模态，且可动梁结构采用了梳齿的静电驱动和静电检测的方式，因此影响该 MEMS 谐振器封装后的 Q 值的空气阻尼因素主要包含两部分：一是由梳齿之间的滑膜阻尼（阻尼系数为 c_{air_comb} ），二是可动梁结构上下表面与盖板空腔及衬底空腔表面形成的滑膜阻尼（阻尼系数为 c_{air_cavity} ），根据式 (5.3)，则整个系统的 Q 值（ Q_{total} ）及等效空气阻尼系数（ c_{total} ）则可由下式得到，

$$\frac{1}{Q_{total}} = \frac{1}{Q_{air_comb}} + \frac{1}{Q_{air_cavity}} \Rightarrow c_{total} = c_{air_comb} + c_{air_cavity} \quad (5.11)$$

由上式可知 MEMS 谐振器整体的空气阻尼系数是各部分阻尼来源的线性叠加，而当器件结构设计确定后，由梳齿之间的滑膜阻尼也将固定，因此本节主要考虑可动梁结构上下表面与盖板空腔及衬底空腔表面形成的滑膜阻尼。实际上，通过对 Navier-Stokes 方程的一维简化^[138]，并考虑可动梁结构上下具有同一深度

空腔,则可动梁结构上下表面与盖板空腔及衬底空腔表面形成的滑膜阻尼系数可表示为,

$$c_{air_cavity} = \mu_{air} (A_{top} + A_{bottom}) \beta \times \frac{\sin 2\beta h_c + \sinh 2\beta h_c}{\cosh 2\beta h_c - \cos 2\beta h_c} \quad (5.12)$$

式 (5.12) 中, μ_{air} 是空气动力粘度, A_{top} 和 A_{bottom} 是分别是可动结构上下表面的面积, h_c 是可动结构距离上下空腔壁的间距 (也即空腔深度), β 定义为,

$$\beta = \sqrt{\frac{\omega_0}{2\nu_{air}}} \quad (5.13)$$

式 (5.13) 中, ω_0 是可动结构的谐振频率, ν_{air} 是空气运动粘度。

由式 (5.12) 可知, 当谐振器结构设计确定, 则由空腔引起的滑膜阻尼主要受空腔深度的影响。而如下式 (5.14) 所示, 由空腔深度引起的空气阻尼产生的能量耗散对应的 Q 值 (Q_{air_cavity}) 正比于 W_{air_cavity} 函数, 通过绘制该函数曲线即可分析空腔深度的影响。

$$Q_{air_cavity} = \frac{\sqrt{KM}}{c_{air_cavity}} \Rightarrow Q_{air_cavity} \propto W_{air_cavity} (h_c) = \frac{\cosh 2\beta h_c - \cos 2\beta h_c}{\sin 2\beta h_c + \sinh 2\beta h_c} \quad (5.14)$$

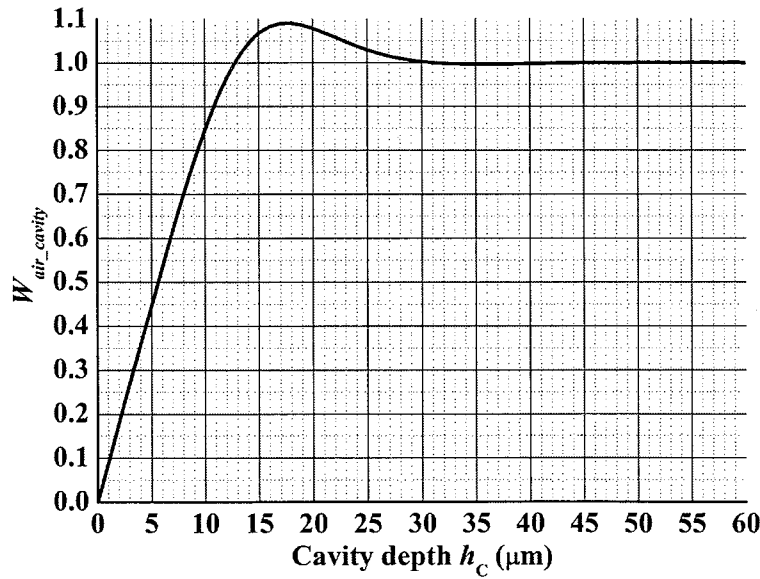


图 5.25 W_{air_cavity} 函数随 MEMS 谐振器三维封装结构空腔深度变化的曲线。

Figure 5.25 The curve of the function W_{air_cavity} varied with the cavity depth for the 3D packaged MEMS resonators.

因此, 将本章所采用的谐振器的谐振频率 ($f_0 \sim 37.6$ kHz) 代入式 (5.13) 并依据式 (5.14), 绘制出图 W_{air_cavity} 函数曲线。从图 5.25 中可以看到, 在空腔深度低于 $15\ \mu\text{m}$ 时, W_{air_cavity} 值随着空腔深度增加显著增加, 而当空腔深度高于 $30\ \mu\text{m}$ 后, W_{air_cavity} 值将不再随着空腔深度的变化而变化。实际上, 由于在较小的空腔深度时, 空气阻尼效应明显, 当空腔深度增加后空气阻尼的作用逐渐减小, 进一步增加空腔深度到一定程度, 可动结构的运动处于非限制性的边界^[139], 也即进入孤立平板的运动状态, 因此此时的空气阻尼系数不再变化, 其相应的由空腔引入的能量损耗趋于稳定。

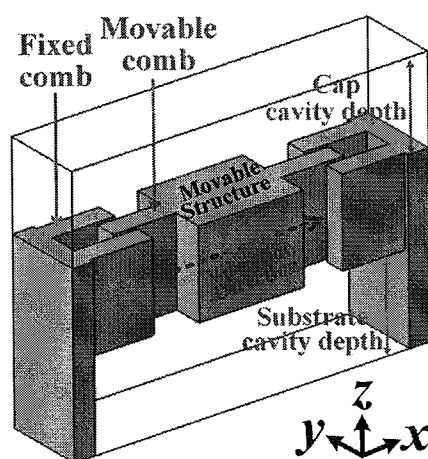


图 5.26 MEMS 谐振器三维封装结构中谐振器单对梳齿结构空气阻尼有限元仿真模型。

Figure 5.26 The finite element analysis model for the single pair of the comb structure in the 3D packaging structure of packaged MEMS resonators.

由于上述理论分析是基于 Navier-Stokes 方程的一维简化, 而 MEMS 谐振器真实状况下的阻尼作用较为复杂, 为了得到器件更为真实的空气阻尼情况, 可采用有限元分析的手段对 MEMS 器件由于结构振动引起的阻尼力进行求解, 进而由仿真模型中的最大阻尼力与最大振动速度比值得到等效的空气阻尼系数, 由此分析空腔深度对空气阻尼的影响程度。首先, 考虑到本章的 MEMS 谐振器采用了梳齿驱动和检测, 而梳齿数目众多 (共 664 对), 因此可简化为一对梳齿结构的仿真分析, 由此建立如图 5.26 所示的仿真模型, 模型主要包含固体结构域和空气域, 其中固体结构域又包含了固定结构 (具有固定梳齿) 和可动结构 (具有

可动梳齿结构)。当可动结构在左右两侧的固定梳齿结构间沿着 x 轴方向来回振动时,空气域的空气对可动结构形成阻力,考虑到可动结构并不会因空气阻力发生形变,因此可利用 COMSOL MULTIPHYSICS 有限元软件的流固耦合范畴的流体单物理场模块进行仿真,固体结构设置为硅材料的属性,空气域的空气流动设置为层流。仿真中,可动结构设置为沿着 x 轴方向的振动,振幅设置为 $1\ \mu\text{m}$,振动频率设置为 $37.6\ \text{kHz}$ 。通过改变图 5.26 所示的仿真模型中的空腔深度来分析空腔深度对空气阻尼情况的影响。

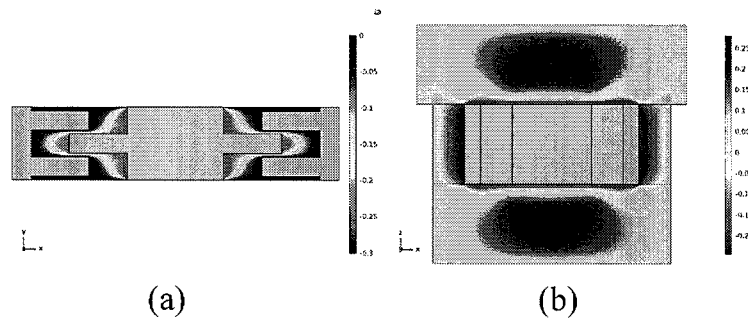


图 5.27 MEMS 谐振器三维封装结构中谐振器单对梳齿结构在 $1/2$ 周期时的速度分布(盖板和衬底空腔深度均为 $50\ \mu\text{m}$)，(a) 仿真结构 xy 截面上沿 x 轴的速度分布，(b) 仿真结构 xz 截面上沿 x 轴的速度分布。

Figure 5.27 The half-period velocity distributions for the single pair of the comb structure in the 3D packaging structure of packaged MEMS resonators (the Cap and Substrate cavity depths: $50\ \mu\text{m}$). (a) The half-period velocity distribution along the x axis on the xy cross section of the simulation model, and (b) the half-period velocity distribution along the x axis on the xz cross section of the simulation model.

图 5.27 显示了盖板和衬底空腔深度均为 $50\ \mu\text{m}$ 情况下的 $1/2$ 周期时的速度分布,其中图 5.27 (a) 和 (b) 分别是 xy 和 xz 截面上沿 x 轴运动方向的速度分布,可以看到,在梳齿间隙以及梳齿上下表面存在明显的速度梯度,该速度梯度产生的剪切阻力为主要的阻尼来源。因此仿真中将综合考虑梳齿间和空腔引起的由剪切作用产生的滑膜阻尼力的大小,通过对梳齿相对侧壁和可动结构上下表面进行阻力的表面积分即可得到剪切阻力的数值。

由于盖板空腔和衬底空腔对结构的阻尼作用相同,可固定盖板一侧的空腔深

度, 改变衬底空腔深度来分析空腔深度对阻尼力的影响。图 5.28 显示了当盖板空腔深度固定为 $50\text{ }\mu\text{m}$ 时仿真模型中的阻尼力随衬底空腔深度的变化曲线。可见, 随着空腔深度的增加, 阻尼力逐渐下降, 当衬底空腔深度大于 $50\text{ }\mu\text{m}$ 后阻尼力的变化很小, 这意味阻尼系数的变化也将趋于平缓, 因此由空腔深度引起的系统能量耗散下降量也将稳定, 也即空腔深度对器件的 Q 值的影响不再明显。

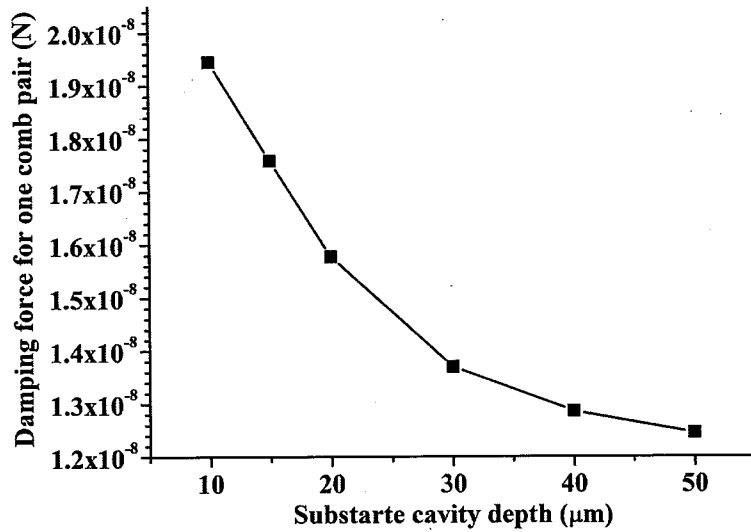


图 5.28 MEMS 谐振器三维封装结构中单对梳齿结构在不同衬底空腔深度下所仿真得到的阻尼力 (盖板空腔深度固定为 $50\text{ }\mu\text{m}$)。

Figure 5.28 The simulated air damping force values for the single pair of the comb structure in the 3D packaged MEMS resonators at different Substrate cavity depths (the Cap cavity depths remained on $50\text{ }\mu\text{m}$).

虽然由一维 Navier-Stokes 方程和有限元模拟仿真推出的影响空腔空气阻尼表现的空腔深度临界值有一定差异, 但是空气阻尼系数随空腔深度变化的整体规律是一致的, 这都为封装结构空腔深度的优化设计提供了参考。

5.5.2.2 封装结构空腔深度对器件 Q 值影响的测试与分析

为了比较不同衬底和盖板空腔深度对于器件 Q 值的影响度, 本节选取了封装结构产生泄漏的非气密性封装器件进行 Q 值的比较, 这些非气密封装的器件包含三种空腔深度尺寸类型, 分别是: 1) 衬底空腔深度 $50\text{ }\mu\text{m}$ +无盖板 (代号: S50); 2) 衬底空腔深度 $25\text{ }\mu\text{m}$ +盖板空腔深度 $30\text{ }\mu\text{m}$ (代号: S25+C30); 3)

衬底空腔深度 10 μm +盖板空腔深度 30 μm (代号: S10+C30)。下表 5.4 汇总了不同衬底和盖板空腔深度所对应器件 (各类型下各取 3 个器件) 在大气环境下的 Q 值, 此外通过上一小节中的有限元分析方法对上述三种空腔设计进行了单对梳齿结构的阻尼力求解, 其相应的最大阻尼力 $F_{damping}$ 也呈现在了表 5.4 中, 其中需要说明的是鉴于上一小节衬底空腔深度 50 μm 对应的阻尼力已经趋于稳定, 因此对于“衬底空腔深 50 μm +无盖板”的仿真中盖板空腔深度设为 50 μm 。从表 5.4 中可以看到, 随着空腔深度的减小, 对于同一种谐振器的 Q 值将明显减小。

表 5.4 MEMS 谐振器三维封装后不具有封装气密性的器件在不同盖板和衬底空腔深度下谐振器大气环境 Q 值以及单对梳齿结构对应的仿真阻尼力值汇总。

Table 5.4 The summaries on the measured resonator Q values in air and the simulated air damping force values for the single pair of the comb structure in the 3D packaged MEMS resonators (without hermetic packaging) under different Cap and Substrate cavity depths.

		衬底空腔深 50 μm	衬底空腔深 25 μm	衬底空腔深 10 μm
类型		+无盖板 (S50)	+盖板空腔深 30 μm (S25+C30)	+盖板空腔深 30 μm (S10+C30)
有限元	阻尼力	1.2449×10^{-8}	1.6858×10^{-8}	2.3354×10^{-8}
仿真	(N)	($F_{damping_0}$)	($F_{damping_1}$)	($F_{damping_2}$)
		634.5	356.0	228.0
谐振器	Q	637.8	358.0	231.0
幅频特		631.4	359.0	212.0
性测试	Q 均值	634.6 (Q_0)	357.7 (Q_1)	223.7 (Q_2)
	Q 方差	3.2	1.5	10.2

为了比较上述实测值与有限元仿真值之间的差异, 考虑到 Q 值表达式(5.3), 若将表 5.4 中其他空腔深度设计的 Q 值 (Q_x) 归一化到“衬底空腔深 50 μm +无盖板”情况所对应的 Q 值 (Q_0), 同样的, 将其他空腔深度设计通过仿真得到的最大阻尼力 ($F_{damping_x}$) 归一化到“衬底空腔深 50 μm +无盖板”情况所对应的最大阻尼力 ($F_{damping_0}$), 则器件归一化的 Q 值 ($Q_{normalized}$) 与归一化的最大阻尼力 ($F_{normalized}$) 间将呈现如下式 (5.15) 所示的等价关系, 而归一化后的最大阻尼

力也即归一化后的空气阻尼系数 ($c_{normalized}$)。

$$Q_{normalized} = \frac{Q_x}{Q_0} = \frac{\sqrt{KM} / c_x}{\sqrt{KM} / c_0} = c_{normalized} = \frac{c_0}{c_x} = F_{normalized} = \frac{F_{damping_0}}{F_{damping_x}} \quad (5.15)$$

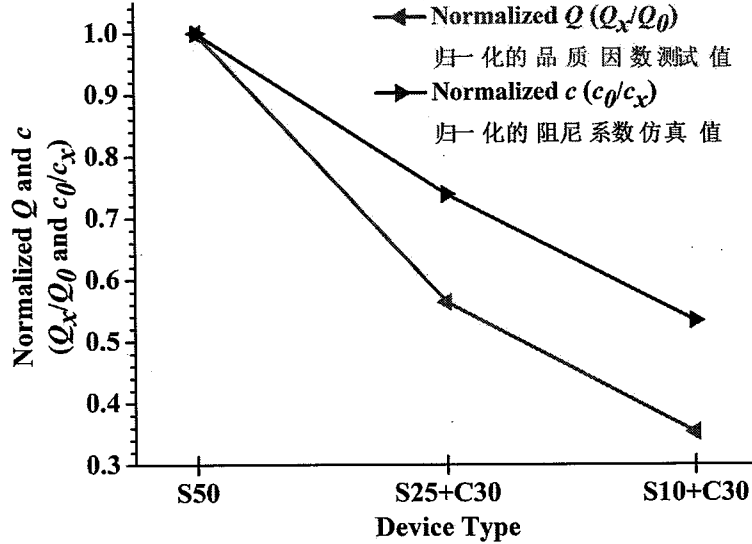


图 5.29 归一化的 Q 值 ($Q_{normalized}$) 与归一化后的空气阻尼系数 ($c_{normalized}$) 随 MEMS 谐振器三维封装结构空腔深度变化的曲线。

Figure 5.29 The curve of the normalized resonator Q values ($Q_{normalized}$) and the normalized air damping coefficient values ($c_{normalized}$) under different packaging structure cavity depths for the 3D packaged MEMS resonators.

图 5.29 显示了归一化的 Q 值 ($Q_{normalized}$) 与归一化后的空气阻尼系数 ($c_{normalized}$) 随封装结构空腔深度变化的曲线, 可见随着空腔深度的减小, $Q_{normalized}$ 与 $c_{normalized}$ 均呈现出下降的趋势, 不过实测得到的 $Q_{normalized}$ 随空腔深度变化比有限元仿真得到的 $c_{normalized}$ 的变化更加显著, 这是因为实际器件制造中, 空腔通常采用 KOH 腐蚀和 DRIE 刻蚀形成, 因此空腔存在深度的不均匀性, 且空腔表面也是非光滑表面 (特别是 DRIE 形成的空腔表面粗糙度更大), 而可动结构在释放工艺中由于 DRIE 的过刻蚀导致梳齿侧壁并非理想垂直且有“扇贝”状凸起的非光滑表面, 这些都导致了空气阻尼的影响愈加明显。在 MEMS 器件工艺制造非理想情况下, 从器件及封装结构设计出发尽可能降低空气阻尼对器件 Q 值的影响十分重要, 也能适当地拓宽工艺制造的窗口而降低工艺实现的苛刻程度。

实际上, 通过对封装产生泄漏的器件进行 Q - P 曲线的测试, 这将有利于反

映出不同封装结构的设计（空腔深度）对谐振器 Q 值的影响，进而预测出当封装具有一定真空度时的谐振器 Q 值受空腔深度影响的程度。从图 5.30 中可以看到，在大气下，不同空腔深度下的 Q 值之间差异明显（彼此之间成 1.6~3 倍的关系）；当处于 100 Pa 的真空时，不同空腔深度下的 Q 值之间的差距缩小（之间仅呈现出 1.1~1.3 倍的关系），这是因为随着封装真空度的提升，由于处于稀薄气体下的空气阻尼机制对 Q 值的影响程度逐渐下降，因此谐振器真空封装后的 Q 值对空腔深度的敏感度下降。

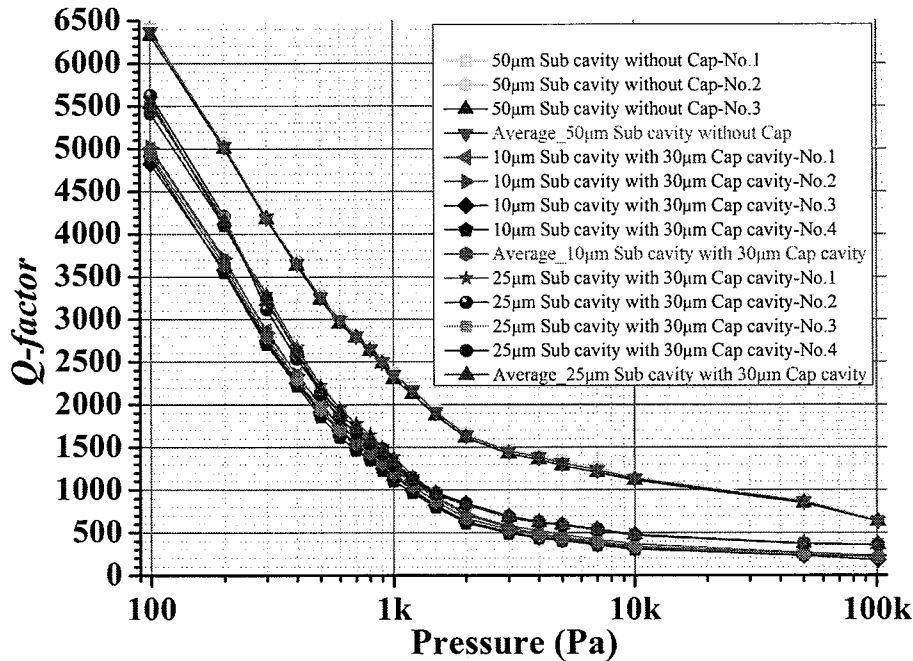


图 5.30 MEMS 谐振器三维封装后不具有封装气密性的器件在不同盖板和衬底空腔深度情况下实验测试得到的 Q - P 曲线。

Figure 5.30 The measured Q - P curves for the 3D packaged MEMS resonators (without hermetic packaging) under different Cap and Substrate cavity depths.

可见，空腔深度的设计一方面需要考虑空气阻尼的影响，另一方面还需要考虑工艺实现的能力。当封装工艺能够较可靠地实现高真空封装时可以适当降低对空腔深度设计的限制，因为此时空腔深度对器件 Q 值的影响有限，比如通过采用吸气剂 Getter 进一步提高封装真空度时由于吸气剂吸气量一定则更应关注空腔体积的减小以发挥吸气剂的作用；而当封装工艺限于条件和成本考虑（吸气剂的沉积及图形化工艺复杂且昂贵），仅能实现较低真空度甚至气密的封装时则应

该着重考虑封装结构的空腔深度，以减少器件 Q 值的损失。

5.5.3 封装真空度对器件 Q 值温度特性的影响

MEMS 谐振器封装的真空度显然直接决定了所封装器件的 Q 值水平，然而器件封装后由于隔离了外界环境的影响（如湿度、气压等）使得器件工作的温度成为器件封装后的最大影响因素。在实际应用中谐振器的工作温度可能会有较大幅度的变化，比如在利用局部加热器实现温度控制的情况，器件的工作温度将远高于室温（如 125°C ）^[140]。因此，器件 Q 值的温度稳定性也是器件一个重要却常被忽视的指标。特别是当 MEMS 谐振器通过真空封装实现 Q 值的提升后，其 Q 值随温度的变化关系是否会随着封装真空度的变化，这也反映出了封装对器件的影响并直接关系到最终真空封装后器件 Q 值的温度稳定性。

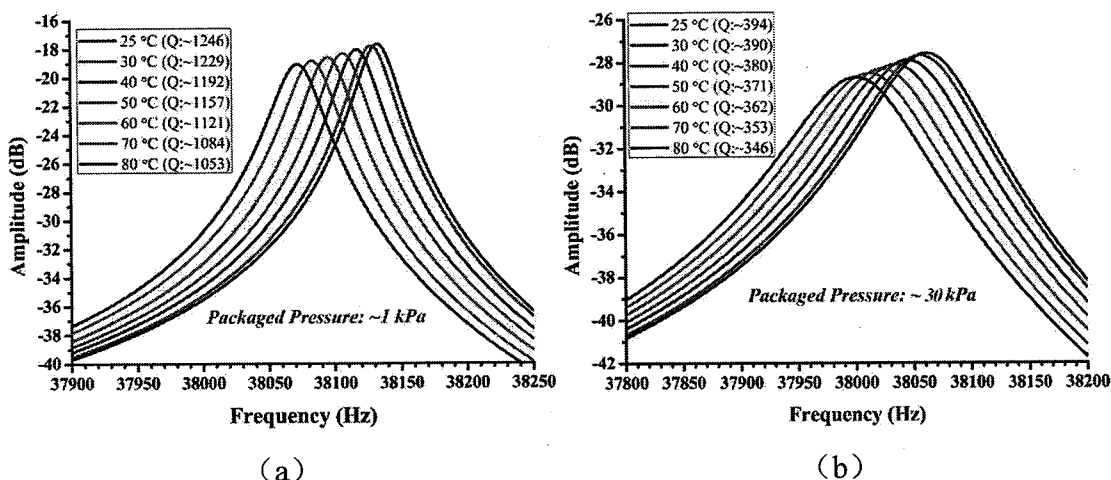


图 5.31 MEMS 谐振器三维封装具有气密性封装情况下器件幅频特性曲线随环境温度变化的关系，(a) 封装气压约为 1 kPa 的封装器件，(b) 封装气压约为 30 kPa 的封装器件。

Figure 5.31 The relationship between the amplitude-frequency characteristics and the varied ambient temperature for the 3D packaged MEMS resonators with hermetic packaging. (a) The packaged device with the ~1 kPa packaging pressure, and (b) the packaged device with the ~30 kPa packaging pressure.

本节针对具有封装气密性（标号 H-1~H-3，其 Q 值依次为 1246、513、394，其对应 Q - P 曲线的封装气压依此为 1 kPa、10 kPa、30 kPa）和不具有气密性情况下（标号 NH-1~NH-3，其 Q 值依次为 358、362、353），测试了它们在不同

温度 (25°C、30°C、40°C、50°C、60°C、70°C、80°C) 下谐振器的幅频特性曲线, 进而得到器件 Q 值随温度变化的关系曲线。

图 5.31 (a) 和 (b) 分别呈现了具有封装气密性的 H-1 和 H-3 器件随温度变化的幅频特性曲线, 而随着温度的增加, 其幅频特性曲线向频率横轴的负向和幅度纵轴的负向漂移, 也即谐振频率逐渐减小, 且谐振峰幅度也逐渐降低。

实际上, 硅基 MEMS 谐振器的谐振频率随温度的变化主要是由硅的杨氏模量随温度变化引起的^[141], 且谐振频率与温度之间通常由线性拟合得到谐振频率温度漂移系数^[142-143]。对于本文的谐振器封装后, 发现不同封装情况下谐振器的谐振频率随温度的漂移均约为 $-1.1 \text{ Hz}/^{\circ}\text{C}$ (相当于 $(-1.1 \text{ Hz}/38.0 \text{ kHz})/^{\circ}\text{C} \sim (-28.9 \text{ ppm})/^{\circ}\text{C}$), 这与文献^[141-142]中给出的硅基 MEMS 谐振器的谐振频率温度系数 $-60 \text{ ppm}/^{\circ}\text{C}$ 在同一量级, 而器件封装是否具有气密性对频率的温度漂移并没有影响。

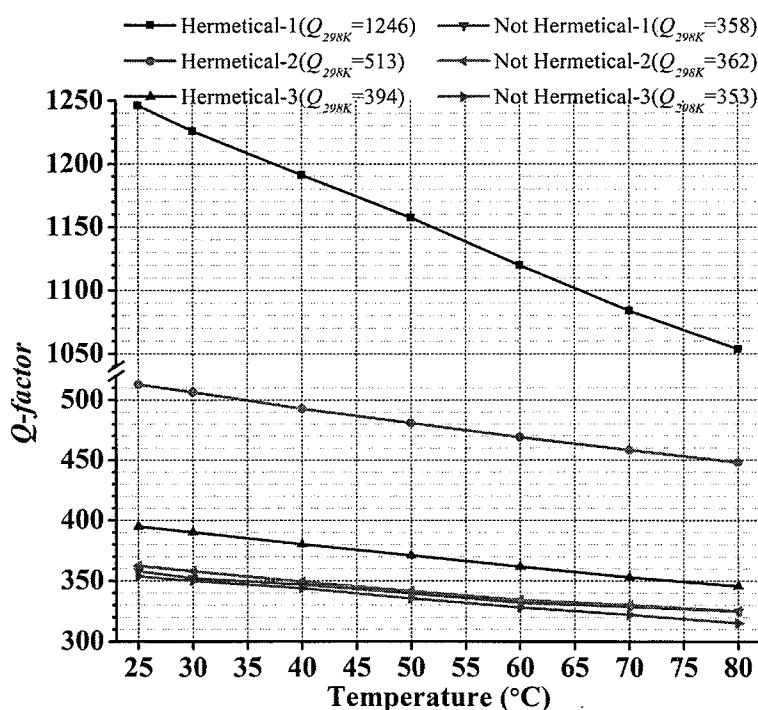


图 5.32 不同封装情况 (包括不同封装真空度的气密封装以及非气密封装) 下 MEMS 谐振器三维封装后的器件 Q 值随温度变化的曲线。

Figure 5.32 The relationship between the resonator Q value deviations with varied ambient temperatures for the 3D packaged MEMS resonators at different packaging cases (i.e. the hermetic packaging with different packaging vacuum degrees, and not hermetic packaging).

图 5.32 展示了不同封装情况下谐振器的 Q 值随温度变化的曲线，谐振器的 Q 值随温度的增加均呈现出下降的趋势。不过这与谐振频率随温度基本一致的漂移程度不同，也即不同封装情况下谐振器 Q 值由温度引起变化的陡峭程度有较为明显的差异。从图中可以看到，随着封装真空度的提升，谐振器的 Q 值随温度变化的程度越陡峭。本文接下来将着重对这种现象进行分析。

谐振器品质因数 Q 定义为系统所存储的能量与每个振动周期内能量耗散的比值。而谐振器的能量耗散机制主要包括：空气阻尼（Air damping）、热弹性耗散（Thermoelastic dissipation, TED）以及锚点与表面等其它能量损失（Anchor and surface losses）^[140, 144]。其中，空气阻尼是硅基 MEMS 谐振器考量较多的能量耗散机制，其主要是因为微纳尺度下可动结构由于其较高的表面积与体积比产生了空气阻尼对谐振结构运动明显的阻碍作用。

实际上，对于空气阻尼来说，在较高气压或大气下，表现为连续边界下的气体粘滞阻尼，在较低气压下表现为气体分子运动碰撞产生的能量损耗。空气阻尼的能量损耗 E_{Air} 正比于气体分子的分子数密度 n 和平均运动速度 v_{Mean} ，由此可推出空气阻尼所对应 Q 值与温度 T 的方根值成正比，而与气压 P 成反比^[140, 144]，如下式所示，式中 k_B 为玻尔兹曼常数。

$$E_{Air} \sim n \cdot v_{Mean} \sim \frac{P}{\sqrt{k_B T}} \Rightarrow Q_{Air} \propto \frac{\sqrt{k_B T}}{P} \quad (5.16)$$

特别是，当 MEMS 谐振器被气密封装后，如考虑理想气体状态方程，那么空气阻尼引起的 Q_{Air} 将呈现出与温度 T 的方根值成反比的关系^[140, 144]，如下式，

$$Q_{Air} \propto \frac{\sqrt{k_B T}}{P} \propto \frac{\sqrt{k_B T}}{n k_B T} \propto T^{-0.5} \quad (5.17)$$

实际上，谐振器 Q 值的温度特性取决于上述的能量耗散机制作用，通常可通过 Q 值温度系数 γ 对谐振器 Q 值随温度 T 变化的关系进行描述^[140, 144]，如下式，这里需要说明的是温度 T 单位采用的是热力学开氏温度（K）。

$$Q \propto T^\gamma \quad (5.18)$$

在较高封装气压或大气下， Q 值的温度系数 γ 为 -0.5， Q 值随温度变化主要受空气阻尼的影响；在真空下， Q 值的温度系数 γ 接近 -3.5（比如对于封装真空度在

亚 mTorr 量级的温度系数 γ 约为 $-3^{[145]}$), Q 值随温度变化主要受热弹性耗散的影响; 在封装气压在大气与真空之间, Q 值的温度系数 γ 在 $-0.5 \sim -3.5$ 之间, Q 值随温度变化受到上述能量损耗机制(空气阻尼、热弹性耗散及锚点与表面损耗)的综合影响。

基于上述分析, 将图 5.32 中测试得到的不同封装情况下谐振器的 Q 值随温度变化的曲线, 通过幂指数拟合(其中需将温度横轴单位改为热力学温度 K), 得到不同封装情况下 Q 值的温度系数 γ 。如下表 5.5 所示, 标号 H-1 对应封装真空度 1 kPa 所拟合得到的温度系数 γ 绝对值最大(愈加偏离大气下 Q 值温度系数 γ 的边界值 -0.5), 随着封装真空度的下降(标号 H1 $\rightarrow$ H3), 拟合得到的温度系数 γ 绝对值逐渐减小, 也即, 随着封装真空度的提升, 谐振器的 Q 值随温度变化的显著程度逐渐增加。该现象的原因在于封装真空度的提升使得空气阻尼带来的能量耗散所占比重下降, 而由热弹性耗散带来的能量损失比重增加, 且热弹性耗散随温度变化比空气阻尼随温度变化更显著。

表 5.5 不同封装情况下 MEMS 谐振器三维封装后的器件 Q 值随温度变化的曲线通过幂指数拟合的结果。

Table 5.5 The power-exponent fitting results for the measure curves of the relationship between the resonator Q value deviations with varied ambient temperatures for the 3D packaged MEMS resonators at different packaging cases.

封装后气密状态	器件序号	器件封装后 25°C 的 Q 值	幂指数拟合的 幂值	拟合决定系数 R^2
气密 (具一定真空度)	H-1	1246	-0.992	0.9984
	H-2	513	-0.804	0.9998
	H-3	394	-0.79	0.9998
非气密 (封装泄漏)	NH-1	358	-0.573	0.9868
	NH-2	362	-0.653	0.9922
	NH-3	353	-0.684	0.9979

而对于不具有封装气密性的谐振器三维封装后的器件 Q 值随温度变化的曲

线, 所拟合得到的温度系数 γ 值大致相似, 与温度系数 γ 的边界值-0.5 愈加接近。此时谐振器的 Q 值随温度变化与具有封装真空度的情况相比较为平缓, 说明非气密封装下的该谐振器主要受到空气阻尼的影响。可见, 对于不同封装情况下的器件 Q 值随温度变化的显著程度是由谐振器的能量耗散机制所决定的。实际上, 根据谐振器 Q 值的温度系数 γ 不同取值所对应的能量耗散机制, 可以通过结构设计实现具有对温度不同敏感程度的 MEMS 谐振器^[140], 一方面, 对于采用真空封装提升谐振器 Q 值时需要较好的温度稳定性的情况下, 由于热弹性耗散导致高真空下器件 Q 随温度 T 的变化愈加接近 $T^{-3.5}$ 的变化关系, 因此此时应当尽可能减少热弹性耗散产生的影响; 另一方面, 谐振器 Q 值随温度的变化关系也可以被应用到基于 Q 值对谐振器温度测量的情况 (比如用于传感器的闭环温度控制)^[146], 此时应当增强谐振器 Q 值对温度的灵敏度, 也即应尽可能考虑提升热弹性耗散机制在决定器件 Q 值中所起的作用并通过真空封装降低空气阻尼的影响。

5.6 小结

本章以金硅共面键合结构为基础对基于硅柱互连的 MEMS 谐振器三维圆片级真空封装进行了应用验证, 具体包括: MEMS 谐振器三维封装结构的设计和实现、器件封装的工艺效果表征、封装后器件测试及封装性能表征, 并对影响器件 Q 值的封装因素进行了测试与分析。

一方面, 本工作所实现的基于硅柱互连的 MEMS 圆片级真空封装效果如下:

(1) MEMS 三维封装工艺的简化与全硅制造

盖板硅晶圆在金硅键合工艺实施前后仅需一次光刻和 DRIE 工艺实现盖板空腔和金硅键合平面的制备, 而在键合后也仅需一次光刻和 DRIE 工艺实现硅柱互连结构的形成。同时, 基于 Si-Si 熔融键合和低温 Au-Si 共晶键合实现了 MEMS 器件的全硅制造和封装。

(2) 器件封装的性能

基于器件封装的谐振特性测试对器件封装的晶圆单片合格率、封装真空度及真空保持的稳定性进行了相应评估。为保证谐振特性测试的准确性, 论文首先对器件封装结构的寄生电容网络进行建模分析, 并测试发现器件封装结构的盖板

层、器件层和衬底层接地屏蔽能有效抑制器件封装结构寄生电容对器件谐振特性测试的影响，这突破了 MEMS 体硅工艺制造中为降低寄生电容而采用玻璃衬底的限制^[133]，并为 MEMS 封装结构的全硅制造奠定了应用基础。

1) 器件封装的晶圆单片合格率：硅柱互连结构电绝缘性的 3 片晶圆的单片合格率分别为 78.6%、76.5%、46.9%（整片晶圆探针测试），封装气密性的 3 片晶圆的单片合格率分别为 72.7%、87.5%、100%（半片晶圆的器件谐振特性测试）。

2) 封装的真空度：所实现的真空封装真空度在 0.8 kPa~30 kPa 之间（依据封装不具有封装气密性的谐振器 Q - P 曲线），且大多数封装真空度分布在 1 kPa 左右的范围，同时封装真空度可通过采用吸气剂进一步提高。

3) 封装真空度保持长期稳定性：经过半年的器件封装后 Q 值监测，所提出的三维封装结构具有半年以上的真空度保持能力。

另一方面，本论文对影响 MEMS 谐振器 Q 值的封装因素进行了测试分析，主要结论如下：

（1）封装工艺中的除气时间对器件 Q 值的影响

金硅键合中的除气工艺时间的增加有利于封装真空度的提升以及封装真空度分布的集中性，从而提升器件封装后的 Q 值和一致性。

（2）封装结构的空腔深度设计对器件 Q 值的影响

封装结构的不同空腔深度在大气下对器件 Q 值的影响明显，而当处于 100 Pa 的真空时对 Q 值影响有限，因此封装结构的空腔深度设计需兼顾空气阻尼的影响和真空封装的工艺能力，在封装工艺难以实现高真空封装时应当适当增加空腔深度以尽可能降低由空腔引起的器件 Q 值损失。

（3）封装真空度对器件 Q 值温度特性的影响

谐振器 Q 值随温度增加而下降的程度与封装真空度密切相关（在较高真空时 Q 值随温度变化更为显著）。经分析，器件 Q 值的温度特性由不同封装气压下的能量耗散机制决定（在大气下由空气阻尼主导，在极高真空下由热弹性耗散主导）。由于热弹性耗散受温度影响更显著，因此当采用真空封装提升谐振器 Q 值时需要较好温度稳定性的情况下应在器件结构设计上降低热弹性耗散的影响。

第六章 总结与展望

随着封装技术的发展,以垂直互连为特征的先进三维封装技术已成为 MEMS 集成制造的关键,而圆片级真空封装是实现高性能 MEMS 低成本制造和实用化的重要环节。然而现有基于垂直互连的 MEMS 三维封装技术面临工艺复杂、成本较高、缺乏 MEMS 全硅集成制造的能力、以及应用局限性(难以对含有多层金属互连线进行气密封装的信号接口)等诸多挑战。

针对这些挑战,本论文通过融合金硅共晶键合技术提出一种基于硅柱互连的全硅 MEMS 三维圆片级封装技术。具体地,本论文对其中所涉及关键的 KOH 腐蚀的工艺兼容性、金硅键合的欧姆接触电阻和键合强度展开了深入研究,并在此基础上,通过构建金硅共面键合的硅柱互连结构,对基于硅柱互连的全硅 MEMS 三维圆片级真空封装结构进行了设计、制备和表征测试。

6.1 研究内容总结

6.1.1 全文工作回顾

6.1.1.1 金硅键合与 KOH 湿法腐蚀工艺兼容性研究

晶圆键合与减薄技术的工艺兼容性已成为集成工艺的必需,其中 KOH 腐蚀和减薄技术又是体硅微机械加工的基础手段。然而金硅共晶键合技术与 KOH 腐蚀的工艺兼容性尚缺乏深入研究。为此论文论述了 Au/bulk Si 和 Au/ α -Si 键合结构与 KOH 腐蚀的兼容性,进而提出一种基于 LOCOS 的改进型 Au/bulk Si 键合结构以解决传统 Au/bulk Si 键合结构在高键合质量与 KOH 腐蚀兼容之间的矛盾。

1) 利用 KOH 对单晶硅的各向异性腐蚀特点,从腐蚀形貌的角度分析 Au/bulk Si 键合结构在 KOH 腐蚀中的钻蚀现象(侧向钻蚀速率约 333 $\mu\text{m/h}$),并通过键合界面处形成体硅晶格损伤层的 Damage layer 理论加以解释。

2) 分析发现 Au/ α -Si 键合结构与 KOH 腐蚀的工艺兼容表现取决于 α -Si 与 Au 薄膜厚度比。过高的 α -Si/Au 厚度比(如 12.5:1 和 4:1)将会产生更为剧烈的

侧向钻蚀现象（速率约 $600\text{ }\mu\text{m/h}$ ），因此在特定键合工艺下为实现 Au/ α -Si 键合与 KOH 腐蚀的工艺兼容可靠性，应保证 α -Si/Au 厚度比低于 1.5:1 的参考值。

3) 受 LOCOS 工艺局部氧化隔离的启发，创新性地提出了一种具备 KOH 腐蚀兼容性的两步 LOCOS 的改进型 Au/bulk Si 键合结构（其键合强度 $>23\text{ MPa}$ ），即通过第一步热氧化工艺形成作为金硅键合区域的硅凸台结构并通过第二步热氧化工艺对硅凸台结构边缘进行保护，实现 Au/bulk Si 共晶反应区域在 KOH 腐蚀中的隔离。为保证 KOH 腐蚀的兼容可靠性，应满足第一步氧化厚度大于第二步氧化的 1.273 倍，且第二步热氧化厚度的选择决定了其最大可腐蚀深度。

6.1.1.2 金硅键合的欧姆接触与键合强度研究

圆片级键合技术是实现 3D 互连结构的主要手段，而互连结构的电学特性与机械特性研究则是 3D 互连结构尺寸优化设计的重要参考。实际上，金硅共晶键合技术涉及比传统 3D 纯金属互连更为复杂的金属/半导体欧姆接触问题，而本论文研究的硅柱互连结构需要一定的支撑强度又涉及到单一图形小面积（ $<1\text{ mm}^2$ ）下金硅键合强度的研究，这两方面在目前的文献中均缺乏深入的研究。为此，论文对金硅键合的欧姆接触电阻和键合强度测试结构进行了设计、制备和测试。

（1）金硅键合欧姆接触电阻研究

基于 Two-Contacts 方法设计了一种具有 LOCOS 硅凸台的欧姆接触电阻测试结构，实现了金硅键合工艺中的欧姆接触电阻表征。通过测试发现，当键合温度高于金硅共晶温度时会产生金属层与金硅接触界面的分层现象进而导致电互连断路问题（接触半径 $<10\text{ }\mu\text{m}$ ），但是金硅欧姆接触电阻值与 350°C 键合温度下并无明显差异（总电阻测试均值偏差 $<20\%$ ），这奠定了以金硅共晶键合技术实现硅柱互连结构的可行性基础。而由 350°C 键合温度下所提取的比欧姆接触电阻率（ $3.9\sim 8.1\times 10^{-10}\text{ }\Omega\cdot\text{m}^2$ ）为硅柱互连结构的尺寸设计提供了参考。

（2）金硅键合强度的研究

设计了一种具有硅柱凸台的金硅键合拉伸强度测试结构，从而避免液态金硅合金外溢导致键合强度评估的偏差。通过键合结构静力学有限元分析和实验测试相结合，一方面发现由于方形键合图形四角存在应力集中现象，因此在相同键合

面积下键合图形采用圆形设计的拉伸强度（35~75 MPa）优于方形图形设计（18~30 MPa）；另一方面，在键合面积 $120^2\sim 960^2\ \mu\text{m}^2$ 范围，发现由于键合图形处应力分布的不均匀性导致金硅键合强度与键合面积之间呈现出反比关系。上述两点均为后续硅柱互连结构的形状和尺寸设计提供了指导。

6.1.1.3 基于金硅共面键合的硅柱互连封装形式研究

为满足 MEMS 气密封装中多层金属互连所需的垂直信号接口，创新性地构建了基于金硅共面键合的硅柱互连结构，并通过气密性测试（He 检漏试验， $<5\times 10^{-8}\ \text{atm}\cdot\text{cc}/\text{sec}$ ）和硅柱互连阻抗测试（单硅柱电阻约 $1\ \Omega$ ，含 $0.5\ \Omega$ 欧姆接触电阻）验证了共面键合结构在解决多层金属互连线跨越键合密封环产生“台阶”导致的封装泄漏问题上的有效性。

6.1.1.4 基于硅柱互连的 MEMS 谐振器三维圆片级真空封装研究

为了兼顾垂直互连的实现和 MEMS 器件封装的特殊性，同时针对现有垂直互连式 MEMS 三维封装技术面临的工艺复杂、全硅集成制造及应用局限性的挑战，本文以金硅共面键合的硅柱互连结构为基础，并以 MEMS 谐振器为载体设计和制备了基于硅柱互连的 MEMS 三维圆片级封装结构，通过对封装结构的寄生电容分析（其中关键是提出一种器件封装后的寄生电容量化评估和抑制方法，接地屏蔽前后 $\text{pF}\rightarrow\text{fF}$ 量级）、晶圆单片合格率统计（硅柱互连结构电绝缘性的 3 片晶圆的单片合格率分别为 78.6%、76.5%、46.9%，封装气密性的 3 片晶圆的单片合格率分别为 72.7%、87.5%、100%）、MEMS 器件封装后的性能评估（真空度约 $1\ \text{kPa}$ 、>6 个月的长期稳定性）验证了所提出三维封装结构的有效性。最后对影响器件 Q 值的封装因素进行了测试分析：

1) 封装的金硅键合除气工艺时间对器件 Q 值的影响：除气时间的增加有利于封装真空度分布的集中性和真空度的提升，即器件封装的一致性和 Q 值提升。

2) 封装结构的空腔深度对器件 Q 值的影响：大气下不同空腔深度对器件 Q 值的影响明显，而当处于真空时对器件 Q 值影响有限。因此空腔深度的设计需兼顾空气阻尼的影响和真空封装的工艺实现能力。

3) 封装真空度对器件 Q 值温度特性的影响：由于高真空时热弹性耗散主导

故器件 Q 值随温度变化更为显著。因此在通过真空封装提升谐振器 Q 值且需较好的 Q 值温度稳定性时，需要从器件结构设计出发降低热弹性耗散的影响。

6.1.2 论文所实现的封装成效

表 6.1 本工作在封装性能方面与其他具有硅柱垂直互连形式的非传统 TSV 技术实现的 MEMS 三维圆片级封装结构的比较。

Table 6.1 The comparisons on the packaging performances for this work compared with the unconventional TSV-form MEMS 3D wafer-level packaging with Si column interconnections.

基于硅柱互连的非传统 TSV 的 MEMS 三维封装技术	封装真空度	硅柱截面形状与硅柱尺寸（高×截面面积）及其互连电阻
Torunbalci M M ^[66-67]	0.1~10 Pa (Getter) 0.1~2.5 kPa (No Getter)	方形, $100 \times 600^2 \mu\text{m}^3$, $\sim 50 \Omega$
Lee S-H ^[68]	0.7~3 Pa (Getter)	方形, $700 \times 600^2 \mu\text{m}^3$, $\sim 2 \Omega$
Murata ^[24, 69]	气密, 但玻璃熔融填充 存在 He 渗透问题 ^[69]	圆形, $50 \times 150^2 \times 3.14 \mu\text{m}^3$ 矩形, $0.75 \times (0.4 \times 1) \text{mm}^3$, -
ST ^[70]	无数据	方形, 25 (或 200) $\times 100^2 \mu\text{m}^3$, -
Silex ^[71-72]	~ 0.1 Pa (Getter)	方形, $400 \times 50^2 \mu\text{m}^3$, $\sim 1 \Omega$
DALSA ^[73-74]	~ 1 Pa (Getter)	圆形, $100 \times 40^2 \times 3.14 \mu\text{m}^3$, -
本工作	~ 1 kPa (No Getter)	圆形, $400 \times 200^2 \times 3.14 \mu\text{m}^3$, $\sim 1 \Omega$

参考绪论中的表 1.1 和表 1.2，将本论文工作与其他基于硅柱互连的非传统 TSV 的 MEMS 三维圆片级封装在工艺复杂度、封装性能（封装真空度和硅柱互连尺寸及阻抗，如表 6.1）和通用性（可全硅制造性、可对 MEMS 结构顶端金属线信号接口）等方面进行了对比分析。经过实验验证，本论文工作所提出的基于硅柱互连的 MEMS 三维圆片级封装技术取得了如下成效：

1) 封装工艺极大简化

所提出的基于硅柱互连的 MEMS 三维圆片级封装结构，盖板晶圆仅需单片

低阻硅晶圆（不需 SOI 或硅玻璃键合片），其工艺实现仅需金硅键合前后的各一次光刻和 DRIE 工艺，也不存在深腔光刻、CMP、通孔致密填充等复杂工艺的难度和需求，极大的简化了现有硅柱互连的 MEMS 三维圆片级封装工艺。

2) 真空封装与低阻垂直互连

所实现的基于硅柱互连的 MEMS 三维圆片级封装结构，其封装真空度在 1 kPa 左右并可以通过沉积吸气剂进一步提升；此外，硅柱互连结构电阻约 $1\ \Omega$ 与现有技术同一水平；再有，硅柱互连结构采用了圆形设计使得其键合强度优于方形设计，其结构尺寸也介于现有技术水平之间，并可在盖板减薄后得以降低。

3) 三维封装结构的通用性提升

一方面，所提出的硅柱互连结构通过金硅共面键合结构实现了在气密封装时对多层金属互连线的信号接口；另一方面利用金硅键合技术实现了低温的 MEMS 三维封装的全硅制造，还通过封装结构的寄生电容量化分析和接地屏蔽奠定了全硅 MEMS 器件的应用基础。这都拓宽了封装结构的可应用场景。

6.1.3 论文主要的创新点总结

(1) 实现了金硅共晶键合技术与 KOH 腐蚀可靠的工艺兼容性。

首次提出了为保证 Au/ α -Si 键合结构与 KOH 腐蚀工艺兼容性所需满足 α -Si/Au 薄膜厚度比的条件；首次提出了一种两步 LOCOS 的改进型 Au/bulk Si 键合结构，解决了传统 Au/bulk Si 键合在 KOH 腐蚀中的侧向钻蚀难题，拓展了金硅键合技术在体硅微机械制造的应用场景与能力。

(2) 提出了一套对金硅键合工艺的欧姆接触电阻和键合强度进行准确测试和表征的方案，其测试结果为硅柱互连结构的优化设计提供了指导。

(3) 实现了气密封装中多层金属平面互连线垂直信号接口。

首次提出了一种基于金硅共面键合的硅柱互连圆片级封装形式，通过金属与绝缘薄膜的交替堆叠构建了不同键合功能区域（密封区与互连区）的同一键合平面，并通过金硅键合技术在低阻硅盖板完成封装的同时形成了硅柱垂直互连通路，从而解决了 MEMS 封装中多层金属互连线跨越键合密封环产生“台阶”导致的封装泄漏这一共性问题，增强了基于硅柱互连的三维封装结构的通用性。同时，

该封装形式被进一步成功应用到全硅 MEMS 谐振器的三维圆片级真空封装中，充分显示了其在低阻互连、工艺简单、可真空封装、可全硅制造的优越性。

6.2 工作展望

尽管本论文在推进 MEMS 三维圆片级封装的工艺简化、全硅制造和通用性方面做出了努力，然而尚存在一些有待改进和完善的地方，主要包括：

(1) 基于两步 LOCOS 的改进型 Au/bulk Si 键合结构如何与实际应用场景相配合。本论文限于时间并未将这项工作直接应用于 MEMS 谐振器的三维封装中，因此遗憾于封装结构未能通过 KOH 腐蚀减薄实现硅柱互连尺寸的减小。实际上，真正的应用还需考虑键合结构如何与实际应用场景相配合，如 MEMS 封装需要考虑空腔结构的形成，而其中如何安排作为封装结构的改进型 Au/bulk Si 键合结构整体工艺也是值得深入讨论的。

(2) 金硅键合欧姆接触互连可靠性问题有待解决。正如在第三章中观察到的，高于金硅共晶温度 363°C 键合温度会产生金硅键合界面电互连断路问题（接触半径 $<10\text{ }\mu\text{m}$ ）。随着互连密度的提升，金硅键合界面处的欧姆接触图形尺寸也相应减小，如何解决接触半径 $<10\text{ }\mu\text{m}$ 时高于金硅共晶温度 363°C 键合温度产生金属层与金硅接触界面的分层所致的断路问题也是互连结构可靠性的重要课题。

(3) 基于硅柱互连的 MEMS 三维封装结构有待优化。一是，硅柱互连密度需要提升，实际上本论文为保证硅柱互连结构由金硅键合界面所支撑的稳定性，将硅柱截面直径设计接近于盖板晶圆的厚度（ $\sim 400\text{ }\mu\text{m}$ ），但实际上如对盖板晶圆进行减薄，则硅柱互连的尺寸能得到缩减从而提升硅柱互连密度；二是，封装真空度有待提升，这可以通过键合工艺优化和沉积吸气剂来加以改善，但是吸气剂的选择需对封装空腔内的残余气体进行分析，且其沉积及图形化工艺也需仔细考虑；三是，本论文目前提出的基于金硅共面键合的硅柱互连结构依赖键合密封环实现互连结构的独立性和整体封装的气密性，然而键合密封环的存在使得金硅合金外溢导致的硅柱互连短路问题愈加凸显，实际上论文提出的改进型 Au/bulk Si 键合结构的键合平面也具备共面键合的特性，而其体硅区域和非体硅区域均由金硅合金所填充，如将其体硅区域作为硅柱互连区域而非体硅区域作为硅柱的绝

缘沟槽区域，这将消除键合密封环的需求和金硅合金外溢的短路问题。

(4) 该三维封装技术的应用拓展与潜力。本论文工作所提出的金硅共面键合结构初衷就是实现对谐振式 MEMS 磁场传感器（如文献^[49]）的三维圆片级真空封装（通过谐振器 Q 值的提升进而提高磁传感器的分辨率）。这是因为这类磁传感器由于在谐振结构上具有多层金属线圈，其封装需要对多层金属互连线进行信号接口，因此共面键合结构就能为其真空封装的实现提供解决方案。而正是基于文献^[49]中面外磁场探测的磁传感器架构，本论文以该磁场传感器的关键组件“SE”谐振模态的谐振器为基础实现了谐振器的三维圆片级真空封装。在本课题研究中，其实也设计和制备了这一类基于法拉第电磁感应定律的谐振式 MEMS 磁传感器，并采用基于金硅共面键合的硅柱互连封装结构对这一类磁传感器进行了初步的三维封装验证，目前也已经实现了该类 MEMS 磁传感器的气密封装应用，然而限于篇幅和时间，本文未将其囊括在内。但是可以预期，通过一定的金硅键合工艺的优化及键合条件的改善，金硅共面键合结构在 MEMS 磁传感器上的真空封装应用是完全可以实现的。