



中国科学院大学

University of Chinese Academy of Sciences

## 硕士学位论文

纳米级高 K 金属栅 CMOS 工艺 HCI 可靠性研究

作者姓名: \_\_\_\_\_ 周昊 \_\_\_\_\_

指导教师: \_\_\_\_\_ 蔡小五 研究员 \_\_\_\_\_

\_\_\_\_\_ 中国科学院微电子研究所 \_\_\_\_\_

学位类别: \_\_\_\_\_ 工程硕士 \_\_\_\_\_

学科专业: \_\_\_\_\_ 电子与通信工程 \_\_\_\_\_

培养单位: \_\_\_\_\_ 中国科学院大学微电子学院 \_\_\_\_\_

2020 年 6 月

**The Research on HCI Reliability of Nanometer**  
**High- $k$  Metal Gate CMOS Process**

A thesis submitted to  
University of Chinese Academy of Sciences  
in partial fulfillment of the requirement  
for the degree of  
Master of Engineering  
in Electronics and Communication Engineering

By

Zhou Hao

Supervisor: Professor Cai Xiaowu

School of Microelectronics  
University of Chinese Academy of Sciences

June 2020

**中国科学院大学**  
**研究生学位论文原创性声明**

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：周昊  
日期：2020.5.18

**中国科学院大学**  
**学位论文授权使用声明**

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分內容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：周昊  
日期：2020.5.18

导师签名：蔡小五  
日期：2020.5.18

## 摘要

随着科技的发展和社会的进步，人们对电子设备的多样性及性能提出了越来越高的要求。这也就推动了集成电路工艺节点不断向前发展，使得集成度、功耗和速度等方面表现越来越好。但是，随着工艺尺寸的不断减小，可靠性问题变得不容忽视。HCI 效应是影响器件可靠性的重要问题，尤其在先进工艺器件中其影响更为明显。所以本文针对高  $k$  介质金属栅 CMOS 工艺的 HCI 可靠性展开研究，主要的研究内容及成果如下：

首先，本文介绍了 HCI 效应的物理机制以及用于寿命预估的模型，此外还对本文研究过程中使用到的测试方法以及工具进行了介绍。

其次，本文对高  $k$  介质金属栅 CMOS 工艺器件的 HCI 效应及其失效机理展开了研究。针对 NMOS 器件 HCI 最坏栅压应力条件不同于成熟工艺的现象，文中通过改变不同栅压应力来测试其饱和漏电流的衰退、衬底电流以及栅端电流，并对器件 PBTI 效应进行了测试。测试结果表明：在高  $k$  介质金属栅工艺的 NMOS 管器件上进行 HCI 测试时，失效机理已经不再是单一的漏端碰撞电离产生的 HCI，高栅/漏电压下电子散射也成为主要的失效机理。同时，与成熟工艺饱和漏电流衰退曲线随栅压应力增加而单调下降的趋势不同，先进工艺 PMOS 器件衰退曲线出现随栅压应力增加先下降后升高的现象。文中对不同栅压应力下的栅端电流以及器件的 NBTI 效应进行了测试。通过分析得知：在 PMOS 栅端加载高电压时 BTI 效应加剧，形成 HCI 效应与 BTI 效应的耦合，造成饱和漏电流的衰退发生反转，出现不同于成熟工艺的现象。NMOS 与 PMOS 的测试结果也表明高  $k$  介质金属栅工艺器件的 HCI 可靠性不再是受单一的老化机理影响，其影响因素已经是 HCI 效应、BTI 效应以及电子散射等机理综合的结果。

最后，本文对于高  $k$  介质金属栅 CMOS 工艺器件 HCI 可靠性的优化方法进行了探究。在 PMOS 器件体端分别加载 0V、1.25V、2.5V、3.75V 电压，对其阈值电压、饱和漏电流、衬底电流以及寿命加速因子进行了测试，并通过仿真模拟工具对物理参数进行模拟，辅助物理机制的分析。通过与 0.13 $\mu\text{m}$  工艺 PMOS 器件对比的结果表明：当先进工艺 PMOS 器件体端加载合适的偏压（如 1.25V、2.5V）时，可以获得更大的加速因子，从而能够延长器件使用寿命。适当的体偏压可以提高器件的 HCI 可靠性。

本文对高  $k$  介质金属栅工艺器件 HCI 可靠性及其失效机理进行了探究，并对 HCI 可靠性优化方法进行了研究，对先进工艺 HCI 可靠性的提高有积极的意义。

**关键词：**高  $k$  介质金属栅，CMOS 工艺，热载流子注入，可靠性，失效

## Abstract

With the development of science and technology and the progress of society, people have increasingly higher requirements for the diversity and performance of electronic devices. This also promotes the continuous advancement of integrated circuit process nodes, making the performance of integration, power consumption and speed better and better. However, as process sizes continue to decrease, reliability issues cannot be ignored. HCI effect is an important issue affecting device reliability, especially in advanced technology devices. Therefore, this paper focuses on the HCI reliability of high- $k$  dielectric metal gate CMOS process. The main contents and results of this paper are as follows:

First of all, this paper introduces the physical mechanism of HCI effect and the model used for life prediction. In addition, it also introduces the testing methods and tools used in the research process.

Secondly, this article studies the HCI effect and its failure mechanism of high- $k$  dielectric metal gate CMOS process devices. Aiming at the phenomenon that the worst-case gate compressive stress conditions of NMOS devices are different from mature processes, the saturation current decay, substrate current and gate terminal current are tested by changing the different gate compressive stresses, and the PBTI effect of the device is tested. The test results show that in the high- $k$  dielectric metal gate NMOS device, the failure mechanism is no longer the HCI generated by a single drain collision ionization during the HCI test. Electron scattering under high gate / drain voltage has also become the main Failure mechanism. At the same time, unlike the maturity process, the saturation current decay curve tends to decrease monotonously with increasing gate compressive stress, the advanced process PMOS device decay curve appears to decrease first and then increase with increasing gate compressive stress. The gate terminal current under different gate compressive stress and the device's NBTI effect are tested in this paper. Through analysis, it is known that the BTI effect is intensified when a

high voltage is applied to the PMOS gate terminal, forming a coupling between the HCI effect and the BTI effect, which causes the reverse of the saturation current to decline, which is different from the mature process. The test results of NMOS and PMOS also show that the HCI reliability of high- $k$  dielectric metal gate process devices is no longer affected by a single aging mechanism, and its influencing factors have been the combined results of HCI effect, BTI effect, and electron scattering.

Finally, this paper explores the optimization method of HCI reliability for high- $k$  dielectric metal gate CMOS process devices. Load 0V, 1.25V, 2.5V, 3.75V on the body side of the PMOS device, and test its threshold voltage, saturation current, substrate current, and life acceleration factor. Simulate the physical parameters with simulation tools to assist the analysis of physical mechanism. The comparison with the 0.13 $\mu$ m process PMOS device shows that when the appropriate bias voltage (such as 1.25V, 2.5V) is applied to the body side of the advanced process PMOS device, a larger acceleration factor can be obtained, which can prolong the service life of the device. Proper body bias can improve the HCI reliability of the device.

In this paper, the investigation of HCI reliability and failure mechanism of high- $k$  dielectric metal gate process devices, as well as the study of HCI reliability optimization methods, have a positive significance for the improvement of advanced process HCI reliability.

**Key Words:** High- $k$  metal gate, CMOS process, HCI, Reliability, Failure

## 目 录

第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.1.1 研究背景.....	1
1.1.2 研究意义.....	3
1.2 国内外研究现状.....	3
1.3 本文研究内容及结构安排.....	5
第 2 章 器件失效机理及测试方法.....	7
2.1 HCI 效应.....	7
2.1.1 HCI 效应物理机制.....	8
2.1.2 HCI 效应模型.....	19
2.2 BTI 效应.....	23
2.2.1 BTI 效应物理机制.....	23
2.2.2 BTI 效应模型.....	26
2.3 测试方法及工具.....	27
2.3.1 加速应力实验.....	27
2.3.2 可靠性测试.....	27
2.3.3 Agilent 4072 与 TEL Prober P8-XL 测试系统.....	29
2.3.4 Silvaco TCAD 仿真工具.....	29
2.4 小结.....	30
第 3 章 高 K 介质金属栅工艺器件 HCI 失效机理研究.....	31
3.1 实验条件.....	31
3.2 实验结果及分析.....	32
3.2.1 NMOSFET.....	32
3.2.2 PMOSFET.....	36
3.3 小结.....	38
第 4 章 高 K 介质金属栅工艺器件 HCI 可靠性优化.....	41
4.1 实验条件.....	42
4.2 实验结果及分析.....	42
4.2.1 体偏压对 HCI 可靠性的影响及其物理机制.....	42



4.2.2 体偏压对 PMOS 寿命的影响.....	47
4.3 小结.....	51
第 5 章 总结与展望.....	53
5.1 总结.....	53
5.2 关于未来工作的展望.....	54
参考文献.....	55
致谢.....	59
作者简历及攻读学位期间发表的学术论文与研究成果.....	61

## 图目录

图 1.1 失效率 $\lambda$ 随时间变化曲线.....	2
图 2.1 热载流子注入效应示意图.....	7
图 2.2 夹断区域电场示意图.....	9
图 2.3 饱和 MOS 器件栅电流形成示意图.....	13
图 2.4 nMOSFET 界面态及电学特性.....	17
图 2.5 $I_b/I_d$ 模型数据处理示例 .....	21
图 2.6 $1/V_{ds}$ 模型数据处理示例.....	22
图 2.7 $I_b$ 模型数据处理示例 .....	23
图 2.8 NBTI 效应反应-扩散模型: 偏置期.....	24
图 2.9 NBTI 效应反应-扩散模型: 恢复期.....	24
图 2.10 NBTI 衰退在 $T_{off-stress}$ 时间内恢复情况 .....	25
图 2.11 可靠性测试流程图.....	28
图 3.1 成熟工艺 HCI 测试退化情况.....	32
图 3.2 高 $k$ 介质金属栅工艺 NMOS $I_{dsat}$ 衰退情况 .....	33
图 3.3 NMOS 衬底电流相对于 $V_g$ 变化.....	34
图 3.4 NMOS 的 PBTI 效应退化对比 .....	34
图 3.5 NMOS 栅端电流相对于 $V_g$ 变化.....	35
图 3.6 高 $k$ 介质金属栅工艺 PMOS 管 $I_{dsat}$ 退化情况.....	36
图 3.7 PMOS 栅端电流相对于 $V_g$ 变化 .....	37
图 3.8 PMOS 的 NBTI 效应退化对比 .....	38
图 4.1 $V_b=0$ 条件下 PMOS 器件中的夹断区域的示意图.....	43
图 4.2 $V_b>0$ 条件下 PMOS 器件中的夹断区域的示意图.....	43
图 4.3 阈值电压 ( $V_t$ ) 和漏端电流 ( $I_d$ ) 相对于体偏压的变化曲线.....	44
图 4.4 不同体偏压下 PMOS 饱和漏电流衰退曲线.....	45
图 4.5 衬底电流( $I_b$ )和栅电流( $I_g$ )相对于 $V_b$ 变化曲线 .....	45
图 4.6 TCAD 模拟电场轮廓图.....	46
图 4.7 PMOS 中沿导电沟道横向电场.....	46
图 4.8 固定体偏压不同栅漏电压下 $I_{dsat}$ 衰退曲线 .....	47
图 4.9 $1/V_d$ 模型中寿命和寿命加速因子与体偏压关系图 .....	48
图 4.10 加速因子 $\beta/n$ 随体偏压的变化 .....	49

图 4.11 参数 $\beta$ 和 $n$ 随体偏压的变化.....	49
图 4.12 体偏压分别为 0V 与 3.75V 时碰撞电离仿真图.....	50
图 4.13 28nm PMOS 累积分布函数 (CDF) 图.....	50
图 4.14 不同体偏压下 0.1%样品失效寿命 .....	51

## 表目录

表 2.1 不同 $V_{gs}$ 下 NMOS 器件载流子注入与损伤机理.....	15
表 2.2 不同 $V_{gs}$ 下 PMOS 器件载流子注入与损伤机理 .....	16

## 第1章 绪论

### 1.1 研究背景及意义

#### 1.1.1 研究背景

在当今社会生活中，集成电路是各个行业信息化、数字化、智能化的基石，无论在民用还是在军用领域都有着极其重要的地位。而对于集成电路的研究历史则可以追溯到 1947 年，在贝尔实验室诞生了第一块晶体管，这是微电子技术发展历程中第一个里程碑；1949 年，香农创造了第一个国际象棋博弈机；1952 年，德州仪器开始涉及半导体业务；1957 年德州仪器发明了第一块集成电路；1959 年，仙童半导体首次将集成电路推向商用化；1960 年，世界上第一块硅集成电路制造成功；1963 年，F.M.Wanlass 和 C.T.Sah 首次提出 CMOS 技术；1965 年，戈登·摩尔首先将摩尔定律带到了大众面前，该定律对芯片的集成度作出预测，认为每隔 18-24 个月，芯片中晶体管的密度就会增长一倍。集成电路经过不断的发展也很好的验证了摩尔定律。1966 年，世界上第一块大规模集成电路面世，它由贝尔实验室采用硅外延平面工艺制造。又经过 50 多年的发展，集成电路器件按照摩尔定律的预测在不断缩小尺寸，提高工作速度，降低功耗，性能得到逐步发展。

在我们的生活中，集成电路已经扮演了一个不可或缺的角色。无论是在手机、电脑、电视机以及汽车电子为代表的交通运输方面，还是在航空航天、健康医疗、国防装备等方面都有集成电路在参与着重要的工作，发挥着不可替代的作用。伴随着消费者的需求升级和制造水平的进一步提升，电子产品中芯片的制造工艺水平不断进步。但是集成电路的可靠性问题也会随着工艺水平的进步而加剧。集成电路及其产品会在生命周期内不同的时间点发生不同的故障，故障发生的时期大致会分为三个时期：早夭期、正常使用期和电路老化期<sup>[1]</sup>。如图 1.1 所示，为失效率  $\lambda$  随时间变化的曲线，即浴盆曲线。

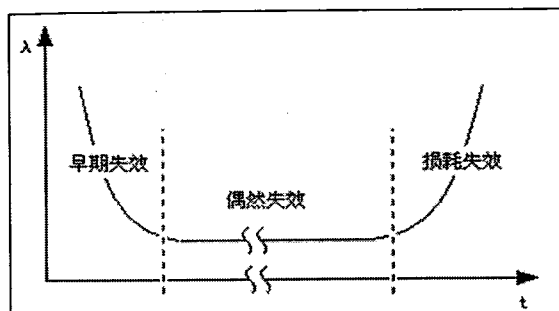

 图 1.1 失效率  $\lambda$  随时间变化曲线

 Figure 1.1 The curve of failure rate  $\lambda$  with time

早天期发生的故障大多是因为制造工艺方面或者制造过程中某些原因造成的，使得芯片在生产出来之后就不能正常工作，发生早期失效，这些芯片也会被直接淘汰掉。在电路的正常使用期间也会由于一些单粒子翻转或者单粒子瞬态脉冲等因素使得芯片发生逻辑错误，影响芯片功能，这种失效称为偶然失效。电路老化期发生的故障是经过长时间的使用或者在极端条件（较高的使用环境温度或较高的使用电压等条件）下使用后，由于内部 HCI（Hot Carrier Injection，热载流子注入）等效应的影 响，器件的性能参数的衰退，逻辑电路时序错乱造成的。从而导致电子产品的功耗、灵敏度以及工作速度产生变化，工作性能下降甚至不能实现正常的功能，产生损耗失效<sup>[2]</sup>。相同时期内，集成电路的集成度越高，电路由于老化出现故障的概率越高。Cadence 高级产品经理 Art Schaldenbrand 表示用于基站或服务器场合的先进节点设备有非常严格的可靠性要求，它们持续的工作对可靠性施加了极大压力。此外，关键任务应用、工业应用或失败成本非常高的空间应用对可靠性的要求也比较苛刻，一旦卫星被送入太空，维修困难，因此这方面需要设备有极高的可靠性<sup>[3]</sup>。同样，在我们身边，对于生活要求不断提高的前提下，消费者也开始更加关注所消费的智能手机、个人电脑以及其他电子产品的使用寿命。其中影响这些电子产品使用寿命的主要是产品中所使用的不同功能芯片的失效时间。而晶体管的特征尺寸越小，可靠性问题对于其性能的影响越大。因此，对于芯片的设计制造来说，在不断投入财力物力进行新工艺节点研发的同时，也应该持续关注产品性能的衰退问题，以及如何不断提高器件的可靠性，保证产品的使用寿命。

### 1.1.2 研究意义

由于实际生产的需要,在电路的设计和制造阶段就要考虑到产品的寿命问题,而且这一需求随着工艺节点的推进更为迫切。

随着使用时间的增加,器件性能会发生衰退,例如,饱和与线性区电流的衰退、阈值电压的漂移、跨导的衰退以及漏电流的增加等等问题。这样就会造成电路延迟的增加,降低电路的工作速度,功耗增加的问题,甚至会导致电路烧毁或者不能正常实现设计时所要达到的功能。在模拟和混合信号电路中,阈值电压的漂移是一个主要的关注点,许多高精度的模拟电路,例如,数据转换和比较器中需要在使用寿命内有着极其稳定的阈值电压。所以在设计时期就要通过对电路在所设计的尺寸和使用条件下进行模拟仿真来预测其使用寿命。而模拟仿真软件中最底层的计算过程则是依据对失效效应及其机理的研究。对衰退机理的研究可以给设计阶段准确的寿命预测提供理论依据,通过对设计电路的仿真,预测设计的电路在要求时间内,电学性能的衰退能否满足工作需求,进而不断修改设计方案,使其达到标准。为下一步的制造提供一个准确可靠的设计方案,这对最后的产品是至关重要的,而且器件特征尺寸越小,可靠性问题对于性能的影响越大。随着技术节点的不断推进,留给电学特性衰退的裕度也在不断减小,如果其中某一个指标不能达到标准有可能造成芯片的失效<sup>[4-6]</sup>。Schaldebrand 表示随着器件变小,失效效应变得更加重要,余量变得越来越小。从 28nm 往后的节点,器件退化的裕度会从 30%下降到 10%。由此可见,先进工艺节点可靠性研究对器件退化的准确预测尤为重要。

在制造阶段,对器件可靠性的研究同样重要。芯片制造厂商需要不断监测产品的可靠性来保证其质量。监测过程中,对器件寿命的预估评判工作就需要以失效效应的研究为基础。尤其在先进工艺节点的研发过程中,要对失效效应进行充分探究并掌握,发现其相对于传统工艺发生变化的地方,从而保证先进工艺节点产品的可靠性满足要求,避免不必要的损失。

所以,对于高  $k$  金属栅 CMOS 工艺器件失效机理的研究就显得更加重要。该研究对于不断向前发展的集成电路设计和制造来说,都是具有重要意义的。

## 1.2 国内外研究现状

HCI 效应一直是影响集成电路可靠性的一个重要因素。尤其是晶体管特征尺

寸不断缩小,而使用电压却不能继续等比例降低时,热载流子获得的能量逐渐增大,注入到栅氧层中导致电学参数衰退,引起器件性能退化乃至失效。所以人们一直对于 HCI 效应投入比较大研究,而且对于成熟工艺中 HCI 效应的探究比较成熟充分。但是对纳米级高  $k$  金属栅 CMOS 工艺器件的 HCI 效应及其退化机理的研究并不完善。

当前国内外对于 HCI 效应的研究主要为以下几个方面:

### 1. 引入新型介质材料后的 HCI 效应

在先进工艺中引入的高  $k$  材料代替了传统的  $\text{SiO}_2$  用作栅极介质材料,而且还利用一些特定的金属作为金属栅极。这种技术在解决漏电问题的同时,也会带来其他的问题。相对于  $\text{SiO}_2$  层来说,高  $k$  介质层产生的缺陷更多,所以对于引入新型介质材料的器件的 HCI 效应的研究越来越多。在 Gusev.E.P 等人对于高  $k$  金属栅工艺器件的可靠性研究中发现<sup>[7]</sup>: 介质层中引入  $\text{HfO}_2$  材料的器件,在最坏应力下的寿命超过采用  $\text{SiO}_2$  材料的器件。

### 2. HCI 效应模型及最坏应力条件的研究

当前针对 HCI 效应模型的研究大多都是以 Chenming Hu 等人提出的 LEM<sup>[8]</sup> (Lucky Electron Model, 幸运电子模型) 为基础。这一模型中对于 HCI 效应最坏应力的探究表明: 栅电压为漏电压 0.5 倍时, HCI 效应退化最为严重。还有研究表明: 相对于  $0.35\mu\text{m}$  工艺 NMOS 器件,最坏 HCI 应力条件为  $0.4V_d < V_g < 0.5V_d$ <sup>[9]</sup>。而沟道长度为 0.25 微米的 NMOS 器件,经研究也被证实最坏栅压应力位于漏极偏压的 1/2 处,即栅压为  $V_d$  的 0.4~0.55 倍<sup>[10]</sup>。对于 65nm 工艺 PMOS 器件,最坏栅压应力条件为  $I_g$  最大时的栅电压<sup>[11]</sup>。还有研究表明亚微米 PMOS 器件退化随着栅压绝对值增加单调减小<sup>[12]</sup>。在 JEDEC 标准协会给出的成熟工艺器件寿命预估方法中,通常在栅极施加负载电压为  $I_b$  最大值 ( $I_{b,max}$ ) 情况下的栅电压,即  $V_g@I_{b,max}$ <sup>[13]</sup>。这一标准也是基于  $I_b$  出现峰值时, HCI 效应较强,饱和漏电流退化最为严重。

### 3. HCI 效应的测试

除了 HCI 效应的物理机制和模型比较受到关注外,对于 HCI 效应的测试也是学者和研究人员的不断探究创新的聚焦点。开始的 I-V 特性测试只是对于器件外部宏观的电学参数进行测量,但对器件内部微观的物理损伤无法探究。自从 Brugler 发现电荷泵 (Charge Pumping, CP) 现象后,人们逐渐开始利用电荷泵技术



来测量介质层缺陷的密度和分布以及识别界面态的类型<sup>[14-15]</sup>。针对超薄栅氧层器件高栅电流的现象, Ryan 等人提出了改善的电荷泵技术<sup>[16]</sup>。测量技术的不断创新, 促进人们对于 HCI 效应物理层面更深入的理解。

4. 除了常规的 MOS 器件中的 HCI 效应吸引了人们的注意, 功率器件中 HCI 效应引起的性能退化也是国内外研究的关注点。此外, 单一 HCI、NBTI(Negative bias temperature instability)以及 TDDB(Time Dependent Dielectric Breakdown)效应的研究比较完善, 但是不同效应的综合研究较少, 对不同效应耦合对于器件可靠性的影响缺乏比较详细的探究。

### 1.3 本文研究内容及结构安排

随着器件的尺寸持续缩小, 开始进入纳米级, 集成电路的密度大大增加, 但同时也受到可靠性的限制。尤其是高  $k$  金属栅 CMOS 工艺器件中引入的高  $k$  介质材料使 HCI 效应出现了不同于成熟工艺的变化。所以本文对 28nm 高  $k$  金属栅 CMOS 工艺 HCI 可靠性展开了测试分析与研究。本文首先分析了 HCI 效应的失效机理和物理机制; 其次设计实验分析高  $k$  金属栅工艺器件中 HCI 效应对电学参数及性能的影响, 并对其机理进行了探究; 最后通过 TCAD (Technology Computer Aided Design, 计算机辅助设计技术) 仿真与实验设计相结合的方法, 研究了优化高  $k$  金属栅工艺器件 HCI 可靠性的方法。

本文结构安排如下:

第一章主要介绍 HCI 效应的研究背景及意义, 并介绍了国内外研究机构或学者对于 HCI 效应的研究进展与现状, 提出了本文的研究内容。

第二章主要介绍影响器件可靠性的两种主要效应, 分别为 HCI 效应与 BTI 效应, 并对两种效应的物理机制和影响器件性能的过程进行了分析, 介绍了关于两种效应的寿命预测的模型及测试方法。

第三章针对纳米级高  $k$  金属栅 CMOS 工艺 HCI 测试中出现不同于成熟工艺的现象进行了研究。对不同栅端电压下 NMOS 和 PMOS 的饱和漏电流 ( $I_{dsat}$ ) 退化情况以及器件的退化效应进行测试和分析。通过分析衬底电流和栅端电流在不同栅端电压下的变化趋势, 对失效机理进行探讨, 分析其对饱和漏电流退化的影响。

第四章对优化先进工艺器件 HCI 可靠性的技术方法进行了探究。通过加载

不同的反向体偏置电压，测量获取 PMOS 器件的电学参数，分析体偏置电压对于 HCI 可靠性的影响。基于实验结果和 TCAD 仿真，讨论了加载体偏压优化 HCI 效应的物理机制。最后，根据相应的物理模型和统计理论进一步评估器件的使用寿命，来验证本章的优化方法。

第五章对本文的研究内容和所做工作进行了汇总，并对得出的结论进行了总结，同时提出了对未来工作的展望。

## 第2章 器件失效机理及测试方法

在上一章中介绍了器件可靠性对先进工艺节点集成电路设计制造的重要意义，本章将对影响器件可靠性的两种主要效应进行介绍，分别为 HCI 效应与 BTI 效应。首先，介绍两种效应的物理机理，分析效应的产生过程以及器件损伤机制；其次，对两种失效效应的寿命预测与物理模型进行分析；最后，介绍可靠性测试方法和研究中使用的设备与工具。

### 2.1 HCI 效应

载流子（电子或者空穴）通过高电场区域加速获得大量能量，同时在其他机制的作用下载流子能量得到进一步增加。当载流子平均能量明显大于与晶格热平衡时的能量 ( $E_{AVG}=3/2kT_L$ )，就被称为“热”。热载流子获得充足的能量会注入到栅极氧化物中或引起界面损坏，从而造成 MOSFET 器件电特性的不稳定。在器件中，热载流子可以以不同的方式并在不同的区域产生，如栅氧层、硅衬底或者沟道的 Si/SiO<sub>2</sub> 界面。在栅氧层中，热载流子可以通过较大的栅氧层或高能辐射引起的雪崩过程产生。在衬底中，热载流子可以通过光照或衬底电场辅助注入产生。

在本文中主要讨论的是沟道热载流子（Channel Hot Carrier, CHC）效应，其主要发生在沟道导通条件下。在 CMOS 中，通常要研究两种 CHC 偏置条件：导通 CHC 和非导通 CHC。下图为器件中沟道热载流子发生的普遍的过程<sup>[17]</sup>。

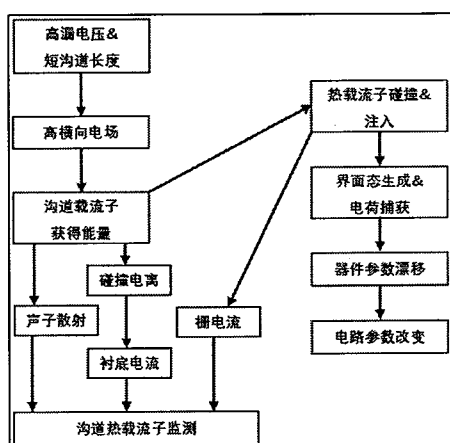


图 2.1 热载流子注入效应示意图

Figure 2.1 Diagram of the HCI effect

以 NMOS 为例, MOSFET 晶体管的沟道处于饱和反转状态( $V_g > V_{th}$ ,  $V_d > V_{dsat}$ )会导致导通 CHC 损坏。而非导通 CHC 条件则是晶体管处于截止状态( $V_g = 0\text{ V}$ ), 漏极结反向偏置 ( $V_d > V_{dd}$ )。对于导通 CHC 而言, 沟道载流子的来源是夹断区域中的漏极电流, 而在非导通 CHC 中则是关断电流 ( $I_{off}$ )。沟道载流子需要经历三个过程才能产生 CHC 损伤: 在 MOSFET 沟道或在漏极区域中获得能量, 高能载流子的撞击或注入, 以及在界面或栅极氧化物中产生的物理损伤或陷阱。载流子“加热”的方式有两种: 沟道电场和次级载流子能量获取或重新分布过程, 例如电子-电子散射。沟道载流子能量分布服从能量分布函数(EDF, Energy Distribution Function), 该函数由沟道中 Boltzmann 传输方程(BTE)的恰当解计算得出。大部分热载流子由漏极收集, 但小部分拥有足够能量的热载流子向界面散射, 从而注入到栅极氧化物中(氧化物陷阱形成)或产生界面状态。热载流子造成的损伤会改变 MOSFET 器件的电学参数(如阈值电压  $V_t$ , 开启电流  $I_{on}$  等), 并最终会影响到集成电路的功能。如果载流子动能大于 Si 禁带宽度  $E_G$  (室温下为 1.12 eV), 则它们可能通过碰撞电离(Impact Ionization, II)生成电子空穴对。对于 nMOSFET, 产生的空穴大部分形成衬底电流 ( $I_b$ ), 而产生的电子对漏极电流有贡献。所以衬底电流成为间接测试热载流子强度和 nMOSFET 对热载流子敏感度的指标。如果漏端电压  $V_d$  与衬底电阻较高,  $I_b$  导致的漏极与衬底之间的压降会使源极/衬底结正向偏置, 从而开启与 nMOSFET 并联的寄生双极型晶体管。大量载流子由源极向衬底注入使碰撞电离加剧, 导致钳回击穿(snapback breakdown)。热载流子的产生可能会导致光子的发射, 所以光子发射也会成为沟道中热载流子产生的指标。同样这在 pMOSFET 中也适用。

### 2.1.1 HCI 效应物理机制

本节将从热载流子的产生和注入、对器件造成的物理损伤以及器件参数产生的衰退三方面对 HCI 效应的物理机制进行分析。

#### 1. 热载流子的产生和注入

电场是 MOSFET 中热载流子产生的主要驱动力, 也调节着热载流子向栅氧层的注入。根据饱和下的偏压条件, 夹断区域中的横向电场会使载流子获得能量, 而垂直电场会通过调节 Si/SiO<sub>2</sub> 界面势垒高度来促进或阻止热空穴或电子注入栅氧层。

首先，假设载流子在沟道中达到速度饱和。在电场强度较低的情况下，载流子几乎与晶格处于热平衡状态，载流子漂移速度  $v_d$  与电场呈线性关系，有效迁移率为比例常数<sup>[18,19]</sup>。在电场足够强的情况下，载流子平均动能增加，并且载流子通过光子-声子相互作用发生散射。随着电场的增加，迁移率降低，直到  $v_d$  达到极限值  $v_{sat}$ 。其中漂移速度与电场服从下列表达式：

$$v_d = \frac{\mu_{eff} \times F}{[1+(F/F_c)^\gamma]^{1/\gamma}} \quad \dots(2.1)$$

其中， $\mu_{eff}$  为有效迁移率， $F$  为电场强度， $F_c$  为临界电场(对于沟道中电子通常为  $2-5V/\mu m$ ，空穴通常为  $5-15V/\mu m$ )， $\gamma$  值对于电子为 2，对于空穴为 1。当  $F$  远大于  $F_c$ ，漂移速度达到饱和值  $v_{sat} = \mu_{eff} * F_c$ <sup>[20,21]</sup>。这里先假设纵向电场为 0，只有横向电场。通过高斯定律来计算夹断区域(如图 2.2 中 ABCD 区域)的横向电场， $W$  为沟道宽度。

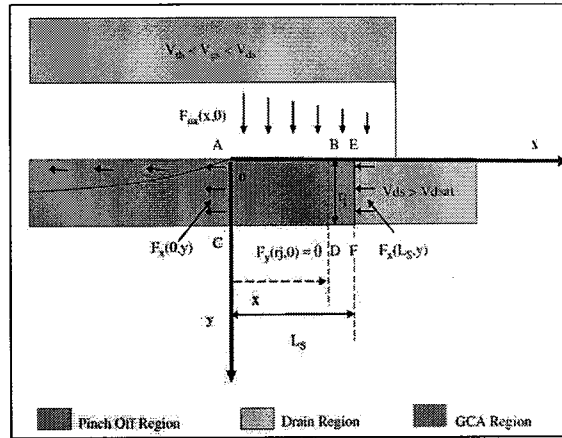


图 2.2 夹断区域电场示意图

Figure 2.2 Diagram of electric field in pinch-off region

对于该区域应用高斯定律得到下式<sup>[22]</sup>：

$$\begin{aligned} & - \int_0^x F_y(x, 0) dy + \int_0^{r_j} F_x(0, y) dy - \int_0^{r_j} F_x(x, y) dy \\ & = - \frac{q}{\epsilon_0 \epsilon_{Si}} N_A r_j x + \frac{Q_m}{\epsilon_0 \epsilon_{Si}} x \end{aligned} \quad \dots(2.2)$$

其中  $Q_m$  为漏区移动电荷量， $F_{ox}$  为 Si/SiO<sub>2</sub> 界面栅氧层电场强度。如果沟道中载流子在夹断区域达到速度饱和，则漏区电荷量  $Q_m$  与 A 点(即  $V(0)=V_{dsat}$  点)相同。

$$Q_m = C_{ox}(V_{gs} - V_{FB} - 2\phi_f - V_{dsat}) + qN_A r_j \quad (2.3)$$

Si/SiO<sub>2</sub> 界面的电场垂直分量可由下式得到:

$$F_y(x, 0) = \frac{\epsilon_{Si}}{\epsilon_{ox}} F_{ox}(x, 0) \quad \dots(2.4)$$

其中  $F_{ox}$  为

$$F_{ox} = \frac{V_{gs} - V_{FB} - 2\phi_f - V(x)}{t_{ox}} \quad \dots(2.5)$$

对 2.2 式关于 x 方向求微分, 得到:

$$r_j \frac{dF_x(x)}{dx} + \frac{\epsilon_o}{\epsilon_{Si}} F_y(x, 0) = -\frac{q}{\epsilon_o \epsilon_{Si}} N_A r_j + \frac{Q_m}{\epsilon_o \epsilon_{Si}} \quad \dots(2.6)$$

考虑 2.3-2.5 式, 由 2.6 式可得:

$$\frac{dE_x(x)}{dx} = \frac{V(x) - V_{dsat}}{l^2} \quad \dots(2.7)$$

其中

$$l = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} r_j} \quad \dots(2.8)$$

夹断区域 ( $0 \leq x \leq L_s$ ) 内, 上式满足边界条件  $V(0) = V_{dsat}$ ,  $F_x(0) = E_c$  的解为:

$$V(x) = V_{dsat} + l \times F_c \times \sinh\left(\frac{x}{l}\right) \quad \dots(2.9)$$

$$F_x(x) = -\frac{\partial V}{\partial x} = F_c \times \cosh\left(\frac{x}{l}\right) \quad \dots(2.10)$$

其中  $l$  是与电场有关的因子,  $V_{dsat}$  可以近似成下式表示<sup>[23]</sup>:

$$V_{dsat} = F_c(L_{eff} - L_s) \left( \sqrt{1 + \frac{2(V_G - V_T)}{mE_c(L_{eff} - L_s)}} - 1 \right) \quad \dots(2.11)$$

其中  $m$  为体效应系数。

由公式  $\sinh^2 A + 1 = \cosh^2 A$ , 及 2.9 与 2.10 式可得:

$$F_x(x) = \sqrt{F_c^2 + \frac{(V(x) - V_{dsat})^2}{l^2}} \quad \dots(2.12)$$

在沟道的漏端 (E 点) 得到如下关于  $L_s$  与  $F_{max}$  的表达式:

$$L_s = l \times \ln \left[ \frac{(V_{ds} - V_{dsat})}{l \times F_c} + \frac{F_{max}}{E_c} \right] \quad \dots(2.13)$$

$$F_{max} = \left[ \left( \frac{V_{ds} - V_{dsat}}{l} \right)^2 + F_c^2 \right]^{1/2} \quad \dots(2.14)$$

通常,  $(V_{ds} - V_{dsat}) \gg F_c \times l$ ,  $F_{max}$  可表示为:

$$F_{max} \approx \frac{V_{ds} - V_{dsat}}{l} \quad \dots(2.15)$$

而热载流子注入栅氧层主要受到夹断区域上方的垂直栅极氧化层电场 ( $F_{ox}$ ) 的驱动调控。沟道反型条件下的  $F_{ox}$  为:

$$F_{ox} = \frac{(V_{gs} - V_{FB} - 2\phi_F - V_{ds})}{T_{ox}} \quad \dots(2.16)$$

其中  $V_{FB}$  为平带电压， $\phi_F$  为费米势。

由上式可得  $F_{ox}$  的调制作用主要取决于  $V_g - V_d$  电压差，起到驱动沟道热载流子进入栅氧层和改变 Si/SiO<sub>2</sub> 界面势垒高度的作用。其中势垒高度  $\Phi_b$  可由下列表达式给出：

$$\Phi_b = \Phi_{b0} - 2.59 \times 10^{-4} E_{ox}^{1/2} - a_0 E_{ox}^{2/3} \quad \dots(2.17)$$

其中  $\Phi_{b0} = 3.2\text{eV}$  为相对于电子而言的 Si/SiO<sub>2</sub> 界面势垒， $a_0 \approx 1.0 \times 10^{-5}(\text{cm})$ ， $E_{ox}$  为氧化层能级。上式第二项则是将势垒降低效应考虑在内，第三项考虑硅与二氧化硅之间隧穿的有限概率。

漏极附近的夹断区域沟道中的高电场导致载流子加热现象。这一机制可以用数学方法来描述，注意到在沟道中的载流子可以通过散射过程来交换能量，并且可以通过沟道电场进行载流子加速等过程获取能量。这一过程是载流子服从能量分布函数进行分布的过程。EDF 由函数  $f(E)$  来定义， $f(E)dE$  表示能量  $E$  至  $E+dE$  之间的载流子数目。当电场较小时，载流子与晶格几乎维持热平衡。这种情况下载流子同时发射和吸收声子，能量净改变量为零。热平衡下的载流子服从费米-狄拉克分布 (Fermi-Dirac distribution) 占据费米能级 ( $E_F$ )。为简化计算，主要关注处于热平衡的电子。能量大于导带  $E_C$  时，电子能量分布函数可以通过麦克斯韦分布函数 (MDF) 求得：

$$f(E) = \frac{2N}{\sqrt{\pi}} \frac{\sqrt{E}}{(k_B T_L)^{3/2}} \times \exp\left(-\frac{E}{k_B T_L}\right) \quad \dots(2.18)$$

上式中  $T_L$  为晶格温度， $N$  为电子密度。从而可以计算出电子在能量  $E$  到  $E+dE$  间的概率。 $T_L$  越高，电子占据高能级的概率越大。当电子在热平衡状态时，即  $T_L$  在 30°C 到 140°C 范围内，电子不能从声子相互作用中获得足够的能量来造成热载流子损伤。电子获得能量的方式主要包括：

#### (1) 电子-电子散射

电子-电子散射是由于库仑相互作用引起的电子间的能量交换。这一过程主要依靠两种 EES (Electron-Electron Scattering, 电子-电子散射) 效应，即短程 EES 和长程 EES<sup>[24]</sup>。短程 EES (Short Range EES, SREES) 与单电子间的直接库仑相互作用有关。在这种情况下，两个电子准弹道地在器件的沟道中移动，并以能量  $qV_d$  进入漏区。在漏极区域，两个电子发生电子散射，其中一个电子可以获得另

一个电子的全部能量。通过电子散射后，电子所具有的最大能量不超过  $2qV_d$ 。

这种能量转移的效应是将能量分布函数展宽到高于  $qV_d$  的值。 $qV_d$  越高，能量分布函数展宽越大，所以最大可交换能量由  $qV_d$  控制。

对于给定的沟道电场分布，SREES 的发生概率随电子密度  $n(E)$  的增加而增加，如式 2.19 与式 2.20 所示。这是由于电子之间相互作用的频率随着电子密度的增加而增加。

电子散射发生的概率主要与该区域内电子的浓度  $n(E)$  相关。在 CHC 产生时，浓度满足要求，即可发生 EES，使能量在电子之间产生交换，最终导致器件出现热载流子损伤。由于散射过程中涉及两个电子，SREES 发生率的估算由下式给出：

$$R_{SREES} \approx C \times n(E1) \times n(E2) \quad \dots(2.19)$$

其中 E1, E2 表示发生散射的电子的动能。

发生电子散射的载流子所具有的能量约为  $qV_{dd}$ ，故上式可转换为：

$$R_{SREES} \approx C \times n(qV_{dd})^2 \approx I_d^2 \quad \dots(2.20)$$

在  $V_g=V_d$  条件下， $I_d$  可以达到最大。

因此，载流子密度对于  $R_{SREES}$  的影响也有可能造成 NMOS 器件 CHC 损伤随着栅端电压增加而加重的。电子浓度在 Si/SiO<sub>2</sub> 界面处通常较大，这就会大大提高电子散射发生的概率，从而使得注入栅氧化层的概率更高<sup>[25]</sup>。

长程电子-电子散射 (Long Range EES, LREES) 是由于库仑相互作用超出了德拜长度。LREES 可以模拟为电子气中高能电子在热平衡状态下引起的等离子体激发。一个例子是高能弹道电子与 n 沟道 MOSFET 器件漏极中的冷电子相互作用。进入漏极的高能电子可以获得冷空穴的能量。由于冷电子在漏极中的平均能量为  $1.5kT_L$ ，这种相互作用主要是热载流子机制的能量损失。

但是电子散射作用在成熟工艺中引起的 HCI 效应较不明显。

## (2) 碰撞电离

碰撞电离的物理过程是由于沟道载流子 (电子或空穴) 产生的电子-空穴对。这些载流子的动能大于破坏 Si 价键所需的阈值能量 (如硅带隙)。II 可以看作是一个载流子-载流子散射过程。在电子启动 II 过程 (初级载流子) 的情况下，电子空穴对的产生通过价电子和高能导带电子之间的屏蔽库仑相互作用进行。

定义  $\lambda_{II}$  为载流子在获得足够能量产生电子空穴对之前两次碰撞之间的平均



距离，称为平均自由程。如果载流子受电场  $F$  的驱动获得能量，则此距离由下式给出：

$$\lambda_{II} = E_{II}/qF \quad \dots(2.21)$$

其中  $E_{II}$  是由于  $II$  而损失的平均能量。在这些条件下，如果  $\lambda_{II} < \lambda$ ，则产生电子空穴对，其中  $\lambda$  是温度  $T_e$  下的载流子平均自由程。每个产生的载流子（电子和空穴）也可以在电场中加速并产生额外的电子空穴对。这一过程被称为雪崩倍增，例如在半导体结的雪崩击穿中，雪崩倍增是至关重要的，并且对短沟道 MOS 器件中过大的衬底电流和降低的可靠性产生不利的影响。

在这个例子中，假设电场  $F$  是载流子获得能量的主要来源。此条件可能适用于处于饱和状态的 MOSFET 晶体管的夹断区，也可能适用于高度反向偏置结的耗尽区。

栅氧层或者漏极区域发生的热载流子注入是造成 MOSFET 器件沟道热载流子损伤的来源之一。当器件进入饱和状态时，大部分高能载流子沿着沟道方向流动，但另一部分热载流子方向发生改变，并在能量足够高的条件下克服 Si/SiO<sub>2</sub> 界面上的有效势垒（电子：3.2eV，空穴：4.8eV），被注入到栅极氧化物中，对栅极电流（ $I_g$ ）的形成作出贡献。对于没有足够能量的载流子，没有参与栅电流的形成，但也会在一定概率上造成氧化物或 Si/SiO<sub>2</sub> 界面上的缺陷。

图 2.3 为 MOSFET 处于饱和状态时  $I_g$  形成的示意图。假设  $I_g$  是由于沟道载流子（ $I_s$ ）进入区域  $\Omega$ ，其中载流子动能大于  $\Phi_B/q$ 。将  $I_{inj}$  定义为单位时间注入栅氧化层的载流子速率，测量获得的  $I_g$  为收集在多晶硅栅中的注入载流子的部分。

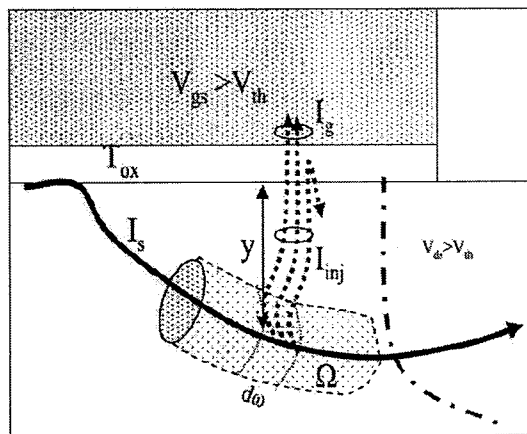


图 2.3 饱和 MOS 器件栅电流形成示意图

Figure 2.3 Diagram of gate current formation in saturated MOS devices

热载流子损伤的性质很大程度上取决于在给定  $V_{gs}$  和  $V_{ds}$  偏压条件下发生的热载流子注入机制。根据所涉及的热载流子产生机制，将其分为两种类型：

(1) 沟道热载流子通过电场加速获取能量注入

nMOSFET 器件的栅极电流，表达为在给定饱和  $V_{ds}$  ( $V_{ds} > V_{dsat}$ ) 条件下的  $V_{gs}$  的函数。测得的  $I_g$  有两个分量： $I_{g,e}$  和  $I_{g,h}$ 。 $I_{g,e}$  由注入栅氧化层的电子 ( $I_{inj,e}$ ) 提供，这些电子可以在多晶硅栅端收集。 $I_{g,h}$  定义与电子类似。产生  $I_g$  的条件范围大致可以分为两个部分：漏极雪崩热载流子注入 ( $V_{th} < V_{gs} < 1/2 V_{ds}$ ) 以及沟道热电子注入 ( $V_{gs} \approx V_{ds}$ )。鉴于观察到 pMOSFET 器件中的电子和空穴在饱和状态中的作用相对于 nMOSFET 晶体管被互换，下面的过程对于 pMOSFET 是有效的，并且电子和空穴电流分别被互换。

漏极雪崩热载流子注入。漏极雪崩热载流子 (Drain Avalanche Hot Carrier, DAHC) 注入表示由 II 在 MOSFET 漏极区产生的次级空穴和电子注入到栅极氧化物。由于热电子和空穴都可能同时注入到栅氧化层中，因此很难研究 II 对 CHC 损伤的影响。在  $V_{th} < V_{gs} < 1/2 V_{ds}$  范围中，栅极电流出现的两个峰值。其一与在  $V_{gs} = V_{th}$  处注入热空穴 ( $I_{g,h}$ ) 有关，而另一个峰值 (肩部区域) 归因于在  $V_{gs} \approx 1/2 V_{ds}$  处产生的热电子 ( $I_{g,e}$ )。两种热载流子都是 II 产生的电子空穴对的副产物，并通过横向电场获得较高能量。在这种情况下，主要的载流子是形成源电流  $I_s$  的沟道电子。

当  $V_{th} \leq V_{gs} \ll V_{ds}$  时产生空穴栅极电流。在这些偏置条件下，由于漏极附近的垂直电场反转， $E_{ox}$  从漏极指向栅极，空穴注入的势垒降低。II 产生的空穴易于注入，而电子则被垂直电场排斥。一些具有足够能量的“幸运”电子可以克服电场和势垒，并注入到栅极氧化物中。 $I_{inj,h}$  随电压增加出现上升的现象是由于源电流 ( $I_s$ ) 的增加导致的，该电流使碰撞电离增加。随着栅源电压的不断增大，空穴栅电流达到最大。 $V_{gs}$  的进一步增加会降低垂直电场的电场强度，从而导致  $I_{g,h}$  减小。随着栅极电压增加超过热空穴范围，电离的热电子引起的沟道热载流子注入占主导地位。随着栅源电压的不断加大，垂直电场反转程度减弱，使得热电子有更大的概率克服 Si/SiO<sub>2</sub> 势垒，从而在  $V_{gs} \approx 1/2 V_{ds}$  处出现峰值。 $V_{gs}$  的进一步增加将增加  $V_{dsat}$  并减小横向电场，这也是最大衬底电流的条件。这种效应会迅速降低 II 的概率。在这种情况下，II 产生的电子将不会对  $I_g$  产生重大贡献。

沟道热电子注入。沟道热电子 (Channel Hot Electrons, CHE) 通常在栅源电

压超过漏源电压时产生。在这种情况下，漏饱和电压增加，横向电场强度减弱。由于  $V_{gs}$  的增大，氧化层垂直电场( $F_{ox}$ )变大，使载流子在垂直方向获得能量注入栅氧层。

## (2) 载流子多步获得能量造成的 CHC 注入

这是比基本的 EDF 增加更多能量的热载流子产生的沟道热载流子注入。这些通常是两步过程机制，其中最初的加热是由于横向电场引起的，然后是能量交换机制，例如电子散射或二次碰撞电离。最后一类在先进 CMOS 技术中占主导地位。

对于载流子注入栅氧层的机制的研究中，幸运电子模型比较受研究人员的推崇。

### 2. 热载流子引起损伤的机制

小部分影响 Si/SiO<sub>2</sub> 界面或注入 SiO<sub>2</sub> 的高能沟道载流子会导致沟道热载流子物理损坏，从而导致器件特性 ( $V_{th}$ ,  $I_d$  等) 发生变化，而且 MOSFET 关键参数的变化仅与 Si/SiO<sub>2</sub> 界面上沟道热载流子损坏间接相关。在 nMOSFET 和 pMOSFET 器件的沟道热载流子应力过程中，已观察到三种不同类型的损坏机制：界面态产生 ( $N_{it}$ )、电子俘获和空穴俘获。这些机制中每个机制的优势都与载流子注入过程密切相关，后者又取决于应力下的偏压条件。上文已经描述了在这些偏置条件下电流注入的过程，下文将会对损坏的产生过程进行解释。表 2.1 描述了 nMOSFET 在给定  $V_{ds}$  ( $V_{ds} > V_{dsat}$ ) 时不同的栅压应力下观察到的 CHC 破坏过程。

表 2.1 不同  $V_{gs}$  下 NMOS 器件载流子注入与损伤机理

Table 2.1 Carrier injection and damage mechanism of NMOS under different  $V_{gs}$

$V_{gs}$ 偏压	注入机理	损伤机理
低栅压( $0 - V_t$ )	空穴注入	正电荷积累与界面态的产生
中等栅压( $V_t + -V_{ds-}$ )	少量补偿注入	界面态的产生
高栅压( $V_{ds-}$ )	电子注入	负电荷积累与界面态的产生

主要的破坏机制是在 Si/SiO<sub>2</sub> 界面处产生受主型界面态 ( $\Delta N_{it}^A$ )。受主型界面态的产生降低了反型沟道中电子的浓度和迁移率，并增加了沟道电阻，从而导致器件参数 (例如驱动电流和跨导) 降低。 $N_{it}$  产生的最坏应力条件在之前的研究中一直与最大衬底电流 ( $V_{gs} \approx 1/2 V_{ds}$ ) 偏置条件相关，该条件不对应于强空穴或电

子注入，而是对应于最大数量的高能载流子。在这种情况下，电荷俘获的贡献很小，并且倾向于通过碰撞电离过程中生成并注入到栅极氧化物中的电子空穴对中的热空穴和热电子注入来补偿。

表 2.2 描述了 pMOSFETs 在应力和正常运行下观察到的沟道热载流子损伤机制。pMOSFET-CHC 损伤受热空穴和热电子的竞争作用控制。

表 2.2 不同  $V_{gs}$  下 PMOS 器件载流子注入与损伤机理

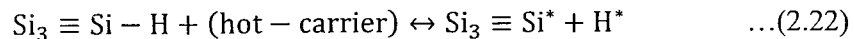
Table 2.1 Carrier injection and damage mechanism of PMOS under different  $V_{gs}$

$V_{gs}$ 偏压	注入机理	损伤机理
低栅压( $0-V_t$ )	电子注入	负电荷积累与界面态的产生
中等栅压( $V_t+V_{ds-}$ )	少量补偿注入	界面态的产生
高栅压( $V_{ds-}$ )	空穴注入	正电荷积累与界面态的产生

施主型界面态  $\Delta N_{it}^D$  的产生在大多数导通 CHC 条件下占主导地位，并受热空穴的控制，最坏的情况出现在  $V_{gs} \approx V_{ds}$ 。最后一个条件可以产生正电荷，但在足够高的电场下。在低栅电压下 ( $V_{gs}$  从小于  $V_{th}$  到稍高于  $V_{th}$ )，有利于热电子注入 ( $I_g \approx I_{inj,e}$ )。

在这些条件下 (峰值  $I_g$ )，电子俘获发生在加载应力的漏极一侧。产生的损坏与已存在的负电荷聚集的陷阱的占用有关。这种负电荷引起了众所周知的短沟道效应，同时掩盖了它在同一区域产生的  $\Delta N_{it}^D$  的影响，这种现象已经在厚栅氧化层器件 (如 0.25 $\mu\text{m}$  Tech.) 中观察到。在最近的技术中，栅氧化过程的特点进一步决定了热空穴和热电子损伤在控制沟道热载流子衰退中的主导作用。

界面态 ( $N_{it}$ ) 是三价 Si 原子，在 Si/SiO<sub>2</sub> 界面有一个不饱和 (未配对) 价电子，它们通常用  $\text{Si}_3 \equiv \text{Si}^*$  表示。其中符号  $\equiv$  表示与晶格中其他硅原子配对的三个完整价键，而 \* 表示悬挂键中的第四个未配对电子。该电子可以与来自 H 离子的电子配对以形成  $\text{Si}_3 \equiv \text{Si}-\text{H}$  形成完整价键。人们普遍认为， $N_{it}$  是由沟道热载流子通过反应破坏  $\text{Si}_3 \equiv \text{Si}-\text{H}$  键而产生的，如下式：



这一反应涉及两个过程： $\text{Si}_3 \equiv \text{Si}-\text{H}$  键的断裂和  $\text{H}^*$  从 Si/SiO<sub>2</sub> 界面区域的扩散，使得  $\text{Si}_3 \equiv \text{Si}^*$  未被钝化。在稳态条件下，界面态的生成速率是由  $\text{Si}_3 \equiv \text{Si}^*$  生成速率 (反应控制过程) 和  $\text{Si}_3 \equiv \text{Si}^*$  与  $\text{H}^*$  的再钝化速率 (扩散控制过程) 之间的平衡控

制的。

界面态是电活性缺陷，并且具有穿过硅带隙的能量分布。它们在带隙中的分布使得它们在 Si 带隙的上半部分是受主型，在下半部分是施主型。在施主型状态下， $N_{it}$  未被占据时 ( $E_{it} > E_F$ ) 带正电荷 ( $N_D^+$ )，在填充时带中性电荷 ( $E_{it} < E_F$ )。类似地，受主类型  $N_{it}$  未被占据时 ( $E_{it} > E_F$ ) 是中性的，在填充时 ( $E_{it} < E_F$ ) 是带负电荷 ( $N_A^-$ ) 的。图 2.4 显示了受主和施主型  $N_{it}$  对 nMOSFET 器件的净电荷贡献，在 pMOSFET 器件中情况类似。

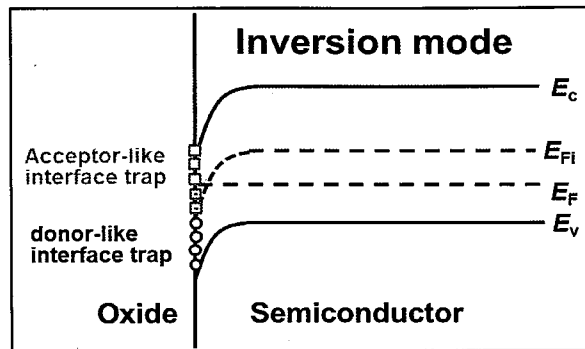


图 2.4 nMOSFET 界面态及电学特性

Figure 2.4 Interface state and electrical characteristics of nMOSFET

在 CHC 应力过程中，可以产生受主型和施主型界面态，但电荷对器件特性的影响取决于与界面态相关的能级 ( $E_{it}$ ) 相对于测试条件下的费米能级 ( $E_F$ ) 的位置。在 nMOSFETs 反型区域，只有受主型界面态 ( $N_A^-$ ) 具有负电荷，如上图所示。即使产生施主类型  $N_{it}$ ，也只能是中性的。pMOSFETs 的情况正好相反，在反型区域，只有施主类型  $N_{it}$  ( $N_D^+$ ) 贡献正电荷，而受主类型  $N_{it}$  只能是中性的。

通过电荷泵 (Charge Pumping, CP) 测量可以发现应力过程中产生的  $N_{it}$ 。将  $I_{cp}$  称为在给定应力时间测得的电荷泵电流<sup>[26]</sup>，很容易证明：

$$N_{it} \propto I_{cp} \quad \dots(2.23)$$

$N_{it}$  的产生与  $I_{cp}$  的变化成正比。

氢从界面态释放后，扩散出去或与界面态再复合 (再钝化)。界面态对 MOSFET 器件特性有不同的影响。由于它们作为产生-复合中心，导致结泄漏和低频 ( $1/f$ ) 噪声。作为散射中心，它们降低了沟道迁移率，进而降低了驱动电流。由于它们的电荷状态，会导致平带电压发生改变，从而改变器件的阈值电压。

### 3. 热载流子对器件参数的影响

如沟道迁移率 ( $\mu_0$ ) 和平带电压 ( $V_{FB}$ ) 受到影响, 进而影响键、MOSFET 电学参数, 如线性漏电流 ( $I_{dlin}$ )、饱和漏电流 ( $I_{dsat}$ )、阈值电压 ( $V_{th}$ )、线性最大跨导 ( $g_m$ )、亚阈值斜率 ( $ss$ )、漏极串联电阻 ( $R_s$ ) 和漏极结泄漏电流。

当  $V_{gs} < V_{th}$  时, 产生弱反型, 形成亚阈值导通。漏电流主要由电荷载流子在沟道中的扩散所控制<sup>[23]</sup>。

$$I_{dlin} \approx \mu_{eff} C_{ox} \frac{W}{L} \times \left( \frac{kT}{q} \right)^2 e^{q(V_{gs} - V_{th})/mkT} (1 - e^{-qV_{ds}/kT}) \quad \dots(2.24)$$

$W$  与  $L$  分别为器件沟道的宽度和长度,  $C_{ox}$  为栅氧电容,  $\mu_{eff}$  为有效沟道迁移率,  $V_{th}$  为阈值电压。体效应系数  $m$  由下式给出:

$$m = 1 + \frac{C_{dm}}{C_{ox}} \quad \dots(2.25)$$

$C_{dm}$  是  $\Psi_s = 2\Psi_b$  条件下单位面积的体耗尽电容。由于  $C_{dm}$  是由耗尽 ( $C_{Depl}$ ) 和界面态电容 ( $C_{it}$ ) 并联的, 可得:

$$\frac{1}{C_{dm}} = \frac{1}{C_{Depl}} + \frac{1}{C_{it}} \quad \dots(2.26)$$

在 nMOSFET 中, 界面态电容定义为:

$$C_{it}(\Psi_s) \equiv q \times \frac{dN_{it}^A(\Psi_s)}{d\Psi_s} \quad \dots(2.27)$$

其中  $N_{it}^A(\Psi_s)$  是 Si/SiO<sub>2</sub> 界面的受主型界面态。随着应力过程中界面态数目的增加, 界面态电容  $C_{it}$  增加, 从而导致  $C_{dm}$  减小。

故亚阈值摆幅  $ss = \left( \frac{d \log_{10}(I_{dlin})}{dV_{gs}} \right)^{-1}$  通过结合 2.24 式可得:

$$ss = 2.3 \frac{mkT}{q} = 2.3 \frac{kT}{q} \left( 1 + \frac{C_{dm}}{C_{ox}} \right) \quad \dots(2.28)$$

可见亚阈值摆幅是由体耗尽电容控制的。在 nMOSFET 器件的应力过程中, 随着  $N_{it}^A(\Psi_s)$  的增加,  $C_{it}$  随着  $ss$  的减少而增加。

当  $V_{gs} > V_{th}$  时, 产生强反型, 漏电流主要由电荷载流子在沟道中的漂移所控制<sup>[23]</sup>。

$$I_{dlin}(t) \cong \frac{WC_{ox}}{L} \times \mu_{eff}(t) \times (V_{gs} - V_{th}(t)) V_{ds}^*(t) \quad \dots(2.29)$$

$V_{ds}^*$  为在给定的应力时间  $t$ , 考虑由于 CHC 引起的漏极串联电阻 ( $R_d$ ) 的增加而引起的漏极对源极的压降。

$$V_{ds}^*(t) \equiv V_{ds} - I_{dlin}(t) \times R_d(t) \quad \dots(2.30)$$

一般情况下, 假设初始源电阻  $R_s(0)$  和漏电阻  $R_d(0)$  是可忽略的, 并且由于漏区的

局部损伤, 只有  $R_d$  在应力期间增加。结合 2.29 与 2.30 式, 并忽略  $R_d$  的增加, 可以得到:

$$I_{dlin}(t) = \frac{C_{ox}(V_{gs}-V_{th}) \times W \times \mu_{eff} \times V_{ds}}{L} \quad \dots(2.31)$$

将  $I_{dlin}(0)$  称为初始 (加载应力前) 线性漏电流, 根据上式很容易证明给定应力时间下的  $I_{dlin}$  漂移量 ( $\delta I_{dlin}$ ) 为:

$$|\delta I_{dlin}| = \left| \frac{\Delta I_{dlin}}{I_{dlin}(0)} \right| \approx \left| \frac{\Delta \mu_{eff}}{\mu_{eff}(0)} \right| + \left| \frac{\Delta V_{th}}{V_{gs}-V_{th}(0)} \right| \quad \dots(2.32)$$

其中  $\Delta V_{th} = V_{th}(t) - V_{th}(0)$ 。可以推论出  $I_{dlin}$  漂移受迁移率衰减和  $V_{th}$  漂移量的控制。如果  $V_{gs}$  给定,  $I_{dlin}$  漂移受过驱动电压 ( $V_{gs}-V_{th}(0)$ ) 控制。

沟道迁移率衰退。在线性条件 ( $V_{ds} < V_{dsat}$ ) 下, 强反型 ( $V_{gs} > V_{th}$ ) 中有效沟道迁移率的表达式如下:

$$\mu_{eff} \cong \frac{\mu_0}{1 + (\theta(V_{gs}-V_{th}))} \quad \dots(2.33)$$

其中  $\mu_0$  是沟道迁移率因子,  $\theta$  是沟道迁移率衰减因子。从而沟道迁移率的衰退也与界面态的产生相关:

$$\frac{\Delta \mu_0(t)}{\mu_0(0)} \approx \frac{1}{1 + \Delta N_{it}(t)} \quad \dots(2.34)$$

阈值电压  $V_{th}$  衰退。MOSFET 中阈值电压  $V_{th}$  由下式给出<sup>[23]</sup>:

$$V_{th} = V_{FB} + 2\Phi_B \frac{\sqrt{4\epsilon_s q N \Phi_B}}{C_{ox}} \quad \dots(2.35)$$

其中  $\Phi_B = (k_B T / q) \times \ln(N/n_i)$ ,  $C_{ox}$  为单位面积氧化层电容。  $V_{FB}$  为平带电压, 由下式给出:

$$V_{FB} = \Phi_{MS} - \frac{Q_f + Q_{it}}{C_{ox}} \quad \dots(2.36)$$

其中  $\Phi_{MS}$  为多晶硅到 Si 的功函数差,  $Q_f$  为固定电荷密度,  $Q_{it}(\phi_s)$  为表面势为  $\phi_s$  时界面态产生的电荷密度。在应力过程中只有  $Q_f$  与  $Q_{it}$  的改变会影响阈值电压  $V_{th}$  的漂移:

$$\Delta V_{th}(t) = q \left( \frac{\Delta N_f(t) + \alpha \Delta N_{it}(t)}{C_{ox}} \right) \quad \dots(2.37)$$

对于受主型界面态  $\alpha$  为正, 对于施主型界面态  $\alpha$  为负。

### 2.1.2 HCI 效应模型

当从器件的角度提及“热载流子寿命”时, 必须严格地将其视为一个数学概念, 这不能与实际的产品寿命相混淆。在计算热载流子寿命时通常会用到的数学

模型分别为:

### 1. $I_b/I_d$ 模型

该模型基于以下假设: 电子能量的增加完全是由于漏极横向电场的作用; 主要的能量弛豫过程是声子散射。电子能量分布函数由场驱动能量增益和声子散射之间的动态平衡决定。根据幸运电子模型 LEM 的假设, 电子能量分布函数可以表示为:

$$f(E) = C \times e^{-E/q\lambda F_{max}} \quad \dots(2.38)$$

$$\frac{I_{sx}}{I_s} = C_1 e^{-\phi_{II}/q\lambda F_{max}} \quad \dots(2.39)$$

$$I_g = C_2 I_d e^{-\phi_b/q\lambda F_{max}} \quad \dots(2.40)$$

其中  $\phi_{II}$  是碰撞电离发生的阈值能量(1.3eV),  $\phi_b$  是电子跨越 Si/SiO<sub>2</sub> 势垒高度的能量(3.2eV),  $\lambda$  为速度饱和区 (主要受光学声子散射控制) 的沟道载流子的平均自由程。如果  $\phi_{IT}$  表示产生界面态所需要的能量。

$$\Delta N_{it} = C_4 \left[ t \frac{I_d}{W} e^{-\phi_{IT}/q\lambda E_m} \right]^n = \left[ t \times \frac{I_d}{W} \times \left( \frac{I_b}{I_d} \right)^m \right]^n \quad \dots(2.41)$$

但产生给定  $\Delta N_{it}$  时, 得到下式:

$$\frac{t I_d}{W} \propto \left[ \frac{I_b}{I_d} \right]^{-\phi_{IT}/\phi_{II}} \quad \dots(2.42)$$

对于不同的器件参数:

$$\Delta Y(t) \propto L_{eff}^\alpha \times \Delta N_{it}(t) \approx L_{eff}^\alpha \left[ t \times \frac{I_d}{W} \times \left( \frac{I_b}{I_d} \right)^m \right]^n \exp(-\Delta H/kT) \quad \dots(2.43)$$

其中  $\Delta Y(t)$  为使用条件下器件参数的变化量,  $I_d$  为新器件在应力条件下的漏电流,  $I_b=I_{sx}$  为新器件在应力条件下的衬底电流,  $W$  为器件沟道宽度,  $T$  为应力温度,  $t$  为施加应力时间,  $m$  为由  $\phi_{IT}/\phi_{II}$  比值给出的常数。在实验结果中  $m$  通常为 2.9, 时间斜率  $n$  的值具有典型的界面状态生成范围 0.4–0.6, 通常为 0.45–0.5。

根据 2.42 式与 2.43 式可得:

$$t_{tar} I_d = A W \left( \frac{I_b}{I_d} \right)^{-m} \quad \dots(2.44)$$

其中  $t_{tar}$  为器件参数衰退量  $\Delta Y(t)$  达到失效标准的时间,  $C$  为拟合参数。重新整理上式得到:

$$\frac{t_{tar} I_d}{W} = A \left( \frac{I_b}{I_d} \right)^{-m} \quad \dots(2.45)$$

通过对上式等号两边取对数得到<sup>[27]</sup>:



$$\log\left(\frac{t_{tar} I_d}{W}\right) = \log A - m \times \log\left(\frac{I_b}{I_d}\right) \quad \dots(2.46)$$

如图 2.5 所示，通过线性回归分析以获得拟合参数 A 和 m。

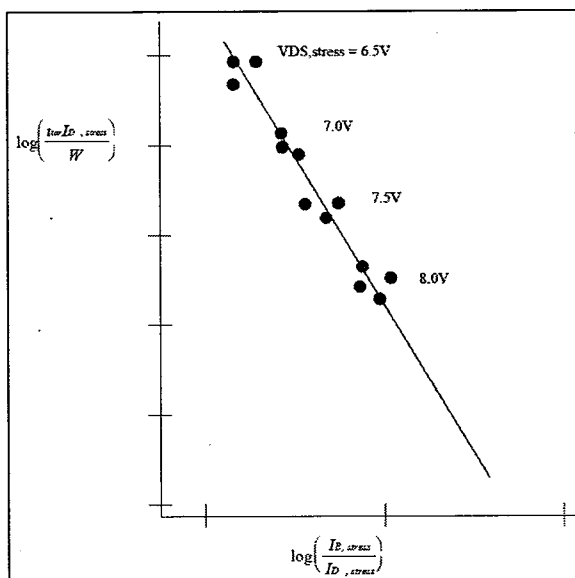


图 2.5  $I_b/I_d$  模型数据处理示例

Figure 2.5  $I_b/I_d$  model data processing example

一旦常数 A 和 m 被确定，使用条件下的失效时间就可以通过下式得出：

$$t_{tar,use} = \frac{AW}{I_{d,use}} \left(\frac{I_{b,use}}{I_{d,use}}\right)^{-m} \quad \dots(2.47)$$

其中  $t_{tar,use}$  为使用条件下失效时间， $I_{d,use}$  为使用条件下的漏电流， $I_{b,use}$  为使用条件下衬底电流。

### 2. $1/V_{ds}$ 模型

在取近似  $F_{max} \approx \frac{V_{ds}}{l}$  的基础上，进一步近似得到：

$$\tau \approx B \times e^{\phi_{IT}/q\lambda F_{max}} \approx B \times e^{\beta/V_{ds}} \quad \dots(2.48)$$

其中 B 为拟合参数， $V_{ds}$  为加载的漏源偏压， $\beta$  的理论值为  $(l/\lambda)(\phi_{IT}/q)$ ，然而， $\beta$  是实验测得的值。在这一模型中不需要测量衬底电流。在这一模型的使用中，应力是在多个晶体管上进行的，每个晶体管加载  $V_{ds}$  与  $V_{gs}$  不同。

应力下器件达到失效标准的时间  $t_{tar}$  为：

$$t_{tar} = B \times e^{\beta/V_{ds}} \quad \dots(2.49)$$

等式两边同时取对数得到<sup>[27]</sup>：

$$\ln t_{tar} = \ln B + \frac{\beta}{V_{ds}} \quad \dots(2.50)$$

如图 2.6 所示，通过线性回归分析以获得拟合参数 B 和  $\beta$ 。

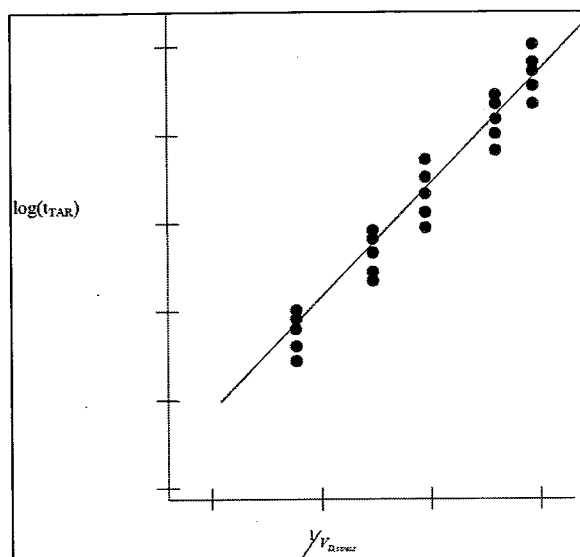


图 2.6  $1/V_{ds}$  模型数据处理示例

Figure 2.6  $1/V_{ds}$  model data processing example

一旦常数 A 和  $m$  被确定，使用条件下的失效时间就可以通过下式得出：

$$t_{tar,use} = B \times e^{\beta/V_{ds,use}} \quad \dots(2.51)$$

其中  $t_{tar,use}$  为使用条件下失效时间， $V_{ds,use}$  使用条件下的漏源偏压。

### 3. $I_b$ 模型

在这一模型的使用中，应力是在多个晶体管上进行的，每个晶体管加载  $V_{ds}$  与  $V_{gs}$  不同。

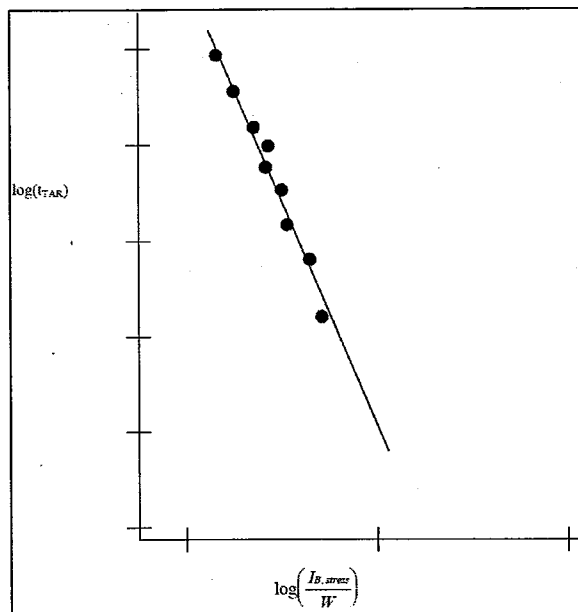
应力下器件达到失效标准的时间  $t_{tar}$  为：

$$t_{tar} = D \times \left(\frac{I_b}{W}\right)^{-b} \quad \dots(2.52)$$

其中 D 与  $b$  均为拟合参数。等式两边同时取对数得到<sup>[27]</sup>：

$$\log t_{tar} = \log D - b \times \log\left(\frac{I_b}{W}\right) \quad \dots(2.53)$$

如图 2.7 所示，同样通过类似上述两种模型的线性回归分析方法获得拟合参数 D 与  $b$ 。

图 2.7  $I_b$  模型数据处理示例Figure 2.7  $I_b$  model data processing example

只要常数  $D$  和  $b$  被确定，使用条件下的失效时间就可以通过下式得出：

$$t_{tar,use} = D \times \left( \frac{I_{b,use}}{W} \right)^{-b} \quad \dots(2.54)$$

其中  $t_{tar,use}$  为使用条件下失效时间， $V_{ds,use}$  使用条件下的漏源偏压。

## 2.2 BTI 效应

由于 MOSFET 器件的工艺特点，退火过程中会在 Si/SiO<sub>2</sub> 界面产生大量 Si-H 键，从而会使栅氧层中产生缺陷。大量的缺陷会捕获沟道中的电子或者空穴，对器件的参数造成影响。尤其在先进工艺中 high- $k$  介质层与金属栅的引入使得更多缺陷的产生，引起的 BTI 效应加剧。PBTI 效应对于器件性能的影响相对于成熟工艺更加明显。所以在先进工艺的 HCI 可靠性研究中，也开始更多的考虑 BTI 效应带来的耦合效果。本节以 NBTI 效应为例，对其物理机理及老化预测模型进行探讨，对日常生产中所使用的测试方法进行介绍。

### 2.2.1 BTI 效应物理机制

#### 1. 反应-扩散模型

目前对于 NBTI 效应原理的研究中，反应-扩散模型<sup>[28]</sup>较受领域内的研究人

员认可<sup>[29]</sup>。该模型中，在不同栅源电压下的 NBTI 效应分为偏置期与恢复期。如图 2.8 所示，在 CMOS 工艺中，退火处理会使得 Si/SiO<sub>2</sub> 界面出现大量 Si-H 键<sup>[30]</sup>。在晶体管的工作过程中，栅端加载负偏压 ( $V_{gs} < 0$ )，源端电压为零时，界面处的 Si-H 键在偏置应力和高温下发生断裂，氢原子结合形成氢气并溢出，而沟道中则会形成界面陷阱 ( $Si^*$ )，并且界面陷阱的密度随着应力时间的持续会急剧增加，造成 PMOS 器件的阈值电压逐渐升高<sup>[31-33]</sup>。

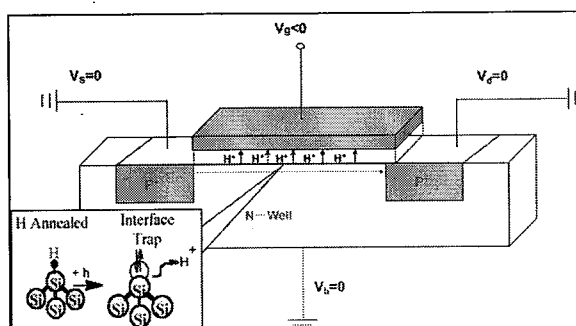


图 2.8 NBTI 效应反应-扩散模型：偏置期

Figure 2.8 R-D model of NBTI effect: stress period

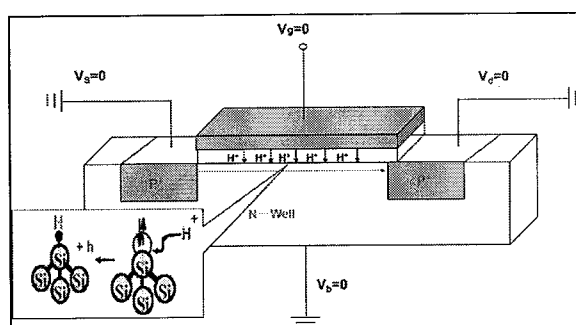


图 2.9 NBTI 效应反应-扩散模型：恢复期

Figure 2.9 R-D model of NBTI effect: recovery period

但是当 PMOS 器件栅端电压撤销，源端电压不变时，NBTI 效应则会进入恢复期<sup>[34]</sup>。如图 2.9 所示，氢离子受电场的驱动与界面陷阱重新结合形成硅氢键<sup>[35-37]</sup>。所以界面陷阱密度就会在恢复期逐渐下降，继而器件的阈值电压出现恢复的现象<sup>[38-39]</sup>。但是 NBTI 效应只能恢复一部分特性，如图 2.10 所示，PMOS 在偏置期 (Stress time)，NBTI 效应衰退快速增加，器件性能下降。器件应力撤销后，NBTI 效应在撤销应力的时间 ( $T_{off-stress}$ ) 里出现恢复，从而器件的性能得到部分恢复。但

是经过恢复期，NBTI 效应造成的衰退无法恢复到未加载应力之前的状态。这是由于偏置应力撤销后，只有很少部分重新结合形成的 Si-H 键，Si-H 键的数量不能够恢复到未加载偏置应力之前的状态，还有很多界面陷阱存在，因此 NBTI 效应只能恢复一部分特性。随着工作时间的延长，NBTI 效应导致的器件性能的衰退在不断增加，例如会使阈值电压逐渐增加，减小工作电流，使器件性能出现退化甚至失效，导致电路的工作时延增加。

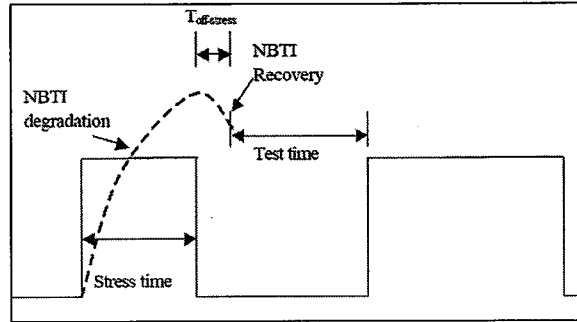


图 2.10 NBTI 衰退在  $T_{\text{off-stress}}$  时间内恢复情况

Figure 2.10 Recovery of NBTI degradation in  $T_{\text{off-stress}}$

而且界面陷阱的生成速率与下降速率也在随着 NBTI 效应的不同时期发生变化。当 NBTI 效应处于偏置期时，界面陷阱的生成速率与 Si-H 键的断裂速率呈正相关<sup>[40]</sup>。界面陷阱的生成速率通过下式可知：

$$\frac{dN_{it}}{dt} = G * (M_0 - N_{it}) - S * N_{it} * N_H^{1/\alpha} \quad \dots(2.55)$$

其中， $N_{it}$  为界面陷阱的密度， $G$  为  $E_{ox}$  的扩散率常数， $M_0$  为硅氢键的初始值， $S$  为硅氢键恢复率常数， $N_H$  为氢物质的浓度， $\alpha$  与氢的存在类型相关：氢原子  $\alpha=1$ ，氢分子  $\alpha=2$ 。

当 NBTI 效应处于偏置期时，氢物质处于扩散状态，氢原子结合形成氢气会对氢原子的扩散产生正反馈，使氢原子的扩散速度加快，所以界面陷阱的生成速率很大程度上与氢原子的扩散速度有关<sup>[41]</sup>：

$$\frac{dN_{it}}{dt} = -D_H * \frac{dN_H}{dx} \quad \dots(2.56)$$

其中  $D_H$  表示氢物质在氧化层中的扩散系数。

当 NBTI 效应处于恢复期是，界面陷阱的公式则变为<sup>[42]</sup>：

$$N_{it}(t_{\text{off-stress}} + t_{\text{recovery}}) \approx N_H^* \sqrt{D_H(t_{\text{off-stress}} + t_{\text{recovery}})} \quad \dots(2.57)$$

其中  $t_{\text{off-stress}}$  为偏置应力撤销的时间， $t_{\text{recovery}}$  为恢复时间， $N_H^*$  为参与重新生成 Si-

H 键的氢原子的浓度。

2. 除了反应-扩散模型比较受欢迎之外, 还有电荷俘获释放机制也可以解释 NBTI 效应的物理机制<sup>[43]</sup>。电荷俘获释放机制是器件 SiO<sub>2</sub> 介质层中的氧化层陷阱俘获释放电荷(空穴或电子)的过程。如果氧化层陷阱俘获到空穴则表现正电性。反之, 则表现出负电性。同理氧化层陷阱没有俘获到电荷, 则表现出电中性。在器件处于饱和区形成反型层时, 沟道中的电荷可以比较容易的进入到氧化层中被氧化层陷阱俘获, 最后导致阈值电压的升高。

### 2.2.2 BTI 效应模型

BTI 效应主要通过生成界面陷阱, 影响器件的阈值电压, 从而影响器件的饱和漏电流与跨导等电学参数, 造成器件性能的衰退。所以, 关于 BTI 效应中阈值电压的预测模型成为首要的研究角度。本节以 NBTI 效应的预测模型为例进行介绍, 预测模型可以分为两种情况: 静态模型和动态模型。

#### 1. 静态模型

当不考虑 NBTI 效应恢复期时, 随着偏置时间的延长, 界面陷阱数量急剧增加, 阈值电压不断升高。阈值电压的改变量与时间  $t$  的关系可以表示为:

$$\Delta V_{th} = B \left( (1 + \delta) T_{ox} + \sqrt{C(t - t_0)} \right)^{2n} \quad \dots(2.58)$$

其中  $B$  为与空穴密度相关的参数,  $\delta$  为小于 1 的拟合参数,  $T_{ox}$  为栅氧层厚度,  $C$  为栅氧电容,  $t_0$  为初始时刻,  $n$  为时间指数, 且与扩散氢物质的类型有关: 氢分子  $n=1/6$ , 氢原子  $n=1/4$ 。B 与空穴密度的关系可以通过下式得到:

$$B = \left( \frac{qT_{ox}}{\epsilon_0 \epsilon_{SiO_2}} \right)^3 \sqrt{K^2 C_{ox} (V_{gs} - V_{th}) e^{2E_{ox}/E_0}} \quad \dots(2.59)$$

其中  $q$  为电子电荷量 ( $1.60 \cdot 10^{-19}$  库伦),  $K$  为玻尔兹曼常数,  $\epsilon_0$  为真空介电常数,  $\epsilon_{SiO_2}$  为 SiO<sub>2</sub> 的介电常数,  $E_0$  取值为 0.335V/nm。

由 2.58 与 2.59 式可以得知, 静态模型中影响阈值电压变化量的因素包括栅源电压  $V_{gs}$  与温度。这也解释了高温环境中加载偏置应力的器件出现衰退的原因。

#### 2. 动态模型

在动态模型中则需要考虑 NBTI 的恢复作用, 如果偏置应力的加载与撤销是周期性的, NBTI 效应的偏置期与恢复期交替出现, 阈值电压受 NBTI 效应的影响则是动态的。这种情况下阈值电压随时间  $t$  的变化量可以表示为:

$$\text{偏置期: } \Delta V_{th} = \left( K_v(t - t_0)^{1/2} + {}^{2n}\sqrt{\Delta V_{th0}} \right)^{2n} \quad \dots(2.60)$$

$$\text{恢复期: } \Delta V_{th} = \Delta V_{th0} \left( 1 - \frac{2\varepsilon_1 t_e + \sqrt{\varepsilon_2 C(t - t_0)}}{2T_{ox} + \sqrt{Ct}} \right) \quad \dots(2.61)$$

其中  $\varepsilon_1$  与  $\varepsilon_2$  为拟合参数,  $K_v$  由下式给出:

$$K_v = \left( \frac{qT_{ox}}{\varepsilon_0 \varepsilon_{SiO_2}} \right)^3 K^2 C_{ox} (V_{gs} - V_{th}) \sqrt{C} e^{2E_{ox}/E_0} \quad \dots(2.62)$$

除了与静态模型中相同的因素即栅源电压和温度会对阈值电压变化量造成影响外, 通过动态模型的公式可以得知栅氧层的厚度也会对阈值电压的变化量造成影响。栅氧层越薄, 偏置期阈值电压受到的影响越大, 恢复期阈值电压的修复效果越差。阈值电压的衰退程度也会受到占空比的影响, 占空比为偏置应力加载时间在整个加载撤销周期中所占的比例<sup>[44]</sup>。占空比越大, 器件处于偏置期的时间越长, 阈值电压的衰退也就越严重。

基于电荷俘获释放机制的模型。该模型下器件的阈值电压与偏置时间  $t$  的关系如下式:

$$\Delta V_{th} = N_{it} \left( \int_{E_v}^{E_c} \frac{f(E_T) dE_T}{1 + e^{-(E_T - E_F)/kT}} \right) [A + \log(1 + C \cdot t_{stress})] \quad \dots(2.63)$$

其中 A 为拟合参数,  $E_T$  为界面陷阱能量。

## 2.3 测试方法及工具

### 2.3.1 加速应力实验

在日常的器件可靠性测试中, 通过加速寿命测试 (ALT) 的方法, 对样品在高电压、高温与高电流等较高测试条件下进行几秒到几百小时不同时间的测试。通过多组偏置应力条件, 获得器件各项参数, 然后根据样品的失效机理和模型获得器件累计失效分布, 推算产品在正常使用条件下的寿命, 并评估产品的可靠性<sup>[45]</sup>。但是实验过程中所加的应力要避免对器件造成损伤, 而且所加载应力应使目标效应引起的退化起主要作用。

### 2.3.2 可靠性测试

可靠性测试的流程如图 2.11 所示。首先待测原件应该选用未施加过应力的新器件。如果器件状态符合要求, 确认良好, 则开始在测试系统设置应力条件测试参数 (例如, 栅端电压、漏端电压、源端电压、体端电压、测试温度、测试时长以及扫描时间间隔等), 然后开始施加应力。在应力施加完毕后, 测试系统对

器件各个电学参数进行扫描记录并与初始值进行对比,从而得到该参数的衰退量。如果参数达到失效标准或者达到设定的测试时长则进行下一个应力周期,否则终止测试。

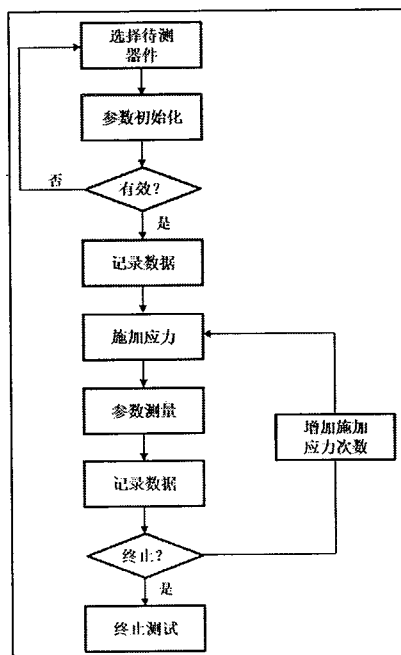


图 2.11 可靠性测试流程图

Figure 2.11 Reliability test flow chart

在选定应力条件环节,对于 HCI 可靠性的测试,应该考虑由漏端雪崩击穿或钳回击穿等因素引起的晶体管击穿来限制最大漏端电压(对 BTI 效应来说,漏端不需要添加应力,只需要添加栅电压)。同时设置最大应力条件,可以最大程度地减少激活在运行条件下不会出现的其他效应。对于给定的漏极偏置条件,应设置相应的栅极偏置以引起最大可能的 HCI 效应。设置栅极偏置电压时应考虑器件的工作条件,峰值  $I_b$  栅极偏置可能会使 NMOS 产生最大的衰退。

在施加应力及参数扫描记录环节,对于 HCI 可靠性测试,电压应按以下顺序施加:首先  $V_{bs}$ , 其次  $V_{gs}$ , 最后  $V_{ds}$ 。施加  $V_{ds}$  之后应力才开始施加。应力持续到达应力时间间隔为止。关断偏置必须以相反的顺序进行,首先是  $V_{ds}$ , 其次是  $V_{gs}$ , 最后是  $V_{bs}$ 。累积应力时间可以是 10、30、100、300、1000、3000、10000、30000 和 100000 秒。据此器件将承受 10 秒钟的偏置应力,在此应力时长后,将测量器件参数。然后,将对设备施加 20 秒钟的偏置应力,并再次测量参数。下



一个应力时长将是 70 秒。该过程继续进行，直到终止测试。而在 BTI 可靠性测试中，在偏置阶段采取与 HCI 测试相同的方法。在恢复阶段，则撤去应力，每隔一定时间测量一次器件的参数<sup>[13]</sup>。

### 2.3.3 Agilent 4072 与 TEL Prober P8-XL 测试系统

Agilent 4072 与 TEL Prober P8-XL 的测试系统包括 Tester(测试机)、Prober(探针台)、Prober Card(探针卡)和 Server(服务器)几部分组成。

测试机通过向 DUT(Device Under Test, 待测器件)输入激励信号，同时监控输出信号，对测试的数据进行记录和分析，并将测试结果上传到服务器供测试人员调取。在测试过程中主要依靠 SMU(Source Monitor Unit, 监测单元)通过探针卡上的探针对待测器件施加电流电压激励并进行监测。

探针测试台的工作主要是将测试机的激励信息与测得的芯片的电学参数在测试机与集成电路芯片之间传输。探针测试台一般可以分为分析探针测试台、通用探针测试台和特殊探针测试台等。

HP workstation(服务器)使用 UNIX 操作系统，测试人员可以将测试程序编写或修改保存后直接运行，且运行速度较快且稳定，能够较好的适应代工厂中生产设备长时间运行的应用场景。同时 HP workstation 也会把测试的数据保存并上传至 IT 数据分析系统，测试人员可以直接通过 IT 系统对测试结果进行查找调取并分析<sup>[46]</sup>。

测试程序中可以设置的参数包括：沟道宽度  $W$ 、沟道长度  $L$ 、测试环境温度  $T$ 、加压时间长度、Gate(栅端)电压、Source(源端)电压、Drain(漏端)电压、Substrate(体端)电压、电压步长、样品个数、测试卡连接方法、栅端最大电压、扫描精度等等。通过测试可以获得器件的漏端饱和漏电流  $I_{dsat}$ 、漏端线性电流  $I_{dlin}$ 、阈值电压  $V_t$  以及跨导  $G_m$  等电学参数。通过分析其各个电学参数的衰退速度来预测器件寿命。

### 2.3.4 Silvaco TCAD 仿真工具

本文所列的数据及图像通过 Agilent 4072 与 TEL Prober P8-XL 的测试系统和 Silvaco TCAD 仿真软件所得，在上一节中已经对于 Agilent 4072 与 TEL Prober P8-XL 的测试系统进行了介绍，在此不再赘述。

本文中用到的仿真模拟工具 TCAD 通过计算机仿真程序来模拟不同工艺条

件下的器件行为，从而可以省去部分工艺试验，节约经济成本和时间成本。除此之外，可以通过仿真软件修改器件结构参数进行优化，获得理想的器件性能表现，以此使得新技术的探究变得更方便快捷，为新工艺和器件的试制提供方案。TCAD 仿真软件以半导体物理为理论基础，既可以对工艺的制造流程和器件进行模拟仿真，还能够对电路的工作性能和各种类型的缺陷进行模拟<sup>[47]</sup>。

典型的 TCAD 设计流程：TCAD 的设计是建立在对工艺步骤和器件性能需求充分理解的基础上的，从而对于工艺对器件性能的影响做到最大程度的掌控，得到符合规范的器件结构参数和工艺流程定义；在此之后编写符合定义的工艺仿真文件，将其导入仿真软件进行工艺仿真；工艺仿真完成后将仿真数据导入器件仿真软件，进行器件仿真，最后得到器件仿真结果。

在本文中将根据已有工艺主要探讨器件的仿真，其中器件仿真是将结构参数转换到电学参数的过程，利用工艺仿真得到的参数（例如杂质浓度等），通过器件仿真系统来得到电学特性的数据（例如 I-V 特性曲线、C-V 特性曲线等）和器件内部的物理学参数（例如载流子浓度、电势分布、电场强度等）。器件仿真需要输入的数据包括工艺仿真之后的结构数据、对于器件的描述、C 解释器功能、掺杂分布图等。输出数据包括器件结构的 DC、AC 和瞬态电流电压，器件参数相对于电流电压的变化、任何参数的 2D 周线、C-V 特性曲线、瞬态和频域灵敏值等等<sup>[48-49]</sup>。

总之，TCAD 工具对于工艺的发展以及器件探究发挥了非常重要的作用，大大加快了工艺的研发速度和方便了新技术的研究。

## 2.4 小结

本章分别对 HCI 效应和 NBTI 效应的物理机制进行了分析，描述了不同陷阱的产生过程以及对器件性能产生影响的过程。对 HCI 效应和 NBTI 效应对器件可靠性的影响进行了讨论，并对不同效应的测试方法进行了介绍。

### 第3章 高 $K$ 介质金属栅工艺器件 HCI 失效机理研究

大规模集成电路中, HCI 效应一直是影响其可靠性的关键。栅电压的改变会通过 HCI 效应及 NBTI 效应等失效机理影响到器件的可靠性, 造成饱和漏电流、阈值电压以及跨导等性能的衰退。在日常的生产中, 对于 HCI 可靠性的测试一直是可靠性部门工作的重点之一。在成熟工艺器件可靠性的测试中, 通常通过条件的设定来减小不同效应之间的叠加耦合, 以此来准确获得不同失效机理对于可靠性的影响。例如, 在 HCI 效应测试中, 漏端与源端会加载一定的电压, 但是在 BTI 效应的测试中只会在漏端加载电压。这一条件就使得单一的失效效应得到突显, 使测量结果更准确。近年来, 随着集成电路技术的快速发展, 工艺节点不断向前推进, 不断缩小的特征尺寸使得电路老化加速并对可靠性产生了消极的影响, 这就更加突出了可靠性问题的重要性。在 CMOS 集成电路工艺为了缓解越来越大的漏电流而引入高  $k$  材料后, 可靠性测试中出现了新的问题。在高  $k$  介质金属栅极工艺中核心电路器件 (Core device) 的衰退情况测试中, 相对于成熟工艺未表现出明显的改变。但是, 在输入/输出器件 (I/O device) 中, 相同的栅电压条件下, 器件表现出的衰退情况已经与成熟工艺有所不同。由于工艺技术的提高, 各种工艺参数改变, 同样的测试条件可能会诱发其它失效效应增强, 使得测试结果不够准确。在 HCI 可靠性测试中, 造成器件可靠性衰退的也不再是某种单一的效应, 而是多种效应 (例如 BTI 效应) 耦合之后的结果。据此, 在对 HCI 测试中器件的失效机理进行讨论的时候就不得不引入其他效应来进行解释说明。所以先进工艺中栅电压对 HCI 测试的影响及其失效机理需要进一步探究。

本章对不同栅端电压下 N 型和 P 型 MOSFET 的饱和漏电流 ( $I_{dsat}$ ) 退化情况以及器件的退化效应进行测试和分析。通过分析衬底电流和栅端电流在不同栅端电压下的变化趋势, 对失效机理进行探讨, 分析其对饱和漏电流退化的影响。

#### 3.1 实验条件

实验中所选取的 MOSFET 器件均为 28nm 高  $k$  介质金属栅极工艺制造, 其中 PMOS 器件沟道宽度为 10 微米, 沟道长度为 0.44 微米; NMOS 器件沟道宽度为 10 微米, 沟道长度为 0.55 微米。NMOS 与 PMOS 源端加载电压均为 0V。

实验均是在常温 (25°C) 环境下进行。实验中的数据通过 Agilent 4072 与 TEL

Prober P8-XL 的测试系统测试收集所得。

### 3.2 实验结果及分析

#### 3.2.1 NMOSFET

在 28 纳米高  $k$  介质金属栅极工艺的输入/输出器件 (I/O device) 的测试中发现相对于成熟工艺 NMOS 器件不同的退化情况。如图 3.1 所示, 为沟道宽度为 10 微米, 沟道长度为 0.35 微米的 0.13 $\mu\text{m}$  工艺 NMOS 器件可靠性测试结果。测试结果表明, 当栅端加载电压为  $V_g@I_{bmax}$  时,  $I_{dsat}$  退化最严重, 明显大于  $V_g=V_d=1.5*V_{op}$  ( $V_{op}$  为使用电压) 条件下的退化情况。由此可以判断在成熟工艺的 HCI 测试中, 栅端电压为  $V_g@I_{bmax}$  时器件衰退最严重, HCI 效应达到最强, 成为使 HCI 效应最严重的栅压条件, 即最坏栅压应力条件。还有研究表明, 在 0.35 $\mu\text{m}$  工艺的 NMOS 器件中, 最坏 HCI 应力条件为  $0.4V_d < V_g < 0.5V_d$ <sup>[9]</sup>; 而沟道长度为 0.25 微米的 nMOSFETs, 经研究也被证实最坏栅压应力位于漏极偏压的 1/2 处, 即栅压为  $V_d$  的 0.4 ~ 0.55 倍<sup>[10]</sup>。

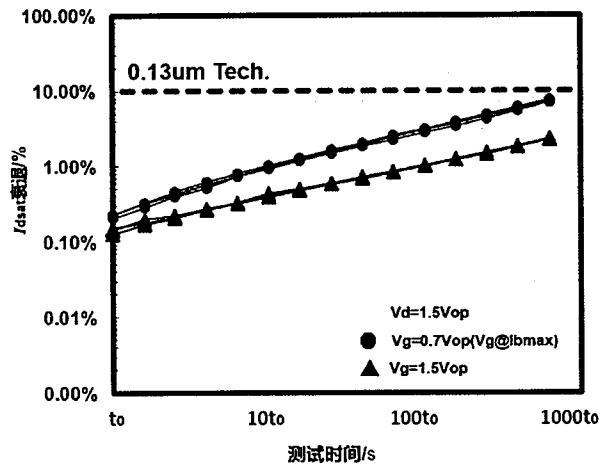
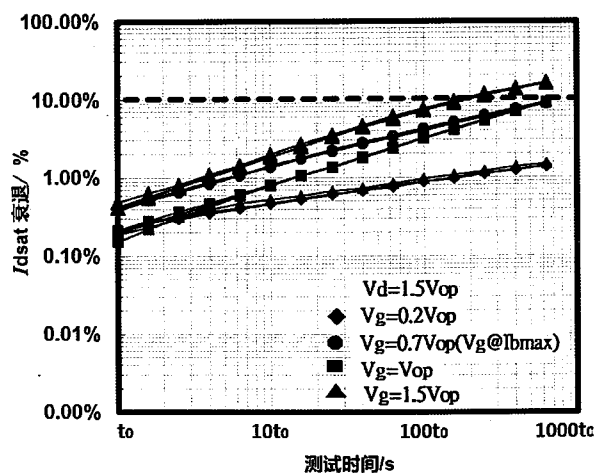


图 3.1 成熟工艺 HCI 测试退化情况

Figure 3.1  $I_{dsat}$  degradation in mature process HCI test

图 3.2 高  $k$  介质金属栅工艺 NMOS  $I_{dsat}$  衰退情况Figure 3.2  $I_{dsat}$  degradation in high-k metal gate process NMOS

但是在高  $k$  介质金属栅极 CMOS 工艺的 NMOS 器件的 HCI 测试中出现了不同的现象。图 3.2 为高  $k$  介质金属栅工艺下 NMOS 的衰退情况，如图所示，在栅端电压从阈值电压  $V_t$  ( $0.2$  倍  $V_{op}$ ) 增加到  $V_{op}$  的过程中， $I_{dsat}$  退化情况与成熟工艺器件表现相同。并且在这个栅压应力范围内，栅压条件为  $V_g@I_{bmax}$  时的器件退化较大。但是不同的情况出现在栅电压继续增大的过程中，当  $V_g$  继续增加直到栅压应力条件为  $1.5$  倍  $V_{op}$  ( $V_g=V_d$ ) 时，该应力条件使饱和漏电流  $I_{dsat}$  退化已经超过  $V_g@I_{bmax}$  条件下的饱和漏电流  $I_{dsat}$  退化，成为最坏栅压应力条件，这与成熟工艺器件的表现有所不同。

通过上述实验现象可见同样栅压应力条件下高  $k$  介质金属栅工艺中 NMOS 输入/输出器件的退化表现相对于成熟工艺来说已经发生了变化，最坏栅压应力条件发生转移。为了更深入的了解这一反转现象的本质，在日常的生产中更好的控制测试条件的选定，需要对其内在的失效机理进行探究。

为解释这个反转现象，探究高  $k$  介质金属栅极工艺 NMOS 器件中 HCI 效应的失效机理，进行如下实验。为避免实验结果的偶然性，将取自同一晶圆的测试结构相同且器件参数相同的三个 NMOS 管作为测试样品，并在同样测试条件下进行实验。在漏端加载  $1.5$  倍  $V_{op}$  电压，栅端电压从  $0v$  逐步增大到  $1.5$  倍  $V_{op}$ ，同时对衬底电流  $I_b$  进行测量，得到衬底电流相对于栅端电压的变化曲线，如图 3.3 所示。从图中可以看出，栅端电压为  $1.5$  倍  $V_{op}$  时，衬底电流非常微弱，相对于  $V_g@I_{bmax}$  条件下的衬底电流差距较大。结果表明， $V_g$  为  $1.5$  倍  $V_{op}$  时漏端碰撞

电离产生的 HCI 效应并不是最强,但是该条件下饱和漏电流退化情况却是最大,可见此时漏端碰撞电离产生的 HCI 效应并不是造成饱和漏电流衰退超过栅压应力为  $V_g@I_{bmax}$  条件的主要原因。

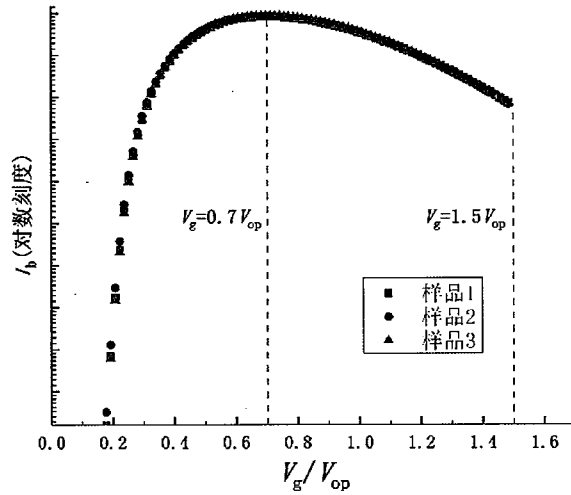


图 3.3 NMOS 衬底电流相对于  $V_g$  变化

Figure 3.3 Change of  $I_b$  with  $V_g$  in NMOS

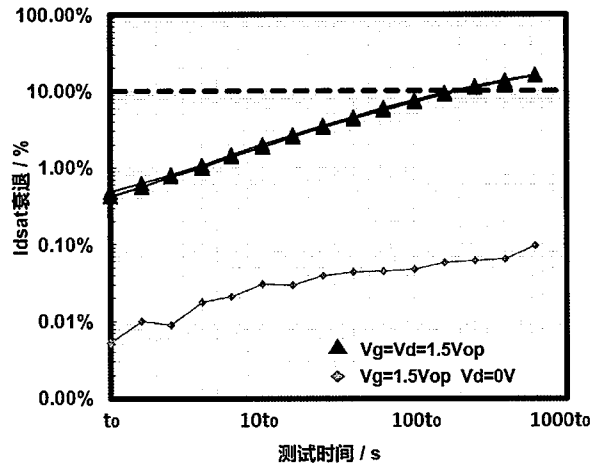


图 3.4 NMOS 的 PBTI 效应退化对比

Figure 3.4 Comparison of the degradation of the PBTI effect of NMOS

对于成熟工艺的器件, PBTI 效应所造成的器件退化问题相较于 NBTI 效应来说比较微弱。但是在高  $k$  介质金属栅极工艺器件中, 引入的高  $k$  材料作为栅极介质以取代传统的  $\text{SiO}_2$  介质材料, 除此之外还加入一些特定的金属作为金属栅极。新技术的引入很好的解决了漏电问题, 但同时也带来了其他的问题。相对于

SiO<sub>2</sub> 介质层来说, 高  $k$  介质层会产生更多的缺陷, 使得 PBTI 效应增强。通过日常测试数据观察到 PBTI 效应对于先进工艺器件的可靠性影响越来越大, 所以 NMOS 晶体管的阈值电压随着时间改变的幅度越来越大。为查明在本章研究中 PBTI 效应是否影响了器件最终的衰退结果, 在进一步的实验中, 在 NMOS 的栅端施加 1.5 倍  $V_{op}$  电压, 同时在源端与漏端都施加 0V 的电压, 记录  $I_{dsat}$  衰退曲线, 得到 NMOS 的 PBTI 效应导致的  $I_{dsat}$  退化情况, 如图 3.4 所示。从图中可以看出, PBTI 效应所引起的饱和漏电流  $I_{dsat}$  的衰退非常微弱, 并不足以使其退化超过  $V_g@I_{bmax}$  条件下退化结果, 这种测试条件下 PBTI 效应没有起到主导作用。所以, 通过分析研究结果可知  $I_{dsat}$  退化最大时 PBTI 效应的影响同样不能够造成栅压应力为 1.5 倍  $V_{op}$  ( $V_g=V_d$ ) 时饱和漏电流衰退最严重。

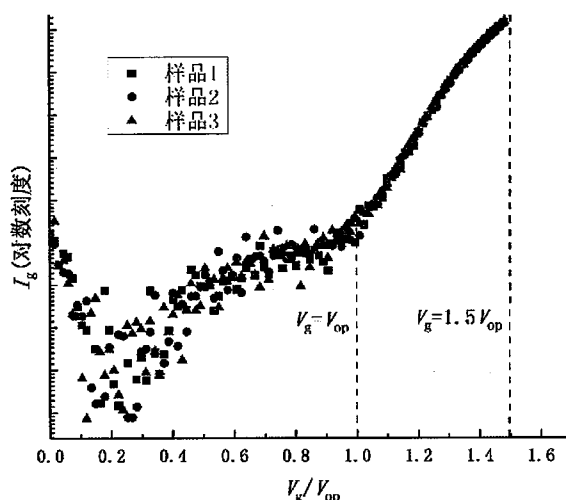


图 3.5 NMOS 栅端电流相对于  $V_g$  变化

Figure 3.5 Change curve of  $I_g$  with  $V_g$  in NMOSFETs

最后, 继续对栅电流的变化情况进行分析, 同样设置三个样品进行研究以避免测试结果的偶然性。在漏端施加 1.5 倍  $V_{op}$  电压, 栅端加载电压逐渐增大, 范围为 0 到 1.5 倍  $V_{op}$ 。测量栅端电流值, 得到栅端电流随栅端电压的变化曲线, 如图 3.5 所示。由图可知, 在栅端电压  $V_g$  小于  $V_{op}$  时, 随着  $V_g$  增加,  $I_g$  变化缓慢且维持在较低的水平。当  $V_g$  大于  $V_{op}$  时栅端电流随着  $V_g$  的增加显著增加, 并在栅端电压为 1.5 倍  $V_{op}$  时达到最大值, 此条件下栅端电流  $I_g$  数值已经远远超过栅端电压为  $V_g@I_{bmax}$  时的  $I_g$ , 此时  $I_g$  对于退化影响较大。在  $V_g=V_d=1.5*V_{op}$  条件下, 漏端横向电场与  $V_g@I_{bmax}$  条件下的漏端横向电场相比微乎其微, 因此漏端碰撞

电离造成的热载流子注入变小。但是随着栅电压的继续增加，沟道中的载流子浓度及纵向电场都会大幅度增加，沟道中发生的电子散射也会随之变强，更多的电子通过散射获得能量注入氧化层。高介电常数介质层相较于成熟工艺的 SiO<sub>2</sub> 介质层会产生更多的缺陷和更多的界面态（高 k 介质/SiO<sub>2</sub> 界面）。当栅端电压增加到 1.5 倍  $V_{op}$ ，此时相较于  $V_g@I_{bmax}$ ，通过电子散射进入介质层的载流子产生的界面态和电荷陷阱大大增加，这也就很好的解释了这一条件 ( $V_g=V_d=1.5*V_{op}$ ) 下器件饱和漏电流  $I_{dsat}$  衰退超过  $V_g@I_{bmax}$ ，出现不同于成熟工艺 NMOS 器件的现象。

研究表明，在高 k 介质金属栅极工艺的 NMOS 器件中，进行 HCI 测试时，器件的失效因素不再是单一的漏端碰撞电离产生的热载流子注入。高栅/漏电压下电子散射的贡献越来越大，使衰退效果表现的与成熟工艺器件有所不同。因此在日常的可靠性测试中还需要根据不同的失效机理来指导测试，单一的器件寿命预估方法已经不能够很好的满足实际的需求。

### 3.2.2 PMOSFET

在日常测试中，如图 3.6 所示，高 k 介质金属栅极工艺 PMOS 器件的最坏栅电压应力为  $V_g@I_{gmax}$  条件，这与成熟工艺所表现出的情况相同。这一点在文献 [11]中也可以得到印证，对于 65 纳米工艺的 PMOS 器件，最坏栅压应力条件为  $I_g$  最大的情况。

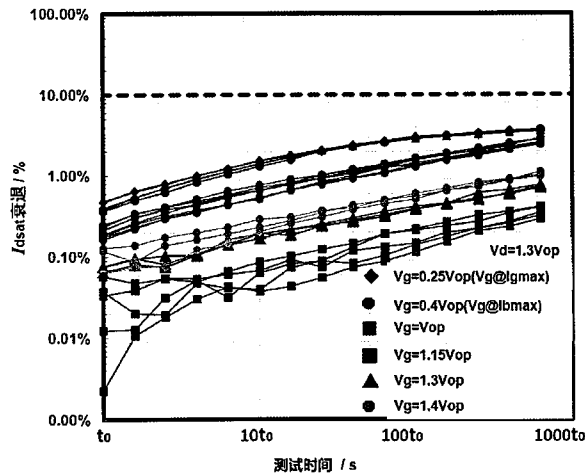
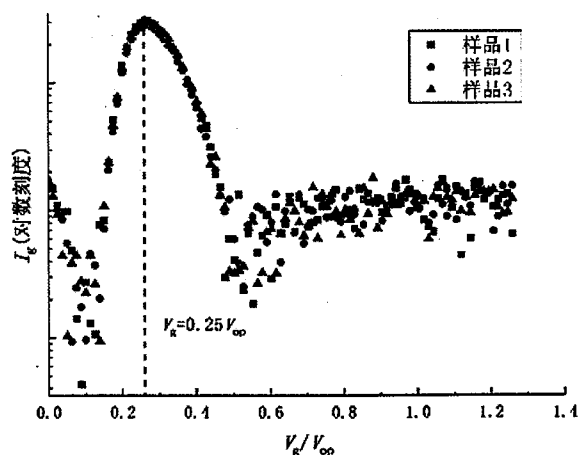


图 3.6 高 k 介质金属栅工艺 PMOS 管  $I_{dsat}$  退化情况

Figure 3.6  $I_{dsat}$  degradation in high-k metal gate process PMOS



图 3.7 PMOS 栅端电流相对于  $V_g$  变化Figure 3.7 The change of gate current with  $V_g$  in PMOS

在漏端施加  $1.3V_{op}$  电压，栅端电压从 0 到 1.3 倍  $V_{op}$  逐步加大，同时测量栅端电流数值，得到栅端电流与栅端电压相关的变化曲线，测试结果如图 3.7 所示，当栅端加载电压在 0.25 倍  $V_{op}$  附近时电子俘获达到最大，通过电子俘获造成器件损伤的方式占据主导地位，从而  $I_g$  达到峰值时的栅压应力会导致器件衰退最严重。

除此之外，如图 3.6 所示，随着栅端电压从 0.25 倍  $V_{op}$  逐步增加到  $V_{op}$ ， $I_{dsat}$  衰退曲线逐渐下移，即 PMOS 管中饱和漏电流退化随着栅压应力增加逐渐减弱，这与成熟工艺中所表现的情况相同。但是随着  $V_g$  进一步增加， $I_{dsat}$  衰退情况在  $V_g$  为 1.15 倍  $V_{op}$  条件下开始出现反转。直到栅电压增加到 1.3 倍  $V_{op}$ ，退化均超过  $V_g$  为  $V_{op}$  的情况。开始出现随着  $V_g$  增加，器件饱和漏电流退化逐渐加强的趋势。这也与亚微米 MOS 器件退化随着栅压绝对值增加单调减小<sup>[12]</sup>的结论不同。为了进一步验证在先进工艺器件中所发现的不同现象，增设其他条件相同，栅电压为 1.4 倍  $V_{op}$  的实验，实验结果显示  $I_{dsat}$  退化进一步加大，符合预期规律。

为探究这一异常现象，首先对于 PMOS 器件的 NBTI 效应进行测试。由于 PMOS 中 NBTI 效应较显著，而且高  $k$  介质材料的引入大大增加了缺陷的数量，器件的 NBTI 效应也随之加剧，NBTI 效应也成为影响高  $k$  介质金属栅 CMOS 工艺器件可靠性的重要因素。所以在观察到不同于成熟工艺 PMOS 器件饱和漏电流退化的现象时，首先会对 NBTI 效应进行测试分析。

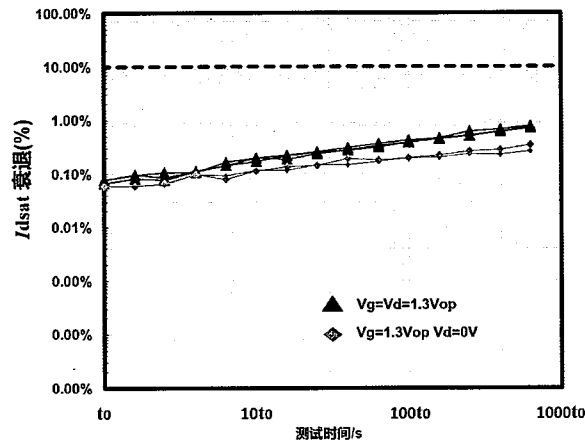


图 3.8 PMOS 的 NBTI 效应退化对比

Figure 3.8 Comparison of the degradation of the NBTI effect of PMOS

在 PMOS 栅端加载 1.3 倍  $V_{op}$  电压，漏端加载 0v 电压，测得饱和漏电流  $I_{dsat}$  的退化情况。如图 3.8 所示，该条件下测得的饱和漏电流的衰退与漏端加载 1.3 倍  $V_{op}$  电压时产生的饱和漏电流的衰退相差较小。栅端加载电压为 1.3 倍  $V_{op}$  时，使得硅氧键或者硅氢键断裂发生的概率增加。相较于成熟工艺中的  $SiO_2$  介质材料，高介电常数介质层拥有更多的缺陷以及更多的界面（高  $k$  介质/ $SiO_2$  界面）缺陷，高  $k$  介质层在负偏置电压的作用下更容易形成界面态以及俘获更多的电荷，产生较强的 NBTI 效应，但对于 HCI 效应的产生贡献较小。所以在栅端电压为 1.3 倍  $V_{op}$  时 NBTI 效应的影响占据主导地位，HCI 效应的影响相比于 NBTI 效应来说比较小，最终造成  $V_g$  大于 1.15 倍  $V_{op}$  后，饱和漏电流的衰退随着栅端电压的增加而加剧。

研究结果表明，对于高  $k$  介质金属栅极工艺 PMOS 器件的 HCI 测试中，失效机理变得不再唯一，失效机理的耦合程度与测试条件密切相关，其中 BTI 效应也扮演了重要的角色。同时，研究结果表明在实际的 HCI 测试中为避免引入其他效应对测试结果造成干扰，因此在设定测试条件时应当将栅端电压限定在一个合理的范围内，从而避免引入实际应用中不会产生的失效机理，从而造成较大的寿命评估误差。

### 3.3 小结

本章对高  $k$  介质金属栅极工艺下的 nMOSFET 和 pMOSFET 器件，在 HCI

测试中加载不同栅端电压时饱和漏电流  $I_{dsat}$  的衰退情况进行了分析探究。实验中高  $k$  介质金属栅极工艺器件在不同栅端电压下所表现出的衰退情况与成熟工艺器件有较大不同, 本章同样对这些不同之处进行了讨论, 并对造成各项差异的原因及其内在失效机理进行了探究。因此对于器件的 BTI 效应进行了测试和分析, 并测试了衬底电流和栅端电流在不同栅端电压下的变化趋势, 对其机理进行了分析探讨, 阐述其对饱和漏电流退化的影响及作用过程。测试结果表明: 成熟工艺热载流子测试中所确定的测试条件, 在高  $k$  介质金属栅工艺器件的测试中, 已经不再适用, HCI 可靠性不再受一种单一的老化机理影响, 是多种效应如 HCI 效应、NBTI 效应及电子散射机理综合的结果。此项研究为高  $k$  介质金属栅极工艺下器件可靠性测试中测试条件的确定以及准确的寿命评估提供了参考信息。



## 第4章 高 $k$ 介质金属栅工艺器件 HCI 可靠性优化

在上一章中, 对高  $k$  介质金属栅工艺器件的 HCI 可靠性及其失效机理进行了探究和分析, 本章则将对优化先进工艺器件 HCI 可靠性的技术方法作出探究。随着集成电路技术的发展, 技术节点不断向前推进, 工艺尺寸也在不断减小。沟道长度的减小, MOS 管阈值电压漂移越来越大, 此效应为短沟道效应 (Short-channel effects, SCE)。由于漏极引起的势垒降低, 短沟道效应导致阈值电压降低和更明显的漏电流<sup>[50]</sup>。

为缓解短沟道效应造成的退化加剧的问题, 许多学者和研究人员对提高可靠性的方法进行了探究, 其中通过体偏压动态调节阈值电压  $V_t$  成为一个引人注目的技术方法。除此之外, 通过体偏压的动态控制还能够为电路的设计提供更大的灵活性<sup>[51]</sup>。在先进的 CMOS 工艺技术节点中, 沟道长度的连续缩减会引起横向电场的不断增加。通过横向电场加速获得大量能量的热载流子不仅会破坏硅与氧化物界面中的化学键, 而且还可能捕获到氧化物中。由热载流子引起的这些界面态和被捕获的电荷将通过库仑散射中断载流子在沟道中的传输, 从而导致跨导的衰退, 同时也会引起阈值电压  $V_t$  的漂移<sup>[52]</sup>。从而导致工作中的器件的饱和漏电流  $I_{dsat}$  逐渐减小, 进而使集成电路的响应频率降低, 导致电路发生延迟, 影响芯片正常的逻辑功能。尽管通过动态调整体偏置电压可以抑制短沟道效应<sup>[53-54]</sup>, 但由于漏极附近电场的变化, 仍需要研究加载体偏置电压后的热载流子导致的器件退化。而且对体偏置电压优化器件 HCI 可靠性的物理机制相关的系统性研究仍然很少, 关于可靠性测试中加载体偏压后的衰退和加速因子的深入讨论仍需进一步进行。

由于体端和源端的导通, 正向偏置的施加受到限制, 在本章的研究中, 通过加载不同的反向体偏置电压, 来测量高  $k$  介质金属栅 CMOS 工艺和 0.13 微米工艺制造的 PMOS 器件的电学参数, 并分析漏端电流、阈值电压、饱和漏电流、衬底电流以及栅电流等参数受到的影响。基于实验结果和器件结构数据, 通过 TCAD 仿真, 本章还讨论了体偏压对先进工艺 PMOS 器件可靠性优化过程中的基本物理机制。然后, 通过测量饱和漏电流的衰退, 根据相应的物理模型和统计理论进一步评估器件的使用寿命, 验证体偏置电压对器件可靠性的优化作用。

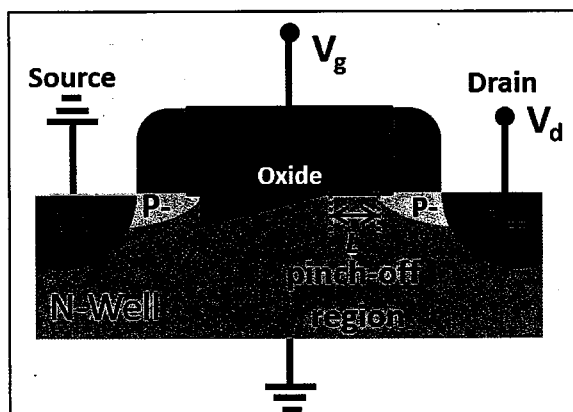
## 4.1 实验条件

本章研究中采用了 28nm 工艺和 0.13 $\mu\text{m}$  工艺制造的输入/输出(Input/Output, I/O) PMOS 器件。其中 28nm 工艺制造的 PMOS 器件, 沟道宽度(W)和沟道长度(L)分别为 9 $\mu\text{m}$  和 0.243 $\mu\text{m}$ ; 0.13 $\mu\text{m}$  工艺制造的 PMOS 器件, W 和 L 分别为 10 $\mu\text{m}$  和 0.28 $\mu\text{m}$ 。根据设计, 本实验中这两种技术的 PMOS 器件使用电压( $V_{\text{op}}$ )均为 2.5V。实验中通过监测应力间隔期间  $I_{\text{dsat}}$  的衰退来评估 HCI 可靠性。研究中实验数据是在 125 $^{\circ}\text{C}$  测试环境下通过自动探针仪和 Agilent 4072 分析仪在晶圆级别的器件上收集得到。在测试中, 28nm 工艺的 PMOS 器件体端施加的偏置电压  $V_b$  分别为 0V、1.25V、2.5V、3.75V; 0.13 $\mu\text{m}$  工艺的 PMOS 器件体端施加的偏置电压  $V_b$  分别为 0V、0.4V、0.8V、1.25V, 对于每个给定的体偏置电压, 两种工艺的 PMOS 器件均施加了三组栅极电压 ( $V_g$ ) 和漏极电压 ( $V_d$ )。其中 28nm 工艺的 PMOS 栅极与漏极施加相同电压分别为 -3.8V、-4V、-4.2V; 0.13 $\mu\text{m}$  工艺的 PMOS 栅极与漏极施加相同电压分别为 -3.4V、-3.7V、-4V, 而且两种工艺 PMOS 器件源端电压均为 0V。

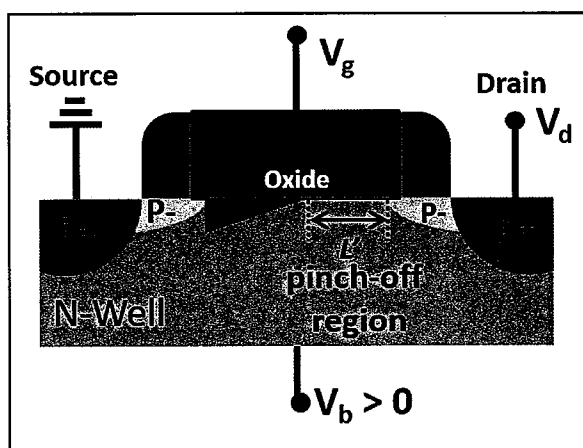
## 4.2 实验结果及分析

### 4.2.1 体偏压对 HCI 可靠性的影响及其物理机制

为了获得更大的驱动电流和更低的延迟来加快信号的传输, MOSFET 器件通常工作在饱和条件下。当  $V_d$  的绝对值高于临界值  $V_{\text{dsat}}$  时, 漏极附近的氧化物的顶部和底部之间的电势差减小, 导致这一区域反型层消失, 漏端电流发生饱和。随后, 如图 4.1 所示, 在漏极附近形成夹断区域。由于夹断区域中的电场强度较大, 在该区域更容易产生界面缺陷和氧化物陷阱<sup>[55-56]</sup>。除此之外, 夹断区域中的载流子浓度大大减小, 因此发生电子-电子散射和电子-声子散射的概率也会降低, 从而在一定程度上增加了载流子的平均自由程。需要特别指出的是, 载流子可能在外部电场下以弹道运输的方式运动从而没有能量消耗, 这进一步加剧了 HCI 可靠性降低<sup>[57-58]</sup>。众所周知, 在夹断区域或饱和区域开始形成时, 应满足  $V_{\text{dsat}} \approx V_g - V_t$  的关系。随着漏端电压  $V_d$  升高, 夹断区域长度和  $V_d - V_{\text{dsat}}$  电势差都会增加。但由于  $V_d - V_{\text{dsat}}$  电势差的增加相对于夹断区域长度的缩短更占据主导地位, 漏极附近横向电场强度会随着漏端电压的升高而逐渐增强。

图 4.1  $V_b=0$  条件下 PMOS 器件中的夹断区域的示意图Figure 4.1 Diagram of pinch-off region in PMOS when  $V_b=0$ 

当 PMOS 体端加载反向体偏压 ( $V_b > 0$ ) 时, 沟道中会产生更多正电荷与耗尽区域。根据电荷平衡原理, 在固定栅电压下产生的空穴浓度会降低。换言之, 如果要空穴浓度保持不变, 则在栅端上必须有更多的负电荷或更高的  $V_g$  (以此减小空穴浓度)。因此, 在 PMOS 体端加载偏置电压后, 阈值电压  $V_t$  会增加。如图 4.2 所示, 更高的阈值电压意味着沟道内反型层更难形成, 从而会使得夹断区域长度增加。

图 4.2  $V_b > 0$  条件下 PMOS 器件中的夹断区域的示意图Figure 4.2 Diagram of pinch-off region in PMOS when  $V_b > 0$ 

在 28nm 工艺的 PMOS 器件加载体偏压之后, 测得其阈值电压  $V_t$  和漏端电流  $I_d$  的变化曲线, 如图 4.3 所示。其中  $V_t$  值是根据  $I_d = 0.1 * W/L \mu A$  和  $V_d = -0.1V$  的标准测量。加载反向体偏压后,  $V_t$  绝对值随着体偏压的增加而逐渐增加, 而且,

当栅端与漏端加载电压都为-4.2V 时，测得的漏端电流  $I_d$  随着体偏压的增加逐渐降低。

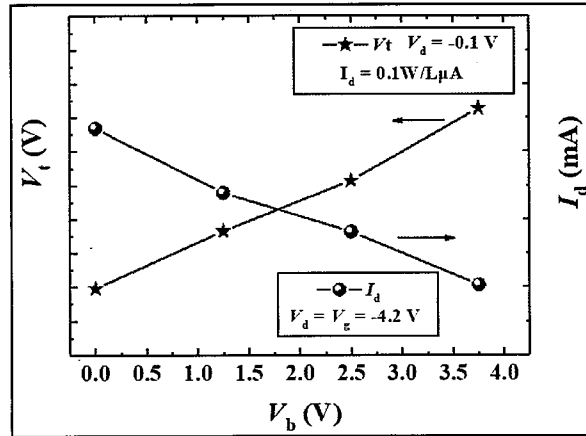


图 4.3 阈值电压 ( $V_t$ ) 和漏端电流 ( $I_d$ ) 相对于体偏压的变化曲线

Figure 4.3 Curve of threshold voltage and drain current with body bias

进一步探究不同体偏压对于 HCI 可靠性的影响，在栅端与漏端同时加载电压为-4.2V，测量不同体偏压下饱和漏电流  $I_{dsat}$  的衰退量随时间变化的曲线，结果如图 4.4 所示。其中， $t$  为测试时间， $t_0$  为  $I_{dsat}$  衰退量的初次测量时间。通过分析可知，当  $V_b$  相对较低 ( $V_b=1.25V$ 、 $2.5V$ ) 时  $I_{dsat}$  衰退并不明显，与没有加载体偏压的器件相比  $I_{dsat}$  衰退相差较小。这种情况下， $I_d$  的减小意味着载流子数目的减少，这就会导致在施加体偏压一段时间后衰退减少。然而，对于  $V_b$  为 2.5V 的情况，衰退略高，表明随着  $V_b$  增大体偏压对饱和漏电流衰退的负面效应变得越来越明显。在体端加载 3.75V 电压后，最终衰退达到 26.3%，超过未加载体偏压的器件  $I_{dsat}$  衰退量的 3 倍。



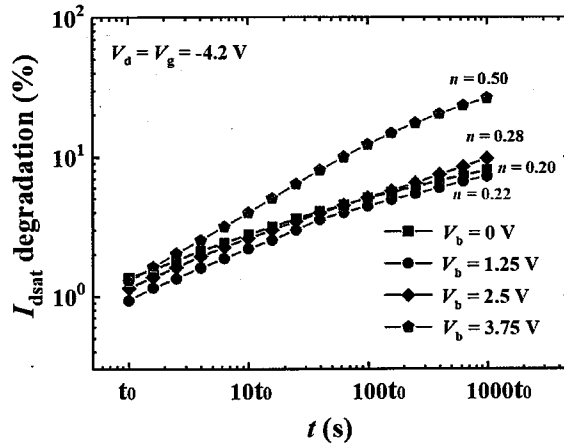


图 4.4 不同体偏压下 PMOS 饱和漏电流衰退曲线

Figure 4.4  $I_{dsat}$  degradation of PMOS under different body bias

图 4.5 展示了在应力条件为  $V_d=V_g=-4.2V$  时衬底电流 ( $I_b$ ) 和栅极电流 ( $I_g$ ) 随体偏置电压变化的关系曲线。如图所示, 衬底电流与栅极电流均随着体偏压的增加而增加。热载流子可以通过与晶格相互作用而诱发碰撞电离。在此过程中会产生许多电子-空穴对, 并在外部栅极或体端电压下朝相反的方向移动。因此, 通常将  $I_b$  或  $I_g$  作为衡量 HCI 强度的参数, 尽管加载体偏压会增强垂直电场并导致  $I_b$  和  $I_g$  升高, 使得 HCI 效应在较高体偏压下仍发挥着重要的作用。

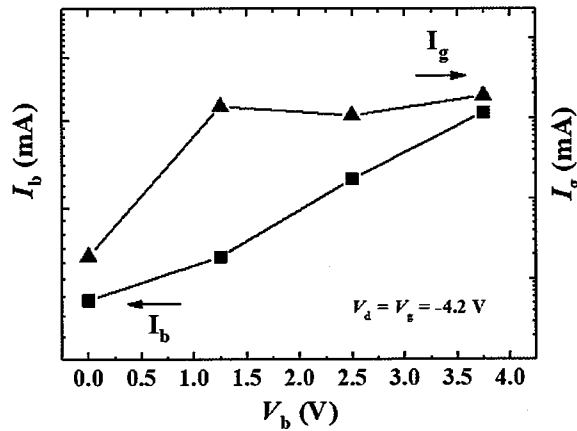


图 4.5 衬底电流( $I_b$ )和栅电流( $I_g$ )相对于  $V_b$  变化曲线

Figure 4.5 Curve of substrate current and gate current with body bias

体偏压的加载实际上会起到两个相反的作用: 一方面, 加载体偏压会提高阈值电压, 从而减少沟道中的总载流子浓度, 进而使得 HCI 效应变弱; 另一方面,

漏极附近的电场增强会使载流子通过电场加速获得更多的能量，增加热载流子的比例，从而会使 HCI 效应加剧。根据前文提到的，增大的阈值电压  $V_t$  会降低  $V_{dsat}$ ，从而增大了夹断区域内的电势差  $V_d - V_{dsat}$ 。即使由于反型层变弱会使夹断区域的长度增长，但电势差增加起到的主要作用仍使该区域的电场增强。图 4.6 为通过 TCAD 模拟的电场轮廓图。由图可知，在体-漏结附近，出现了更强的电场，而在这一区域经常发现因为 HCI 产生的缺陷。如图 4.7 所示，TCAD 对于 PMOS 器件沿沟道横向电场的仿真结果也表明加载体偏压会使得电场加强，体偏压为 3.75V 时电场强度为最大。因此，在这个实验中，当  $V_b$  超过 2.5V 时会造成更大的衰退。

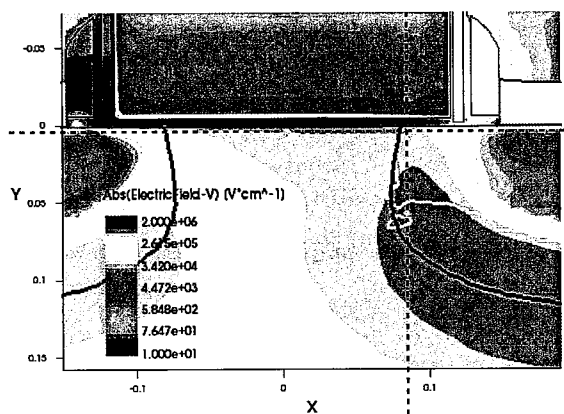


图 4.6 TCAD 模拟电场轮廓图

Figure 4.6 Electric field profile of TCAD simulation

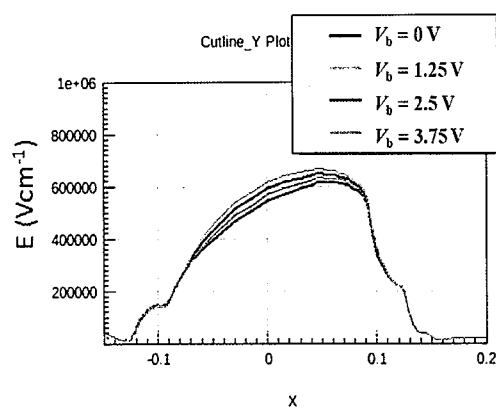


图 4.7 PMOS 中沿导电沟道横向电场

Figure 4.7 The change of lateral electric field along the channel in PMOS

在图 4.4 中衰退曲线的斜率  $n$  通常能够提供界面或者氧化物缺陷的信息。如

果界面态占较大比例, 则斜率应接近在日常 BTI 测试中观察到的 0.2, 在 BTI 测试中, 载流子能量不足够高以至于难以被俘获到氧化物中<sup>[59-60]</sup>。在大多数没有加载体偏压的情况下进行 HCI 测试时, PMOS 产生氧化物陷阱的势垒非常高, 因此界面陷阱是引起电学参数退化的主要根源。如果在 PMOS 上施加反向的体偏压, 夹断区域中的横向电场增强, 使得载流子能够获得更多的能量, 从而能够克服硅和二氧化硅之间的势垒。从而, 形成了氧化物陷阱并且使衰退曲线呈现出较大的斜率。当体偏压达到 3.75 V 时, 斜率会显着增加到 0.5, 这是没有体偏压时斜率的两倍以上。NMOS 中的高能载流子和较低的能垒使氧化物陷阱的形成更加容易, NMOS 器件的 HCI 效应也更加显著。所以 NMOS 的 HCI 测试中的斜率通常接近 0.5, 这也证实了在较大的体偏压下 HCI 效应会加剧。

#### 4.2.2 体偏压对 PMOS 寿命的影响

通过施加高电压和高温来进行可靠性测试, 并预测器件在最坏条件下运行的寿命。通常, 器件寿命定义为  $I_{dsat}$  衰退达到 10% 的时间。在本实验中, 体偏压固定为  $V_b=1.25V$ , 栅端与漏端同时加载三组应力条件分别为: -3.8V、-4V、-4.2V, 分别测得 PMOS 器件  $I_{dsat}$  的衰退曲线, 结果如图所示。考虑到 28nm 工艺的 PMOS 在高温下 HCI 衰退更大, 故将应力温度设为 125°C。从图中可以看出随着  $V_d$  和  $V_g$  增加, 饱和漏电流会产生更大的衰退。如果采用对数坐标, 这三条曲线几乎会呈现出线性的趋势。而且同样值得注意的是, 这三条衰退曲线的斜率非常接近, 这一结果表明在此实验中, 不同的  $V_d$  和  $V_g$  对陷阱类型改变影响较小。

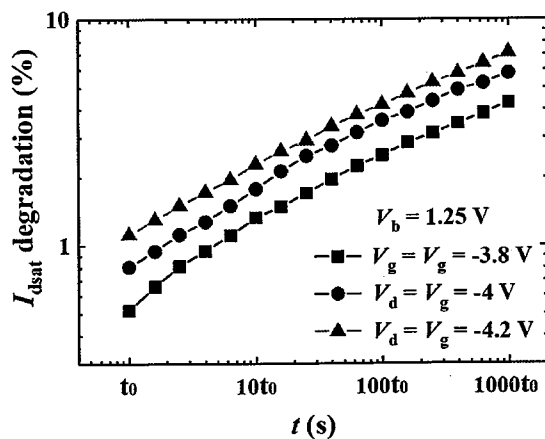


图 4.8 固定体偏压不同栅漏电压下  $I_{dsat}$  衰退曲线

Figure 4.8  $I_{dsat}$  degradation under different drain and gate voltage with fixed body bias

在本次实验中，使用  $1/V_d$  模型来预测 1.1 倍  $V_{op}$  下的器件寿命。 $1/V_d$  模型可以表示为：

$$\Delta I_{dsat}\% \propto e^{-\frac{\beta}{V_d} t^n} \quad \dots(4.1)$$

其中， $\Delta I_{dsat}\%$  是  $I_{dsat}$  的衰退百分比， $\beta$  是电压加速因子， $n$  是时间指数。当  $\Delta I_{dsat}\%$  超过 10%，器件失效，所经受的时间称为寿命  $\tau$ 。式 4.1 可以转换成：

$$\tau \propto e^{\frac{\beta}{V_d}} \quad \dots(4.2)$$

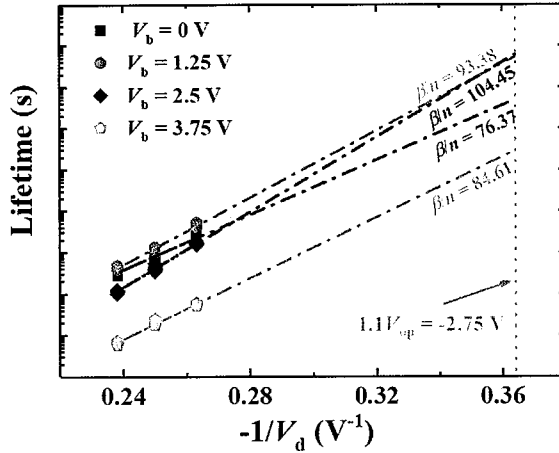


图 4.9  $1/V_d$  模型中寿命和寿命加速因子与体偏压关系图

Figure 4.9 Life and life acceleration factor versus body bias in  $1/V_d$  model

如图 4.9 所示，用对数坐标表示  $\tau$  与  $1/V_d$  之间的关系时，呈现斜率为  $\beta/n$  的直线图。实际上， $\beta/n$  是最终的加速因子，它在最大程度上影响寿命的预测。为了了解这些参数背后的潜在物理机制，探究了 28nm 工艺的 PMOS 器件的体偏压与不同因子之间的关系，这些因子包括  $\beta/n$ 、 $\beta$  以及  $n$ 。通过实验得到如图 4.10 与图 4.11 所示结果。如图所示，其中还包括了 0.13 $\mu\text{m}$  工艺的 PMOS 的参数，用于比较和验证得到的结论。通过实验获得的时间指数  $n$  和加速因子  $\beta/n$ ，可以很简便的计算得到  $\beta$ 。而且由图中可以看出，与上节提到的  $n$  的得变化规律相同，两个器件的  $n$  值随着体偏压增加而连续增加，这主要归因于氧化物陷阱的产生。 $\beta$  是与夹断区域的长度呈正相关的参数，所以 4.1 式中的  $\beta/V_d$  代表电场强度的倒数。电场强度决定了载流子所能获得的能量，因此，通常对掺杂轮廓（例如漏极轻掺杂）进行微调，以减弱漏极附近的电场强度并提高 HCI 可靠性。

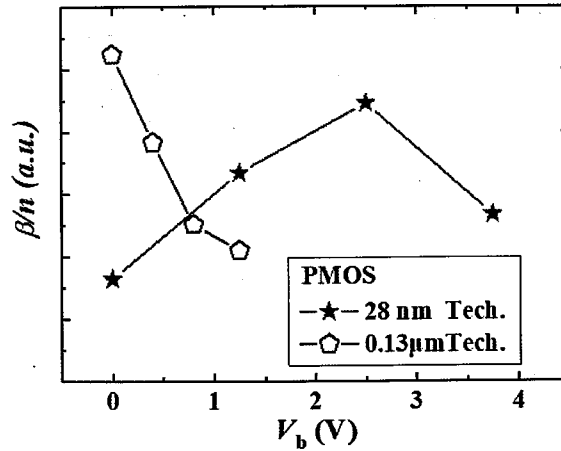


图 4.10 加速因子  $\beta/n$  随体偏压的变化

Figure 4.10 The change of acceleration factor  $\beta/n$  with body bias

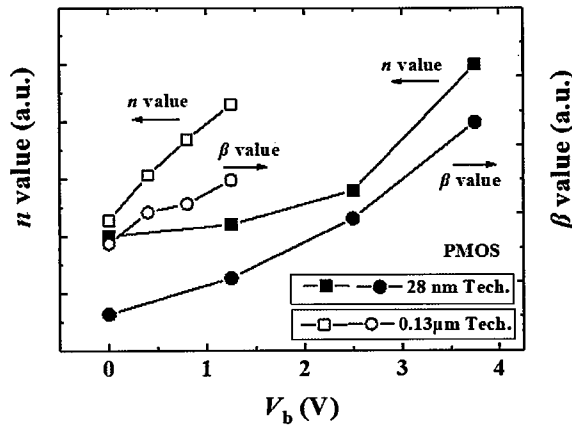


图 4.11 参数  $\beta$  和  $n$  随体偏压的变化

Figure 4.11 The change of parameter  $\beta$  and  $n$  with body bias

阈值电压  $V_t$  增大使得反型层的形成更困难，从而导致夹断区域长度延长。这就解释了在加载体偏压后  $\beta$  逐渐增大的现象。通过 TCAD 对 28nm 工艺 PMOS 分别在体偏压为 0 和 3.75V 情况下的碰撞电离强度进行了模拟，结果如图 4.12 所示。与没有加载体偏压的器件相比，体偏压为 3.75V 时的 II 区明显向沟道的中间延伸，这为之前的分析提供了一致的证据。 $\beta$  与  $n$  的增大幅度随加载的体偏压变化。对于 0.13 $\mu\text{m}$  工艺 PMOS， $n$  的增大速度远大于  $\beta$ ，所以可以从图 4.10 中发现加速因子  $\beta/n$  单调减小。而 28nm 工艺 PMOS 在低体偏压区域  $n$  值几乎保持为常数，从而使得加速因子  $\beta/n$  增加。如果体偏压继续增加，使电场强度 ( $E$ ) 增加，

进而促进栅氧化物中陷阱的产生，导致  $n$  值增加，加速因子降低，这在图 4.10 和 4.11 中可以看出。但是体偏压为 3.75V 的器件仍然比没有加载体偏压的对照组显示出更大的加速因子。

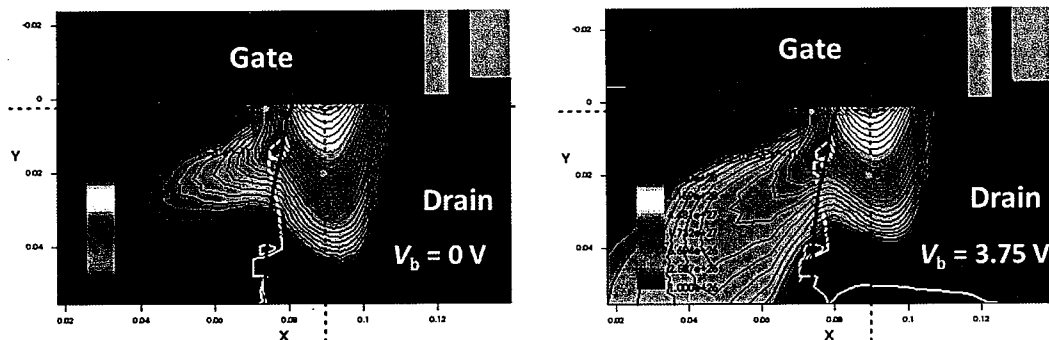


图 4.12 体偏压分别为 0V 与 3.75V 时碰撞电离仿真图

Figure 4.12 Simulation diagram of II when the body bias is 0V and 3.75V respectively

在最坏使用条件（此处为 1.1 倍  $V_{op}$ ）下最终的直流寿命由可靠性测试中的衰退和加速因子共同决定。对于体偏压相对较低的 28nm 工艺 PMOS，退化不是很明显（见图 4.4），因此加速因子在预测寿命方面起着更重要的作用。但是，一旦加载了较大的体偏压，加剧的退化可能会影响寿命预测，以致于获得的寿命较短（见图 4.9）。考虑到样品变化和测试造成干扰，每个应力条件使用两个以上的样品来预测 1.1 倍  $V_{op}$  条件下的寿命。对所有样品寿命进行分析，累计分布函数（CDF）随寿命的变化均符合对数正态分布，结果如图 4.13 所示。

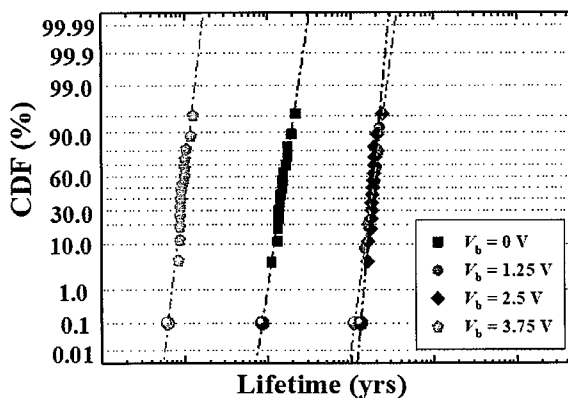


图 4.13 28nm PMOS 累积分布函数（CDF）图

Figure 4.13 Cumulative distribution function (CDF) and lifetime for investigated devices

然后可以计算出 0.1% 样品失效的寿命, 如图 4.14 所示。同样用类似的方法来评估  $0.13\mu\text{m}$  工艺 PMOS 的寿命。由于极大地提高了加速因子并限制了退化, 加载 1.25V 和 2.5V 体偏压的 28nm 工艺 PMOS 的使用寿命大大延长, 比未加载体偏压的器件寿命高 23 倍。但是, 由于衰退比加速因子的改善要严重得多, 因此对于加载 3.75V 体偏压的情况, 观察到较短的使用寿命是合理的。对于较不先进的  $0.13\mu\text{m}$  工艺 PMOS, 抵抗 HCI 效应的能力不足会导致更大的  $n$  值和较小的加速因子。结合严重的衰退, 随着体偏压的增加寿命逐渐缩短, 如图 4.14 所示。

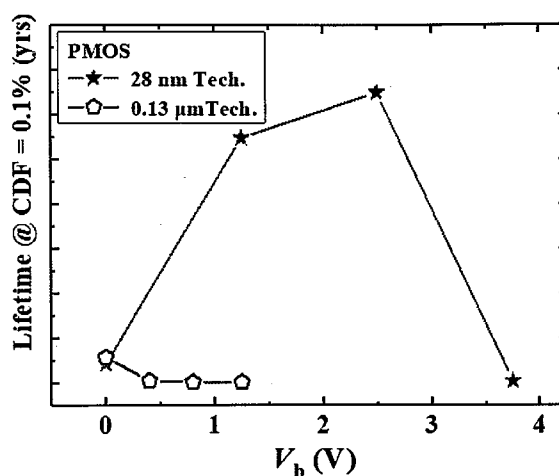


图 4.14 不同体偏压下 0.1% 样品失效寿命

Figure 4.14 0.1% sample failure lifetime under different body bias

由此可以得出, 在高  $k$  介质金属栅工艺的 PMOS 器件上加载适当的体偏压能够显著延长器件的使用寿命, 达到对 HCI 的可靠性进行优化的目的。但是对于  $0.13\mu\text{m}$  工艺的 PMOS 器件, 体偏压的加载会使其寿命大大缩短, 影响其 HCI 可靠性。

### 4.3 小结

本章研究了反向体偏压对 HCI 可靠性的影响。施加的体偏压会增加阈值电压, 并增强漏极附近的电场强度, 从而促进氧化物陷阱的形成, 所以在实验中观察到时间指数  $n$  逐渐增大。另一方面, 增大的  $\beta$  值反映了夹断区域的延伸。较不先进的  $0.13\mu\text{m}$  工艺 PMOS 在体偏压下显示出更高的  $n$  值, 从而导致加速因子  $\beta n$  显著降低, 并伴随严重的退化, 在加载体偏压情况下预测到的寿命大大缩短。相

反, 对于采用更先进工艺制造的 28nm 工艺 PMOS,  $n$  值保持在较低水平。因此, 在本研究中, 当将  $V_b$  取在某个范围内 (例如 1.25V 和 2.5V) 时, 可以获得更大的加速因子, 从而能够延长使用寿命。研究结果表明, 如果栅极氧化物和硅之间的界面鲁棒性较好, 可以降低氧化物陷阱的形成, 则适度的反向体偏压将是提高 HCI 可靠性的有效方法。



## 第5章 总结与展望

### 5.1 总结

集成电路的可靠性问题一直是业界研究人员关注的重点,无论是在航天、军事领域,还是在基础通信等民用领域对于集成电路可靠性的要求都较高。而且随着集成电路制造工艺的逐渐推进,特征尺寸与栅氧厚度等结构参数不断减小,使器件可靠性受到的挑战变得更大。在纳米级高  $k$  金属栅 CMOS 工艺中, HCI 效应给可靠性带来的问题更加不容忽视,所以对于先进工艺的 HCI 效应进行研究,对监测集成电路的生产和先进工艺 HCI 可靠性的提高有比较重要的意义。

本文基于高  $k$  金属栅 CMOS 工艺,依靠现有的测试结构,针对 HCI 效应对器件电学参数与性能的影响及其失效机理进行了探究。利用 Agilent 4072 和 TEL Prober P8-XL 的测试系统分别对 NMOS 和 PMOS 的 I-V 特性曲线、不同栅电压下的饱和漏电流衰退曲线、栅端电流以及衬底电流等参数进行了测试。分析了先进工艺 HCI 效应相对于成熟工艺发生的变化及其微观的物理机制,还探究了优化先进工艺 HCI 可靠性的技术方法。

在高  $k$  介质金属栅工艺器件热载流子失效机理研究中,通过改变 NMOS 栅端应力条件,测得饱和漏电流的衰退,并对 PBTI 效应以及衬底电流进行了测试。发现 NMOS 器件栅端加载电压在  $V_g=V_d$  条件下,散射加剧,造成最坏应力条件发生转变;通过对 PMOS 器件的饱和漏电流衰退、衬底电流、栅端电流以及 NBTI 效应的测试分析,解释了 PMOS 器件发生的衰退曲线反转现象,结果表明 PMOS 在栅端加载高压时 BTI 效应加剧,造成饱和漏电流的衰退发生反转出现不同于成熟工艺的现象。综合结果表明高  $k$  介质金属栅极工艺器件的 HCI 可靠性不再受单一的老化机理影响,其影响因素已经是 HCI 效应、BTI 效应以及电子散射等机理综合的结果。

此外,还研究了体偏压对 HCI 可靠性的优化作用,并通过 TCAD 仿真软件对其进行了模拟仿真以辅助对其物理机理进行分析。由研究结果可知在先进工艺制程的 PMOS 器件中可以通过加载适当的体偏压来扩展其碰撞电离区域,造成加速因子改变,从而达到优化 HCI 可靠性的目的,最后通过实验测试验证这一结论。

## 5.2 关于未来工作的展望

通过研究生期间的学习与工作，对纳米级高  $k$  金属栅 CMOS 工艺器件的热载流子效应进行了研究，同时对于提高 PMOS 器件 HCI 可靠性的方法进行了探究。在这一基础上，还有以下几个方面值得继续研究：

1. 对高  $k$  金属栅 CMOS 工艺器件的 HCI 效应进行仿真研究，通过仿真工具对 HCI 效应中微观的物理参数的改变开展进一步探究。

2. 对优化 NMOS 器件 HCI 可靠性的方法及其物理机理进行研究，从而得出系统完整的提高逻辑电路 HCI 可靠性的方法，对提高集成电路的 HCI 可靠性有重要的意义。