



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

28nm CMOS 器件稳定性与均匀性的研究

作者姓名: _____ 李帅

指导教师: _____ 蔡小五 研究员

_____ 中国科学院微电子研究所

学位类别: _____ 工程硕士

学科专业: _____ 电子与通信工程

培养单位: _____ 中国科学院大学微电子学院

2020 年 6 月

Research on Stability and Uniformity of 28nm CMOS Device

**A thesis submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Master of Engineering
in Electronics and Communication Engineering
By
Li Shuai
Supervisor: Professor Cai Xiaowu**

**School of Microelectronics
University of Chinese Academy of Sciences**

June 2020

中国科学院大学
研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：李帅
日期：2020.6.6

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：李帅
日期：2020.6.6

导师签名：李少立
日期：2020.6.6

摘 要

CMOS 器件的尺寸随着制造技术的发展而越来越小, 工艺难度也越来越大, 影响 CMOS 器件特性的因素也越来越多, 比如各种特征尺寸的控制、热退火方式、离子随机波动等工艺问题都会对 CMOS 器件的电性参数产生显著影响, 这些影响造成晶圆中与晶圆间 CMOS 器件电性差异, 差压太大就会对良率和 CMOS 电路产生负面影响。半导体大生产中, 器件均匀性一般是指 within wafer 电性参数的离散程度, 稳定性一般是指 wafer to wafer 电性参数的波动程度。器件电性参数波动范围大不仅会影响良率而且会影响 CMOS 电路性能, 因此需要改善器件电性参数波动。本文研究在 28nm 技术节点下 CMOS 器件的稳定性与均匀性, 主要研究成果如下:

(1) 工艺窗口实验得到对 N/P MOS 器件饱和电流影响最大的参数为多晶硅栅长和 Σ 形貌尖端到栅间距, 器件参数波动对饱和电流贡献值分别为 1.846uA 和 1.509uA。

(2) Dose Mapper 优化 NMOS 多晶硅栅长分布, 带动饱和电流均匀性提升, 均匀性提升了 0.42%; DOE 实验调节工艺因子优化 Σ 形貌尖端到栅间距均匀度以此来提升器件饱和电流均匀性, PMOS 均匀性提升了 5.2%。

(3) PMOS 源漏区域的锗浓度呈阶梯状分布, 适当的优化锗浓度分布斜率可以改善器件性能。

(4) 饱和电流对栅长和离子注入掺杂剂量有敏感度, 离子掺杂剂量可以弥补因栅长波动造成的饱和电流变化, NMOS 稳定性优化了 2.12%; PMOS 外延生长的薄膜厚度与生长时间近似成正比关系, APC 系统可以自动调节薄膜厚度来保证器件参数稳定, 溢出层厚度的波动程度优化了 15.4%。

按照器件饱和电流对参数的敏感度大小, 优化器件参数的均匀度可以明显提升饱和电流的均匀性; APC 系统可以监测线上器件参数波动情况, 保证量产器件稳定。

关键词：CMOS 器件，工艺波动，稳定性，均匀性

Abstract

With the development of manufacturing technology, the size of CMOS device is getting smaller and smaller, the process difficulty is becoming greater and greater, and there are more and more factors that affect the characteristics of CMOS device, for example, the control of various feature size, thermal anneal methods, and random fluctuations in ions. They all have a significant impact on the electrical parameter of CMOS device. These effects cause variations in the electrical property of CMOS device in wafer and between wafers. Too larger variations will have a negative impact on yield and CMOS circuits. In large scale semiconductor productions, device uniformity generally refers to the degree of discreteness of within wafer electrical parameters, stability generally refers to the degree of fluctuation of wafer to wafer electrical parameters. The wide fluctuation range of device electrical parameters not only affect the yield but also the performance of CMOS circuits, so it is necessary to improve the variation of device electrical parameter. This paper studies the stability and uniformity of CMOS device under the 28nm technology node. The main research results are as follows:

(1) The process window experiment find gate length and tip_x have the greatest impact on saturation current. The contributions of parameters fluctuation to saturation current is 1.846uA and 1.509uA.

(2) Optimize the NMOS uniformity by Dose Mapper, which improves saturation current uniformity by 0.42%; DOE experiment is used to optimize tip_x uniformity, it can improve device saturation current uniformity, PMOS uniformity is improved by 5.2%.

(3) The concentration of germanium in the source-drain region of PMOS is distributed in a stepped way, appropriate optimization of the germanium concentration distribution slope can improve device performance.

(4) Saturation current has sensitivity to gate length and ion implantation doping dose, dose can compensate for variations in saturation current caused by fluctuations in

gate length and optimize device stability, NMOS stability is improved by 2.12%; The PMOS epitaxial film thickness is approximately proportional to the growth time, APC system can automatically adjust the film thickness to ensure the stability of parameters, the fluctuation of overfill thickness is optimized by 15.4%.

According to the sensitivity of the saturation current to the device parameters, optimizing the uniformity of the parameters can significantly improve uniformity of device saturation current; APC system can monitor the fluctuation of inline parameters, ensuring the stability of mass production device.

Key Words: CMOS Device, Process Variation, Stability, Uniformity

目 录

第 1 章 绪论.....	1
1.1 课题研究背景及意义.....	1
1.2 课题研究现状.....	6
1.3 论文主要研究内容.....	9
第 2 章 CMOS 器件均匀性和稳定性理论技术.....	11
2.1 电性参数波动与电路性能的关系.....	11
2.2 电性参数波动模型研究.....	14
2.3 漏极饱和电流物理意义及相关工艺.....	17
2.4 本章小结.....	25
第 3 章 CMOS 器件均匀性的优化技术.....	27
3.1 饱和电流对器件参数敏感度的分析.....	27
3.2 NMOS 均匀性的优化技术.....	40
3.3 PMOS 均匀性的优化技术.....	45
3.3.1 PMOS 均匀性机理研究.....	45
3.3.2 PMOS 均匀性改善研究.....	51
3.4 本章小结.....	61
第 4 章 CMOS 器件稳定性的优化技术.....	63
4.1 离子注入自动化技术优化 NMOS 稳定性.....	63
4.2 锗硅制程 APC 优化 PMOS 稳定性.....	68
4.3 本章小结.....	70
第 5 章 总结与展望.....	73
5.1 总结.....	73
5.2 展望.....	74

参考文献.....	75
致 谢.....	79
作者简历及攻读学位期间发表的学术论文与研究成果	81

图目录

图 1.1 集成电路技术节点路线图	1
图 1.2 栅延迟与沟道长度关系	2
图 1.3 晶圆中电流波动范围大引起良率问题	3
图 1.4 晶圆中电流波动范围小减轻良率问题	4
图 1.5 阈值电压与栅氧化层 SPICE 参数	5
图 1.6 浅槽隔离工艺步骤示意图	6
图 1.7 N/P MOS 离子注入补偿 APC 系统	7
图 1.8 增加曝光剂量减小栅长	8
图 1.9 温度敏感平坦化校正系统优化薄膜厚度均匀度	9
图 2.1 六管 SRAM	12
图 2.2 反相器输入输出特性曲线	13
图 2.3 工艺角与 SRAM 特性关系	14
图 2.4 NMOS 示意图	17
图 2.5 PMOS 示意图	18
图 2.6 N/P MOS 栅堆叠层	20
图 2.7 沟道晶向和应力类型对 CMOS 器件驱动电流的影响	21
图 2.8 锗硅应变机理示意图	22
图 2.9 锗硅外延堆叠层	23
图 2.10 阶梯式选择性锗硅外延工艺锗浓度分布示意图	24
图 2.11 锗硅外延沉积示意图	25
图 3.1 多晶硅栅尺寸沿晶圆半径分布	41
图 3.2 DOSE MAPPER 原理示意图	42
图 3.3 晶圆栅长等高图	43
图 3.4 晶圆栅长在均匀度优化前后的等高图	44
图 3.5 晶圆中间区域器件形貌	46

图 3.6 晶圆边沿区域器件形貌.....	46
图 3.7 湿法刻蚀后的结构.....	46
图 3.8 尖端到栅间距结构.....	47
图 3.9 晶圆中间与边沿区域轻掺杂沉积氧化物.....	48
图 3.10 晶圆中间与边沿区域氮化硅沉积.....	48
图 3.11 晶圆中间与边沿区域氮化硅主刻蚀.....	48
图 3.12 晶圆中间与边沿区域氮化硅过刻蚀.....	49
图 3.13 晶圆中间与边沿区域干湿法刻蚀形貌.....	49
图 3.14 晶圆边沿区域与中心区域器件性能对比图.....	50
图 3.15 TIP_x 沿晶圆半径分布趋势.....	50
图 3.16 主体层锗浓度沿晶圆半径分布趋势.....	51
图 3.17 优化锗浓度分布.....	51
图 3.18 优化结果.....	57
图 3.19 优化结果.....	59
图 3.20 TIP_x 沿晶圆半径分布趋势.....	60
图 4.1 栅极刻蚀到 POCKET 注入流程图.....	63
图 4.2 轻掺杂区与 POCKET 掺杂区.....	65
图 4.3 阻尼系数仿真曲线.....	66
图 4.4 APC 优化前后晶圆饱和电流对比.....	67
图 4.5 锗硅溢出层结构.....	68
图 4.6 主体层厚度与生长主体层的时间关系.....	69
图 4.7 锗硅制程的 APC 流程图.....	69
图 4.8 APC 修正前 WTW 的溢出层厚度.....	70
图 4.9 APC 修正后 WTW 的溢出层厚度.....	70

表目录

表 1.1 工艺波动与器件角	6
表 2.1 漏极饱和电流各物理量与相关工艺	18
表 3.1 器件参数波动情况	28
表 3.2 实验条件与方法	29
表 3.3 饱和电流对有源区尺寸敏感度	29
表 3.4 实验条件与方法	29
表 3.5 饱和电流对台阶高度敏感度	30
表 3.6 实验条件与方法	30
表 3.7 饱和电流对高介电常数层厚度敏感度	30
表 3.8 实验条件与方法	31
表 3.9 饱和电流对延伸区尺寸敏感度	31
表 3.10 实验条件与方法	32
表 3.11 饱和电流对多晶硅栅长敏感度	32
表 3.12 实验条件与方法	33
表 3.13 饱和电流对偏移区尺寸敏感度	33
表 3.14 实验条件与方法	33
表 3.15 饱和电流对侧墙尺寸敏感度	34
表 3.16 实验条件与方法	34
表 3.17 饱和电流对功函数层厚度敏感度	35
表 3.18 实验条件与方法	35
表 3.19 饱和电流对 POCKET 掺杂剂量敏感度	36
表 3.20 干法刻蚀实验条件与方法	36
表 3.21 湿法刻蚀实验条件与方法	36
表 3.22 尖端到栅间距实验条件与方法	37
表 3.23 缓冲层厚度实验条件与方法	37

表 3.24 主体层厚度实验条件与方法	37
表 3.25 硅帽层厚度实验条件与方法	38
表 3.26 饱和电流对锗硅制程器件参数敏感度	38
表 3.27 器件参数波动造成饱和电流变化汇总	39
表 3.28 曝光后 OCD 结果	42
表 3.29 第一批结果	44
表 3.30 第二批结果	44
表 3.31 L18 直交表	53
表 3.32 实验结果	54
表 3.33 TIP_X 实验结果	54
表 3.34 工艺因子与 TIP_X 相关系数	55
表 3.35 最优组合	56
表 3.36 工艺因子与器件参数相关系数	56
表 3.37 最优组合	56
表 3.38 湿法刻蚀槽深实验结果	58
表 3.39 工艺因子与器件参数相关系数及最优组合	59
表 3.40 第一批实验结果	60
表 3.41 第二批实验结果	60
表 4.1 APC 应用规则	66

第1章 绪论

1.1 课题研究背景及意义

集成电路作为信息社会的基础在当今社会扮演了越来越重要的作用。2017年集成电路进口额超过石油成为我国第一大进口产品，发展集成电路实现自主可控已成为头等大事，在2018年政府工作报告中，集成电路也被列为发展实体经济的第一位，在政府的大力支持下我国集成电路取得了长足的进步。摩尔定律指出芯片上集成的晶体管数目每18个月增加一倍，这一定律验证了四五十年来的集成电路事业的发展，但近几年摩尔定律开始缓慢推进，晶体管尺寸的技术节点发展也变慢，这为我国研发先进技术节点带来了极大的机会。国内最先进芯片制造企业已经实现28nm高介电常数金属栅器件的量产，14nm FinFET器件也研发成功，图1.1为集成电路技术节点发展路线图^[1]，可以发现九十年代以后技术节点的推进速度加快，业界在2017年左右已经实现了10nm器件的量产。

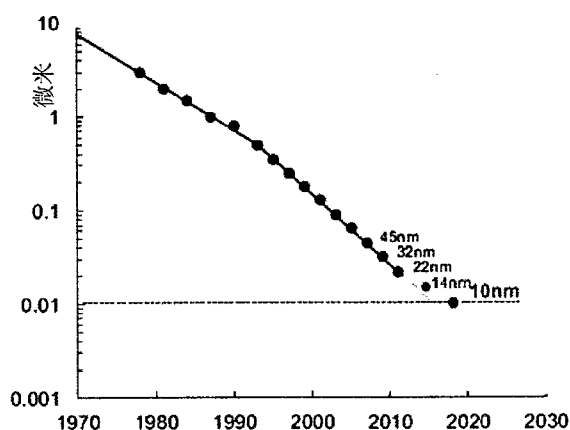


图 1.1 集成电路技术节点路线图

Figure1.1 Integrated circuit technology node roadmap

我国最大的集成电路制造企业最先进的技术节点是28nm高介电常数金属栅(HKMG)工艺，高介电常数材料的物理厚度和其等效厚度之间的关系如式1.1所示：

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon_{HK}} T_{HK} \quad \dots (1.1)$$

其中 T_{HK} 是高介电常数材料的物理厚度， ϵ_{HK} 是高介电常数材料的介电常数， ϵ_{SiO_2} 是二氧化硅材料的介电常数。

高介电常数材料的介电常数远大于二氧化硅的介电常数，所以降低等效厚度的同时可以获得比较厚的高介电常数材料物理厚度，从而在源头上堵住栅极的漏电^[2]。另外因为高介电常数与原来多晶硅栅极不兼容，电介质材料中的金属能够与多晶硅栅电极中的硅发生反应，导致费米能级钉扎效应，这会降低阈值电压的调节能力，所以用金属栅取代多晶硅栅能够解决上面问题，并能够降低栅电极电阻。技术节点缩小到 28nm 高介电常数金属栅工艺以后，栅延迟逐步变小，速度也变快，栅延迟与沟道长度关系如图 1.2 所示^[3]。

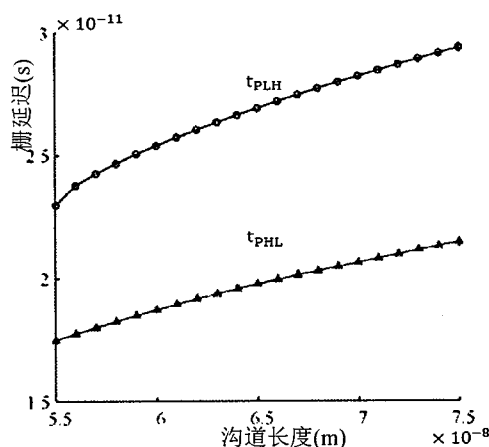


图 1.2 栅延迟与沟道长度关系

Figure1.2 Gate delay VS channel length

在器件规模量产中，栅延迟主要是器件在制造过程中电性参数(饱和电流、漏电流)波动范围太大导致的。例如，晶圆边沿区域饱和电流数值小于中心区域。在代工厂，器件电性参数波动原因都会归结为线上因素与线下因素；线上因素包括器件在制造过程中调节的工艺因素和结构参数，如掺杂剂量、栅长，线下因素包括反应腔室温度、机台波动等这些因素，本文只研究线上因素对器件稳定性与均匀性的影响。

大生产中的器件稳定性一般是指 wafer to wafer(WTW)与 lot to lot(LTL)电

性参数波动程度，均匀性一般是指 within wafer (WIW) 电性参数离散程度，电性参数一般用饱和电流来表征。本文第三章介绍器件均匀性的优化技术，第四章介绍器件稳定性的优化技术，饱和电流均匀性与稳定性计算公式如式 1.2、1.3 所示。

$$I_{dsat} \text{ uniformity} = \frac{I_{dsat} \text{ mean}}{I_{dsat} \text{ standard deviation}} \quad \dots (1.2)$$

$$I_{dsat} \text{ stability} = \frac{I_{dsat} \text{ mean}}{I_{dsat} \text{ standard deviation}} \quad \dots (1.3)$$

减小 WIW 电流波动范围即改善器件的均匀性可以给 WTW 留出足够的器件窗口，保证线上量产器件稳定，图 1.3 与图 1.4 分别是优化 WIW 电流波动范围前与优化 WIW 电流波动范围后对比图。FF 是器件饱和电流值在很高时的工艺角情况，TT 是器件饱和电流在目标值时的工艺角情况，SS 是器件饱和电流值在很低时的工艺角情况。当器件饱和电流波动范围大且饱和电流很高时，晶圆会产生漏电问题，当器件饱和电流波动范围大且饱和电流很低时，晶圆器件工作频率低。漏电和工作频率是良率测试项，所以优化 WIW 电流波动范围能够减小良率损失。

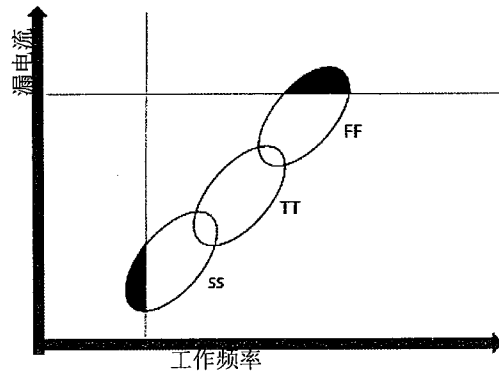


图 1.3 晶圆中电流波动范围大引起良率问题

Figure 1.3 Larger WIW current range cause yield issue

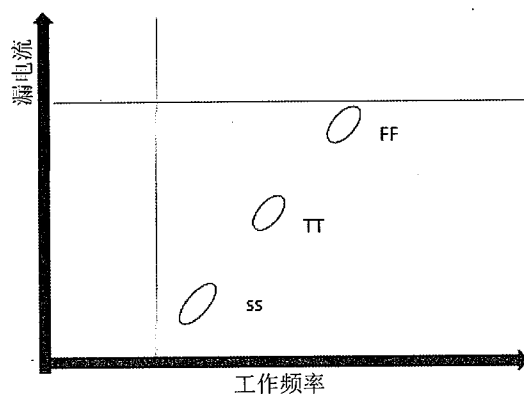


图 1.4 晶圆中电流波动范围小减轻良率问题

Figure1.4 Smaller WIW current range lighten yield issue

不仅可以用不同情况的工艺角分析良率，而且也可以用工艺角模型研究器件电性参数的波动。工艺角模型可以预测电路设计满不满足要求，当器件在 FF 或者 SS 这些极端情况下电路没有功能，就可以说电路没有足够的设计余量满足设计生产的要求^[4]。MOS 器件饱和电流已知为：

$$I_{dsat} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th0})^2 \quad \dots (1.4)$$

根据公式 1.4，饱和电流与衬底掺杂浓度、栅氧化层厚度、沟道长度、沟道宽度、阈值电压密切相关，所以每一参数的变化都会影响饱和电流的大小。

代工厂中的器件模型就像是一个数据库，数据库里包含不同尺寸器件对应的各种电性参数，图 1.5 是某种技术节点器件阈值电压 spice 参数，实线为典型器件尺寸的参数^[5]，不同的栅氧层厚度对应不同的阈值电压值。

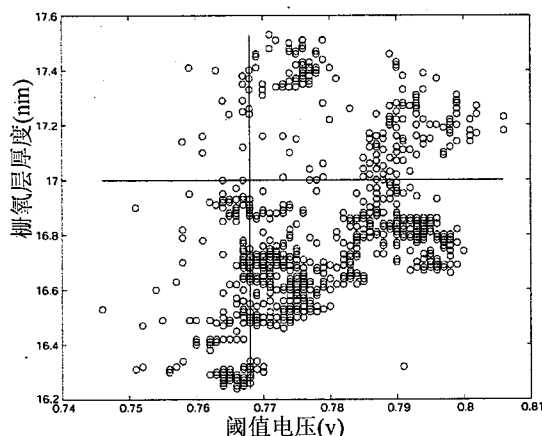


图 1.5 阈值电压与栅氧化层 SPICE 参数

Figure1.5 Spice parameters for threshold voltage and oxide thickness

研究器件电性参数波动对分析电路性能有重要作用,有研究人员提出最坏情况模型^[5],最坏情况模型是将工艺波动因素考虑进去来分析饱和电流,如式 1.5 所示,这是在沟道长度、沟道宽度、阈值电压、沟道载流子迁移率、栅氧化层厚度这些参数波动范围最大时得到的饱和电流,同时再考虑器件功耗以及速度的极端情况,观察电路性能,若电路没有功能,则可以说电路没有足够的设计余量满足设计要求。

$$I_{dsat} = \mu \frac{\epsilon_{ox}}{t_{ox}} \frac{(W+xw)}{(L+xl)} (V_{GS} - V_{th0})^2 \quad \dots (1.5)$$

从式 1.5 看出当器件沟道迁移率较高、沟道宽度较宽、栅极长度较短、阈值电压较低时,这时就得到饱和电流最高,相应得到器件功耗最高这一极端情况,同理器件沟道迁移率较低、沟道宽度较宽、栅极长度较长、阈值电压较高时,这时就得到饱和电流最低,相应得到器件速度最大这一极端情况。设计者就可以考虑在这两种极端情况下电路是否还能正常工作^[5]。

表 1.1 工艺波动与器件角

Table1.1 Process variation and device analog corners

参数	功耗极端情况	速度极端情况
阈值电压	最小	最大
栅极宽度	最大	最小
栅极长度	最小	最大
栅氧化层厚度	最小	最大
衬底掺杂浓度	最小	最大

1.2 课题研究现状

电路高性能、低功耗的要求使得设计者对器件的电性参数和结构参数有更严格的控制，这导致了对晶体管稳定性与均匀性的要求越来越高。在器件制备中，晶体管阈值电压和饱和电流容易产生波动^[6]。通过查阅文献，100nm 技术节点以下，造成器件稳定性与均匀性不好的工艺步骤有很多。

有源区制程：有源区尺寸均匀性更难控制，抗反射图层工艺刻蚀步骤使得侧面轮廓均匀度更难控制^[7, 8]。浅槽隔离刻蚀作为最重要的工艺步骤之一定义了有源区，为了获得更好的器件稳定性与均匀性，有源区的尺寸在晶圆中应尽可能保持一致。一种新的浅槽隔离工艺流程可以使得有源区尺寸尽可能保持一致^[9]，具体而言，可先将光刻胶图像转移到硬掩模上，再通过硬掩模层将最终图形刻蚀转移到衬底。

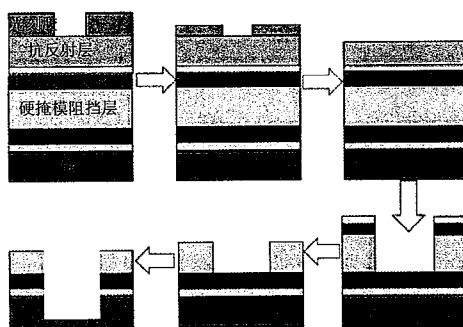


图 1.6 浅槽隔离工艺步骤示意图

Figure1.6 Schematic of shallow trench isolation process steps

栅氧化层制程：栅氧化层/高介电常数层厚度影响 W_{TW} 、 W_{TW} 和 L_{TL} 阈值电压，从而影响饱和电流。源漏区浅掺杂、pocket 掺杂会影响饱和电流。 N/P MOS 阈值电压对栅氧化层厚度比较敏感，而离子注入剂量可以调节电性参数的大小。在 45nm 技术节点以下，离子注入 APC 系统可以监控电性参数波动并根据波动大小自动调节离子注入剂量^[6]。图 1.7 为 N/P MOS 离子注入补偿 APC 系统，该系统可以根据线上参数（栅氧化层厚度、多晶硅栅长）的波动情况进行掺杂剂量的调整来优化电流均匀性。

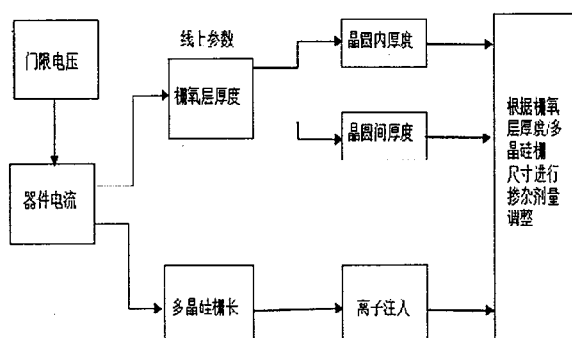


图 1.7 N/P MOS 离子注入补偿 APC 系统

Figure1.7 An APC of Gox thickness and N/P MOS LDD implant dose compensation

衬底低温离子注入：业界研究出一种低温离子注入工艺，能够在衬底退火过程中产生 EOR (End of Range) 缺陷，退火之后产生的缺陷引起非晶层厚度增加，使得漏电流减小，提升了器件性能，从而优化了器件均匀性^[10]。

栅制程：栅长度变化是器件延迟和功耗的主要因素，特征尺寸的减小造成器件延迟和功耗也越来越严重。某公司推出一种新技术-Dose Mapper，这一技术使用曝光剂量修正系统可以最大限度的减小器件与器件之间以及器件内部的线宽变化，图 1.8 所示是在增加单位曝光剂量减小 2nm 多晶硅栅长情况下 Dose Mapper 示意图^[11]，右边是正常曝光剂量后的栅长，左边增加曝光剂量会使更多的曝光区域溶解于显影液，即增加曝光剂量来减小栅长。

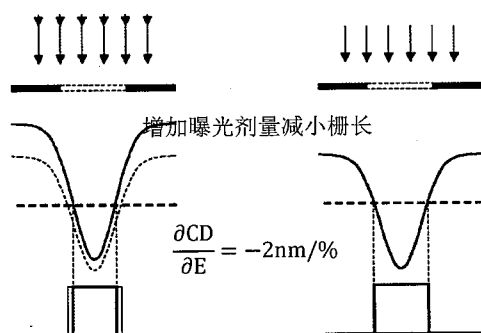


图 1.8 增加曝光剂量减小栅长

Figure1.8 Increase dose decrease the gate length

温度敏感平坦化技术：平坦化技术在半导体制造中起着重要的作用，由于平坦化技术具有去除高含量材料的能力，同时又大大消除了蚀刻和填充后形成的不平整形貌，化学机械平坦化技术已成为平面化应用的标准技术。但是平坦化工艺通常会产生一些不均匀的厚度，通常约为几十纳米。随着特征尺寸的缩小，数十纳米的厚度可能对器件良率有影响。近年来工业已经从 2D 平面器件过渡到 3D 器件，即 FinFET，这种器件的两个栅级环绕 Fin，这种结构可以减轻短沟道效应和泄漏电流，增强栅级对沟道的控制能力。Fin 高度决定了器件的有效沟道长度，Fin 高度的任何变化都会直接影响器件性能，例如阈值电压和驱动电流。考虑这个原因，薄膜厚度的变化需要保持在非常窄的范围，例如 2-3nm (3σ)，而且还要考虑平坦化以后薄膜厚度在晶圆之间的差异，这些都是传统的平坦化技术达不到的。为了在保持较低缺陷水平的同时提高产品产量，在具有静电托盘的感应耦合等离子体反应器上开发了一种新的具有温度敏感的平坦化校正刻蚀技术，等离子体反应器得到所需薄膜厚度与实际厚度差异，静电托盘可以对芯片级进行热控制，按照薄膜厚度差异来控制反应腔室局部温度和径向温度，以此优化薄膜厚度的均匀性^[12]。

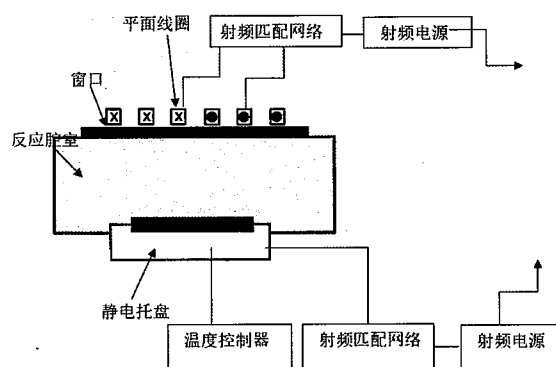


图 1.9 温度敏感平坦化校正系统优化薄膜厚度均匀度

Figure1.9 Temperature sensitive correction system optimize film thickness uniformity

锗硅制程中硅帽层厚度与掺杂的硼元素均匀度控制：锗硅选择性外延生长步骤不仅应用于异质结双极型晶体管制备中，而且也应用于应变硅沟道 PMOS 的制备中。研究锗硅制程硅帽层的厚度与掺杂硼元素浓度的均匀性对于改善良率是有意义的。在硅帽层中掺杂硼可以降低源漏区电阻，锗硅制程先形成硅帽层，接着通入氮气与硅帽层反应形成氮化硅，氮化硅的刻蚀程度与 HCL 气流和温度密切相关，HCL 气流和温度发生变化时，锗硅结构会产生缺角而导致缺陷问题。因此可以从硅帽层沉积时 HCL 气体流量和腔室温度两个方面来优化硅帽层厚度和硼元素的均匀性^[13]。

1.3 论文主要研究内容

本论文主要研究在 28nm 高介电常数金属栅工艺节点下的器件稳定性与均匀性，包括 WIW 器件均匀性研究、WTW 和 LTL 器件稳定性研究，具体介绍如下：

第一章首先介绍器件稳定性与均匀性的研究背景意义和当今在科研界以及科技产业界研究的进展与方法。

第二章是器件稳定性与均匀性的理论技术，首先阐述器件电性波动与电路性能的联系，明确了研究器件电性参数波动的意义；其次从器件电性波动模型的角度进行分析，给出了漏极饱和电流全部局部波动的理论解释；最后对漏极饱和电流物理意义及相关工艺进行了理论分析。

第三章是器件均匀性的优化技术研究,根据第二章影响饱和电流的相关工艺,将 N/P MOS 饱和电流对器件参数敏感度进行分析,将敏感度进行量化,得到了器件参数波动造成 WIW 饱和电流的变化值,然后选取对饱和电流变化最显著的 Poly CD、tip_x 和锗含量进行研究,从而提高 WIW 饱和电流的均匀性。

第四章是器件稳定性的优化技术研究,包括优化 NMOS 参数波动的离子注入 APC 系统,即根据多晶硅栅长和 pocket 掺杂剂量与饱和电流相关关系,调节掺杂剂量来弥补因栅长波动造成的电性变化;根据锗硅外延层厚度与沉积时间近似成正比关系来优化器件外延结构参数的稳定性。

第五章是总结与展望,对文章的总结以及不足之处。

第2章 CMOS 器件均匀性和稳定性理论技术

研究CMOS器件的稳定性与均匀性就是研究器件电性参数和结构参数波动。器件电性参数波动范围太大不仅会影响晶圆良率，而且还会影响 CMOS 电路性能。对 CMOS 器件在线性区和饱和区漏极电流波动物理模型研究可以获得完整的源漏电流波动表达式。对饱和电流公式进行物理参数分析可以明确影响饱和电流的器件参数。

2.1 电性参数波动与电路性能的关系

电路的速度、噪声容限、功耗是研究器件电性参数变化与电路性能关系时主要考虑的三个方面。阈值电压小，电路速度快。当电源电压不变时，电路延迟时间随着阈值电压的减小而增大，此时器件驱动电流会增大。CMOS 电路延迟时间表示成式 2.1^[14]：

$$t_d \propto \frac{C_L V_{DD}}{K(V_{DD} - V_T)^2} \quad \dots (2.1)$$

其中， C_L 是电路负载电容， V_{DD} 表示 CMOS 电路电源电压， K 是导电因子常数，若仅从电路性能考虑，阈值电压应该尽可能的小。

噪声容限用来说明数字集成电路抗干扰能力大小的参数，抗干扰能力强弱与噪声容限成正相关，CMOS 电路噪声容限 (Noise Margin) 可以表示成公式 2.2 所示^[14]：

$$NM = \frac{V_{OH} - V_{OL}}{V_{IHmin} - V_{ILmax}} \quad \dots (2.2)$$

其中 V_{OH} 和 V_{OL} 是输入为 V_{ILmax} 和 V_{IHmin} 相对应的输出高电平和输出低电平， V_{ILmax} 是最大的输入低电压， V_{IHmin} 是最小的输入高电压，根据直流电压传输特性，增大器件的阈值电压可以增大电路的噪声容限。

理想状态下，CMOS 电路要么 NMOS 处于导通状态，要么 PMOS 处于导通状态，电路没有静态功耗，但是亚阈值电流的产生又使得这种理想情况不存在，实际情况静态功耗不为零。CMOS 电路的静态功耗决定于电路中总的泄漏电流和工作电压，阈值电压降低，MOS 管泄漏电流会增大，工作电压不变时，泄漏电

流会引起电路静态功耗增加。阈值电压大时可以降低功耗，但又希望阈值电压尽量小，因为小的阈值电压可以提高电路速度，所以必须综合考虑速度、噪声容限和功耗几方面的要求。随着器件尺寸的减小，设计者可接受的阈值电压变化范围也越来越小，所允许的器件漏电流变化范围也越来越小^[14]。

在电路设计单元中也要考虑参数波动的影响，其中涉及最多的是 SRAM 单元设计。SRAM 有读和写两种工作状态，电性参数的波动对读稳定性和写稳定性影响最大，图 2.1 是六管 SRAM 结构图^[15]，读“1”过程是：存储的信息假设为逻辑 1 高电平，即在 Q 处为高电平，两根位线预先充值到逻辑 1 高电平，接着字线 WL 也充到高电平，使得 MN3 与 MN4 导通。第二步是保存在 Q 的高电平传递给位线 BL，而泄放掉 BLB 预充的值，这通过 MN3 和 MN1 的通路直接连接到低电平使逻辑值为 0 来实现。在位线 BLB 一侧，MP2 与 MN4 通路，位线与 VDD 联通，把 BLB 连到 VDD 代表的逻辑 1。只需要 BLB 与 BL 有一个很小的电位差，放大电路就能读取哪根位线是 1 哪根位线是 0^[16]。

写“1”过程是：把要写入的“1”状态加载到位线，BL 设置为 1，BLB 置为 0，字线 WL 加载为高电平，位线状态被载入 SRAM 基本单元。

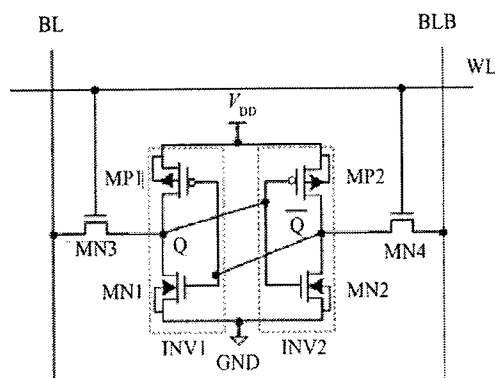


图 2.1 六管 SRAM

Figure2.1 6T SRAM

单元电路能承受的最大噪声信号幅值可以用静态噪声容限来表征，如果超过这个值，电路节点的状态会发生翻转，噪声容限是衡量单元电路抗干扰能力的一个重要指标。六管 SRAM 是两个交叉耦合的 CMOS 反相器与两个 MOS 管组成

的结构，我们可以用 CMOS 反相器中最大噪声容限的分析方法来理解 SRAM 的稳定性。

对两个交叉耦合的反相器来说，可以用图 2.2 来表示输入与输出特性，静态噪声容限由两条曲线之间能画出的最大正方形表示，正方形边长越长，代表噪声容限越大^[17]。

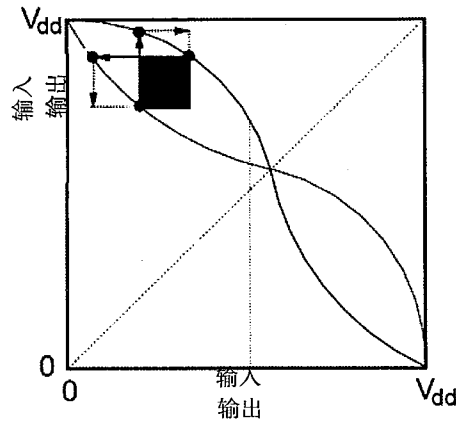


图 2.2 反相器输入输出特性曲线

Figure2.2 Inverter input-output characteristic curve

6T SRAM 读和写两个状态都可以用读稳定性和写稳定性来表征， $\beta = \frac{I_{on,PD}}{I_{on,PG}}$ ，这一参数可以代表读状态稳定性， β 越大，下拉晶体管 $I_{on,PD}$ 越大，意味着在噪声下存储 0 更稳健，SRAM 有更好的读稳定性，读状态噪声容限越高； $\gamma = \frac{I_{on,PG}}{I_{on,PU}}$ ，这一参数可以代表写稳定性， γ 越大，传送晶体管 $I_{on,PG}$ 越大，高电位 1 更容易放电到低电位，写稳定性越好。通过以上的分析， $I_{on,PD}$ 与 $I_{on,PG}$ 大小影响着读写状态的稳定性，然而读写状态的电流又受参数栅长，栅氧化层厚度影响，因此器件参数的波动影响单元电路，电路设计者在设计电路时必须将器件参数波动的因素考虑在内。一般用工艺角模型/器件角模型来表示 SRAM 在 $I_{on,PG}$ 与 $I_{on,PU}$ 不同情况下的读写稳定性。

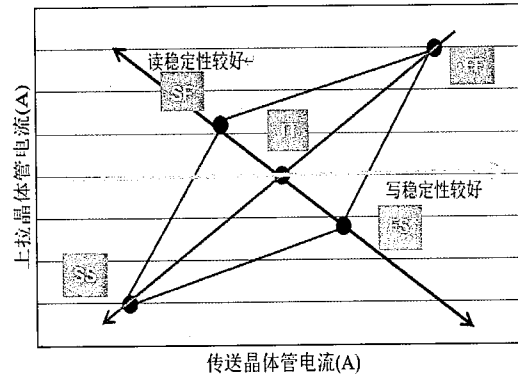


图 2.3 工艺角与 SRAM 特性关系

Figure2.3 Correlation between spice corner and SRAM characteristics

2.2 电性参数波动模型研究

器件尺寸按照摩尔定律不断缩小, 沟道内电场强度会发生显著变化, 为了维持器件电场强度不变条件下等比例缩小的要求, 新材料新工艺逐步引入, 比如提升 NMOS 沟道载流子迁移率的应力记忆技术(SMT)、提升 PMOS 沟道载流子迁移率的锗硅工艺外延技术, 以及高介电常数金属栅等技术。另外器件的各种小尺寸效应随着技术节点逼近物理极限也越来越明显, 控制工艺波动的难度越来越大, 因工艺波动导致的很多关键良率指标失效, 低压良率(Vmin)作为最关键的良率参数之一, 提升难度也越来越大。业界做了大量的研究来分析良率失效问题, 将工艺波动总结为 Vmin 失效的原因。导致工艺波动的因素众多, 通过查阅大量文献, 有栅级边缘粗糙不均匀^[18]、栅氧化层厚度不均匀^[19]、离子注入时的杂质颗粒物^[20]、化学机械研磨薄膜厚度^[21]、应力硅技术应力均匀性^[22]、栅极硅晶粒差异^[23]、快速热退火工艺^[24]、离子注入机台差异^[25]、pocket 掺杂^[26]以及离子注入的随机波动^[27]这些因素。

在技术节点发展到 28nm 高介电常数金属栅之前, 器件特征尺寸缩小到 50nm 以下会涉及大幅降低栅极氧化层的厚度, 因为 28nm 多晶硅栅结构的栅氧化层厚度低于 1nm, 所以不仅离散和随机的掺杂电荷会引起电性参数波动, 而且栅级与栅氧介质界面的原子粗糙度也会引入明显的固有参数波动。当氧化层厚度仅相当于几个硅原子层时, 原子尺度的界面粗糙度会在单个器件的栅极区域导致明显的

氧化层厚度变化，每个器件的栅极氧化物厚度和界面轮廓的随机形貌都不相同，这从而影响了电性参数^[19]。以阈值电压为例：阈值电压 V_{th} 可以解析的表示为：

$$V_{th} = V_{FB} + 2\phi_B + \frac{Q_b}{C_{ox}} \quad \dots(2.3)$$

其中 V_{FB} 、 ϕ_B 、 Q_b 与 C_{ox} 分别是平带电压、表面电势、耗尽层深度和栅氧化层电容。在该一维模型中， V_{th} 的波动值 δV_{th} 由三个独立的物理因素引起：沟道掺杂的波动、表面态密度和栅氧化层的厚度，因此在每个因素波动很小的情况下， δV_{th} 可以表示成如式 2.4^[27]：

$$\delta V_{th} = \sqrt{(\delta Q_{ss} \frac{T_{ox}}{\epsilon_{ox}})^2 + (Q_{ss} \frac{\delta T_{ox}}{\epsilon_{ox}})^2 + (\delta \phi_B)^2 + (\delta Q_b \frac{T_{ox}}{\epsilon_{ox}})^2 + (Q_b \frac{\delta T_{ox}}{\epsilon_{ox}})^2} \quad \dots(2.4)$$

其中 δQ_{ss} 是表面态电荷浓度的波动，表面电势的波动 $\delta \phi_B$ 和耗尽层深度的波动 δQ_b 由沟道区域掺杂元素波动 δN_a 引起，表面电势可以表示成：

$$\delta \phi_B = \frac{KT}{q} \frac{\delta N_a}{N_a} \quad \dots(2.5)$$

其中 K 、 T 、 q 和 N_a 分别是玻尔兹曼常数、温度、电荷量和平均掺杂浓度。

CMOS 技术中的工艺波动可以分为全局波动和局部波动。对于全局波动，器件参数在晶圆上都平稳变化；对于局部波动或失配，每个 MOS 晶体管甚至与其相邻的晶体管电性都有不同程度的变化。从本质上讲，工艺波动是不相关的随机过程，CMOS 器件尺寸的缩减造成工艺波动的过程正在加剧，因此 MOS 管中的关键问题是对漏极电流局部波动变化的研究。漏极电流局部波动会影响模拟电路及 SRAM 单元等数字电路的性能^[28]。

根据相关理论研究，漏电流失配与阈值电压的局部波动、电流增益因子 β 密切相关， β 表达式如式 2.6 所示^[28]：

$$\beta = W \cdot C_{ox} \cdot \mu_0 \cdot \frac{V_D}{L} \quad \dots(2.6)$$

其中 W 是栅极宽度， C_{ox} 是栅氧化层电容， μ_0 是载流子迁移率， V_D 是漏极所加电压， L 是栅极长度。也有相关研究报道了源漏串联电阻失配及其对 MOS 器件漏极电流变化的影响^[28-30]。为了建立一般的漏极电流失配模型，可以通过漏极电流对 MOS 器件电性参数的敏感度来考虑所有主要的漏极电流局部波动^[31-34]，根据泰勒近似公式，漏极电流波动可以表示成如式 2.7 所示^[28]：

$$\frac{dI_D}{I_D} = \left(\frac{1}{I_D} \cdot \frac{\partial I_D}{\partial V_t}\right) \cdot dV_t + \left(\frac{1}{I_D} \cdot \frac{\partial I_D}{\partial \beta}\right) \cdot d\beta + \left(\frac{1}{I_D} \cdot \frac{\partial I_D}{\partial R_{SD}}\right) \cdot dR_{SD} \quad \dots(2.7)$$

在计算出漏极电流相对阈值电压、增益因子和源漏区电阻偏导数之后，得出了 MOS 器件在线性区漏极电流失配表达式为^[28]：

$$\sigma^2\left(\frac{\Delta I_D}{I_D}\right) = \left(\frac{g_m}{I_D}\right)^2 \cdot \sigma^2(\Delta V_t) + (1 - G_D \cdot R_{SD})^2 \cdot \sigma^2\left(\frac{\Delta \beta}{\beta}\right) + G_D^2 \cdot \sigma^2(\Delta R_{SD}) \quad \dots(2.8)$$

其中 $\sigma(\Delta V_t)$ 、 $\sigma\left(\frac{\Delta \beta}{\beta}\right)$ 和 $\sigma(\Delta R_{SD})$ 分别是阈值电压波动的标准差、增益因子失配和源漏电阻失配， g_m 为跨导、 G_D 是 MOS 器件在线性区的电导。

对器件线性区失配可以基于函数Y进行分析^[28]：

$$Y = \frac{I_D}{\sqrt{g_m}} \quad \dots(2.9)$$

式 2.9 独立于源漏区电阻 R_{SD} 。有一种方法可以直接提取 V_t 和 β 的局部波动值，这要基于 Y 函数的模型，在器件从弱反型到强反型过程中，Y 函数失配模型表征为公式 2.10^[28, 29]所示。

$$\sigma^2\left(\frac{\Delta Y}{Y}\right) = \left(\frac{\beta \cdot \sigma^2(\Delta V_t)}{4 \cdot \beta \cdot n^2 \cdot \left(\frac{kT}{q}\right)^2 + Y^2}\right) + \frac{1}{4} \cdot \sigma^2\left(\frac{\Delta \beta}{\beta}\right) \quad \dots(2.10)$$

以上我们分析的器件波动模型限定在线性区，为了分析出饱和区局部失配模型，根据相关文献结论^[29, 30]，再根据式 2.8 的结论，假设 $R_S = R_D = \frac{1}{2} R_{SD}$ ， R_{SD} 为源漏区电阻，计算出漏极电流对源漏电阻的偏导数为^[28]：

$$\frac{1}{I_D} \frac{\partial I_D}{\partial R_{SD}} = \frac{g_m}{2} + g_d \quad \dots(2.11)$$

其中 g_d 为器件输出电导。

综合式 2.8 和式 2.10，器件在线性区和饱和区时，漏极电流从线性区到饱和区的局部波动表示成公式 2.12^[28]所示。

$$\sigma^2\left(\frac{\Delta I_D}{I_D}\right) = \left(\frac{g_m}{I_D}\right)^2 \cdot \sigma^2(\Delta V_t) + \left(1 - \left(\frac{g_m}{2} + g_d\right) \cdot R_{SD}\right)^2 \cdot \sigma^2\left(\frac{\Delta \beta}{\beta}\right) + \left(\frac{g_m}{2} + g_d\right)^2 \cdot \sigma^2(\Delta R_{SD}) \quad \dots(2.12)$$

与公式 2.8 相比，公式 2.12 还包括由跨导贡献表现出的器件饱和区，饱和区可以主导大漏极电压的输出电导项。

MOS 器件工作在饱和区时具有放大能力，这时 MOS 管相当于一个受栅源电压控制的电流源。考虑到器件电性参数波动对电路性能的影响，设计者对器件

的饱和电流波动要求比较高，需要将饱和电流控制在有限范围内。

2.3 漏极饱和电流物理意义及相关工艺

28nm 技术节点的器件有效沟道长度只有 30nm 左右，很小的器件参数变化就会造成很大的电性参数漂移，因为 N/P MOS 导电机理不同，所以相同的器件参数对器件电学特性的影响程度不同。理想的 NMOS 饱和电流和阈值电压计算公式如式 2.13、2.14 所示，理想的 PMOS 饱和电流和阈值电压计算公式如式 2.15、2.16 所示。

$$I_{dsat} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TN})^2 \quad \dots (2.13)$$

$$V_{TN} = V_{FB} + \frac{|Q_{SD}|}{C_{ox}} + 2\phi_s \quad \dots (2.14)$$

其中 μ 为反型层的电子迁移率、 C_{ox} 为单位面积的栅氧化层电容、 W 为沟道宽度、 L 为沟道长度、 V_{GS} 为栅源电压、 V_{TN} 为阈值电压、 V_{FB} 为平带电压、 $|Q_{SD}|$ 为耗尽区内单位面积的最大空间电荷密度、 ϕ_s 为能带弯曲时半导体的表面电势，图 2.4 为 NMOS 示意图：

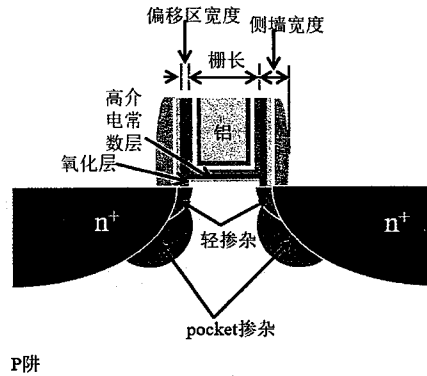


图 2.4 NMOS 示意图

Figure 2.4 NMOS schematic

$$I_{dsat} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TP})^2 \quad \dots (2.15)$$

$$V_{TP} = V_{FB} - \frac{|Q_{SD}|}{C_{ox}} - 2\phi_s \quad \dots (2.16)$$

其中 μ 为反型层的电子迁移率、 C_{ox} 为单位面积的栅氧化层电容、 W 为沟道宽度、 L 为沟道长度、 V_{GS} 为栅源电压、 V_{FB} 为平带电压、 $|Q_{SD}|$ 为耗尽区内单位面积的最大空间电荷密度、 ϕ_s 为能带弯曲时半导体表面电势，图 2.5 为 PMOS 示意图。

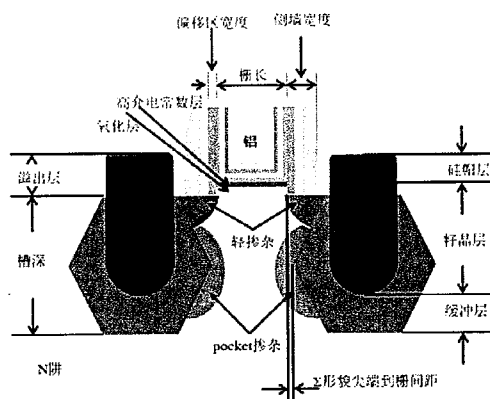


图 2.5 PMOS 示意图

Figure2.5 PMOS schematic

根据公式 2.13、2.15，影响饱和电流的物理量如表 2.1 所示。

表 2.1 漏极饱和电流各物理量与相关工艺

Table2.1 Saturation current and related processes

参数	物理意义	相关制程	在线/离线数据
L	栅极长度	光刻、刻蚀	栅长
W	栅极宽度	光刻、刻蚀	栅宽
μ	载流子迁移率	应力技术	
C_{ox}	栅氧层电容	原子层沉积	高介电常数层厚度
V_t	阈值电压	原子层沉积、pocket	功函数层厚度、剂量

栅极长度 L : 主要影响的器件参数包括多晶硅栅长、偏移区宽度、侧墙宽度、台阶高度、延伸区尺寸。栅长越短，载流子在源漏区之间的通道越短，饱和电流越高；28nm 高介电常数金属栅制程先进行偏移区刻蚀，然后进行轻掺杂离子注入，偏移区越宽使得轻掺杂离子向沟道区域扩散的越浅，沟道有效长度越长，饱和电流越低；侧墙沉积是在源漏区掺杂之前形成，当侧墙比较宽时，漏区平均电

子浓度降低会使得饱和电流下降；台阶高度是指在浅槽隔离工艺步骤时形成的高出有源区这一部分氧化物高度，因为多晶硅栅在有源区工艺步骤之后形成，多晶硅栅长会间接的受到台阶高度影响，台阶高度越高时，高度差限制使得刻蚀栅长难度较大，栅不容易被刻蚀而较长，从而饱和电流越低；延伸区尺寸指的是堆叠层中氧化层、高介电常数、氮化钛这三种物质相比最下面一层硅延伸出的尺寸，尺寸大小会影响 LDD(轻掺杂)制程，尺寸越大，轻掺杂离子向沟道区域扩散的越浅，沟道有效长度越长，饱和电流越低。

栅极宽度 W ：影响栅极宽度的器件参数为有源区尺寸，有源区尺寸表征源漏极载流子通路宽度，宽度越宽会增加载流子的流通，饱和电流越高。

载流子迁移率 μ ：器件是金属栅/高介电常数结构的载流子迁移率比多晶硅/二氧化硅结构的低，主要是由于金属栅介质所引起远程库伦散射和远程声子散射的原因。为了提高载流子的迁移率，NMOS 引入了应力记忆技术(SMT)，SMT 可以增加对沟道载流子的张应力来提升迁移率从而提高饱和电流，SMT 技术研究本文不涉及。PMOS 引入了锗硅外延工艺优化技术，锗硅外延技术可以增加对沟道载流子的压应力来提升迁移率从而提高饱和电流，后面章节会详细阐述锗硅外延工艺优化技术。

栅氧化层电容 C_{ox} ：影响栅氧层电容的主要器件参数为高介电常数层厚度，厚度增加会减小电容，但是高介电常数层里的偶极子增长的更多，这导致阈值电压下降从而饱和电流增加。

阈值电压 V_t ：影响 NMOS 阈值电压的器件参数为钛铝层厚度、pocket 掺杂剂量；影响 PMOS 阈值电压的器件参数为氮化钛层厚度、pocket 掺杂剂量。图 2.6 是 NMOS 栅堆叠层与 PMOS 栅堆叠层示意图，NMOS 功函数层物质为钛铝，使用物理气相沉积方式形成，PMOS 功函数层物质为氮化钛，使用原子层沉积方式形成。

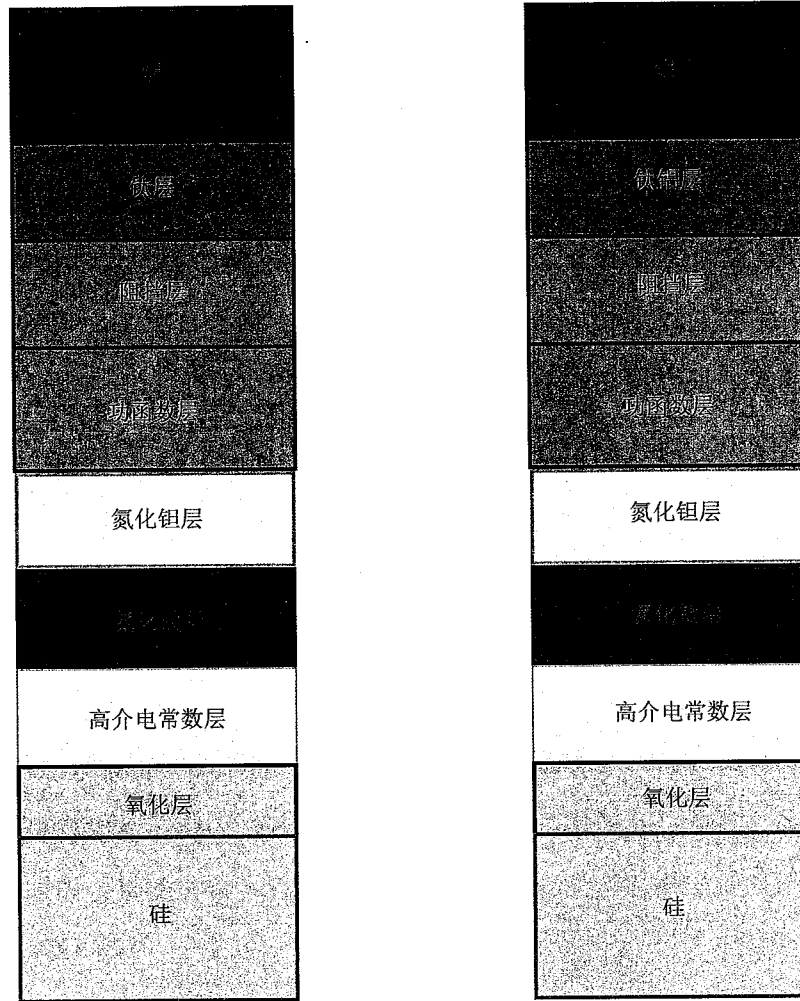


图 2.6 N/P MOS 栅堆叠层

Figure 2.6 N/P MOS gate stack

器件沟道区域的掺杂原子由于离子注入工艺的随机特点而呈现随机分布，这种随机分布会引起与掺杂浓度有关的器件电性参数产生变化，特别是阈值电压与开关电流。沟道尺寸越小，杂质随机分布引起浓度的涨落越大，微观电势起伏越大，阈值电压离散就越严重。当芯片内 MOS 管的数目越多时，器件电性参数偏差就会越大。与 LDD (轻掺杂) 不同的是，pocket 掺杂元素与源漏区掺杂元素相比为反型元素，当 pocket 掺杂元素浓度越高时，提高了衬底掺杂浓度而减小最大耗尽层宽度，半导体表面最大耗尽层宽度如式 2.17 所示：

$$W_{dmax} = \sqrt{\frac{4\epsilon_s \phi_B}{qN_a}} \quad \dots (2.17)$$

其中, ϵ_s 为硅介电常数、 ϕ_B 是 E_F 与 E_i 之间的电势差、 N_a 是衬底掺杂浓度。 $V_t = V_{t0} + \alpha V_{sb}$, V_{t0} 是 $V_{sb}=0$ 时的阈值电压, α 是体效应系数, $\alpha = 3 \frac{T_{oxe}}{W_{dmax}}$, 当提高衬底浓度引起最大耗尽层宽度减小时, 阈值电压提高, 饱和电流会下降。

N/P MOS 制备都会涉及以上的制程, 但是 PMOS 制备引入了锗硅外延工艺, 锗硅外延生长时通过在源漏区掺杂锗来增加对沟道载流子压应力, 从而提升器件的饱和电流。锗硅制程包括 PSR (pmos silicon recess) 工艺和外延生长工艺两个步骤。PSR 工艺制程是先经过干法刻蚀形成碗形貌的结构, 然后是湿法刻蚀形成最终 Σ 形貌的结构, 槽刻蚀出来以后就是外延工艺, 从槽底部向上依次进行外延生长, 生长出缓冲层、主体层、硅帽层。

工艺技术发展到 28nm 节点时, 更薄栅氧化物和更高的沟道掺杂会使得器件产生高漏电和低性能 (例如漏电流变大, 饱和电流降低)^[2], 锗硅外延生长技术可以显著改善器件的性能, 嵌入式锗硅工艺技术被广泛应用在 90nm 及以下制程。硅的晶格常数是 5.43095Å, 锗的晶格常数是 5.6533Å, 硅与锗的不匹配率是 4.1%, 锗硅的晶格常数大于纯硅, 在源漏区产生压应力^[2]。沟道晶向和应力类型对于 N/P MOS 器件有不同的影响, 图 2.7 为沟道晶向和应力类型对于 CMOS 器件驱动电流的影响示意图^[35], 锗硅应变技术需要 PMOS 器件做在 $\langle 110 \rangle$ 晶向上, 利用 $\langle 110 \rangle$ 沟道晶向上的压应力正比于 PMOS 器件的驱动电流大小这一特性来提高 PMOS 器件驱动电流。

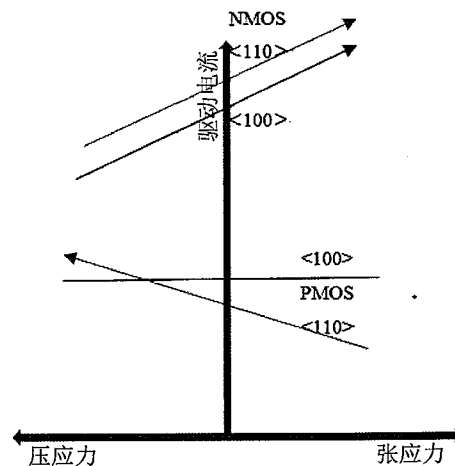


图 2.7 沟道晶向和应力类型对 CMOS 器件驱动电流的影响

Figure 2.7 Effect of channel crystal orientation and stress type on driving current

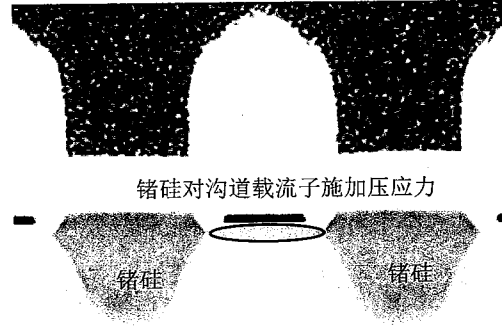


图 2.8 锗硅应变机理示意图

Figure2.8 Schematic diagram of SiGe strain mechanism

当沟道晶向为 $\langle 110 \rangle$ 时，掺杂锗元素会使硅的能带上升，使得禁带宽度发生变化，改变了空穴在导带和价带中的位置，空穴在能带中不同的位置会有不同的有效质量，所以 $\langle 110 \rangle$ 方向的空穴质量会低于 $\langle 100 \rangle$ 晶向的质量，根据迁移率与有效质量的关系，有效质量减小可以提高迁移率。

$$\mu_p = \frac{q\tau_{mp}}{m_p} \quad \dots (2.18)$$

其中 m_p 是空穴的有效质量， τ_{mp} 是载流子碰撞的平均自由时间，在硅中掺杂硼元素可以调控半导体材料的受主浓度，半导体中的载流子在电场的作用下因为漂移运动形成电流，空穴漂移电流密度表示为：

$$J_{p,drift} = qp v \quad \dots (2.19)$$

其中 q 是单位电荷量， p 为单位体积的载流子浓度， v 是载流子漂移运动的速度，当半导体材料掺杂的是五价的施主元素或者三价的受主元素时，电子和空穴总体电流漂移密度是：

$$J = J_{n,drift} + J_{p,drift} = (qn\mu_n + qp\mu_p)E \quad \dots (2.20)$$

其中 $qn\mu_n + qp\mu_p = \sigma$ 就是半导体材料的电导率，多子的浓度在半导体材料中总是远远高于少子的浓度，式子 2.20 中只有一项起主要作用。因为半导体材料的电阻率随着掺杂浓度的增加而减小，所以可以通过改变掺杂浓度来改变半导体材料的电阻率，从而改变材料的电阻。在硅帽层中掺杂硼元素来减小源漏电阻就是根

据这一理论基础。

湿法刻蚀形成 Σ 形状深槽之后, 要进行锗硅外延堆叠层生长, 最下面一层是缓冲层, 缓冲层过高的锗含量浓度会引起晶格缺陷, 所以要在缓冲层中对锗含量进行阶梯式的分布, 一是可以避免晶格失配, 二是加强了应力效果。主体层高浓度的锗含量主要目的是为了提高总体的应力效果, 其次阶梯式的分布也会起到缓解晶格缺陷的问题。缓冲层和主体层的厚度还可以增大两层材料的体积, 应力大小在一定范围内正比于薄膜层体积。硅帽层掺杂硼元素可以减小源漏区电阻。锗硅外延生长堆叠层如图 2.9 所示。

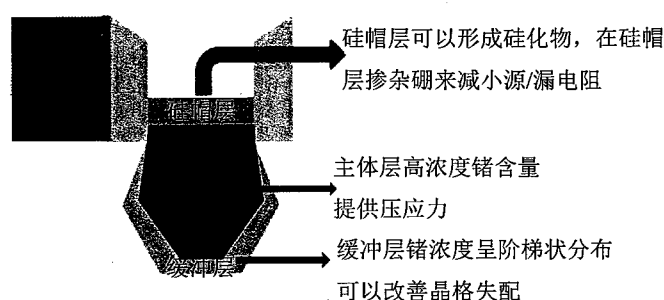


图 2.9 锗硅外延堆叠层

Figure2.9 SiGe epitaxial stack

选择性锗硅外延工艺锗含量采取阶梯式分布, 增加锗含量可以提高整体应力效果, 但是锗含量过高时容易造成位错。阶梯式选择性锗硅外延锗含量分布起到了加强应力效果且改善晶格失配的作用, 锗硅外延工艺锗浓度分布示意图如图 2.10 所示, 缓冲层中的锗浓度呈两次阶梯型分布, 这样的分布方式能够有效改善锗浓度太高带来的晶格失配问题, 主体层中的锗浓度呈一定斜率分布可以提供压应力, 硅帽层不掺杂锗元素。

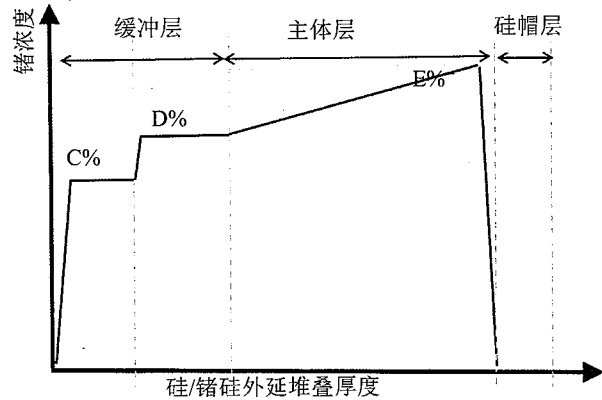


图 2.10 阶梯式选择性锗硅外延工艺锗浓度分布示意图

Figure 2.10 Germanium concentration distribution in step-selective SiGe epitaxy process

选择性锗硅外延工艺一般包含酸槽预处理、原位氢气烘焙、选择性锗硅外延三个步骤^[2]。酸槽预处理采用氟化氢酸槽清洗的方式来去除硅刻蚀后表面的杂质。去除原生氧化物，使得碳氧含量低于一定值是原位氢气烘焙的作用。最后是进行选择性锗硅的外延，采用的硅源有 SiH_4 、 SiH_2Cl_2 ，锗源是 GeH_4 ，氯化氢的作用是防止锗硅形成在保护层上，氢气作为载气^[2]。在酸槽预处理后，原位氢气烘焙之前，需要等待一段时间，目的是防止硅表面会产生氧化物，否则外延出来的锗硅有位错 (dislocation) 和堆栈缺陷 (stacking faults)，位错和缺陷导致区域漏电流偏高。原位氢气烘焙的温度需要高于 800 摄氏度，不然不足以去除硅表面的碳氧杂质，同时还会有区域漏电流产生^[36]。

没有完全结晶化的晶体结构会产生更多缺陷，缺陷导致没有压应力释放且起不到增强载流子迁移率的作用^[37, 38]。经过外延堆叠层生长的器件结构如图 2.11 所示。

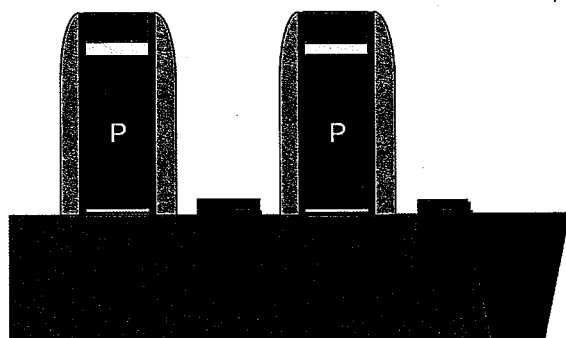


图 2.11 锗硅外延沉积示意图

Figure2.11 Schematic diagram of SiGe deposition

干湿法刻蚀工艺中涉及影响饱和电流的参数为干法刻蚀槽深、湿法刻蚀槽深、 tip_x ， tip_x 是 Σ 形状的尖端到栅的间距，距离越小，尖端对沟道载流子施加的压应力越强，载流子迁移率越高，饱和电流越大；干湿法的槽越深，器件尖端越向沟道区域延伸，尖端对沟道载流子施加的压应力就越大，饱和电流就越高；在外延生长时涉及影响饱和电流的参数为缓冲层 (L1) 厚度、主体层 (L2) 厚度、硅帽层 (L3) 厚度，L1 和 L2 掺杂的锗元素会对沟道载流子施加压应力从而影响饱和电流，L3 掺杂硼元素能够减小源/漏电阻来影响载流子在源漏之间的电流。

2.4 本章小结

本章介绍了 CMOS 器件均匀性和稳定性理论技术。首先阐明电性参数波动与电路性能的关系，电路的速度、噪声容限、功耗是研究器件电性参数变化与电路性能关系主要考虑的三个方面；其次基于漏极电流局部波动模型，得到漏极电流从线性区到饱和区局部波动表达式；最后明确了漏极饱和电流物理意义及相关工艺，为下一章实验分析电性参数波动做了理论上的准备。

第3章 CMOS 器件均匀性的优化技术

CMOS 器件的均匀性是指 WIW 电性参数的波动程度，器件饱和电流均匀性不好的主要原因是器件参数均匀度差。业界改善饱和电流均匀性最常用的方法是先对器件参数的均匀度进行优化，这种方法可以明显提升饱和电流的均匀性。

3.1 饱和电流对器件参数敏感度的分析

代工厂中的敏感度指的是器件参数波动对饱和电流的影响，要将这种影响进行量化，需要收集参数的在线/离线波动数据，电性数据通过 WAT (wafer acceptance test) 测试得到。实验方法就是通过工艺窗口实验改变工艺条件，收集工艺线上参数和测试饱和电流大小，对不同条件下的饱和电流数据进行拟合，得出敏感度。这种实验方式可以忽略其它器件参数由于随机波动对饱和电流造成的影响，可以提高结果准确性。以下实验中测试的器件都为小尺寸器件，即 28nm 节点 N/P MOS 尺寸都为 D3/D03，在版图中栅长为 30nm，栅宽为 300nm。工艺条件变化对小尺寸器件电性影响相比其它尺寸比较显著，有利于提高实验可信度。

在实验计算敏感度之前，需要首先获得晶圆内部参数波动情况，比如多晶硅栅长的数据统计：

(a) 每批有 25 片晶圆，选取第 1、11、24 这三片晶圆，每片量测 9 点的栅长数据，得到标准差，栅长的工艺波动值就是标准差值。

(b) 取三片晶圆标准差值的平均数，该批晶圆多晶硅栅长波动值就是这平均数大小。

(c) 对量产所有晶圆批次都采用上述方法得出各个批次多晶硅栅长工艺波动值，工艺技术平台下 WIW 的波动值就是得到的各批次波动值的平均值。这个波动值也是接下来计算工艺波动对饱和电流贡献值的依据，工艺波动值如表 3.1 所示。

表 3.1 器件参数波动情况

Table3.1 Variation of device parameters

器件参数	单位	波动
有源区尺寸	nm	0.055
台阶高度	Å	0.787
高介电常数层厚度	Å	0.022
延伸区尺寸	nm	0.044
多晶硅栅长	nm	0.081
偏移区尺寸	nm	0.055
侧墙尺寸	nm	0.058
功函数层厚度	Å	0.279
pocket 剂量	/cm ⁻³	N/P MOS:0.008/0.006
干法刻蚀槽深	Å	0.268
湿法刻蚀槽深	Å	0.268
Σ 形貌尖端到栅间距	nm	0.039
缓冲层厚度	Å	0.592
主体层厚度	Å	0.573
硅帽层厚度	Å	0.339

接下来实验计算饱和电流对器件参数的敏感度。

有源区线宽

(1) 实验设计：以有源区线宽作为自变量，饱和电流作为因变量，饱和电流数据通过 WAT 测试获得，拟合饱和电流与有源区线宽函数关系。

(2) 实验条件和方法：

表 3.2 实验条件与方法

Table3.2 Experimental conditions and methods

有源区尺寸	#1	#2	#3	#4	方法
参照值+5%	√				减少光刻能量
参照值		√	√		
参照值-5%				√	增加光刻能量

实验采用正性光刻胶，正性光刻胶的曝光区域更加溶解于显影液。增加曝光的剂量可以减小有源区尺寸，减少曝光的剂量可以增加有源区尺寸。

(3) 实验结果分析：

表 3.3 饱和电流对有源区尺寸敏感度

Table3.3 Saturation current sensitivity to active area CD

器件	敏感度	波动	对饱和电流贡献值
NMOS	0.5uA/nm	1sigma=0.055	0.028
PMOS	3.6uA/nm	1sigma=0.055	0.198

N/P MOS 载流子有效质量不同使得迁移率不同，N/P MOS 小尺寸器件有源区线宽在版图中尺寸不同，使得 PMOS 饱和电流对有源区线宽敏感度高于 NMOS。

台阶高度

(1) 实验设计：改变台阶高度，收集相对应台阶高度的饱和电流，拟合饱和电流与台阶高度函数关系。

(2) 实验条件和方法：

表 3.4 实验条件与方法

Table3.4 Experimental conditions and methods

台阶高度	#1	#2	#3	#4	方法
参照值+5%	√				减少氧化物研磨量
参照值		√	√		
参照值-5%				√	增加氧化物研磨量

台阶高度是指在浅槽隔离工艺步骤时形成的高出有源区这一部分氧化物高度。采用化学机械研磨增加氧化物研磨量来减小台阶高度，减少氧化物研磨量来增加台阶高度。

(3) 实验结果及分析:

表 3.5 饱和电流对台阶高度敏感度

Table3.5 Saturation current sensitivity to step height

器件	敏感度	波动	对饱和电流贡献值
NMOS	0.7uA/ Å	1sigma=0.787	0.551
PMOS	0.2uA/ Å	1sigma=0.787	0.157

参照组条件下台阶高度有数百埃，变化 5%情况下对饱和电流影响不明显。

高介电常数层厚度

(1) 实验设计：改变二氧化铪层厚度，收集不同厚度下的饱和电流数据，拟合饱和电流与高介电常数层厚度函数关系。

(2) 实验条件与方法:

表 3.6 实验条件与方法

Table3.6 Experimental conditions and methods

高介电常数层厚度	#1	#2	#3	#4	方法
参照值+3%	√				增加金属与氧气反应时间
参照值		√	√		
参照值-3%				√	减少金属与氧气反应时间

采用二氧化铪作为高介电常数层，改变金属与氧气的反应时间可以调整高介电常数层的厚度。

(3) 实验结果及分析:

表 3.7 饱和电流对高介电常数层厚度敏感度

Table3.7 Saturation current sensitivity to high dielectric layer thickness

器件	敏感度	波动	对饱和电流贡献值
NMOS	11.5uA/ Å	1sigma=0.022	0.253
PMOS	5.7uA/ Å	1sigma=0.022	0.125

高介电常数层厚度决定栅极对器件的控制能力，厚度会显著影响载流子迁移率，N/P MOS 饱和电流对高介电常数厚度的敏感度都比较高，但空穴有效质量大于电子有效质量，所以 NMOS 迁移率对高介电常数层厚度敏感度更高一些。

延伸区尺寸

(1) 实验设计：改变延伸区尺寸，收集相对应尺寸的饱和电流，拟合饱和电流与延伸区尺寸函数关系。

(2) 实验条件和方法：

表 3.8 实验条件与方法

Table3.8 Experimental conditions and methods

延伸区尺寸	#1	#2	#3	#4	方法
参照值+0.8nm	√				减少刻蚀时间
参照值		√	√		
参照值-0.8nm				√	增加刻蚀时间

增加刻蚀时间可以减小延伸区的尺寸，减少刻蚀时间可以增加延伸区的尺寸。

(3) 实验结果及分析：

表 3.9 饱和电流对延伸区尺寸敏感度

Table3.9 Saturation current sensitivity to protrusion CD

器件	敏感度	波动	对饱和电流贡献值
NMOS	19.9uA/nm	1sigma=0.044	0.876
PMOS	18.5uA/nm	1sigma=0.044	0.814

N/P MOS 饱和电流对延伸区尺寸敏感度较强，在大生产中，要严格控制工艺条

件，减小因延伸区尺寸波动对饱和电流造成的影响。

多晶硅栅长

(1) 实验设计：改变多晶硅栅长，收集相对应尺寸的饱和电流，拟合饱和电流与多晶硅栅长函数关系。

(2) 实验条件和方法：

表 3.10 实验条件与方法

Table3.10 Experimental conditions and methods

多晶硅栅长	#1	#2	#3	#4	方法
参照值+5%	√				减小光刻曝光剂量
参照值		√	√		
参照值-5%				√	增加光刻曝光剂量

与调整有源区尺寸的方法类似，增加曝光剂量可以减小栅长，减小曝光剂量可以增加栅长。

(3) 实验结果及分析：

表 3.11 饱和电流对多晶硅栅长敏感度

Table3.11 Saturation current sensitivity to poly CD

器件	敏感度	波动	对饱和电流贡献值
NMOS	22.9uA/nm	1sigma=0.081	1.846
PMOS	25.3uA/nm	1sigma=0.081	2.049

栅长直接决定沟道载流子运动长度，饱和电流对 N/PMOS 栅长波动均比较敏感。

偏移区尺寸

(1) 实验设计：改变偏移区尺寸，收集相对应尺寸的饱和电流，拟合饱和电流与偏移区尺寸函数关系。

(2) 实验条件和方法：

表 3.12 实验条件与方法

Table3.12 Experimental conditions and methods

偏移区尺寸	#1	#2	#3	#4	方法
参照值+5%	√				增加化学气相沉积时间
参照值		√	√		
参照值-5%				√	减少化学气相沉积时间

偏移区通过化学气相沉积方式来形成,调整化学气相沉积的时间可以改变偏移区尺寸。

(3) 实验结果及分析:

表 3.13 饱和电流对偏移区尺寸敏感度

Table3.13 Saturation current sensitivity to offset CD

器件	敏感度	波动	对饱和电流贡献值
NMOS	22.4uA/nm	1sigma=0.055	1.232
PMOS	23.8uA/nm	1sigma=0.055	1.309

偏移区尺寸影响轻掺杂离子扩散与栅极交叠的区域,影响有效沟道载流子运动长度,饱和电流对偏移区尺寸波动比较敏感。

侧墙宽度

(1) 实验设计: 改变侧墙沉积宽度, 获得不同宽度下的饱和电流, 拟合饱和电流与侧墙宽度函数关系。

(2) 实验条件与方法:

表 3.14 实验条件与方法

Table3.14 Experimental conditions and methods

侧墙宽度	#1	#2	#3	#4	方法
参照值+5%	√				增沉积时间
参照值		√	√		
参照值-5%				√	减沉积时间

改变侧墙沉积时间可以调整侧墙宽度。

(3) 实验结果及分析:

表 3.15 饱和电流对侧墙尺寸敏感度

Table3.15 Saturation current sensitivity to spacer CD

器件	敏感度	波动	对饱和电流贡献值
NMOS	18.2uA/nm	1sigma=0.058	1.055
PMOS	5.8uA/nm	1sigma=0.058	0.336

器件制备时会先进行侧墙沉积, 再进行源漏区掺杂, 侧墙尺寸影响源漏区电子浓度, NMOS 饱和电流对侧墙尺寸敏感度比较高, 但 PMOS 锗硅外延工艺技术的引入可以显著提高器件性能, 侧墙尺寸对 PMOS 电性影响就不那么显著。另外多晶硅栅长、偏移区宽度、侧墙宽度对饱和电流影响都比较显著, 这是因为器件制备先形成多晶硅栅、其次在外围形成偏移区、接着形成侧墙, 多晶硅栅长是影响饱和电流的源头。

功函数层

(1) 实验设计: 改变金属栅功函数层厚度, 即 NMOS 调节钛铝层厚度, PMOS 调节氮化钛层厚度, 测试不同厚度下的饱和电流, 拟合饱和电流与功函数层厚度函数关系。

(2) 实验条件与方法:

表 3.16 实验条件与方法

Table3.16 Experimental conditions and methods

功函数层厚度	#1	#2	#3	#4	方法
参照值+10%	√				调节 PVD 和 ALD 作用时间
参照值		√	√		
参照值-5%				√	调节 PVD 和 ALD 作用时间

N/P MOS 功函数层厚度可以调节器件的阈值电压而影响饱和电流。物理气相沉积和原子层沉积分别形成 N/P MOS 功函数层, 调整两种方式的作用时间可以调

节功函数层厚度。

(3) 实验结果及分析:

表 3.17 饱和电流对功函数层厚度敏感度

Table3.17 Saturation current sensitivity to work function layer

器件	敏感度	波动	对饱和电流贡献值
NMOS	4.25uA/Å	1sigma=0.279	1.19
PMOS	2.11uA/ Å	1sigma=0.217	0.459

N/P MOS 功函数层厚度可以调节阈值电压，从而影响饱和电流。

pocket 掺杂剂量

(1) 实验设计: 改变 pocket 掺杂剂量, 收集不同剂量下的饱和电流, 拟合饱和电流与 pocket 剂量函数关系。

(2) 实验条件与方法:

表 3.18 实验条件与方法

Table3.18 Experimental conditions and methods

pocket 剂量	#1	#2	#3	#4	方法
参照值+1cm ³	√				增加剂量
参照值		√	√		
参照值-1 cm ³				√	减少剂量

pocket 剂量可以影响阈值电压从而影响饱和电流。增加剂量会提高阈值电压, 降低饱和电流, 减少剂量会降低阈值电压, 提高饱和电流。

(3) 实验结果及分析:

表 3.19 饱和电流对 pocket 掺杂剂量敏感度

Table3.19 Saturation current sensitivity to pocket dosage

器件	敏感度	波动	对饱和电流贡献值
NMOS	9.46uA/cm ³	1sigma=0.008	0.076
PMOS	13.82uA/cm ³	1sigma=0.006	0.084

pocket 掺杂剂量在 WIW 中的波动较小，但是对器件电性影响不可忽略。

在第二章中讨论过 PMOS 在制备中使用了锗硅外延技术来提升 PMOS 器件性能，其中对 PMOS 饱和电流影响最显著的器件参数有干法刻蚀槽深、湿法刻蚀槽深、tip_x、缓冲层厚度、主体层厚度、硅帽层厚度，接下来实验确定饱和电流对锗硅外延器件参数的敏感度。

锗硅制程器件参数

(1) 实验设计：分别改变干法刻蚀槽深、湿法刻蚀槽深、tip_x、缓冲层厚度、主体层厚度、硅帽层厚度并收集相应的饱和电流，拟合饱和电流与器件参数函数关系。

(2) 实验条件与方法：

表 3.20 干法刻蚀实验条件与方法

Table3.20 Etch experimental conditions and methods

干法刻蚀槽深	#1	#2	#3	#4	方法
参照值+5%	√				增加水平和垂直方向刻蚀时间
参照值		√	√		
参照值-5%				√	减少水平和垂直方向刻蚀时间

干法刻蚀的目的是在硅衬底中形成一个截面为碗口形貌的结构。采取增加水平方向和垂直方向刻蚀时间的方式既可以增加槽的纵向深度也可以增加槽的横向距离，有利于碗形貌的形成。

表 3.21 湿法刻蚀实验条件与方法

Table3.21 Wet experimental conditions and methods

湿法刻蚀槽深	#1	#2	#3	#4	方法
参照值+2%	√				增加湿法刻蚀时间
参照值		√	√		
参照值-2%				√	减少湿法刻蚀时间

湿法刻蚀采用四甲基氢氧化铵溶液作为形成 Σ 形貌的刻蚀剂，增加刻蚀剂腐蚀硅的时间可以控制槽深度。

表 3.22 尖端到栅间距实验条件与方法

Table3.22 Tip_x experimental conditions and methods

tip_x	#1	#2	#3	#4	方法
参照值+10%	√				调节干湿法刻蚀时间、温度、气体流量等
参照值		√	√		
参照值-10%				√	调节干湿法刻蚀时间、温度、气体流量等

分别控制干湿法刻蚀的时间可以改变干湿法刻蚀的槽深，然而 tip_x 受到众多参数的影响，只有同时调整多种工艺条件才能影响 tip_x 的大小。

表 3.23 缓冲层厚度实验条件与方法

Table3.23 Buffer layer thickness experimental conditions and methods

缓冲层厚度	#1	#2	#3	#4	方法
参照值+3%	√				增加缓冲层生长时间
参照值		√	√		
参照值-3%				√	减少缓冲层生长时间

通过改变缓冲层的生长时间来改变缓冲层的厚度。生长时间长，缓冲层厚度厚；生长时间短，缓冲层厚度薄。

表 3.24 主体层厚度实验条件与方法

Table3.24 Seed layer thickness experimental conditions and methods

主体层厚度	#1	#2	#3	#4	方法
参照值+3%	√				增加主体层生长时间
参照值		√	√		
参照值-3%				√	减少主体层生长时间

通过改变主体层的生长时间来改变主体层的厚度。生长时间长，主体层厚度厚；生长时间短，主体层厚度薄。

表 3.25 硅帽层厚度实验条件与方法

Table3.25 Si cap layer thickness experimental conditions and methods

硅帽层厚度	#1	#2	#3	#4	方法
参照值+2%	√				增加硅帽层生长时间
参照值		√	√		
参照值-2%				√	减少硅帽层生长时间

通过改变硅帽层的生长时间来改变硅帽层的厚度。生长时间长，硅帽层厚度厚，生长时间短，硅帽层厚度薄。

(3) 实验结果及分析：

表 3.26 饱和电流对锗硅制程器件参数敏感度

Table3.26 Saturation current sensitivity to SiGe process parameters

器件参数	敏感度	工艺波动	对饱和电流贡献值
干法刻蚀槽深	2uA/Å	1sigma=0.268	0.536
湿法刻蚀槽深	1.6 uA/Å	1sigma=0.268	0.429
tip_x	38.7 uA/nm	1sigma=0.039	1.509
缓冲层厚度	2.5uA/Å	1sigma=0.592	1.48
主体层厚度	1.7uA/Å	1sigma=0.573	0.974
硅帽层厚度	0.5uA/Å	1sigma=0.339	0.170

干法刻蚀槽深对饱和电流敏感度比较小,是因为干法刻蚀影响整体锗硅区域的边界,干法刻蚀是通过影响 tip_x 来影响饱和电流大小;湿法刻蚀槽深对饱和电流敏感度比较小,是因为湿法刻蚀通过影响 tip_x 而间接影响饱和电流; tip_x 大小表征锗硅对沟道载流子压应力大小,饱和电流对 tip_x 非常敏感;缓冲层厚度对饱和电流影响比较小,厚度变化表征体积变化,因锗浓度总含量不变,所以饱和电流对缓冲层厚度变化不敏感;主体层的体积虽然比缓冲层体积大,但是平均体积的锗含量更能影响饱和电流;硅帽层不掺杂锗元素,虽然掺杂硼元素可以减小源漏区电阻,但是硅帽层对饱和电流影响比较轻微。

将 WIW 器件参数波动造成饱和电流的变化进行汇总,整理成表 3.27 所示。

表 3.27 器件参数波动造成饱和电流变化汇总

Table3.27 Summary of changes in saturation current caused by device parameters fluctuations

器件参数	NMOS	PMOS
有源区尺寸	0.028	0.198
台阶高度	0.551	0.157
高介电常数厚度	0.253	0.125
延伸区尺寸	0.876	0.814
多晶硅栅长	1.846	2.049
偏移区尺寸	1.232	1.309
侧墙尺寸	1.055	0.336
功函数层厚度	1.19	0.459
pocket 掺杂剂量	0.076	0.084
干法刻蚀槽深		0.536
湿法刻蚀槽深		0.429
tip_x		1.509
缓冲层厚度		1.48
主体层厚度		0.974
硅帽层厚度		0.170

将器件参数波动造成饱和电流变化大小排序, 看出对 NMOS 饱和电流影响最大的参数为多晶硅栅长和偏移区尺寸, 对 PMOS 饱和电流影响最大的参数为多晶硅栅长和 tip_x , 但是在 NMOS 实际分析中, 一般只会考虑多晶硅栅长对饱和电流的影响, 因为器件制备要先形成多晶硅栅、然后在外围形成偏移区、接着形成侧墙, 多晶硅栅长是影响饱和电流大小的源头, 所以通过优化多晶硅栅长均匀度来提升饱和电流均匀性, 通过优化多晶硅栅长和 tip_x 均匀度来提升饱和电流均匀性。由于篇幅限制, 本文不研究其它参数均匀度的改善。

3.2 NMOS 均匀性的优化技术

器件的制造难度随着工艺节点的缩小而越来越大, 器件参数波动的更严重。从 3.1 节得出多晶硅栅长波动造成 NMOS 饱和电流变化最大, 相关研究表明栅极曝光时会引起线边缘粗糙(LER), LER 效应在 100nm 以上的技术节点可以忽略不计, 但是在 100nm 以下的技术节点, LER 会影响栅极的尺寸, 因 LER 导致的器件漏电流与性能下降问题已不能忽略不计。Oldiges 等人采用二维仿真来评估 LER 对 100nm 节点以下器件电性能的影响, 并得出 LER 引起器件性能的变化与离散掺杂物波动对器件性能影响一样多, 该模型是将器件沿栅极宽度划分为多个小单元, 每个单元都假定栅长不变, 将所有单元对电性的贡献集中在一起, 得出与 LER 相关的分析模型^[18]:

$$\frac{I_{off}}{I_{off_ideal}} = \frac{x}{1 - \frac{\Delta L}{L_g}} 10^{\Delta V_t} + \frac{1-x}{1 + \frac{\Delta L}{L_g}} 10^{\Delta V_t} \quad \dots(3.1)$$

$$\frac{I_{ds}}{I_{ds_ideal}} = \frac{x}{(1 - \frac{\Delta L}{L_{eff_ideal}})^n} + \frac{1-x}{(1 + \frac{\Delta L}{L_{eff_ideal}})^n} \quad \dots(3.2)$$

其中 ΔV_t 描述了不同栅长器件与理想器件(LER=0)阈值电压偏差, 式 3.1 与式 3.2 模拟 LER 对具有 LER=0 的理想器件的影响, n 是拟合参数, 代表源漏电流作为栅长函数的相关性强弱。

在集成电路中, 器件关键尺寸的波动(如 LER 问题)是电路延迟和晶体管栅漏电流的主要因素, 要想实现最佳的器件性能(例如时钟频率、漏电流功耗), 器件电性参数波动应尽量小一些^[11]。工厂在改善 WIW NMOS 饱和电流均匀性时, 主要从多晶硅栅长角度考虑, 即在工艺制造中, 把多晶硅栅长控制在一定范围内来减小多晶硅栅长的标准差, 饱和电流就控制在一定范围内从而提高了 WIW 饱

和电流的均匀性。

在第一章绪论也介绍过,某公司研发出一种新技术 Dose Mapper(剂量映射),这一技术使用曝光剂量修正系统可以减小 WIW 多晶硅栅长的变化,Dose Mapper 可以解决由于掩模版、晶圆制程时间、工艺波动等外部因素带来的均匀度问题^[11]。如图 3.1 所示,沿晶圆半径,从晶圆中心到晶圆边沿区域多晶硅栅长没有下降或者下降趋势,这种情况最优。Dose Mapper 原理是在曝光区域之间(interfield)和曝光区域内部(intrafield)以及区域之间的狭缝(slit)三个方面控制曝光剂量,这种曝光方式能够获得参数波动较小的结果。图 3.2 为 Dose Mapper 原理示意图^[11],它的狭缝曝光校正由执行器来完成的,执行器是一个插入光路轮廓可变的灰色滤光片,默认过滤器具有二阶轮廓,该校正系统使用二阶轮廓在狭缝方向上对栅长数据进行建模。扫描曝光剂量校正通过剂量校正器来实现,剂量校正器可沿扫描的方向改变剂量,曝光剂量通常在扫描过程中逐渐变化,需要的曝光剂量可由公式 3.3 进行表示^[11]:

$$D_{\text{set}}(x) = \sum_1^8 L_n P_n \quad \dots (3.3)$$

其中 L_n 是勒让德系数, P_n 是勒让德多项式^[10]。

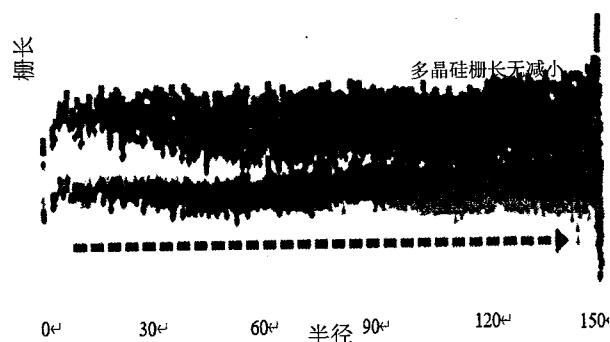


图 3.1 多晶硅栅尺寸沿晶圆半径分布

Figure3.1 Poly CD distribution along wafer radius

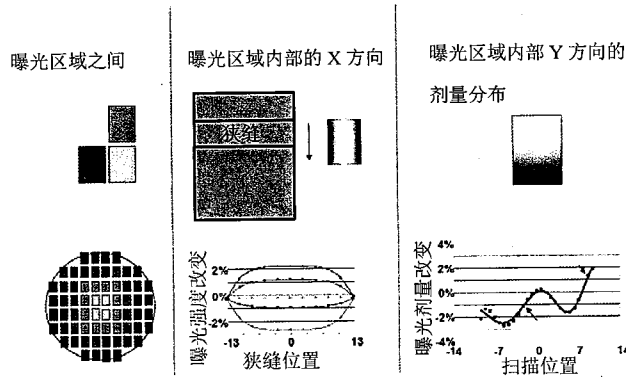


图 3.2 Dose Mapper 原理示意图

Figure3.2 Dose Mapper diagram

实验得到单位长度的多晶硅栅会引起 N/P MOS 饱和电流变化 22.9uA、25.3uA，这大概会引起饱和电流变化 3%。设计者一般只允许 WIW 多晶硅栅长三倍标准差处于很小的变化范围，因此在芯片制造中可以使用 Dose Mapper 技术来实现这一目的，这种技术参考多晶硅栅刻蚀之后的 mapping 数据来优化 WIW 栅长分布。

既然从理论上已经解释了 Dose Mapper，那么应用这种技术就可以优化整片晶圆栅长的分布，接下来进行实验优化栅长均匀度。

(1) 验证量测机台是否稳定

确保量测稳定是以 OCD(光学尺寸)作为判断依据的，需要验证的是对晶圆重复量测曝光后的 OCD 从而确定量测机台是否稳定，使用量测机台对同一片晶圆连续量测两次之后，实验结果如表 3.28 所示：

表 3.28 曝光后 OCD 结果

Table3.28 ADI OCD

次数	最大值	最小值	平均数	中位数	标准差
第一次	4.27	4.18	4.225	4.22	0.031
第二次	4.28	4.19	4.233	4.23	0.030

从表 3.28 中可看出两次量测的结果一致，可以认为量测机台是稳定的。

(2) 验证刻蚀机台是否稳定

方法是使用第一步验证过的量测机台来测量刻蚀之后晶圆的 OCD(光学尺寸), 以此来作为验证结果。采集同一批次中的 3 片晶圆以及另一批次中的 1 片晶圆, 这样就可以消除不同批次带来的影响。如图 3.3 所示, 第一批中的 3 片晶圆都有着非常相似的等高线图, 再比较两批晶圆, 等高线图也是非常相似的, 可以得到刻蚀机台也是稳定的。

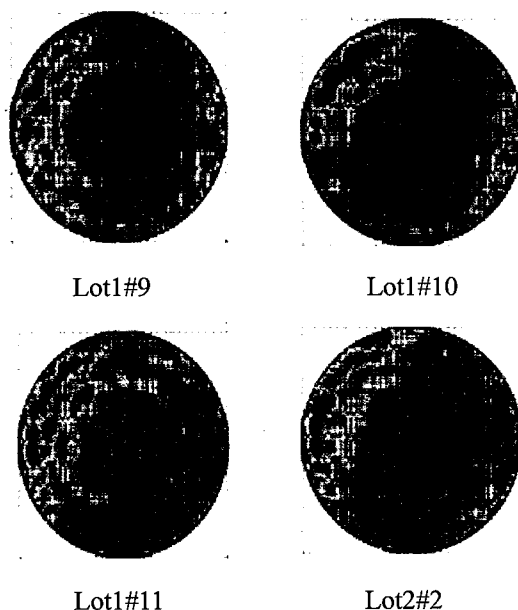


图 3.3 晶圆栅长等高图

Figure3.3 Wafer gate length contour map

(3) 进行工程晶圆数据验证

先建立 Dose Mapper 程序, 使用第一步与第二步验证过的量测机台与刻蚀机台进行工程晶圆验证。在 WIW 中, Dose Mapper 技术可以明显改善多晶硅栅长的波动范围, 图 3.4 为 Dose Mapper 前值和 Dose Mapper 后值多晶硅栅长分布图, 优化之前的多晶硅栅长 3 倍标准差为 0.243nm, 优化之后的多晶硅栅长 3 倍标准差为 0.09nm, 达到优化 CDU(CD uniformity) 的目标。

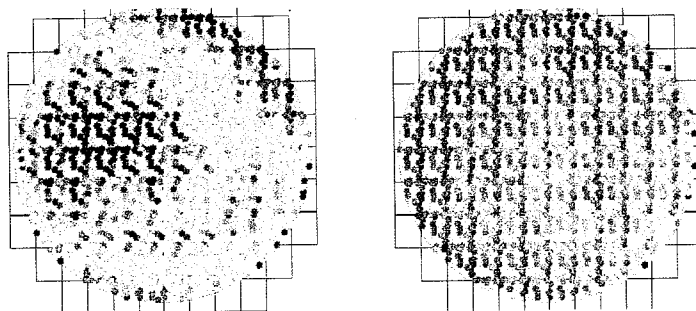


图 3.4 晶圆栅长在均匀度优化前后的等高图

Figure3.4 Contour map of wafer gate length before and after uniformity optimization

最终目的是通过优化多晶硅栅长的均匀度来提高饱和电流的均匀性，采用工程晶圆 2 批共 10 片进行验证，NMOS 器件都为标准尺寸，测得数据如表 3.29、3.30 所示：

表 3.29 第一批结果

Table3.29 First result

项目	#1	#2	#3	#4	#5
参照组	√	√			
优化组			√	√	√
标准差	4.93	3.71	3.89	4.24	3.54
均匀性	5.07%	3.79%	3.99%	4.34%	3.65%

从表 3.29 看出第一批有 2 片应用 Dose Mapper 的晶圆饱和电流标准差高于参照组，1 片应用 Dose Mapper 的晶圆饱和电流标准差低于参照组，整体上还是会有均匀度的改善。

表 3.30 第二批结果

Table3.30 Second result

项目	#1	#2	#3	#4	#5
参照组	√	√			
优化组			√	√	√
标准差	3.85	3.63	3.26	3.43	3.28
均匀性	3.95%	3.65%	3.31%	3.62%	3.27%

从表 3.30 看出第二批应用 Dose Mapper 的晶圆饱和电流标准差都低于参照组，整体饱和电流的均匀度都有明显改善，因此 Dose Mapper 可以显著优化饱和电流的均匀性。综合两批 10 片晶圆数据，NMOS 均匀性从 4.11%提高到了 3.69%，Dose Mapper 对 NMOS 饱和电流均匀性贡献为 0.42%。

3.3 PMOS 均匀性的优化技术

NMOS 器件工艺制程不同于 PMOS 器件，不但不同的器件参数对电性影响程度不同，而且相同的器件参数对 N/P MOS 饱和电流影响程度也不完全一致。3.1 节研究了有源区尺寸、台阶高度、高介电常数层厚度、延伸区尺寸、多晶硅栅长、偏移区宽度、侧墙宽度、功函数层厚度、pocket 掺杂剂量、干法刻蚀槽深、湿法刻蚀槽深、tip_x、缓冲层厚度、主体层厚度、硅帽层厚度对 PMOS 饱和电流的影响，得到多晶硅栅长和 tip_x 波动造成饱和电流变化最大，多晶硅栅长均匀度优化技术 3.2 节已讨论，这一节讨论 tip_x 均匀度的优化，目标是使这一器件参数控制在一定范围内来提升饱和电流的均匀性，在研究 tip_x 均匀性之前，我们首先讨论 tip_x 波动机理。

3.3.1 PMOS 均匀性机理研究

图 3.5 和图 3.6 分别是晶圆中间与晶圆边沿器件扫描电镜图，其中边沿区域相邻的器件栅与栅间距比中间区域大了若干个纳米，最终尖端到栅间距过大，饱和电流过低，晶圆边沿器件性能不够而引起饱和电流偏低，产生了良率问题。

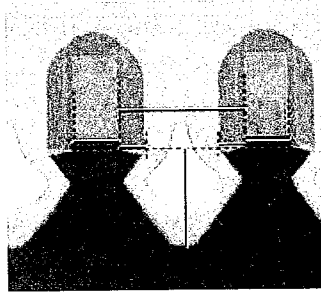


图 3.5 晶圆中间区域器件形貌

Figure3.5 Device topography in the middle of wafer

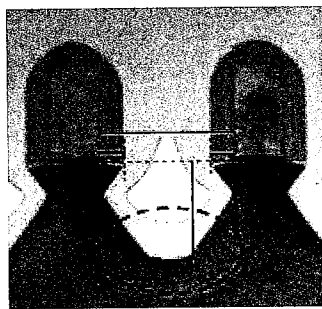


图 3.6 晶圆边沿区域器件形貌

Figure3.6 Device topography in the edge of wafer

图 3.7 与图 3.8 分别是 PMOS 器件经过湿法刻蚀形成的结构与 Σ 形貌尖端到栅间距结构的示意图。

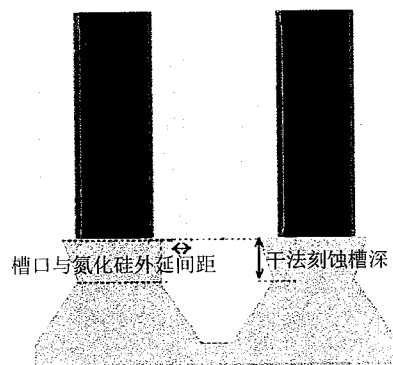


图 3.7 湿法刻蚀后的结构

Figure3.7 Structure of wet etch

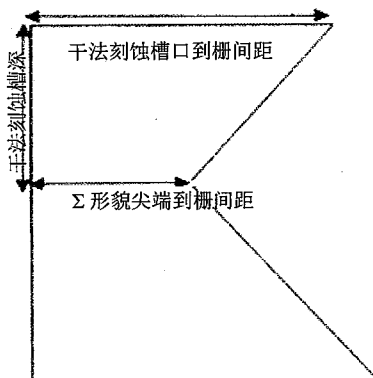


图 3.8 尖端到栅间距结构

Figure3.8 Distance between tip to gate

θ 为 Σ 形状侧边与有源区水平形成的夹角, 根据图 3.8, 得到公式 3.4、3.5:

$$\tan \theta = \frac{\text{TiP depth}}{(L - \text{Tip}_x)} \quad \dots (3.4)$$

$$\text{Tip}_x = L - \frac{\text{TiP depth}}{\tan \theta} \quad \dots (3.5)$$

当晶格方向为 $\langle 110 \rangle$ 时, 理论角度 $\theta = 54.7^\circ$, 此时

$$\text{Tip}_x = L - 0.71 \text{ TiP depth} \quad \dots (3.6)$$

所以尖端到栅间距这一器件参数与 L 、 TiP depth 相关, TiP depth 表征干法刻蚀槽深, L 表征干法刻蚀槽口到栅间距, 结构参数 L 可以表示成公式 3.7。

$$L = \frac{\text{PSR SiN} \times 2 + \text{OffsetSPA} \times 2 - \text{Poly_BCD}}{2} - \text{UC} \quad \dots (3.7)$$

UC (under cut) 表征干湿法刻蚀槽口与氮化硅外沿间距, 通过以上分析, 湿法刻蚀尖端到栅间距与多晶硅栅长、偏移区宽度、氮化硅宽度、干法刻蚀槽边沿到栅间距紧密相关。干法刻蚀之后锗硅区域槽深受到栅长和相邻器件栅与栅间距的影响, 相邻器件氮化硅与氮化硅间距变大而造成干法刻蚀区域变化, 影响了湿法刻蚀的槽深, 最终影响了 tip_x , 晶圆边沿区域器件性能受到严重影响。

在形成 Σ 形貌之前, 轻掺杂步骤会先沉积一层氧化物质, 然后进行源漏区离子注入, 工艺制程能力的限制或者机台波动导致这层氧化物质在晶圆上呈现非均匀分布, 边沿区的氧化物厚度波动范围很大, 示意图如图 3.9 所示。

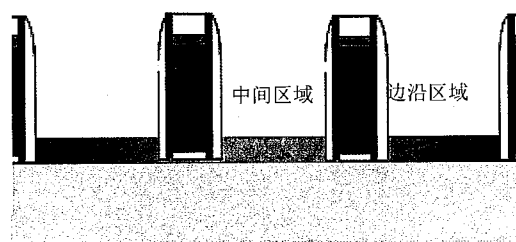


图 3.9 晶圆中间与边沿区域轻掺杂沉积氧化物

Figure3.9 LDD oxide in the middle and edge regions of wafer

氧化物沉积之后是锗硅制程，锗硅制程之前在氧化层上面沉积一层氮化硅，同样受到制程能力的限制，氮化硅厚度均匀性很难控制，晶圆边沿的氮化硅厚度会比较厚。

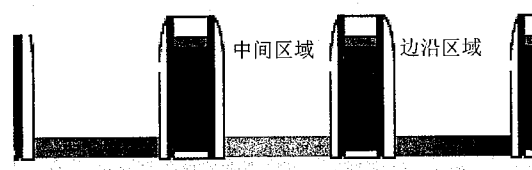


图 3.10 晶圆中间与边沿区域氮化硅沉积

Figure3.10 SiN deposition in the middle and edge regions of wafer

氮化硅沉积之后要进行主刻蚀，因为边沿区一侧沉积的氮化硅较厚，所以刻蚀之后的氮化硅薄膜不会完全平坦，并且主刻蚀还会产生残渣。

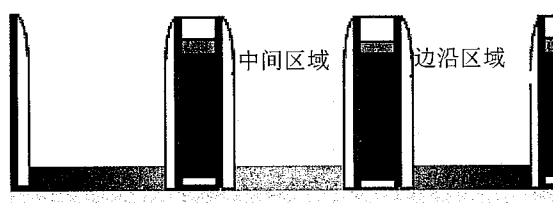


图 3.11 晶圆中间与边沿区域氮化硅主刻蚀

Figure3.11 SiN main etch in the middle and edge regions of wafer

主刻蚀之后对剩余的氮化硅进行过刻蚀，边沿区一侧剩余的氮化硅相比中心区域仍然有较高的厚度，过刻蚀之后边沿区会产生氧化层残渣。

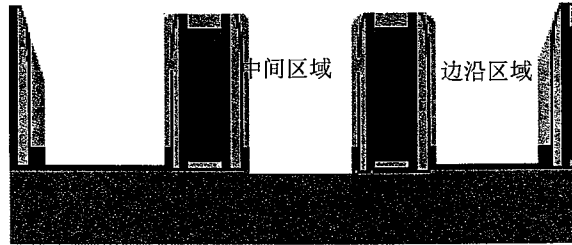


图 3.12 晶圆中间与边沿区域氮化硅过刻蚀

Figure3.12 SiN over etch in the middle and edge regions of wafer

过刻蚀以后要进行干湿法刻蚀形成尖端。边沿区域氮化硅的厚度不平坦且会产生氧化层残渣，这就增加了干法刻蚀的难度，残渣造成圆槽边沿到栅间距增加，最后湿法刻蚀的尖端到栅间距也变大，图 3.13 形象说明了这一问题。同时在式 3.4-3.7 也得到了证明，即沉积的氮化硅薄膜越厚、干法刻蚀槽边沿到栅间距越大、湿法刻蚀尖端到栅间距就越大。

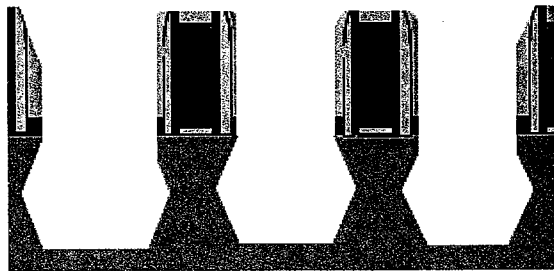


图 3.13 晶圆中间与边沿区域干湿法刻蚀形貌

Figure3.13 Dry etch and wet etch in the middle and edge regions of wafer

因为 Σ 形貌的尖端可以对沟道载流子施加压应力来提高载流子迁移率，从而提高器件的饱和电流，但是当尖端到栅间距过大时，尖端对沟道载流子施加的压应力就会大大降低，这会减弱载流子的迁移率而起不到提高器件饱和电流的效果。图 3.14 晶圆边沿区与中心区域器件饱和电流-阈值电压特性曲线。

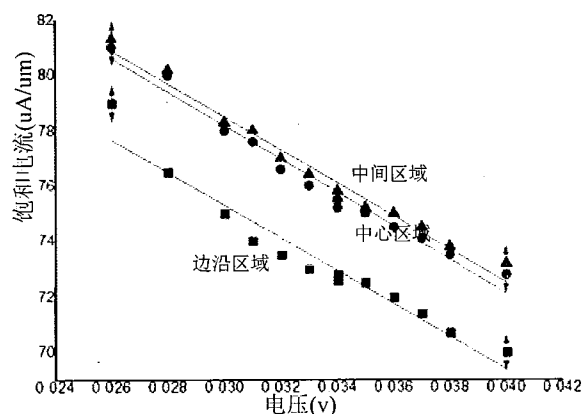
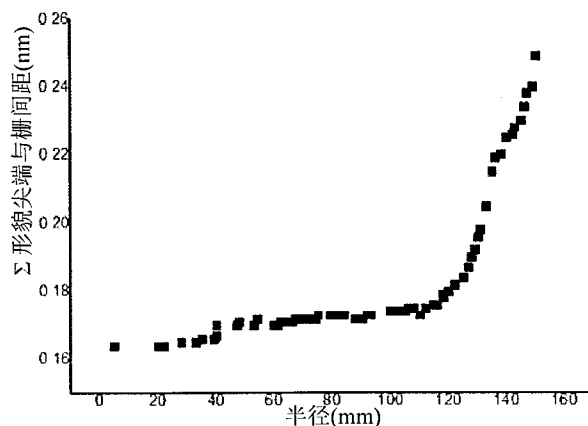


图 3.14 晶圆边沿区域与中心区域器件性能对比图

Figure3.14 Comparison of device performance between edge area and center area

从图 3.14 可以看出晶圆边沿区域器件电流-电压特性曲线与中心区域、中间区域电流-电压特性曲线相比,在相同电压情况下饱和电流低 5%,边沿区域器件性能较弱。如图 3.15 所示,线上量测 tip_x 偏大的晶圆发现 tip_x 波动范围更大,特别是在晶圆半径 120mm-150mm 这一区域内, tip_x 的波动范围接近 0.1nm。

图 3.15 tip_x 沿晶圆半径分布趋势Figure3.15 Tip_x distribution trend along wafer radius

检查晶圆边沿器件源漏区域的锗含量,发现边沿区域的锗含量比中心区域低,如图 3.16 所示。这可能是由于机台随机波动导致的,具体原因此处不讨论。适当的锗浓度可以增强对沟道载流子的压应力效果从而增强载流子迁移率,提高饱和电流从而增强器件性能。锗浓度过低和尖端到栅间距过大这两个因素造成了边沿

区域器件性能较差。

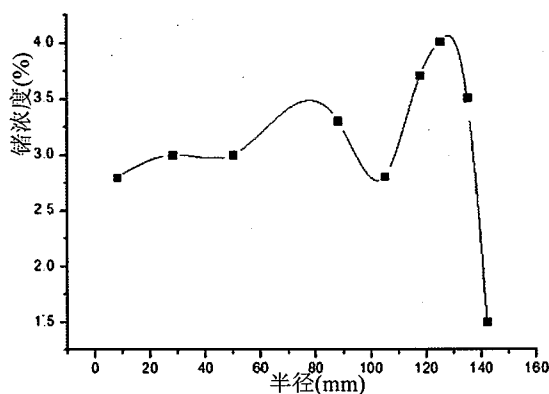


图 3.16 主体层锗浓度沿晶圆半径分布趋势

Figure3.16 Distribution trend of germanium concentration in seed layer along wafer radius

锗含量和 tip_x 在晶圆非均匀分布是引起器件性能下降的原因，首先改善锗含量下降问题， tip_x 均匀度优化留在 3.3.2 节讨论。

在图 2.10 中看到外延层中的锗浓度是呈现阶梯形状分布的，L2 主体层中锗浓度达到最高值，但是在图 3.16 中看到晶圆边沿区域的主体层锗浓度呈现下降趋势。为了解决锗含量下降的问题，可以增加主体层中锗含量，即增大锗浓度分布斜率，改进后的锗浓度分布示意图如图 3.17 所示。

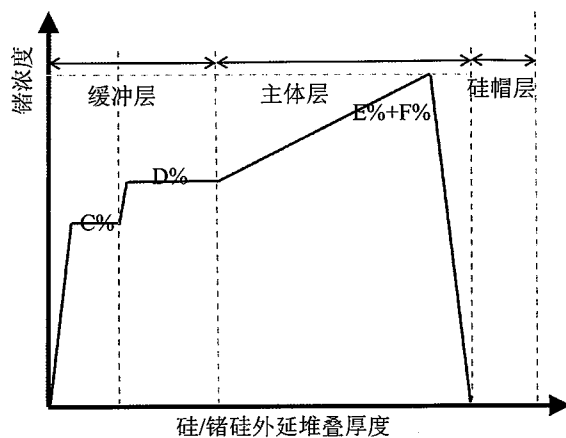


图 3.17 优化锗浓度分布

Figure3.17 Optimize germanium concentration distribution

3.3.2 PMOS 均匀性改善研究

3.3.1 节说明了器件参数 tip_x 会受到前层几种参数的影响，在分析 tip_x 波

动时不能只考虑某一种参数的作用，而应该综合考虑各种参数的影响。业界常用 DOE (design of experiment) 方法改善 tip_x WIW 均匀度。DOE 是一种数理统计方法，这种方法可以对实验进行合理安排，以较低的实验成本、较少的实验次数、较短的实验周期获得理想的实验结果以及得出科学的结论。DOE 实验设计步骤分成三步：一是选取影响最显著的因子；二是找出最优的工艺条件组合；三是证明最佳的工艺条件组合有再现性。本次实验我们采用正交实验设计法。

当分析的问题涉及多因素时，就需要用到正交实验法，这种实验方法采取一种规范化的正交表格挑选更有影响的条件因素，可以用较少的实验次数来做出最优的实验方案，我们选用正交实验中的田口式实验来找出最佳工艺条件。

实验步骤

(1) 确定大 Y，改善 I_{dsat} uniformity，工艺因子 x 引起器件参数 y 波动。

(2) 进行流程分析，建立 Y-y 与 y-x 关系，按照 3.3.1 的研究，氮化硅沉积宽度和干法刻蚀槽边沿到栅间距会影响 tip_x 大小，因此选取这两个器件参数同 tip_x 一起作为因变量 y。

具体的工艺流程首先是氮化硅预处理 (SiN trim)；其次是刻蚀氮化硅，对氮化硅的刻蚀又分为两个步骤：氮化硅主刻蚀 (SiN main etch) 和氮化硅过刻蚀 (SiN over etch)；再次是进行干法刻蚀，干法刻蚀又可以分为两个步骤：硅垂直方向刻蚀 (SD1: si vertical etch) 和硅水平方向刻蚀 (SD2: si horizontal etch)。需要的几个主要工艺因子是 TCCT (能量光圈大小，数值越大，说明聚集在晶圆中间的能量越强)、Gas (设置在晶圆中间区域或者边沿区域的气体流量)、ESC (晶圆中间区域与边沿区域刻蚀温度)。氮化硅预处理、主刻蚀和过刻蚀、水平方向干法刻蚀、垂直方向干法刻蚀工艺流程都需要调节这三个工艺因子。

(3) 列出 Y-y-x，Y: I_{dsat} uniformity，y: tip_x 、氮化硅宽度、干法刻蚀槽边沿到栅间距。采用 L18 直交表，选取 8 种工艺因子 x: SiN trim TCCT、SiN trim Gas、SiN trim ESC、SiN main etch Gas、SiN main etch ESC、SD1 TCCT、SD2 TCCT、SD2 Gas。为方便研究问题，以 A-H 字母分别代替上述 8 种工艺因子。

(4) 选定 L18 直交表及工艺因子进行试验 (8 因子: 2 水准*1+3 水准*7)。

表 3.31 L18 直交表

Table3.31 L18 orthogonal table

NO	D	E	A	B	C	F	G	H
#1	Edge	5.4_5.8	0.02	Center	4.6_4.2	0.02	0.07	Center
#2	Edge	5.4_5.8	0.06	Equal	5.0_5.0	0.05	0.11	Equal
#3	Edge	5.4_5.8	0.10	Edge	5.4_5.8	0.08	0.15	Edge
#4	Edge	5.0_5.0	0.02	Center	5.0_5.0	0.05	0.15	Edge
#5	Edge	5.0_5.0	0.06	Equal	5.4_5.8	0.08	0.07	Center
#6	Edge	5.0_5.0	0.10	Edge	4.6_4.2	0.02	0.11	Equal
#7	Edge	4.6_4.2	0.02	Equal	4.6_4.2	0.08	0.11	Edge
#8	Edge	4.6_4.2	0.06	Edge	5.0_5.0	0.02	0.15	Center
#9	Edge	4.6_4.2	0.10	Center	5.4_5.8	0.05	0.07	Equal
#10	Center	5.4_5.8	0.02	Edge	5.4_5.8	0.05	0.11	Center
#11	Center	5.4_5.8	0.06	Center	4.6_4.2	0.08	0.15	Equal
#12	Center	5.4_5.8	0.10	Equal	5.0_5.0	0.02	0.07	Edge
#13	Center	5.0_5.0	0.02	Equal	5.4_5.8	0.02	0.15	Equal
#14	Center	5.0_5.0	0.06	Edge	4.6_4.2	0.05	0.07	Edge
#15	Center	5.0_5.0	0.10	Center	5.0_5.0	0.08	0.11	Center
#16	Center	4.6_4.2	0.02	Edge	5.0_5.0	0.08	0.07	Equal
#17	Center	4.6_4.2	0.06	Center	5.4_5.8	0.02	0.11	Edge
#18	Center	4.6_4.2	0.10	Equal	4.6_4.2	0.05	0.15	Center

(5)分析实验数据，以字母 X、Y、Z、Q、M、N 分别代替晶圆中干法刻蚀氮化硅宽度的 3 倍标准差、晶圆中干法刻蚀槽口与氮化硅外延间距的 3 倍标准差、晶圆中干法刻蚀槽边沿到栅间距的 3 倍标准差、晶圆中湿法刻蚀氮化硅宽度的 3 倍标准差、晶圆中湿法刻蚀槽口与氮化硅外延间距的 3 倍标准差、晶圆中湿法刻蚀尖端到栅间距的 3 倍标准差。

表 3.32 实验结果

Table3.32 Experiment result

NO	X	Y	Z	Q	M	N
#1	0.05345	0.13858	0.16933	0.09045	0.19237	0.24512
#2	0.06242	0.1224	0.1474	0.0835	0.14341	0.1726
#3	0.09618	0.17892	0.22952	0.09651	0.20819	0.36885
#4	0.06548	0.13674	0.15631	0.07997	0.18556	0.2525
#5	0.09706	0.13934	0.18106	0.0842	0.18424	0.30802
#6	0.04504	0.12854	0.16164	0.09529	0.17945	0.20417
#7	0.0983	0.16539	0.21166	0.07754	0.20683	0.31475
#8	0.04805	0.10891	0.1341	0.08492	0.14368	0.16091
#9	0.07418	0.11605	0.14836	0.08196	0.17748	0.20134
#10	0.06627	0.12103	0.13888	0.08252	0.16646	0.21705
#11	0.08238	0.16937	0.20743	0.09399	0.19163	0.30863
#12	0.0424	0.09519	0.09921	0.08632	0.11603	0.19776
#13	0.05157	0.1422	0.17833	0.08837	0.2388	0.26391
#14	0.07035	0.15119	0.16864	0.10209	0.17894	0.32509
#15	0.08791	0.1579	0.19738	0.09663	0.16843	0.26474
#16	0.09462	0.14756	0.17211	0.08319	0.17498	0.32941
#17	0.04529	0.09076	0.10291	0.08074	0.13345	0.16402
#18	0.0546	0.13361	0.15463	0.09956	0.14717	0.17793

对湿法刻蚀形成的尖端到栅间距进行分析：

表 3.33 tip_x 实验结果

Table3.33 Tip_x experiment result

NO	D	E	A	B	C	F	G	H	N
#1	Edge	5.4_5.8	0.02	Center	4.6_4.2	0.02	0.07	Center	0.24512
#2	Edge	5.4_5.8	0.06	Equal	5.0_5.0	0.05	0.11	Equal	0.1726
#3	Edge	5.4_5.8	0.10	Edge	5.4_5.8	0.08	0.15	Edge	0.36885
#4	Edge	5.0_5.0	0.02	Center	5.0_5.0	0.05	0.15	Edge	0.2525
#5	Edge	5.0_5.0	0.06	Equal	5.4_5.8	0.08	0.07	Center	0.30802
#6	Edge	5.0_5.0	0.10	Edge	4.6_4.2	0.02	0.11	Equal	0.20417
#7	Edge	4.6_4.2	0.02	Equal	4.6_4.2	0.08	0.11	Edge	0.31475
#8	Edge	4.6_4.2	0.06	Edge	5.0_5.0	0.02	0.15	Center	0.16091
#9	Edge	4.6_4.2	0.10	Center	5.4_5.8	0.05	0.07	Equal	0.20134
#10	Center	5.4_5.8	0.02	Edge	5.4_5.8	0.05	0.11	Center	0.21705
#11	Center	5.4_5.8	0.06	Center	4.6_4.2	0.08	0.15	Equal	0.30863
#12	Center	5.4_5.8	0.10	Equal	5.0_5.0	0.02	0.07	Edge	0.19776
#13	Center	5.0_5.0	0.02	Equal	5.4_5.8	0.02	0.15	Equal	0.26391
#14	Center	5.0_5.0	0.06	Edge	4.6_4.2	0.05	0.07	Edge	0.32509
#15	Center	5.0_5.0	0.10	Center	5.0_5.0	0.08	0.11	Center	0.26474
#16	Center	4.6_4.2	0.02	Edge	5.0_5.0	0.08	0.07	Equal	0.32941
#17	Center	4.6_4.2	0.06	Center	5.4_5.8	0.02	0.11	Edge	0.16402
#18	Center	4.6_4.2	0.10	Equal	4.6_4.2	0.05	0.15	Center	0.17793

通过计算机软件分析出每一个工艺因子与湿法刻蚀尖端到栅间距相关系数 R:

表 3.34 工艺因子与 tip_x 相关系数

Table3.34 Correlation coefficient between process factor and tip_x

F	B	G	H	C	E	D	A
1.0975	0.4501	0.449	0.4153	0.3466	0.3296	0.2842	0.0225

当湿法刻蚀尖端到栅间距最小时，得到最优组合：

表 3.35 最优组合

Table3.35 Best condition

F	B	G	H	C	E	D	A
0.02	4.6_4.2	0.11	Center	0.06	5.0_5.0	Equal	Edge

相关系数的大小表征器件参数对工艺因子的依赖性强弱,对湿法刻蚀尖端到栅间距影响最显著的工艺因子为 SD1 TCCT,湿法刻蚀尖端到栅间距(wet tip_x)和湿法刻蚀槽口到氮化硅外延间距(wet under cut)、氮化硅宽度、干湿法刻蚀槽深相关。同样的方法得到工艺因子与这几个参数的相关系数结果如表 3.36 所示。

表 3.36 工艺因子与器件参数相关系数

Table3.36 Correlation coefficient between process factor and device parameter

	A	C	E	F	G	H	D	B
M	0.3161	0.2942	0.2531	0.2255	0.1950	0.1723	0.1170	0.0254
X	0.049	0.0494	0.0239	0.4511	0.0563	0.0178	0.0497	0.0236
干法刻蚀槽深	1.8801	1.5241	2.2132	17.7291	1.4337	1.7419	0.6422	0.7824
湿法刻蚀槽深	4.2878	6.7739	5.0375	15.3088	3.1828	16.2885	8.7728	7.6137

最优组合如表 3.37 所示。

表 3.37 最优组合

Table3.37 Best conditions

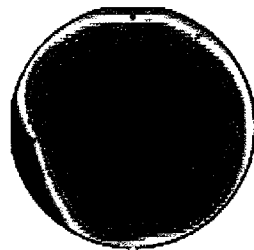
	F	E	G	H	A	C	B	D
M	0.05	4.6_4.2	0.11	Center	0.06	5.0_5.0	Equal	Center
X	0.02	5.4_5.8	0.15	Center	0.10	5.0_5.0	Equal	Center
干法刻蚀槽深	0.05	5.0_5.0	0.11	Equal	0.06	5.4_5.8	Equal	Center
湿法刻蚀槽深	0.05	5.4_5.8	0.15	Center	0.06	4.6_4.2	Center	Center

(6) 选择最佳解,敏感度最高的几个条件是 SD1 TCCT、SD2 gas、SIN trim TCCT、SIN trim ESC。通过调节 SIN trim TCCT 和 ESC 温度来优化槽口到氮化硅外延间距(UC)的均匀度,并且湿法刻蚀尖端到栅间距(tip_x)均匀度和槽深(trench depth)

均匀度对这两个工艺因子不敏感，最优组合是(0.06/5.0_5.0)。湿法刻蚀槽尖端到栅间距(tip_x)均匀度和槽深(trench depth)均匀度对 SD1 TCCT 最敏感，但是方向不一致，SD1 TCCT 越小，湿法刻蚀槽尖端到栅间距均匀度越好。湿法刻蚀槽深均匀度对 SD2 Gas 最敏感，最优条件是 Center。综合的最优调整条件是：SD1 TCCT。

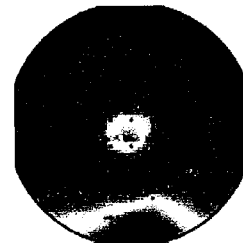
(7) 进行实验确认。

参照组：



湿法刻蚀尖端到栅间距

3sigma=0.114nm



湿法刻蚀槽深

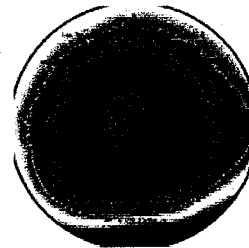
3sigma=0.97nm

调整 SD1 TCCT:



湿法刻蚀尖端到栅间距

3sigma=0.045nm



湿法刻蚀槽深

3sigma=2.28nm

图 3.18 优化结果

Figure3.18 Optimization result

通过 DOE 实验调整 SD1 TCCT, 晶圆中湿法刻蚀槽尖端到栅间距(tip_x) 3 倍标准差从 0.114nm 降到了 0.045nm, 达到预期目标, 但是湿法刻蚀槽深(trench depth) 3 倍标准差却从 0.97nm 升高到 2.28nm, 湿法刻蚀尖端到栅间距均匀度完成了优化, 湿法刻蚀槽深的均匀度却发生了下降, 因此需要继续优化工艺因子提

高槽深均匀度。

分析槽深实验数据：

表 3.38 湿法刻蚀槽深实验结果

Table3.38 Wet trench depth experiment result

NO	D	E	A	B	C	F	G	D	槽深 3sigma
#1	Edge	5.4_5.8	0.02	Center	4.6_4.2	0.02	0.07	Center	2.971
#2	Edge	5.4_5.8	0.06	Equal	5.0_5.0	0.05	0.11	Equal	3.754
#3	Edge	5.4_5.8	0.10	Edge	5.4_5.8	0.08	0.15	Edge	6.29
#4	Edge	5.0_5.0	0.02	Center	5.0_5.0	0.05	0.15	Edge	4.871
#5	Edge	5.0_5.0	0.06	Equal	5.4_5.8	0.08	0.07	Center	5.17
#6	Edge	5.0_5.0	0.10	Edge	4.6_4.2	0.02	0.11	Equal	4.51
#7	Edge	4.6_4.2	0.02	Equal	4.6_4.2	0.08	0.11	Edge	5.89
#8	Edge	4.6_4.2	0.06	Edge	5.0_5.0	0.02	0.15	Center	5.13
#9	Edge	4.6_4.2	0.10	Center	5.4_5.8	0.05	0.07	Equal	3.82
#10	Center	5.4_5.8	0.02	Edge	5.4_5.8	0.05	0.11	Center	2.34
#11	Center	5.4_5.8	0.06	Center	4.6_4.2	0.08	0.15	Equal	3.76
#12	Center	5.4_5.8	0.10	Equal	5.0_5.0	0.02	0.07	Edge	4.58
#13	Center	5.0_5.0	0.02	Equal	5.4_5.8	0.02	0.15	Equal	3.22
#14	Center	5.0_5.0	0.06	Edge	4.6_4.2	0.05	0.07	Edge	4.91
#15	Center	5.0_5.0	0.10	Center	5.0_5.0	0.08	0.11	Center	4.03
#16	Center	4.6_4.2	0.02	Edge	5.0_5.0	0.08	0.07	Equal	5.42
#17	Center	4.6_4.2	0.06	Center	5.4_5.8	0.02	0.11	Edge	4.56
#18	Center	4.6_4.2	0.10	Equal	4.6_4.2	0.05	0.15	Center	1.68

通过计算机软件分析出每一个工艺因子与湿法刻蚀槽深的相关系数以及在槽深 3 倍标准差最小情况下的工艺因子组合：

表 3.39 工艺因子与器件参数相关系数及最优组合

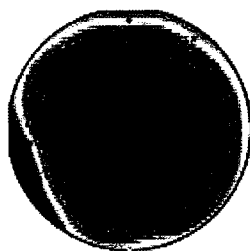
Table3.39 Correlation coefficient between factor and parameter and best condition

	D	E	A	B	C	F	G	D
相关系数	8.78	5.04	4.29	7.61	6.77	15.31	3.18	16.29
最优组合	Center	5.4_5.8	0.06	Center	4.6_4.2	0.05	0.15	Center

根据相关系数大小，对槽深影响最显著的因子为 SD2 Gas、SD1 TCCT。

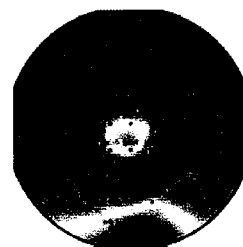
继续进行实验确认：

参照组：



湿法刻蚀槽尖端到栅间距

3sigma=0.114nm



湿法刻蚀槽深

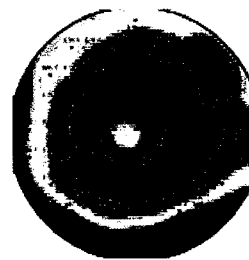
3sigma=0.97nm

调整 SD2 Gas、SD1 TCCT:



湿法刻蚀槽尖端到栅间距

3sigma=0.06nm



湿法刻蚀槽深

3sigma=1.32nm

图 3.19 优化结果

Figure3.19 Optimization result

通过调整 SD2 Gas、SD1 TCCT 发现湿法刻蚀尖端到栅间距 3 倍标准差为 0.06nm，湿法刻蚀槽深 3 倍标准差相比只调整 SD1 TCCT 降低到 1.32nm，同时调整 SD2 Gas 和 SD1 TCCT 结果更理想，晶圆中湿法刻蚀尖端到栅间距的均匀

度满足预期，3 倍的标准差降低了 47%。湿法刻蚀槽尖端到栅间距分布如图 3.20 所示，在晶圆半径 120mm-150mm 的环形区域里，tip_x 波动范围从 0.1nm 降低到 0.05nm。选取两批 10 片工程晶圆完成全部流程，同时在锗硅制程调整 SD2 Gas、SD1 TCCT 工艺因子到最优组合，完成电性测试，测试结果如表 3.40、3.41 所示。

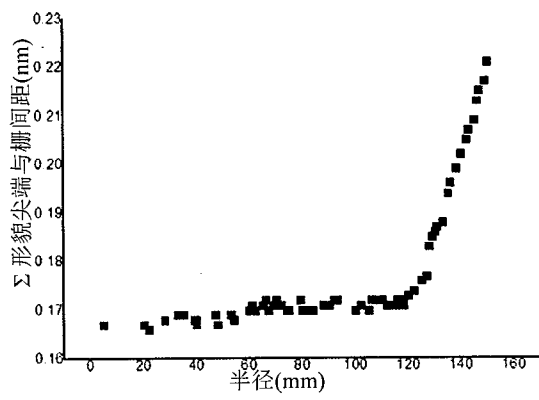


图 3.20 tip_x 沿晶圆半径分布趋势

Figure3.20 Tip_x distribution trend along wafer radius

表 3.40 第一批实验结果

Table3.40 First experiment result

项目	#1	#2	#3	#4	#5
参照组	√	√			
优化组			√	√	√
标准差	8.25	8.13	4.23	3.56	4.05
均匀性	10.6%	10.5%	5.5%	4.6%	5.3%

从表 3.40 可以看出，第一批经过工艺因子调节的晶圆饱和电流标准差明显低于未进行工艺因子调节的晶圆饱和电流标准差，均匀性有明显的提升。

表 3.41 第二批实验结果

Table3.41 Second experiment result

项目	#1	#2	#3	#4	#5
参照组	√	√			
优化组			√	√	√
标准差	7.87	7.65	4.11	3.78	3.98
均匀性	10.2%	9.9%	5.2%	4.8%	5.2%

从表 3.41 可以看出，第二批经过工艺因子调节的晶圆饱和电流标准差也明显低于未进行工艺因子调节的晶圆饱和电流标准差。综合两批 10 片晶圆电性测试结果，均匀性从 10.3% 提高到 5.1%，通过对多晶硅栅长和湿法刻蚀尖端到栅间距两个器件参数均匀度优化，使得 PMOS 饱和电流均匀性提升了 5.2%。

3.4 本章小结

本章介绍了 CMOS 器件均匀性的优化技术。首先通过工艺窗口实验得到饱和电流对 N/P MOS 器件参数的敏感度，明确要优化的器件参数；其次对多晶硅栅长均匀度不好的机理进行研究以及使用 Dose Mapper 技术对栅长进行优化来提升 NMOS 饱和电流均匀性；最后详细分析了造成 PMOS 器件参数 tip_x 均匀度不好的原因和增加外延生长锗含量的方法，调节锗硅制程工艺因子来优化主要器件参数 tip_x 均匀度从而提升 PMOS 饱和电流均匀性。

第4章 CMOS 器件稳定性的优化技术

在第三章讨论了器件均匀性的优化技术,也介绍了器件均匀性不好不仅会降低器件性能,而且也会引起严重的良率问题。同样在量产中,器件批量生产的特点使得器件的稳定性也是一个需要重点考虑的问题。代工厂里的器件稳定性是研究晶圆与晶圆之间(WTW)和批次与批次之间(LTL)器件电性参数波动程度的。应用最广泛的是优化 NMOS 稳定性的离子注入自动化系统与优化 PMOS 稳定性的锗硅制程沉积自动化系统。

4.1 离子注入自动化技术优化 NMOS 稳定性

器件特征尺寸逐渐减小会使器件性能对工艺变化越来越敏感。进入亚微米节点以后,器件性能的可变性增加使得良率不可接受。经查阅相关文献,控制关键尺寸的传统方法包括一个反馈系统,该系统可以根据先前批次量测的尺寸来调整曝光剂量,但是由于晶圆的形貌和薄膜叠层不平整使得批次间的关键尺寸差异仍然较大,以致于器件电学特性变化在不可接受的水平,这甚至会降低芯片良率^[39]。

为了解决关键尺寸在批次之间的差异,业界提出了从栅极刻蚀到 pocket 注入的全自动运行方案,通过调整 pocket 掺杂剂量可以自动补偿刻蚀后栅极尺寸的测量偏差,这种从栅极刻蚀到 pocket 掺杂的流程图如图 4.1 所示^[39]。

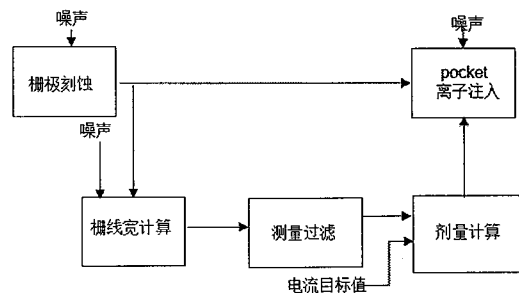


图 4.1 栅极刻蚀到 pocket 注入流程图

Figure4.1 Flow chart of gate etch to pocket implantation

批次晶圆的多晶硅栅长被刻蚀后,系统会调整 pocket 剂量以补偿预期的 N/P

MOS 电性偏差。当多晶硅栅长尺寸较大时，需要的 pocket 剂量低于标准剂量。当多晶硅栅长尺寸较小时，需要的 pocket 剂量高于标准剂量。图 4.1 中的前馈控制器可分解为两个子系统：预测模型和观察器，预测模型与输入变量（栅长、pocket 剂量）相关联，观察器会过滤掉传感器噪声且给出批次晶圆多晶硅栅长的估计值^[39]。

晶圆芯片完整的一个制造周期一般是 2-3 个月，良率指标 (I_{DDQ} 、 V_{min}) 不仅代表工厂的产品质量，而且对电路也有影响，例如芯片漏电流 I_{DDQ} 过高引起电路失效。对于高性能低功耗芯片来说， V_{min} 是一个重要的性能参数，它是被测芯片的下限测试电压，假如 V_{min} 过高或过低时，电路的触发器不能及时打开就会导致电路失效。45nm 及以下技术节点的器件稳定性的控制越来越具有挑战性，为了减小器件电性参数波动对 V_{min} 等良率指标的影响，生产过程中要用到很多自动控制系统来弥补由于参数波动所引起的饱和电流波动，其中应用最广泛的是 implant APC (advanced process control) 系统，它可以根据多晶硅栅长大小来调整 pocket 掺杂剂量以此补偿多晶硅栅长波动对器件电性造成的影响。在制备 N/P MOS 时会经过两步掺杂步骤：一是 LDD (lightly doped drain) 掺杂；二是 pocket 掺杂。前者是在沟道中靠近漏极的附近设置一个低掺杂的区域，目的是让该低掺杂的漏区也承受部分电压，这种结构可减轻热载流子效应。后者是在源漏区的下部掺杂与源漏区电性相反的离子，这可以减小耗尽层深度从而调节短沟道器件的阈值电压，同时也相应的调节饱和电流的大小。沟道长度缩短使得源漏区电场强度增强，若加在源极和漏极之间的电压增大时，电场的作用会使漏极 PN 结耗尽层宽度与源极 PN 结的耗尽层宽度展宽，当两个 PN 结展宽到相重叠时就发生了源极-漏极穿通而形成很大的源极-漏极泄露输出电流，这不是器件设计者所期望的。穿通时加在源漏的电压即为穿通电压，穿通电压可以表示成式 4.1：

$$V_{\text{穿通}} \propto N_A L^2 \quad \dots (4.1)$$

其中 N_A 为衬底掺杂浓度、 L 为沟道长度。从式 4.1 可以看出调节衬底掺杂浓度不仅可以改变饱和电流大小，而且也可以调节源漏区的穿通电压，改善因器件微缩带来的源-漏穿通问题。

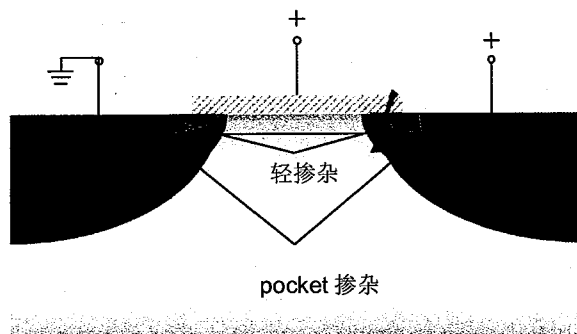


图 4.2 轻掺杂区与 pocket 掺杂区

Figure 4.2 LDD area and pocket area

如图 4.2 所示，轻掺杂区域的下面是 pocket 掺杂区域，两步掺杂来满足器件的性能要求。PMOS 衬底硅晶格处在[100]方向，源漏之间沟道区域的硅晶格处在[110]方向。锗硅结构施加的压应力在很大程度上与 pocket 掺杂剂量相关，这是由于在沟道附近压电阻系数随着载流子掺杂浓度的变化而变化。相比 PMOS 器件，NMOS 器件电性对 pocket 掺杂剂量呈现比较弱的相关性，主要是因为 NMOS 沟道有比较小的压电阻系数和沟道作用力比较小的原因^[40]，所以在高压应力的情况下，PMOS 沟道载流子浓度与压电阻系数相关，载流子的迁移率对 pocket 掺杂剂量比较敏感。

在第二章讨论过器件饱和电流公式：

$$I_{dsat} = \frac{1}{2} \mu \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L} (V_{GS} - V_T)^2 \quad \dots (4.2)$$

可以改变阈值电压 V_T 大小来弥补栅氧化层与栅长波动对饱和电流造成的影响，假如某些工艺波动引起栅氧化层与多晶硅栅长增加，按照公式 4.2 的结果，饱和电流会降低，为了使饱和电流保持恒定，需要减小阈值电压。离子注入自动化系统可以自动评估栅氧化层厚度与多晶硅栅长波动对饱和电流造成的影响，然后在离子注入工艺步骤进行 pocket 掺杂来调节阈值电压。

离子注入自动化系统首先需要理论算出饱和电流对栅氧化层厚度、多晶硅栅长、pocket 掺杂剂量的敏感度；其次根据公式 4.2 算出需要弥补的 pocket 剂量：

$$\Delta Dose = \lambda \left(\frac{\Delta t_{ox} \times S_{tox}}{S_{dose}} + \frac{\Delta L_{poly} \times S_{Lpoly}}{S_{dose}} \right) \quad \dots (4.3)$$

其中 S_{tox} 与 S_{Lpoly} 分别是饱和电流对栅氧化层厚度与多晶硅栅长的敏感度,单位都是 $\mu A/nm$, S_{dose} 是饱和电流对 pocket 掺杂剂量的敏感度,单位是 $\mu A/cm^3$, λ 是阻尼系数,大小介于 0 和 1 之间,阻尼系数考虑了理论分析与芯片实际制造的失配因素, λ 与 WTW 饱和电流标准差满足图 4.3 所示的关系^[6],电流标准差最小时的阻尼系数为 0.45。

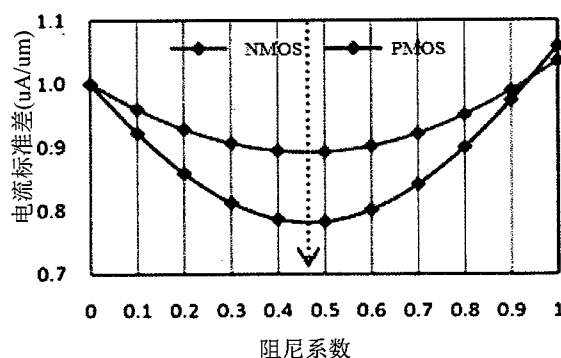


图 4.3 阻尼系数仿真曲线

Figure4.3 Damping factor simulation curve

离子注入自动化系统在实际应用中一般分为三个等级：安全等级、APC 控制等级、手动弥补等级。APC 系统在不同的等级中采取不同的方法处理不同水平的器件参数波动来降低风险实现最大化收益^[6]。

表 4.1 APC 应用规则

Table4.1 APC rule

级别	栅氧化层厚度	多晶硅栅长	处理方法
安全等级	$<\pm 0.5\%$	$<\pm 0.8\%$	系统预设置剂量
APC 控制等级	$\pm (0.5-1.0)\%$	$\pm (0.8-2.5)\%$	根据公式线性弥补
手动弥补等级	$>\pm 1.0\%$	$>\pm 2.5\%$	将晶圆保持在合理位置

离子注入自动化系统一般用在量产批次,为保证 APC 控制方法有效,需要一些手动干预,首先将 APC 控制系统的某些过程有选择地打开,其余过程保持默认状态;其次是晶圆达到 APC 控制等级但却没有栅氧化层或者多晶硅栅的测量数据,这时晶圆将被手动固定住;最后是如果在某一批次内部,晶圆与晶圆间

有较大的参数波动，比如有较大的栅氧化层波动或者多晶硅栅长波动，这个批次将被人为固定住。

在第三章，工艺窗口实验得到单位剂量的 pocket 掺杂会引起饱和电流降低 9uA，同时得到 NMOS 的饱和电流对栅长有比较强的敏感度，单位栅长增加会引起饱和电流降低 21.2uA，波动的栅长与 pocket 掺杂剂量就有一个对应关系。实际量产器件的栅氧化层厚度波动比较小，在公式 4.3 中， $\Delta t_{ox}=0$ ，公式 4.3 可简化为：

$$\Delta Dose = \lambda \frac{\Delta L_{poly} \times S_{Lpoly}}{S_{dose}} \quad \dots (4.4)$$

假如晶圆的多晶硅栅长比目标值小了 0.5nm，当忽略其它参数波动对器件饱和电流影响时，饱和电流会升高 10.6uA。根据 3.1 实验结果将 $\Delta L_{poly} = 0.5nm$ 、 $S_{Lpoly} = 25.4uA/nm$ 、 $S_{dose} = 9 uA/cm^3$ 代入式 4.4，取 $\lambda = 0.45$ 得出 $\Delta Dose = 1.27cm^3$ ，即补偿 1.27cm³ 的 pocket 剂量可以弥补栅长波动造成的饱和电流变化来保证器件电性参数稳定。

量产晶圆在经过 APC 系统改善之前与改善之后饱和电流对比如图 4.4 所示。

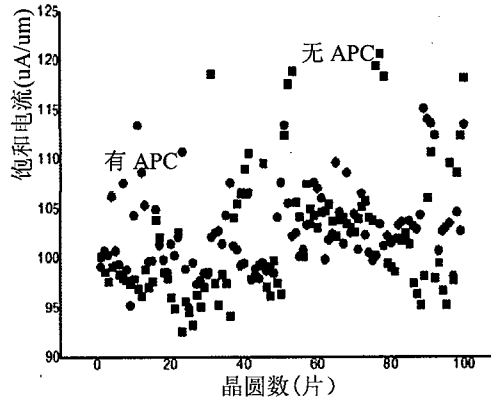


图 4.4 APC 优化前后晶圆饱和电流对比

Figure4.4 Comparison of wafer saturation current before and after APC optimization

从图 4.4 可看出同样对于 100 片晶圆，没有应用 APC 系统的晶圆饱和电流波动程度较大，饱和电流标准差为 6.36uA/um，应用 APC 系统的晶圆饱和电流波动程度相应下降，饱和电流标准差为 4.24uA/um。APC 系统可以优化饱和电流

的稳定性，根据饱和电流稳定性公式，稳定性由 6.23% 提高到 4.11%。

4.2 锗硅制程 APC 优化 PMOS 稳定性

在 4.1 节中介绍了优化 WTW 和 LTL NMOS 稳定性的离子注入自动化技术，这一节介绍优化 PMOS 稳定性的锗硅制程自动化技术。业界在 PMOS 制备中引入了锗硅工艺，锗硅工艺可以改善器件电学性能，但是复杂的工序带来的参数波动问题同样不能忽略。

优化器件参数 tip_x 的均匀度可以明显提升器件饱和电流的均匀性，当 tip_x 的均匀度达到要求以后，锗硅外延生长最后形成的溢出层 (overfill) 厚度就成为影响器件稳定的一个主要因素，overfill 结构如图 4.5 所示。

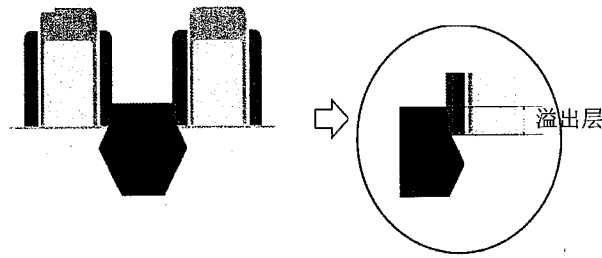


图 4.5 锗硅溢出层结构

Figure4.5 SiGe overfill structure

锗硅制程中的干法刻蚀工艺形成碗状的槽深，湿法刻蚀工艺形成 Σ 形貌的槽深，湿法刻蚀工艺步骤决定了最终的槽深度。深槽形成之后是外延生长工艺，分别形成缓冲层、主体层、硅帽层。外延生长的速率是恒定的，干湿法槽越深、生长的薄膜层越厚，需要的生长时间就越长。生长的物质质量也是固定的，干法刻蚀槽深 (Tip depth) 升高会使得溢出层薄膜变薄，槽深升高和溢出层薄膜变薄引起 tip_x 下降， Σ 形貌的尖端对沟道载流子就会施加更大的压应力效果，从而饱和电流升高。

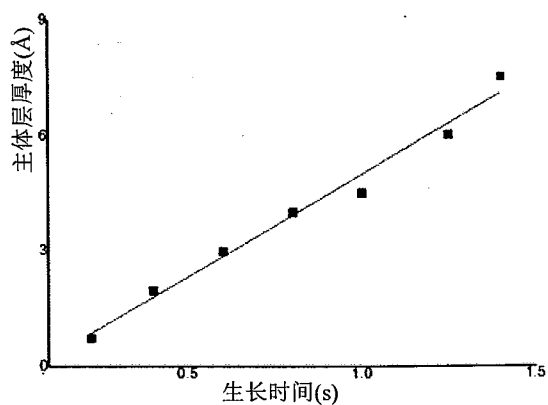


图 4.6 主体层厚度与生长主体层的时间关系

Figure4.6 Relationship between thickness of seed layer and the growth time

从图 4.6 看出主体层厚度与外延生长时间具有良好的线性关系, APC 系统根据槽深浅自动调整外延薄膜层厚度来保证溢出层厚度稳定, 干湿法刻蚀形成的槽浅时, 系统自动减少外延生长薄膜厚度, 槽深时, 系统自动增加外延生长薄膜厚度。

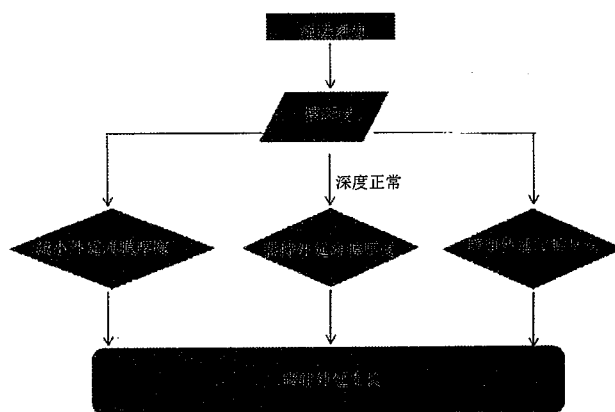


图 4.7 锗硅制程的 APC 流程图

Figure4.7 APC flow chart of SiGe process

APC 系统修正前的晶圆溢出层厚度如图 4.8 所示:

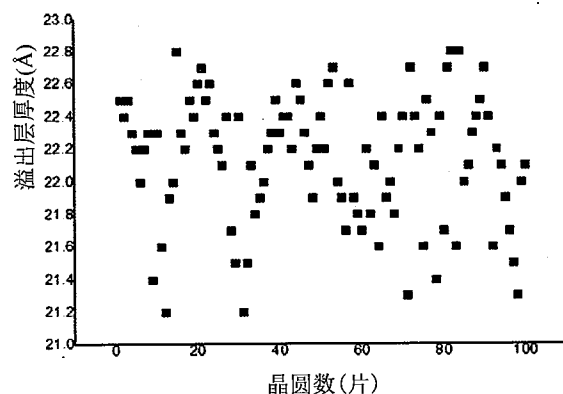


图 4.8 APC 修正前 WTW 的溢出层厚度

Figure4.8 WTW overflow thickness before APC optimization

从图 4.8 看出, 经过 APC 系统修正前的 WTW 溢出层厚度会有 $1.7\text{\AA}$ 范围的波动, 溢出层厚度标准差为 $0.39\text{\AA}$ 。

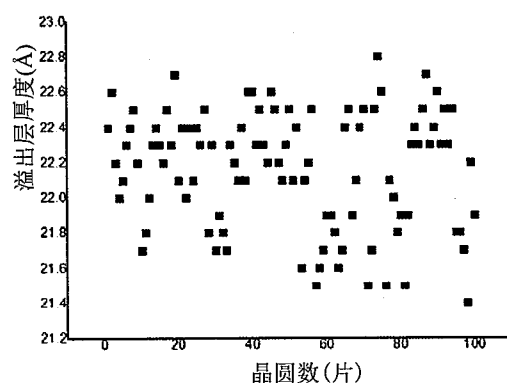


图 4.9 APC 修正后 WTW 的溢出层厚度

Figure4.9 WTW overflow thickness after APC optimization

从图 4.9 看出, 经过 APC 系统修正后的溢出层厚度波动范围降低到 $1.4\text{\AA}$, WTW PMOS 溢出层厚度标准差由 $0.39\text{\AA}$ 改善到 $0.33\text{\AA}$ 。APC 系统可以优化溢出层厚度的波动程度, 波动程度优化了 15.4%。

4.3 本章小结

本章介绍了 CMOS 器件稳定性的优化技术, 离子注入自动化系统可以自动调节 pocket 掺杂剂量来弥补栅长波动造成的 NMOS 饱和电流变化; 锗硅制程自动化

系统可以根据干湿法刻蚀槽深自动调节外延生长薄膜层厚度来保证参数稳定,这两套自动化系统均可以优化器件电性参数和结构参数的稳定程度。

第5章 总结与展望

5.1 总结

器件尺寸的逐渐微缩不仅对工艺制造提出了更高的要求,而且对器件设计和电路设计也提出了越来越高的要求。低功耗的要求使得工作电压越来越低,设计后端的工艺复杂性导致的布线层数和 I/O 引线越来越多。在 45nm 技术节点,高介电常数金属栅的发明缓解了因多晶硅栅与高介电常数不兼容而引起的漏电问题,这是一个具有里程碑意义的飞跃,高介电常数金属栅的发明使得集成电路行业的发展跟上了摩尔定律的步伐。在 22nm 技术节点,三栅结构 FinFET 器件的出现又保证了缩小的步伐。工艺制程的波动是影响 28nm CMOS 器件稳定性与均匀性的主要因素,器件电性参数变化范围太大不仅会引起良率问题,而且也会对电路性能带来负面影响,负面影响主要考虑三个方面:电路的速度、电路的噪声容限、电路的功耗,优化器件稳定性与均匀性意义重大,但同时也面临许多挑战。

本文首先介绍了 CMOS 器件稳定性与均匀性的研究背景和现状、稳定性与均匀性的概念。器件的稳定性与均匀性一般是指饱和电流在 WIW 和 WTW 的波动程度,减小 WIW 电性参数波动范围即改善器件的均匀性可以给 WTW 留出足够的器件窗口,保证线上量产器件稳定。同时优化 WIW 电性参数波动范围还能够减小漏电流高和工作频率低这两类良率损失。

其次对 CMOS 器件稳定性与均匀性的理论技术进行分析,包括研究了电性参数波动与电路的速度、电路的噪声容限、电路的功耗关系;分析漏极饱和电流在 CMOS 器件线性区和饱和区的波动模型;从饱和电流公式出发,给出引起饱和电流变化的相关工艺。

再次将饱和电流对器件参数的敏感度进行研究,得到影响 N/P MOS 电性最大的参数。对影响 NMOS 电性最大的多晶硅栅长进行均匀度优化来提升饱和电流均匀性,对晶圆边沿区域 PMOS 的 Σ 形貌尖端到栅间距偏大的机理进行研究,通过调整主体层锗浓度分布斜率、优化多晶硅栅长均匀度、优化 Σ 形貌尖端到栅间距均匀度来提升饱和电流均匀性。

最后介绍了优化器件电性参数稳定性的技术,大生产应用最多的是离子注入

自动化技术和锗硅制程自动化技术, 离子注入自动化技术可以根据线上器件栅长的波动情况自动调整 pocket 掺杂剂量来提高 WTW 饱和电流的稳定性。锗硅制程自动化技术可以根据湿法刻蚀的槽深浅调节外延薄膜厚度来显著优化参数波动范围, 保证线上量产器件稳定。

5.2 展望

目前业界对于 CMOS 器件电性参数稳定性与均匀性的研究还处在比较早期的阶段, 尤其对 28nm 以下三维器件的研究比较少。第 4 章器件的稳定性研究偏重国内外调研内容和理论分析, 缺少一些实践分析内容, 略显不足, 后续有条件时, 会进一步开展器件稳定性方面的实践研究, 为稳定量产提供技术指导。另外按照第 3 章的讨论, 除了多晶硅栅长和 Σ 形貌尖端到栅间距这两个器件参数之外, 其余参数对饱和电流也有或多或少的的影响, 要想获得更好的结论, 需要对每一个参数进行均匀度的优化, 但这是一个庞大的系统工程, 每一个参数均匀度的优化都是一个完整的项目, 需要代工厂各个部门合作才能完成。