

密级:_____



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

SiC 肖特基势垒二极管的研制及可靠性研究

作者姓名: 于海龙

指导教师: 申华军 副研究员

中国科学院微电子研究所

学位类别: 工学硕士

学科专业: 微电子学与固体电子学

研究所: 中国科学院微电子研究所

2015 年 5 月

Fabrication and Research of Reliability for Silicon Carbide
Schottky Barrier Diode

By

Yu Hailong

A Dissertation/Thesis Submitted to

The University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Master of Microelectronics and solid electronics

Institute of Microelectronics

May, 2015

关于学位论文使用权声明

任何收存和保管本论文各种版本的单位和个人，未经著作权人授权，不得将本论文转借他人并复印、抄录、拍照、或以任何方式传播。否则，引起有碍著作权人著作权益之问题，将可能承担法律责任。

关于学位论文使用授权的说明

本人完全了解中国科学院微电子所有关保存、使用学位论文的规定，即：中国科学院微电子所有权保留学位论文的副本，允许该论文被查阅；中国科学院微电子所可以公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存该论文。

(涉密的学位论文在解密后应遵守此规定)

签 名：于海龙 导师签名：申晓宇 日 期：2015 年 5 月

关于学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名：于海龙 导师签名：申晓宇 日 期：2015 年 5 月

中文摘要

SiC 电力电子器件具有耐高压，耐高温等优点，是下一代“高效、节能”电力电子技术的核心。近年来，SiC 电力电子器件发展迅速，美国 Cree 和日本 Rohm 公司已经推出 SBD 和 MOSFET 产品，其中可靠性研究与优化设计是 SiC 电力电子器件得以实用化和大规模应用的关键。本论文主要围绕 4H-SiC 肖特基二极管的器件设计，关键制造工艺和具体器件可靠性失效情况进行分析研究。取得的主要成果如下：

[1]理论分析了 4H-SiC 功率 SBD 与 JBS 二极管的工作原理，及静态与动态器件特性；从导通电阻与击穿电压两方面提出了器件的优化设计方案；开展了器件性能与结构设计的相关性研究。

[2]对 SiC 器件制作过程中的关键工艺进行了研究及优化：采用 Ti 作为肖特基金属，通过优化离子注入激活及肖特基退火条件，得到在 1800℃/5min 的离子注入激活退火，500℃/5min 的肖特基退火下，获得表面粗糙度为 0.433nm，势垒高度与理想因子分别为 1.24eV 和 1.005 的最优化结果；使用 NO 前退火处理方案，有效的改善接触势垒的均匀性，同时提高了器件的性能一致性；采用 Ni/Ti/Al 多层金属结构作为 p 型欧姆接触金属，降低原来的高退火温度 1000℃至 800℃，同时得到了相对很小的 p 型欧姆接触电阻率 $1.8 \times 10^{-5} \Omega \cdot \text{cm}^2$ 和相对较低的表面粗糙度 7.3nm；对高温存储前后 p 型欧姆接触进行了电特性、表面形貌、界面合金及元素分布、电流输运机制等进行了实验研究，发现 Ni/Ti/Al 欧姆金属组合在 600℃高温下能够保持良好的电学及界面与表面稳定性。

[3]完成肖特基二极管器件的工艺研制及测试，开展了可靠性失效分析：针对器件 JBS 有源区结构参数：环宽、环间距及结终端结构进行优化设计，结合前期开发的关键工艺，成功研制出开启电压 0.9V，正向电流 30A/10A/2A，反向耐压 600V 与开启电压 0.9V，正向电流 25A，反向耐压 1700V 的两种系列的 SiC 肖特基二极管；对耐压 1700V 的 SiC 二极管器件进行了失效原因分析，发现材料质量、肖特基势垒均匀性、势垒降低与隧穿效应和工艺缺陷等四种机制直接关系器件的性能优劣，对后期产品具有很大的指导意义。

关键词：SiC，肖特基二极管，欧姆接触，工艺开发，可靠性

Abstract

SiC power electronic device, which has received a substantial increase due to its resistance to high voltage and high temperature, is one of the cores of the next generation high-efficient power electronic device. SiC power electronics has developed rapidly in recent years, the United States Cree and Japan Rohm companys have launched SBD and MOSFET products. Reliability study and optimization design of SiC power electronic devices is the key of practical and large-scale application. This essay is mainly focus on the structure design and key technology of 4H-SiC Schottky diodes, and the reliability failure of the specific devices. The main results are as follows:

[1]The static and dynamic characteristics, and the operating principle were analyzed theoretically. The design and optimization of devices were presented from two aspects: on resistance and breakdown characteristics. What's more, the correlation research of the device performance and structure design were proposed.

[2]The key techniques in manufacturing SiC devices were analyzed: ion implantation activation annealing condition and schottky annealing condition were optimized. Under 1800°C/5min activation annealing and 500°C/5min schottky annealing condition, the optimization condition occurred. The surface roughness 0.433nm and schottky barrier height 1.24eV and ideal factor 1.005 were obtained; the NO before annealing treatment was put forward, which effectively improved the uniformity of the contact barrier and the consistency of the device performance; Using a new type Ni/Ti/Al multi-layer metal structure for p-type ohmic contact, reduce the high annealing temperature 1000°C to 800°C, and relatively small p-type ohmic contact resistance rate $1.8 \times 10^{-5} \Omega\text{-cm}^2$ and relatively low surface roughness 7.3 nm were obtained; the electrical characteristics, surface morphology, interfacial alloy and elements distribution, current transport mechanism of p-type ohmic contacts have been experimentally researched in detail before and after high temperature storage, Ni/Ti/Al multi-layer metal structure can keep good electrochemical stability.

[3]The optimization design and the development of schottky diode devices were finished, and the reliability failure analysis was developed. The active region structure parameters of JBS

devices: the ring width, ring spacing and junction termination structure were under optimization design. Combined with the development of key technology, the, that the open voltage 0.9 V, forward current 30A/10A/2A, reverse voltage 600V and the open voltage 0.9 V, forward current 25A, reverse voltage 1700V SiC schottky barrier diodes were successfully fabricated; the 1700V SiC diode devices failure reason analysis is presented, four kinds of mechanism that the material quality, schottky barrier inhomogeneity, the barrier height lowering and tunneling effect, the immaturity of process platform, all have the direct relationship between the performance of the devices, which has great guiding significance to the late product.

KEY WORDS: Silicon carbide, Schottky diode, Ohmic contact, Development of Process, Reliability

目录

中文摘要	I
Abstract	III
目录	V
第一章 绪论	1
1.1 研究背景与意义	1
1.1.1 SiC 的材料发展及优势	1
1.1.2 SiC 器件发展及研究意义	2
1.2 SiC 二极管的国内外研究进展	3
1.2.1 功率肖特基二极管	3
1.2.2 PiN 二极管	5
1.3 SiC 肖特基二极管研制的关键点及挑战	6
1.4 论文安排	9
第二章 SiC JBS 器件的工作原理及器件设计	11
2.1 器件结构及基本工作原理	11
2.1.1 金属-半导体肖特基接触	11
2.1.2 SiC 二极管的基本结构及工作原理	12
2.1.2.1 正向导通特性	13
2.1.2.2 反向阻断特性	15
2.1.2.3 动态开关特性	17
2.2 器件设计	18
2.2.1 导通电阻设计	19
2.2.2 击穿特性设计	20
2.2.2.1 有源区设计	20
2.2.2.2 结终端设计	22
2.3 SiC 二极管器件的可靠性	23
2.4 器件性能与结构设计的相关性研究	24
2.5 本章总结	25
第三章 SiC 二极管的关键工艺及可靠性研究	27
3.1 器件制造工艺流程	27
3.2 离子注入及激活退火	29

3.2.1 Al 注入.....	30
3.2.2 高温激活退火.....	30
3.2.3 表面粗糙度.....	31
3.3 肖特基接触.....	32
3.3.1 Ti 单层肖特基接触形成.....	32
3.3.2 肖特基势垒不均匀性分析.....	34
3.3.3 肖特基接触改善方法研究.....	36
3.4 欧姆接触.....	37
3.4.1 Ni/Ti/Al n 型欧姆接触及电特性分析.....	39
3.4.2 p 型欧姆接触及电特性分析.....	40
3.4.3 欧姆接触的高温可靠性研究.....	43
3.4.3.1 电特性.....	43
3.4.3.2 表面与界面.....	44
3.4.3.3 元素相变及电流输运机制.....	46
3.5 本章小结.....	49
第四章 SiC 二极管测试及其可靠性失效分析.....	51
4.1 二极管器件的测试与分析方法.....	51
4.2 4H-SiC 二极管器件静态测试结果及分析.....	52
4.2.1 600V JBS 测试结果及分析.....	53
4.2.2 1700V JBS 测试结果及分析.....	57
4.2.3 NO 处理的 SBD 器件的正反向特性测试及分析.....	64
4.3 4H-SiC 二极管器件高温测试及瞬态特性结果及分析.....	67
4.4 可靠性失效分析.....	70
4.4.1 器件的失效原因研究.....	71
4.4.2 器件的失效分析.....	73
4.4.2.1 材料本身缺陷.....	73
4.4.2.2 肖特基势垒不均匀.....	75
4.4.2.3 反向漏电流机制.....	77
4.4.2.4 具体器件的失效原因分析.....	79
4.5 本章总结.....	81
第五章 总结与展望.....	83
5.1 论文总结.....	83

5.2 研究展望	84
参考文献	85
攻读硕士学位期间发表的论文及研究成果	91
致谢	93

第一章 绪论

1.1 研究背景与意义

1.1.1 SiC 的材料发展及优势

碳化硅 1842 年就被发现了, 但因其制备时的工艺难度大, 并且器件的成品率低, 导致了价格较高, 这影响了它的应用^[1,2]。直到 1955 年, 生长高品质碳化硅的方法出现促进了 SiC 材料的发展, 在航天、航空、雷达和核能开发的领域得到应用。1987 年, 商业化生产的 SiC 进入市场, 并应用于石油地热的勘探、变频空调的开发、平板电视的应用以及太阳能变换的领域。如图 1.1 所示, 目前国际上已经有很多公司在从事 SiC 材料与器件的研发, 并且耐高温、高效的 SiC 功率模块在光伏发电、风电、电动汽车、机车牵引、舰船等应用中发展迅速。^[3]



图 1.1 国际上知名公司在 SiC 材料上的应用现状

表 1.1 列出了几种半导体材料基本特性的比较。相比于其他半导体材料, 碳化硅材料主要具有以下几个优势^[4]:

- 1、高的热导率, 为 Si 的三倍, 这有助于 SiC 器件散热, 提高功率密度, 利于提升 SiC 集成电路的集成度;
- 2、高的饱和速度, 是 Si 的二倍, 意味着器件工作频率的提升潜力, 使之应用于雷达功率器件和快速器件;
- 3、高临界击穿电场, 是 Si 的十倍, 极大地提高了 SiC 器件的耐压容量, 更适合于大功率应用;

4、高禁带宽度，为 Si 的二到三倍，使其可工作在高压、高温环境，且大大提高抗辐射性能；

另外，SiC 化学性能稳定，在室温不受任何化学腐蚀剂腐蚀，以上这些优异的材料特性，使 SiC 材料在高温、高频、大功率、抗辐射半导体器件等方面的应用中受到越来越多的重视，和氮化镓、金刚石材料一起被誉为发展前景十分广阔的第三代半导体材料 [5]。

表 1.1 SiC 材料与其他半导体的电学特性对比

特性 (T=300K)	Si	GaAs	3C-SiC	4H-SiC	6H-SiC	GaN	Diamond
$E_g(\text{eV})$	1.12	1.42	2.3	3.26	2.96	3.4	5.45
$n_i(\text{cm}^{-3})$	1.5×10^{10}	2.1×10^{10}	6.9	8.2×10^{-9}	2.3×10^{-6}	1.6×10^{-10}	1.6×10^{-27}
$\mu_n(\text{cm}^2/\text{Vs})$	1200	6500	750	880	400	1000	1900
$\mu_p(\text{cm}^2/\text{Vs})$	420	320	40	115	90	30	1600
ϵ_s	11.8	12.8	9.6	10	9.7	8.9	5.5
$\kappa(\text{Wcm}^{-1}\text{K}^{-1})$	1.5	0.5	4.9	4.9	4.9	1.3	20
$E_c(\text{MV/cm})$	0.2	0.4	2	2.5	2.4	3.3	5.6
$V_s(10^7\text{cm/s})$	1	2	2.5	2	2	2.5	2.7

SiC 材料晶体具有 250 多种同素异构体，目前研究最多的三种为：3C-SiC、4H-SiC 和 6H-SiC，后两者同属纤锌矿结构。与 6H-SiC 相比，4H-SiC 材料在 c 轴方向具有更高的载流子迁移率，在器件制备中广泛应用。本文研究对象亦为 4H-SiC 材料。

1.1.2 SiC 器件发展及研究意义

自 2007 年至今，市场上的商用 SiC 衬底片从 50 mm 发展到 150 mm，SiC 衬底的直径越来越大，并且位错、微管等缺陷的密度也越来越低，从而使 SiC 器件的成品率提高、成本降低，生产 SiC 产品的厂商越来越多，更多的领域开始使用 SiC 器件。图 1.2 显示了几种主要 SiC 器件的应用领域。

由于碳化硅材料自身的优越特性，各种类型的碳化硅器件也要比传统硅器件更具优势。SiC 器件有很多类型，但是诸如 MOS、BJT 等晶体管有栅氧、BPD 缺陷扩展导致的双极器件可靠性问题等。其中整流管（二极管）的相对研究成熟，是目前产品研究与产业应用的重点。

传统 Si SBD 在较高的外加电压下器件漂移区电阻迅速增加，进而产生极大的功率

损耗。而 SiC 器件在同样的击穿电压下漂移区厚度仅需要 Si 器件的 1/10,大大降低了导通损耗。同时 SiC SBD 具有高阻断电压、高速开关速度、低损耗等优势。因此本文主要的研究对象是 SiC 二极管器件。

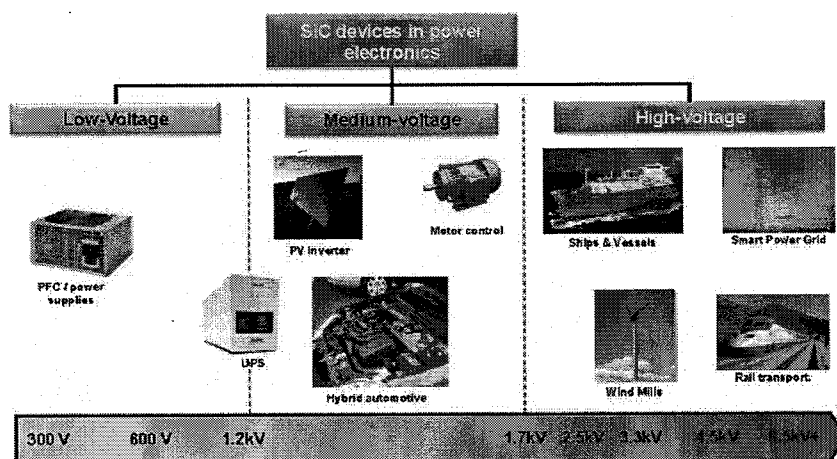


图 1.2 SiC 器件的应用领域

1.2 SiC 二极管的国内外研究进展

由于碳化硅器件的出现大大的改善了半导体器件的性能,能够满足国民经济和国防建设的需要,目前,美国、德国、瑞典、日本等发达国家正竞相投入巨资对碳化硅材料和器件进行研究。美国国防部从 20 世纪 90 年代就开始支持碳化硅功率器件的研究。碳化硅二极管是功率半导体器件的重要组成部分,目前研究的重点是 PiN 二极管和肖特基势垒二极管(SBD, schottky barrier diode)。下面详细的介绍这两种二极管的研究进展。

1.2.1 功率肖特基二极管

肖特基二极管的主要优势是开关速度快,反向恢复电流几乎为零,其性能不受正向电流与温度的影响。加反向偏置电压时,由于隧道效应导致的反向漏电流增大使肖特基二极管的阻断电压受到限制,这很大程度上制约了其在高压中的应用。结势垒控制肖特基二极管(JBS, Junction barrier SBD)是在普通的肖特基二极管的漂移区集成多个网状的 PN 结。在正向偏置时,因为肖特基势垒低,肖特基二极管首先进入导通状态,起主要作用,随着正向电压的增大,PN 结导通,有源区的少数载流子注入到漂移区,由于少子注入产生的电导调制效应对器件的导通压降进一步改善;反向偏置时,PN 结在高反压下耗尽区向沟道区扩展,当反向电压达到某个数值时,耗尽层交叠并向 N-外延层延伸,此时肖特基势垒被屏蔽在高电场之外,抑制了肖特基势垒的降低,有效改善了

反向漏电流的增大^[6]。结势垒肖特基二极管结合了肖特基二极管优良的开关特性和 PiN 二极管的高阻断特性，成为制作大电流、高反压、开关速度快、抗浪涌电流强的功率整流管^[7]。这两种器件的原理结构图如下所示。SiC 材料以其优良的性能与结势垒控制肖特基二极管的优势相结合是当今功率开关二极管的发展趋势。

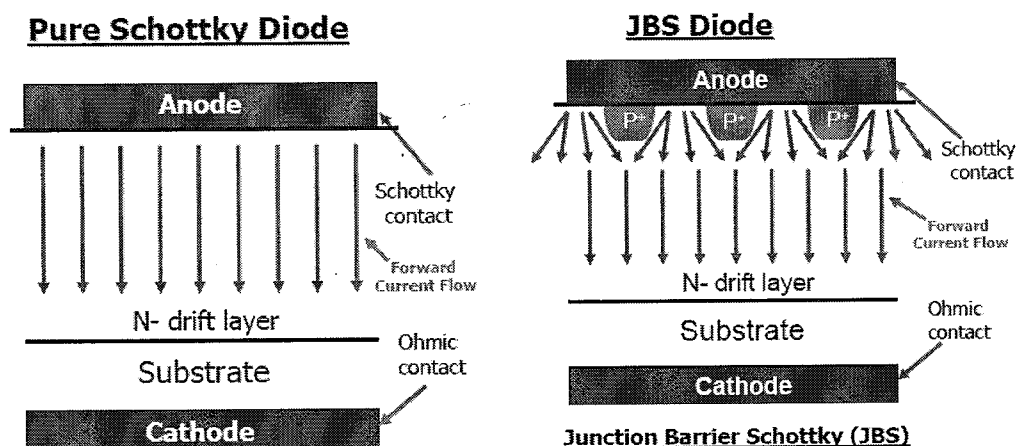


图 1.3 SBD 与 JBS 器件的结构原理图

世界上第一支碳化硅肖特基二极管在 1975 年由 G. H. Glover^[8] 研制出来，击穿电压为 200V。美国在 1992 年成功研究出了阻断电压为 400V 的肖特基二极管。碳化硅肖特基势垒二极管于 21 世纪初成为首例市场化的碳化硅电力电子器件。美国 Semisouth 公司研制的 SiC SBD (100 A、600 V、300℃下工作) 已经用在美国空军多种飞机^[9]。由碳化硅 SBD 构成的功率模块可在高温、高压、强辐射等恶劣条件下使用。碳化硅 SBD 的研发已经达到高压器件的水平，其阻断电压超过 10000 V^[10]，大电流器件通态电流达 130 A^[11, 12]的水平。

商品化方面，英飞凌在 2001 年首次将 600V 碳化硅肖特基二极管投放市场，之后 Cree、罗姆也相继推出自己的产品。英飞凌不断的推出新产品，现在已经将第五代碳化硅肖特基二极管推向市场。Cree 也不断推出高耐压肖特基二极管^[13]。下表 1.2 为英飞凌，罗姆与 Cree 公司三家公司的部分产品及其特性。图 1.4 给出了这三家公司的最新产品示意图。

表 1.2 Infineon, Rohm 与 Cree 公司三家公司的部分产品及其特性

制造商	$V_{BR} (T_j=25^\circ\text{C})$	$I_F (T_j=25^\circ\text{C})$	V_F	$I_R (T_j=25^\circ\text{C})$
Cree	600V	10A	2V@175℃	100uA
	650V	20A	1.8V@175℃	100uA
	1200V	20A	2.5V@150℃	20uA

	1700V	25A	1.8V@25°C	50uA
Infineon	300V	10A	1.5V@150°C	20uA
	600V	16A	1.7V@150°C	10uA
	1200V	20A	2.4V@150°C	40uA
Rohm	600V	40A	2.2V@175°C	100uA
	650V	20A	1.8V@175°C	50uA
	1200V	20A	2.8V@150°C	150uA
	1700V	50A	3V@175°C	270uA

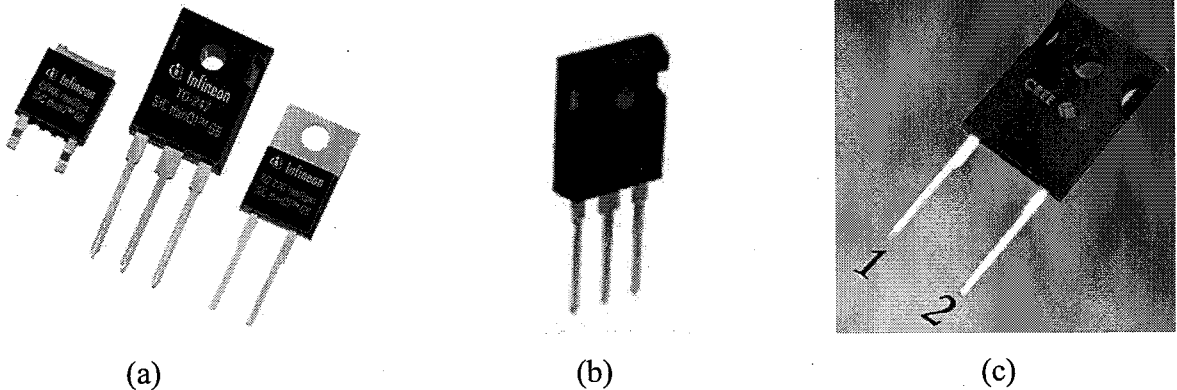


图 1.4 (a) Infineon 第五代工艺制造出的 40A@1200V SBD 器件。(b) Rohm 公司最新研制的 40A@1200V SBD 器件。(c) Cree 公司最新产品 25A@1700V SBD 器件。

我国十分重视碳化硅材料及其器件的研究,在国家的大力支持下经已经初步形成了研究 SiC 晶体生长、SiC 器件设计和制造的队伍。国家设立“973 项目”以及“863 计划”支持 SiC 产业的发展。国内的 SiC 功率器件研究方面因为受到 SiC 单晶材料和外延设备的限制起步比较晚,但是却紧紧跟踪国外碳化硅器件的发展形势。中科院微电子所专注于器件设计,工艺开发方面,在器件结终端和器件击穿机理方面做了很多的工作。国内目前成立了一些生产衬底与外延的公司,如东莞天域、瀚天泰成。进行产品研究的公司有泰科天润、中国南车、国家电网等。现阶段国已经具备自主生长 SiC 外延的能力。天科合达已经实现了 2-4 英寸高质量 SiC 晶体的产业化生产,碳化硅产品的微管密度达到 10cm^{-2} 以下,最小达到 1cm^{-2} 。国内已经做出了击穿电压为 600~3300V 的 SiC 肖特基二极管的样品,例如中科院微电子所、中国电子科技集团 13 所和 55 所等。

1.2.2 PiN 二极管

相比于肖特基二极管, PiN 二极管的优点在于击穿电压高、反向漏电流小,因而在高压低频功率开关中得到广泛应用。在高工作频率下, PiN 二极管的长的反向恢复时间

导致反向恢复时能量损耗比较大，限制了其开关速度。

SiC PiN 二极管的击穿电压很高，开关速度很快，重量很轻，并且体积很小，它在 3KV 以上的整流器应用领域更加具有优势。目前国际上还没有 PiN 二极管的商业化产品出现，只是在各个公司有相应的研究成果。2001 年 Cree 公司研制出 19.5 KV 的台面 PiN 二极管^[14]，同一时期日本的 Sugawara 研究室也研究出了 12 KV 的台面 PiN 二极管^[13]。2005 年 Cree 公司报道了耐压 10 KV、压降 3.75 V、电流 50 A 的 SiC PiN 二极管，其 10KV/20A PiN 二极管系列的合格率已经达到 40%^[15]。2013 年京都大学报道了 20kV SiC PiN 器件,通过增加外延层厚度，改进晶体质量，采用空间调制 JTE 终端结构，耐压达到 21.7kV^[16]。如下图所示：

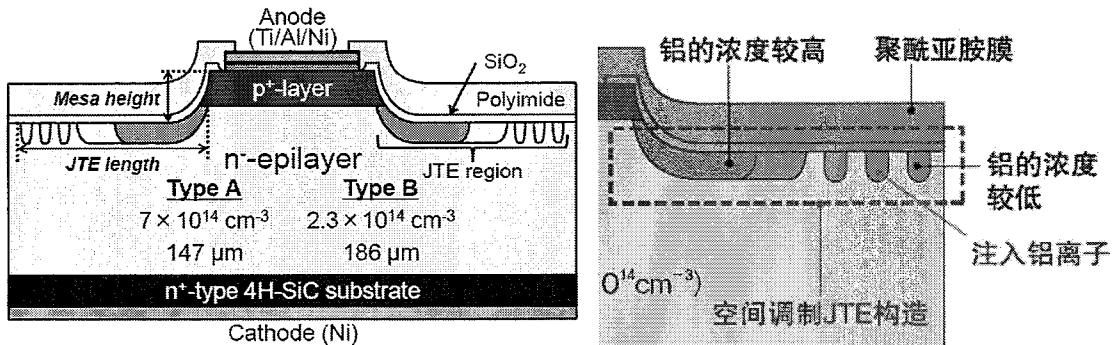


图 1.5 20KV 4H-SiC PiN 器件的整体设计结构(左)及结终端结构(右)

Baliga[6,7]提出了肖特基二极管-PiN 混合整流二极管(MPS)的思想。MPS 具有低的导通电压、大电流和大的反向耐压的特性。1987 年 Baliga 对 MPS 工作机理进行了分析，正向偏置时由于肖特基势垒较低首先导通，随着电压升高，N 结导通，开始向基区大量注入少子，引起电导调制效应，使得串联电阻降低，正向电流增大。施以反向偏压时，由于 PN 结的耗尽层相互交叠，形成高阻区，耐受方向高压。MPS 作为一种新型器件，它的研究主要在器件电学特性、结构、所选材料和器件的优化等方面。其中，由于 MPS 器件对正向欧姆接触的特殊要求，我们也会重点关注金属与注入 p+区的 p 型欧姆接触，同时关注其高温长期可靠性。

1.3 SiC 肖特基二极管研制的关键点及挑战

近几年来，SiC 肖特基二极管技术发展比较成熟，1.2kV 与 1.7kV 的肖特基二极管器件已经投放市场。然而，SiC 肖特基二极管器件在材料，器件，工艺及可靠性方面仍然面临一些问题与挑战。

1、SiC 材料方面

材料方面的问题之前集中在衬底与外延片的微管及缺陷方面。但是经过十几年的发展,碳化硅材料取得了很大进步,现在已经可以制作 6 英寸无微管衬底,预计在几年内投入市场。外延问题也得到解决,外延质量得到大幅度提高,可以进行高阻厚膜外延^[17]。目前主要采用 4H-SiC 衬底材料进行外延。虽然如此,碳化硅材料的衬底及外延层质量仍然不能满足商用化的需求,材料的质量与成熟的硅材料相比还是比较大的差距,并且价格昂贵。

2、器件设计方面

上面已经阐述过为了提高肖特基器件的正反向静态及开关特性,引入了 JBS 二极管。结势垒 SBD 的结构剖面图如下所示。对于这种设计,要想达到符合要求的耐压及压降情况,需要不断地设计 JBS 区域与结终端结构。其中,肖特基接触金属化及其条件,欧姆接触金属化及其条件,钝化层物质的选择,结终端结构的设计都是目前正在考虑的问题。因此,想要商用化,得到可靠性高的器件,器件的设计非常关键^[6, 7, 18]。

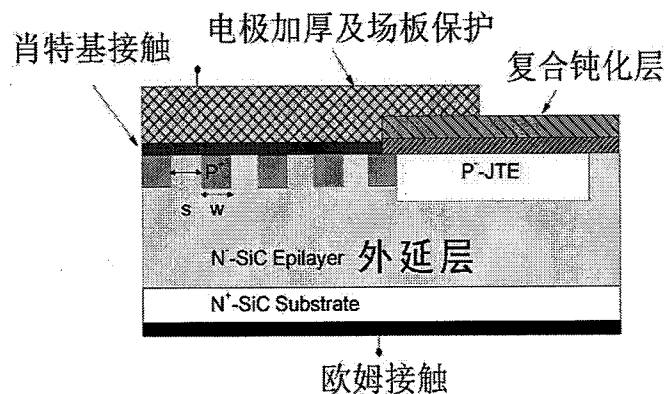


图 1.6 JBS 二极管的结构原理图

3、工艺制造方面

SiC 器件的制造工艺目前并不是很成熟,还有很多问题需要突破。其中最重要的是氧化,掺杂,刻蚀,金属化等方面。

(1) 氧化: SiC 可以像硅半导体那样通过简单的热氧化工艺,形成二氧化硅^[19]。碳化硅在热氧的过程中,有杂质再分布现象^[20]。而且碳化硅热氧过程中形成的 $\text{SiO}_2\text{-SiC}$ 系统界面处由于 C 元素的残留,存在严重的界面态,使载流子迁移率偏低。

(2) 掺杂: 一般杂质在碳化硅中的扩散系数非常低,因此对碳化硅不宜采用扩散掺杂,一般工程中采用离子注入对碳化硅掺杂^[21]。

(3) 刻蚀: 刻蚀对半导体加工至关重要,是半导体加工的重要方法,是制作结构图

形的一种重要手段。然而碳化硅化学性质非常稳定，需采用干法刻蚀对碳化硅刻蚀。而且在具体的 SBD 工艺开发中，湿法腐蚀的残胶去除也是我们需要考虑的。

(4) 金属化：其中包括肖特基接触与欧姆接触。肖特基接触的势垒不均匀性仍然是制约器件成品率的一个瓶颈，需要加强研究。对于 n 型半导体制作欧姆接触比较成熟，但需要进一步提高欧姆接触的稳定性。p 型欧姆接触的电阻率偏高，需要进一步降低比接触电阻率。同时 p 型欧姆接触的高温稳定性的获得比较困难，是我们要研究的一个重点^[22]。

4、可靠性方面

良好的可靠性能保证器件长时间稳定工作，对于减小器件成本很有帮助。尽管大部分可归咎于材料和器件工艺的不成熟，并能够通过长期的研究加以解决，另一些可能是使用这种材料所带来的根本性缺陷。目前，以 SiC 为基底电力电子功率器件研究方兴未艾。由于碳化硅器件禁带宽度大，电场承受能力强，热导性好，能耐高温且抗辐射等优势，因此碳化硅材料制备电力电子功率器件前景广阔，但是由于相关器件的可靠性并不稳定，研究并不成熟，碳化硅器件长期工作的可靠性一直是人们关注的重点。^[23, 24]

这里引用可靠性浴盆曲线来说明进行可靠性分析的重要性。如下图所示，失效率随使用时间变化分为三个阶段：早期失效期、偶然失效期和耗损失效期。第一阶段是早期失效期(Infant Mortality)：表明产品在开始使用时,失效率很高,但随着产品工作时间的增加,失效率迅速降低,这一阶段失效的原因大多是由于设计、原材料和制造过程中的缺陷造成的。本文的可靠性研究重点在早期失效情况，着重从材料、设计和工艺制造方面探讨器件的可靠性失效情况。

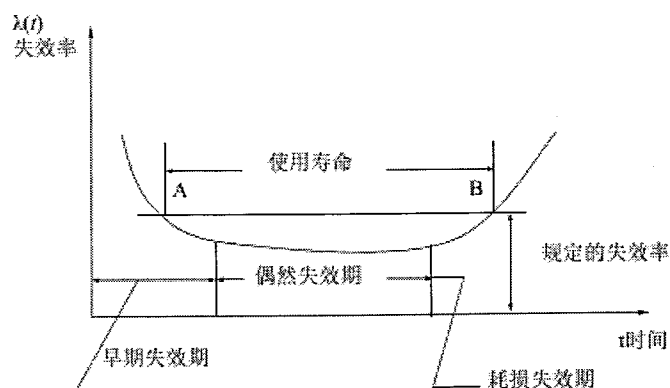


图 1.7 可靠性浴盆曲线示意图

对 SiC 基二极管器件的特性及失效问题总结如下：(1) 虽然 SiC 材料能耐超过 1000℃

的高温,但是实际的器件在高温下的稳定性并不是很好,目前的运行环境温度在 175℃ 附近^[25]; (2) 由于材料生长的不成熟,材料缺陷导致击穿电场的减小以及漏电流的增加^[26]; (3) SiC 基肖特基二极管在高温下漏电流增加明显^[27],这个现象明显的削弱了肖特基二极管的应用前景。

研究 SiC 器件的可靠性,通过各种可靠性试验进而分析引起失效的原因,可以分析器件的失效机理,从而将影响器件失效的欧姆接触,钝化,器件结构,材料参数缺陷与失配等因素综合起来,共同得到一个能满足不同需要,更高要求的器件性能,为 SiC 器件性能的提升打下一个良好的基础。因此,必须通过仿真与工艺试验,谨慎进行可靠性分析等措施不断提高认识与解决问题的方法,不断提高器件的可靠性。

1.4 论文安排

本论文主要涉及了 4H-SiC 肖特基二极管的器件设计、离子注入、肖特基接触与欧姆接触、详细的工艺制作及测试分析、以及器件失效分析等几个方面。本论文的各章内容如下:

第一章,主要阐述了碳化硅材料的发展以及碳化硅肖特基二极管的发展,介绍采用碳化硅材料在制作二极管器件方面的优势,并且从材料、工艺研制、器件设计及可靠性方面总结了二极管器件的发展瓶颈问题。

第二章对 4H-SiC 肖特基二极管的基本结构及原理特性做了详细阐述。对所要求的器件指标,我们从器件的有源区及结终端,提出了相应的设计方法。同时对于本文研究的器件失效问题,进行了器件性能与器件参数之间的相关性研究。

第三章对 4H-SiC 肖特基二极管的具体实现工艺进行了总结。首先介绍了整体的制造工艺流程,其中包括器件的版图设计。其次,对我们的主要工作进行了梳理,对关键工艺中离子注入、肖特基接触的制作、欧姆接触的制作三个方面进行介绍。其中我们主要关注的是不同的离子注入条件对肖特基特性的影响,肖特基的不均匀势垒现象,并且提出了使用 NO 处理来最大可能的减小不均匀势垒。最后我们重点关注 P 型欧姆接触,对电阻率表征,及欧姆接触的形成机理及高温可靠性进行了详细的研究与分析。

第四章对研制的 4H-SiC 肖特基二极管进行了测试及研究分析,同时对其中的失效器件进行了详细的可靠性失效分析。测试方面主要是对 600V 与 1700V 的 JBSs 裸片进行常温正向与反向特性分析,对 1700V 的封装器件进行了常温与高温静态及瞬态特性

测试与分析。最后对器件出现的可能危害器件成品率及寿命的因素进行了相关的实验及理论分析，对具体器件从材料、表面状态、肖特基势垒不均匀。漏电流机制四个方面进行了详细的失效分析。

第五章对本文进行了总结说明，并对进一步的研究做了展望。

第二章 SiC JBS 器件的工作原理及器件设计

功率二极管是功率半导体器件的重要组成部分，主要包括 PiN 二极管，肖特基势垒二极管(SBD)和结势垒控制肖特基二极管(JBS)。本章主要介绍肖特基势垒的形成及其主要电流输运机理，并详细介绍了结势垒控制肖特基二极管(JBS)的电学特性及其工作原理，为下面制造良好性能的 JBS 器件提供理论与方法指导。

2.1 器件结构及基本工作原理

2.1.1 金属-半导体肖特基接触

金属和 n 型 4H-SiC 半导体接触形成的肖特基势垒主要由以下 5 部分组成：(1) 金属与半导体材料的功函数之差；(2) 界面态对肖特基势垒高度的影响；(3) 在金属与半导体交界面处约 10 Å 厚度中的电荷所导致的肖特基势垒高度的变化；(4) n 型 4H-SiC 半导体中的电场造成的肖特基势垒的降低；(5) 镜像力所引起的肖特基势垒高度的降低 [28, 29]。

下面我们看一下肖特基势垒中载流子的输运机制。金属与半导体接触时，载流子流经肖特基势垒形成的电流主要有四种输运途径本文以加正向偏置电压的 n 型 4H-SiC 半导体与金属接触为例进行研究，如图 2.1 所示。这四种输运方式为^[30]：(a)从半导体边越过势垒进入金属中的电子发射过程；(b)直接穿过势垒的量子机制隧穿过程；(c)空间电荷区的载流子复合过程；(d)中性区的复合过程（空穴注入过程）。

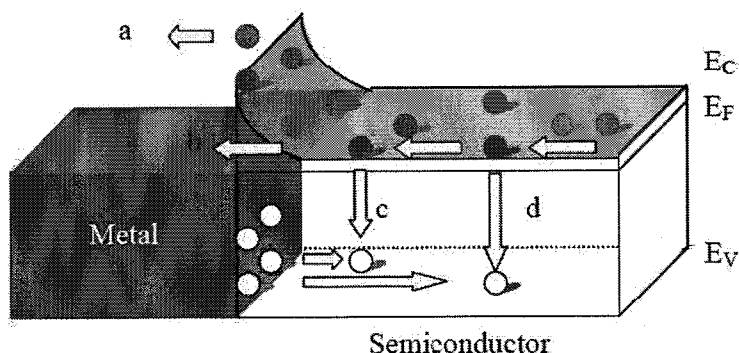
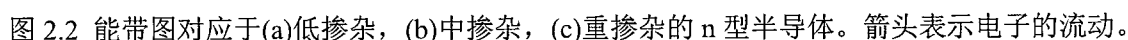


图 2.1 正向偏置下肖特基势垒中的电流传输过程

对于低掺杂的半导体电流输运机制主要是热发射机制(TE)^[31]，如图 2.2(a)所示，电子热吸引越过势垒。对中掺杂半导体，主要是热场发射机制(TFE)^[32]起作用，如图 2.2(b)



在介绍 4H-SiC JBS 之前,有必要先对比介绍一下 SBD 与 JBS 器件的基本结构。SiC 肖特基二极管器件的工作原理与传统 Si 肖特基器件相仿,均为单一载流子晶体管,因此结构上也有类似之处。图 2.3 中对比了 SBD 与 JBS 器件结构:



1) N^+ 衬底层, 厚度一般为几十到几百 μm 不等, 掺杂浓度达到 $1 \times 10^{19} \text{cm}^{-3}$ 以上量级, 电阻较小, 这样背面形成阴极时, 也较易实现欧姆接触;

2) N⁺漂移层，厚度为十几到上百 μm 不等，掺杂一般为 $1 \times 10^{15} \text{ cm}^{-3}$ 到 $1 \times 10^{16} \text{ cm}^{-3}$ 之间量级，厚度及掺杂的选择具体由器件耐压设计决定。

3) P^+ 注入源区, 一般高浓度注入掺杂至 $1 \times 10^{18} - 1 \times 10^{19} \text{ cm}^{-3}$ 量级, 深度为 $0.5 \mu\text{m}$ 左右, 其主要作用为与阳极金属形成欧姆接触, 与 N-漂移层形成 PN 结, 加电后形成耗尽层, 屏蔽电场, 减小漏电流, 提高耐压;

4) 表面钝化层, 一般由热氧化或者 PECVD、LPCVD 等方式形成, 厚度一般为 $50 \sim 1000 \text{ nm}$ 不等, 钝化层的质量直接决定了 SiC/SiO₂ 界面态密度的状况, 进而影响器件耐压;

5) 阴极电极, 一般由 Ni 金属体系形成, 与 SiC 材料形成良好欧姆接触, 在实际研究中, 合理的金属体系(金属材料选取, 各个金属组分及厚度的选择)至关重要。为形成良好的欧姆接触, 一般需要进行高温退火, 有关这一部分内容, 第三章将做一详细讨论。

6) 阳极电极, 一般为 Ti 金属体系淀积形成。与 SiC 材料形成良好肖特基接触, 在实际研究中, 合理的金属体系(金属材料选取, 各个金属组分及厚度的选择)至关重要, 为形成良好的肖特基接触, 一般需要进行高温或中温退火。

2.1.2.1 正向导通特性

众所周知, 设计和优化 4H-SiC JBS 二极管的电学特性首先要掌握影响其特性的主要器件机制。衡量肖特基二极管性能优异的指标有正向导通压降、反向击穿电压、反向漏电流和功率损耗等。在实际的生产应用中, 由于对反向阻断能力或正向开关特性的侧重点不同, 所以在选择器件设计参数时应考虑实际需求。由于器件的正向导通特性和反向阻断特性存在矛盾关系, 改变一个参数可能同时影响器件的几种不同的性能, 所以理解影响器件性能的物理机制是至关重要的。下面我们就来详细的介绍 4H-SiC JBS 器件的工作原理。我们先从正向特性方面就行阐述。

JBS 正向压降可以表示为肖特基势垒电压和漂移区电阻、衬底电阻、背面欧姆接触电阻上的电压降之和[34, 35]。如下式所示:

$$V_F = V_{SB} + I_F (R_{dr} + R_{sub} + R_{ohmic}) \quad (2-1)$$

其中, I_F 为正向电流, R_{dr} 为漂移区电阻、 R_{sub} 为衬底电阻、 R_{ohmic} 为背面欧姆接触电阻。对于具有低阻衬底、良好阴极欧姆接触的 4H-SiC SBD, 正向压降表达式中漂移区电阻占主要部分, 因此, 优化漂移区电阻是得到较低的正向压降的关键。

然而, 随着温度的升高, 半导体材料的迁移率退化, 4H-SiC JBS 的特征导通电阻

发生变化导致器件的正向电流密度也随着变化。

在 JBS 器件的正向导通时，单极电流从 p+n 结中的沟道中流过。因此，在正常的运行状态($100\text{A}/\text{cm}^2$)下，肖特基电流控制与正向电流分析都是基于肖特基结的热电子发射理论^[36]。通过肖特基势垒的电流密度如下式^[37]：

$$J_{FS} = \frac{A_{total}}{A_{schottky}} J_F \quad (2-2)$$

其中， J_F 是通过金属接触的整个电流密度。对于一个条纹状的 p+区设计，上式可以调整为空间距 s 与宽度 w 的函数：

$$J_{FS} = \frac{s+w}{s-2d} J_F \quad (2-3)$$

其中 w 是 p+区的宽度， s 是它们之间的空间距。 d 是 p+区耗尽层宽度，计算公式如方程 2-3 所示，由于内建电势 V_{bi} 被认为是正向压降约等于 2.8V 。在此式中压降 V_{ch} 是沟道底部的电势。对于典型的漂移层浓度 $3 \times 10^{15}\text{cm}^{-3}$ 时，耗尽层宽度 $d=0.8\mu\text{m}$ 。

$$d = \sqrt{\frac{2\epsilon_s}{qN_d}(V_{bi} - V_{ch})} \quad (2-4)$$

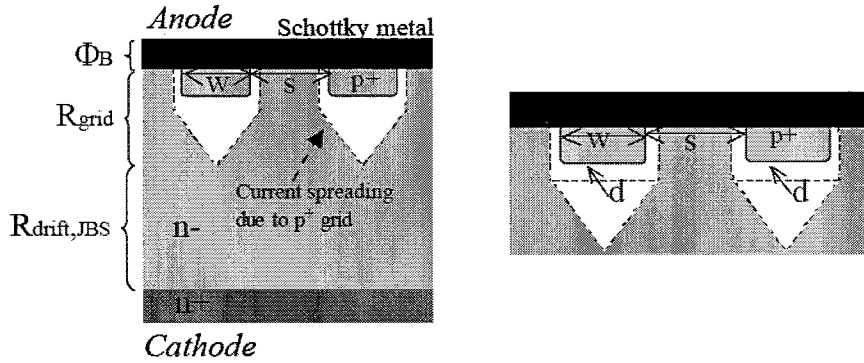


图 2.4 (左)展示在整个正向压降中 JBS 部分的贡献。(右)展示由于 p+区而导致的耗尽层和电流流动的 JBS 上部。

如果在通道内考虑一个 45° 的电流流动，JBS 漂移电阻能被写成如式 2-5 所示。平行于 C 轴的电子迁移率比垂直的更高 20% ^[38]。

$$R_{drift,JBS} = \frac{(t_{epi} - x_j - w/2)}{q\mu_n N_d} \quad (2-5)$$

其中 t_{epi} 是整个外延层厚度， x_j 是 p+层注入深度。通过沟道与电流流动的电阻 R_{grid} 如下：

$$R_{grid} = \left(\frac{x_j + w/2}{q\mu_n N_D} \right) \left(\frac{s+w}{s+2d} \right) \ln \left(\frac{s+w}{s-2d} \right) \quad (2-6)$$

JBS 的整个开启电阻是 R_{grid} 和 $R_{drift,JBS}$ 之和。

$$R_{on,JBS} = R_{grid} + R_{drift,JBS} \quad (2-7)$$

现在, JBS 器件的电压降可以被写成:

$$V_{F,JBS} = \frac{nkT}{q} \ln \left(\frac{(s+w)}{(s-2d)} \frac{J_F}{A^{**}T^2} \right) + n\Phi_B + R_{on,JBS} J_F \quad (2-8)$$

2.1.2.2 反向阻断特性

(1) JBS 的反向电压

4H-SiC JBS 的反向耐压能力取决于半导体材料的临界击穿电场、边缘终端结构、外延层的厚度和掺杂浓度。雪崩击穿下的最优外延层的厚度和掺杂浓度可由反向耐压能力来取决。外延层的掺杂浓度是能承担给定的反向击穿电压下的最大掺杂浓度。外延层掺杂浓度的表达式如下^[7]:

$$N_D = 2 \times 10^{18} V_B^{-4/3} (cm^{-3}) \quad (2-9)$$

式中, N_D , V_B 分别表示为 N 型 4H-SiC SBD 的外延层的掺杂浓度和反向击穿电压。反向击穿电压下耗尽层的厚度即为外延层的最小厚度, 表达式如下所示:

$$t_{epi} = 2.67 \times 10^{10} N_D^{-7/8} (cm) \quad (2-10)$$

(2) JBS 的漏电流机制

针对 JBS 器件, 考虑到热发射效应, 势垒降低效应, 隧穿效应, 结合下面给出的 JBS 反向电压下的图, 给出器件的漏电流方程为^[6,7]:

$$I_L = \left(\frac{d}{p} \right) S \cdot A^{**} T^2 \exp \left(-\frac{q\Phi_B}{kT} \right) \exp \left(\frac{q\alpha\Delta\Phi_{BJBS}}{kT} \right) \exp \left(C_T E_{JBS}^2 \right) \quad (2-11)$$

其中, d 为环间距, p 为一个单元胞的总宽度, S 为总有源区面积, A^{**} 为理查逊常数, T 是绝对温度, 为肖特基势垒高度, α 为评价计算临近 PN 结的最小的势垒降低值的一个定值(不同的值能得到不同的势垒降低值, 进而得到的漏电流大小也是不同的。在 JBS 器件中, α 的值一般小于 1), $\Delta\Phi_{BJBS}$ 为肖特基势垒降低的高度。 C_T 为隧穿因子, C_T 相对于 4H-SiC 来说等于 $8 \times 10^{-13} cm^2 V^{-2}$ 。 E_{JBS} 为金属半导体界面电场。

其中，考虑到镜像力势垒降低效应，如下式所示：

$$\Delta\Phi_{b/JBS} = \sqrt{\frac{qE_{JBS}}{4\pi\epsilon_s}} \quad (2-12)$$

其中金属半导体界面电场为

$$E_{JBS} = \sqrt{\frac{2qN_D(\beta V_P + V_{bi})}{\epsilon_s}} \quad (2-13)$$

其中， β 为用来评价电场穿通后的增强因子。 V_{bi} 为内建电势， V_P 为穿通电压，如下式所示：

$$V_P = \frac{qN_D}{2\epsilon_s}(p-s)^2 - V_{bi} \quad (2-14)$$

其中 s 为 P+区宽度， p 为 cell 的横向距离， $p = s + d + W_D$ ， W_D 为耗尽层宽度。从上式可以看出，穿通电压与肖特基区下 p+块的空间距 s （沟道宽度）有关。在下图中给出它们之间的关系：

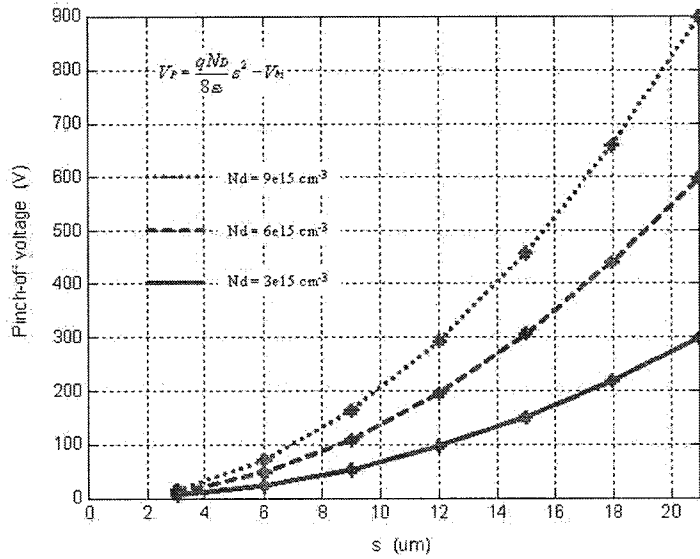


图 2.5 计算得出的穿通电压与肖特基沟道宽度 s 的关系

当然，电场到被减小的程度不仅仅跟肖特基 p+间距 s 有关，它也依赖于沟道内的掺杂浓度，掺杂轮廓及 p+区的注入深度。

排除其他因素影响，隧穿电流为

$$J_{tunnel} = f(E, \Phi_B) \propto E^2 \exp\left(\frac{-8\pi\sqrt{2m^*}\Phi_B^{3/2}}{3hqE}\right) \quad (2-15)$$

因此, 隧穿电流的大小跟金属半导体界面电场及势垒高度有关。通过使用 JBS 结构, 由于肖特基接触处的电场减小, 跟漏电流密切相关的肖特基势垒降低与隧穿电流减小。

对于 SiC 肖特基二极管, 因为 SiC 材料的临界击穿电场很高, 故此类二极管多用于高压应用, 此时在导通电阻几个分量中的漂移区电阻起主要作用, 其它的电阻分量可忽略不计, 因此肖特基势垒可以做得更高, 以削弱势垒降低效应的影响, 减小反向漏电流。

在低压阶段, 随着温度的增高, 漏电流也稍微增大, 这也证明了在低压时, 热载流子发射机制起主要作用。当反向偏压很高时, 不同温度下的漏电流则趋向于同一化, 且漏电流随着反向偏压的增高而迅速增大, 此时尽管势垒降低效应也还在起作用, 但利用公式计算出来的漏电流, 其值明显小于漏电流的量级, 这也表明了 in 高压阶段, 热载流子发射机制已不再起主导作用。那么唯一的解释就是此时的漏电流主要是隧穿电流, 即隧穿机制起主导作用。

由于受到势垒降低效应和隧穿机制的影响, 肖特基二极管具有非常高的反向漏电流, 这一缺陷限制了其在超高压方面的应用。

2.1.2.3 动态开关特性

对于功率整流器而言, 很大的一部分功率损耗产生于二极管从正向导通切换至反向阻断状态的过程中, 这就需要二极管能够在两个状态之间迅速切换以减小功率损耗。肖特基二极管是单极型器件, 具有极快的反向恢复速度。而对于 JBS 二极管而言, 由于 PN 结的存在, 在正向导通状态下, 漂移层中积累大量的少数载流子, 要使得二极管从正向状态变为反向状态, 这部分载流子需要被消耗掉, 才能使 PN 结上的偏置状态转为反偏, 这个过程即为反向恢复过程。由于本论文研究的主要是 JBS 器件, 因此我们就从 JBS 器件的反向恢复特性方面来考察 JBS 器件的动态开关特性。

由于 JBS 器件跟 PIN 器件不同, JBS 器件本质上还是肖特基二极管, 其中的存储电荷大约还不到 PIN 中存储电荷的一半^[39]。而且, 对于 JBS 而言, 正向导通时, 肖特基区域下方的载流子浓度为零, 而 PN 结处的载流子浓度也几乎为零。因此, 当 J_F 过零点后, 器件能够迅速承受反向偏压, 因而二极管两端的电压迅速变为反向偏压值 V_R 。当 JBS 二极管反向电压值与外加反向偏压相同时, 流经二极管的反向电流密度达到最大值, 即反向恢复峰值电流密度(J_{RM})。

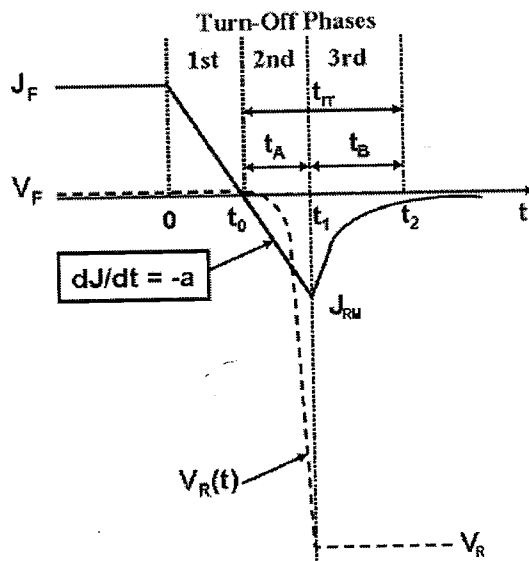


图 2.6 JBS 二极管的反向恢复过程

结合 JBS 二极管电流及两端电压的变化,可以绘制如图 2.6 所示的 JBS 二极管的反向恢复过程,该过程可以分为三个阶段,分别为:第一阶段 ($0 \sim t_0$): JBS 二极管中的电流密度由正向开启状态下的 J_F 减小到 t_0 时刻的 0,此时 V_F 保持不变;第二阶段 ($t_0 \sim t_1$): JBS 二极管开始承受反向增长的电压,反向电流密度增大,并在 t_1 时刻达到最大值;第四阶段 ($t_1 \sim t_2$): 反向电流迅速减小,此时 JBS 上的电压维持不变。

2.2 器件设计

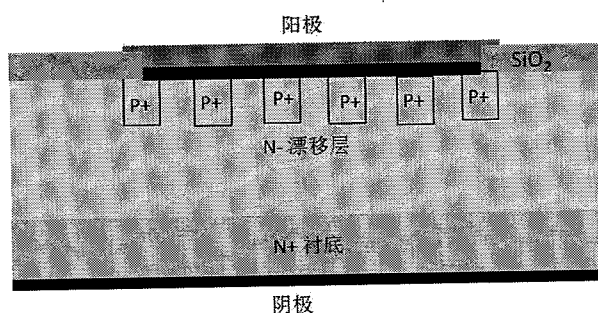


图 2.7 4H-SiC JBS 器件的简单结构

4H-SiC 结势垒肖特基二极管的结构如图 2.7 所示,在普通的 4H-SiC 肖特基二极管的漂移区集成多个网状的 PN 结栅,4H-SiC JBS 的工作原理如下^[40,41,42]:

1、加正向偏置电压时,由于肖特基势垒低,肖特基二极管首先导通,随着反向偏置电压的增大,PN 结二极管导通,有源区的少数载流子注入到漂移区,产生的电导调制效应进一步降低了 4H-SiC JBS 器件的正向导通压降。在较小的正向偏置电压下,其

正向导通特性类似于肖特基二极管的正向导通特性，只是由于 P+区的存在，正向电流密度会减小。

2、加反向偏置电压时，PN 结形成的耗尽区向沟道区扩展，当反向偏置电压达到某一个电压值时，肖特基势垒下的耗尽层就会相连在一起。当耗尽层交叠以后，导电沟道被夹断，就会在沟道区形成一个势垒，耗尽层随着反向偏置电压的增加而向沟道下方扩展，所增加的反向电压将会由耗尽层来支撑。这个势垒把肖特基势垒屏蔽在高电场之外，有效地抑制了肖特基势垒降低效应，使反向漏电流大幅度减小，这和普通的肖特基二极管明显不同。穿通条件一旦建立，除了由于空间电荷区产生而引起的反向漏电流微小增加外，反向漏电流的大小基本保持不变。

3、4H-SiC JBS 器件在较大的正向偏置电压下，PN 结二极管导通，PN 结的少数载流子注入到漂移区，产生的电导调制效应提高了器件的复合率和注入比，此时 P+区贮存的载流子浓度减小降低了 4H-SiC JBS 器件的反向恢复电流和缩短了反向恢复时间。

了解了上面 JBS 器件的具体工作原理之后，对于制作的器件的耐压范围在 600-1700V 来说，器件设计还是非常重要的。下面的小节就是设计出符合耐压与电流要求的器件的具体方法。因此，其中最重要的设计参数包括漂移电阻（外延掺杂，厚度），肖特基接触特性（势垒高度，电流理想因子），和 JBS 器件的 p+区参数。当然，这些参数会随着温度的改变而改变也是要考虑的。

2.2.1 导通电阻设计

之前我们关注的器件都是非穿通型的器件，然而，使用所谓的穿通型设计是有很大优势的^[43]。这样，器件在结击穿发生之前，耗尽层已经达到高掺杂的衬底区。漂移层相对较薄，电阻较小。

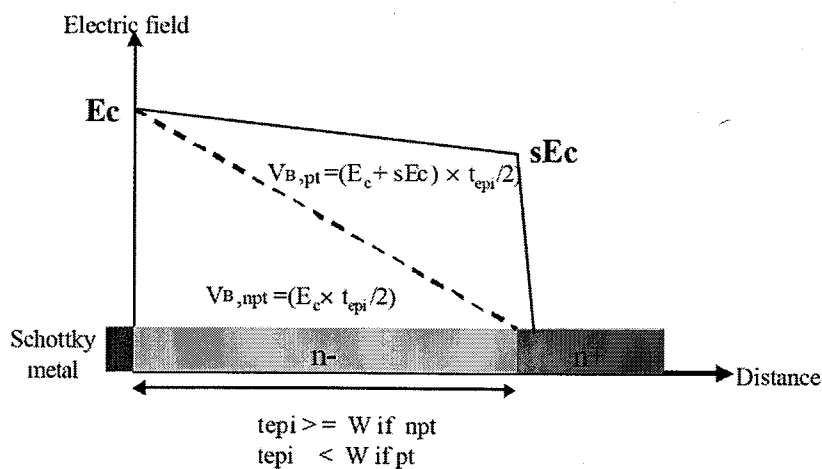


图 2.8 一个肖特基二极管的穿通与非穿通设计。外延层的掺杂是不一样的对于这两种情况。

穿通因子 S_{pt} 被定义为在衬底处与在结处的电场的比值。如下式：

$$S_{pt} = \frac{E_{c,n-/n+}}{E_{c,scr/n-}} \quad \text{当 } W > t_{epi} \quad (2-16)$$

其中 W 是非穿通情况下外延层厚度。

对于穿通设计，击穿电压与漂移层的关系为：

$$V_{B,pt} = \frac{(E_c + S_{pt} E_c) \cdot t_{epi}}{2} \quad (2-17)$$

穿通设计的一个最大好处就是，它减小了在同等耐压下的漂移层的厚度。因此，在这个基础上优化掺杂与厚度，漂移电阻就会大大减小。另外，在同样的漂移电阻情况下，穿通设计的掺杂浓度可以适量减小。这样，击穿电压就跟掺杂浓度关系不大。通常情况下，穿通设计有薄的外延层厚度与低的掺杂浓度。

2.2.2 击穿特性设计

2.2.2.1 有源区设计

从上面章节我们知道，采用 JTE 结构的 JBS 器件之后，器件有源区的面积由于加入了 $p+$ 注入区而导致有效面积减小。这势必会影响正向电流密度，使之下降。我们可以通过调节 PiN 和 SBD 器件的面积比来调整性能^[44]，可增大 SBD 或 PiN 部分的面积来侧重正向或反向特性；外延层浓度及厚度由器件的耐压和导通电阻等来决定，较大的厚度及电阻率能提高器件的击穿电压，但会引起器件的导通电阻的增大；相比于 SBD，在 JBS 器件中可以灵活地选择肖特基接触金属，因此可通过调节 PiN 和 SBD 的几何尺寸来折中正向压降和反向漏电流；PN 结深度加深有利于降低表面电场，但形成较大结深的高能离子注入将对器件表面形成较大的损伤，从而会提高对制作工艺的要求；较小的注入剂量可以降低晶格损伤，但为了使耗尽层主要在 N-区，需要提高掺杂浓度。

因此从上可知，在外延层厚度与掺杂一定的情况下，有源区的设计包括以下两方面：

(1) 注入区宽度 W 与肖特基区域即 $p+$ 空间距 S ；(2) $p+$ 注入深度 D 。对于第一方面，我们需要关注的是在什么情况下 JBS 器件的正向特性曲线能与无 JTE 区域的 SBD 相仿，这样正向电特性就无差别。

根据我们的参考文献显示^[44,45,46,47]，主结即有源区部分的结构呈现如下规律：图

2.9(a)显示的是肖特基区域 S 与 p+区宽度对正向压降的影响；图 2.9(b)显示的是肖特基区域 S 与 p+区宽度对反向漏电流的影响。

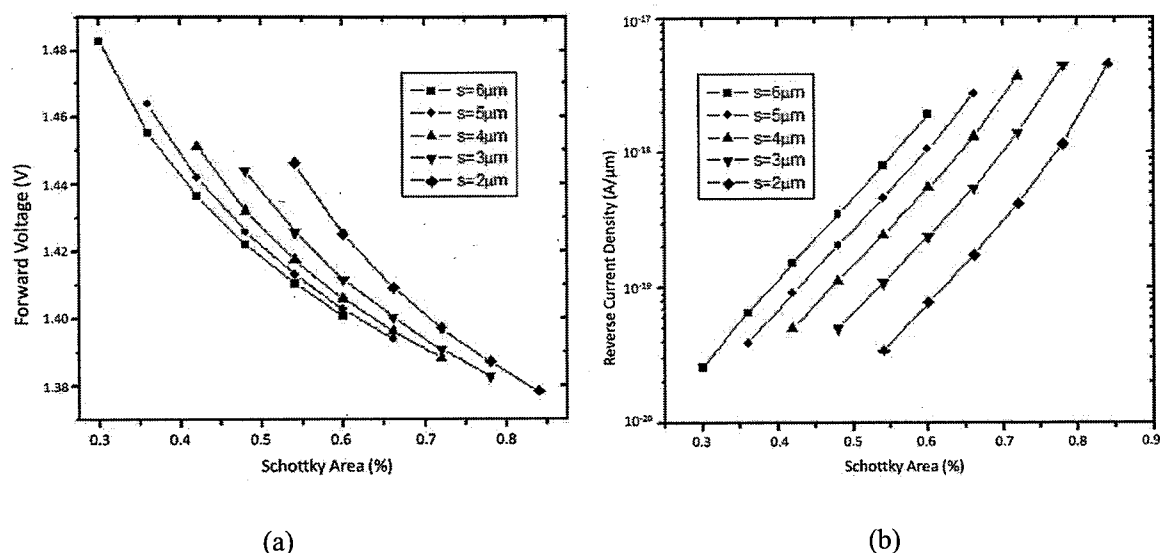


图 2.9 肖特基区域 S 与 p+区宽度对正向压降(a)及反向漏电流(b)的影响

从图 2.9 可以看出，在 p+区宽度不变时，随着肖特基区域所占面积比的增加，肖特基区域的宽度也增加，正向压降减小。而当肖特基区域所占面积比一定，随 p+区宽度的减小，肖特基区域的宽度也减小，正向压降升高。从图 2.10 可以看出，在 p+区宽度不变时，随着肖特基区域所占面积比的增加，肖特基区域的宽度也增加，反向漏电流增大。而当肖特基区域所占面积比一定，随 p+区宽度的减小，肖特基区域的宽度也减小，反向漏电流减小。

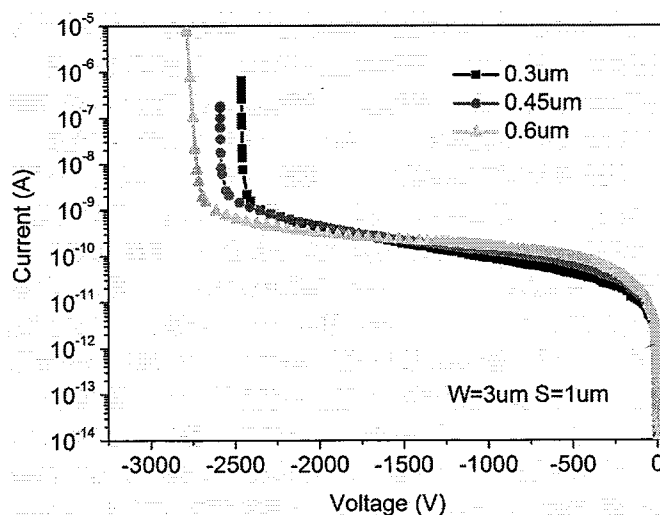


图 2.10 p+注入深度 D 与反向击穿特性的影响

上图显示的是 p+注入深度 D 与反向击穿特性的影响。从中可以看出，随着注入结

深的逐渐增加，击穿电压也随之增加。

2.2.2.2 结终端设计

功率器件设计中，常常引入所谓结终端结构，提高器件击穿特性。常见的结终端结构主要由：场板 FP (Field Plate)，场限环 FLR (Field Limiting Rings)、JTE (Junction Termination Extension) 等^[6,7]，有时候这几种结构也会结合使用，达到器件耐压要求。其中 JTE 结构和 FLRs 都是通过注入掺杂实现，一般为在 N 型外延层上注入 Al 得到 P 型注入区，当器件反偏时，内部形成 PN 结，扩展形成保护区，同时注入的 P 型通过电荷调制效应，对电场进行调制。

一般而言，JTE 结构具有调制电场明显的优势，通过掺杂，JTE 区域可以有效调制器件电场分布，其作用效果一般为：首先将器件集中在表面的电场调整至器件材料内部，避免表面薄弱环节提前击穿，接着，将器件内部集中在电极或边角的电场，调整至器件外围，电场扩展，直至均匀，从而达到器件耐压设计目标。JTE 结构明显的缺点是其对掺杂浓度的敏感性，图 2.11 中利用 Silvaco 仿真方法得到 4H-SiC SBD 器件中，引入 JTE 结构后，器件击穿电压随 JTE 掺杂浓度的变化，可发现，对不同 JTE 宽度，都存在一定的最佳浓度，超过这一最佳浓度后，会引起击穿电压剧烈下降，这对器件设计和制备工艺提出了苛刻的要求，而在实际器件制备中，不一定能够精确控制 JTE 的浓度。为解决这一问题，双区 JTE、刻蚀 JTE 结构被引入，能够在一定程度上减缓 JTE 的浓度敏感性^[7]。

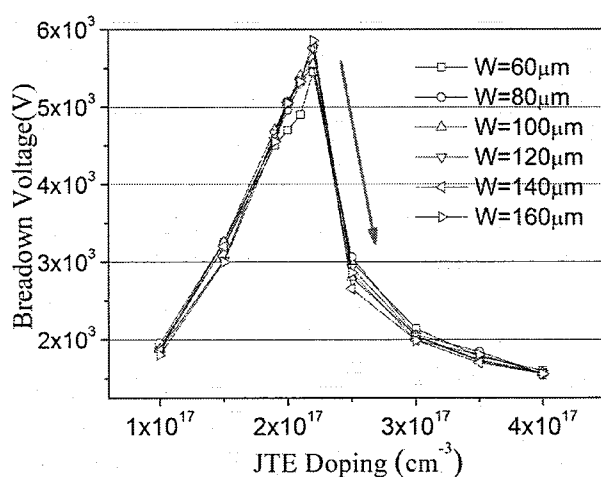


图 2.11 JTE 终端保护结构的掺杂浓度敏感性

场限环结构 (FLRs) 的作用机理与 JTE 结构类似，同样依赖额外注入 P 区形成电场调制区，进而提升器件耐压特性。其优势为注入浓度对其影响不像 JTE 结构那样剧

烈,因此对离子注入及退火激活要求相对较低。但其对各个场限环的位置因素较为敏感,因此对其宽度、间距的设计工作提出了挑战。因此我们的设计重点就在环宽,环间距,结深,掺杂浓度,环的个数等方面进行设计分析,以期达到最好的击穿效果。下图为掺杂浓度为 $N_a=5 \times 10^{17} \text{cm}^{-3}$, 结深为 $0.6 \mu\text{m}$ 下,环个数对击穿特性的 Silvaco 仿真结果。可以看出,当环数达到一定数量后,击穿电压不再上升。由于技术限制,工艺复杂性等问题,本文采用 FLRs 终端保护结构,第四章将给出说明。

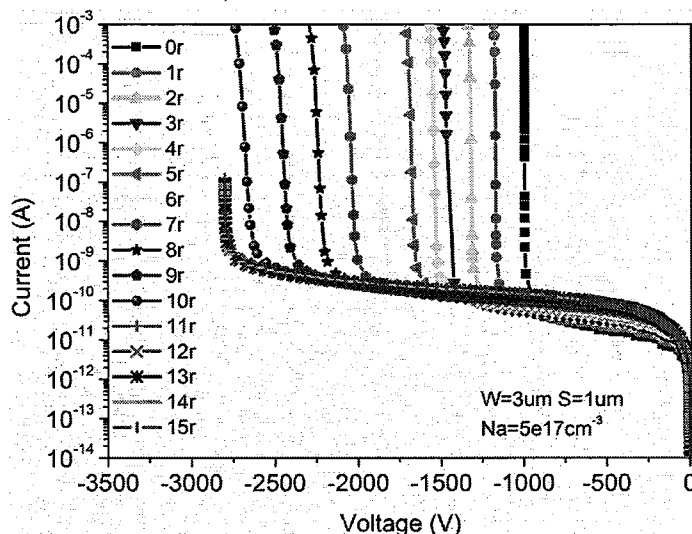


图 2.12 环个数对击穿特性的影响

2.3 SiC 二极管器件的可靠性

研究 SiC 器件的可靠性,通过各种可靠性试验进而分析引起失效的原因,可以分析器件的失效机理,从而将影响器件失效的欧姆接触,钝化,器件结构,材料参数缺陷与失配等因素综合起来,共同得到一个能满足不同需要,更高要求的器件性能,为 SiC 器件性能的提升打下一个良好的基础。因此,我们必须设计结构,通过仿真与工艺试验,谨慎进行可靠性分析等措施不断提高我们认识与解决问题的方法,不断进步提高。

在这里由于主要研究早期失效,对器件的可靠性试验关注不多,因此对器件初期的电学性能与稳定性提出较高要求。其中,肖特基势垒的一致性,电场的均衡分布,金属化接触(包括肖特基接触与欧姆接触)等都是我们要关注的可靠性实际问题。下面简单的介绍几个方面的防止器件失效,减小可靠性问题的方法与手段。

1、拣选缺陷少的 SiC 衬底及外延材料^[6,7]。从国内的生产情况来看,外延材料的低缺陷已经能够达到,但是符合我们要求的很低缺陷度,外延掺杂厚度匹配度很好的材料

还是比较难以达到。另外就是提高离子注入与高温激活对材料性能的影响。通过实际实验，加以适当的表面粗糙度控制方法，如 C 膜保护，选择好的注入工艺与退火条件进行试验是目前提高方法。

2、细心的工艺操作是研制性能良好、可靠性强的器件的保证。在工艺操作过程中，尽量保持无尘环境，避免杂质粒子的侵入及有害离子的沾污。特别是热氧化与 PECVD 过程，不能引入钠离子等有害离子。在进行任何金属沉积过程前，一定要保证芯片表面绝对干净，避免芯片表面氧化或者杂质簇的聚集，影响金半接触的粘附性及接触特性，进而影响器件的正向与反向电学特性，造成器件失效。

3、选择恰当的肖特基及欧姆金属，适当的退火条件。目前使用的肖特基金属时 Ni 和 Ti 金属体系，两种体系都有自己的使用好处。我们目前采用 Ti 金属体系，采用 500℃ 的温度退火，能够获得良好的肖特基势垒高度，对正向与反向特性都有益处，是我们应对提高可靠性的方法。对于欧姆接触，使用的金属基本是 Ni 金属体系，再辅以其他能够提高接触可靠性的方法。不管我们使用什么金属，我们要关注的是是否利于正向与反向特性的折中，是否有利于可靠性的提高。

4、采用聚酰亚胺表面钝化工艺，可以提高器件的耐压，同时提高器件可靠性与稳定性。聚酰亚胺是一种新型耐高温钝化材料，涂覆在 SiC 器件表面上形成的薄膜带有负电荷，可以削弱表面电势，此外聚酰亚胺还具有物理和化学性能稳定，耐辐射、电绝缘性好、韧性强、工艺简单、成本低、适合于批量生产等特点。这样，能够改善小电流击穿特性，防止后面工艺引起的沾污，提高器件的稳定性。

2.4 器件性能与结构设计的相关性研究

上面几节从器件结构参数与器件性能的关系，公式相关性方面对器件的设计，可靠性方面进行了详细的阐述。器件的结构，状态等参数对器件的电学性能，可靠性有着非常重要的影响。这里就对上面内容进行总结，对器件性能与设计的相关性进行分析研究。

根据上面几节内容提炼出器件参数与器件性能之间的影响程度关系，提炼出这些参数变化是否影响器件的相关性能。其中“+”表示影响，“-”表示不影响，数量表示影响程度。列表如下：

表 2.1 器件参数与器件性能之间的影响程度关系

器件参数	正向导通特性	反向击穿特性	动态特性	可靠性
p+区宽度与间距	+++	+++	+	++
p+区掺杂与结深	+	++	+	+
外延层浓度与掺杂	+++	+++	+	+
结终端	-	+++	-	++
表面状态	+	++	+	+++
表面钝化	-	++	-	++
器件有源区面积	++	++	+	++

以上是对器件的静态，动态特性进行的相关性对比分析。我们知道，对于器件的可靠性来说，要保证器件能够正常工作足够时间，器件早期的性能及稳定性至关重要。本章内容重点从器件设计的角度来研究器件参数对器件可靠性的重要影响。下两章就从关键工艺方面对器件的可靠性进行研究。

2.5 本章总结

本章首先介绍了肖特基接触理论，接着给出具体的 JBSs 器件的结构及其简单工作原理。在此基础上，对 JBSs 器件的正向特性，反向特性及动态开关进行了原理性分析。对于 4H-SiC JBS 器件的反向漏电流机制给出了详细分析，认为热发射、镜像势垒降低、隧穿效应等共同作用下，最终导致漏电流的升高。对于器件可靠性问题，详细分析了可能导致器件可靠性失效的具体问题，并针对这些问题提出了具体的可靠性提高方法。

同时对器件性能与结构设计的相关性进行了总结分析。正反向静态特性，开关特性，可靠性与器件漂移层厚度及掺杂、P+区域深度及掺杂、P+区的宽度与肖特基区域的 JBS 有源区设计、终端结构设计、表面状态与钝化等都有很大关系。

第三章 SiC 二极管的关键工艺及可靠性研究

3.1 器件制造工艺流程

4H-SiC JBS 器件制备流程主要有离子注入、激活退火、欧姆接触形成、硅化物钝化保护、肖特基接触形成, Al 金属加厚、聚酰亚胺钝化等步骤。本论文主要针对 600~1700V SiC JBSs 器件制备流程, 定义出 5 层光刻版, 具体的定义及作用见表 3.1。根据这些版层设计的器件的整体效果图如图 3.1。

表 3.1 4H-SiC JBSs 器件制备版层定义

NO.	版层名称	版层作用	透光性
1	Mark	标记及隔离刻蚀	透光
2	P+	形成 P+注入掩膜图形	透光
3	Open Window	形成器件钝化区域并作为隔离	透光
4	PI	形成 N ⁺ 注入掩膜图形	透光
5	Schottky	定义有源区接触窗口及金属加厚	透光

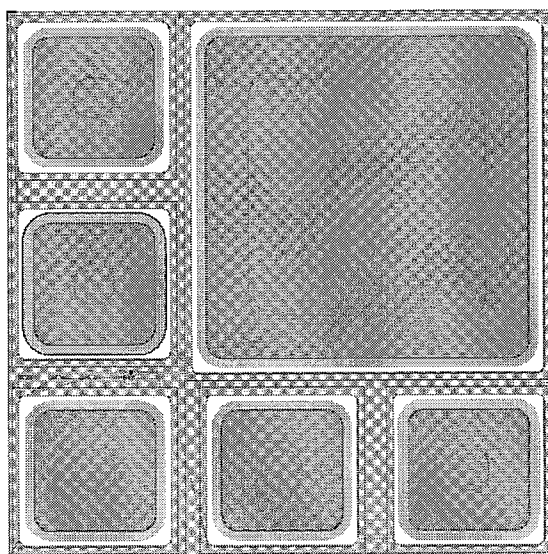


图 3.1 各掩模版的整体效果图

定义光刻版层后, 接下来对 4H-SiC JBSs 器件制备流程给出详细讨论。4H-SiC JBSs 器件制备简化流程见图 3.2。



图 3.2 4H-SiC JBSs 器件制备简化流程

4H-SiC JBSs 器件制备流程主要有以下步骤:

步骤 1, 标记刻蚀。

选择合适的 4H-SiC 外延片, 主要参数为漂移层厚度及掺杂水平。RCA 清洗后备用。

使用 Mark 版进行刻蚀, 做出光刻对准标记;

步骤 2, 进行 Al 离子注入并在进行激活退火。

2a. 对 SiC 外延片进行 RCA 清洗后, 生长 100nm SiO_2 层作为注入掩蔽层, 使用 P+ 版光刻得到主结、场限环注入图形, 500℃ 下 Al 离子注入, 注入后对掩蔽层进行腐蚀去

除;

2d. 采用 RCA 清洗对碳化硅表面进行标准清洗, 烘干后做碳膜保护, 在 $1500\sim 1800^{\circ}\text{C}$ 的温度范围内, 氩气环境中进行 $10\sim 30\text{min}$ 的 Al 离子激活退火, 形成 P^{+} 区分布, 然后去除碳膜保护层;

步骤 3, 正背 SiO_2 层钝化层生长与面欧姆接触形成。

3a. 正面标准清洗后, 使用 PECVD 在正面大面积生长 $2\mu\text{m}$ 厚的 SiO_2 ;

3b. 正面匀胶保护, 背面大面积溅射金属 200nmNi , 作为阴极;

3c. $800\sim 1000^{\circ}\text{C}$ 退火 $2\sim 5\text{min}$, 形成阴极的欧姆接触;

步骤 4, 正向肖特基金属淀积及退火。

4a. 正面匀胶, 前烘, 使用 Open window 光刻板光刻出淀积窗口;

4b. 显影, 坚膜, 利用 7:1 BOE 溶液进行窗口的介质腐蚀, 之后去胶清洗;

4c. 再次匀胶前烘, 使用 Schottky 光刻板进行肖特基窗口光刻, 之后显影, 用 7:1 BOE 溶液再次清洗表面, N_2 吹干;

4d. 利用蒸发台, 蒸发肖特基金属 Ti 200nm 。之后利用剥离手段剥离多余的 Ti, 形成完整的肖特基金属区域;

4e. 在 $450\sim 550^{\circ}\text{C}$ 范围内进行 5min 的肖特基退火;

步骤 5, 金属加厚。

正面沉积 (或溅射) $3\mu\text{m}$ Al 金属, 作为阳极 pad 加厚金属, 使用 Schottky 版, 匀胶、光刻, 腐蚀形成金属加厚图形;

步骤 6, PI 胶钝化。

6a. 使用 PI 版, 匀胶、光刻, 形成 PI 图形, 热板烘干, 显影, 形成钝化 PI 胶层, 厚一般为 $2\mu\text{m}$ 左右;

6b. 使用 300°C 烘箱对 PI 胶进行固化 1h 。

步骤 7, 背面金属加厚。

使用 Ti/Ni/Ag 三层金属进行背面金属加厚, 提高粘附性及导电性。

至此, 4H-SiC JBSs 大器件制备完成, 接下来可以继续做测试、封装等工作。

3.2 离子注入及激活退火

离子注入技术在平面 SiC 器件制备掺杂中尤为关键^[48]。由于在 1800°C 以下热扩散不能在 SiC 材料中形成有效的溶解度, 因此无法使用扩散进行有效掺杂。离子注入可以

有效控制掺杂深度及掺杂图形，主要通过控制注入离子的能量与剂量来实现。通过离子注入，可得到包括埋层掺杂、突变结等结构。

由于离子注入工艺会对被注入材料内部晶格造成损伤，且大部分注入离子都处于间隙位置，无法发挥施主或受主的作用。注入后退火工艺可以解决上述问题，一方面，可以有效降低晶格损伤，一方面，可以将注入离子移至电活性的 Si 或者 C 空位，激活注入离子，从而完成掺杂。一般而言，对于未非晶化的 SiC 材料，1400℃ 以上的高温退火可以消除几乎所有的晶格损伤。但过高的退火温度也会造成 SiC 材料 Si 原子的析出，进而表面粗糙度的增大，不利于形成良好的界面，因此在退火中，一般会引入碳膜进行保护，退火后再进行去除。在实际注入中，高温注入（500~1000℃）成为较常使用的方法。

3.2.1 Al 注入

4H-SiC 材料离子注入时，对 P 型注入，主要注入离子元素为 Al 和 B^[49]。P 型注入中，Al 离子倾向于占据 Si 空位，B 离子则可以占据 Si 或者 C 空位，但更倾向于 C 空位。B 离子注入中，由于 B 离子较小的原子质量，可以得到灵活的离子注入范围，且其注入晶格损伤较小。Al 离子由于其较小的离化能（相对于 B），因此可得到更低的常温面电阻。Al 离子在 SiC 中固溶度比 B 高一个数量级，在高替位浓度应用中更适合。Al 离子的激活退火温度优化值（~1600℃）低于 B（~1700℃）。为了获得优化的注入激活效果，Al 和 B 注入时都需要高温^[50]（≥700℃）。基于以上考虑，我们最终选择用 Al 来作为我们实验中离子注入的掺杂原子。下面是我们给出的典型的 Al 注入的浓度分布图。

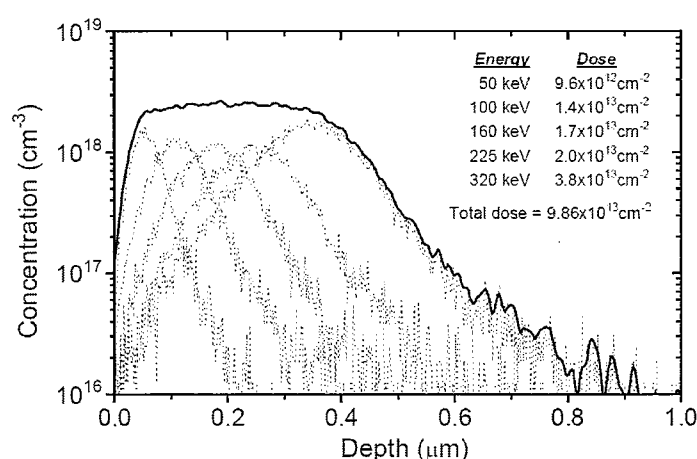


图 3.3 使用仿真软件仿真的 Al 注入的掺杂浓度分布

3.2.2 高温激活退火

离子注入后，注入的离子已经占据了间隙晶格位置，但是它们并不是有效电子活跃

的。因此，热退火工艺是必要的，去电激活注入掺杂原子，减少晶格损伤。高温退火期间，注入离子跟间隙的 Si 和 C 原子在晶格位置上进行竞争。那些成功占据了晶格位置的掺杂原子跟总体注入进入晶体的原子的比值叫做激活率^[51]，这个是衡量掺杂工艺质量的一个很重要的指标。

这个激活退火状态对能否获得我们渴望得到的器件的电学特性至关重要。根据上面观点，在优化后离子注入退火工艺中，表面粗糙度和载流子特性是我们一定要考虑的两个因素。因此我们做了几组不同的对比试验来得到，在我们的试验条件下，所能达到的最佳掺杂状态。

3.2.3 表面粗糙度

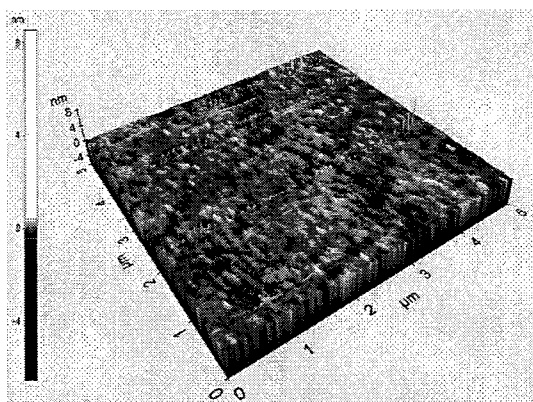
在很高的注入退火温度下，SiC 的表面形貌会严重退化。这是因为 SiC 表面原子的升华性刻蚀的发生。在这里，我们借助于在 SiC 的表面生长一层 C 膜来缓解这一过程的发生。Si 原子从 SiC 表面的选择性蒸发，引起局部位置富 C 相的形成和严重的表面粗糙化^[52]。

在这里，我们使用 Digital Instrument's Dimension 3000 型号的原子力显微镜(AFM)，进行表面粗糙的考察。样品的大小为 $5 \times 5 \mu\text{m}$ 。为了更好的评价表面粗糙度，引入了 RMS(均方根)。表面粗糙度的方程如下^[53]：

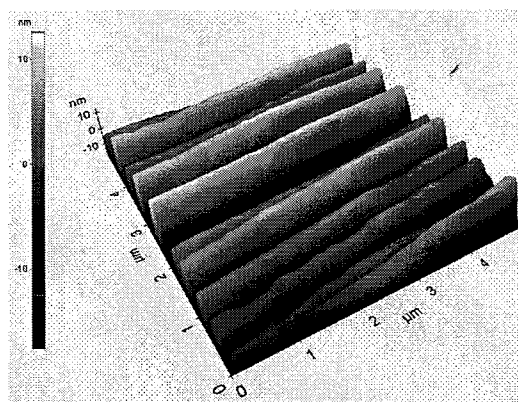
$$R_q = \sqrt{\frac{1}{N^2} \sum_{i=1}^N \sum_{j=1}^N \left(z(i, j) - \bar{Z} \right)^2} \quad (3-1)$$

其中，i 和 j 是在 AFM 图像中的坐标位置，Z 是整个图像高度的平均值，N 是整个图像的数据点。

首先，我们来看一下退火前后的表面粗糙度变化，如图 3.4。可以看到，退火后，表面确实变的比较粗糙，说明 Si 的升华刻蚀还是比较严重的。



(a) RMS=0.21nm



(b) RMS=1.02nm

图 3.4 高温激活退火前后的表面粗糙度变化

其次我们对比一下有无 C 膜保护的激活退火后的粗糙度变化。无 C 膜保护情况下，可以看到有明显的高低起伏，表面很粗糙。但是 C 膜保护后，可以看到，表面粗糙状况明显改善，说明 Si 升华刻蚀作用退化，导致表面粗糙度减小。这样还可以有效避免有害的 C 簇的出现。

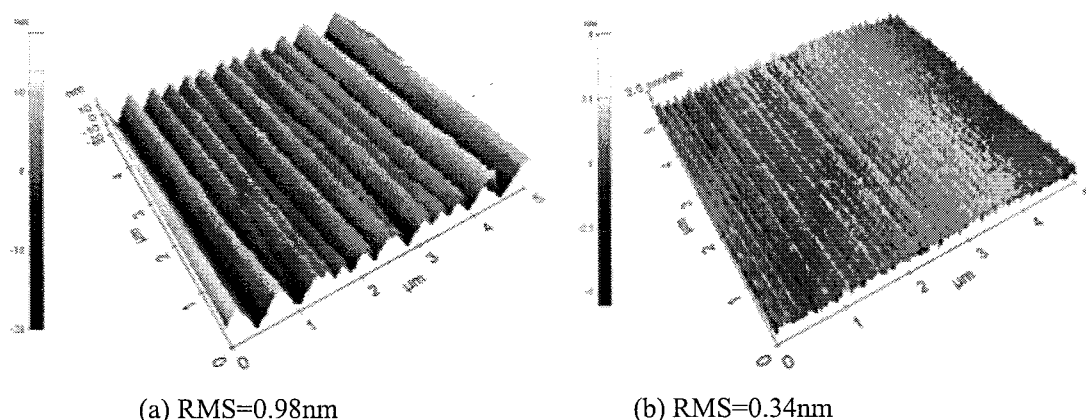


图 3.5 有无碳膜保护的高温激活退火后表面粗糙度 AFM 测试

最后，比较一下几种不同的高温退火条件下，SiC 表面的粗糙度变化情况，这样我们能够得到最好的激活退火条件，方便下面具体器件的制造。如下表所示。可以看到，这几种退火条件表面粗糙度都不是很大，1750℃10min 时最小。

表 3.2 不同激活退火条件下的表面粗糙度

退火温度	退火时间	AFM 测试表面粗糙度 RMS
1700℃	30min	0.337nm
1750℃	10min	0.295nm
1800℃	5min	0.433nm
1850℃	5min	0.349nm
1850℃	30min	0.441nm

3.3 肖特基接触

3.3.1 Ti 单层肖特基接触形成

对于即将研制的 JBS 器件来说，肖特基接触是一个很重要的工艺步骤，但是一个好的肖特基必须符合以下要求：(1)要能够承受 SiC 材料理论限制的电场强度；(2)要保证在一个二极管有效面积和二极管之间的肖特基势垒高度的均匀性；(3)比较好的理想因子，尽可能接近 1；(4)接触形成的可重复性；(5)长期稳定性。

要获得一个 JBS 结构的良好的肖特基二极管，肖特基势垒高度必须选择合适。为

了获得最好的正向特性，低势垒的肖特基接触金属应该被使用。由于低势垒高度和良好的粘附性，Ti 是我们最后选择的用来研制二极管的最终金属。在本章，我们只探讨势垒高度，理想因子在施加小电流情况下的情况。下面结合我们的试验，就单用 Ti 金属在没有 JBS 结构情况下进行肖特基金属与退火条件的探讨。前面知道，对于不同的高温离子激活退火情况，表面粗糙度会有所不同，对肖特基接触的势垒高度及势垒均匀性会有所影响，因此试验中我们选取上文中提到的在没有离子注入情况下就高温退火的器件，来进行对肖特基影响情况的实验对比分析。当然，也对比了不同肖特基退火条件对正向特性的影响。

下面实验的只用来研究 Ti 肖特基接触情况的器件结构，器件外延及衬底采用统一参数：外延掺杂 $N_D = 3 \times 10^{15} \text{ cm}^{-3}$ ，厚度为 $15 \mu\text{m}$ ；衬底掺杂 10^{19} cm^{-3} ，厚度为 $350 \mu\text{m}$ ，电阻为 $0.023 \Omega \cdot \text{cm}$ 。工艺步骤跟上文器件工艺类似，就不赘述。结构见下图 3.6：

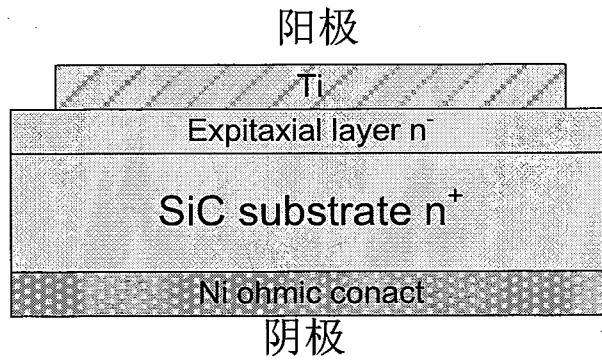


图 3.6 4H-SiC 肖特基接触的剖面图

我们测试了器件的正向小电流 I-V 特性，并从中提取了势垒高度与理想因子。如第二章，采用热电子发射理论，SiC 肖特基二极管的电流可有以下式表示：

$$I_s = SA^*T^2 \exp\left(-\frac{q\Phi_B}{kT}\right) \left[\exp\left(\frac{qV}{nkT}\right) - 1\right] \quad (3-2)$$

其中， A^* 是理查逊常数， Φ_B 是肖特基势垒高度， n 是理想因子，在较低的正向偏压下，理想因子的公式可表示如下：

$$n = \frac{q}{kT} \frac{\partial V}{\partial \ln I} \quad (3-3)$$

这样，通过上面两个公式，能计算出势垒高度 Φ_B 与理想因子 n 。计算值如下表 3.3 所示。从下表可知，对于想要的到足够小的理想因子， $1800^\circ\text{C}/5\text{min}$ 的高温退火条件下， 500°C , 5min 的肖特基退火条件最好。此时的理想因子为 1.005，势垒高度是 1.24，这样高的势垒高度对器件的反向特性是有好处的，可以使漏电流较低。但是对于未做高温退

火的样品, 在这个肖特基退火条件下的理想因子为 1.01, 势垒高度是 1.23, 和高温退火条件下的样品特性一致。说明纯粹的不注入离子情况下的退火对器件的肖特基特性影响不大, 不应该成为影响肖特基实际特性的障碍。

表 3.3 不同高温激活退火条件, 不同肖特基退火条件下势垒高度与理想因子的变化

高温激活退火条件	肖特基退火条件	势垒高度 Φ_B (eV)	理想因子 n
1750°C/10min	400°C, 1h	1.21	1.05
	450°C, 1h	1.18	1.06
	450°C, 5min	1.23	1.013
	500°C, 5min	1.234	1.01
1800°C/5min	400°C, 1h	1.22	1.04
	450°C, 1h	1.17	1.04
	450°C, 5min	1.22	1.03
	500°C, 5min	1.24	1.005
1850°C/30min	450°C, 5min	1.22	1.056
	500°C, 5min	1.23	1.03
	550°C, 5min	1.18	1.1
未高温退火	450°C, 5min	1.134	1.11
	500°C, 5min	1.23	1.01
	550°C, 5min	1.23	1.02

3.3.2 肖特基势垒不均匀性分析

肖特基势垒的电特性强烈的依赖于表面情况, 表面情况的变化来自于器件制作工艺 (表面准备, 表面处理, 和金属淀积), 同时跟 SiC 材料的晶格缺陷与不完善有关。这样, 界面态, 工艺导致的污染, 不均匀掺杂和晶格失配共同导致了不均匀的肖特基势垒^[54,55]。不均匀势垒的出现常常导致在小电流下的正向 I-V 行为出现不希望的异常。同时反向漏电流也会由于不均匀势垒的出现而变大。如下图所示为不均匀势垒的模型^[56]。

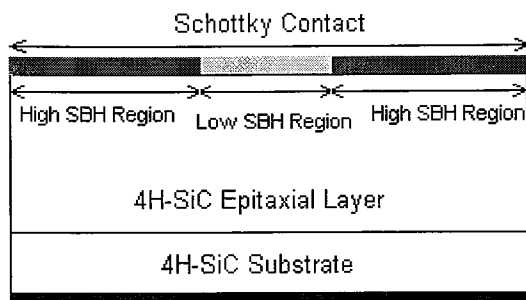


图 3.7 金属/4H-SiC 肖特基二极管的不均匀势垒高度模型

在上一节的结论知道，虽然高温激活退火对肖特基参数影响不大，但是对器件的势垒均匀性是有影响的。势垒不均匀首先表现在双势垒的出现上，双势垒的出现是器件肖特基接触界面状况不好而导致的，间接的反映肖特基的势垒好坏情况。我们选择在 1850℃ 30min 退火的器件小电流测试结果中，选择其中有双势垒现象展示如下：

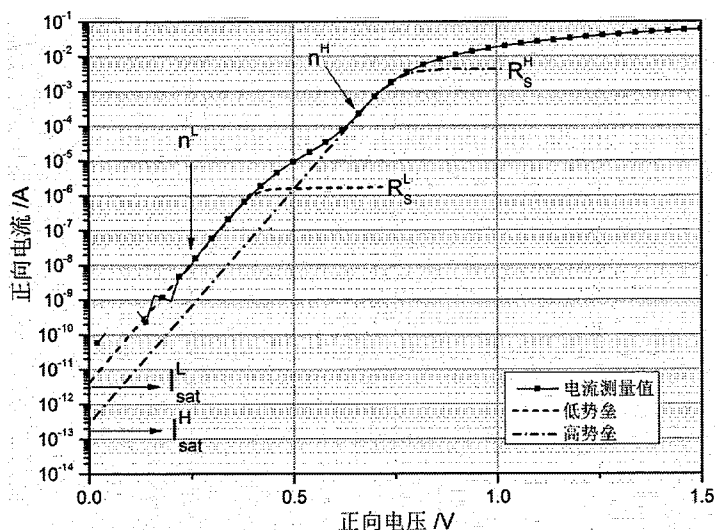


图 3.8 Ti/4H-SiC 肖特基势垒二极管的双势垒现象。其中图中标记 n , I_{sat} , R_s 分别表示高低势垒区的理想因子，饱和电流和方块电阻。

从上面两图中可以看到，此时的二极管相当于两个肖特基二极管并联，但是所占的面积不同，通过面积的总电流是高势垒与低势垒区域的电流总和^[57]：

$$I = I_{sat}^H \exp \left[\frac{q(V - I R_s^H)}{n^H kT} \right] + I_{sat}^L \exp \left[\frac{q(V - I R_s^L)}{n^L kT} \right] \quad (3-4)$$

在电压比较低时，电子能量比较低，越高势垒相对比较困难，电子主要在低势垒区通过，所以低压时低势垒区域表现的比较明显。当电压升高后，电子能量变大可以容易的穿过高势垒区，此时高势垒表现的比较明显，会掩盖低势垒区的电流，此时电流在宏观上表现的为一个肖特基势垒。这就是双势垒表现的原因。同时低势垒区的面积占总

面积的不同会导致不同的势垒现象。面积越大，影响越大，漏电流增加越多。如下图所示，低势垒区的面积越大，对肖特基势垒影响越大。

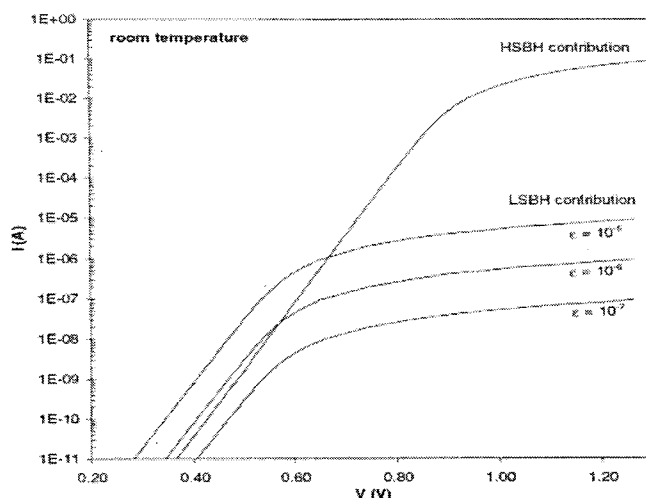


图 3.9 不同的低势垒区面积对器件电学特性的影响

当然，并不是所有的不均匀势垒都会出现所谓的双势垒现象。当低势垒区域面积极小，这时的不均匀势垒表现的并不明显，需要采用 Tung's 模型^[58]，来描述高势垒区对低势垒区的影响。这时要采用高低温正向小电流测试手段，来观察理想因子与势垒高度随温度的变化情况，进而通过一系列的计算与分析出理查逊常数实际值与理论值的偏差，进而得到实际势垒的不均匀程度。这一部分内容在这里不是我们的研究重点，我们之前已经研究过不同肖特基退火条件对器件不均匀性的影响，得到了 500℃5min 的退火能得到最接近理论值的理查逊常数。

3.3.3 肖特基接触改善方法研究

鉴于上面两节介绍的情况，由于金属半导体接触的肖特基界面的表面状况复杂。界面陷阱的费米水平钉扎—悬挂键，C 簇与表面粗糙度—减小了肖特基势垒高度，增加了反向漏电流^[59]。首先，牺牲氧化能够减小表面污染和相关缺陷^[60]。但是并不能去掉含 C 的物簇。热氧化期间，一些 C 残留成为单质 C，C 簇，和 Si-CO。这些 C 成为界面陷阱并不能被 BOE 去除。单质 C 占据能带里临近导带的能带水平^[61]。(这个残留的 C 钉扎了费米能级，使势垒高度不能随着肖特基处理而改变，引起势垒不均匀)这个水平随着 C 成为 C 簇而增加。C 作为界面陷阱，引起费米钉扎，引起势垒的不均匀性。

在这里，为了尽量避免上述情况的出现，提出了 NO 氛围的表面退火工艺。这样做的好处我们总结有三：

- 1、金属半导体接触处的势垒高度可能发生变化。势垒高度跟衬底材料、金属的选择，费

米钉扎及金属半导体的功函数差有关系。由于SiC材料的表面态及带电缺陷比较大，费米钉扎现象严重。NO退火能够使表面的Si-与C-悬挂键钝化，形成Si-N、Si-O-N、C-N键^[61,62]，使表面态及界面陷阱密度降低，在一定程度上可能会改变肖特基势垒高度。

- 2、能够显著减小金属/n型SiC界面的界面态密度。对于SiO₂/4H-SiC的接触界面，由于可能存在可动杂质离子，固定电荷，界面态等，增加了在大偏压大电场下SiO₂/4H-SiC界面击穿的可能性^[63]。NO退火能有效地减小界面态密度，同时表面的聚酰亚胺也能有效地减小可动杂质离子的数量，使在氧化物中的击穿变得困难，一定程度上增加击穿电压。
- 3、提高器件均匀性，并对漏电流有影响。费米能级被表面处的缺陷簇钉扎住，创造了局部的低肖特基势垒。深能级陷阱密度的增加，会增加漏电流，降低肖特基势垒高度。深能级陷阱的种类主要就是C簇。同时处理能对器件内部的缺陷等进行修复，提高器件反向特性的一致性。

通过以上几点的分析，可以得到使用NO退火作为表面前期热处理可以明显的改善器件的特性，实际的效果会在第四章中1700V JBS器件的研制及测试中给出具体结果。

3.4 欧姆接触

半导体材料与金属的接触主要形成两种电学性质不同的情况，即肖特基接触和欧姆接触，前者具有整流特性，是整流器件的基础；欧姆接触则为器件提供低电阻的电极接触，对器件信号的传输有至关重要的意义。良好的欧姆接触可以降低器件整体的通态电阻，从而降低器件工作能耗。在其欧姆接触工艺中，比接触电阻率 ρ_c 不能超过 $1 \times 10^{-5} \Omega \cdot \text{cm}^2$ ，否则其与Si材料相比在功耗方面失去优势。

一般的欧姆接触能带图如图 3.10 所示：

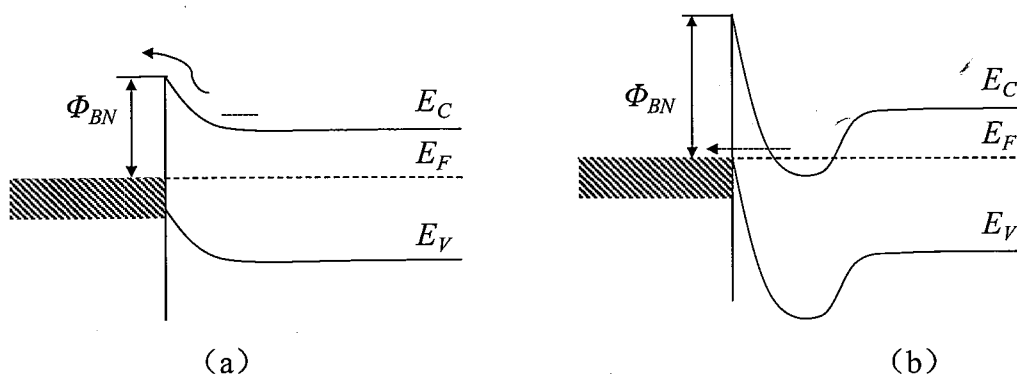


图 3.10 两种欧姆接触形成的情况示意图

图中给出了两种欧姆接触的形成情况，(a) 为低的势垒，电子发射过低势垒，形成欧姆接触，一般通过寻找合适的金属，得到较小的势垒差；(b) 为薄势垒，电子隧穿过薄势垒，形成欧姆接触，一般需要高掺杂的半导体材料。除了上述两种情况外，通过在金半接触界面引入复合中心，且其密度足够高，则空间电荷区的复合成为新的导电机制，从而促进欧姆接触的形成。

对 4H-SiC 材料而言，形成良好的欧姆接触主要有如下几个问题：1、材料禁带宽度大，一般的金属在其上接触会有约 1eV 的肖特基势垒，不易形成较低势垒差；2、4H-SiC 材料的掺杂异常困难，掺杂浓度和有效载流子浓度低，尤其对 P 型 4H-SiC 材料，不易形成薄势垒，因而不易形成欧姆接触；3、4H-SiC 材料的界面研究还较少，其上形成欧姆接触理论尚不成熟；4、P 型与 N 型 4H-SiC 材料形成欧姆接触所用条件不一致，在 4H-SiC 相关的器件制备中，将会引入不利因素。

目前，4H-SiC 材料的欧姆接触主要通过高掺杂，采用合适的金属体系，进而高温退火形成合金相，继而形成良好欧姆接触。主要研究点为：金属体系（包括金属类别和组分占比）选择、退火温度选择以及形成机制的研究。对于 N 型与 P 型欧姆接触电学参数-欧姆接触电阻率-的计算，我们采用相同的 pad 图形，利用相同的方法进行测试。欧姆接触的测试有很多方法。在我们的实际测量中，我们是在薄层台面材料上制备欧姆接触图形进行测试。此薄层材料是在 n 型衬底上的 p 型薄层（对 p 型欧姆接触），高阻衬底上的 n 型薄层（对 n 型欧姆接触）。

在众多的测试方法中，我们选择的是传输线模型法（TLM）。该法在欧姆接触电阻率测试中用得最多。在于周围环境绝缘的条形半导体上制备不等间距的长方形接触块^[64]，如下图 3.11 所示。通过测试得到每两个相邻的欧姆点击之间的电阻，此电阻称为总电阻，这种电阻与相邻电极间隙和离子注入区的方块电阻成正比，与电极的宽度成反比，由此可以计算出欧姆接触的比电阻、注入区的方块电阻等参数。

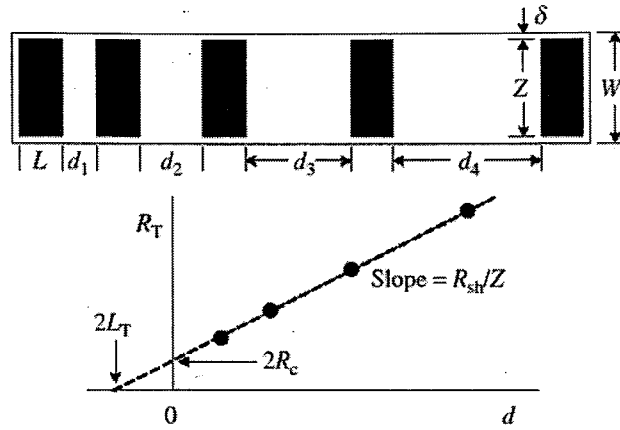


图 3.11 欧姆接触 TLM 测试结构示意图

根据图中所示的欧姆接触测试结构，两个接触块之间的总电阻（包括接触电阻与体电阻）为：

$$R_T = 2R_c + \frac{R_{sh}d}{Z} \approx \frac{R_{sh}}{Z}(d + 2L_T) \quad (3-5)$$

其中， $R_c = R_{sh} \cdot L_T / Z$ ， R_{sh} 是体材料的薄层电阻， $L_T = \sqrt{\rho_c / R_{sh}}$ ，称为传输线长度。 d 为接触块之间的距离， Z 为接触块宽度。在不同的接触距离 d 下可测出一系列对应的 R_T ，则可作出 $R_T \sim d$ 曲线，如图 3.11 所示。

$2R_c$ 为曲线在 R_T 轴上的截距， R_{sh} 为接触合金下半导体薄层贡献的电阻， $2L_T$ 即为曲线在 d 轴上的截距。由此可求出比接触电阻：

$$\rho_c = R_{sh} \cdot L_T^2 = R_c L_T Z \quad (3-6)$$

在测试条件的选取上，使用 TLM 方法使用 HP4155A 半导体参数分析仪来对器件进行电阻率的测试。长方形的尺寸为 $120 \times 160 \mu\text{m}^2$ ，他们之间的渐变距离 d 分别为 10, 20, 30, 40, 50, 60, 70 和 $80 \mu\text{m}$ 。我们主要对 n 型与 p 型欧姆接触金属体系的选择，退火条件的确定上进行研究，同时也对他们的高温热稳定性进行了详细研究。

3.4.1 Ni/Ti/Al n 型欧姆接触及电特性分析

对 N 型 4H-SiC 材料欧姆接触而言，目前主要的金属体系为 Ni 基金属体系和 Ti 基金属体系等。文献调研所得 N 型 4H-SiC 欧姆接触结果如表 3.4。目前利用 Ni 基金属体系，通过合适的退火工艺，可以达到 $1 \times 10^{-6} \Omega \cdot \text{cm}^2$ 量级的接触电阻率，基本满足制备 4H-SiC JBSs 器件的要求。我们的实验中，使用 Ni 作为欧姆接触金属，在 950°C - 1000°C 温度下进行欧姆合金退火 2min，可以得到能够满足我们要求的低电阻率，因此在这里不是我们的研究重点。

表 3.4 N 型 4H-SiC 欧姆接触

金属	N_D (cm^{-3})	退火温度 ($^{\circ}\text{C}$)	时间 (min)	接触电阻率 ($\Omega\cdot\text{cm}^2$)	文献
Ni	2×10^{19}	950-1000	5	1×10^{-6}	[65]
Ni	5×10^{18}	950	10, N_2	2×10^{-5}	[66]
Al-Ni-Al	1×10^{19}	1000-1050	5, N_2	5×10^{-6}	[67]
Ni	1.5×10^{19}	1000	2, Ar	3.3×10^{-7}	[68]
Ni	2×10^{20}	1000	2, Ar	6×10^{-6}	[69]
TiW	1.1×10^{19}	650	30, vac	3.8×10^{-5}	[70]
Ti/Ni	2×10^{20}	无退火	无	1×10^{-6}	[71]

3.4.2 p 型欧姆接触及电特性分析

在第一章我们已经知道, 对于 PiN 二极管和 MPS 二极管来说, p 型欧姆接触对于制造出性能优良的器件都是非常重要的。p 型 4H-SiC 欧姆接触相对于 n 型来说更难制造, 这是因为金属跟 p 型 SiC 之间有非常大的功函数差, 导致之间的欧姆接触电阻会比 n 型的大。

对 p 型 4H-SiC 材料欧姆接触而言, 目前主要的金属体系为 Al 基金属体系和 Ti 基金属体系等。文献调研所得 P 型 4H-SiC 欧姆接触结果如表 3.5。目前可以达到 $6\times 10^{-6}\Omega\cdot\text{cm}^2$ 的接触电阻率。4H-SiC PINs 器件阳极处需要得到 P 型欧姆接触, 即相同的金属体系和退火工艺条件得到相对较好的欧姆接触特性。

表 3.5 P 型 4H-SiC 欧姆接触

金属	N_A (cm^{-3})	退火温度 ($^{\circ}\text{C}$)	时间 (min)	接触电阻率 ($\Omega\cdot\text{cm}^2$)	文献
Al	1×10^{20}	950	5, $\text{Ar}+\text{H}_2$	4.7×10^{-5}	[72]
Ti/Al	1.2×10^{19}	1000	2, Ar	9.7×10^{-7}	[73]
Ni	2×10^{20}	1000	2, Ar	7×10^{-3}	[74]
Multi-Ti/Al	1×10^{19}	1000	2, Ar	6×10^{-6}	[75]
Al/Ti/Au	$3\text{-}5\times 10^{19}$	900	15, Ar	1.42×10^{-5}	[76]

但是由于目前的金属体系并不适合于 PiN 二极管和后期制作的 MPS 器件, 因此我

们在原有常用的欧姆接触金属 Ti/Al 的基础上,增加了 Ni 金属,形成 Ni/Ti/Al 三层金属体系^[77,78]。增加 Ni 主要是为了能够降低退火温度,这样可以减小 MOS 器件栅氧层由于高退火温度和长的退火时间造成的性能退化。下面我们先从两种不同体系的作用机理上做出比较。

Ti/Al 基: Ti 层金属的作用在于,能在金属/SiC 界面与 SiC 形成 Ti_3SiC_2 , Ti_3SiC_2 属于窄禁带半导体,禁带宽度仅为 0.12eV 。这样可以有效的降低势垒高度,利于载流子的热场发射。另外,在金属的催化作用下,有游离态的 Si 出现在 Al 层中,在 SiC 表面层形成 Si 空位,由于受主型的 V_{Si} 的出现,使得载流子的浓度得到了提高。如下图所示:

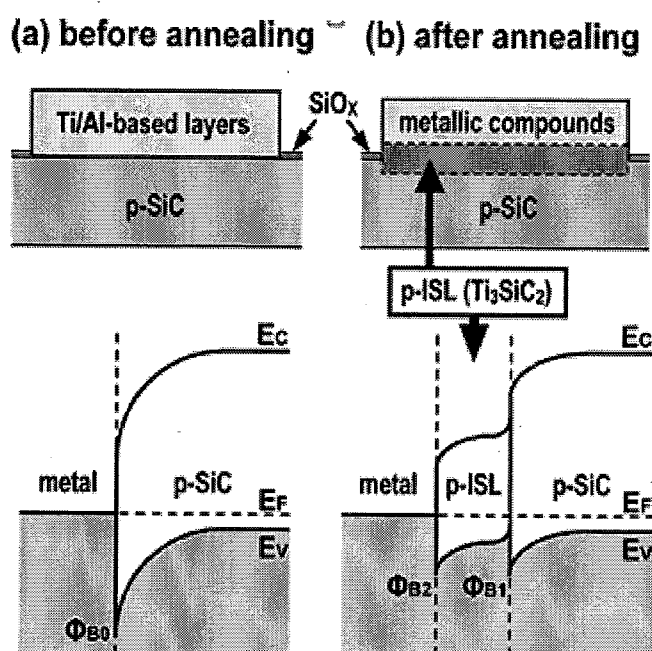


图 3.12 Ti/Al 基欧姆接触退火前后的能带结构变化情况

Ni/Ti/Al 基: 这种金属体系由于加入了 Ni 金属,各个组分的作用可能会少许有些变化。Ti 金属主要是与 SiC 形成 Ti_3SiC_2 ,这样可以有效的阻止有害 C 簇的形成。Al 的作用更加重要, Ti/Al 接触材料有高的 Al 浓度,接触材料中的 Al 原子的化学势比 SiC 衬底中的 Al 原子高, Al 原子扩散进入 SiC 并掺杂,再经过退火,在 SiC 和接触界面的 Al 浓度会很大,从而在金半界面形成高的 P 型掺杂区域。同时, Al 的厚度增加可以减少或者阻止没有参与反应的 C 簇的形成。Ni 的作用主要是与 SiC 反应形成 Ni_2Si , Ni_2Si 可能会促进 Ti 与 SiC 的反应,形成 Ti_3SiC_2 ,且退火温度低,在 500°C 时已经能与 SiC 发生反应,形成欧姆接触。而且熔融态的 NiAl 化物表面粘附性好,这是优于 Ti/Al 的地方^[79]。

根据前人的结论,加上我们的总结,根据上面介绍的 TLM 测试方法,给出 Ni/Ti/Al 厚度,退火温度,退火时间,及最后的接触电阻率的结果,根据此结果,能够得到足够好的 P 型欧姆接触。如下表 3.6 所示。

根据下表,得到最佳的接触电阻率时的条件是 Ni/Ti/Al 的厚度分别为 60nm, 30nm, 80nm, 退火时间为 2min。我们得到最小的接触电阻率为 $1.8 \times 10^{-5} \Omega \text{ cm}^2$ 。在这里,可以更详细的展示此条件下的 IV 电特性曲线及电阻率的变化。

表 3.6 Ni/Ti/Al 三层欧姆接触在不同条件下的接触电阻率计算结果

sample	t_{ann} (min)	Thickness (nm)	$\rho_c(\Omega\text{-cm}^2)$			
			800°C	850°C	900°C	950°C
A	2	40/30/80	7.8×10^{-5}	4.2×10^{-5}	1.5×10^{-4}	1.9×10^{-4}
B	2	60/30/80	1.8×10^{-5}	3.2×10^{-5}	2.5×10^{-4}	2.7×10^{-4}
C	2	80/30/80	4.2×10^{-4}	1.3×10^{-4}	5.6×10^{-5}	8.3×10^{-5}
A	5	40/30/80	8.9×10^{-5}	5.5×10^{-5}	1.7×10^{-4}	2.5×10^{-4}
B	5	60/30/80	5.7×10^{-5}	6.8×10^{-5}	2.7×10^{-4}	4.5×10^{-4}
C	5	80/30/80	9.5×10^{-5}	7.6×10^{-5}	3.0×10^{-5}	9.4×10^{-5}

根据上表,我们得到最佳的接触电阻率时的条件是 Ni/Ti/Al 的厚度分别为 60nm, 30nm, 80nm, 退火时间为 2min。我们得到最小的接触电阻率为 $1.8 \times 10^{-5} \Omega \text{ cm}^2$ 。在这里可以更详细的展示此条件下的 IV 电特性曲线及电阻率的变化。

从上面两图可以看出,在退火之前,接触为肖特基接触,但是经过 800-950°C, 2min 退火后,接触都呈现欧姆接触特性,并且在低温下能得到良好的比接触电阻率。这一结果对下面要做的高温可靠性非常重要。

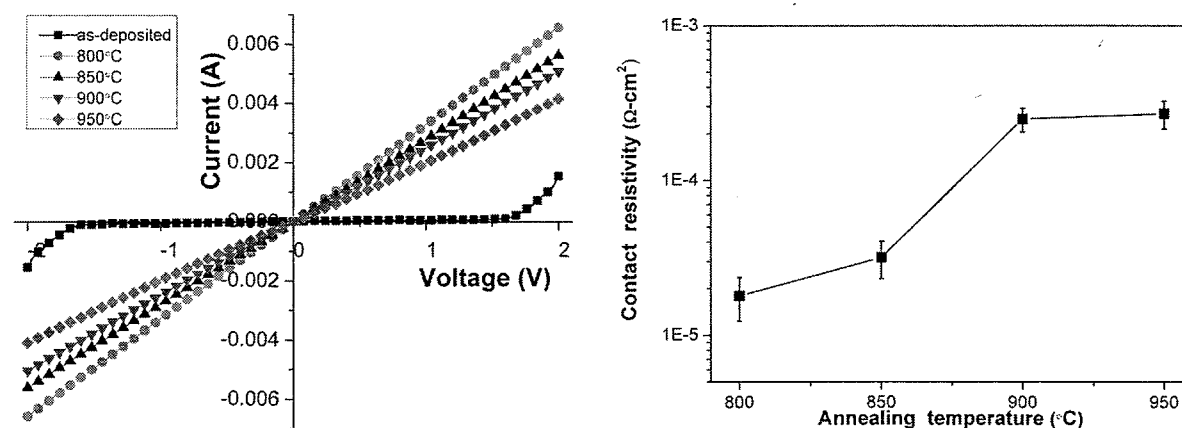


图 3.13 退火前后的 P 型欧姆接触的 IV 曲线

图 3.14 在不同退火条件下的电阻率变化

3.4.3 欧姆接触的高温可靠性研究

当然,除了上面所描述的,对于欧姆接触来说,不仅要求能够得到足够小的比接触电阻率,而且要求有良好的热稳定性。这是因为目前对高温 SiC 器件的需求与日递增,他们被广泛应用于航空航天,核动力装置,卫星等高端设备中^[80]。

从上文中,已经得到了电阻率足够小的 p 型欧姆接触,这个电阻已经能够满足实际的需要,但是我们并不知道它们是否具有良好的高温热稳定性。当器件的工作温度超过 300℃时,金属与 SiC 之间的接触就会发生各种问题,比如接触电阻的不稳定,应力导致的表面粗糙度增加,以及可能的热化学不稳定性等,这些都是需要解决的棘手问题。根据文献显示,大部分的 p 型欧姆接触并不能适应长时间的高温状态,电学及表面界面都会出现各种各样的问题。因此从高温热稳定角度来考量我们的 p 型欧姆接触就变得非常重要。

下面就从电特性,化学,微结构特性等方面对上面的 p 型欧姆接触进行一个全面的考察。

3.4.3.1 电特性

从上面的 p 型欧姆接触实验结果来看,在 800℃退火条件下,能得到最小的接触电阻率,这个温度比一般要达到这个电阻率所使用的 Ti/Al 金属组分来说温度要低 200℃。但是从考察热稳定性的角度我们必须采用分组对比手段,来得到最佳的欧姆接触。由于在 850℃退火条件下的接触电阻率也不太大,而且金属厚度一致,便于进行对比分析。因此我们选择 Ni/Ti/Al 厚度分别为 60, 30, 80nm,退火温度分别为 800℃与 850℃的接触进行欧姆接触高温老化试验。我们的每组样品有八个测试点,我们的实验结果是这八个点的测试结果的统计曲线。

我们使用北京工业大学的能耐 800℃的高温烘箱进行我们的高温老化试验。老化温度分别为 300℃和 600℃,老化时间分别设置为 4, 20, 50, 100 h, 氛围为 N₂ 环境。每个老化时间后拿出,器件冷却后进行电学性能测试。测试结果如下图:

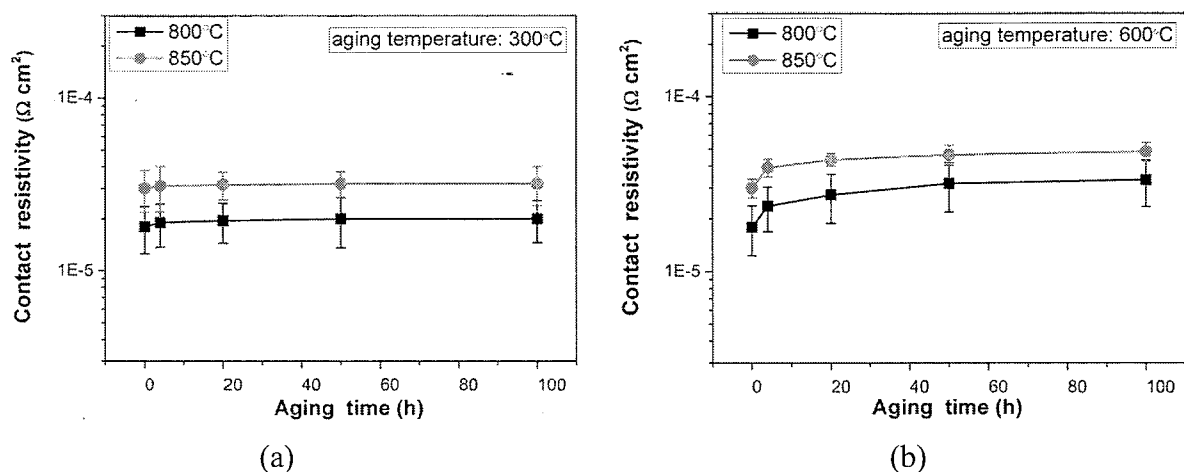


图 3.15 样品老化前后的接触电阻率变化(a)300°C(b)600°C

在 300°C 老化情况下, 经过 1-100h 的老化后, 接触电阻率只是有一个很小的变化。特别是当存储时间超过 20h 后, 接触电阻率达到稳定, 基本不发生电阻率的变化。然而对于在 600°C 老化温度下的样品, 接触电阻率有一个大的变化。特别是在 20h 的老化时间内, 电阻率有一个大的增加。对于 800°C 2min 退火的样品, 比接触电阻率从 $1.8 \times 10^{-5} \Omega \text{ cm}^2$ 上升到 $3.3 \times 10^{-5} \Omega \text{ cm}^2$ 。

3.4.3.2 表面与界面

众所周知, 有一个光滑的接触表面对欧姆接触是很重要的, 这直接关系着引线键合和电流是否均匀的成败。因此, 考察了电学性能之后, 从表面与界面形貌的变化情况对接触再加以考察很有必要。

首先使用 AFM 对没有进行高温老化的接触样品的表面粗糙度进行分析, 如图 3.16 所示。从中我们可以看出, 当退火温度为 850°C 时, 接触的表面粗糙度最小, 为 5.8nm。退火温度增加或者减小, 粗糙度都会增加, 说明此温度下的样品接触表面达到最佳状态。

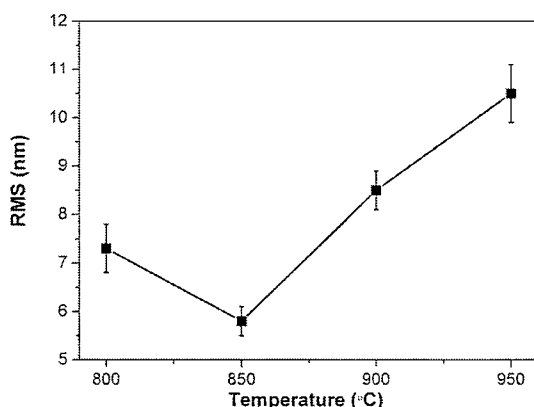


图 3.16 退火条件为 800-950°C, 2min 的样品的 RMS 表面粗糙度

由上一小节可知, 300°C 温度存储下的接触电阻率几乎不变, 因此我们不再考察这

一温度下的表面界面状况，只考察在 600℃ 下的形貌情况，如图 3.17 所示。

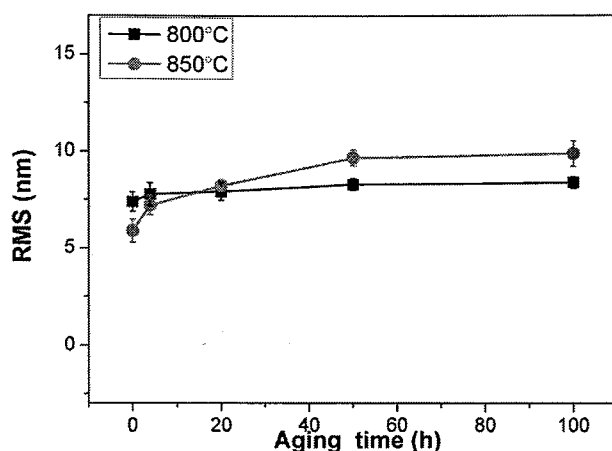


图 3.17 样品老化前后的 RMS 粗糙度变化

从上图可以看出，经过 600℃ 高温老化后，接触表面的粗糙度确实增加了。但是经过 800℃ 退火的样品粗糙度增加的并不多，RMS 值从 7.3nm 增加到 8.5nm。相对于接触层的厚度来说，这个粗糙度的增加是比较小的。因此，高温老化前后的平均表面粗糙度被忽略，它不应该成为键合与电学性能退化的一种制约因素。

通过上面的描述，并不能完全确定表面状况。因此，接着通过扫描电子显微镜 (SEM) 来考察具体的表面形貌情况，可能出现的热应力导致的表面粗糙，纳米空洞与钉扎等 [81,82]，如图 3.19 所示。在退火前，在 $100\mu\text{m}^2$ 的面积上只有 8-10 个比较明显的表面空洞。但是 100h 的高温老化后，表面空洞数量明显增多，而且空洞也变得比较大。跟 800℃ 退火的样片比较，850℃ 退火的样品表面形貌退化的更加严重。表面空洞数量增加很多，空洞尺寸也更大。它们对应的 AFM 轮廓图如图 3.20 所示。

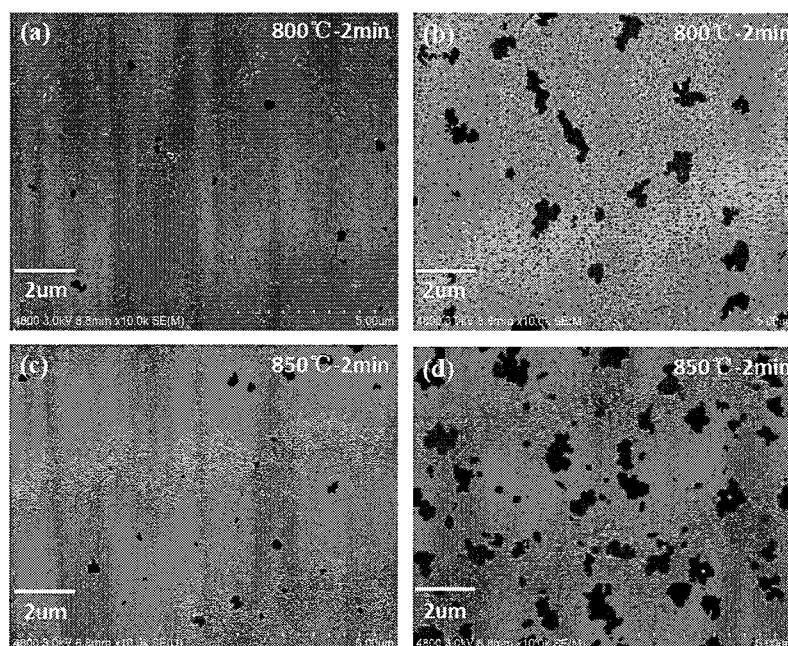
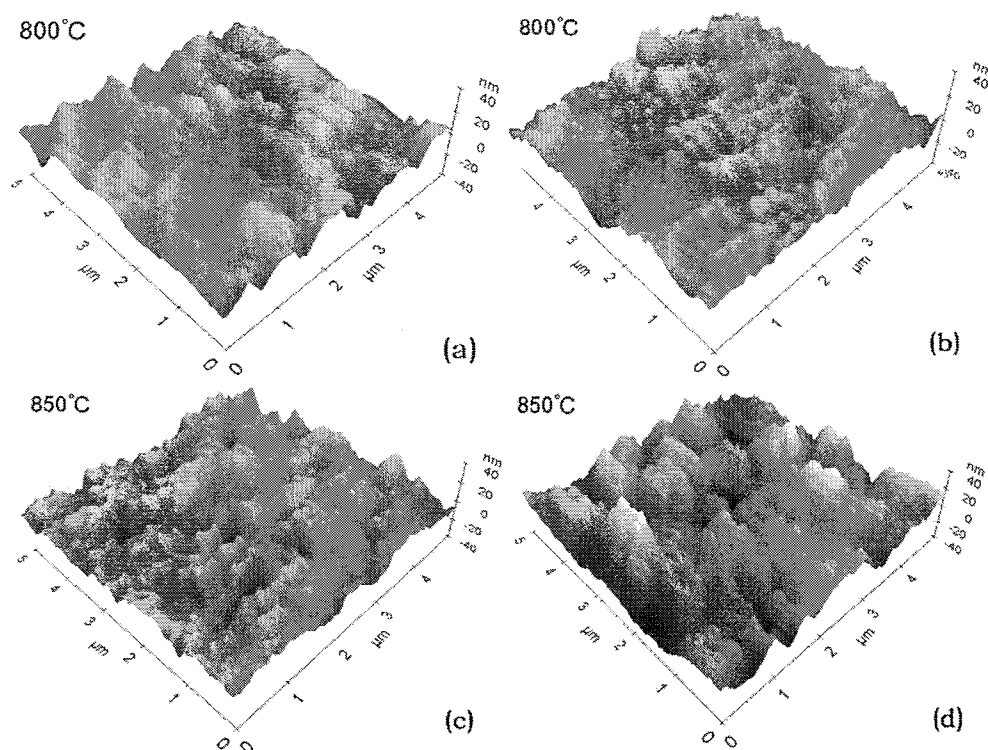


图 3.18 p 型 SiC 欧姆接触高温老化前后的 SEM 形貌图

图 3.19 p 型 SiC 欧姆接触高温老化前后的 AFM 形貌图($5 \times 5 \mu\text{m}^2$)

3.4.3.3 元素相变及电流输运机制

如上一小节,随着老化时间的增加,表面粗糙度及空洞的数量明显增加。这被认为是由于表面处的 Al 元素的凝聚造成的。因此,老化温度与老化时间对欧姆接触的退化起关键作用。为了进一步的寻找造成欧姆退化的原因,我们利用 X 射线散射仪对样品进行扫描,以期能够发现其中隐藏的原因。

X 射线散射分析能够考察出金属与 SiC 界面处的金属合金相。800°C 与 850°C 高温退火前后的 X 射线谱图如图 3.20 所示。从图中可以看出,退火之前,接触处的物质只有金属 Ti, Ni, Al 和 SiC。但是高温退火后,在金半界面处出现了很多界面合金相,例如 Ti_3SiC_2 , Ni_2Si , TiAl_3 和 NiAl_3 。这个结果跟文献中报道的结果相一致,其中 Ti_3SiC_2 , Ni_2Si 这两种相对形成良好的欧姆接触至关重要。 Ti_3SiC_2 是一种窄禁带的界面相,可以减少肖特基势垒高度,从而对形成 P 型欧姆接触很有作用。 Ti_3SiC_2 , Ni_2Si 这两种物质被认为控制着界面处的电流流动。而且 TiAl_3 和 NiAl_3 这两种金属合金限制了元素 Al 在表面的凝聚,从而避免 Al 过多的在表面引起严重的氧化。

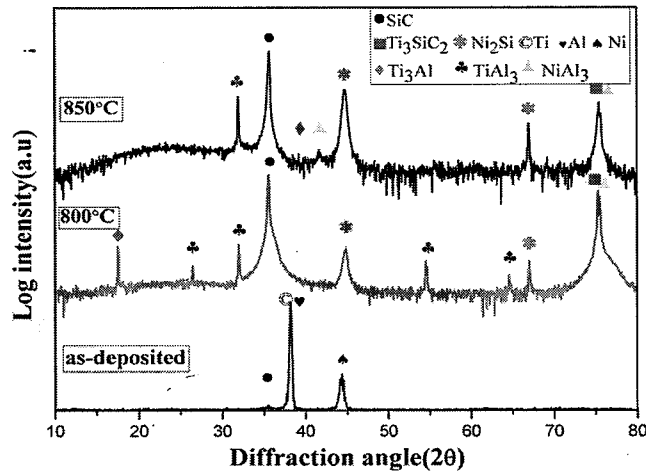


图 3.20 800°C 与 850°C 高温退火前后的 X 射线谱图

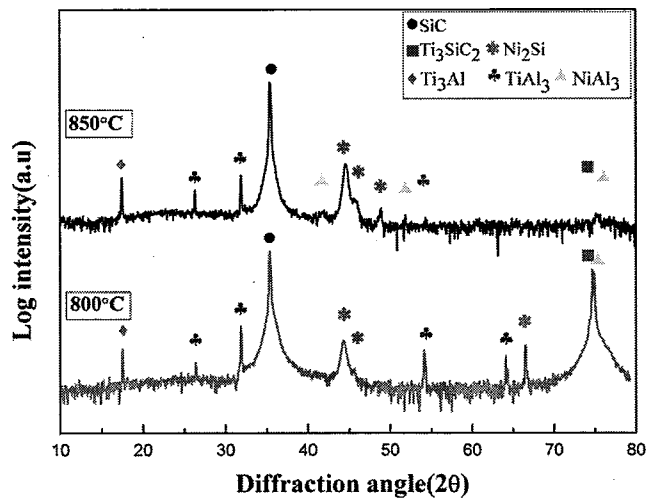


图 3.21 800°C 与 850°C 高温退火前后的 X 射线谱图

然而当高温老化之后,界面的物质发生了少许的变化,如图 3.21 所示。800°C 退火的样品的 XRD 图像基本不发生变化,物质合金相基本不变。然而 850°C 退火的样品的界面合金相发生了变化, Ti_3SiC_2 相谱图已经看不清楚,说明此相的数量变少。根据以上分析可知,由于起作用的 Ti_3SiC_2 数量变少,欧姆接触因此收到了一些破坏,接触电阻率升高。然而 TiAl_3 和 NiAl_3 这两种金属合金的数量并没有变少。由于他们的熔点比 Al 要高,而且不容易被氧化。因此他们具有很高的热稳定性,对欧姆接触的热稳定性的维持起了关键作用。综合起来看, NiAl_3 , TiAl_3 , Ti_3SiC_2 和 Ni_2Si 这四种界面处形成的合金相对化学稳定的金半欧姆接触起了很重要的作用。

然而,按照上面的试验结论,已经部分清楚了欧姆接触的内部发生的奇妙变化,但是这些还是不够的。这里使用 HRSEM(高分辨率扫描电子显微镜)和 AES(俄歇电子能谱)两种分析手段,通过深度元素扫描和剖面轮廓来进一步的分析其中的原因。AES 与 HRSEM 图像如图 3.22 所示。

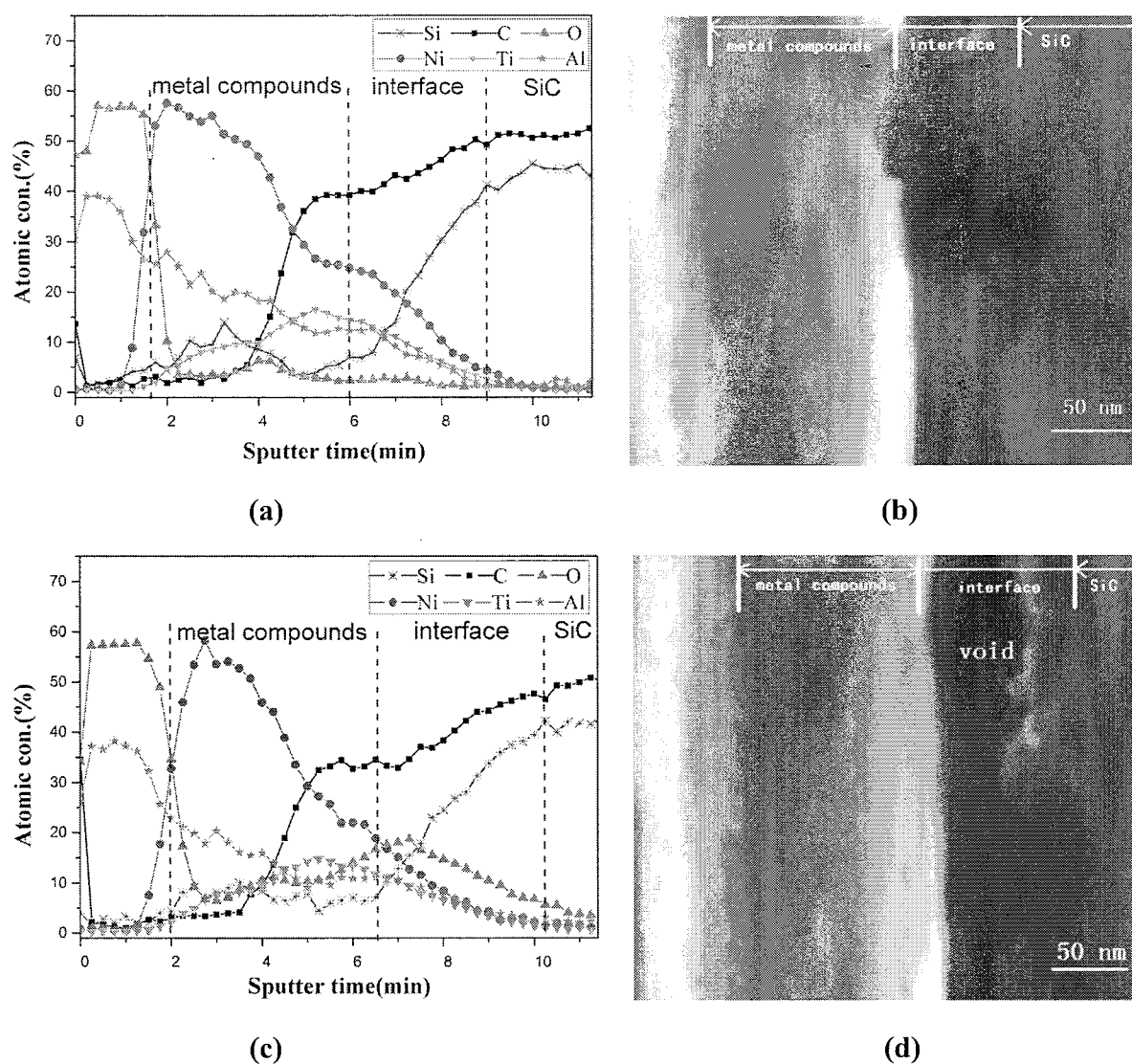


图 3.22 p 型欧姆接触在高温老化前后的 AES 深度谱图及对应的 HRSEM 映射图像

从上图高温前后的样片 AES 可以看出, 对于 800°C 退火的样品, 高温老化前器件的表面已经被严重氧化, 有大量的 O 元素存在。高温老化后器件氧化程度更加严重, 而且 O 元素深入到界面内部。但是其他元素的分布基本不变。从 SEM 图像来看, 高温老化前表面对应于氧化层, 再往里是大面积的金属合金界面区域, 这个时候界面空洞还不明显。高温老化后器件的表面氧化层的厚度增加, 界面合金相的厚度增加。并且界面处的空洞变大增多, 与 O 元素的往里扩散有关。我们把 XRD 结果与 AES 结果进行合并分析发现, 800°C 退火的 Ni/Ti/Al 欧姆接触肯定有一个更加完全的界面反应, 以至于任何进一步界面反应的驱动力已经耗尽。然而氧化的深入给接触带来了致命的影响, 使空洞更加严重, 严重影响了接触电阻率的稳定。

然而, 并不能满足与现有的结论, 为了弄清楚欧姆接触形成机制而更好的理解实验结果, 做了特征电阻率的温度依赖性试验。温度变化从 273K 到 473K, 每个 40K 一个

测试点。由于在我们实验样品的条件下，热场发射效应可能起了关键的作用，因此给出热场发射理论的理论公式如下^[7,83,84]：

$$\rho_c = \frac{k^2}{q A^* \sqrt{\pi} (\Phi_b + V_p) E_{00}} \cosh\left(\frac{E_{00}}{kT}\right) \times \left[\sqrt{\frac{E_{00}}{kT}} \right] \exp\left(\frac{\Phi_b + V_p - V_p}{E_0 - \frac{V_p}{kT}}\right) \quad (3-7)$$

$$E_0 = E_{00} \cosh\left(\frac{E_{00}}{kT}\right), \quad E_{00} = \frac{qh}{4\pi} \sqrt{\frac{N_a}{m^* \epsilon}} \quad (3-8)$$

其中， k 是玻尔兹曼常数， h 是普朗克常数， A^* 是 4H-SiC 的理查逊常数， m^* 是隧穿电子的有效质量， ϵ 是 4H-SiC 的介电常数。 V_p 是价带与费米能级之间的差值， Φ_b 是肖特基势垒高度， N_a 是外延层的载流子浓度。

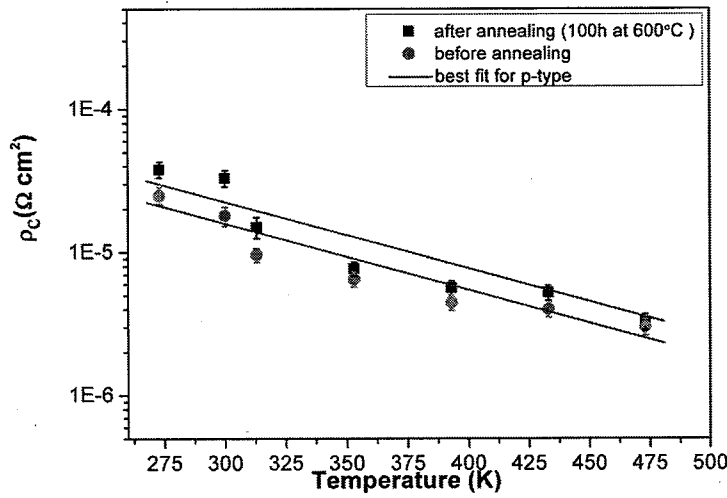


图 3.23 高温老化前后的 p 型欧姆接触的比接触电阻率的温度依赖性

上图示出的是特征电阻率随温度的变化情况，可以看出，他们的适应曲线是基于热场发射理论。随着测试温度的增加，特征电阻率下降。这是由于 Al 的电离引起了空穴浓度的增加，这是宽禁带半导体中掺杂原子不完全电离的典型现象。

3.5 本章小结

本章首先对 JBSs 器件的工艺流程进行了详细的总结。对其中的工艺步骤及详细的工艺参数进行了梳理，给出了我们的 JBSs 器件制造的详细步骤。接着给出了按照我们的设计思路而绘制的版图，主要是介绍版图的具体模块。

接着对工艺制程中重要的离子注入、肖特基接触与欧姆接触进行了详细的研究分析。其中在离子注入方面，对注入离子、高温激活条件与激活率、激活对器件表面的影响三个方面进行了详细的探讨。肖特基接触方面，我们着重关注离子注入条件对 Ti 金属欧姆接触的影响，主要是在势垒高度与理想因子的变化表征上。同时对肖特基接触的势垒

不均匀性进行了阐述与表征,并提出了可以使用 NO 退火的方法提高器件的势垒均匀性及正反向特性。

欧姆接触是实验的重点,其中包括 n 型欧姆接触与 p 型欧姆接触。n 型欧姆接触使用成熟的 Ni 作为接触金属,电阻率已经能达到要求。p 型欧姆接触是我们的研究重点,我们采用 Ni/Ti/Al 三层金属作为欧姆接触金属,在不同的条件下退火得到欧姆接触。同时对其中欧姆接触电阻率比较小的接触我们采用高温存储的方法来考验接触的高温可靠性。并对高温前后的接触,从电阻率、表面形貌、界面合金及成分分析、电流输运机制等方面做了详细的对比与原理性探讨。

第四章 SiC 二极管测试及其可靠性失效分析

从上面几个章节，已经初步形成了肖特基 JBS 二极管的基本概念，工作原理，工艺流程，关键工艺研究及可靠性等。通过这些阐述及研究，目的是要研制出所需要的正反向特性达到要求的二极管，同时器件静态及可靠性测试能达标的完整的封装器件。因此，这个章节进行基于上面几章的设计及工艺探索，进行实际的不同击穿电压等级的器件流片，并进行了详细的测试分析。并对其中发现的器件出现的损坏、失效、高温不可靠等现象进行分析探索，以求发现其中的材料、设计、工艺等缺陷，制造出性能更好，可靠性更强的 4H-SiC 二极管器件。

4.1 二极管器件的测试与分析方法

对于电力电子器件来说，要有能够承受大正向电流和高反向电压的设备才能开展测试工作。下面就介绍测试芯片与封装器件所使用的设备详实。

(1) 静态测试方案

静态电学参数测试主要依托我所一室高压、大电流功率半导体测试设备，可进行手动测试和半自动测试，可实现 Mapping 测试功能，硬件构成包括 CASCADE Summit 12000M 高压探针设备和 IWATSU CT-3200 半导体测试设备，其中 CT-3200 半导体测试设备能耐标准 3000V 高压，1000A 大电流，整机精度达到 $2\%+0.05\%$ ，能够满足 3000V 器件的测试要求。软件平台为半导体参数测试软件，如下图所示：

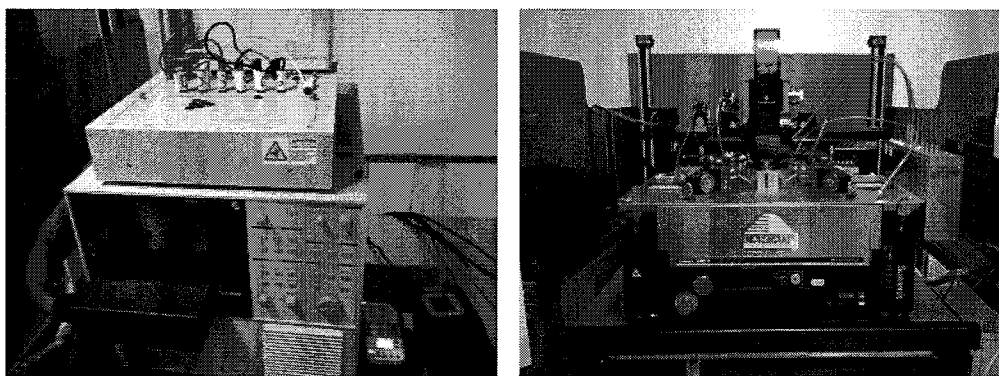


图 4.1 左图为 CT-3200 半导体测试设备；右图为 CASCADE Summit 12000M 高压探针设备

当然，器件的测试包括常温与高温测试，也包括裸片与封装器件的测试，上面介绍的是裸片与封装器件的测试方法。封装器件也是用 IWATSU CT-3200 半导体测试设备，使用下面图 4.3 中显示的电接入方式测试。封装器件高温测试使用 VTM7004/ST-120B2 高低温小型试验箱，采用快速插拔的方式使用上面的半导体测试设备进行测试。裸片高

温测试用给探针台加热的方式进行高低温测试。测试方式主要分为手动测试及半自动测试。

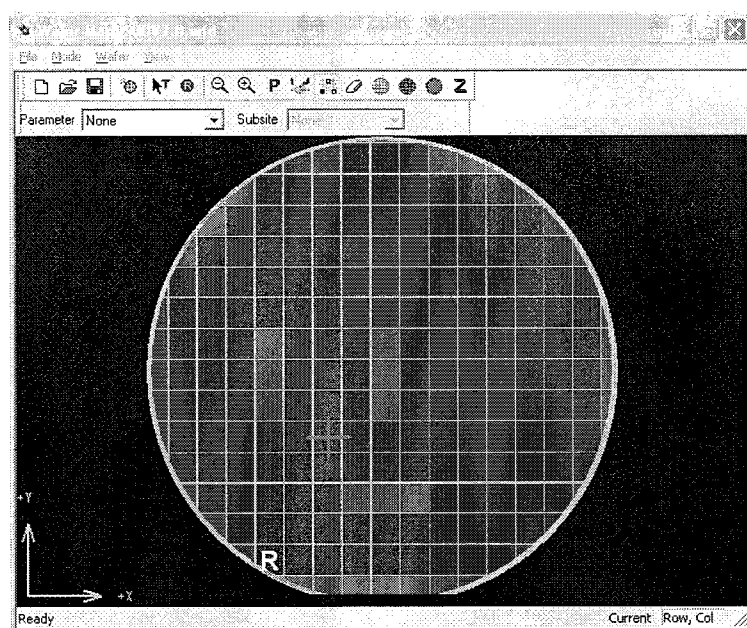


图 4.2 Mapping 测试界面图

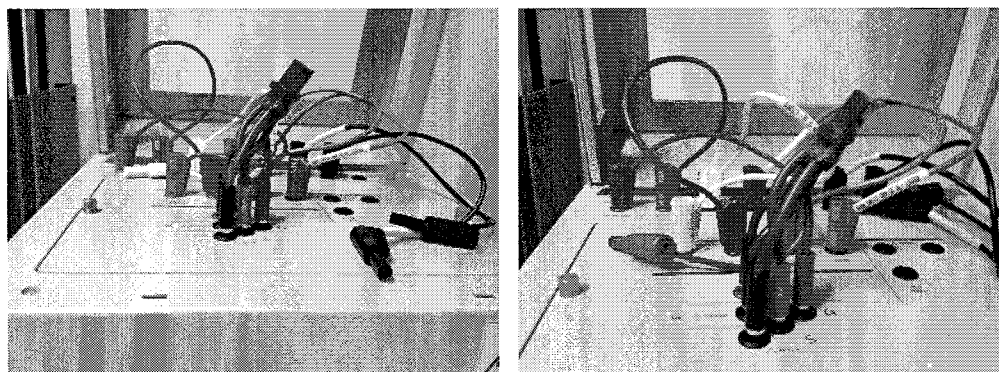


图 4.3 肖特基二极管封装管芯高压（左图）大电流（右图）连线方式图

(2) 动态测试方案

反向恢复电荷测试：动态电学参数测试主要依托我所一室半导体功率器件动态测试系统，可进行手动测试和半自动测试，硬件构成包括 ITC-57220 高压接口设备和 ITC-57300 半导体动态测试仪，软件平台为半导体参数测试软件。

电容测试：电容测试采用 HP-4061A 电容测试仪，能达到目前所达到的要求。具体的实施结果下面会详细说明。其中，动态测试主要针对封装器件。

4.2 4H-SiC 二极管器件静态测试结果及分析

对于目前市场上及将要采用的二极管来说，不同电压等级的二极管可以实现不同的电路需要，降低产品成本，同时使器件发挥最大效用。本着这一宗旨，我们研究了下面

两种电压等级、不同电流等级的肖特基二极管器件，通过小心的设计与仔细的工艺开发制造，得到了基本的二极管器件，下面就研制出来的肖特基二极管做详细的测试说明，并发现其中的问题，以供后期的改进与可靠性研究。

本章主要围绕器件的结构设计，裸片的正向与反向特性测试结果，封装器件的正向与反向特性，动态特性等展开。不同的器件有不同的测试内容，但是反向耐压特性是最为关注的。为了充分的说明实验目的，并具有文章参考价值，我们选取了一部分有价值的的数据整理成特性曲线。

4.2.1 600V JBS 测试结果及分析

(1) 器件结构设计

一共制备了 30A, 10A, 2A 三种器件：三种器件用来比较比较相同 p+区宽度 W1.5 μm 的 JBS 宽度情况下，不同间距 S 的变化 (2, 2.5, 3, 3.5, 4 μm)；同时也比较不同场限环结构参数，共四组参数：10r, 10r-1, 15r, 15r-1。一共采用一个正式片进行工艺研究，它的外延层基本参数是：外延厚度为 7.59 μm ，外延掺杂浓度为 $1.35 \times 10^{16} \text{cm}^{-3}$ 。下表为不同编号器件的主要参数特征：

表 4.1 600V 不同编号器件的主要参数特征

名称	器件描述
30A-2	JBS-30A-W1.5S2.5-FLR-15r
30A-1	JBS-30A-W1.4S1.6-FLR-15r
10A-2	JBS-10A-W1.5S2.5-FLR-15r
10A-1	JBS-10A-W1.5S3.5-FLR-15r
2A-5	JBS-2A-W1.5S4-FLR-15r
2A-6	JBS-2A-W1.5S3-FLR-15r
2A-7	JBS-2A-W1.5S2-FLR-15r
2A-8	JBS-2A-W1.5S3-FLR-15r-C150
2A-1	JBS-2A-W1.5S3-FLR-10r-1
2A-2	JBS-2A-W1.5S3-FLR-10r
2A-3	JBS-2A-W1.5S3-FLR-15r-1
2A-4	JBS-2A-W1.5S3-FLR-15r-C150

器件实际测试形貌如下：

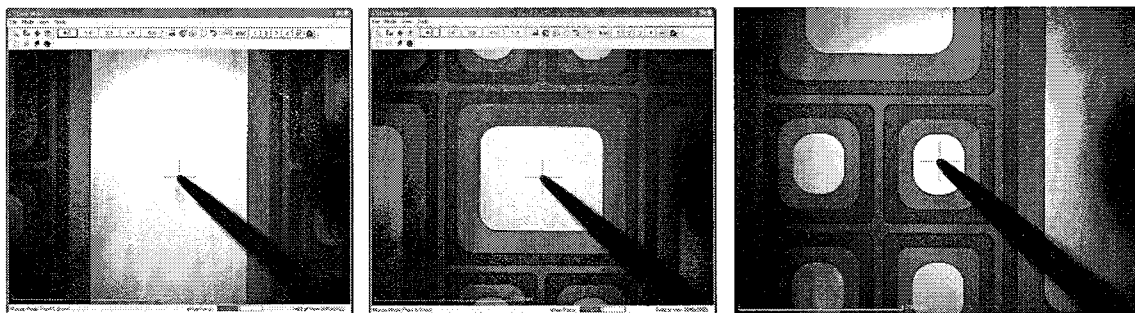


图 4.4 (左) 30A (中) 10A (右) 2A 器件的实际形貌测试图

(2) 器件反向性能测试分析

下面把测试出来的反向特性进行对比分析：

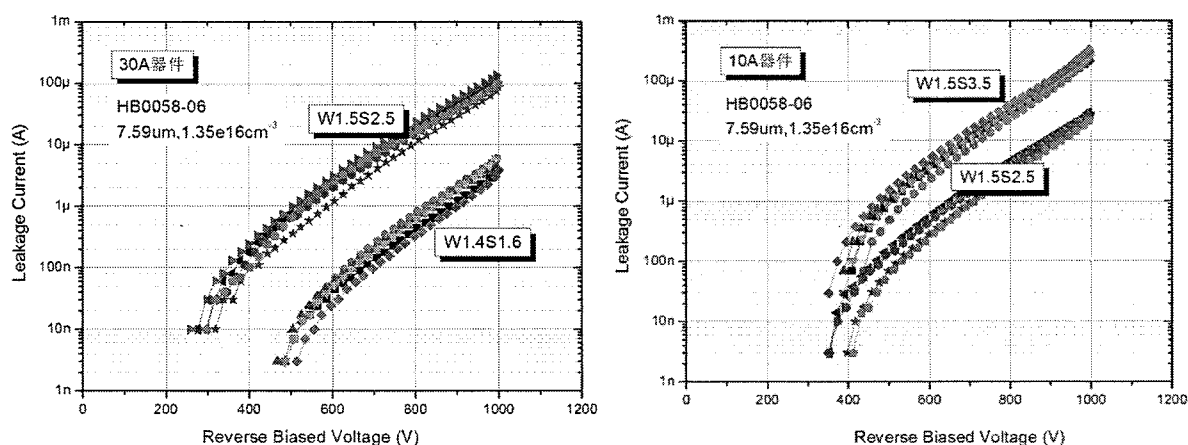


图 4.5 (左) 600V, 30A 器件 W1.4S1.6, W1.5S2.5 比较。(右) 600V, 10A 器件 W1.5S2.5, W1.5S3.5 比较

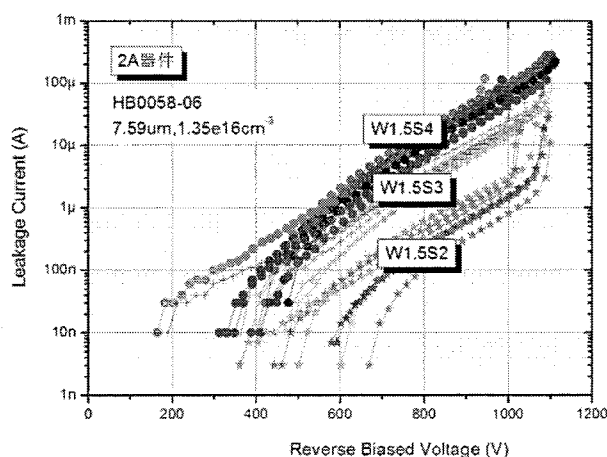


图 4.6 600V, 2A 器件 W1.5S2, W1.5S3, W1.5S4 的比较

从图 4.5(左)中, W1.4S1.6 器件的漏电流明显比 W1.5S2.5 器件的漏电流小。当在 600V 的反向电压下, W1.4S1.6 器件的典型漏电流在 100nA 以下, 而 W1.5S2.5 器件的典型漏电流在 1 μ A 以上。这个漏电流虽然都不太大, 但是从器件性能的角度还是漏电流越小越好。在 W 一定的情况下, 随着环间距的增加, 由于需要更大的电压耗尽层的

穿通屏蔽才能起作用,而且间距大耗尽层的载流子流动更容易,因此环间距大,漏电流也比较大。而从图 4.5(右)和图 4.6 可以得到,在 W 一定的情况下,环间距从 $2\mu\text{m}$ 逐渐增加到 $4\mu\text{m}$ 。比较在 800V 下的漏电流大小,可以看出,漏电流随着 S 的增大而增大,增大趋势逐渐变小。但是并不是 S 越小越好,有一个适当值,在这个值下漏电流基本不会减小,同时正向电流也不至于太小而不符合器件要求。

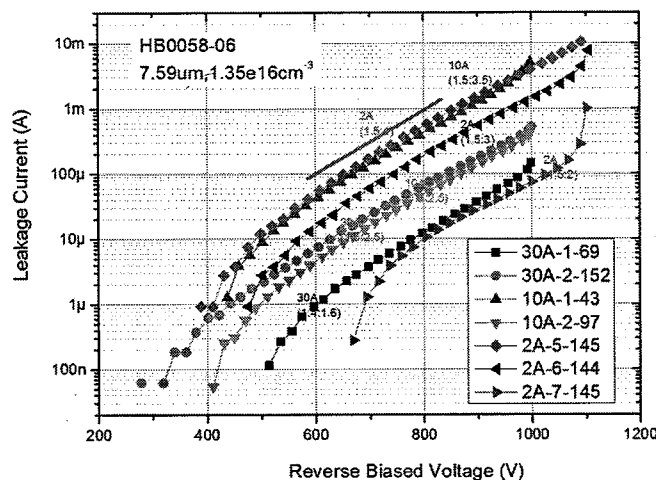


图 4.7 600V, 30A/10A/2A 器件的反向漏电流总体比较

从上图的不同正向电流等级器件来看,不能够说明器件大,缺陷及漏电流复杂,漏电流就大。但是基本的 WS 比下漏电流基本符合上一段的说明。说明器件本身的均匀性还是比较好的。本批次器件的电流随电压的增长速度,与 JBS 中的间距影响不大,电流随电压的关系 ~ 10 倍/200V。综上说明 600V 器件的整体性能还是不错的。

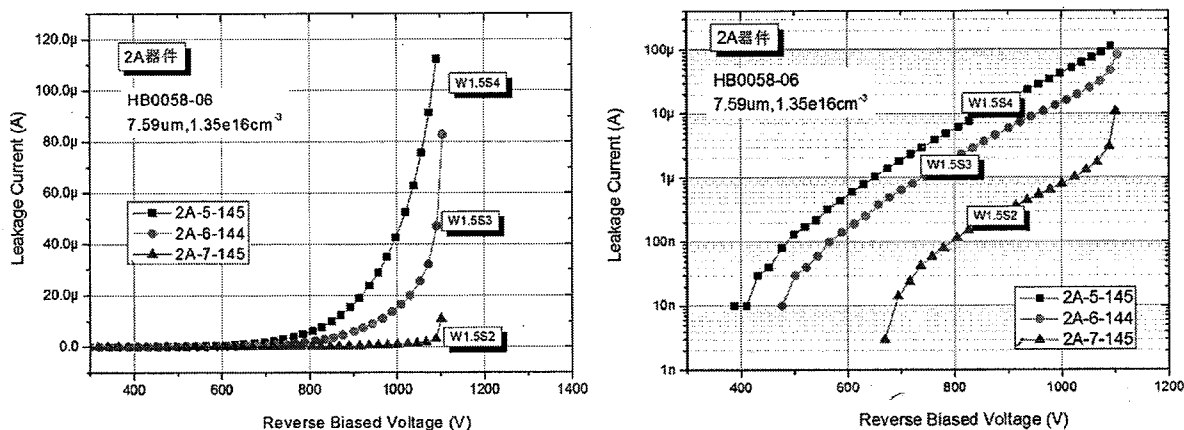


图 4.8 600V, 2A 器件相同结终端器件的反向特性

从上图 4.8 可知,根据 2A 的小器件,考虑 S 间距对击穿电压的影响。根据目前的测试结果, S ($2, 3, 4\mu\text{m}$) 的间距,根据目前的测试范围推测,其击穿电压基本一致,大约 1160V 的击穿电压。虽然 JBS 参数对器件的击穿电压有一定的影响,但由于受相同场限环的限制,其击穿电压较为统一。

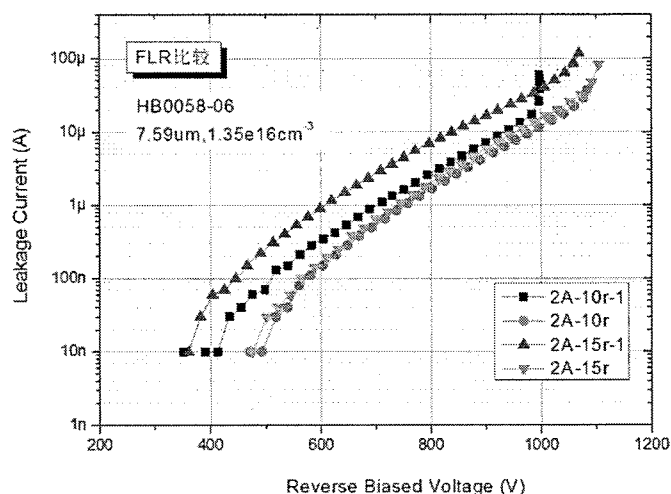


图 4.9 不同场限环结终端结构的反向特性对比

上图 4.9 比较的是不同场限环结构的器件的反向特性。其中 10r 为十个环渐变间距结构，10r-1 十个环等间距结构，15r 为十五个环渐变间距结构，15r-1 为十五个环等间距结构。

从图中可以看出，10r 与 15r 器件的漏电流基本一致。而 10r-1 器件的漏电流次之，15r-1 器件的漏电流最大。然而 10r-1 器件的最大击穿电压比较小。综合比较可得，对于 600V 器件，环的个数并不是越多越好，十个环时候器件已经能够达到要求。

(3) 器件正向性能测试分析

由于器件正向的测试受限于测试设备，同时，正向特性跟 JBS 区域的 P+区宽度 W 与肖特基区域宽度 S 有关，因此在这里选取 30A 与 10A 器件的不同 WS 比的器件进行简单的正向特性分析。如下图所示：

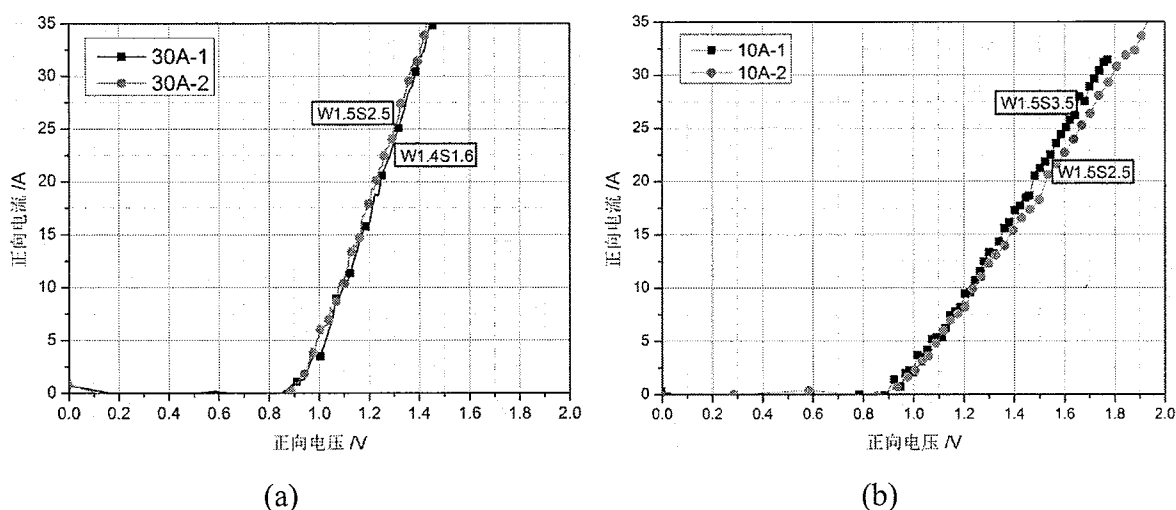


图 4.10 30A(左)与 10A(右)的不同 WS 比器件的正向特性对比

从上面两图中可以看到，对于 30A 器件，两种 WS 比器件在 30A 下的压降在 1.4V

左右,两种情况差别不大。但是对于 10A 器件,两种 WS 比器件的 10A 压降为 1.2V 左右。从这两种情况看来,对于与反向特性影响较大的 WS 比来说,对正向压降的影响却不是很大。这样就有充足的精力来设计 JBS 区域以满足器件的击穿特性,而不用太过考虑正向特性的影响。

从上面几个图中可以看出,由于器件的耐压比较小,简单的设计还是比较容易达到。因此我们并不从器件的成品率角度反映器件的具体流片结果及差异。但是当差异比较大时,我们会更加详细的分析器件的这些差别,这就涉及后面的失效分析,在下面几节会涉及到。

4.2.2 1700V JBS 测试结果及分析

(1) 器件结构设计

一共使用四个 4 寸 4H-SiC 外延片制造 1700V/25A 器件。由于这四片外延片的衬底及外延参数不同,因此用途不同。它们的参数设置如下表 4.2 所示。其中 A, B 和 C 片作为我们的初始尝试,采用统一的 25A/15A 器件结构,如下图 4.11 所示。D 片我们采用不同的 JBS 结构,进行尝试的探索,发现更好的 JBS 结构,以提高我们的成品率。

表 4.2 四种不同外延片的参数设置及用途

片子编号	A	B	C	D
外延厚度/ μm	16.92	16.5	14.92	15.96
外延掺杂浓度/ $\text{E}15\text{cm}^{-3}$	3.65	5.21	6.47	6.1
用途说明	1700V 大器件	1700V 大器件	1700V 大器件	1700V 多结构

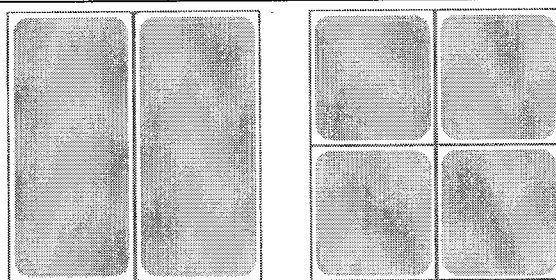


图 4.11 器件的版图整体效果,其中包括(左)3×6mm 与 3×3mm 两种器件结构

(2) 器件反向性能测试分析

下面就上面介绍的前三种器件的反向特性曲线进行展示,并进行简单的分析。下面是 3×6mm 结构器件的反向特性。

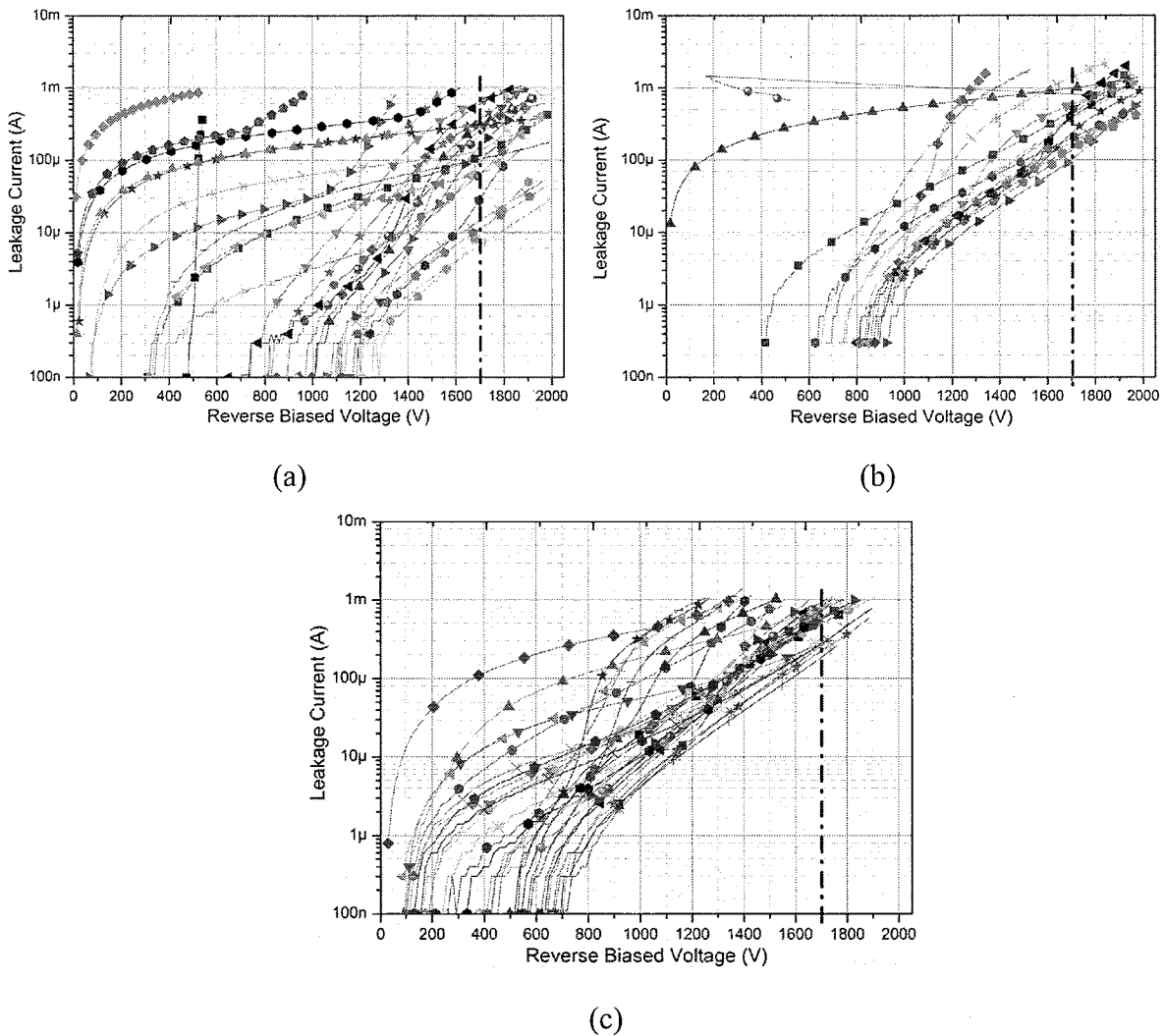


图 4.12 A(a)、B(b)、C(c)片的 $3 \times 6\text{mm}$ 结构大器件反向特性曲线

从上面三个图中可以看出，由于器件的外延衬底材料不同，制造工艺的差异造成器件的性能的不同。暂且以反向电压达到 1700V 时漏电流低于 $500\mu\text{A}$ 作为器件合格的标准。这样可以看出，A 片的符合要求的器件最多，且整体的漏电流要比其他两片较好。根据上面第二章所述，外延层掺杂浓度较小一点，器件的击穿电压会增加。但同时，掺杂浓度小，外延电阻较大，器件的正向压降就大，功耗比较大。因此，需要找到合适的外延掺杂与厚度值，折中这种关系，来研制我们自己的器件。但是 A 器件的不符合击穿条件的器件比较多，这也和材料本身与工艺偏差有关，我们会在后面失效分析中详细说明。介绍完大器件，再来看一下小器件的情况。

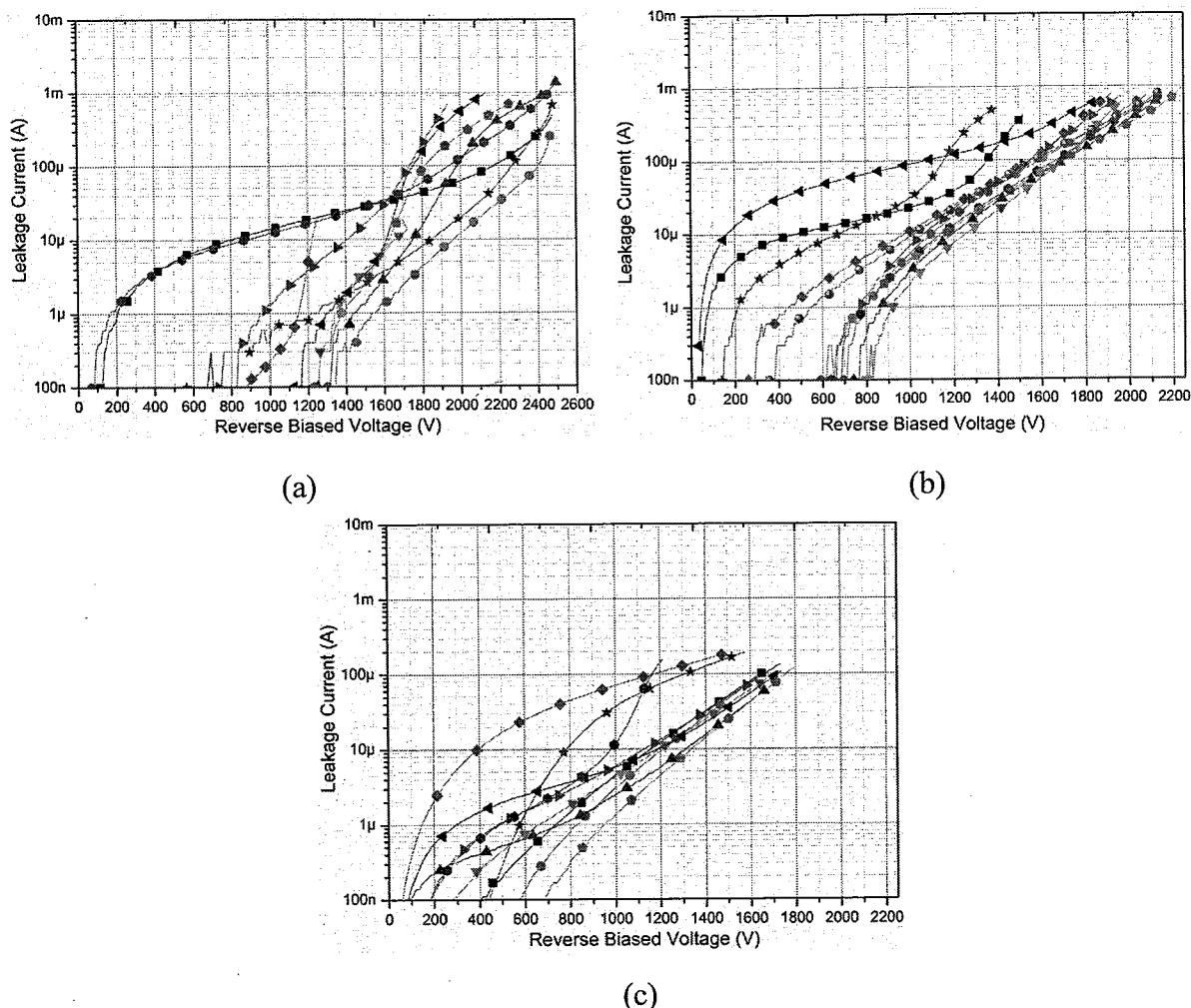
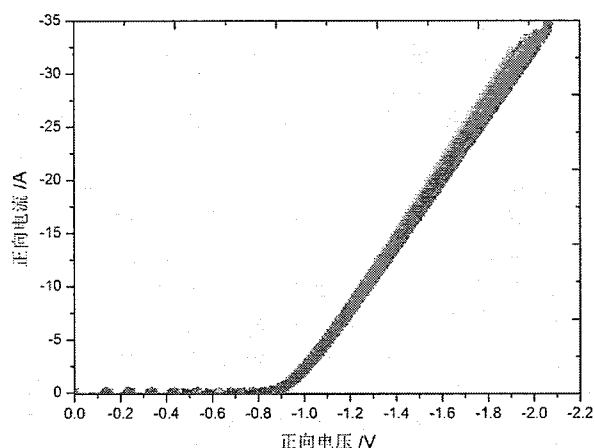


图 4.13 A(a)、B(b)、C(c)片的 $3 \times 3\text{mm}$ 结构小器件反向特性曲线

大器件的器件面积大，材料相应的缺陷多，工艺过程中可能引入的沾污也多。因此比较 4.12 与 4.13 能明显发现小器件的能耐的电压较高，同时漏电流也普遍比较小。说明器件面积大小对反向特性的影响还是比较大的。从这三种小器件的漏电流来看，依然是 A 片上的小器件的漏电流要更小一些，这与大器件的特征保持一致。A 片小器件在 1700V 下漏电流普遍都在 $100\mu\text{A}$ 以下，基本符合我们对器件漏电流的要求，但是有两个器件的起始漏电较高，说明有缺陷或漏电通道存在，需要我们下一步认真分析。

(3) 器件反向性能测试分析

由于 1700V 器件是我们的研究重点，因此介绍完反向特性，来关注一下器件的正向特性。从上面内容知道，B、C 片器件由于外延层及可能出现的材料缺陷，漏电流基本达不到我们的设计要求。因此就不做重点关注，只给出 A 片器件的正向特性。

图 4.14 A 片 $3\times 6\text{mm}$ 大器件的正向特性

从 A 片结果来看,设计的器件最低应该能承受 25A 的电流,此时的正向压降为 1.7V 左右,并且均匀性很好。这跟前面说过的 SiC 领域领先的 CREE 公司的同等级器件的正向压降相当,因此可以认为器件的正向特性基本符合标准。但是 B 片器件在 25A 下的正向压降为 3.5V 以上,正向压降比较大。在没有背面加厚的情况下,由于背面金属与测试探针台的接触不好,串联电阻较大,造成正向压降较大,因此背面加厚对器件的正向特性影响较大。采用 Ti/Ni/Ag 三层金属作背面金属加厚,确实减小了串联电阻,提高了封装时背面与底片的黏合,增强了正向特性,减小了器件的功耗。

上面介绍了 A、B、C 三片的器件反向特性。由上面内容可知,正向特性主要跟器件的外延层厚度及掺杂有关,掺杂浓度越高正向压降越小。因此在这里不再对比 A/B/C 片的正向特性。

下面重点介绍一下 D 片使用多结构的器件。多结构实际上就是使用了不同的 JBS 结构,及不同的结终端结构,来比较优化上面的三片的性能,得到能耐更高电压,漏电流更小的器件。下面就器件的设计及特性曲线进行展示分析。在这里会比较正向与反向特性,这样可以比较全面的评价器件设计的优化情况。

(1) 器件结构设计

从表 4.2 可以看出, D 片的外延掺杂最高,厚度最小,因此在同等级下器件的反向特性应该不及其他三片。但是为了比较分析不同设计的差异,这也是可接收范围内。器件结构如下图 4.15 所示:设计了三种结构区域,每种区域又分为两种 JBS 结构,后面会详细展示结果及分析。

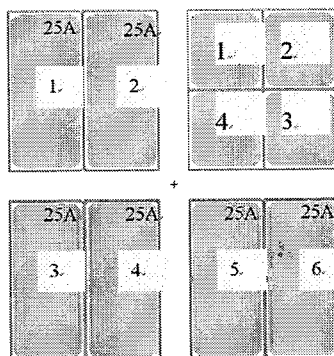


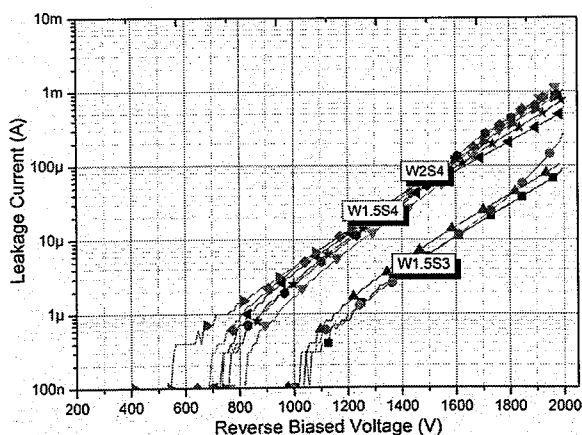
图 4.15 D 片器件版图布局

表 4.3 版图布局中各器件参数描述

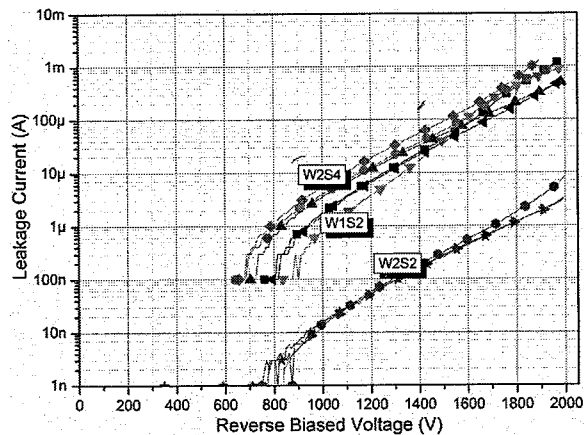
器件区号	名称	描述	JBS	终端
E	25A-1	1700-JBS-W2S4-FLR-3#	W2S4	V5.0-1700V2-3#终端
	25A-2	1700-JBS-W1.5S4-FLR-3#	W1.5S4	V5.0-1700V2-3#终端
F	25A-3	1700-JBS-W2S4-FLR-3#-X	W2S4-X	V5.0-1700V2-3#终端
	25A-4	1700-JBS-W1.5S3-FLR-3#	W1.5S3	V5.0-1700V2-3#终端
G	25A-5	1700-JBS-W1S2-FLR-3#	W1S2	V5.0-1700V2-3#终端
	25A-6	1700-JBS-W2S2-FLR-3#	W2S2	V5.0-1700V2-3#终端
小器件	1	1700-JBS-W2S4-FLR-3#	W2S4	V5.0-1700V2-3#终端
	2	1700-JBS-W1.5S4-FLR-3#	W1.5S4	V5.0-1700V2-3#终端
	4	1700-JBS-W2S4-FLR-3.12#	W2S4	V5.0-1700V2-3#终端
	3	1700-JBS-W2S4-FLR-5.5#	W2S4	V5.0-1700V2-5#终端

(2) 器件反向性能测试分析

从上表中可以看出, JBS 区的 p+层宽度 W 为 1.5、2 μm , 间距 S 为 2、3、4 μm , 下面详细比较分析器件结果。先比较大器件, 如下:



(a)



(b)

图 4.16 三种不同 WS 比的器件反向特性比较

上面两图表示的是不同 WS 比的器件，在加反向电压时的不同表现，重点在漏电流的不同上。这里主要考虑 JBS 区域不同设计对器件反向特性的影响。从(a)中，看到当 $W=1.5$ 或 $2\mu\text{m}$ ，间距 S 为 $4\mu\text{m}$ 时，器件的反向漏电流有少许波动，但是总体来说比较一致。说明在 $S=4\mu\text{m}$ 时， W 为 $2\mu\text{m}$ 或更小的值时，漏电流基本是不变的。此时由于 S 较大，耗尽层阻断电流的能力弱，因此漏电流比较大。而当 $W=1.5\mu\text{m}$ ， $S=3\mu\text{m}$ 时，虽然这时的 WS 比为 1:2，跟前面类似，但是器件的漏电流明显减小。说明 WS 的比值对漏电流的影响并不明显，还要看实际值的大小。这可能是因为在高电压下，由于 p^+ 与外延掺杂的关系确定，耗尽层在同等电压下已经定型，随着 W 与 S 值的变化，他们之间有一个最恰当的值及比例，在这个值变大或变小情况下，漏电流都不会很理想。

从上图 4.16(b)中可以看到， $W=1\mu\text{m}$ ， $S=2\mu\text{m}$ 与 $W=2\mu\text{m}$ ， $S=4\mu\text{m}$ 时，WS 比值是一致的，他们的漏电流在波动范围内也基本一致。这和前面说的基本一致，说明比值并不是一个很关键的问题，该是要看实际的值的大小。当 $W=2\mu\text{m}$ ， $S=2\mu\text{m}$ 时，从图中可以看到，此时漏电流在 1700V 下只有 $1\mu\text{A}$ 左右，说明这个设计很理想，但是要跟正向特性结合才能说明器件的性能的真实好坏，后面我们会给出正向特性。

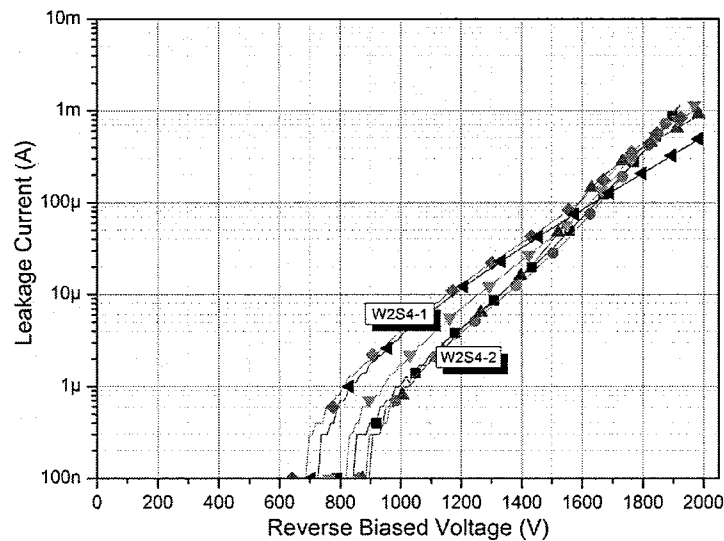


图 4.17 相同 WS 比不同结终端器件的反向特性比较

上图给出的在相同的 WS 值下的不同结终端结构的反向特性曲线。从上面我们可以知道，当 $W=2\mu\text{m}$ ， $S=4\mu\text{m}$ 时，器件的反向漏电流比较大，在 1700V 下基本上都超过 $100\mu\text{A}$ ，这对器件来说是不理想的。我们设计了两种结终端结构来改善这一情况，但是从曲线来看，这一设计仍然不够理想，两种结终端都没有达到应有的效果，漏电流依然偏大。结合上面来分析，可以知道，JBS 区域的设计对器件的反向特性影响是很大的，因此在结

终端一致的情况下合理设计 JBS 区域非常重要。

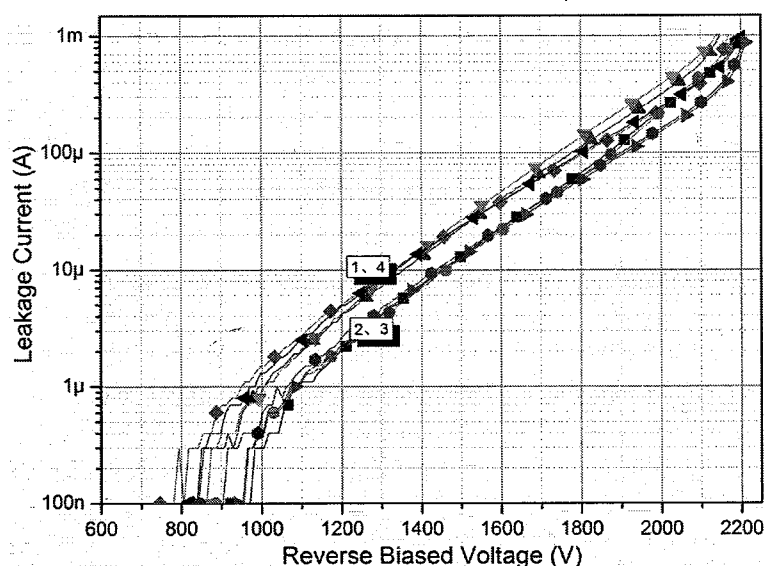
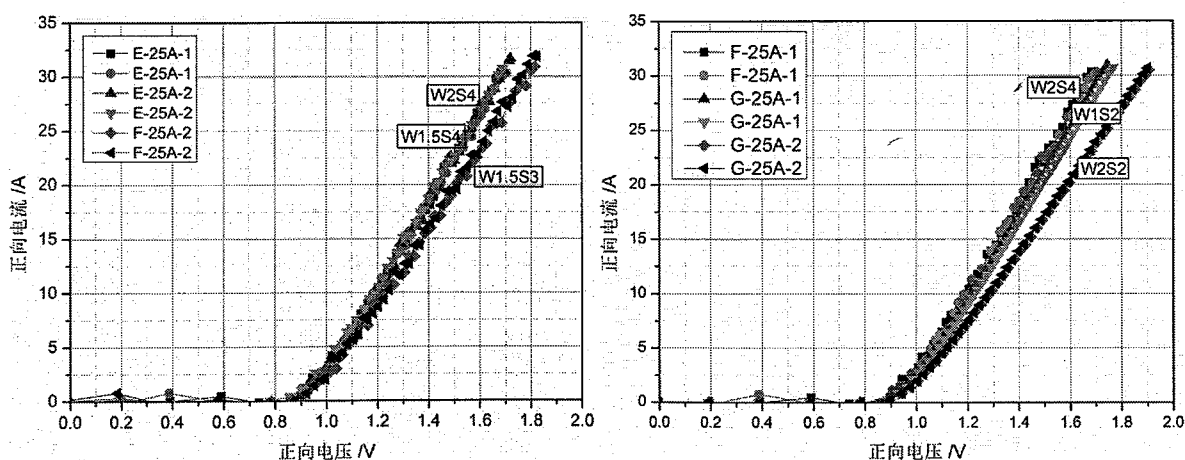


图 4.18 小器件反向特性测试结果

当然，除了上面的大器件的设计及合理分析外，也设计了比较小的器件来更好地说明器件的设计情况，和探索减小反向漏电流的方法。具体的设计参数已经在表 4.3 中展示。其中 1、4 号器件的 JBS 设计一致，而结终端 稍有不同，可以看到，反向特性也基本一致，说明这个结终端并没有达到理想或是对器件无影响。而 3、4 也是在结终端上有所不同，但是明显的 3 号器件的反向漏电流比较小，说明这个结终端设计还是比较理想的。综上所述，使用 $W=2\mu\text{m}$, $S=2\mu\text{m}$ ，同时使用 3 号器件的结终端结构，会得到一个较为理想的器件反向耐压特性。

(3) 器件正向性能测试分析

下面来研究 D 片器件的正向特性。其中我们的研究重点是不同的 JBS 设计对器件正向压降的影响。器件的设计电流为 25A，因此主要比较 25A 下的正向压降大小，因此来得到一个比较优化的有源区设计。测试结果如下：



(a) (b)

图 4.19 E、F 设计(a)与 F、G 设计(b)的不同 WS 比器件的正向特性对比

从图 4.19(a)中,可以看出,对于 $W=2\mu\text{m}$, $S=4\mu\text{m}$ 与 $W=1.5\mu\text{m}$, $S=4\mu\text{m}$ 的 JBS 设计来说,正向特性相差不大。但是对于 $W=1.5\mu\text{m}$, $S=3\mu\text{m}$ 的设计来说,正向压降在同样 25A 下变大。从图 4.19(b)中,可以看出对于 $W=2\mu\text{m}$, $S=4\mu\text{m}$ 的设计正向压降要比 $W=1\mu\text{m}$, $S=2\mu\text{m}$ 的设计要小,同时 $W=1\mu\text{m}$, $S=2\mu\text{m}$ 的设计要比 $W=2\mu\text{m}$, $S=2\mu\text{m}$ 的设计要小。这样得到最小的压降发生在 $W=2\mu\text{m}$, $S=4\mu\text{m}$ 。但是同时结合上面反向特性分析来说,得到 $W=1.5\mu\text{m}$, $S=3\mu\text{m}$ 的设计中反向漏电流符合要求,同时正向压降也不会很大,基本符合设计要求。

4.2.3 NO 处理的 SBD 器件的正反向特性测试及分析

在第三章中已经详细介绍了 NO 处理对肖特基二极管器件的可能影响。NO 处理可以显著的减小界面杂质簇,改变势垒高度,同时减小器件的势垒不均匀性。使整体器件的反向特性更加均匀,防止小电流下双势垒现象的发生。这里对经过 NO 处理的器件进行研制,同时测试对比分析。

(1) 器件结构及工艺设计

器件的总体工艺流程与第三章中 JBSs 器件的工艺流程类似。但是在使用 PECVD 进行 SiO_2 钝化层的淀积之前,在纯净的 NO 退火炉中,在 1300°C 高温下退火 1 h。这样可以使 NO 与 SiC 中残留的 C 簇及 Si 原子形成 Si-C-O, Si-N, C-N 键,使这些原子被钝化,防止器件出现严重势垒不均匀性。

器件的尺寸为 $3\text{mm}\times 3\text{mm}$,外延层的掺杂浓度为 $4.6\times 10^{15}\text{cm}^{-3}$,厚度为 $16.63\mu\text{m}$ 。为了方便起见,我们将其编号为 E 片。器件的版图设计依据图 4.12 中小器件的设计。下面会通过与之前器件的正反向特性对比来说明 NO 处理的实际效果。之前的器件我们选择 A 片上面的小器件进行对比。A 片的外延层的掺杂浓度为 $3.65\times 10^{15}\text{cm}^{-3}$,厚度为 $16.92\mu\text{m}$ 。

(2) 正向特性测试分析

经过前面的分析知道,对于器件的正向特性来说,NO 处理有可能改变器件的正向特性,改变势垒高度。这样可以有差别的改变正向压降。下面先来看大电流下的特性曲线。分别选取三个点作为参考点。

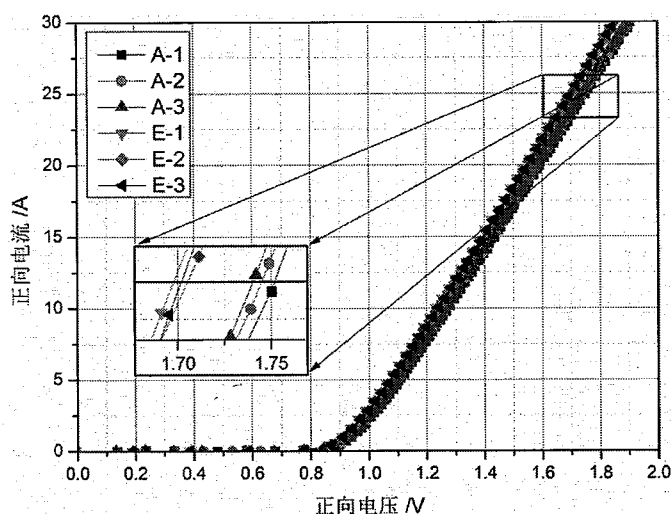


图 4.20 A 片与 E 片小器件的 25A 下正向压降比较

取三个测试点点的平均值，其中 A 片 25A 下的正向压降为 1.745V，E 片的压降为 1.7V。从前面章节可知，对于相同设计的器件，影响器件正向特性的因素主要是外延层的掺杂浓度与厚度。因此可以知道，由于 A 片的外延层掺杂浓度比较低，因此压降偏高。从这个特性我们目前还不能判定 NO 处理的正向效果。因此我们接着对选取相同位置的 20 个测试点对器件进行正向小电流测试，来评价器件的势垒高度与理想因子是否有比较大的差别，及验证器件势垒的均匀性。正向小电流测试结果如下：

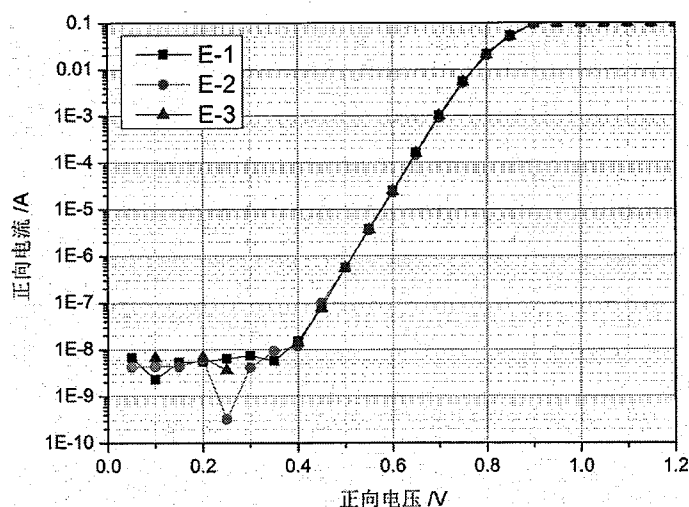


图 4.21 E 片的正向小电流测试结果

从图 4.21 正向小电流测试结果，经过计算，得到肖特基势垒高度都为 1.26eV。从 A 片的正向小电流测试结果计算得到势垒高度为 1.256eV。可以看到，是否经过 NO 前退火处理，器件的势垒高度不会有比较大的变化。

(3) 反向特性测试分析

经过 NO 处理的器件，由于有源区界面的杂质沾污变少，能显著的提高势垒的均匀性，修复部分缺陷，从而提高器件反向特性，提高器件的成品率。下面我们就 A 片与 E 片小器件的反向特性曲线做一个比较分析。选取比较典型的相同位置的 30 个点进行比较。

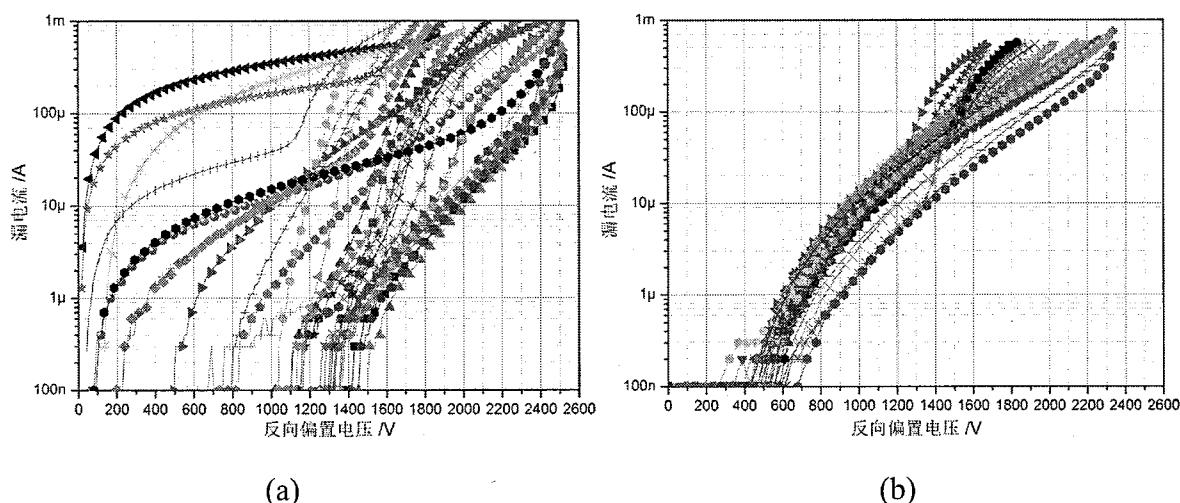


图 4.22 A 片(a)与 E 片(b)的小器件的反向特性测试结果

从上面两图中，明显看到未做过 NO 处理的和经过 NO 处理的器件的反向特性的不同。根据我们上面的阐述，由于 NO 处理可以明显改善界面电荷及杂质沾污，减小器件的漏电流，提高势垒均匀性而导致反向一致性良好。从上面的测试结果来看，器件的反向一致性确实有显著的改善。但是器件的漏电流水平并没有随着一起变好，NO 处理并没有达到我们想要的减小漏电流的效果。

根据以上正反向的测试结果来看，我们将其总结为三点：

(1) 正向大电流特性跟一般的器件并没有多大的改变。由于器件的正向压降大小跟器件的面积，外延层掺杂与厚度，势垒高度及所加电压有关。在同样的面积、相同的电压下，A 与 E 有不同的外延层参数，但是有相同的势垒高度，从而得到形同的正向特性。说明 NO 处理对正向效果并不会很明显；

(2) 通过正向小电流测试，虽然经过 NO 处理，但是器件依然会出现双势垒，坏势垒情况。这说明 NO 处理并没有完全改善肖特基势垒的不均匀性。虽然势垒高度跟所用的衬底与金属，及钉扎情况有关，但是 NO 退火处理对钉扎情况改善不大；

(3) 反向特性中反向漏电流并没有相应的降低，反而有所增加。同时反向的一致性明显增加。究其原因，一方面是可能的工艺不完善。NO 处理过程并没有在预计中的那么苛刻的环境中进行，在器件表面沾污情况下进行 NO 处理，势必不会得到想要的结果。另一方面可能是由于 NO 处理后，对后续的肖特基退火有影响。在 500℃ 下进行肖特基

退火可能不是理想的条件,需要重新优化肖特基退火条件。这两个因素可能共同导致反向漏电流的增加。

4.3 4H-SiC 二极管器件高温测试及瞬态特性结果及分析

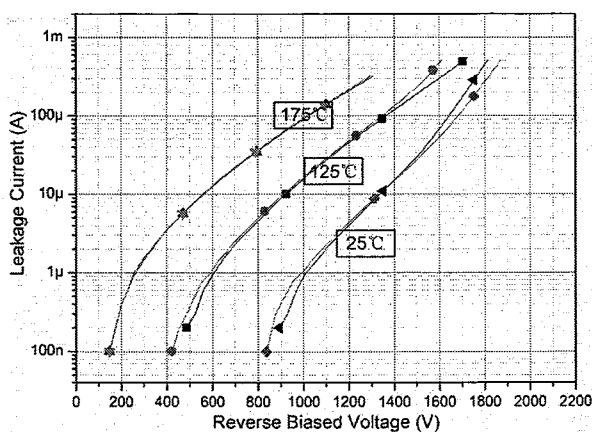
SiC 材料由于其高热导率、高禁带宽度,在高温条件下具有较强的应用潜力。然而 SiC 器件在高温下、甚至在室温下由于自热也会出现退化甚至失效。目前器件的最大工作结温也仅仅有 250°C ,远低于一些文献指出的 SiC 器件的最高工作温度 600°C 。

对高温特性的相关研究中,其中一种研究方向是着重分析 SiC 器件的高温特性,即器件在环境温度较高时特性的退化情况。多数文献研究的高温环境集中在 100°C 至 300°C 之间,在这个温度范围内,器件特性的退化已经很明显了。高温特性的研究不仅仅局限与器件的静态特性,开关特性、瞬态特性也是研究的重要领域。我们在这一节重点介绍我们的封装及其裸片器件在高温 25°C 、 125°C 、 175°C 三个温度下的器件性能变化,从静态特性方面入手,考察我们的器件的耐高温特性。

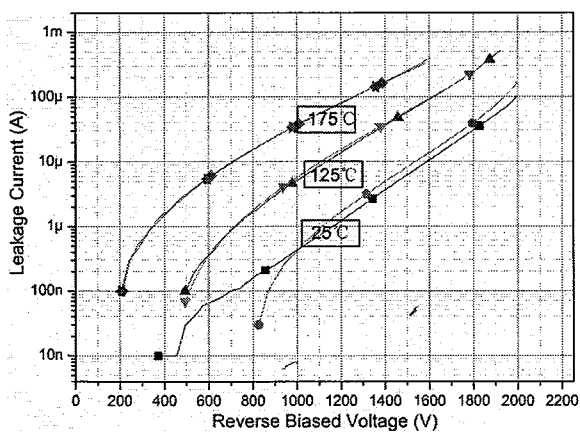
我们在这里由于实验条件与实验时间的限制,加上我们的研究重点在 1700V 器件上,因此,在这里我们把重点放在 1700V 器件上。

(1) 裸片的高温测试结果及分析

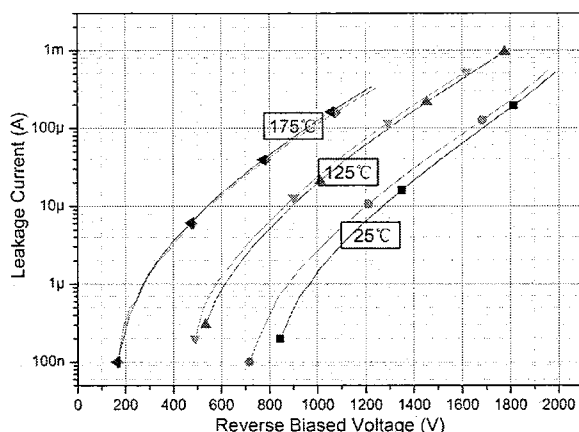
这里选择上面已经分析过的 1700V 多结构的 D 片进行。由于结构设计比较多,便于分析比较。由于实验条件限制和对反向耐压的迫切需求,我们只测试了反向特性,得到了如下所示的反向特性曲线。



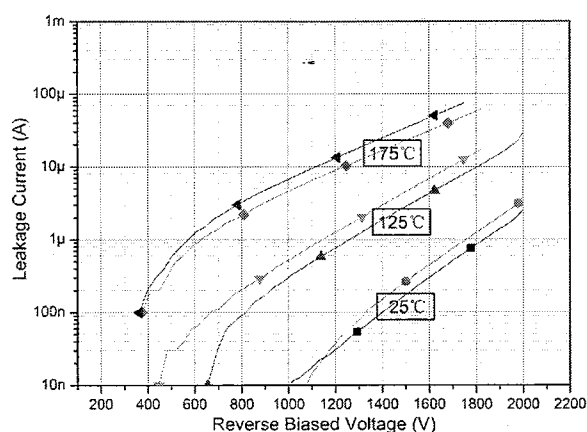
(a)



(b)



(c)



(d)

图 4.23 四种不同结构器件在不同温度下的反向耐压曲线

从上一节我们知道，对于 E25-1 与 E25-2 器件，由于 JBS 区域设计的并不合理，反向漏电流比较大，因此我们在这里不考虑这一类器件，对其他 F 与 G 的四种器件进行比较。由于器件在高压高温下可能导致打火烧毁现象，因此有些器件并不能测试到等级耐压 1700V 以上。在这里我们选择 1200℃作为测试的标准，将他们的漏电流列表如下：

表 4.4 四种器件在 1200V 时的漏电流比较

器件编号	器件 JBS 区及结终端设计	漏电流 (μA)		
		25℃	125℃	175℃
F25-3	1700-JBS-W2S4-FLR-3#-X	4	45	200
F25-4	1700-JBS-W1.5S3-FLR-3#	1.5	15	90
G25-5	1700-JBS-W1S2-FLR-3#	9	70	300
G25-6	1700-JBS-W2S2-FLR-3#	0.05	1	10

从上表看到，对于四种器件来说，虽然说 G25-6 器件的总体漏电流最小，在高温下仍然只有 10 μA 的漏电流，但是相比于其他器件来说，漏电流上升的速度是最快的。同时器件 F25-4 的总体漏电流次之，但是电流上升的速度是比较慢的。另外，G25-6 器件在 1700V 电压下 175℃时的漏电流也不到 100 μA ，比较符合我们对现有器件的期望。因此结合器件的反向特性，我们认为 G25-6 器件的整体漏电流比较小，应该在高温环境下能很好地工作，是我们期望的结果。

(2) 封装器件的高温测试结果及分析

我们前面说过，器件的封装形式及封装结构对器件的高温特性影响很大。这直接关系到器件的自热，功耗，性能都有很大影响。我们这里选取的器件是我们通过对前面描述的能耐 1700V 高压的器件进行封装，封装形式采用工业标准 TO-247-2L 封装形式，使用

三根铝线键合，使之能耐高压大电流，如下图所示：

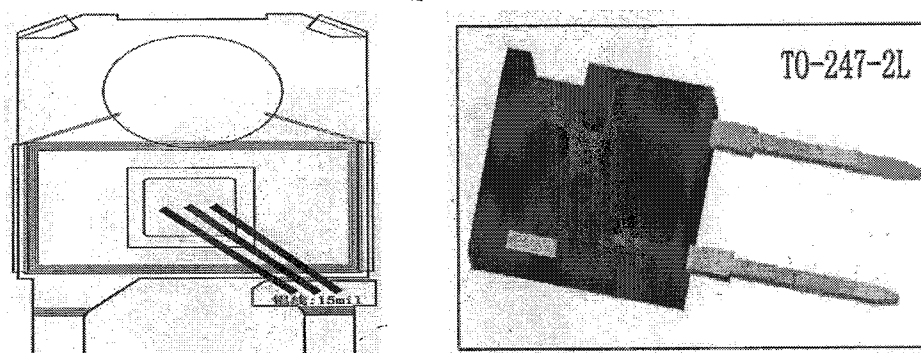


图 4.24 器件的封装外壳结构及成品外型图

下面我们对器件的正向与反向特性进行高温 125℃ 与 175℃ 的测试及分析。由于器件的本身常温静态特性影响器件的高温特性，把 25℃ 作为对比温度。正向与反向特性测试结果及分析如下。

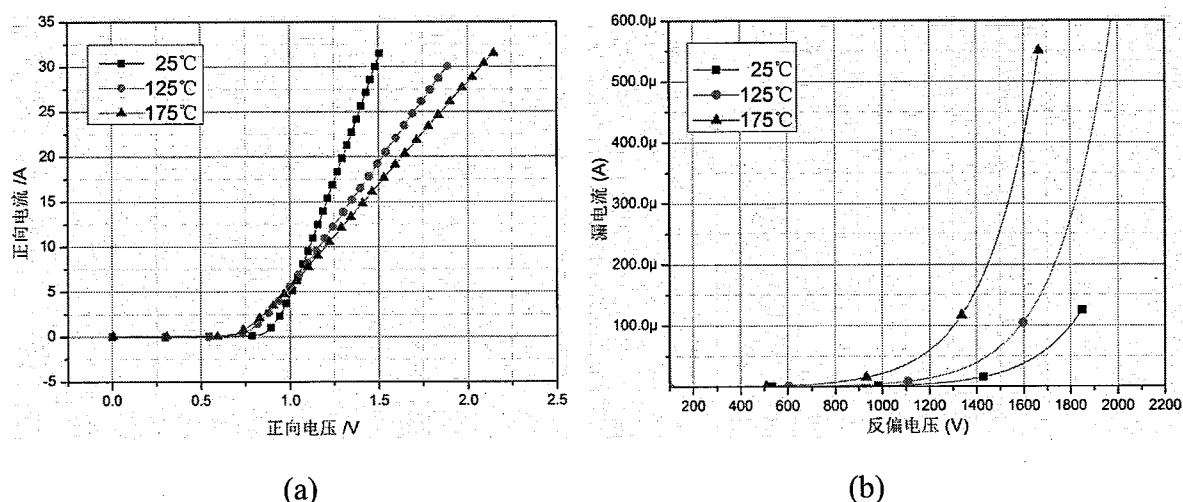


图 4.25 1700V 封装器件的正反向高温特性

上面两图分别是我们自己测试得到的 1700V 封装器件的高温正反向特性。从图中(a)可以看到，对于我们设计的 1700V/25A 器件，器件基本上都能达到这个量级，而且电压越大电流逐渐增加。在常温 25℃ 下，25A 下的正向压降为 1.4V。但是随着温度的升高，电压降开始增加，175℃ 时的压降为 1.85V。这对器件来说并不是好事，我们的器件面积比较小，考虑到面积因素，这个压降水平还是不算太好。

从上图(b)中我们可以看到，对于封装器件，跟前面的没有封装前的反向比较，反向耐压特性并没有很大改变，基本上是一致的。这种反向水平跟 CREE 公司同等级器件比较起来还是有很大差距，值得我们后期仔细设计考虑。

(3) 封装器件常温电容及瞬态特性结果及分析

前面已经说过，对于电力电子器件来说，既要得到良好的静态特性，又必须保证开

关动态特性，两者缺一不可。下面我们就器件的动态特性进行展示。前面已经讲过动态测试手段与方法，这里就不赘述。我们在这里给出反向恢复测试的条件，其中所加反向电压为 600V，正向电流为 25A，电感为 2mH， $di/dt=200A/\mu s$ 。电容测试条件为所加频率为 1MHz，反向偏压如下表。测试结果如下表：

表 4.5 1700V 封装器件的电容及反向恢复测试结果

测试项目	电容 C (pf) (VR=0V)	电容 C (pf) (VR=100V)	反向恢复时间 Trr (ns)	反向恢复电荷 Qc(nC)
器件 1	3090	98	32.3	98.3
器件 2	3026	93	34.2	93.1
器件 3	3320	417	33.8	119

从上表中可以看到，在不同的反向偏压下，由于器件内部电荷的变化，寄生电容也随之变化，在不同偏压下的电容也不相同。加上面积对实际电容大小的影响，电容的实际测试结果还是可以接受的。由于仪器设备的测量误差，反向恢复特性并不是很准确，但是还是可以大致反映器件的特性。反向恢复电荷为 100nC 左右，基本和 CREE 器同等级器件相当，从这个方面看动态特性还是可以的。下面我们展示一下器件的反向恢复特性曲线，可以看到，SiC 肖特基二极管的反向恢复电荷确实很小。

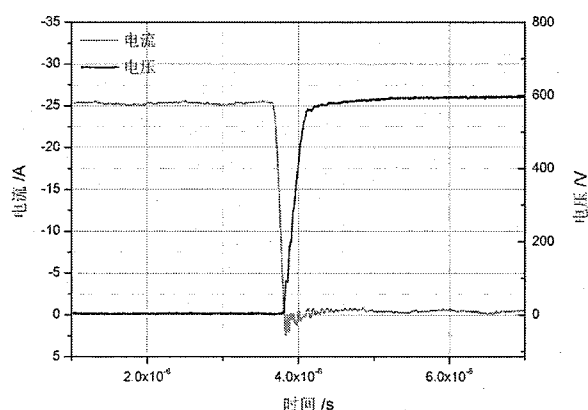


图 4.26 器件反向恢复特性曲线

从以上制造出的 600V 和 1700V 的器件的成品率跟国外 Cree 公司的制造水平来看，成平率不是很好。但是从性能来分析，我们器件裸芯片的静态正反向特性已经明显的跟国外先进水平达到一致，并且在某些方面做得还更好，并且封装器件的动态特性已经达到国外先进水平。因此成品率是我们目前要考虑的主要问题。

4.4 可靠性失效分析

对于器件的可靠性失效分析，可以分为静动态特性初始失效与可靠性试验造成的失

效。对于一个器件来说,初始失效最为关键,这关系到器件是否能够达到设计要求,能否正常进行可靠性试验,能否达到产品设计的成品率等诸多问题。我们在本节所述的失效,就是初始失效,就是器件在没有进行可靠性试验情况下的前期失效。把前期失效研究透彻,把失效率减至最小,把成品率提高到最大,是我们目前的重要目标。因此,下面两个小节,就从失效原因,和对具体器件的具体分析入手,透彻研究减小器件失效率的方法,把我们的器件的成品率提高到最佳状态。

4.4.1 器件的失效原因研究

器件失效机理指器件失效的实质原因,即引起失效的物理或化学过程。主要包括五个方面:材料问题引起的缺陷;体内退化机理;氧化层缺陷;金属化系统退化;封装退化。但是这些失效机理并不是对所有器件都适用。不同器件有不同的失效机理,我们的目标是找到这些引起失效的原因,进而改善器件性能,减小失效率。

从上几节中可以看到,由于器件的静态失效,在设计要求在 1700V 耐压的器件中,有很大一部分都不能满足我们的设计要求,反向漏电流比较大。因此,从材料、原理设计与工艺研制方面对器件进行失效原因分析,对改善器件特性及成品率有很大作用。从我们的器件测试情况来看来说,器件的失效主要分为:(1)器件起始漏电流比较大;(2)器件的击穿电压比较小,器件很早就击穿;(3)器件打火并击穿烧毁。这三个方面严重的影响器件的工作状态,下面从五个方面来对引起这些现象的原因进行总结与分析。

(1) 材料本身缺陷

一般来说,SiC 材料的生长过程目前国内还不是很成熟。尤其是外延过程,不可避免的会出现缺陷,包括晶格中替位的单原子或小型原子簇形成的点缺陷;平行晶格的 C-轴,可贯穿整个晶片和外延层的螺位错、刃位错。这些缺陷是材料本身具有的,是不可避免的对器件性能有很大影响的重大隐患。对肖特基势垒器件来说,器件中出现这些缺陷,在反偏状态下,器件的漏电流一般会很大。虽然近几年材料外延生长工艺已经达到了很好的水平,但是不可避免的还是会有一些或大或小的缺陷,引起器件失效。因此,把材料缺陷作为一种失效模式也是很重要的方面。

(2) 界面电荷

器件的漏电流与界面电荷密度也有很大关系,当电荷密度足够高时,会严重的降低击穿电压。对于正电荷,密度越高,击穿电压越小。对于负电荷,有一个临界电荷密度,超过或低于这个电荷密度,击穿电压都会减小。界面电荷密度的正负与大小,与界面处

理情况,后期肖特基退火状况都有关系。热氧和 PECVD 生长 SiO_2 的过程会引入可迁移的电荷,对界面处的电场密度影响很大。如果电荷过多,电场集中快,漏电流势必上升快。

(3) 离子注入相关工艺

离子注入对器件的性能影响很大。其中离子注入的深度,掺杂浓度,激活率等对器件的性能影响很大。在这些保证的前提下,离子注入可能会引入一些问题。比如,在激活退火过程中会在表面覆盖一层 C 膜,这层 C 膜的保护效果,能否有效减小表面粗糙度,激活后能否完整干净的去掉等,对表面及界面影响很大,会引起势垒高度不均匀,引发双势垒效应等。同时,激活过程中可能会使表面的 C 析出,形成或大或小的 C 原子或 C 簇,严重影响表面清洁度及势垒状态。进而这些都会影响器件正向与反向特性,引起漏电流的增加。

(4) 湿法刻蚀相关工艺

在第三章已经讲过肖特基器件的具体制造工作过程,其中, SiO_2 及肖特基金属使用湿法腐蚀工艺去除。其中,PECVD 生长的用于钝化保护作用的 SiO_2 的去除,用 BOE 进行湿法腐蚀。如果腐蚀过程引入残胶及没有去除干净的 SiO_2 ,落在肖特基接触区域,势必会引起势垒不均匀,进而导致电流集中,引起器件烧毁等现象发生。

(5) 肖特基与欧姆金属及其退火条件

一个优化的肖特基二极管必须有一个良好的肖特基接触与欧姆接触。肖特基势垒严重影响器件的特性,势垒高度太高,正向电流小,同时势垒高度太低又会使反向漏电流太大。因此必须采取一个折中的方法。研究表明,使用 Ti 作为肖特基金属,可以使器件的势垒高度保持在 1.15 到 1.3eV 之间,是一个优化的势垒值。同时欧姆接触使用 Ni 金属可以使比接触电阻保持在 10^{-5}cm^2 以下,使器件能够保持良好的正反向特性。但是对于具体的退火工艺来说,由于设备,金属沾污,清洗污染等因素的影响,会使肖特基金属与 SiC 接触界面之间出现不同的金属合金相,进而形成不同的势垒高度,引起反向漏电增加。

以上五个方面,每个方面出现问题,都会对器件的正向或反向特性造成影响。其中一个很重要的直接结果就是导致肖特基势垒不均匀性出现,就如第三章中所述。这样可以直接导致器件漏电流的增加,增加器件的失效率。

4.4.2 器件的失效分析

我们前面已经详细的描述过很多器件的不同的正向或反向特性曲线。从这里面可以看到，一个 4 寸的 4H-SiC 外延片上做了很多器件，但是从测试结果来看，有很多器件并没有达到我们的设计要求，具有很高的漏电流，很小的击穿电压，易打火烧毁等诸多失效现象，这是我们不愿意看到的。因此本着减小器件失效的角度，我们重点研究了具体器件的失效原因，总结器件失效特点，来提高我们器件的特性。

前面我们探讨了可能引起器件失效的五个方面，我们下面分别从材料本身缺陷、肖特基势垒变坏情况、器件表面的观察及测试状态、反向漏电流机制四个方面来具体分析失效器件出现的原因。我们在这里选取的实际器件都是从上面几节中的器件测试片中选取，以方便我们详细的分析。

4.4.2.1 材料本身缺陷

这里我们选取的器件是设计耐压为 1700V 的 4 寸 4H-SiC 中的 D 外延片，这个片子是用于多结构 JBS 区域，供我们设计较为合理的 JBS 区域的。在这里我们选择这个片子作为我们研究材料缺陷对器件失效率的一个考察样本。

其中，使用 Candela 图来表征外延材料的缺陷状态，这些缺陷的直径是不一样的，有不同的级别，在下图中可以看到。Candela 图与我们的实际器件的映射图像如下，其中叉号，方块，三角分别代表不同的缺陷直径。其中总共有 159 个器件单元（器件编号如图所示，按 S 形分布），如图 4.11 中左边器件的 $3 \times 6\text{mm}$ 大器件，左边编号器件-1，右边器件-2，阴影器件为 $3 \times 3\text{mm}$ 小器件。

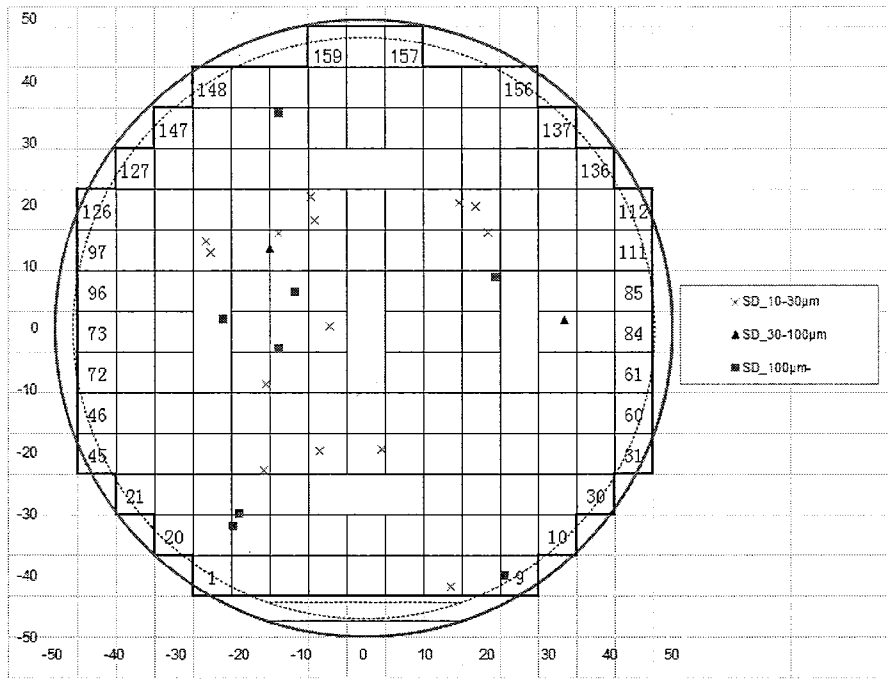


图 4.27 Candela 图与我们的实际器件的映射图像

由于每一个器件都有相应的编号，器件的实际位置跟器件的实际缺陷位置对应，来发现他们之间的相关性。从结果中可以发现，有一些器件的反向特性比较好，在 1700V 下的漏电流在 500μA 以下。但是也有很大一部分器件的漏电流比较大，特别是在低电压下的漏电流就很大，这是我们研究的重点。

我们也可以从器件的 Candela 图中发现有缺陷的器件，反过来看这些器件的反向特性，从中发现材料缺陷对器件的反向特性的影响。我们把缺陷器件，同时又具有大的漏电流的器件列表如下。

表 4.6 candela 图与实际器件的映射图表

缺陷大小	100um	30-100um	10-30um
大器件编号	9-1	82-2	7-2
	18-1	101-2	37-1
	19-2		39-1
	24-1		40-1
	77-1		68-1
	88-2		78-1
	92-2		100-2
	144-1		121-2
			116-1

			117-2
			106-2
			101-2

从上面的结果来看，缺陷对器件的特性影响很大，我们分析了全部的缺陷器件，发现这些器件的反向特性基本都不好，但是不排除 Candela 图可能出现的误差，这正好反映出缺陷对器件性能的影响。而且，由于 SiC 外延材料本身的缺陷，工艺制造的时候边缘的一些器件本身可能就没有反向特性。如下表为材料边缘无反向特性器件：

表 4.7 六种结构的边缘无反向特性器件汇总

E-1	E-2	F-1	F-2	G-1	G-2
84, 96, 97, 112, 126, 127, 136, 137, 147, 148, 156, 157, 158, 159	84, 85, 111, 112, 126, 136, 137, 148, 156, 157, 158, 159	1, 2, 20, 21, 45, 46, 72, 73	1, 20, 21, 45, 73	9, 10, 30, 31, 84	8, 9, 10, 30, 31, 60, 61, 84

这样，我们在这里就从材料出现的问题入手，明白了缺陷对器件性能可能引起的影响。我们得到，材料的本身缺陷对器件的反向特性确实有很大影响，有材料缺陷的地方器件的反向特性普遍不好。从以上可知，材料缺陷确实对器件性能有很严重的影响。

4.4.2.2 肖特基势垒不均匀

从前面我们已经知道，肖特基势垒不均匀现象会严重影响器件的反向特性，导致漏电流偏大。同时，也可能导致器件在小电流正向测试时出现双势垒等现象，使器件性能变差。我们前面阐述过材料缺陷对器件性能的影响，我们这里观察器件的不均匀势垒对器件性能的影响。我们选取同样的 1700V 多结构 D 片上面的 F-1 器件，这个器件的详细参数我们在前面已经介绍过。我们把这个器件的正向小电流与反向漏电流特性给出如下面两图。通过这两个图的比较，我们分析出不均匀势垒可能对器件性能的影响。

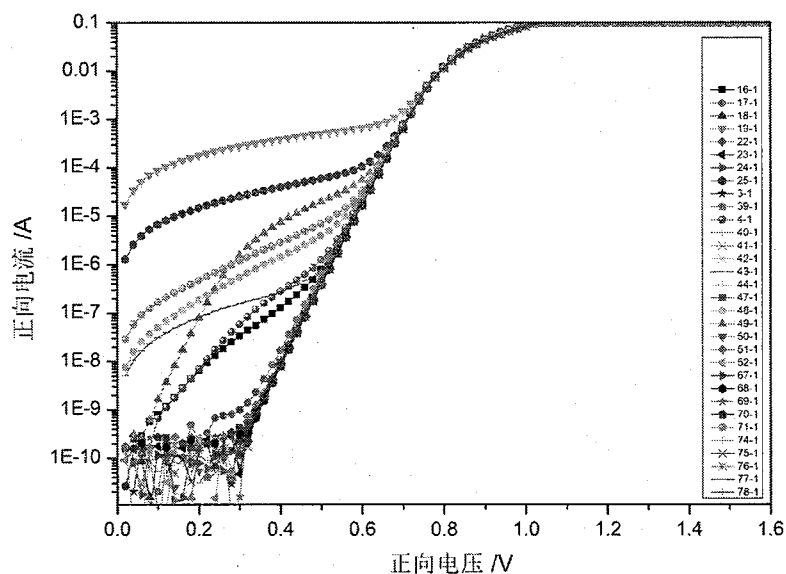


图 4.28 F-1 大器件的正向小电流测试结果

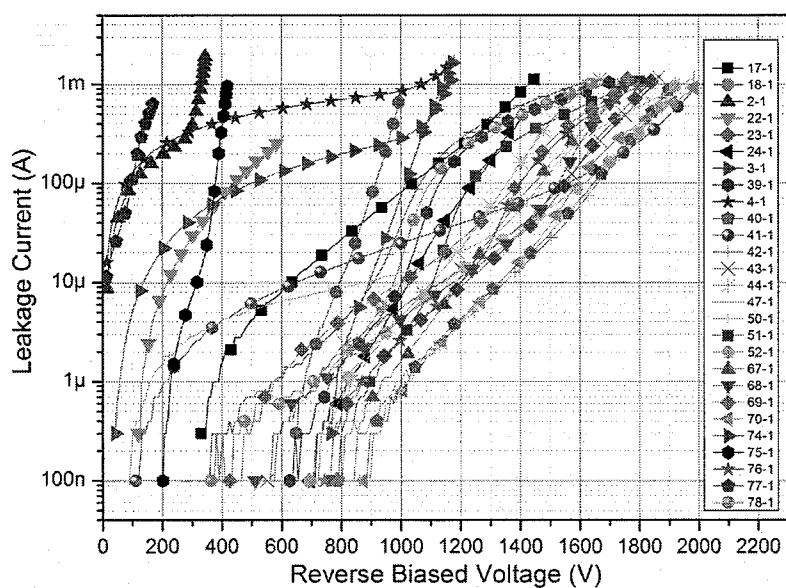


图 4.29 F-1 大器件的反向漏电流测试结果

我们把上面两个图进行对比,找到在反向曲线中相对较差的器件和正向特性中出现不均匀势垒的两种器件,然后列表如下:

表 4.8 F-1 器件的不均匀势垒的对比情况

器件及设计参数	反向性能较差的器件(图 4.27)	有不均匀势垒的器件(图 4.26)	没有特性曲线即立即失效的器件
F-1 1700-JBS-W2S4-FLR-3#-X	2-1, 3-1, 4-1, 17-1, 18-1, 22-1, 74-1, 75-1, 77-1	4-1, 16-1, 17-1, 19-1, 25-1, 48-1, 49-1, 71-1, 77-1	16-1, 19-1, 25-1, 48-1, 49-1, 71-1

现在我们对上表进行分析。表中，2-1 器件位于边缘，根据上面描述，器件性能较差，不属于坏势垒的情况。18-1 器件属于材料有缺陷的情况。排除有不均匀势垒而导致器件性能变差或是无性能的器件，还有 3-1, 22-1, 74-1, 75-1 四个漏电流较大的器件没有找到实质性的失效原因。另外我们知道，即使器件表面或界面有导致器件失效的不优化势垒，但是导致双势垒产生的缺陷面积小，也不会出现双势垒或坏势垒情况。但是这些缺陷对器件的性能影响却是致命的，直接导致器件局部电场过大，漏电流偏大甚至烧毁器件。

这说明除了材料本身的缺陷与器件肖特基势垒不均匀的情况外，还有一些其他的导致器件失效的原因。这些可能是可能有工艺引入的沾污，金属化过程中的退火及界面粘附性不够，或者是隐藏在器件外延层不能在表面展现的缺陷，这些对器件的性能都会有影响。

4.4.2.3 反向漏电流机制

从这些反向特性曲线中可以发现，每一种器件的反向特性曲线都有所不同。前面已经详述了造成器件漏电流较大的几种原因，并针对具体器件进行了特性分析。下面我们从反向漏电流机制来分析我们器件漏电流的来源。其中前面章节已经介绍过，由于势垒降低效应、隧穿效应，造成器件的漏电流比正常情况下大。我们选择 1700V 多结构器件中的小器件 1 号器件进行考察，特性曲线如下：

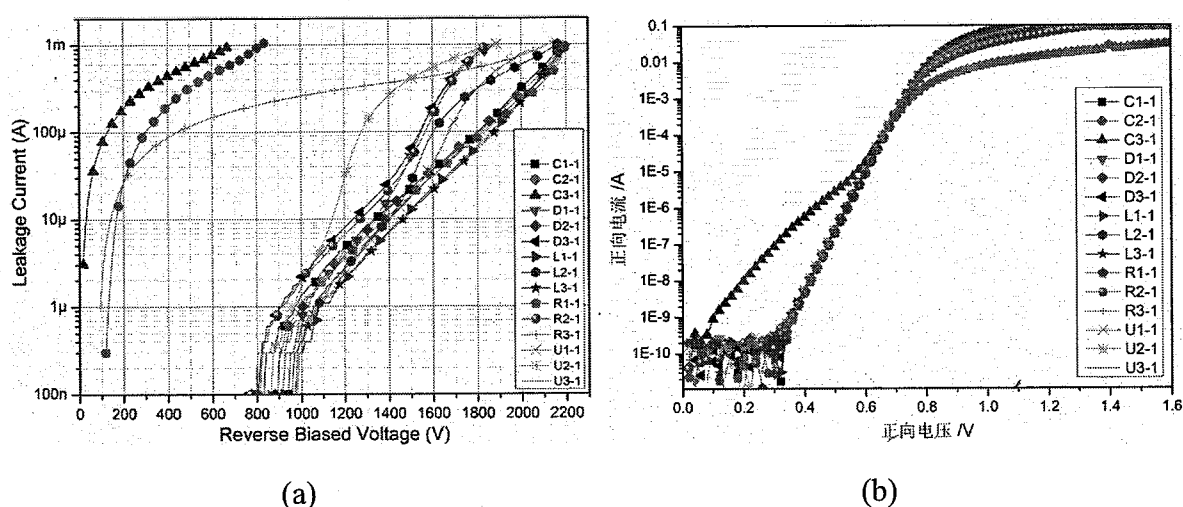


图 4.30 1 号器件的反向(a)及正向小电流(b)特性曲线

下面从漏电流机制方面对上述器件进行反向耐压特性分析：

1、对于 C3-1，据前面可知是由于坏势垒的影响。C2-1 虽然没有观察到坏势垒，但是特性非常差，说明界面很差，有不可知的漏电通道。

2、对于 R3-1，起始漏电很大，随后漏电流保持平稳状态，直到雪崩状态。我们看到起始漏电流从 100V 左右开始增加。但是在这个电压下表面电场是很低的，势垒降低不明显，隧穿也不太可能。一般来说，电压很低时候，电场还是未穿通情况，有源区以下有较强电场，而且漏电流只能在外延中性区、耗尽区和表面接触处产生。但是由于在高压下漏电流基本不变，说明低压时出现了可与高压下相匹敌的势垒降低与隧穿效应。而这两者都与界面电场强度有关，因此我们猜测在界面处或者界面以下有材料缺陷或者低势垒点，导致此处的电场集中过大，导致漏电流增加。在高压下电场并不随之增加太多，因此势垒降低与隧穿并不变化，导致漏电流能平稳延续，直至雪崩。

3、从小电流测试，我们利用前面介绍过的方法得到小器件的势垒高度与理想因子分别为 1.256eV 和 1.02。这个势垒高度带入按照标准理查逊常数计算出的起始(饱和)漏电流密度方程可得 $0.34 \times 10^{-13} \text{ A} \cdot \text{cm}^{-2}$ 。这样起始漏电流为 $I_s = J_s \cdot A = 2.3 \times 10^{-15} \text{ A}$ 。

4、对于势垒降低效应，我们首先采集 1000V 偏压下的势垒降低值，根据上面公式，我们得到势垒降低值为 0.005eV。穿通电压我们得到的是 $V_p \approx 900 \text{ V}$ 。

然后我们对于参与势垒降低效应的电压值做一个计算，得到以下公式：

$$I_L = I_s \cdot \exp \left[32.9 \times 10^{-3} \times (\beta V_p + V_{bi})^{1/4} \right]$$

5、对于本器件给定的材料外延层参数，理想器件能达到的最大击穿电压为 2500V。然而由于种种原因，并没有达到这个值。下面我们给出加入了隧穿效应电流的计算公式：

$$I_L = I_s \cdot \exp \left[60 \times 10^{-8} \times (\beta V_p + V_{bi})^{5/4} \right]$$

现在我们的重点是要探讨 β 这个增强因子到底是多大。根据上面的仿真结果，我们得到的相同掺杂厚度情况下的 1000V 下的电场强度为 $1.05 \times 10^6 \text{ V/cm}$ 。我们根据上面的公式推算出 β 的值为 75。但是 β 的值并不固定，因此我们不能给出一个具体的电流与电压的对应关系。

根据上面的分析，从反向漏电流机制的热发射、势垒降低效应、隧穿电流机制等方面来进行考察器件的漏电流来源，并不能计算出相应的跟测试结果一致的漏电流值。这说明除了这几种因素的影响，实际器件的漏电流来源跟具体器件的材料、设计、结终端、表面钝化、工艺制造等方面都密切相关，每一环节都要达到良好的效果，才能将漏电流降到最低。

4.4.2.4 具体器件的失效原因分析

上面三小节给出了造成器件失效的三种因素,这三种因素加上器件设计与工艺的不完善共同造成了器件的失效。有了这些分析,对于研究具体器件的失效原因给出了较为充分的论据。因此下面选取了 1700V 没有做多结构的 A 片小器件进行不均匀势垒及器件表面的显微镜观测,以此来发现并分析器件的失效及其原因。关于 A 片小器件的参数已经在上面给出。

我们选取图 4.27 中灰色小器件区域的下部器件(D)来考察器件的正向小电流与反向 IV 特性曲线,如下图:

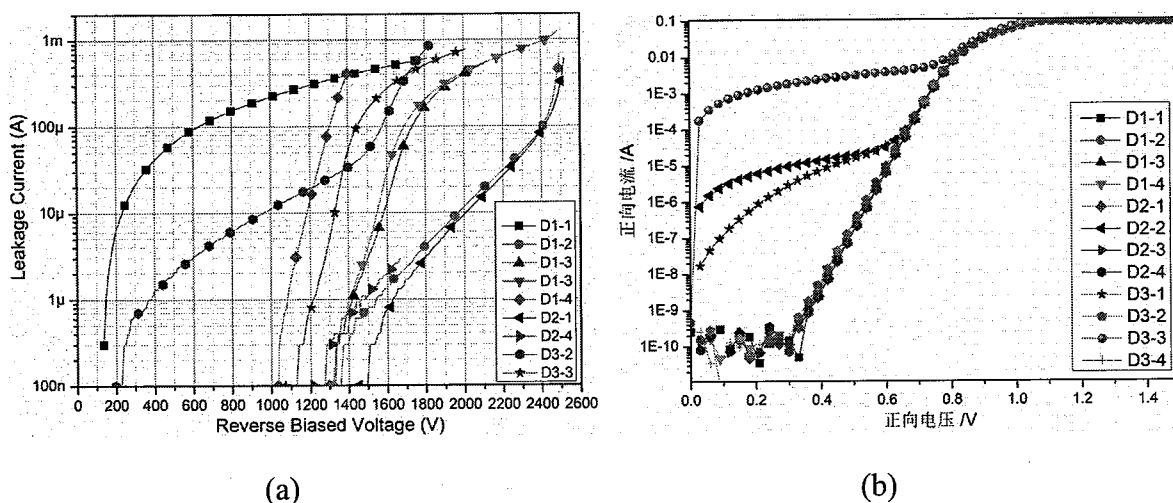
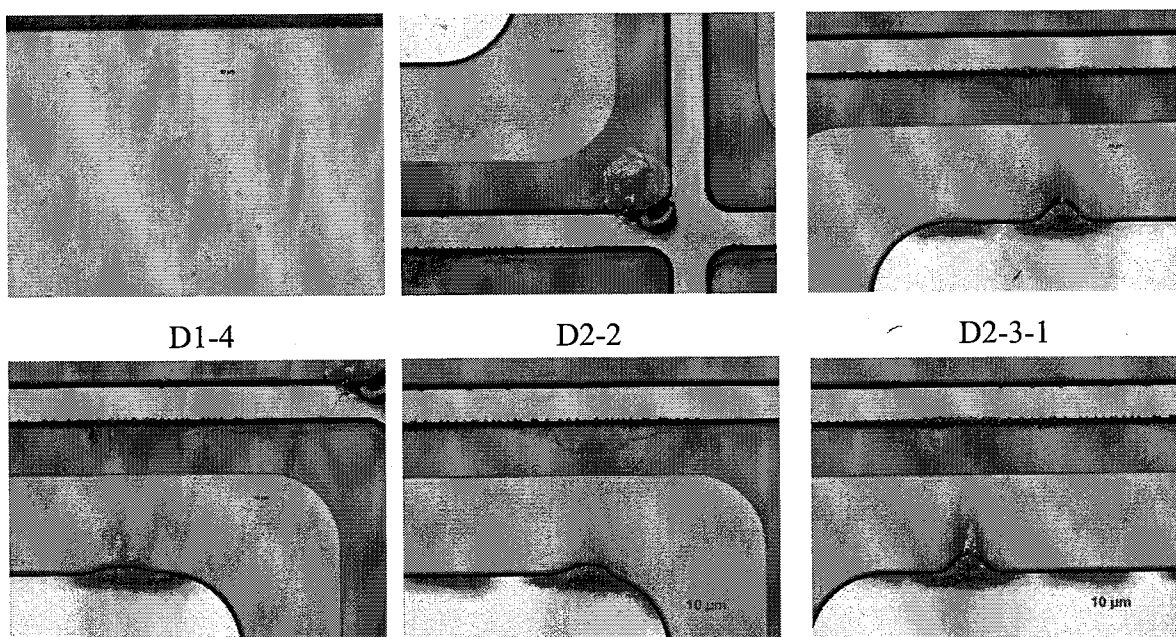


图 4.31 小器件的反向 IV 特性曲线(a)和正向小电流 IV 特性曲线(b)

然而我们为了更进一步的了解器件表面形貌对性能的影响,我们使用光学显微镜对器件测试后的表面状态进行观测,如下图:



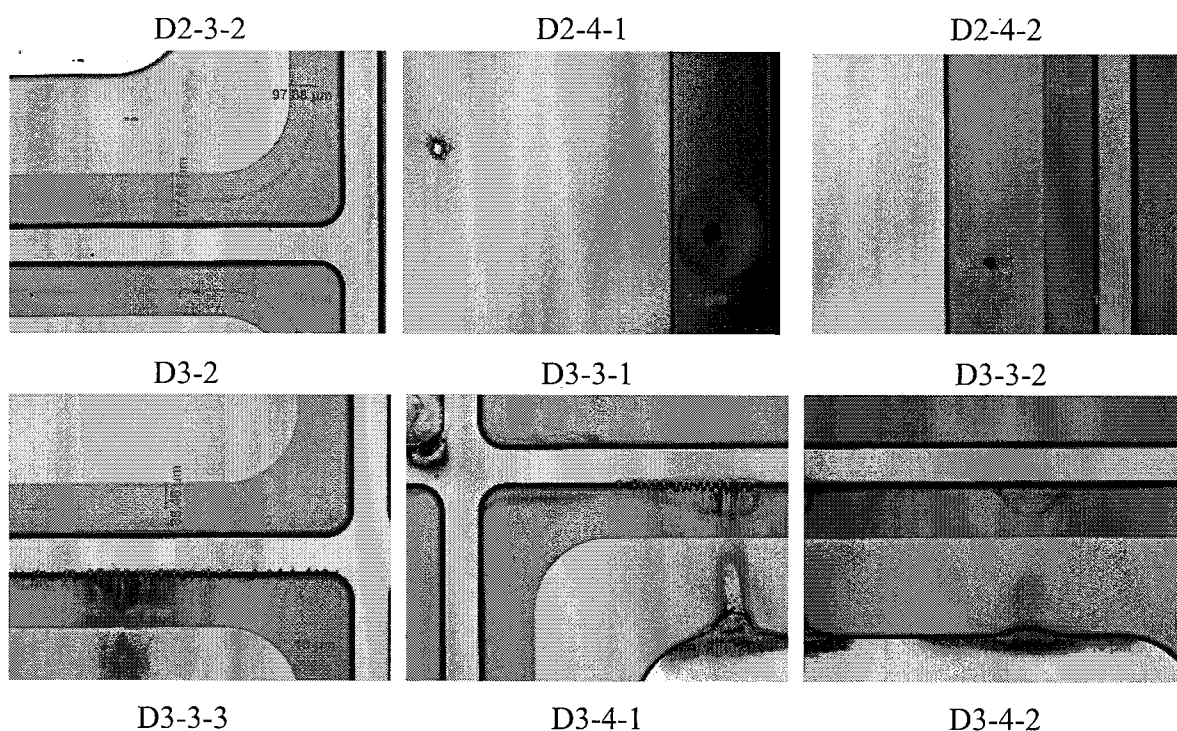


图 4.32 小器件 D 中的所有有表面坏点的器件显微镜照片

这里我们将上面的正向小电流、反向特性曲线、显微镜照片结合起来，将 D 器件的 12 个器件加以分析，得到下表：

表 4.10 小器件的失效模式及失效原因分析

器件编号	是否失效	失效模式	是否不均匀势垒	失效原因分析
D1-1	是	起始漏电偏大		暂未找到原因
D1-2				
D1-3				
D1-4	是	高压 1000V 以上漏电变快		表面出现了面积比较大的凸起，金属下面有大的沾污，构成了导电通道，导致漏电流在达到一定电压下上升很快
D2-1				
D2-2	是	直接击穿	是	材料缺陷
D2-3	是	高压击穿烧毁		电压太大，造成突变烧毁
D2-4	是	高压击穿烧毁		电压太大，造成突变烧毁
D3-1	是	直接击穿	是	不均匀势垒
D3-2	是	漏电大	是	氧化层钝化效果差

D3-3	是	高压击穿烧毁	是	局部电流集中，空洞烧毁
D3-4	是	高压击穿烧毁		电压太大，造成突变烧毁

下面对上面所述的主要器件进行失效分析：

- 1、D2-3，D2-4 的特性是一样的，都从边缘击穿，但是并没有达到材料限度，说明体内有杂质电荷或者面积比较小的低势垒区域等不明原因导致的性能退化。
- 2、D1-4，由于出现了面积比较大的凸起，说明金属下面有杂质未去掉，构成了导电通道，导致漏电流在达到一定电压下上升很快。
- 3、D3-3 的情况，在测试之前没有空洞，测试之后出现空洞，这可能是微管位错的影响，但是也不尽然。同时也有可能是工艺引入的杂质影响，在电压达到一定程度时，此处的电流过于集中，导致打火并击穿金属，导致空洞。
- 4、其中 D1-1 器件的器件表面并没有发现坏点，而且也没有出现不均匀势垒，但是其实漏电比较大。这说明器件的肖特基势垒有源区位置有问题，比如材料缺陷，退火不均匀，工艺沾污等情况。由于没有更好的分析手段，这个原因暂时无法明确。

从上面几节的阐述及分析，我们知道，对一个具体器件来说应用失效分析，可以更快更好地分析一个具体器件的失效原因，从而在进行材料选择，器件设计，工艺开发等环节对器件进行更好的监控，从而提高器件的性能及成品率，这也是我们本文的最终目的。

4.5 本章总结

本章主要是对利用标准工艺研制的器件进行测试与分析。并对器件的可靠性失效情况进行了分析研究。

首先对利用第三章工艺研制的 600V 与 1700V 器件进行详细的设计，测试及分析。主要是针对不同的有源区、结终端设计进行正向与反向的测试与分析，以期能够找到更好的设计与工艺方案。同时对 1700V 多结构的裸片进行了高温测试，来考察我们器件的耐受能力。对于前面提出的 NO 处理改进方案，我们也使用 1700V 的标准工艺进行了研制及测试，对于其中的好与坏的特性进行了分析与总结。最后对于 1700V 的封装器件进行了常温电容与反向恢复特性、高温正向与反向特性测试等，来综合的评价器件性能。

最后，对器件的失效情况进行了详细的分析探讨。对其中失效器件进行了归类整理，从材料缺陷、肖特基不均匀势垒情况、反向漏电流机制等三个方面，对器件出现的失效

原因进行总结。最后，利用我们已经掌握的知识对具体器件进行失效分析，得到由于器件的材料缺陷，势垒不均匀，反向漏电机理及工艺的不成熟等共同导致器件的早期失效。

第五章 总结与展望

5.1 论文总结

4H-SiC 宽禁带半导体材料具有禁带宽度大、临界击穿电场高、热导率高等优势,在高压大功率等工作环境中具有很强的优势。SiC 肖特基势垒二极管(SBD)具有零反向恢复、开关损耗小、开关速度快等优点,是最具有产业化前景的 SiC 电力电子器件。国内外对于 SiC SBD 和结型势垒肖特基(JBS)二极管已经有了诸多报道,并且在近些年来取得了长足的发展。虽然 SiC 材料和工艺都取得了一定的进步,但是由于 SiC 材料的特殊性,在 SiC 器件制作工艺方面仍然存在诸多不足。本论文将主要围绕 4H-SiC 肖特基二极管的器件设计、关键制造工艺和具体器件可靠性失效情况进行分析研究。主要的研究内容及成果如下:

[1]分析了 4H-SiC 功率 SBD 与 JBS 二极管的结构及工作原理,和静态与动态器件特性。从导通电阻与击穿特性两方面提出了器件的优化设计方案,同时从工艺角度对减小失效效率提出了具体方法。从器件性能与器件参数的相关性方面进行了研究。

[2]对于严重影响 JBS 器件正反向特性的离子注入与肖特基接触特性,采用 Ti 作为肖特基金属,针对不同的激活退火条件及肖特基退火条件,从表面粗糙度和肖特基势垒高度与理想因子两个方面来考察器件特性的优劣。最终得到 1800℃/5min 的离子注入激活退火条件下,500℃/5min 的肖特基退火条件为最优化条件,得到接触的表面粗糙度为 0.433nm,肖特基势垒高度与理想因子分别为 1.24eV 和 1.005。对于引起器件失效严重的势垒不均匀现象进行了模型技术分析,同时针对离子注入后可能引入的 C 簇及杂质沾污,提出使用 NO 退火处理来进行改善,使用这种方法可以有效改善接触的势垒均匀性,提高器件的性能一致性。

[3]对欧姆接触进行了实验分析及研究。其中 n 型欧姆接触采用传统的 Ni 金属,得到量级为 $10^{-6} \Omega\cdot\text{cm}^2$ 的接触电阻率。对 p 型欧姆接触进行了详细的实验研究:使用了新型的 Ni/Ti/Al 多层金属结构,有效地改善了采用 Ti/Al 带来的高退火温度,将温度从 1000℃降低到 800℃,同时得到了相对很小的 p 型欧姆接触电阻率 $1.8\times 10^{-5} \Omega\cdot\text{cm}^2$ 和相对较低的表面粗糙度 7.3nm;对高温存储前后欧姆接触进行了电特性、表面形貌、界面合金及元素分布、电流输运机制等四个方面进行了详细的实验研究与分析,发现高温存储后器件的接触电阻率变大到 $3.2\times 10^{-5} \Omega\cdot\text{cm}^2$,表面粗糙度增加到 8.5 nm。但是元素合金基本无变化, Ti_3SiC_2 、 Ni_2Si 这两种元素依然起主要作用。

[4]完成肖特基二极管器件的优化设计及研制,开展了可靠性失效分析。针对器件 JBS 有源区结构参数:环宽、环间距及结终端结构进行优化设计,同时结合前期开发的关键工艺进行实验及测试分析。成功研制出开启电压 0.9V,正向电流 30A/10A/2A,反向耐压 600V 与开启电压 0.9V,正向电流 25A,反向耐压 1700V 两种系列的 SiC 肖特基二极管。最后对 SiC 二极管器件进行了失效原因分析,并对研制的 1700V 具体器件进行了失效分析,我们得到材料质量、肖特基势垒均匀性、势垒降低与隧穿效应和工艺缺陷等四种机制直接关系器件的性能优劣,对后期产品性能的提高起了很重要的指导。

5.2 研究展望

本论文主要围绕碳化硅肖特基二极管关键工艺与器件设计进行了研究。关键工艺主要研究了离子注入、肖特基接触与欧姆接触。对肖特基特性进行了较深入的研究,研究离子注入激活及肖特基退火对肖特基特性的影响,这对改进肖特势垒二极管有重要意义。改善 Ti/Al 制作 p 型欧姆接触的不足,减小了退火温度,提高欧姆接触稳定性。对器件设计的研究主要集中在有源区中离子注入区的优化,对结终端进行优化,对流片结果进行了分析,积累了碳化硅肖特基二极管的制作经验,对碳化硅肖特基二极管研究工作展望如下:

[1] 本文对离子注入掺杂进行了研究,其中 $5 \times 10^{18} \text{ cm}^{-2}$ 的注入剂量对肖特基接触是适用的,对于 PiN、BJT、IGBT 等双极器件,掺杂浓度会达到 $2 \times 10^{19} \text{ cm}^{-2}$,这样激活特性会有所差异,将是未来工作的方向之一。

[2] 本文研究了欧姆接触并提出了 Ni/Ti/Al 结构的金属组分,在达到与 Ti/Al 接触电阻率同一数量级的基础之上,对该结构进行高温可靠性的测试,但是高温存储及应用环境等对器件的特性蜕变及失效机制仍有许多值得深入挖掘研究之处。

[3] 器件测试结果表明,大面积器件的反向漏电严重,需要对器件的有源区结构进行继续优化,减小器件的反向漏电流;同时器件有较高的失效率,与材料质量、工艺平台成熟度有关,因此未来与生产平台结合,批次内、批次间等规律性影响是器件产品化的一个重要工作。

[4] 本文采用 NO 前退火对器件离子注入激活后的表面进行处理,肖特基均匀性得到改善,但是由于受工艺中金属沾污和可能的肖特基退火条件的影响,反向漏电并没有达到预期的效果,后期仍值得对 NO 退火工艺条件进行进一步优化研究。