



国家科技图书文献中心

National Science and Technology Library

集微技术信息简报

2021 年第 **5** 期 (总第 44 期)

中国科学院文献情报中心

2021 年 9 月制

本期目录

政策计划

美国能源部宣布拨款 5400 万美元用于提升微电子技术的能源效率1

英特尔赢得美国政府先进代工合同3

欧洲布鲁盖尔研究所提出欧盟半导体战略新方向4

产业洞察

全球微电子产品短缺问题逐渐蔓延至军事卫星项目7

前沿研究

用于下一代数据通信的新兴光发射二极管8

台积电推出用于硅光子芯片的先进封装技术 COUPE9

美国斯坦福大学提出让复杂半导体自组装的简单方法11

美国西北大学制造出史上最小的人造飞行结构微芯片12

应用实施

IBM 推出片上加速人工智能处理器15

索尼发布业界最小 4.86 μm 像素尺寸堆栈式基于事件的视觉传感器16

英特尔推进全新架构，面向数据中心、HPC-AI 和客户端计算18

英飞凌开设新高科技芯片工厂20

美国能源部宣布拨款 5400 万美元用于提升微电子技术的能源效率

2021 年 8 月 25 日，美国能源部（DOE）宣布拨款 5400 万美元用于资助由 DOE 的国家实验室牵头的 10 个新项目，以提升微电子设计和生产的能源效率。

微电子对智能手机、医疗设备、发电厂和电网、汽车等几乎所有现代技术都至关重要。先进微电子具有为清洁能源、气候和国家安全挑战提供创新解决方案的潜力。

美国能源部长詹妮弗·格兰霍姆（Jennifer M. Granholm）表示：美国已经掌握微电子技术，这些技术将支持电力、交通和可再生能源方面的气候解决方案。DOE 的世界一流的科学家正在加紧减少微电子技术的碳足迹，以确保美国引领气候行动和创新。

近几十年，微电子设备的小型化催生了一场数字革命，产生了体积更小、功能更强大的设备如电话和计算机，从而为人们生活提供了便利、促进了科学的进步与创新。随着摩尔定律接近物理局限，技术和经济障碍迎面而来。

随着设备尺寸的减小，其生产所需的能耗并没有以同样的速度减少。进行大量的研发投资对提升能源效率和创建该领域面向未来的更可持续的技术系统至关重要。

这 10 个新的微电子基础研究项目将由来自 DOE 国家实验室的不同研究小组、学术界和工业的专家共同领导，强调“协同设计”，将涉及多学科合作，需要考虑材料、物理、架构和软件之间的相互依存关系。新项目的研究方向包括：（1）基于人脑设计的新计算架构；（2）超低功耗电子产品；（3）低温、纳米级、量子传感器。10 个新项目的项目名称及牵头单位等详情见表 1。

表 1 10 个项目的项目信息

序号	项目名称	牵头实验室	项目负责人
1	超密集、近完美、原子级突触存储器（Ultra-Dense, Near-Perfect, Atomic and Synaptic Memory）	美国阿贡国家实验室（ANL）	Guha, Supratik
2	工作线程：材料和计算机架构研究的	阿贡国家实验室	Taylor, Valerie

	变革性协同设计方法 (Threadwork: A Transformative Co-Design Approach to Materials and Computer Architecture Research)	(ANL)	
3	采用新工艺制造用于传感和边缘计算的混合低温探测器结构 (Hybrid Cryogenic Detector Architectures for Sensing and Edge Computing enabled by new Fabrication Processes)	费米国家加速器实验室 (FNAL)	Braga, Davide
4	纳米传感器与 CMOS 集成的协同设计 (Co-Design and Integration of nano-sensors on CMOS)	劳伦斯伯克利国家实验室 (LBNL)	Garcia-Sciveres, Maurice
5	超低压 Beyond CMOS 器件的协同设计 (Codesign of Ultra-Low-Voltage Beyond CMOS Microelectronics)	劳伦斯伯克利国家实验室 (LBNL)	Ramesh, Ramamoorthy
6	用于抗辐射中子探测器的氮化物材料和界面 (Nitride materials and interfaces for radiation-hard integrated neutron detection)	国家可再生能源实验室 (NREL)	Haegel, Nancy
7	结合 AI 方法协同设计神经形态硬件、软件和应用程序 (Abisko: Codesign in the Wild: Designing Neuromorphic Hardware, Software, and Applications Concurrently using AI-enabled Methods)	橡树岭国家实验室 (ORNL)	Vetter, Jeffrey
8	共参杂金刚石在量子传感器中的应用 (Diamond co-doping for quantum sensor applications)	普林斯顿等离子体物理实验室 (PPPL)	Graves, David
9	利用固有的物理随机性协同设计改进的神经基础 (COINFLIPS: CO-designed Improved Neural Foundations Leveraging Inherent Physics Stochasticity)	桑迪亚国家实验室 (SNL)	Aimone, James
10	原子到系统的协同设计: 转换数据流以加速科学发现 (Atoms-to-Systems Co-Design: Transforming Data Flow to Accelerate Scientific Discovery)	SLAC 国家加速器实验室	McIntyre, Paul

于杰平编译自

<https://www.energy.gov/articles/doe-announces-54-million-increase-energy-efficiency-microelectronics-technologies>

英特尔赢得美国政府先进代工合同

2021 年 8 月 23 日，美国国防部授予 Intel 一项合同，为“快速保障微电子学原型-商业（RAMP-C）项目”的第一阶段提供商业代工服务。RAMP-C 项目旨在促进美国商业半导体生态系统发展，以制造国防部关键系统所需的先进集成电路及商业产品，进而加强美国政府的供应链安全，维护美国在集成电路设计、制造和封装的各个方面的领导地位。RAMP-C 项目将分多个阶段进行，Intel 代工服务事业部将领导该计划的第一阶段。

Intel 是美国唯一一家设计和制造逻辑半导体的公司，处于集成电路技术前沿，今年 3 月组建了独立业务部门——Intel 代工服务事业部。Intel 将与 IBM、Cadence、Synopsys 等合作，加强美国本土半导体供应链，确保美国在研发和先进制造方面保持领先地位。Intel 计划大幅度扩充产能，以成为美国代工服务的主要供应商，包括投资约 200 亿美元在亚利桑那州新建两座晶圆厂（已于 2021 年 9 月 24 日宣布动工）。

一、RAMP-C 项目

美国国防部目前还没有微电子学先进制造本土代工能力（小于 7 nm 的数字 CMOS），来满足国防部特定设计或商用现货（COTS）部件制造需求。大多数美国无晶圆半导体公司离岸生产元件。美国目前尚无商业上可行的纯本土先进代工，以保障美国集成电路先进制造需求。

美国国防部试图通过美国公司开发的商用技术来保护先进微处理器的多样化供应。大多数美国芯片设计公司都是无晶圆半导体公司，主要业务是设计和销售代工集成电路，并没有自己的晶圆厂，其研发资源集中在终端市场。当前，超过 80% 的先进制造能力集中在亚洲地区（主要在台湾地区和韩国），使得美国国防部可依赖的本土制造技术有限，而这些技术正是美国对安全微电子学的长期需求。RAMP-C 项目旨在促进本土商业代工生态系统发展，确保国防部获得先进半导体技术，同时可以使国防工业有效利用先进的商业半导体制造和设计基础设施。

高通和 Intel 获得该项目机会，目前 Intel 已宣布获得合同，高通尚未公布。

二、相关项目及进展

“使用先进商业能力快速保障微电子学原型”（RAMP 项目）、“数字化先进异构集成封装”（SHIP 项目）以及 RAMP-C 项目将联合攻关微电子设计/制造全周期，促进美国政府系统中半导体和微电子学的发展。RAMP 项目将解决后端物理设计的关键流程，即将寄存器传输级（RTL）编程模式转换为特定技术要求的复杂版图模式，为随后晶圆制造工艺做好输入准备。RAMP 项目有助于国防部在可量化环境中使用先进商业设计能力。SHIP 项目将开发利用先进商业制造能力，即，使用先进的商业异构集成和封装技术来封测 RAMP 项目设计的芯片，并利用 RAMP-C 项目的商业设施来进行制造。三个项目相辅相成，确保美国本土先进半导体制造能力，保障美国商业和国防设计的机密性和完整性，促进美国国防工业使用先进的集成电路技术。

2020 年 10 月份，美国国防部宣布提供了超过 1.97 亿美元资金，用于推进微电子学技术和支持美国微电子学工业基地。其中 2450 万美元分配给 RAMP 项目，由 Intel 和微软承担，开发具有安全性、领先的微电子后端物理设计方法；1.727 亿美元分配给 SHIP 项目第二阶，由 Intel 和 Qorvo 承担，开发一种新方法以保障芯片安全性、异构集成以及高级封测。

2021 年 2 月 Synopsys 公司加入 RAMP 项目，与微软合作将 Synopsys 可靠设计和制造流程整合到微软 Azure 云服务中，使 RAMP 项目最终可以提供一个基于云的安全设计环境。

王丽编译自

<https://www.intel.com/content/www/us/en/newsroom/news/intel-wins-us-project-develop-foundry-ecosystem.html#gs.bxryl2>

欧洲布鲁盖尔研究所提出欧盟半导体战略新方向

2021 年 7 月 15 日，欧洲智库布鲁盖尔研究所发布《欧盟半导体战略新方向》

报告。布鲁盖尔研究所认为，美国和中国针对半导体行业的大量投资给欧盟带来挑战，欧洲公司可能成为美国限制措施（向中国转让技术）的受害者。面对东亚成熟的产业集群和高补贴环境，要在芯片制造行业的高端市场获取市场份额，布鲁盖尔研究所认为欧盟与美国、中国大陆、中国台湾和韩国就制造问题展开全球补贴战是不明智的，而应制定更适合欧洲立场的战略。

该报告在阐述半导体生产步骤与全球供应市场、代工成为主要瓶颈、全球半导体短缺、中美竞争与国际环境等基础上，为欧盟半导体行业发展提出了四项战略新方向：

1. 确保芯片供应安全。欧盟最重要的目标是确保其国内产业的芯片供应安全，特别是欧盟工业机械和车辆生产等所需的半导体供应。随着工业流程和汽车数字化程度不断提高，欧洲制造业对芯片的需求可能会增加，会对芯片集中在少数地方生产带来风险。

增强供应安全并不意味着只局限在欧盟生产，也可以通过欧盟以外的多元化生产来实现。随着其他国家（尤其是美国）已经在吸引制造工厂，欧盟可以“搭便车”、利用美国政府补贴所创造的地域多元化。然而，这一战略仍可能面临美国政治化风险，因为美国利益高于欧洲利益。

2. 扩大战略子行业的优势。供应链多样化可以减轻干旱或地区冲突等当地因素带来的风险。这也是对冲细分市场政治风险的有效策略，因为一国施加的出口限制可以通过其他国家的出口来弥补。然而，在价值链关键环节拥有垄断力量的国家仍然可以有效地扰乱供应链，正如美国利用美国技术的中心地位阻止对华为的销售。

欧盟有两项优先事项：一是减少来自美国或中国的政治压力；二是在由东亚国家/地区完成高端生产并被美国所觊觎的行业中投资从而开展竞争（准备为其提供大量补贴）。欧盟有两条道路可以选择：首先，欧盟应战略性地利用自己在价值链中具有垄断力量的公司，如为 ASML 提供关键部件的通快（Trumpf）公司和蔡司（Zeiss）公司，保护它们免受外国收购。其次，欧盟应投资目前仅在一个司法管辖范围内的行业研发，以减少潜在威胁。将高端制造业吸引到欧

盟是昂贵的而且只能满足有限的国内需求，而增加欧盟参与者在软件和芯片设计行业的权重将扩大欧盟在该行业的份额，并可能降低美国单方面实施域外贸易限制的能力。

3. 找准欧盟在高科技领域的定位。欧盟半导体产业政策的最终目标应该是考虑欧盟需求和现有行业参与者，充分利用高增长率的高科技行业的经济潜力，创建能提供高技能就业岗位的产业集群。针对欧洲芯片制造公司的发展，欧盟应在降低节点尺寸外，促进半导体创新其他方面（如材料创新）的竞争趋势。凭借对传感器、电力电子、嵌入式安全解决方案和安全芯片的高度关注，恩智浦、英飞凌和意法半导体等欧洲企业已经在汽车、工业应用和加密方面占据主导地位。

由于半导体行业公司的高度专业化，欧盟可以在特定芯片应用的设计方面培养行业领导者，提供研发补贴。同时，应稳固强大的欧洲专业团队来增强欧洲半导体行业的整体活力。

4. 制定产业战略的政策工具。欧盟资源的缺乏和在实施产业政策方面的制约，意味着欧盟产业政策项目依赖于各国政府。国家援助能否产生有效的目标产业战略值得怀疑，因为这在很大程度上依赖于各国举措，欧盟国家之间的战略合作尚未实现。欧盟委员会在 2021 年提出的产业联盟令人鼓舞，但其目标、成员和资源在很大程度上仍未确定。缺乏成熟的欧洲风险资本市场也阻碍着欧洲初创企业的成长。目前，欧盟 27 个国家中只有 18 个国家拥有投资筛选机制，交易批准与否的决定完全取决于各国政府。如果欧盟想要成为半导体产业的一个主要国际参与者并能保护其经济利益免受中国和美国的影响，那么欧盟层面应该加强政策决策的集中化。

沈湘选摘自

https://mp.weixin.qq.com/s/l2Fngwl6Milu9XkPw6f_fg

<https://www.bruegel.org/wp-content/uploads/2021/07/PC-2021-17-semiconductors-.pdf>

全球微电子产品短缺问题逐渐蔓延至军事卫星项目

2021 年 8 月 26 日，据 SPACENEWS 报道，全球芯片短缺已经阻碍了汽车制造商和消费电子产品制造商，以及影响 SpaceX 公司（业界最大的小型卫星制造商之一），并逐渐影响国防卫星项目的研发进程。

按照黑杰克项目（Blackjack program）进度，美国国防部高级研究计划局（DARPA）计划于 2022 年向近地轨道发射 12 颗卫星，但芯片供应短缺可能导致军事空间网络展示延迟。

芯片短缺阻碍制造商的生产，进而将影响 DARPA 于 2020 年夏季开始发射卫星的计划。DARPA 分别向 Blue Canyon Technologies 公司和 Telesat 公司采购了 10 个和 2 个卫星平台（satellite buses），并从正从几个供应商那里购买有效载荷。

黑杰克项目负责人表示：“我们的研究人员已经非常出色，但要找到电容器或类似的东西需要付出比预期更多的努力。如果零件供不应求，我们的工作将受制于供应链。新冠肺炎疫情造成的供应链中断严重影响了类似黑杰克项目购买小批量卫星。我们正在积极解决所有零件的问题并确保能找到我们需要的零件，尤其是当我们购买一两个时。政府卫星的大部门零部件来自全球制造商生产的商品，并无特殊之处，这意味着将与福特、通用汽车等公司竞争。”

美国航天发展局（SDA）是另一个五角大楼的小型卫星买家，正在关注供应情况。SDA 正在构建近轨网状通信网络，将发布一项计划于 2024 年发射 144 个小型卫星的招标书。SDA 在选择供应商时除了关注设计之外，还关注供应商如何管理供应链以及如何应对供应短缺问题。

于杰平 王丽编译自

<https://spacenews.com/global-microelectronic-shortages-trickle-down-to-military-satellite-programs/>

用于下一代数据通信的新兴光发射二极管

半导体激光器通常用于解决数据通信中的速度和容量瓶颈。由于激光器相对高的制造成本和相对复杂的驱动电路，以及眼睛安全问题，人们一直在寻求替代解决方案，用于以人为中心的系统、短距离通信和室内无线数据服务的未来应用。发光二极管（LED）是一种经济高效、低功耗的替代方案，LED 链路尤其有望广泛应用于物联网和 6G 技术，以及中/高速光子互连、可见光通信、水下通信和精确室内定位应用。

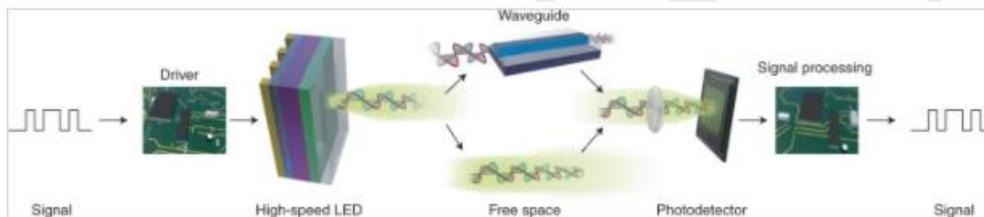


图 1 LED 链路的概念和基本原理

LED 在下一代数据通信中的潜在应用，由快速发展的、作为照明和信号装置的节能 LED 推动。基于晶体无机 III - V 半导体的微型 LEDs 在通信领域得到了广泛的研究，由于外延、光刻和倒装芯片技术的进步，III - V 半导体微型 LEDs 提供了从几百兆赫到超过千兆赫的调制带宽。然而，下一代数据通信系统对低尺寸、重量、功率和成本的高要求对传统方法提出了挑战。

中国电子科技大学、英国萨里大学和剑桥大学研究人员合作进行了一项研究，探索有机半导体、胶体量子点和钙钛矿材料在发光二极管（LED）高速通信中的应用。研究人员尝试着提高上述材料制成的 LED 的性能和效率，并设计了它们在片上互连和高保真光通信（Li-Fi）中的潜在应用。研究人员认为，虽然传统无机薄膜技术可能会继续在光通信中发挥主导作用，但是有机半导体、胶体量子点（CQD）和金属卤化物钙钛矿可以提供可定制的光电性能、机械灵活性和低成本加工，这些特性成为低成本和低功耗 LED 链路中极具吸引力的候选者，为下一代集成和可扩展数据通信模块提供广阔的前景。

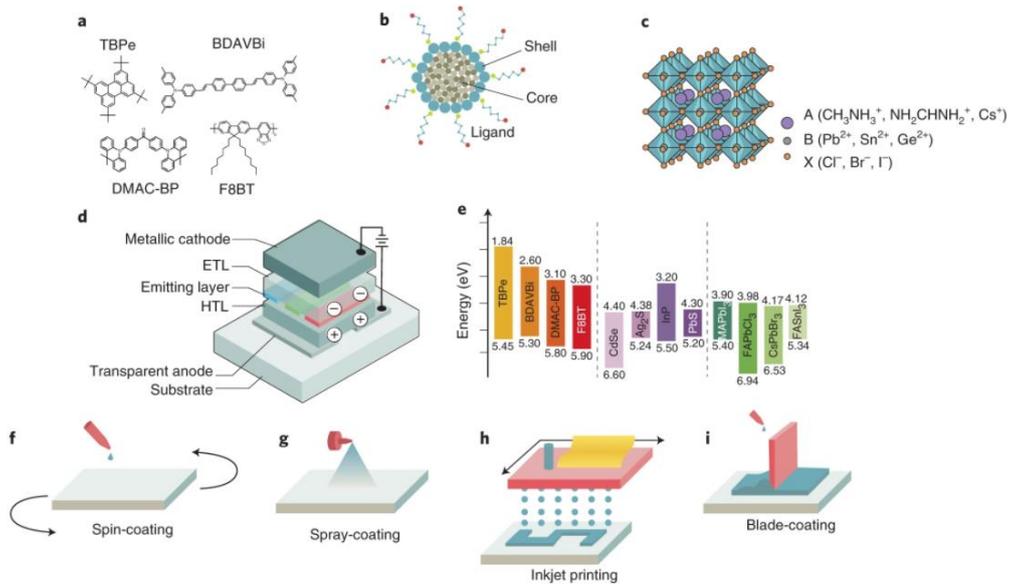


图 2 基于新兴材料的 LEDs

该研究成果发表在《Nature Electronics》，2021，4：559 - 572，题目“Emerging light-emitting diodes for next-generation data communications”。

沈湘摘译自[2021-8-30]

http://portal.nstl.gov.cn/STMonitor/qbnew/biany_i_recordshow.htm?id=102186&parentPageId=1632449866634&serverId=14&controlType=
<https://www.nature.com/articles/s41928-021-00624-7>

台积电推出用于硅光子芯片的先进封装技术 COUPE

为了应对网络流量的爆炸式增长，数据中心芯片必须发展硅光子技术，以降低功耗并提高传输速度。目前广泛采用的硅光子学技术的一个突出挑战是，硅光电子集成平台需要同时满足不同应用中的各种功率、性能和成本标准的需求。

台积电在调查业界提出的单片和异质集成光子引擎结构的优缺点后，面向数据中心市场推出了其新型先进封装技术——紧凑型通用光子引擎（compact universal photonic engine, COUPE）异构集成技术。COUPE 技术是一种光电共封

装技术，将光学引擎与多种计算和控制用的集成电路共同封在同一装载板或中间器件上，能够使组件之间的距离更近，提高带宽和功率效率，并减少电耦合损耗。

业界提出的 PE 技术是由光子集成电路（PIC）和电子集成电路（EIC）组成。PIC 和 EIC 通过 PE 的电接口连接，PE 通过光接口-光纤耦合器接收和传输光。与 PE 技术相比，COUPE 可为光栅耦合器（GC）和边缘耦合器（EC）提供低插入损耗。无论是 GC 还是 EC，COUPE 都没有空腔或机械薄弱部件的实心结构，因此能够实现低插入损耗，而不会产生污染或机械问题。COUPE 还能灵活与 host ASIC 轻松集成以形成共同封装结构。COUPE 集成方案可以满足苛刻的系统要求，并为基于硅光电子晶圆级系统集成的高性能计算应用铺平道路。

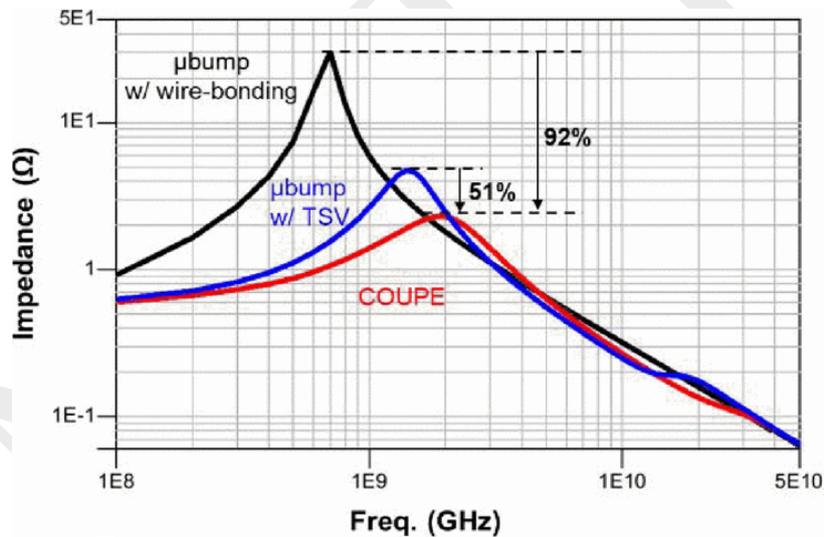


图 1 COUPE 与现有封装技术的光子引擎封装的 PDN 阻抗对比

该研究成果发表在《2021 IEEE 71st Electronic Components and Technology Conference》, 2021, DOI: 10.1109/ECTC32696.2021.00052, 题目：“Heterogeneous Integration of a Compact Universal Photonic Engine for Silicon Photonics Applications in HPC”。

沈湘摘译自[2021-9-3]

http://portal.nstl.gov.cn/STMonitor/home/biany_i_recordshow.htm?id=102338&parentPageId=1632466651421&serverId=14&controlType=
<https://ieeexplore.ieee.org/document/9501846/authors#authors>

美国斯坦福大学提出让复杂半导体自组装的简单方法

不同二维结构（如石墨烯和 MoS_2 ）的精确堆叠为 2D 材料领域注入了活力，揭示了其界面上的奇异现象。这些独特的界面通常采用机械或沉积的方法来构建异质结构，每次只能构建一个单层，堆叠材料的过程并不适合大规模生产。相比之下，自组装是一种可扩展的技术，复杂结构的材料可以在溶液中选择性形成。为此，美国斯坦福大学研究出一种更简单、快捷的复杂材料自组装方法。他们用钙钛矿培育了二维层，并在大晶体中与其他薄层材料交叉和自组装。

研究人员将化学原料一次性倒入反应器内，自组装过程在反应小瓶中进行，各薄层的化学成分在水中翻滚，杠铃状的分子引导着动向。杠铃分子的每一端都连接有一种可聚集生长结晶的薄层模板。当薄层结晶时，杠铃分子会自动将它们按适当的顺序连接在一起。

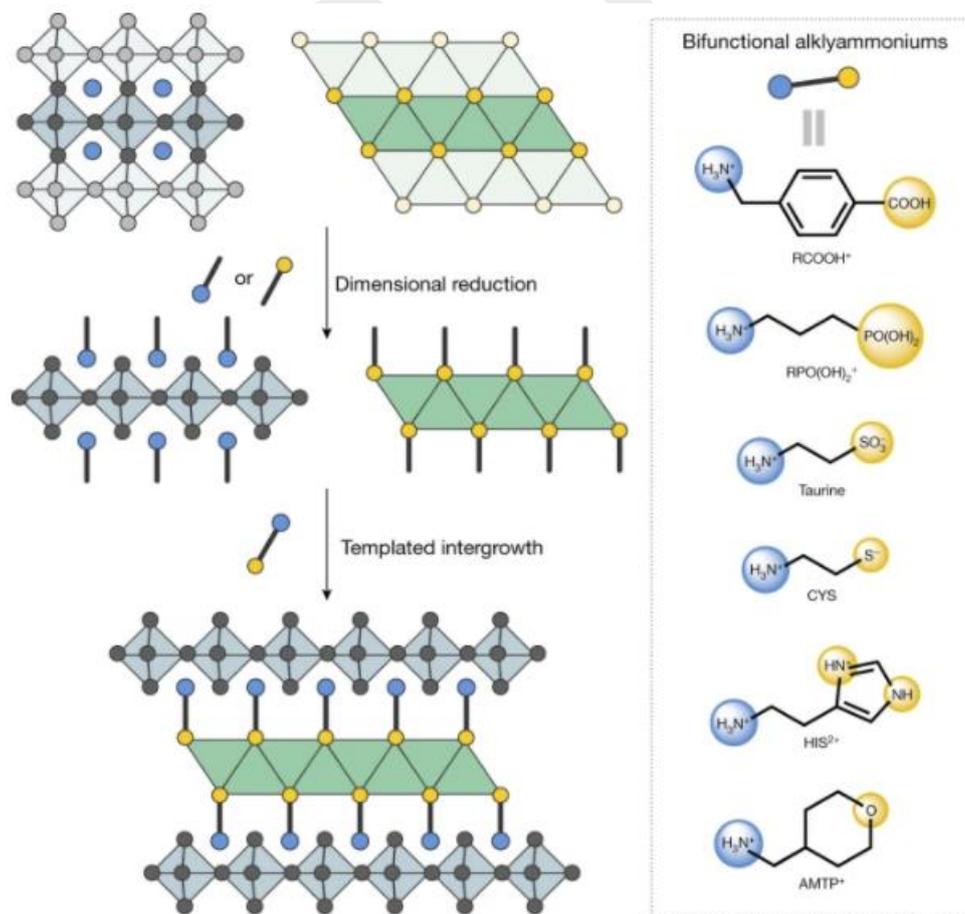


图 1 钙钛矿共生物模板化反应的设计方案

卤化物钙钛矿具有与天然钙钛矿相似的八面体结构，其组装过程通常是在水中进行的。这类材料在太阳能电池领域有很大的应用潜力，然而，它们的稳定性比较差。让钙钛矿和其他材料组合成层状材料，不仅有望结合两者的优点，还可能获得意想不到的界面特性，如将两种不同类型的绝缘薄膜堆叠可以制成导体。可惜的是，层状材料堆叠组合后的性能很难预测，制造条件也十分苛刻，这些类型的生产工艺不具有可扩展性，甚至无法用同一种方法制造出两批次相同的产品。

研究团队制作了六种自组装材料，并用 X-射线分析了它们的结构。结果显示，在大多数组装结构中，杠铃分子将层间稍微分离。但在其中一种结构中，杠铃分子使各层直接接触、形成了化学键。这种层间连接结构非常关键，可以显著改变带隙结构。光学数据和第一性原理计算表明，钙钛矿和共生层之间的实质性耦合致使两个子晶格之间产生新的电子跃迁。

鉴于有机金属卤化物钙钛矿的技术前景，这种直观的合成路线为水中自组装、定向合成丰富结构的复杂半导体奠定了基础。

该研究成果发表在《Nature》，2021，5：355-359，题目：“Directed assembly of layered perovskite heterostructures as single crystals”。

沈湘摘译自[2021-9-18]

http://portal.nstl.gov.cn/STMonitor/home/bianyi_recordshow.htm?id=102936&parentPageId=1632469328433&serverId=182

<https://www.nature.com/articles/s41586-021-03810-x>

美国西北大学制造出史上最小的人造飞行结构微芯片

小型无线电子设备的大型分布式集合可能构成未来环境监测、人口监测、疾病管理和其他需要在广阔空间范围内覆盖的应用系统的基础。为设计开发此类网络的空中分配组件，并且受风的启发，美国西北大学的工程师研究了用于

在自然环境或城市环境中进行受控、无动力飞行的被动结构，基于机械引导的三维（3D）微结构装配工艺与最复杂的电子、光电、微流控和微机电技术，制造出史上最小的人造飞行结构微芯片，赋予了电子微芯片一项新功能：飞行。

首先，研究人员在平面几何结构中制造了飞行结构前体，随后将前体粘在小幅度拉伸的橡胶基板上。当基板松弛时，就会发生受控的屈曲过程，使机翼弹出，形成高精度的三维形状。这种由 2D 前体构建 3D 结构的策略极具创造性，因为现有的半导体设备都是基于平面布局构造的。在此独具一格的设计策略下，研究人员可以利用消费电子行业中最先进的材料和制造工艺，生产标准的、平面的芯片式结构，再依据弹出式书籍的原理，将它们转换成 3D 飞行器。

在演示实验中，研究团队展示了将微型飞行器用于空气微粒检测、水质监测和光线波长探测等领域的可行性。为实现高空间密度分布、构成无线网络，研究团队还设计了微观、中观和宏观等不同规格的微型传感器，从飞机或高楼上抛洒大量微型飞行器，待其广泛分散后监测环境工作，或是跟踪不同高度的空气污染水平。为解决大量微型飞行器的回收难题，微型飞行器中使用的瞬态电子器件可于任务完成后在水中溶解，不对环境产生危害。

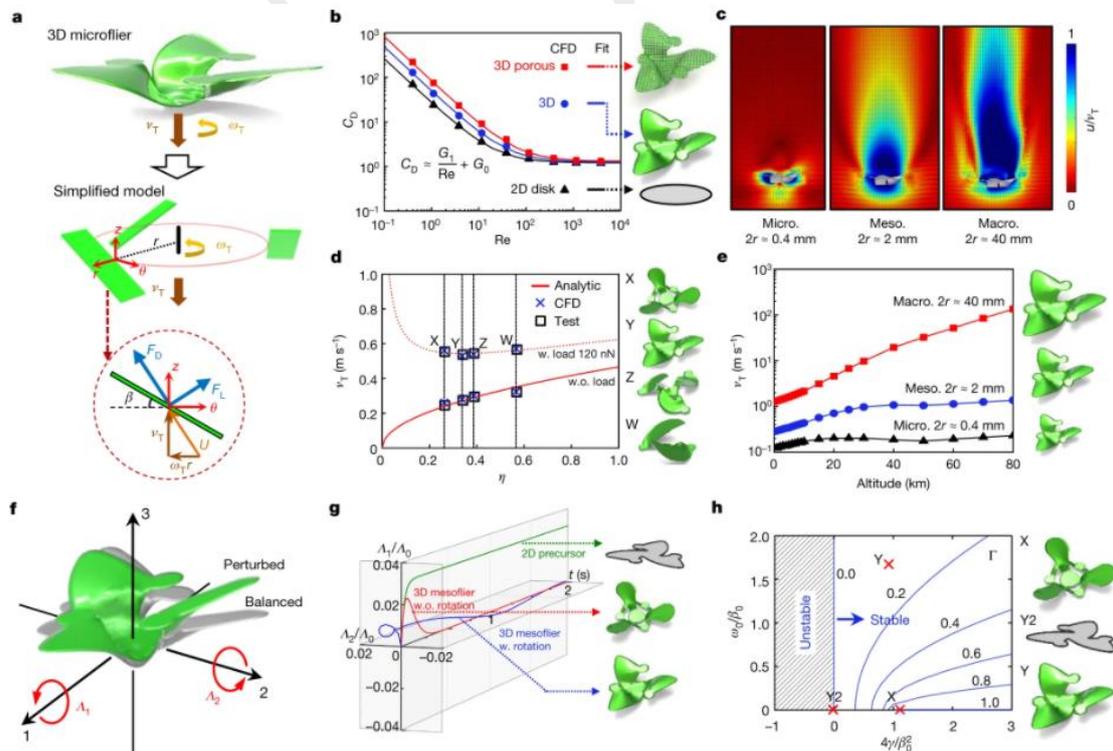


图 1 三维微观、中观、宏观飞行器的空气动力学理论分析和数值模拟

该研究将复杂的 3D 结构表示为离散的叶片数量，以可解析的简单形式捕捉基本物理学现象，并通过计算和实验结果验证。用于环境测量的无动力、无线设备和可视传感器为该创造性概念的广泛应用提供了简单的使用案例。该成果发表在《Nature》，2021，597：503 - 510，题目：“Three-dimensional electronic microfliers inspired by wind-dispersed seeds”。

沈湘摘译自[2021-9-24]

http://portal.nstl.gov.cn/STMonitor/home/bianyi_recordshow.htm?id=103096&parentPageId=1632474048018&serverId=14

<https://www.nature.com/articles/s41586-021-03847-y>

NSTL

IBM 推出片上加速人工智能处理器

2021 年 8 月 23 日，在一年一度的 Hot Chips 大会上，IBM 公布即将推出的全新 IBM Telum 处理器的细节，该处理器旨在将深度学习推理能力引入企业工作负载，以帮助实时解决欺诈。Telum 是 IBM 首款具有片上加速功能的处理器，能够在交易发生时进行 AI 推理。经过三年的开发，这种全新的片上硬件加速技术的突破旨在帮助客户在银行、金融、贸易、保险应用和客户交互中进行业务洞察。IBM 计划在 2022 年上半年推出基于 Telum 的系统。

企业使用的检测方法通常只能发现已经发生的欺诈活动。由于技术的局限性，这一过程可能非常耗时且需要大量计算，尤其是在远离关键任务交易和数据的情况下进行欺诈分析和检测。由于延迟，复杂的欺诈检测通常无法实时完成，这意味着在零售商意识到欺诈发生之前，不法分子可能已经使用盗用的银行卡购买了商品。Telum 可以帮助客户从欺诈检测状态转变为欺诈预防状态。

这款新芯片采用创新的集中式设计，可让客户充分利用 AI 处理器的全部功能来处理特定于 AI 的工作负载，使其成为欺诈检测、贷款处理、交易清算和结算、反洗钱和风险分析等金融服务工作负载的理想选择。通过这些创新，客户将能够增强现有的基于规则的欺诈检测，或者使用机器学习加速信贷审批流程，改善客户服务和盈利能力，识别哪些交易可能会失败，并提出解决方案以创建更有效的结算过程。

Telum 遵循 IBM 在创新设计和工程方面的悠久传统，包括硬件和软件的共同创新，覆盖对半导体、系统、固件、操作系统和主要软件框架的有效整合。该芯片包含 8 个处理器内核，具有深度超标量乱序指令管道（A deep super-scalar out-of-order instruction pipeline），以超过 5GHz 的时钟频率运行，针对异构企业级工作负载的需求进行了优化。完全重新设计的缓存和芯片互连基础架构为每个内核提供 32MB 缓存，并且可以扩展到 32 个 Telum 芯片。双芯片模块设计在 17 个金属层上包含 220 亿个晶体管 and 19 英里长的导线。



图 1 Telum 芯片

邹丽雪摘译自

<https://newsroom.ibm.com/2021-08-23-IBM-Unveils-On-Chip-Accelerated-Artificial-Intelligence-Processor>

索尼发布业界最小 4.86 μm 像素尺寸堆栈式基于事件的视觉传感器

2021 年 9 月 9 日，索尼半导体解决方案公司公开了即将发布的两款堆栈式基于事件的视觉传感器。两款传感器为工业设备而设计，能够专注于物体特定变化的检测，且实现了业界最小^{*1}的 4.86 μm 像素尺寸。

*1：在堆栈式的基于事件的视觉传感器中，基于索尼研究，截至 2021 年 9 月 9 日发稿时间。

基于事件的视觉传感器可异步（非同时）检测每个像素的亮度变化并仅输出变化的数据，将其与像素位置（xy 坐标）和时间信息相结合，从而实现高速度、低延迟的数据输出。

这两款新的传感器采用堆栈式技术，利用索尼专有的 Cu-Cu 连接技术^{*2}，实现了业界最小^{*1}的 4.86 μm 像素尺寸。除了以低功耗运行并实现高速度、低延迟、高时间分辨率的数据输出外，这两款传感器还具有小尺寸但分辨率超高的特点。集合所有这些优势，以确保在不同环境和情况下立即检测到移动对象。

*2: 在堆栈像素部分（顶部芯片）和逻辑电路（底部芯片）时通过连接的 Cu（铜）焊盘实现电气连接的技术。与通过插入像素区域周围的电极实现连接的硅通孔（TSV）布线相比，这种方法提供了更多的设计自由度、提高了生产效率、允许更紧凑的尺寸并提高了性能。

两款传感器是索尼和 Prophesee 之间进行合作，将索尼的 CMOS 图像传感器技术与 Prophesee 独特的基于事件的视觉传感器技术相结合而实现的。这可以实现高速度、高精度的数据采集，并有助于提高工业设备的生产率。

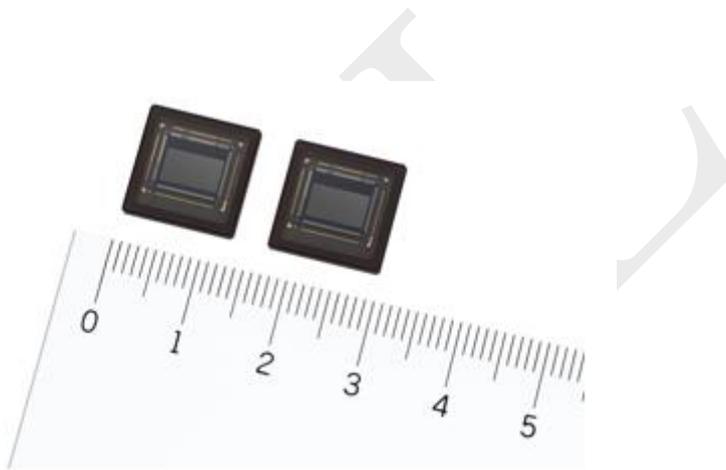


图 2 堆栈式基于事件的视觉传感器 左：IMX636 右：IMX637

主要特点

1. 业界最小^{*1} 像素尺寸 4.86 μm ，高分辨率的小型紧凑设计

新传感器采用专有的堆栈式结构，利用 Cu-Cu 连接实现像素芯片和逻辑芯片之间的导电，逻辑芯片配备了用于检测每个像素亮度变化的信号处理电路。像素单元和信号处理电路通常放置在同一块板上。然而，在这些产品中，独特的堆栈式结构成功实现业界最小^{*1}的 4.86 μm 像素尺寸，同时保持了像素单元的高开口率^{*4}。这种设计提供了小型紧凑的外形和高分辨率，以及高精度的识别能力。

*4:从光入射侧看每个像素的开口部分（除遮光部分以外的部分）的比率。

2. 尽管功耗低，但具有高速度、低延迟、高时间分辨率的变化数据提取能力

专有的堆栈式结构使索尼能够选择变化监测的方法，异步检测像素亮度变

化并输出带有像素位置（xy 坐标）和时间信息的数据。与基于帧（画面）的方法不同，这允许传感器仅读取所需的数据，从而节省功耗，并且具有微秒级的高速度和低延迟，可实现高时间分辨率的输出。

3. 简化信息获取的变化过滤功能

这些传感器配备了 Prophesee 开发的变化过滤功能，用于消除不必要的变化数据，使其适用于各类应用。使用这些过滤器有助于消除不应被当前识别任务抓取的变化，例如在特定频率下可能发生的 LED 闪烁（抗闪烁），以及极不可能是移动对象轮廓的变化（变化过滤器）。过滤器还可以在必要时调整数据量，以确保其低于下游系统中可处理的变化率（变化率控制）。

邹丽雪选摘自

<https://www.sony.com.cn/content/sonyportal/zh-cn/cms/newscenter/techonology/2021/20210909-011.html>

英特尔推进全新架构，面向数据中心、HPC-AI 和客户端计算

2021 年 8 月 19 日，英特尔公布了英特尔®架构在近年来重大的改变和创新。英特尔公司高级副总裁兼加速计算系统和图形事业部总经理 Raja Koduri 携手多位英特尔架构师，全面介绍了两种全新 x86 内核架构的详情。这包括英特尔首个性能混合架构“Alder Lake”，以及智能的英特尔硬件线程调度器；专为数据中心设计的下一代英特尔至强可扩展处理器 Sapphire Rapids；基础设施处理器（IPU）；即将推出的显卡架构，包括 Xe HPG 微架构和 Xe HPC 微架构，以及 Alchemist SoC、Ponte Vecchio SoC。这些新架构将为即将推出的高性能产品注入动力，并为英特尔的下一个创新时代奠定基础，以满足世界对高计算能力日益增长的需求。

1. 能效核：一个高度可扩展的 x86 微架构，它能满足客户从低功耗移动应

用到多核微服务的全方位计算需求。对比英特尔迄今为止最多产的 CPU 微架构——Skylake，能效核可在相同功耗下提升 40% 的单线程性能，或者在提供同样性能时，功耗仅为 Skylake 的 40% 不到。就吞吐量性能而言，与运行四个线程的两个 Skylake 内核相比，四个能效核在性能提升 80% 的同时功耗更低，或者在提供相同吞吐量性能时，功耗降低 80%。

2. 性能核：它不仅是英特尔迄今为止性能最高的 CPU 内核，而且在 CPU 架构性能方面实现阶梯式提升，推动未来十年的计算发展。它是一个更宽、更深、更智能的架构，展现出更高的并行性，提高执行并行性，降低时延，提升通用性能。它还帮助支持大数据集和大型代码体积的应用程序。与第 11 代酷睿架构（Cypress Cove 内核）相比，相同频率下，性能核在一系列工作负载上平均提升了约 19%。针对数据中心处理器和机器学习的发展趋势，性能核提供了专用硬件，包括新的英特尔高级矩阵扩展（AMX）来执行矩阵乘法运算，以获得数量级的性能——AI 加速提升约 8 倍。这是为软件易用性而设计，利用了 x86 编程模型。

3. 英特尔硬件线程调度器：这是英特尔开发的独特调度方法，旨在确保将能效核和性能核无缝衔接在一起，从开始就动态、智能地分配工作负载，从而优化系统以在真实场景中实现更高的性能和效率。智能直接置于内核，英特尔硬件线程调度器与操作系统无缝配合，在合适的时间把合适的线程分配给合适的内核。

4. AlderLake：它重构了多核架构，是英特尔首个搭载全新英特尔硬件线程调度器的性能混合架构。它是英特尔最智能的客户端 SoC 架构，结合了能效核和性能核，适用于从移动端到台式机的产品，并通过多种业界领先的 I/O 和内存而引领行业变革。基于 AlderLake 的产品将在今年开始出货。

5. Xe HPG 和 Alchemist SoC：一款全新的独立显卡微架构，专为游戏和创作工作负载提供发烧友级别的性能。Xe HPG 微架构采用新的 Xe 内核，聚焦计算、可编程、可扩展，并全面支持 DirectX 12 Ultimate。Xe 内核中的全新矩阵引擎（Xe Matrix eXtensions, XMX）能够加速 AI 工作负载，比如 Xe SS，是一项全

新升频技术（upscaling technology），可以实现高性能、高保真游戏体验。基于 X^e HPG 的 Alchemist SoC（之前代号为 DG2）将于 2022 年第一季度上市，并采用新的品牌名英特尔®锐炫™。

6. Sapphire Rapids: 它结合了英特尔的性能核与全新加速器引擎，树立了下一代数据中心处理器的标准。Sapphire Rapids 的核心是一个模块化的分区 SoC 架构，得益于英特尔的 EMIB 多晶片互连封装技术和先进网格架构，它具有显著的可扩展性，同时仍保持单晶片 CPU 接口的优势。

7. 基础设施处理器（IPU）: Mount Evans 是英特尔首款专用 ASIC IPU，以及全新的基于 FPGA 的 IPU 参考平台——Oak Springs Canyon。通过基于英特尔 IPU 的架构，云服务提供商（CSPs）可以通过把基础设施任务从 CPU 转移到 IPU，从而让数据中心收益更大化。把基础设施任务转移到 IPU，能够让云服务提供商（CSPs）可以把所有的服务器 CPU 租给客户。

8. X^e HPC、Ponte Vecchio: Ponte Vecchio 是英特尔迄今为止最复杂的 SoC，也是践行 IDM2.0 战略的绝佳示例，它采用多种先进的半导体制程工艺、英特尔变革性的 EMIB 技术以及 Foveros 3D 封装技术。它包含 1000 亿个晶体管，提供业界领先的浮点运算和计算密度，以加速人工智能、高性能计算和高级分析工作负载。Ponte Vecchio 将由 oneAPI 支持，后者是英特尔一个开放、基于标准、跨架构、跨供应商的统一软件堆栈。

邹丽雪选摘自

<https://newsroom.intel.cn/news-releases/intel-advances-architecture-data-center-hpc-ai-client-computing/#gs.c35foy>

<https://newsroom.intel.cn/news-releases/intel-architecture-day-2021-fact/#gs.c35fpz>

英飞凌开设高科技芯片工厂

2021 年 9 月 17 日，英飞凌科技股份有限公司在奥地利菲拉赫工厂正式启动运营

了 300 毫米薄晶圆高科技芯片工厂。该工厂投资为 16 亿欧元，是欧洲微电子领域同类中最大规模的项目之一，也是世界上最现代化的工厂之一。

1. 第一批产品目前正在出货

经过三年的筹备和建设，工厂于 2021 年 8 月初投产，比原计划提前了三个月。第一批晶圆将于 9 月出货。在扩大产能的第一阶段，所产芯片将主要用于满足汽车行业、数据中心，以及太阳能和风能等可再生能源发电领域的需求。新工厂有望为英飞凌带来每年约 20 亿欧元的销售额提升。规划的工业半导体年产能将能够满足发电量总和约 1500TWh 的太阳能系统之所需，而这约是德国年耗电量的 3 倍。

2. “绿色”节能芯片

多年来，英飞凌的产品一直致力于提高能源效率，从而为气候保护做出贡献。菲拉赫工厂在这些解决方案中发挥着至关重要的作用，生产的节能芯片可智能地控制电源开关，最大限度地降低家用电器、LED 照明和移动设备的能耗，减少碳足迹。例如，现代半导体器件能够将冰箱的能耗降低 40%。将建筑照明能耗降低 25%。得益于菲拉赫的产品组合，新生产设施生产的产品可以避免超过 1300 万吨的二氧化碳排放。

3. 节能工厂

在工厂建设过程中，英飞凌特别关注如何进一步改善其能源状况，工厂 80% 的供暖需求将通过冷却系统余热的智能回收来满足，每年减少约 2 万吨二氧化碳排放，废气净化系统的广泛使用将使直接排放量几乎为零。可持续生产和循环经济方面的另一个里程碑是绿色氢的生产和回收。从 2022 年初开始，生产过程中所需的氢气将直接在菲拉赫工厂使用可再生能源来生产。这将消除原始生产和运输过程中的二氧化碳排放。这种绿色氢在用于芯片生产后将被回收，并为公交车提供燃料。这个绿色氢两用项目在欧洲是独一无二的。通过这些举措，菲拉赫新厂正在发挥重要作用，大力推动英飞凌在 2030 年实现碳中和目标。

4. 超现代芯片工厂

新芯片厂的总建筑面积约为 60,000 平方米。在接下来的四到五年内，产量

将逐渐增加。该芯片工厂是世界上最现代化的工厂之一，依靠全自动化和数字化。作为“学习型工厂”，人工智能解决方案将广泛用于预测性维护。联网工厂将能够基于大量的数据分析和模拟，提早预知何时需要维护。

英飞凌目前拥有两个大型功率半导体制造基地，用于生产 300 毫米薄晶圆，分别位于德累斯顿和菲拉赫。两个工厂都基于相同的标准化生产和数字化概念，这使得英飞凌能够像控制一个工厂一样控制两个工厂的制造，并可以在工厂之间快速调整不同产品的生产量，更快地响应需求。

5. 300 毫米薄晶圆技术

该工厂的芯片是在 300 毫米薄晶片上制造的，晶片厚度为 40 微米，比人的头发还细。该技术的使用带来了显著的生产优势，并减少了资本支出。

邹丽雪摘译自

<https://www.infineon.com/cms/en/about-infineon/press/press-releases/2021/INFXX202109-098.html>

《集微技术信息简报》是由中国科学院文献情报中心情报研究部承担编辑的半导体、集成电路、微电子相关领域科技信息综合报道及专题分析简报（双月报），于2014年3月正式启动，2014年为季度发行的《光刻技术信息简报》，2015年更名《集微技术信息简报》双月发行，2017-2018年根据服务内容聚焦点更名《第三代半导体技术信息简报》。2019年起卷名恢复《集微技术信息简报》。按照“统筹规划、系统布局、分工负责、整体集成、长期积累、深度分析、协同服务、支撑科研”的发展思路，规划和部署《集微技术信息简报》。《集微技术信息简报》服务对象是集成电路、微电子领域的相关领导、科技战略研究专家和科研一线工作者。《集微技术信息简报》内容力图兼顾科技决策和管理者、科技战略专家和领域科学家的信息需求，报道集成电路、微电子领域的国际科技战略与规划、科技计划与预算、科技进展与动态、科技前沿与热点、重大科技研发与应用、重要科技政策与管理等方面的最新进展与发展动态，不定期提供半导体、集成电路、微电子领域热点方向的专题分析。

《集微技术信息简报》是内部资料，不公开出版发行；除了其所报道的专题分析报告代表相应作者的观点外，其所刊载报道的中文翻译信息、汇编信息等并不代表编译者及其所在单位的观点。

NSTL 微电子器件及集成专项情报服务团队

执笔人：王丽 于杰平 沈湘 邹丽雪

联系人：王丽

电话：010-82626611-6649

电子邮件：wangli@mail.las.ac.cn

