

分类号_____

密级_____

UDC _____

编号_____

中国科学院研究生院

博士学位论文

分子束外延 HgCdTe 位错及表面缺陷抑制方法

傅祥良

指导教师 何力 研究员

陈路 副研究员

申请学位级别 博士 学科专业名称 微电子学与固体电子学

论文提交日期 2008.05.08 论文答辩日期 2008.05.29

培养单位 中国科学院上海技术物理研究所

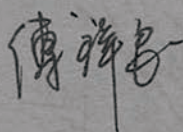
学位授予单位 中国科学院研究生院

答辩委员会主席 夏义本 教授

学位论文原创性声明

本人郑重声明：所呈交的学位论文，是本人在导师指导下，进行研究工作所取得的成果。除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人创作的、已公开发表或者没有公开发表的作品的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。本学位论文原创性声明的法律责任由本人承担。

学位论文作者签名：



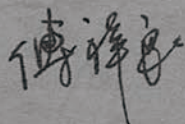
2008 年 05 月 10 日

学位论文使用授权说明

本人同意：中国科学院上海技术物理研究所有权保留学位论文的印刷本和电子版，并采用影印、缩印、扫描、数字化或其它手段保存论文；有权提供目录检索以及提供本学位论文全文或者部分的阅览服务；有权按规定向国家有关部门或者机构送交论文的复印件和电子版；在不以赢利为目的的前提下，有权复制论文的部分或全部内容用于学术活动。

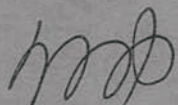
经指导教师审核，本学位论文属于保密，密级为：_____。涉密论文在解密后，以上学位论文使用授权说明适用。

论文作者签名：



2008 年 05 月 10 日

指导教师签名：



2008 年 05 月 10 日

摘要

大规模红外焦平面器件的制备需要低成本、高质量、大面积且均匀性良好的 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 材料。使用替代型衬底的 HgCdTe 分子束外延技术能很好的满足大面积和低成本要求, 并已成为制备大规模器件的主流技术。由于替代衬底和 HgCdTe 之间存在大的晶格失配, 导致 HgCdTe 外延层中存在较高的位错密度, 另外由于衬底面积的增大和衬底预处理工艺、生长工艺的复杂性, 导致 HgCdTe 表面容易引入各种表面缺陷, 这些 HgCdTe 层中的高密度位错和表面缺陷将严重降低焦平面器件的性能。本论文针对上述问题: 比较了各种工艺方法对替代衬底(GaAs 、 Si)上 CdTe 缓冲层的孪晶和位错抑制效果, 并基于实验寻找两个不同衬底体系下的优化工艺路线; 研究 CdTe 和 HgCdTe 表面缺陷的起源, 并指导生长工艺的优化, 以降低 HgCdTe 表面缺陷密度; 对材料的表面形貌均匀性、晶体质量均匀性及组分均匀性进行表征研究, 指导生长工艺的优化, 进而提高 HgCdTe 材料性能均匀性。

对 CdTe 缓冲层的位错抑制生长工艺进行研究, 在 GaAs 和 Si 两个不同体系上比较 CdTe 低温成核法、引入 ZnTe 初始成核层和引入衬底偏角对孪晶和位错的抑制效果。发现 CdTe 低温成核法能够降低 GaAs/CdTe 、 ZnTe/CdTe 界面的失配能, 起到抑制孪晶的作用, 但不能有效地抑制穿越位错; 而 ZnTe 初始成核层可以更有效地降低 GaAs/CdTe 和 Si/CdTe 界面处的能量, 从而抑制孪晶、穿越位错; 对于 Si/CdTe 体系引入衬底偏角能有效地降低界面能量和抑制位错, 但对 GaAs/CdTe 体系却无明显效果; 最后基于实验结果讨论了优化的工艺路线, 获得了可重复性良好的 CdTe 缓冲层生长工艺路线。优化工艺后的厚度为 $10.9\mu\text{m}$ 的 3 英寸 $\text{CdTe}(211)\text{B}/\text{Si}(211)$ 样品和厚度为 $15.7\mu\text{m}$ 的 $\text{CdTe}(211)\text{B}/\text{GaAs}(211)$ 进行了 X 射线双晶半峰宽 wafer mapping, Si/CdTe 的半峰宽最小值为 55 弧秒, 最大值为 75 弧秒, 平均值为 61 弧秒; CdTe/GaAs 的半峰宽最小值为 46 弧秒, 最大值为 70 弧秒, 平均值为 50 弧秒。另外基于实验获得了 CdTe 双晶半峰宽与位错密度的良好对应关系, 建立了 X 射线无损检测的评价标准。

研究了快速退火处理对 Si/CdTe 外延层晶体质量的影响。研究中发现退火温度越高, 对 CdTe 外延层晶体质量的改善效果越好, 同时改善的饱和时间越短, 且不同退火条件下的 Si/CdTe 晶体质量皆有所提高, 但是退火温度过高或者退火时间过长都会使 CdTe 表面引入表面缺陷, 甚至导致薄膜蒸发; 研究发现多次快速循环退火对 Si/CdTe 表面形貌的影响很小, 且其对 CdTe 外延层的晶体质量的改善效果更好, 厚度为 $\sim 4\mu\text{m}$ 、双晶半峰宽为 ~ 85 弧秒的原生 Si/CdTe 样品经退火后的双晶半峰宽低于 50 弧秒, 相当于厚度为 $\sim 12\mu\text{m}$ 原生 Si/CdTe 。

运用光学显微镜、SEM 和 EDAX 等分析手段, 系统地分析了 CdTe 和 HgCdTe 外延层表面缺陷与衬底、生长条件的关系, 并研究了表面缺陷的抑制方法。对 CdTe 特征点和 CdTe 特征短线进行了分析, 并与 $\text{ZnCdTe}/\text{HgCdTe}$ 表面出现的短线形貌进行了比较, 得出此类特征点与短线形貌的起源与 CdTe 或者 ZnCdTe 生长面上的 Cd/Te 化学配比失调相关。对 Si 基上 CdTe 特有的两种 S1 型和 S2 型表面缺陷进行了分析, S1 型表面缺陷起源于衬底表面预处理, 而 S2 型缺陷起源目前尚无定论, 对 S2 型缺陷的起源分析及抑制将作为下一步工作重点。对 CdTe 表面出现的鼓包型表面缺陷进行了分析, 研究了缺陷与

生长室真空异常的相关性。分析了 HgCdTe 表面的团聚状分布缺陷，发现其起源于生长面吸附的杂质，最后通过设计实验证明了此类缺陷与 Hg 源的杂质玷污相关。另外对 HgCdTe 表面小圆点、三角形和菱形缺陷的起源进行了分析，发现三者皆与 HgCdTe 的生长温度偏低相关。

描述了大面积外延晶片表面缺陷 mapping 的实现方法，得到了 3 英寸 CdTe 及 HgCdTe 外延层的表面缺陷空间分布特征，对 CdTe 及 HgCdTe 外延层的晶体质量均匀性进行了表征和分析，发现在中心厚度较小时 CdTe 缓冲层的厚度均匀性对晶体质量均匀性影响较大，给出了 3 英寸 CdTe 外延层的双晶半峰宽的预期偏差与 CdTe 中心厚度的关系曲线，其对 CdTe 缓冲层厚度的预设计有指导意义；另外还获得了 3 英寸中波 HgCdTe 组分均匀性表征结果，其组分均匀性完全满足制备焦平面器件的应用要求。

关键词：分子束外延，HgCdTe，替代衬底，位错，表面缺陷，器件性能

作者：傅祥良

专业：微电子与固体电子学

导师：何力 研究员，陈路副研究员

完成时间：2008 年 5 月

字数：45, 000

Abstract

Xiangliang Fu (Solid electronics and microelectronics)

Directed by Prof. Li He

The fabrication of Infrared Focal-plane Arrays (IR FPAs) with increasing formats and higher quality requires HgCdTe (MCT) material of lower cost, high quality, larger area and good uniformity. While the molecular beam epitaxial (MBE) technology for MCT on alternative substrates provides the merits of larger area and low cost, it has become the main technologic choice for processing device with larger formats. Due to the large lattice-mismatch of 19.3% between Si and CdTe or 14.5% between GaAs and CdTe, Large amount of misfit dislocations are generated at the interface between substrates and epilayers, which will greatly impact on the performance of FPAs. Furthermore, Due to the increasing area, and more complexity of pretreatment and growth process, surface defects of different types appearing in the MCT epilayers, result in the degraded device performance.

The main purpose of this article is to study the growth processes for CdTe buffer layer in attempt to reduce the density of dislocation and surface defects and to improve the uniformity including crystal quality uniformity, surface morphology uniformity and composition uniformity of HgCdTe epilayer.

By experiments on various lattice mismatch systems, the large lattice mismatch, which increased surface energy, was found to be the main cause for twin formation, misfit dislocation and threading dislocation. In this article, the different processes of depressing twin formation, misfit dislocation and threading dislocation have been compared and discussed, by using different technique including low temperature CdTe nucleation, low temperature ZnTe initial layer and misoriented substrates. Experiments showed that low temperature CdTe nucleation could decrease the energy at GaAs/CdTe and ZnTe/GaAs interface, twin-free epilayer could be obtained, but was not effective on dislocation suppression; low temperature ZnTe initial layer could simultaneously suppress the twin formation, misfit dislocation and threading dislocation; Introduction of misoriented substrate could resulting in reducing energy at Si/CdTe, subsequently dislocation suppression was enhanced, while it was not effective on GaAs/CdTe. Then, the optimal procedure of CdTe growth on GaAs and Si was discussed. The relationship of FWHM and etch pit densities (EPD) was experimentally obtained on CdTe/Si and GaAs/Si with optimal growth procedure.

A series of As-grown Si/CdTe epilayer was treated with Rapid Thermal Annealing (RTA), and the improvement of crystal quality was confirmed by the decrease of X-ray rocking curve full width at half maximum (XRDC FWHM). Surface defects related to evaporation were found on the samples treated by RTA procedure with over-high temperature or over-long time. Rapid Thermal Cycle Annealing (RTCA) was then applied to samples of As-grown Si/CdTe, improvement in crystal quality was confirmed, and no obvious evaporation was found on the surfaces.

In this work, the relation between substrates or growth condition and various defects on CdTe and HgCdTe were studied by using scanning electron microscopy (SEM), energy dispersive X-ray fluorescence spectroscopy (EDAX). The origin of several surface defects observed on CdTe and HgCdTe was clarified. And the methods of defects suppression were also discussed.

The method for large-area spatial mapping of surface defects on epi-wafer was presented in the article. The spatial mapping of surface defects density on 3-inch CdTe and HgCdTe wafer was obtained and the distribution characteristic was discussed. FWHM mapping was performed on 3-inch CdTe and HgCdTe epi-wafer, and the result showed that non-uniformity of CdTe thickness was responsible for the non-uniformity of CdTe FWHM. A predicted deviation of FWHM on 3-inch CdTe wafer with different central thickness was presented when the thickness distribution was introduced. Also, the composition distribution was presented and discussed, it showed good uniformity.

Keywords: MBE, HgCdTe, alternative, uniformity, dislocation, surface defect

Author: Fu Xiangliang

Advisor: Prof. He Li

Finished date: May, 2008

Word number: 45,000

摘要.....	1
Abstract.....	3
第一章 引言.....	1
1.1 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 红外焦平面技术的发展趋势	1
1.2 HgCdTe 分子束外延的衬底选择	3
1.3 位错对红外焦平面器件性能的影响.....	4
1.4 表面缺陷对红外焦平面器件的影响.....	5
1.5 论文研究目的及内容构成.....	7
参考文献.....	8
第二章 HgCdTe 材料分子束外延生长及评价手段	11
2.1 HgCdTe 分子束外延材料生长	11
2.1.1 MBE 生长系统介绍	11
2.1.2 高能电子衍射 (RHEED) 原位监测.....	12
2.2 HgCdTe 分子束外延材料的评价手段	14
2.2.1 CdTe 和 HgCdTe 表面形貌评价	14
2.2.2 CdTe 和 HgCdTe 晶体质量评价手段	15
2.3 小结.....	22
参考文献.....	22
第三章 替代衬底上的 CdTe 缓冲层位错抑制工艺研究及评价.....	24
3.1 位错抑制生长工艺研究.....	24
3.1.1 外延工艺路线.....	24
3.1.2 CdTe 低温成核法	26
3.1.3 ZnTe 低温初始层	28
3.1.4 在有偏角衬底上的外延研究.....	29
3.1.5 工艺小结.....	31
3.1.6 晶体质量评价.....	32
3.2 快速高温退火位错抑制研究.....	36
3.2.1 研究背景.....	36
3.2.2 实验介绍.....	36
3.2.3 退火工艺优化研究.....	37
3.2.4 退火后外延层晶格应力初步表征.....	47
3.3 双晶半峰宽 (FWHM) 与位错密度 (EPD) 联合评价手段.....	50
3.4 小结.....	51
参考文献.....	52

第四章 CdTe、HgCdTe 外延层的表面形貌研究	55
4.1 GaAs/CdTe 和 Si/CdTe 表面形貌研究	55
4.1.1 与 CdTe 外延生长条件相关的表面缺陷的抑制	55
4.1.2 与衬底相关的 CdTe 表面缺陷	58
4.1.3 其他的 CdTe 表面缺陷	61
4.2 HgCdTe 表面缺陷	63
4.2.1 研究基础	63
4.2.2 与杂质相关的 HgCdTe 表面缺陷	64
4.2.3 与 HgCdTe 生长条件相关的表面缺陷	69
4.3 小结	70
参考文献	71
第五章 大面积 HgCdTe 性能均匀性研究	72
5.1 研究意义	72
5.2 大面积外延晶片表面微缺陷 mapping 研究	73
5.2.1 表面缺陷全空间 mapping 的实现方法	73
5.2.2 3 英寸 CdTe、HgCdTe 外延层表面缺陷密度 mapping	80
5.3 大面积 HgCdTe 晶体质量均匀性	84
5.4 大面积 HgCdTe 外延薄膜组份均匀性	89
5.5 小结	90
参考文献	91
第六章 总结	92
攻读博士学位期间发表的论文	94
致 谢	95

第一章 引言

1.1 碲镉汞红外焦平面技术的发展趋势

碲镉汞($\text{Hg}_{1-x}\text{Cd}_x\text{Te}$)焦平面红外探测器从本世纪八十年代开始研制¹, 经历了第一代多元光导型红外探测技术、第二代碲镉汞混合式焦平面器件和以多色探测、大规模和智能化为主要特征的第三代碲镉汞红外焦平面技术。

碲镉汞焦平面在目标的侦察和监视等国防体系的应用充分体现它的优势。同时, 碲镉汞焦平面还被应用于天文探测^{2,3,4}、地球资源的探测以及气象和灾害的监测和预报等涉及国民经济发展的重大领域。总体上, 新一代的碲镉汞红外焦平面技术的发展趋势对碲镉汞材料的需求主要有以下几个特点:

1) 更大的像素规模

为了满足红外探测系统更远探测距离、更高空间分辨率的要求, 焦平面器件的发展趋势之一就是规模的扩大。有更大规模的像元素。 ZnCdTe 衬底因其尺寸小已经满足不了器件发展的需求, 因此更大面积替代衬底上的碲镉汞分子束外延技术已成为制备大规模器件的主流技术, 目前国际上使用的替代衬底主要为 Si、GaAs 和 Ge 等材料。

2) 更低的应用成本

随着红外成像探测技术在各类平台上的普遍应用, 探测器性能和成本问题得到日益高涨的关注。在可承受成本方面, 成像探测器的发展趋势集中在降低制造成本、降低维护或使用成本两个方面。在降低制造成本方面, 主要的技术手段是红外探测器的工业化标准化生产技术, 以及外延材料的低成本、大面积技术。

以碲镉汞材料为例, 在低成本材料技术上, 采用替代衬底的碲镉汞外延材料在价格上是采用传统碲锌镉衬底的碲镉汞外延材料的二百分之一。碲镉汞、锑化铟等焦平面材料的成本比较如图 1-1 所示。国际上通行的估算为, 如果按照 Si 基碲镉汞材料成本为 1 计算, 则镓砷衬底碲镉汞为 5, 锗基碲镉汞为 8, 碲锌镉基碲镉汞为 200。另一个器件成本的决定因素是单片材料上(晶圆上)所能获得的器件数量。目前美国采用 6 英寸 Si 基碲镉汞材料, 能够获得 120 个 640×480 器件, 或者 37 个 1280×720 器件(20 微米中心距)。中波锑化铟材料目前国际上的最大尺寸为 4 英寸(二年后预测达到 6 英寸), 如果按照中波锑化铟探测器的成本为 1 估算, 采用 Si 基碲镉汞材料的同等性能器件的成本为 0.6, 短波铟镓砷材料最大尺寸为 3 英寸, 如果按照短波铟镓砷探测器的成本为 1 估算, 采用 Si 基碲镉汞材料的同等性能器件(室温工作)的成本为 0.4。故此, 在低成本探测器制造方面, 采用替代衬底的碲镉汞分子束外延材料技术是发展的主流方向。

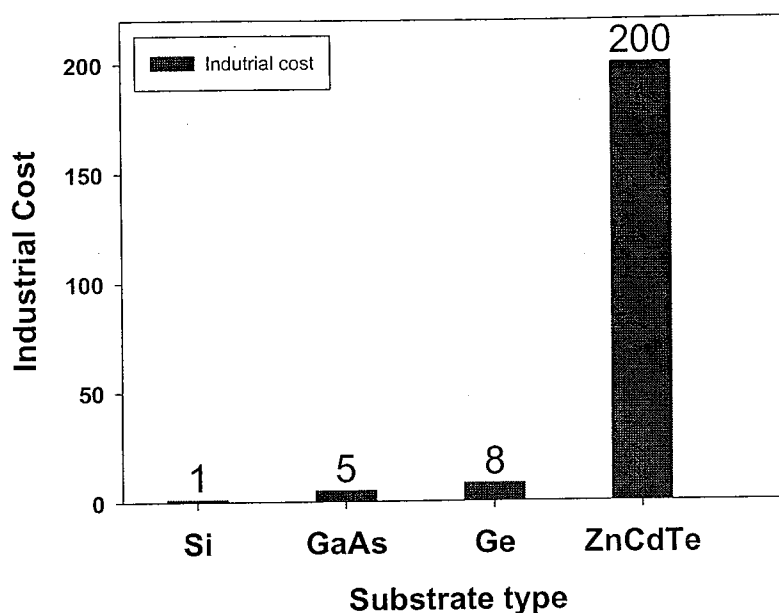


图 1-1 不同衬底上的 HgCdTe 制作成器件所需的成本比较。

3) 更高的器件性能

面阵规模提高后，对大面积材料的生长及器件制备工艺也提出了更高的要求，就材料而言，高性能器件的制备要求大面积高质量、高均匀性的碲镉汞材料。所谓材料的高均匀性包括材料的晶体质量均匀性、表面形貌均匀性和组分均匀性。

4) 目标的多光谱探测功能及微型、智能化集成

随着红外探测技术的不断发展，红外隐身技术也在不断提高，通过使在特定波段上目标与环境背景具有相似的发射率，从而导致红外目标对比度下降，难以识别。由于地球大气有 1-3 微米、3-5 微米和 8-14 微米三个最为常用的红外辐射窗口，若一个热成像系统能在多波段对目标和环境的辐射特征进行同时探测，通过对比不同辐射波长下的辐射特征，就可以对复杂的背景进行抑制，实现红外探测不受环境的制约，准确地提取目标特征⁵，在预警、搜索和跟踪系统中能大大地提高探测效率，降低虚警率。随着材料、器件和系统技术的进步，焦平面探测器还将向更多的光谱波段发展，既包括拓宽光谱波段，也包括将光谱波段划分成更为细致的波段，以获得目标的“彩色”热图像，更丰富、更精确和更可靠地获得目标信息⁶。多色探测器共用一个读出电路，实现芯片内或近芯片的信号预处理，大大加快信号处理速度，为实现多目标跟踪、侦查的红外焦平面探测器优化技术。这种探测系统不但保证了不同波段图像的空间一致性，而且大大地减少了系统尺寸、复杂性和制冷的要求⁷。

总之，在当前大规模红外焦平面器件的研制中，高性能器件的制备需要大面积高质量、高均匀性的碲镉汞材料。由于与碲镉汞外延层晶格失配较小的 ZnCdTe 衬底的成本高、尺寸小，并且与 Si 读出电路的热匹配等问题，近年来，国内外围绕大面积替代型衬底上的碲

碲汞外延技术进行了大量研究，代表性的研究成果如采用 Ge 衬底的 3 英寸以及 4 英寸碲汞 MBE 研究^{8,9}，采用 GaAs 衬底的 3 英寸碲汞 MBE 研究^{10,11}，采用 Si 衬底的 4 英寸以及 6 英寸生产型碲汞 MBE 技术研究^{12,13,14}。

1.2 HgCdTe 分子束外延的衬底选择

与其他的外延技术相比，分子束外延技术由于其低温生长方式，在表面形貌质量、组分厚度均匀性、掺杂浓度、类型易控制和容易实现多层结构上具有独到的优势^{15,16}，并且这种优势随着焦平面器件规模的不断扩大，光敏元尺寸进一步减小而显得越来越重要。这种外延技术在当前正在发展的双色焦平面和未来将要发展的多功能集成光电子器件的应用上拥有巨大的发展前景¹⁷。用于外延生长 HgCdTe 的衬底材料主要有 Si、GaAs、Ge 和 ZnCdTe。其中 Si 与碲汞的晶格失配最大为 19.3%，GaAs 和 Ge 为 14.6%，ZnCdTe 的晶格常数和 HgCdTe 的基本匹配。

ZnCdTe 衬底：由于衬底与外延材料的晶格失配将导致大量的位错增殖，严重影响红外焦平面器件的工作性能，用晶格匹配的 ZnCdTe 作衬底外延生长出来的 HgCdTe 薄膜位错密度通常比另三种衬底的低 1~2 个数量级。但是 ZnCdTe 衬底成本昂贵，难以满足焦平面器件向着大规模、低成本方向发展的需要。

GaAs 衬底：GaAs 衬底材料具有廉价、大面积、机械强度较好等特点；其光谱透过范围宽，覆盖短波到热红外长波波段，热胀系数与白宝石基板接近¹⁸，衬底表面容易处理，更好地适于各种波段的长线条(<13 mm)，采用宝石为基板的间接混成线列焦平面器件。GaAs 作为衬底外延出的 HgCdTe 材料位错密度在 10^6cm^{-2} 量级范围¹⁹，适用于短波、中波以及高背景环境使用的长波焦平面器件的应用。

Ge 衬底：国际上也有研究机构选择 Ge 作为衬底外延 HgCdTe^{20,21}，最有代表性的是法国的 LETI 和 Sofradir 实验室。其选择 Ge 的主要原因为 Ge 的表面氧化层较不稳定，生长前的 Ge 表面预处理和原位脱氧工艺比较容易，同时 Ge 衬底有着和 GaAs 接近的晶格常数，和 HgCdTe 的晶格失配要小于 Si 基 HgCdTe。

Si 衬底：对于背入射式焦平面器件，HgCdTe 探测芯片与硅读出电路通过 In 柱混成互连而成，由于 HgCdTe 芯片热胀系数与 Si 读出电路的相差很大，因此当探测器从室温下降到工作温度时，器件芯片与读出电路之间较大的热应力导致芯片与读出电路剥离或使芯片破裂而失效。采用与读出电路热匹配的 Si 基 HgCdTe 材料技术制备探测器芯片是解决上述问题的解决方案，也是国际上近十年来不断追求的目标。表 1.1 列出的几种材料晶格常数和热胀系数，可见 ZnCdTe、GaAs、Ge 的热胀系数与 HgCdTe 接近，而与读出电路的 Si 材质的差异较大。随着焦平面芯片规模的进一步扩大，HgCdTe 焦平面器件与 Si 读出电路之间的热胀系数的差异所引发的内部应力对焦平面器件性能、可靠性的影响日趋显现。另

外, Si 衬底除了上述优点之外, 与其他衬底相比 (如 GaAs, ZnCdTe) 还具有廉价、热导率高, 机械强度高以及晶体质量高、衬底杂质少等特点。国外从上世纪 90 年代开始, 美国、法国、日本等多家研究机构已经开始了 Si 基 HgCdTe 外延的研究工作, 目前已经达到 6 英寸 Si 基 HgCdTe 分子束外延的规模, 并成功应用在 HgCdTe 焦平面器件实际使用中²²。在 Si 读出电路上直接制备焦平面探测器的工作也取得较大进展。目前国外的主要研究方向为双色焦平面器件及针对长波焦平面器件进一步降低材料位错密度等等, 最终研制出单片集成的红外探测器。

表 1.1 几种材料晶格常数和热胀系数比较^{23,24}

材料	Zn _{0.05} Cd _{0.95} Te	GaAs	Ge	Si	CdTe	Hg _{0.7} Cd _{0.3} Te
晶格常数(Å)	6.4650	5.6537	5.6580	5.4309	6.4827	6.4663
热胀系数(K ⁻¹)	5.0×10 ⁻⁶	5.7×10 ⁻⁶	5.8×10 ⁻⁶	2.5×10 ⁻⁶	4.96×10 ⁻⁶	4.0×10 ⁻⁶

1.3 位错对红外焦平面器件性能的影响

HgCdTe 中的位错, 从成因和分布来看主要分为失配位错和穿越位错, 失配位错主要来源于外延层与衬底间的晶格失配与热失配, 一般分布在外延层与衬底的界面处, 对器件性能的影响较小。穿越位错主要来源于衬底中位错在外延层中的延续以及失配位错在应力场作用下向外延层中攀移所致, 这种位错若是贯穿 p-n 结, 则对器件性能的影响很大²⁵。从位错的自身属性来分, 位错又分为刃位错与螺位错, 刃位错能造成断裂键, 最终形成空间电荷区, 直接影响晶体中电子或者空穴的行为; 而螺位错中应变是纯的切应变, 螺位错的能量比刃位错的能量小, 不具备施主或受主能级, 以及不具备能建立空间电荷的断裂键, 对电子或空穴的影响较小。在实际材料中, 位错往往是以混合位错的形态存在。

对于替代衬底上 HgCdTe 外延材料, 其典型的近表面 EPD 为 10⁶cm⁻², 这些位错绝大多数为穿越位错, 其余是在表面缺陷周围的应力场作用下的一种增殖位错^{26,27}。这些位错若贯穿 p-n 结的作用区, 则作为少子复合中心具有电学活性, 通过 Shockley- Read- Hall (SRH) 复合作用使材料的低温少子寿命大大缩短²⁸; 另外还会导致隧道电流增大, 进而降低二极管的 R₀A 值²⁹和增大器件的暗电流³⁰, 这些都将严重降低探测器的性能。当然, 结区里的位错对 p-n 结性能的影响大小并不相同, 其取决于位错的自身特征, 例如位错的走向 (dislocation orientation) 和位错的核心结构 (core structure) 以及位错核心周围潜在的杂质原子 (impurity atoms) 等等。总体来说, 单个二极管的性能和与结区相交的位错数量相关。如图

图 1-2 为器件使用平面注入结工艺时, 选用不同结宽(w), 每个结区上的位错个数, 在相同的位错密度下, 注入结面积越小, 则与结区相交的位错数量越少, 二极管性能则越好。

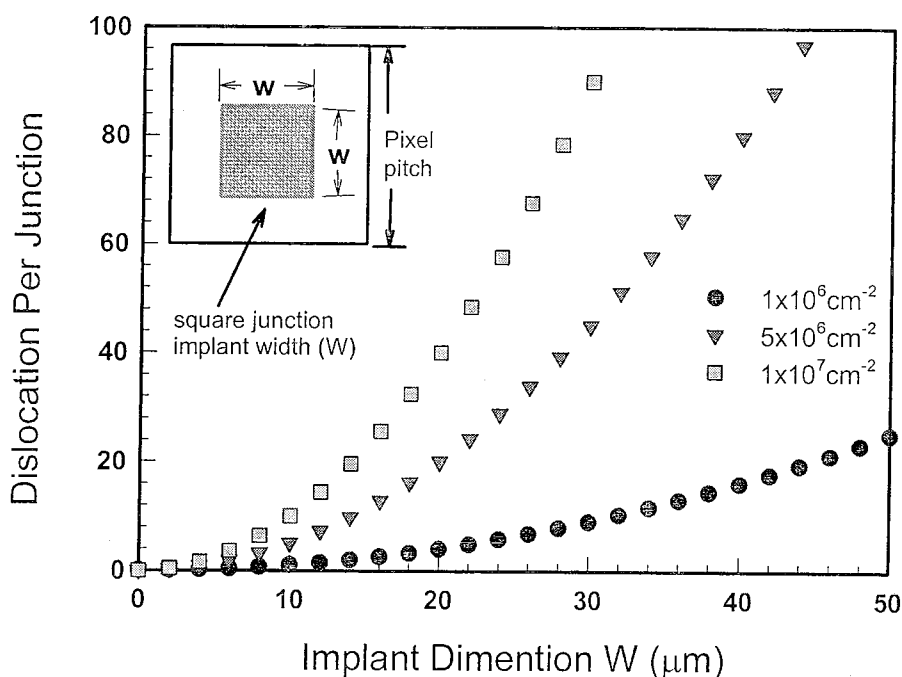


图 1-2 不同位错密度下, 与结宽为 W 的平面注入结相交的位错个数。

1.4 表面缺陷对红外焦平面器件的影响

表面缺陷对器件的影响主要是两个方面, 表面缺陷若全部坐落在像元上, 会影响像元的响应率可操作性(Operability), 尺寸大的表面缺陷(直径大于 $\sim 20\mu\text{m}$)如果恰好与像元(大小为 $30\mu\text{m} \times 30\mu\text{m}$)重合, 将直接导致像元无信号输出, 器件没有响应, 器件的盲元率将随着这种大尺寸的表面缺陷密度的增大而增加; 对于尺寸小于 $10\mu\text{m}$ 的表面缺陷, 若其全部或部分落在像元上, 则将作为高密度的产生-复合(generation-recombination)中心, 导致暗电流增大, R_0A 变小, 同时缺陷的存在也会降低钝化膜的质量, 从而使表面漏电流增大, 也使 R_0A 变小。另外位于像元中的表面缺陷不仅直接导致该单个像元性能下降, 甚至可能会导致周围像元性能的群体下降, 严重地影响器件的均匀性³¹。如图 1-3 所示截止波长为 $10\mu\text{m}$ 的长波 HgCdTe 焦平面探测器上同一测试芯片不同像元的 SEM 正视图。像元尺寸为 $30\mu\text{m} \times 30\mu\text{m}$, 可见有一个微缺陷的像元的 R_0A 明显小于没有微缺陷的。

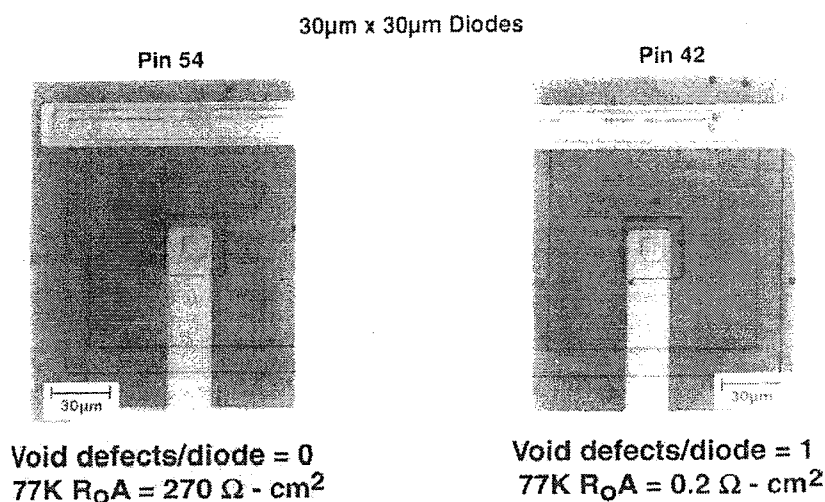


图 1-3 截止波长为 10 μ m 的长波 HgCdTe 焦平面探测器上同一测试芯片不同像元的 SEM 正视图

利用泊松分布(Poisson distribution), 每个像元有 n 个缺陷的概率是:

$$P_n(a, \lambda) = \frac{(\lambda a)^n \exp(-\lambda a)}{n!} \dots\dots\dots (1)$$

其中 a 为像元面积, λ 为表面缺陷密度, $a\lambda$ 即为像元中平均缺陷数目。假设有一个缺陷落在像元上即造成像元的不可操作, 则可得到不同缺陷密度下器件像元的可操作性预期值随像元尺寸的变化, 如图 1-4 所示。从图上可以看出, 在缺陷密度较高的情况下, 要保证小的盲元率需使用较小的像元尺寸。在设计器件的像元尺寸时需要综合考虑到 HgCdTe 的表面缺陷密度。减小像元尺寸会使缺陷落在光敏元上的几率变小, 从而减小器件的盲元率, 但是太小的像元尺寸会带来其它问题, 比如降低像元列阵的占空比 (Fill factor)、降低量子效率、增大器件工艺难度等等。

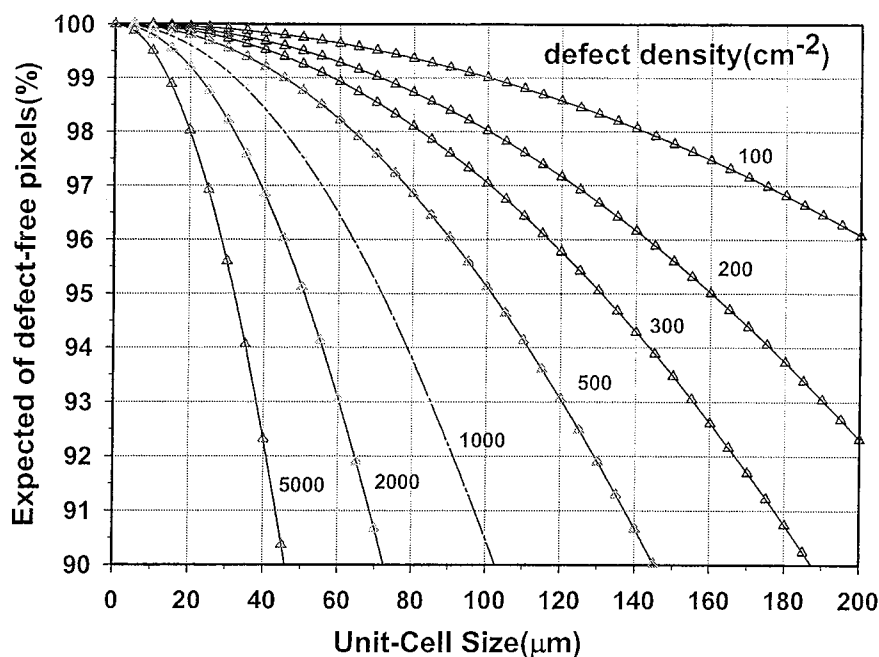


图 1-4 不同缺陷密度下，器件像元的可操作预期值随像元尺寸的变化

1.5 论文研究目的及内容构成

如前所述，新一代 HgCdTe 红外焦平面往更大像素规模与更低应用成本的发展趋势首先需要大尺寸和低成本的 HgCdTe 材料支持。CdZnTe 衬底因其尺寸小已经满足不了器件发展的需求，因此更大面积替代衬底上的 HgCdTe 分子束外延技术已成为制备大规模器件的主流技术。由于替代衬底和 HgCdTe 之间存在大的晶格失配，导致 HgCdTe 外延层中存在较高的位错密度。另外由于衬底面积的增大和衬底预处理工艺、生长工艺的复杂性，增加了替代衬底上的 HgCdTe 外延薄膜表面形貌控制的复杂性，HgCdTe 表面容易引入各种表面缺陷。如前分析，这些 HgCdTe 层中的高密度位错和表面缺陷将对器件性能带来很大的影响，因此如何通过优化工艺尽量减小 HgCdTe 薄膜中的位错密度和薄膜的表面缺陷密度，是大面积替代型衬底上的 HgCdTe 分子束外延技术迫切需要解决的问题。同时，随着器件面阵规模的提高，其对大面积 HgCdTe 材料的生长及器件制备工艺也提出了更高的要求，就材料而言，高性能器件的制备要求大面积高质量、高均匀性的 HgCdTe 材料，其中均匀性包括材料的晶体质量均匀性、表面形貌均匀性和组分均匀性。表征 HgCdTe 材料性能的均匀性，并研究其与生长工艺的关系，进而提高材料的均匀性水平是提高器件均匀性的基础。

本课题针对上述问题，对大面积替代衬底(GaAs、Si)上的 CdTe 缓冲层的位错抑制工艺、CdTe 和 HgCdTe 的表面形貌控制及表面缺陷的抑制方法进行了研究，并对材料的表面形貌均匀性、晶体质量均匀性及组分均匀性进行表征研究。

本论文共有六章。

第一章：引言。介绍 HgCdTe 焦平面的发展趋势对 HgCdTe 材料提出的要求、HgCdTe 分子束外延的衬底选择比较、位错及表面缺陷对 HgCdTe 器件的影响机制，以及本文的研究目的及内容构成。

第二章：HgCdTe 分子束外延生长及评价手段。介绍了分子束外延设备和生长控制中的关键工艺条件。使用光学显微镜、电子扫描显微镜和 X 射线能谱仪分析外延材料的表面缺陷，采用 X 射线衍射法和位错腐蚀法 (EPD) 评价晶体质量。

第三章：替代衬底上的 CdTe 缓冲层位错抑制工艺研究及评价。首先，分析 CdTe 低温成核法、引入 ZnTe 初始成核层和引入衬底偏角对孪晶和位错的抑制效果，讨论了最佳工艺路线。对 Si/CdTe 作了快速退火处理，包括不同退火条件对 Si/CdTe 外延层的晶体质量和表面形貌的影响，及进行了退火工艺的优化研究。最后基于实验获得双晶半峰宽与位错密度的对应关系，建立了 X 射线无损检测法评价标准。

第四章：CdTe、HgCdTe 外延层的表面形貌研究。对 CdTe 和 HgCdTe 的表面形貌控制进行了论述，对 CdTe 和 HgCdTe 表面缺陷进行了起源分析，并讨论了如何通过生长工艺抑制不同的表面缺陷。

第五章：大面积 HgCdTe 性能均匀性研究。首先，论述了大面积 HgCdTe 材料性能均匀性的研究意义。其次，对大面积外延晶片表面缺陷 mapping 的实现方法进行描述，给出了 3 英寸 CdTe 和 HgCdTe 外延层的表面缺陷空间分布特征。再次，对 CdTe 及 HgCdTe 外延层的晶体质量均匀性进行了表征和分析。最后，给出了 HgCdTe 组分均匀性表征结果。

参考文献

-
- ¹ J.M. Arias, *et al.*, J.Appl.Phys., 1989, 65: 1747.
 - ² K. Vural, L.J. Kozłowski, D.E. Cooper, C.A. Chen, G. Bostrup, C. Cabelli, J.M. Arias, J. Bajaj, K.W. Hodapp, D.N.B. Hall, W.E. Kleinhans, G.G. Price, J.A. Pinter, Proc. SPIE 3698 (1999) 24.
 - ³ Chris Bebek, The SNAP space mission, Nuclear Instruments and Methods in Physics Research A 579 (2007) 848–852
 - ⁴ Derek Ives, Nagajara Bezawada, Large area near infra-red detectors for astronomy, Nuclear Instruments and Methods in Physics Research A 573 (2007) 107–110
 - ⁵ Paul R. Norton, “Status of infrared detectors”, SPIE, 1998, 3379:102–114.
 - ⁶ Antoni Rogalski, “Dual-band infrared detectors”, SPIE, 2000, 3948:17–30.
 - ⁷ R.D.Rajavel, D. M. Jamba, J. E. Jensen, “Molecular Beam Epitaxial Growth and Performance of HgCdTe-Based Simultaneous-mode Two-color Detectors”, J. E. Materials, 1998, 27: 747.
 - ⁸ P. Ferret, J.P. Zanatt, R. Hamelin, *et al.*, Status of the MBE technology at Leti LIR for the manufacturing of

- HgCdTe focal plane arrays, *J. E. Materials*, 2000,29: 641
- ⁹ J.P. ZANATTA, G. BADANO, P. BALLETT, C. LARGERON, J. BAYLET, et al.,
Molecular Beam Epitaxy Growth of HgCdTe on Ge for Third-Generation Infrared Detectors, *Journal of ELECTRONIC MATERIALS*, Vol. 35, No. 6, 2006
- ¹⁰ L. He, Y. Wu, L. Chen, S. L. Wang, M. F. Yu, Y.M. Qiao, J.R. Yang, Y.J. Li, R.J. Ding, Q.Y. Zhang, Composition control and surface defects of MBE-grown HgCdTe, *J. Crystal Growth*, 2001,227-228:677
- ¹¹ L. He, L. Chen, Y. Wu, X.L. Fu, Y.Z. Wang, J. Wu, M.F. Yu, J.R. Yang, R.J. Ding, X.N. Hu, Y.J. Li, Q.Y. Zhang, MBE HgCdTe on Si and GaAs substrates, *Journal of Crystal Growth* 301–302 (2007) 268–272.
- ¹² T.J. de Lyon, J.E. Jensen, M.D. Gorwitz, *et al.* MBE growth of HgCdTe on silicon substrates for large-area infrared focal plane arrays: a review of recent progress, *J. Electronic Materials*, 1999,28: 705
- ¹³ G. Brill, S. Velicu, P. Boieriu, *et al.* MBE growth and device processing of MWIR HgCdTe on large area Si substrates, *J. ELECTRONIC Materials*, 2001, 30: 717
- ¹⁴ J.B. Varesi, R.E. Bornfreund, A.C. Childs, *et al.* Fabrication of High-performance large-format MWIR focal plane arrays from MBE-grown HgCdTe on 4" silicon substrates, *J. Crystal Growth*, 2001,30:566
- ¹⁵ 杨建荣等“碲镉汞分子束外延柔性制造技术”,《红外光电技术的发展》。
- ¹⁶ 何力“全自动分子束外延技术”,《红外光电技术的发展》。
- ¹⁷ 姬荣斌. II—VI 族化合物半导体的分子束外延与评价. 上海技术物理所博士后工作报告, 1998
- ¹⁸ J. Ziegler, M. Finck, R. Kruger, *et al.* Long linear HgCdTe arrays with superior temperature-cycling-reliability, *SPIE*, 2000,4028:380
- ¹⁹ L. He, J.R. Yang, S.L. Wang, *et al.* A study of MBE growth and thermal annealing of p-type long wavelength HgCdTe, *J. Crystal Growth*, 1997,175/176:677
- ²⁰ J.P. Zanatta, P. Ferret, P. Duvaut, S. Isselin, G. Rolland, G. Theret, and A. Million, *J. Cryst. Growth* 184–185, 1297 (1998).
- ²¹ J.P. Zanatta, P. Ferret, G. Theret, A. Million, M. Wolny, J.P. Chamonal, and G. Destefanis, *J. Electron. Mater.* 27, 542 (1998).
- ²² J.B. Varesi, R.E. Bornfreund, *et al.*, Fabrication of high-performance large-format MWIR focal plane arrays from MBE-grown HgCdTe on 4" Si substrates, *J. Electron. Mater.*, 2001,30: 566.
- ²³ Peter Capper, “Properties of Narrow Gap Cadmium based compounds”, Short Run Press Ltd, England, 1994,399-407.
- ²⁴ Landolt–Bornstein: Numerical Data and Functionnal Relationships in Science and Technology Crystal and Solid State Physics, Vol. 22, Springer, Berlin, 1984, Group III, Vol. 22, Pts. Springer, Berlin, 1987.
- ²⁵ M. CARMODY, J.G. PASKO, D. EDWALL, R. BAILEY, J. ARIAS, S. CABELL, J. BAJAJ, L.A. ALMEIDA, J.H. DINAN, M. GROENERT, A.J. STOLTZ, Y. CHEN, G. BRILL, and N.K. DHAR, Molecular Beam Epitaxy Grown Long Wavelength Infrared HgCdTe on Si Detector Performance, *Journal of ELECTRONIC MATERIALS*, Vol. 34, No. 6, 2005
- ²⁶ A.A. BUELL, L.T. PHAM, M.D. NEWTON, G.M. VENZOR, Physical Structure of Molecular-Beam Epitaxy Growth Defects in HgCdTe and Their Impact on Two-Color Detector Performance, *Journal of ELECTRONIC MATERIALS*, Vol. 33, No. 6, 2004.
- ²⁷ DAVID R. RHIGER, JEFFREY M. PETERSON, *et al.*, Investigation of the Cross-Hatch Pattern and Localized Defects in Epitaxial HgCdTe, *Journal of Electronic Materials*, Vol.27, No. 6, 1998.
- ²⁸ K.JOWIKOSKI and A.ROGALSKI, Effect of Dislocations on Performance of LWIR HgCdTe Photodiodes.
- ²⁹ S.M. Johnson, D.R. Rhiger, J.P. Rosenbeck, J.M. Peterson, S.M. Taylor, and M.E. Boyd, *J. Vac. Sci.*

Technol. B 10, 1499 (1992).

³⁰ T. PARODOS, E.A. FITZGERALD, et al., Effect of Dislocations on VLWIR HgCdTe Photodiodes, Journal of ELECTRONIC MATERIALS, Vol. 36, No. 8, 2007

³¹ A.A. BUELL, L.T. PHAM, M.D. NEWTON, G.M. VENZOR, Physical Structure of Molecular-Beam Epitaxy Growth Defects in HgCdTe and Their Impact on Two-Color Detector Performance, Journal of ELECTRONIC MATERIALS, Vol. 33, No. 6, 2004.

第二章 HgCdTe 材料分子束外延生长及评价手段

分子束外延薄膜材料是在超高真空腔体中制备的，外延生长工艺主要分为衬底预处理、生长过程控制及生长结束后的原位退火等等。对 HgCdTe 分子束外延材料的评价主要有表面形貌、晶体质量、组分分布等等。本章主要介绍分子束外延设备和 HgCdTe 材料的生长控制，以及评价 HgCdTe 分子束外延材料表面缺陷和晶体质量的实验方法和手段。

2.1 HgCdTe 分子束外延材料生长

2.1.1 MBE 生长系统介绍

MBE 生长工艺按时间顺序可以主要分为三个部分：衬底的处理，生长过程的控制，后道工艺。每一部分又由许多道工序组成，例如在衬底处理工艺中，包括了衬底的选片、抛光、清洗、腐蚀、装片、预除气等环节。这些工序构成了一个完整的 MBE 生长过程。本课题研究的 HgCdTe 材料是在 RIBER 32P 3 英寸衬底 MBE 系统中制备的，该套系统主要由一个预处理室、一个过渡室、一个生长室组成。预处理室用于完成衬底的进样和预先除气，以 Si 衬底为例，装样后要在该腔体内进行 400°C 1 小时的预除气才能送入生长室进行外延；过渡室用于样品的传递或暂存；在生长室中则主要完成样品的高温脱氧、缓冲层的生长和 HgCdTe 薄膜材料的外延。进样室和过渡室采用溅射离子泵，真空度可以达到 10^{-10}Torr 。由于 Hg 材料的特殊性质，生长室的真空靠低温泵和冷阱来维持，外延生长时真空度保持在 10^{-9}Torr 的水平。生长室的装置如图 2-1 所示，主要包括束源炉、液氮冷却系统、衬底加热装置、真空检测系统以及束源炉和衬底的温度监测控制系统。样品架具有旋转机构，以保证外延材料组分和厚度的均匀性，其中心位置装有非接触式测温热电偶，另外在样品架的对面装有红外辐射测温仪用的窗口。在生长过程中主要依靠热电偶和红外测温仪进行精确的衬底温度测量。本课题所有实验样品的装片方式均采用 3 英寸无 In 衬底架，由于衬底为红外透明材料，测温仪受到衬底加热器的热辐射干扰，无法获得衬底材料表面的真实温度，这时介于样品和加热器之间的热电偶测量信号将发挥重要的温度测量和指导温度控制的作用。生长所用的主要源材料为高纯的 Hg(7N)， Te_2 (7N)，CdTe(7N)。超高真空环境结合高纯源材料，保障了其他材料杂质含量较少，避免了引入不必要的杂质掺杂。

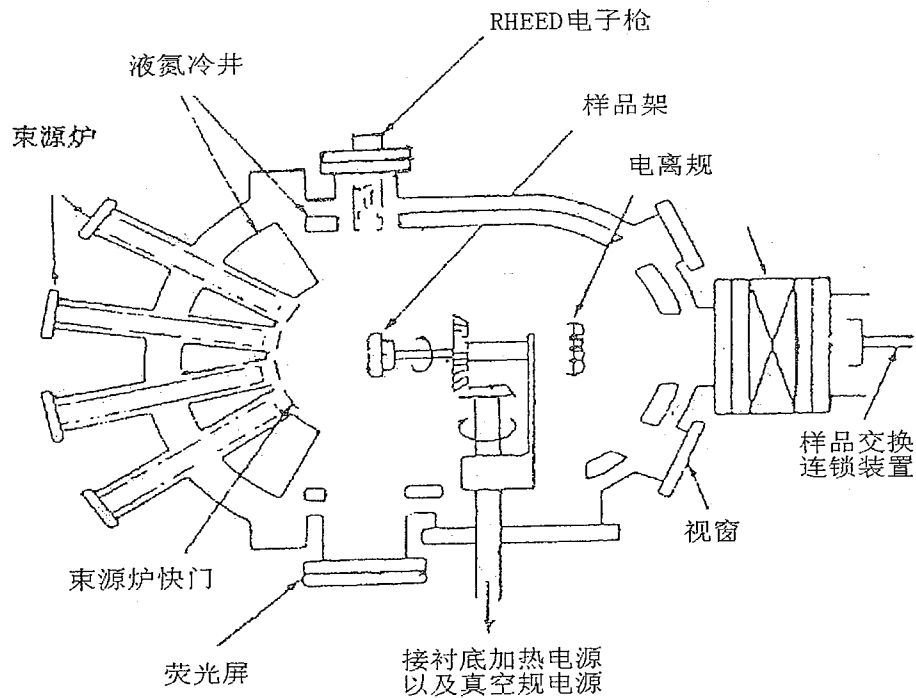


图 2-1 生长室装置示意图

2.1.2 高能电子衍射（RHEED）原位监测

反射式高能电子衍射（RHEED）是 MBE 生长过程中一个最基本的检测手段，它用来在生长的原位观察样品表面的清洁度、平整度、样品的表面结构，利用它对晶体生长动力学和表面结构进行研究，确定合适的生长条件。高能电子衍射装置由高能电子枪和荧光屏两部分组成，从电子枪发射出来的具有一定能量的电子束以 $1-2^\circ$ 的掠入射形式射到样品表面，在这种情况下，电子垂直于样品表面的动量分量很小，又受库仑场的散射，所以电子束的透入深度仅 1-2 原子层，因此所反映的完全是样品表面的结构信息。同时高能电子的掠入射不影响垂直入射的束流，两者在几何位置上是高度兼容的，完成实时检测。从 RHEED 图象的衍射条纹的位置和形状，可以了解材料表面的再构形态。RHEED 图象强度和形状的变化反映了晶体生长的动力学过程。通过观察这一现象，可以对 MBE 生长机理以及动力学问题进行研究。

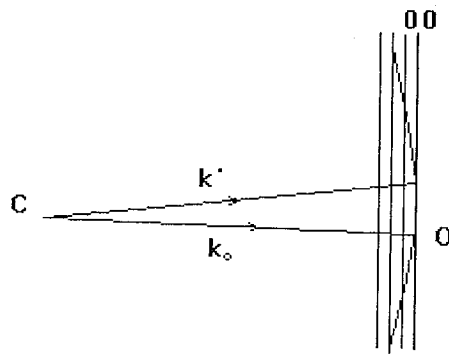


图 2-2 EWALD 球示意图

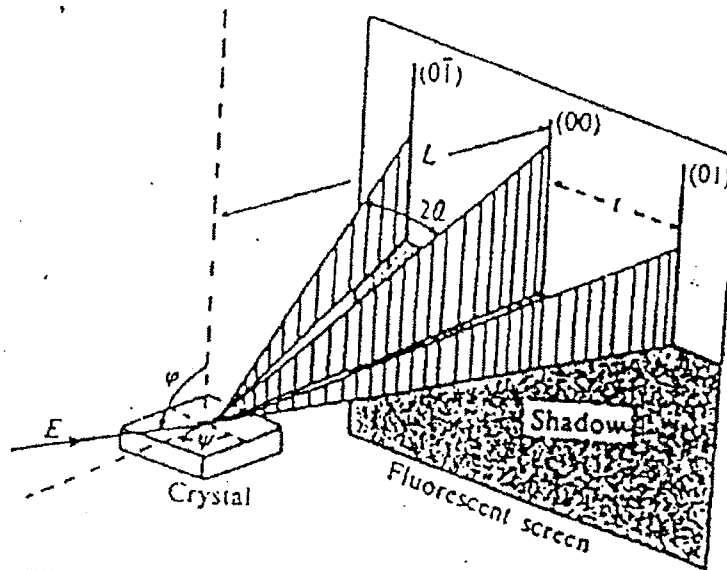


图 2-3 在荧光屏上的 RHEED 衍射示意图形

在 RHEED 检测材料生长过程中，入射电子的能量一般在 0—40KeV 左右，相应的电子德布罗意波长在 0.17—0.06Å 左右，远小于晶格的原子间距，当入射电子以掠角 ($0 < \epsilon < 5^\circ$) 入射到样品上，样品的晶格排列对它起到衍射光栅的作用，这样在一定方向上便会出现衍射花样，这便是 RHEED 图样，电子衍射强度的变化与晶格结构及方向有关。在荧光屏上可以显示出电子与晶体相互作用形成的衍射图形，高能电子衍射和 x 射线衍射一样，可用晶体的倒易点阵与 Ewald 球说明 RHEED 图样。见图 2- 2，三维晶体的倒易点阵与半径为 $1/\lambda$ 的 Ewald 球的交点代表电子衍射束的方向。衬底上的原子排列情况和荧光屏上所看到的衍射图形之间的关系如图 2- 3 所示。二维晶面的倒易点阵是一系列与实空间晶面相互

垂直的倒易杆，倒易杆与 Ewald 球相交，在荧光屏上呈现条状衍射图形。因此，在 MBE 生长过程中，随着表面的平整化，衍射图形会由点逐渐变成线，进而还有可能会在由点拉长的线之间出现附加的线，这些信息可以用来确定合适的生长条件。

2.2 HgCdTe 分子束外延材料的评价手段

对 HgCdTe 材料表面形貌的评价主要采用光学显微镜(OM)和扫描电子显微镜(SEM)。本课题用 Olympus 光学相衬显微镜对样品的微观缺陷作明场观察，并使用一套能实现对 3 英寸 HgCdTe 外延层表面的自动定位、扫描、计数及尺寸分级系统，将尺寸大于 $2\mu\text{m}$ 的缺陷进行全空间 mapping，得出表面缺陷密度分布及缺陷尺寸分布。将样品解理后，用电子扫描显微镜从多个角度对解理面的横截面、样品的表面分别作仔细的观察，并利用 X 射线能谱分析仪对不同缺陷内部和正常外延层表面作了能谱分析。另外运用 X 射线衍射仪和貌相仪评价样品的晶体质量。对 CdTe、HgCdTe 外延样品进行位错腐蚀坑密度 (EPD) 测量¹。

2.2.1 CdTe 和 HgCdTe 表面形貌评价

2.2.1.1 自动扫描聚焦型光学相衬显微系统

光学干涉 (Normarski) 显微镜作为 HgCdTe 表面形貌的重要的常规评价手段，具有使用便捷、放大倍率易调及无损检测等优点。在低倍率下能观察外延层表面的整体背景(例如，衬底表面经化学抛光预处理后的表面平整性)、较宏观的表面形貌(例如，Crosshatch 特征)及缺陷的区域分布特征。而在高倍率下则能观察表面缺陷更细微的形貌特征(缺陷尺寸、缺陷的凹凸、缺陷的晶面特征及缺陷的走向等等)。

由光学显微系统、智能样品台、实时光学成像 CCD 和图像处理软件组成的一套系统能够实现对样品表面缺陷的自动定位、扫描、计数及尺寸分级功能，已经作为 3 英寸 HgCdTe 外延层的表面形貌常规检测方法。其给出的缺陷全空间 mapping 数据和缺陷尺寸分布数据对指导 HgCdTe 外延层的后续应用及研究表面缺陷的起源都起到很大的作用。这种表面缺陷的空间 mapping 评价手段也被国外多个研究小组所重视^{2,3}。具体地实现方法将在第五章中详细叙述。

2.2.1.2 扫描电子显微镜(SEM)

反射式光学显微镜虽然可以直接观察大块样品，但分辨本领、放大倍数、景深都比较低。扫描电子显微镜弥补了它的不足，是进行样品表面分析研究的有效工具，尤其适用于

比较粗糙的表面和显微组织的断面形态观察和研究。

在扫描电子显微镜中,由电子枪发射并经过聚焦的电子束在样品表面作二维扫描,收集样品表面产生的二次电子或者背散射电子,其强度随样品表面特征而变。于是样品表面不同的特征按照顺序,成比例地被转换为视频信号。这样,高能电子与固体样品相互作用产生的物理信号,经过监测放大后皆可作为调制信号,在荧光屏上获得能反映样品表面各种特征的扫描图像。

2.2.1.3 X 射线能谱分析仪 (EDAX)

在用扫描电子显微镜获得样品表面形貌的放大像后,利用在同一台仪器上的 X 射线能谱分析仪进行原位化学成分或微区晶体结构分析,提供包括形貌、成分、晶体结构或位向在内的丰富资料。

X 射线能谱分析是利用样品发出的特征荧光 X 射线对样品进行成分分析的装置。当电子束与样品作用时,可以使样品发出 X 射线。由于不同元素发出的特征 X 射线的能量不同,特征 X 射线就是特定元素发出的特定能量的 X 射线。X 射线能谱分析就是利用 X 射线的能量不同进行的展谱技术,再利用软件的 X 射线峰识别功能,鉴定图谱上特征 X 射线峰是由何种元素产生。能谱图的横坐标是 X 射线的能量数值,纵坐标是 X 射线计数。某元素的计数越大,表明该元素在样品中含量越高。

本课题利用 X 射线能谱分析仪对不同缺陷内部和正常外延层表面作了能谱分析。EDAX 能谱分析采用无标样 ZAF 修正的定量方法。缺陷内某一元素的百分含量相对于正常表面元素百分含量的相对增量为

$$\Delta I_x = (I_x^d - I_x^g) \times 100\% / I_x^g \quad (2.1)$$

其中 I_x^d 表示缺陷内某一元素的百分含量, I_x^g 表示正常表面同一元素的百分含量。

2.2.2 CdTe 和 HgCdTe 晶体质量评价手段

2.2.2.1 X 射线衍射分析(XRD)

X 射线衍射分析是一种非接触、无破坏的晶体质量检测技术,被广泛地应用于材料晶体质量的分析。本课题主要应用高分辨 X 射线衍射仪的三个表征功能:物相表征、双晶衍射摇摆曲线半峰宽表征以及基于三轴衍射的晶格常数和应力表征。另外本课题也应用 X 射线貌相仪对外延层进行表面形貌均匀性进行表征。下面将对这四种表征方法进行叙述。

X 射线衍射物相分析

以化学组成和结构相区别的物质被称为不同的物相。化学成分不同的是不同的物相,化学成分相同而内部结构不同的也是不同的物相,因此 X 射线物相分析可以用来检测单一晶向衬底上的外延层是否存在与衬底晶向不同的其他晶向。

X 射线入射到结晶物质上,产生衍射的充分必要条件是

$$\begin{cases} 2d \sin \theta = n\lambda \\ F(hkl) \neq 0 \end{cases} \quad (2.2)$$

第一个公式确定了衍射方向。在一定的实验条件下衍射方向取决于晶面间距 d 。而 d 是晶胞参数的函数, $d(hkl) = d(a, b, c, \alpha, \beta, \gamma)$; 第二个公式示出衍射强度与结构因子 $F(hkl)$ 的关系, 衍射强度正比于 $F(hkl)$ 模的平方,

$$I \propto |F(hkl)|^2. \text{ 当 } F(hkl) \neq 0 \text{ 时, } I(hkl) \neq 0 \quad (2.3)$$

$F(hkl)$ 的数值取决于物质的结构, 即晶胞中原子的种类、数目和排列方式, 因此决定 X 射线衍射谱中衍射方向和衍射强度的一套 d 和 I 的数值是与一个确定的结构相对应的。这就是说, 任何一个物相都有一套 d - I 特征值, 两种不同物相的结构稍有差异其衍射谱中的 d 和 I 将有区别。

若某一种物质包含有多种物相时, 每个物相产生的衍射将独立存在, 互不相干。该物质衍射实验的结果是各个单相衍射图谱的简单叠加。因此应用 X 射线衍射可以对多种物相共存的体系进行全分析。

一种物相衍射谱中的 d - I/I_1 (I_1 是衍射图谱中最强峰的强度值) 的数值取决于该物质的组成与结构, 其中 I/I_1 称为相对强度。当两个样品 d - I/I_1 的数值都对应相等时, 这两个样品就是组成与结构相同的同一种物相。因此, 当一未知物相的样品其衍射谱上的 d - I/I_1 的数值与某一已知物相 M 的数据相合时, 即可认为未知物即是 M 相。因此, 物相分析就是将未知物的衍射实验所得的结果, 考虑各种偶然因素的影响, 经过去伪存真获得一套可靠的 d - I/I_1 数据后与已知物相的 I/I_1 相对照, 再依照晶体和衍射的理论对所属物相进行肯定与否定。

X 射线衍射双晶摇摆曲线分析

双晶衍射一般被用来检测晶体材料的完整性。当 X 射线的波长不变时, 通过对式(2.2)进行微分, 可以得到下式:

$$\Delta d \sin \theta + d \cos \theta \cdot \Delta \theta = 0, \quad \Delta \theta = -\tan \theta \cdot \Delta d \quad (2.4)$$

由此可见, 当晶体中某一区域的反射面面间距 d 发生了 Δd 的变化时, 布拉格角 θ 也相应发生 $\Delta \theta$ 的变化; 当晶体中存在宏观的弹性应变或位错等晶体缺陷时, X 射线衍射角度也在一定大小范围内发生变化, 于是除了引起 X 射线回摆曲线半峰宽增加外, 还使入射角为布拉格角的入射线的反射本领降低, 从而降低了衍射峰的强度。目前高分辨率 X 射线衍射技术已得到了越来越广泛的应用。双轴衍射 DAD (Double axis diffraction) 是在双晶衍射的基础上发展起来的一种高分辨率 X 衍射单晶检测技术⁴。双轴衍射的基本原理如图 2-4。双轴衍射的第一个轴是 X 射线单色器。X' pert-MRD 的四晶单色器是由两块 U 型高规整的锗单晶组成的, 每一块被切成(+, -), 都有双晶衍射的效果。当 X 射线入射到晶体 1 时, 波长符合布拉格公式的 X 射线被反射, 这部分波长的 X 射线再被晶体 2 反射, 成为晶体 3

的入射光线。晶体 1、2 是同种晶体，且互相平行，为 $(n, -n)$ 排列，故为无色散排列，被晶体 1 所反射的 X 射线，完全被晶体 2 反射。晶体 2 与 3 之间的排列是 $(n, +n)$ 排列，为有色散排列，只能反射宽度为 $\Delta \lambda$ (一般宽度只有几弧秒到十几弧秒) 的很小范围的 X 射线，再经过晶体 4 的反射，改变方向后，照射到样品 5 上。用此束 X 射线进行双晶衍射分析，即得到了单色、准直的 X 射线。

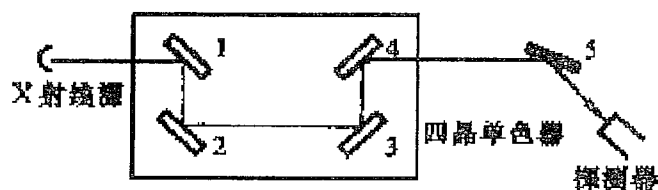


图 2-4 X 射线双轴衍射示意图

双轴衍射与双晶衍射的区别就在于双轴衍射把双晶衍射的参考晶体换成了一组晶体作为四晶单色器，这样双轴衍射的应用范围就更加广泛，不受双晶衍射的样品必须与参考晶体为同种晶体和相同反射面等苛刻条件的限制。经过单色的 X 射线，入射到样品，样品即为双轴衍射的第二个轴，即 ω 轴。在五晶 X 射线衍射条件下，四晶单色器通过的波长范围与第三晶体的固有反射回摆曲线宽度有关。对 Ge(440) 反射来说，它的布拉格固有回摆曲线宽度为 5 弧秒，允许特征谱线 $K\alpha_1$ 的 5% 通过。对 Ge(220) 的配置，其固有布拉格宽度为 12 弧秒，允许特征谱线 $K\alpha_1$ 的 25% 通过。显然，后一种情况的分辨率稍差一些，但衍射强度大得多。双轴衍射的 X 射线探测器是开口的、具有大的接收角，可以接受来自样品某晶面布拉格角附近的所有的 X 衍射线。双晶摇摆曲线就是把探测器固定在样品某晶面的散射角附近，同时该样品在该晶面布拉格角附近作一定角度的旋转所得到的强度随角度的变化曲线。完整晶体的双晶半峰宽的是很窄的，由于样品或多或少存在着缺陷，所以，一般所测晶体的半峰宽都比理论值要大一、二个数量级。实际所用的双轴衍射仪，X 射线管和单色器一般是固定的，而样品和探测器分别可以作 ω 和 2θ 的扫描，这里的 ω 角为入射 X 射线与样品表面之间的夹角， 2θ 为样品某个衍射面的散射角。由于双轴衍射是在双晶的基础上发展起来的，所以该衍射曲线仍沿用了双晶的定义。图 2-5 为 X'pert-MRD 双轴衍射系统的样品台支架示意图。在电动马达的驱动下，样品台 (mounting disk) 可在 X、Y、Z、 Φ 、 Ψ 、 Θ 六个方向进行调整、优化，如图 2-6。此衍射系统的测角精度已达到 0.0001° ，重复精度为 0.001° ，位移精度为 $1\mu\text{m}$ 。

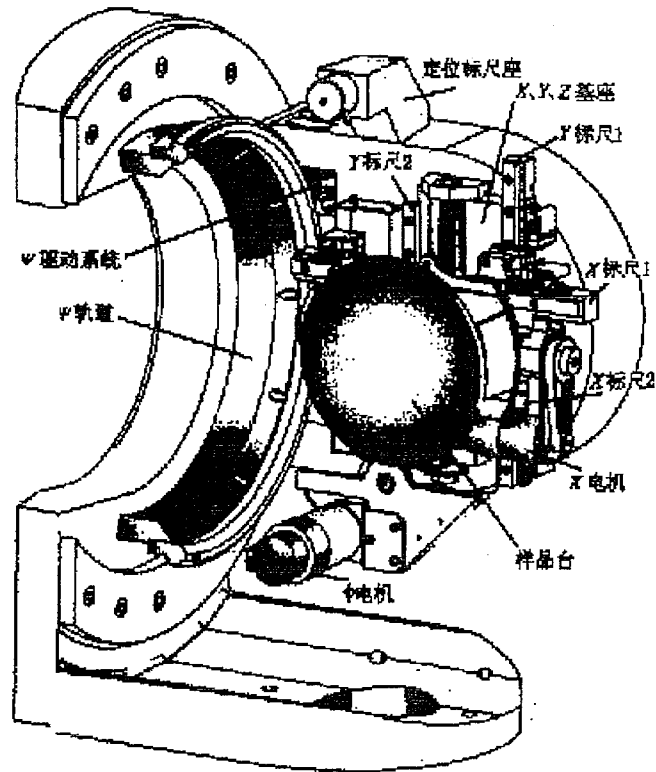


图 2-5 样品台支架 (MRD Cradle) 示意图

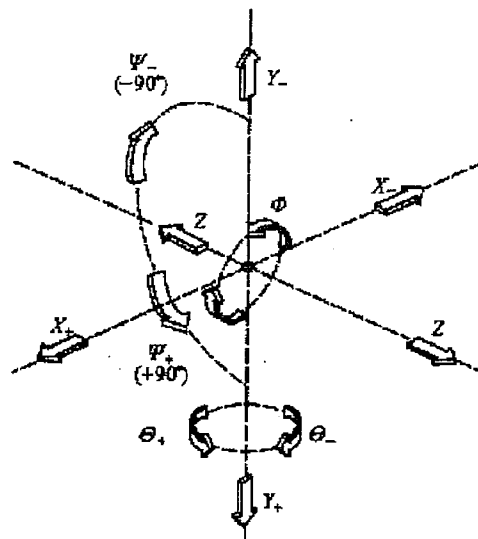


图 2-6 样品台 (Cradle) 的六种移动方式

经过调整优化之后，使样品的位置处于最佳观测位置，进行衍射扫描，就得到摇摆曲线（Rocking Curve）。通过对对称衍射和非对称衍射摇摆曲线的测定，可以定量地给出外延材料的晶格失配、晶格弛豫、倾斜、位错密度、膜厚以及外延薄膜组分等参数，同时，运用 X 射线衍射动力学或运动学理论进行计算机模拟，可给出外延薄膜材料质量的综合评价。表 1.1 列出了衬底和外延薄膜特征参数对双轴摇摆曲线的影响，根据摇摆曲线的特征，可获得描述外延薄膜特性的相关参数⁴。

表 1.1 衬底和外延薄膜特征参数对双轴摇摆曲线的影响

Material parameters	Effect on rocking curve	Distinguishing features
Mismatch	Splitting of layer and substrate peak	Invariant with sample rotation
Misorientation	Splitting of layer and substrate peak	Changes sign with sample rotation
Dislocation content	Broadens peak	Broadening invariant with beam size No shift of peak with beam position on sample
Mosaic	Broadens peak	Broadening may increase with beam size, up to mosaic cell size, No shift of peak with beam position on sample
Curvature	Broadens peak	Broadening increases linearly with beam size, Peak shifts systematically with beam position on sample
Relaxation	Changes splitting	Different effect on symmetrical and asymmetrical reflections
Thickness	Affects intensity of peak, Introduces interference fringes	Integrated intensity increases with layer thickness, up to a limit, Fringe period controlled by thickness
Inhomogeneity	Effects vary with position on sample	Individual characteristic may be mapped

高分辨率 X 射线三轴衍射技术介绍

三轴衍射 TAD (Triple axis diffraction)，也可称为三晶衍射。X 射线双晶衍射仪使用的是开放的探测器，可以接收到样品各个方向散射的强度，即沿 EWALD 球的积分强度，而 X 射线三晶衍射仪则在样品后、探测器之前增加了一个具有独自转轴并能与探测器一起转动的第三晶体作为分析器，该分析晶体就是三轴衍射的第三轴。这里的三晶即为单色器、样品和分析器。单色器和分析器采用单次或多次反射完美性非常好的平行晶体或槽型（channel cut）晶体。图 2-7 所示为三晶衍射的几何光路图。

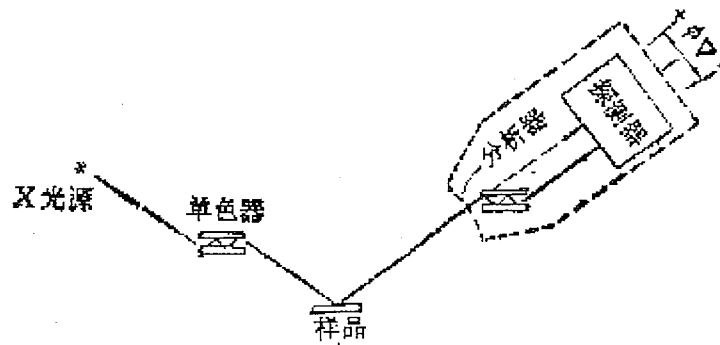


图 2-7 X 射线三晶衍射几何光路图

X' pert-MRD 三轴衍射的衍射几何为 $(+n, -n, -n, +n, +m, -n, +n, -n)$ 排列。双轴衍射由于采用的开口探测器，所收集到的探测器角度范围内所有的 X 射线，因此是一个综合的衍射效应，从而样品中的一些微观缺陷将无法分辨出来，如畸变和镶嵌结构。对于三轴衍射，当单色器、样品和分析器都放置在各自衍射面的布拉格衍射位置，假定样品也是完美晶体，则样品转动后，将偏离其布拉格衍射位置，探测器接收到的强度将迅速下降；如果样品重存在镶嵌结构或亚晶粒等取向缺陷时，则样品转动后，可能满足取向偏离的另外一个区域的布拉格衍射，从而使得样品转动过程中，不同取向的晶格先后满足其衍射条件，而使峰宽化。这时探测器接收到的是晶面间距相同但取向不同的衍射，因此可获得样品晶格取向差的信息。而当样品和分析器以 1:2 的速度联动扫描时，则探测器接收不到样品不同取向的衍射信号，因为对于相同的晶面间距，不同取向的晶格其衍射方向相同，即入射角和衍射角的夹角不变，而分析晶体转动后，原衍射线不再满足分析晶体的布拉格条件，接收不到原晶面间距的晶格所产生的衍射。因此，样品和分析器以 1:2 的速度扫描时，得到的是晶格常数变化的信息。在三轴衍射技术中，分析晶体的引入，使从样品衍射出的 X 射线只有满足分析晶体布拉格反射才能被探测器收集，从而减小了探测器的接收角，大大提高了角分辨率。对于 Ge (220)单色器，其本征半峰宽仅为 12 弧秒。本文中的研究采用 Philips 公司生产的 X' pert-MRD 高分辨 X 射线衍射仪，图 2-8 (a)，(b) 分别为其外观与内部设置

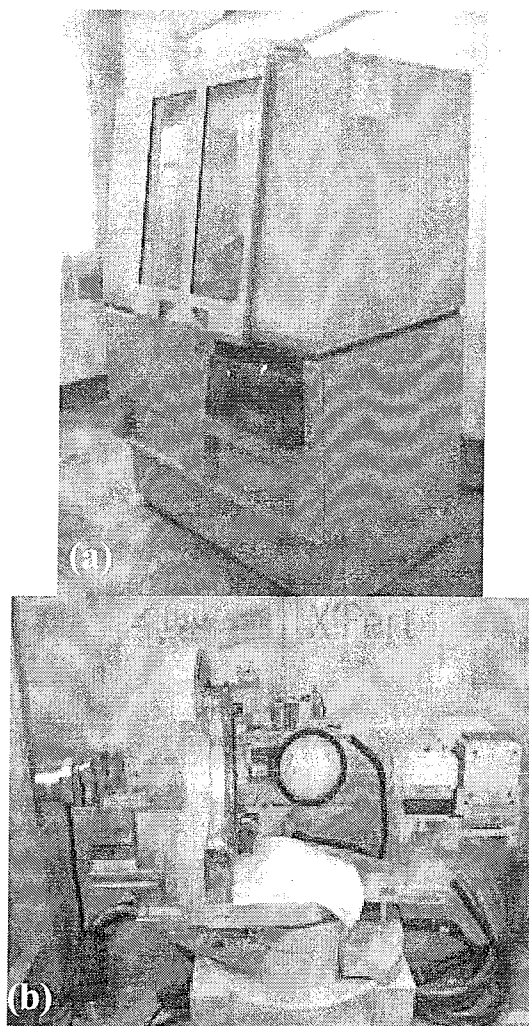


图 2-8 Philips 公司生产的 X'pert-MRD 型高分辨 X 射线衍射仪

仪器全貌；(b) 内部设置

X 射线衍射貌相术

X 射线衍射貌相术是研究晶体不完整性的的重要手段之一⁵，它是利用 X 射线衍射强度在晶体的完整区与不完整区的差异和变化，直接显示晶体内部缺陷的形态、分布、性质和程度的一种方法。作为一种无破坏检测，X 射线衍射貌相术能够得到晶体缺陷的直接投影图像。缺陷所产生的衍射强度是 X 射线波长、晶体散射因子和吸收因子的函数，通过衍射强度的分布可以判断出缺陷的性质。本课题主要利用 X 射线衍射貌相法(Berg-Barrett 反射形貌术)分析 HgCdTe、CdTe 材料。图 2-9 为反射形貌术衍射几何关系示意图，实验采用 BEDE 公司生产的型号为 BESCAN 的高分辨率 X 射线衍射貌相仪，最高测量精度为 $10\mu\text{m}$ 。

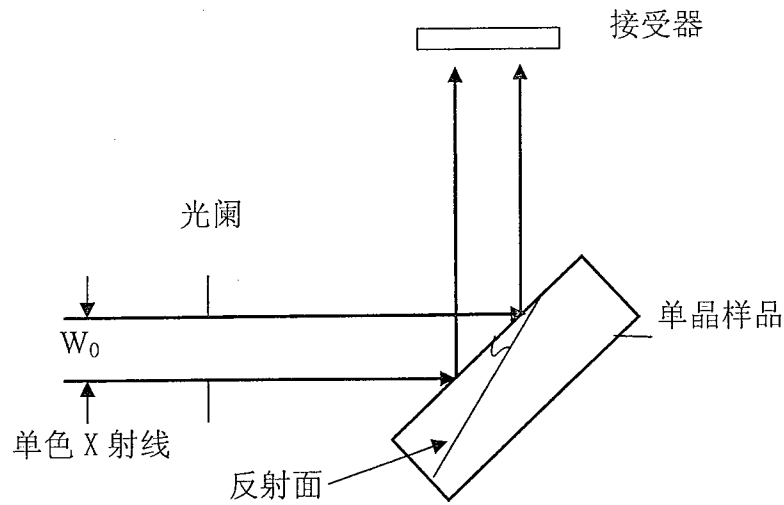


图 2-9 反射形貌术衍射几何关系示意图

2.2.2.2 位错腐蚀评价

由于晶格失配造成的位错在外延薄膜中普遍存在，本课题利用晶体对不同腐蚀液的各向异性，采用化学选择腐蚀的方法将外延层体内的位错显露为表面的位错腐蚀坑，并在较大范围内观察其分布情况，通过统计表面位错腐蚀坑的密度来进行评价^{6,7,8}。CdTe 的腐蚀液为 Everson 腐蚀液⁹，其配方为 $\text{HNO}_3:\text{HF}:\text{乳酸}=4:1:25$ ；HgCdTe 腐蚀液选用 Chen 腐蚀液¹⁰，其配方为 $\text{H}_2\text{O}:\text{HCL}:\text{HNO}_3:\text{K}_2\text{C}_2\text{O}_7=80\text{ml}:10\text{ml}:20\text{ml}:8\text{g}$ 。实验开始用腐蚀液腐蚀 2-3 分钟，然后用 0.5% 溴甲醇溶液腐蚀 3 秒钟，再用甲醇清洗 10 秒左右，最后用高纯去离子水冲洗 1 分钟。上述两种腐蚀液在国际上得到普遍的采用，也是比较各实验室材料位错密度的依据。用光学显微镜在亮场的 1000 倍视场下对标准位错腐蚀坑个数进行测量，随即选取 5-6 个视场对位错腐蚀坑密度进行算术平均统计，最后得出实验样品的位错密度。

2.3 小结

本章主要介绍了分子束外延设备和生长控制中的关键工艺条件，主要使用光学显微镜、电子扫描显微镜、X 射线能谱分析仪对外延材料的表面形貌进行分析，采用 X 射线衍射法和位错腐蚀法对晶体质量进行评价。

参考文献

- 1 丁梅芳、杨建荣、王善力等, “分子束外延HgCdTe薄膜位错密度的研究”, 《半导体学报》, vol.20, No.5, 1999, p.378.
- 2 JOHN A. ROTH,^{1,2} BRETT Z. NOSHO,¹ and JOHN E. JENSEN, ”Full-Wafer Spatial Mapping of Macrodefects on HgCdTe Epitaxial Wafers Grown by MBE”, Journal of ELECTRONIC MATERIALS, Vol. 35, No. 6, 2006.
- 3 E. P. G. SMITH, G. M. VENZOR, Y. PETRAITIS, M. V. LIGUORI, A. R. LEVY, C. K. RABKIN, J. M. PETERSON, M. REDDY, S. M. JOHNSON, and J. W. BANGS, “Fabrication and Characterization of Small Unit-Cell Molecular Beam Epitaxy Grown HgCdTe-on-Si Mid-Wavelength Infrared Detectors”, Journal of ELECTRONIC MATERIALS, Vol. 36, No. 8, 2007.
- 4 D. Keith. Bowen and Brian K. Tanner. High resolution X-ray diffractometry and Topography, Reprinted by Taylor & Francis Ltd. 2001
- 5 张克从, 《近代晶体学基础》, 下册。
- 6 杨顺华等, 《晶体位错理论基础》, 凝聚态物理学丛书。
- 7 P. Mackett, “Properties of narrow gap cadmium-based compounds”, EMIS datareviews Series No.10, Inspec, 1994, p188.
- 8 W. R. Runyan, “Semiconductor measurements and instrumentation”, New York: McGraw-hill, 1975.
- 9 W. J. Everson, C. K. Aard, et al, “Etch pit characterization of CdTe and CdZnTe substrates for use in mercury cadmium telluride epitaxy”, J. Electron. Mater. Vol24, 1995, p505.
- 10 J. S. Chen, US patent, No.4,897, (1990), p152.

第三章 替代衬底上的 CdTe 缓冲层位错抑制工艺研究及评价

为了克服异质衬底同 HgCdTe 外延层存在较大的晶格失配所带来的孪晶、高密度位错等一系列问题, 往往采用先在衬底上生长晶格常数更接近 HgCdTe 的缓冲层, 再外延生长 HgCdTe 的技术^{1,2}。随着原子束外延、化学束外延等其他衍生技术的发展, 借鉴其他生长方式的优点, 在生长过程中, 根据不同的需要改变生长温度³; 缓冲层的生长采用超晶格⁴, 选择区域生长^{5,6}, 热退火^{7,8}, 组分阶变的方法^{9,10}和生长多层异质结结构以阻挡失配位错向外延层延伸^{11,12,13,14}等等。这些灵活的生长方式都为大晶格失配的异质外延提供了可能。

本课题从尽可能多地释放衬底与外延层界面的失配能量的思路入手, 探索降低界面能的方法, 抑制孪晶的出现, 降低失配引发的失配位错; 并通过优化生长条件, 尽量避免在生长过程中穿越位错的增殖, 进一步抑制缓冲层的穿越位错向表面发展。从以上二个途径分别进行工艺优化研究, 获得高质量的 CdTe 缓冲层。具体尝试的外延工艺方法包括①CdTe 直接低温成核、②ZnTe 低温初始层、③衬底引入偏角, 本章分别讨论了这几种生长工艺方法对孪晶和位错的抑制效果。另外, 尝试了快速高温退火(Rapid thermal annealing)的方法对 Si/CdTe 薄膜进行后处理, 论述其对薄膜晶体质量、表面形貌的影响, 根据实验总结出优化的退火工艺, 并对退火后外延层残余应力的变化进行初步分析。最后对缓冲层的位错评价方法进行研究, 寻找位错密度与双晶半峰宽的对应关系, 建立外延材料晶体质量无损检测评价标准, 并对外延工艺的优化进行指导, 从而建立可重复性良好的工艺路线。

3.1 位错抑制生长工艺研究

本节对替代衬底 GaAs 和 Si 上外延 CdTe 缓冲层的不同工艺路线进行了研究, 针对两种不同的衬底体系讨论了 CdTe 直接低温成核、ZnTe 低温初始层、衬底引入偏角对孪晶和位错的抑制效果, 并讨论在替代衬底上外延 CdTe 缓冲层的优化工艺路线。

3.1.1 外延工艺路线

大失配外延的最大技术挑战在于孪晶和高密度失配位错的抑制, 通常采用降低衬底和外延层之间界面能的方法。本研究通过降低生长温度、增加晶格过渡层和利用系统偏转角度三种途径, 尝试了各种外延工艺以降低表面能, 以达到抑制孪晶和降低位错的目的, 并对比了不同的失配体系, 寻找并建立了就该失配体系而言最合适的工艺路线。

同时, 位错的抑制包含两方面的涵义, 一方面是界面处的失配位错需要得到抑制, 另

一方面要得到高质量的 CdTe 外延层, 还需阻止界面处已产生的失配位错变成穿越位错在外延材料内发展。值得注意的是, 后者是引起器件性能变差的主要因素。

依照上述思路, 研究尝试的 CdTe 缓冲层生长工艺路线主要有四种, 如图 3-1(a)(b)(c)(d) 所示, 对应的四种工艺路线分别简称为路线 1、路线 2、路线 3 和路线 4, 下面将分别对这四种工艺路线的生长条件进行说明。

(1) 路线 1: 在标准 GaAs 衬底上先 CdTe 低温成核, 再进行 CdTe 高温生长, 见图 3-1(a)。实验主要是在 GaAs 衬底上进行, 对于 Si 衬底, 由于 Si/CdTe 之间失配太大, CdTe 直接低温成核会导致严重的孪晶, 因此只在 GaAs 衬底上开展对此工艺路线的研究。实验具体过程为: 标准的 GaAs(211)衬底在分子束外延设备的预除气腔体中 $\sim 400^{\circ}\text{C}$ 预除气, 并在 $\sim 580^{\circ}\text{C}$ 下高温脱氧, 脱氧过程通过高能电子衍射监控, 脱氧结束后降衬底温度到 $\sim 200^{\circ}\text{C}$, 使用单一 CdTe 源在 GaAs 新鲜表面上外延一层 20~30 纳米厚的 CdTe 薄层; 然后升衬底温度到 $\sim 280^{\circ}\text{C}$, 同时使用 CdTe 和 Te 源进行高温 CdTe 的外延生长, 生长过程使用高能电子衍射实时监控。

(2) 路线 2: 在标准 GaAs 或 Si 衬底上先生长 ZnTe 低温初始层, 再进行 CdTe 高温生长, 见图 3-1(b)。实验具体过程为: GaAs 衬底经过高温脱氧后进行 ZnTe 初始层的低温成核, 成核温度约为 $\sim 160^{\circ}\text{C}$, 厚度为 25~100Å, Zn 与 Te 的初始成核束流配比使用 Zn/Te: ~ 20 , 后续的高温退火温度为 380°C , 退火时间为 15min。高温退火完成后, 进行了常规 CdTe 的生长, CdTe 的生长温度为 $\sim 280^{\circ}\text{C}$, 厚度为 3~12 μm 。对于 Si 而言, 由于存在极性的选择, 在高温脱氧后, 表面需要 As_4 原子照射处理后, 再进行 ZnTe 初始层的低温成核, 后续工艺和 GaAs 衬底上的相似。生长过程中通过高能电子衍射进行实时监控。

(3) 路线 3: 工艺过程与路线 2 基本相同, 见图 3-1(c)。不同处在于实验中采用的 GaAs 或者 Si 为偏角衬底, 其衬底表面由(211)向 (111)面倾斜约 $2\sim 10^{\circ}$ 。

(4) 路线 4: 相比于路线 3, 在 ZnTe 低温初始层和高温 CdTe 层间增加了一层 CdTe 低温层, 见图 3-1(d)。CdTe 低温层的生长条件与路线 1 中的相同, 但 CdTe 低温层生长结束后需在 $\sim 320^{\circ}\text{C}$ 下退火 15min 以保证 CdTe 低温层的晶体质量。

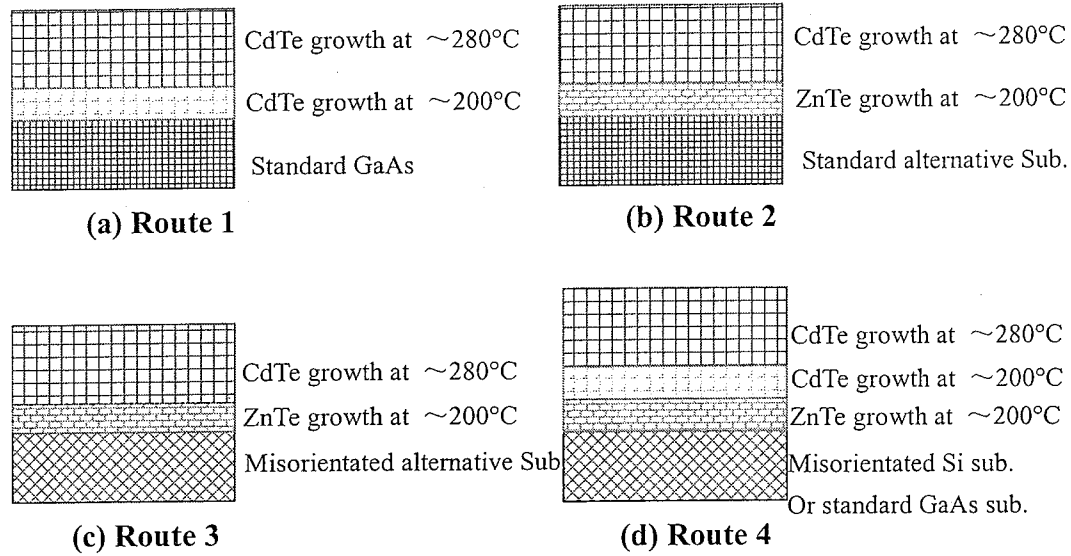


图 3-1 替代型衬底上外延 CdTe 的四种工艺路线对应的外延结构示意图。

四种工艺路线中引入了 CdTe 低温成核层、ZnTe 低温初始层和衬底偏角三种工艺方法，下节将分别讨论三种工艺方法在四个工艺路线中所起的作用，并论述在替代衬底上外延 CdTe 缓冲层的优化工艺路线。

3.1.2 CdTe 低温成核法

对于 GaAs/CdTe 体系，如果在 GaAs 上直接高温外延 CdTe，较高的表面能导致界面处极易形成孪晶，因此采用路线 1，即先在衬底表面外延一层较低温度的 CdTe 薄层，接着再外延高温 CdTe 厚层的方法。图 3-2(a)为 GaAs 上外延~30 纳米低温 CdTe 后的高能电子衍射图样，图 3-2(b)为外延一定厚度高温 CdTe 后的高能衍射图样，在(a)中 CdTe 晶格的正常衍射点阵线条较长，亮度较亮，说明 CdTe 初始层为较好的二维生长模式，还可看出正常点阵边上有一孪晶点，图(b)中显示生长高温的 CdTe 后，孪晶点已经消失，点阵呈良好的线条。说明 CdTe 直接低温成核法能够降低 GaAs 衬底和 CdTe 外延层的界面能，可抑制孪晶的产生和发展，并能保证良好的 2D 生长模式，能得到单晶的 CdTe 外延层，长后的 CdTe 外延层经 X 射线衍射晶相分析的结果也证实了其为单一晶向生长，见图 3-3。图 3-4 为路线 1 中得到的双晶半峰宽和厚度的关系。从图上能看出，使用 CdTe 直接低温成核的 CdTe 缓冲层晶体质量能随着外延层厚度的增大而提高，但是趋势较缓，在厚度大于~10 μm 后，双晶半峰宽仅能降到 60~70 弧秒。说明路线 1 中的 CdTe 直接低温成核法不能有效的抑制 GaAs 和 CdTe 界面处失配位错的产生及阻止失配位错向穿越位错发展。

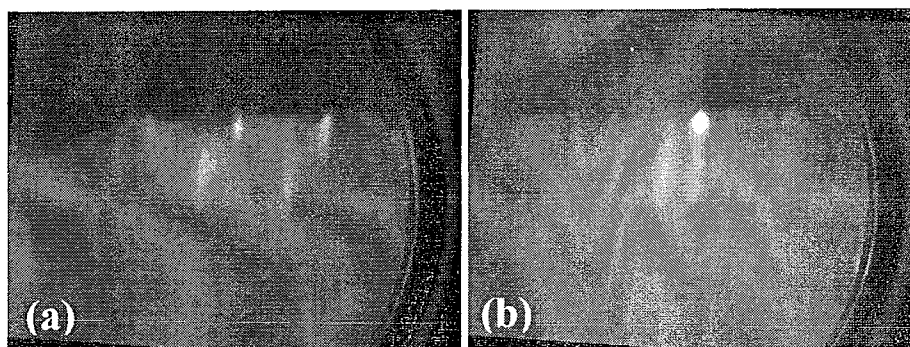


图 3-2 (a)生长 ~30 纳米低温 CdTe 后的高能电子衍射图样, (b)生长高温 CdTe 后的高能衍射图样。

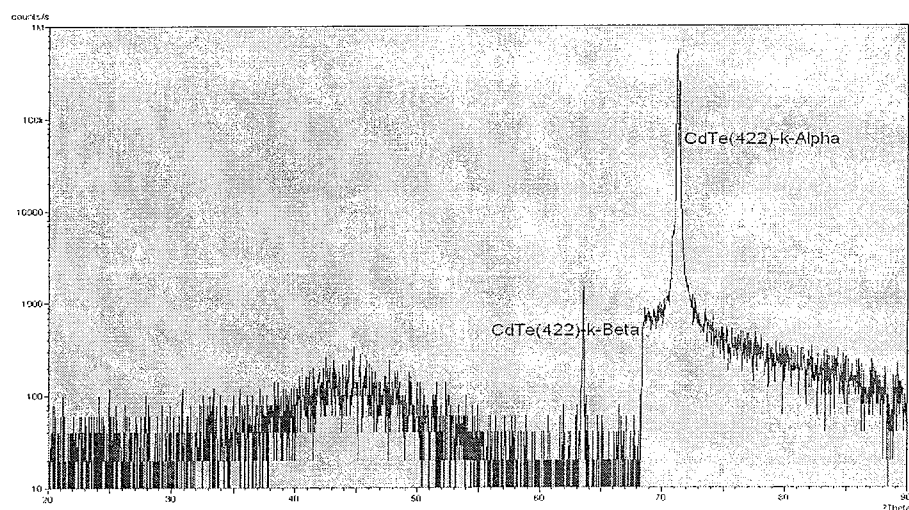


图 3-3 路线 1 中得到的 CdTe 外延层 X 射线 2θ - θ 扫描结果, 图中只有单一的 CdTe(422)衍射峰。

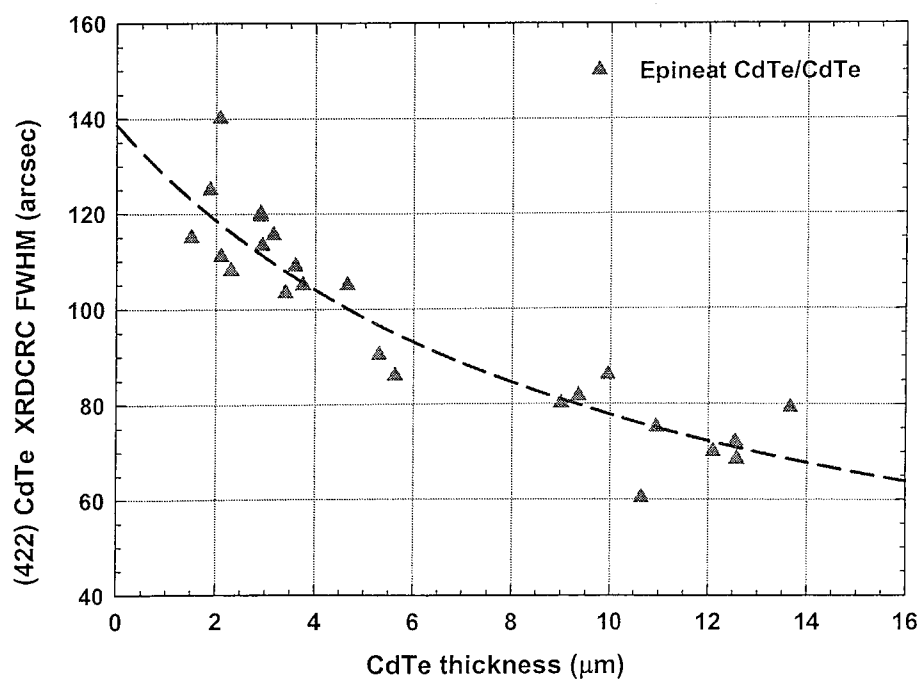


图 3-4 使用 CdTe 直接低温成核法得到的晶体质量和厚度的关系

由于在路线 1 中的 CdTe 直接低温成核法能起到降低界面处能量，因此在工艺路线 4 中引入 CdTe 低温层的方法进一步降低 ZnTe 初始层与高温 CdTe 层间的界面能。实验后发现由于 CdTe 低温层的引入，路线 4 的 CdTe 高温层出现孪晶的几率降低，而使工艺的可重复性得到提高，引入 CdTe 低温层的具体原因和效果见 3.1.5 工艺小结。

3.1.3 ZnTe 低温初始层

路线 2 中采用了 ZnTe 层作为 Si 与 CdTe 之间的晶格过渡层，并利用低温下容易维持二维生长的方法，降低了 Si/ZnTe 成核温度。实验过程利用高能电子衍射实时监控，Si 衬底上 ZnTe 低温成核及高温退火前后的 RHEED 变化分析可见文献[15]，前期研究表明通过引入 ZnTe 初始层的方法，能很好地抑制 Si/CdTe 界面处孪晶的出现，实现二维 layer by layer 生长¹⁵。对于 GaAs 衬底，ZnTe 低温初始层和高退后的 RHEED 照片见

图 3-5，(a)显示了 ZnTe 成核后的正常点阵较清晰，几乎未见孪晶点，(b)显示了高退后的 RHEED 稍变倾斜。通过 RHEED 实时分析，比较了路线 1 和路线 2 中的 CdTe 高温生长初始时的孪晶点消失时间，发现在 ZnTe 低温初始层上外延高温 CdTe 的孪晶点消失速度要比 CdTe 直接低温成核层上外延高温 CdTe 的孪晶点消失速度来得快，说明了 ZnTe 低温初始层对 GaAs/CdTe 界面处孪晶的抑制效果要好于 CdTe 直接低温成核。

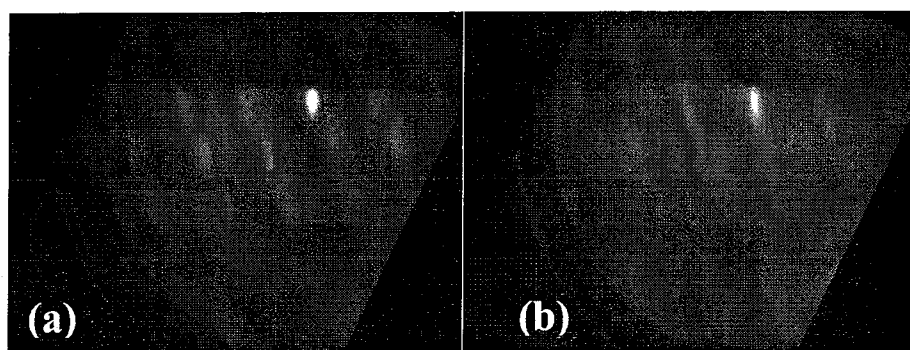


图 3-5 (a)GaAs 衬底上 ZnTe 初始成核后的 RHEED 照片，(b)经高退后的 RHEED 照片。

图 3-6 为采用路线 2 即 GaAs 和 Si 衬底上使用 ZnTe 低温初始层后的晶体质量。考虑到所用 X 射线剂量对 CdTe 的穿透深度为 3~4 μm ，对于 CdTe 厚度为 3~4 μm 样品的双晶半峰宽结果能够真实反映界面处的位错密度信息，因此大部分 CdTe 样品在此厚度区间就 ZnTe 低温成核条件的优化进行生长，从图 3-6 可以看出采用 ZnTe 低温成核工艺的~4 μm 厚 GaAs/CdTe 样品双晶半峰宽明显好于 CdTe 直接低温成核后外延的样品，但双晶半峰宽不随厚度增大而减小；在经 ZnTe 低温成核工艺优化后，双晶半峰宽进一步降低，并且随

厚度增大而降低,在厚度为 $\sim 16\mu\text{m}$ 时,半峰宽降到了 48 弧秒。从图上能看出对于 Si/CdTe, ZnTe 低温初始成核工艺未优化前,半峰宽随 CdTe 厚度增大而减小但趋势很缓,厚度 $\sim 12\mu\text{m}$ 处双晶半峰宽仍未饱和,对 Si/CdTe 的 ZnTe 成核工艺作了优化后,最优化时的 ZnTe 低温成核工艺能使厚 $\sim 4\mu\text{m}$ 的 Si/ZnTe/CdTe 的半峰宽出现 70 弧秒左右的明显下降。

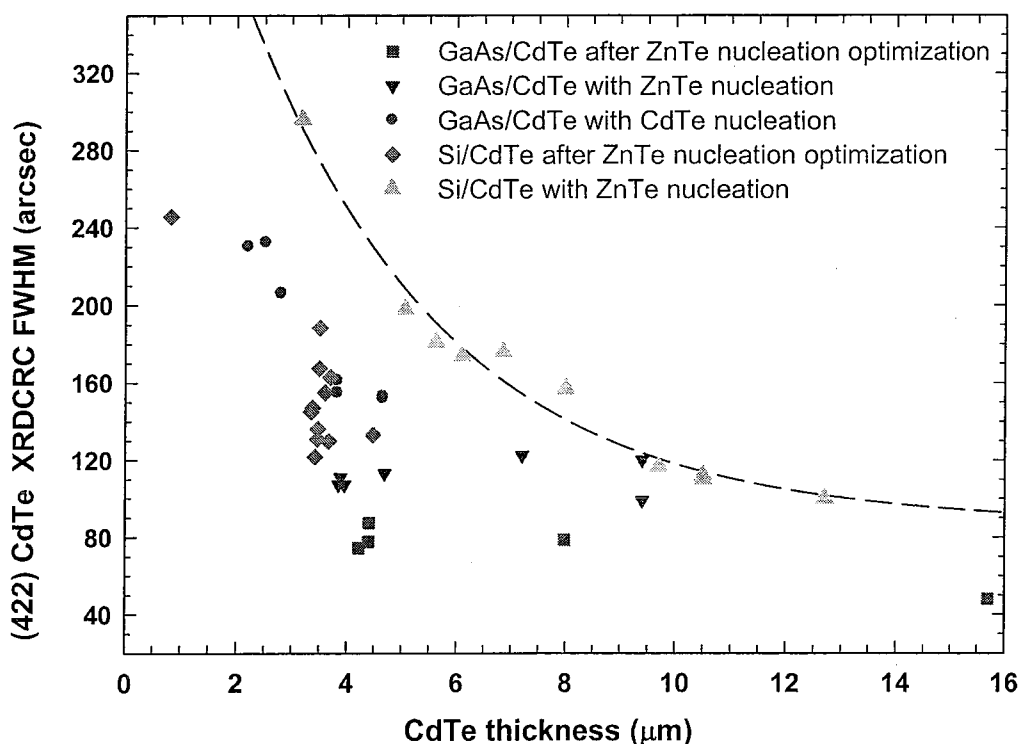


图 3-6 为 GaAs 采用 ZnTe 低温初始层前后的晶体质量比较,及 GaAs 和 Si 上对 ZnTe 低温初始层的优化前后的晶体质量比较。

因此,使用 ZnTe 低温初始层,能大幅度地降低 GaAs/CdTe 和 Si/CdTe 的晶格失配能,有效地抑制孪晶和穿越位错,其效果要好于 CdTe 直接低温成核法。

3.1.4 在有偏角衬底上的外延研究

对于存在晶格失配的异质外延,外延层总是向着降低体系能量的方向偏转,因此外延层与衬底之间会存在一定的偏角,且偏角的数值与晶格失配度直接相关,是降低界面应力或失配能的自然选择。由于偏角与界面能密切相关,特别对于较大晶格失配系统而言,通过人为地在衬底上引入一定的偏角来研究外延层晶体质量得到了人们的广泛关注^{16,17,18}。本课题针对衬底偏转角度与晶体质量的关系进行研究,摸索位错抑制途径。

图 3-7(a)为实验中得到的不同失配体系上的外延层表面偏角,(b)为采用路线 3 后人工改变 CdTe[211]和衬底[211]之间夹角 α 时的双晶半峰宽的变化¹⁹, (c)为偏角衬底上的 CdTe 外延层取向的晶体学示意图。从图 3-7(a)可以看出,在标准的 GaAs(211)和 Si(211)上外延

CdTe(211), 实际的 CdTe [211] 绕 CdTe [0-11]//衬底[0-11]复合轴朝衬底[-111]晶向偏转, 即 CdTe 外延层的表面向(311)方向偏转。 θ 为衬底表面法线方向与衬底[211]的夹角, γ 为 XRD 测量出的实际 CdTe[211]与衬底法线方向的偏角, α 为衬底[211]晶面与外延层 CdTe[211]的夹角。当 Si 衬底引入偏角 θ 后, 随着 γ 的增大, α 会减小, 对应外延层双晶半峰宽降低, 在 α 为 $\sim 2.8^\circ$ 时, 双晶半峰宽达到最小值, 而 GaAs 衬底在引入偏角后双晶半峰宽并未明显减小, 见图 3-7(b)。

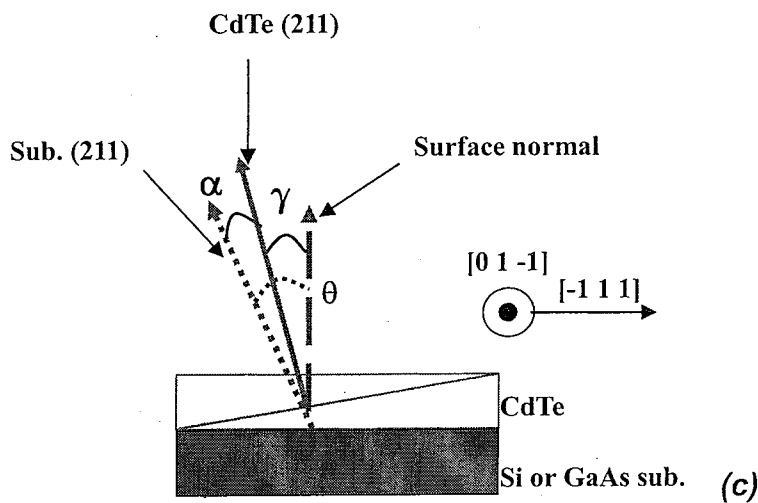
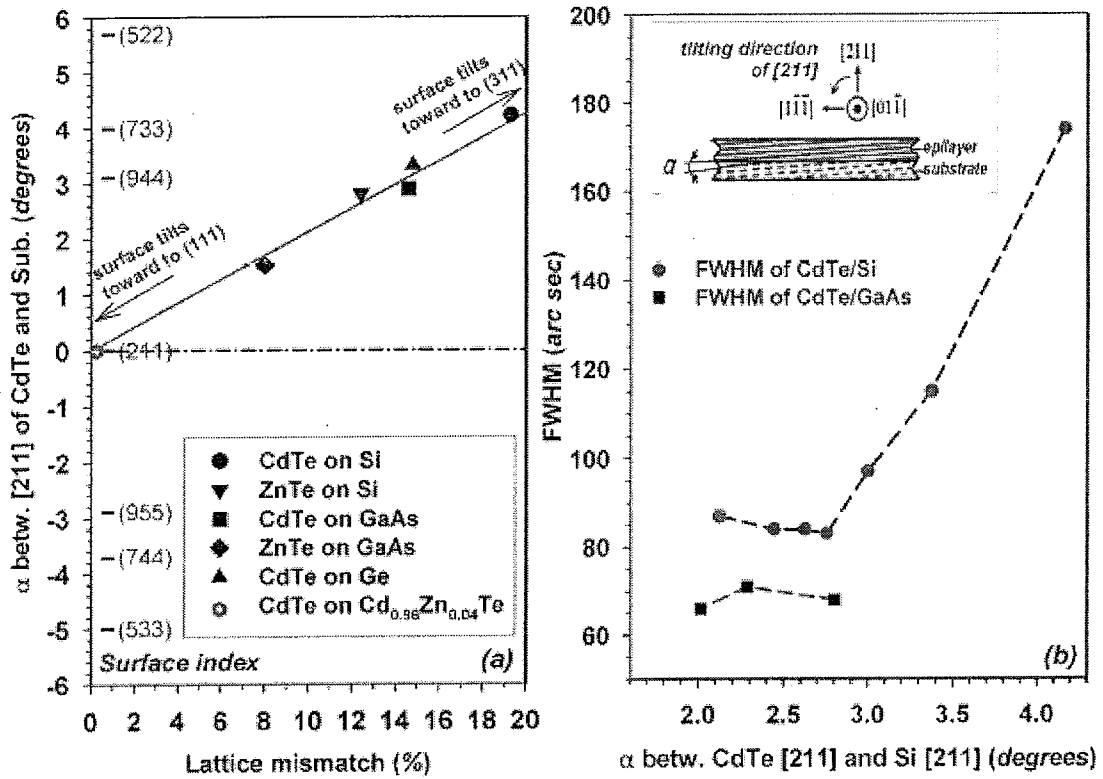


图 3-7 (a)实验得到的标准衬底晶向不同失配体系上的外延层表面偏角¹⁹。(b)CdTe 外延层的晶体质量与晶向

偏角 α 的实验关系。(c)在偏角衬底上的 CdTe 外延层取向的晶体学示意图。

采用路线 3 后, GaAs/CdTe 和 Si/CdTe 双晶半峰宽随厚度的变化可见图 3- 8。从图上可看出, GaAs 衬底引入偏角后, CdTe 外延层双晶半峰宽未见明显降低, 因此在 GaAs 基上引入偏角对改善界面态、降低失配能所起的作用不大。而 Si 基采用路线 3 后, Si/CdTe 在厚度 $\sim 4\mu\text{m}$ 处的双晶半峰宽降低了 ~ 40 弧秒, 双晶半峰宽值和引入 ZnTe 低温初始层并经成核工艺优化后的 GaAs/CdTe 双晶半峰宽同一水平, 说明引入偏角能有效地降低 Si/CdTe 界面能(相当于降低衬底与外延层间的晶格失配度), 从而有效地抑制穿越位错。另外从图上的两条趋势线对比可看出, 厚度小于 $\sim 8\mu\text{m}$ 的区间内, 引入偏角后的 Si/CdTe 双晶半峰宽随厚度减小趋势比 ZnTe 低温成核优化前更明显, 且引入偏角后 CdTe 双晶半峰宽在厚度大于 $8\mu\text{m}$ 后基本趋于饱和, 而 ZnTe 成核工艺优化前的曲线双晶半峰宽到 $\sim 13\mu\text{m}$ 仍未饱和。可见, Si/CdTe 在优化 ZnTe 成核工艺并且引入衬底偏角后, 界面处的失配位错得到明显抑制, 在体内形成的穿越位错密度大量减少, 运动相交形成闭合环的几率也大幅度减小, 所以在厚度小于 $\sim 4\mu\text{m}$ 区间内双晶半峰宽随厚度增大而急剧减小, 大于 $\sim 4\mu\text{m}$ 后随着厚度增大而减小的趋势变缓, 在 CdTe 厚度为 $\sim 8\mu\text{m}$ 时便能达到饱和。

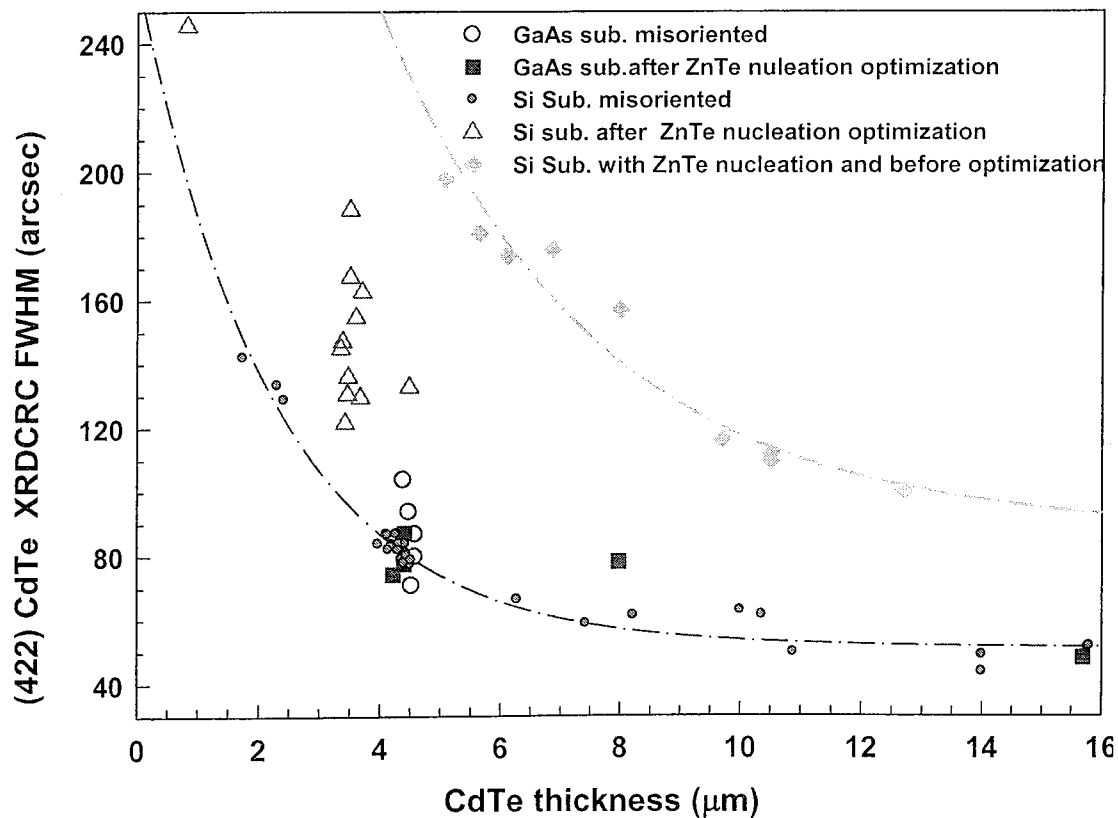


图 3- 8 为 Si 和 GaAs 衬底引入偏角前后 CdTe 缓冲层双晶半峰宽的变化

3.1.5 工艺小结

上面对引入 CdTe 低温成核层、ZnTe 低温初始层和衬底偏角三种工艺方法对孪晶和位

错的抑制效果进了分析,可以得到以下结论: CdTe 直接低温成核层能降低 GaAs/CdTe 界面能、抑制孪晶,但是对穿越位错的抑制效果不好; ZnTe 低温初始层可以有效地降低 Si/CdTe 或者 GaAs/CdTe 的界面能,同时有效地抑制孪晶和穿越位错; Si 衬底上引入偏角能有效地降低 Si/CdTe 间的界面能,能有效地抑制穿越位错。

因此,从路线 1、路线 2 和路线 3 三个路线说,路线 2 是 GaAs/CdTe 的优化路线,路线 3 是 Si/CdTe 的优化路线。但是使用路线 3 外延 Si/CdTe 或者路线 2 外延 GaAs/CdTe 的常规工艺中,在 ZnTe 低温初始层上的高温 CdTe 外延层有一定的概率出现孪晶,造成生长失败,且 Si/CdTe 失败的几率比 GaAs/CdTe 大。说明 Si/ZnTe 或者 GaAs/ZnTe 层和高温 CdTe 之间的界面能仍较大,有一定的几率发生晶向偏转,导致孪晶的出现,降低工艺的可重复性。因此参考路线 1 中 CdTe 低温层对界面能的降低效果,在 ZnTe 低温初始层上引入了 CdTe 低温层,即得到了路线 4。研究结果发现路线 4 中的 CdTe 低温层能降低 Si/ZnTe 或者 GaAs/ZnTe 层和高温 CdTe 之间的界面能,更好地保证高温 CdTe 的单一晶向生长。但是,路线 4 工艺较复杂,在 CdTe 低温层生长后,为了保证低温层晶体质量还需进行退火,因此整个工艺周期较长,耗时较多。在权衡工艺可重复性与复杂性后,本课题仍采用路线 2 作为 GaAs/CdTe 的常规工艺路线,与路线 4 相比工艺程序也得到了一定的简化,并发现在使用路线 4 作为 Si/CdTe 缓冲层的常规外延工艺后,其工艺的可重复性得到了提高。

3.1.6 晶体质量评价

在前一小节里已经详细地讨论了替代衬底上外延 CdTe 缓冲层的孪晶和位错抑制方法的实验过程及效果。对于 GaAs 衬底,在外延高温 CdTe 前引入一层 ZnTe 低温初始层,可以很好降低界面能,抑制位错的产生和发展;而对于 Si 衬底,引入合适的衬底晶向偏角、ZnTe 低温初始层和 CdTe 低温层后,CdTe 高温缓冲层的孪晶和穿越位错都得到了明显地抑制,获得的 CdTe 缓冲层双晶半峰宽水平已经和 GaAs 基的相当,且具有良好的工艺可重复性。因此,上述两种衬底的位错抑制方法已经作为常规的 3 英寸 CdTe 缓冲层外延工艺。常规工艺中发现后续的 CdTe 高温缓冲层也有较窄的最优化生长窗口,衬底温度和 CdTe/Te 束流对比对缓冲层的双晶半峰宽有很大影响,生长温度不合适、温度不均匀或者束流配比不恰当都有可能导致 3 英寸 CdTe 外延层晶体质量整体下降或者是均匀性下降,不利于后续 HgCdTe 的生长。因此在高温 CdTe 缓冲层的生长中尝试了不同的控温方法并寻找最佳的 CdTe/Te 束流配比。例如在外延 GaAs/CdTe 缓冲层时,通过红外测温仪简约的监控 GaAs/CdTe 透过率的变化获得 GaAs/CdTe 生长温度的变化,以提高缓冲层生长过程的温度可控性,最终获得高质量的 CdTe 缓冲层。

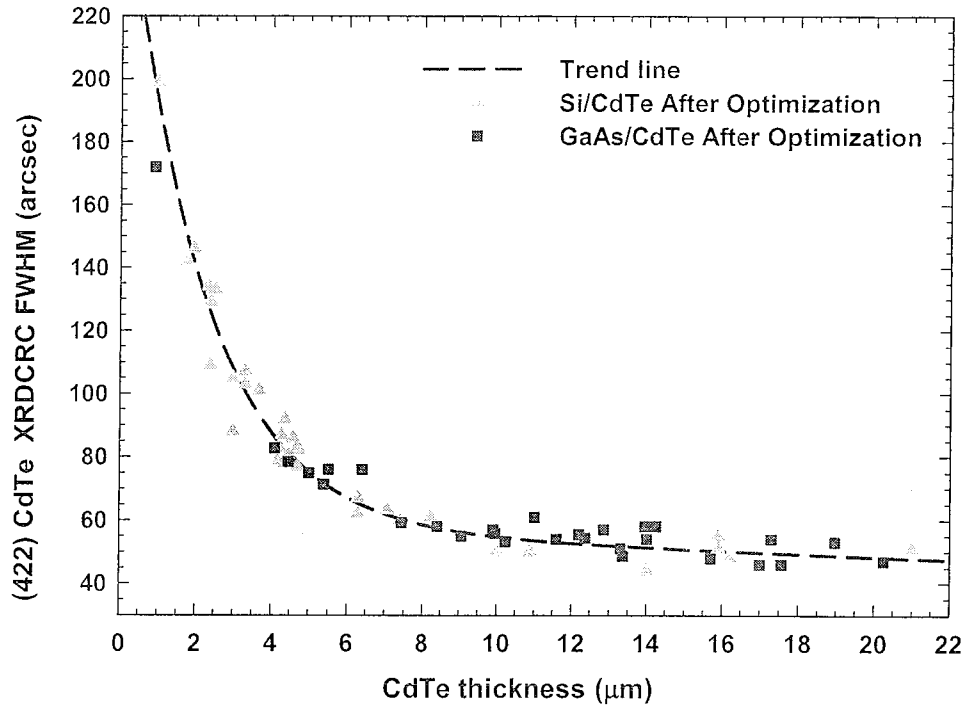


图 3-9 生长条件优化后，Si/CdTe 和 GaAs/CdTe 的双晶半峰宽和厚度的关系。

如图 3-9 为优化高温 CdTe 生长工艺后的不同样品双晶半峰宽和厚度的关系，根据这些优化生长条件后不同厚度下的双晶半峰宽值，可以拟合得到常规工艺下的标准线，此标准线作为常规 CdTe 缓冲层晶体质量的比较线有很重要的意义。由于 X 射线双轴衍射摇摆曲线半峰宽直接与位错密度相关，半峰宽展宽对应位错密度的增大(FWHM 和 EPD 的关系将在本章最后一节中给出)，因此图 3-9 也反映了 Si 基和 GaAs 基 CdTe 材料位错密度的变化，可以将曲线分为陡降区和缓降区两个区间分别进行讨论。对于大晶格失配的异质外延，界面处高应变能通过产生高密度失配位错释放出来，当外延层厚度小于 X 射线的穿透深度时，界面处的高密度位错信息能够通过 FWHM 真实反映。随着厚度的增加，失配位错在体内滑移形成穿越位错。由于该厚度范围内的穿越位错密度很高，穿越位错在运动过程中易于相交形成闭合环，使位错密度降低，因此在外延层厚度较小的区间内 FWHM 急剧下降。当外延层厚度超过 X 射线的穿透深度后，界面处高密度失配位错的信息所占比例逐渐减小。随着外延层厚度的进一步增加，双晶半峰宽减小但变化幅度趋缓。这是由于通过陡降区位错密度的急剧减小，材料体内位错间距增大，穿越位错在运动过程中相交形成闭合环的几率大幅度减小，当厚度达到一定程度后，双晶半峰宽的减小趋势饱和。

对采用了以上优化工艺生长的 $10.9\mu\text{m}$ 厚的 CdTe(211)B/ZnTe/Si(211)样品和 $15.7\mu\text{m}$ 厚的 CdTe(211)B/ZnTe/GaAs(211)进行了 X 射线双轴衍射半峰宽 wafer mapping，见图 3-10 和图 3-11。图 3-10 显示 Si/CdTe 的半峰宽最小值为 55 弧秒，最大值为 75 弧秒，平均值为 61 弧秒。图 3-11 显示 CdTe/GaAs 的半峰宽最小值仅为 41 弧秒，最大值为 70 弧秒，平均值为 50 弧秒。

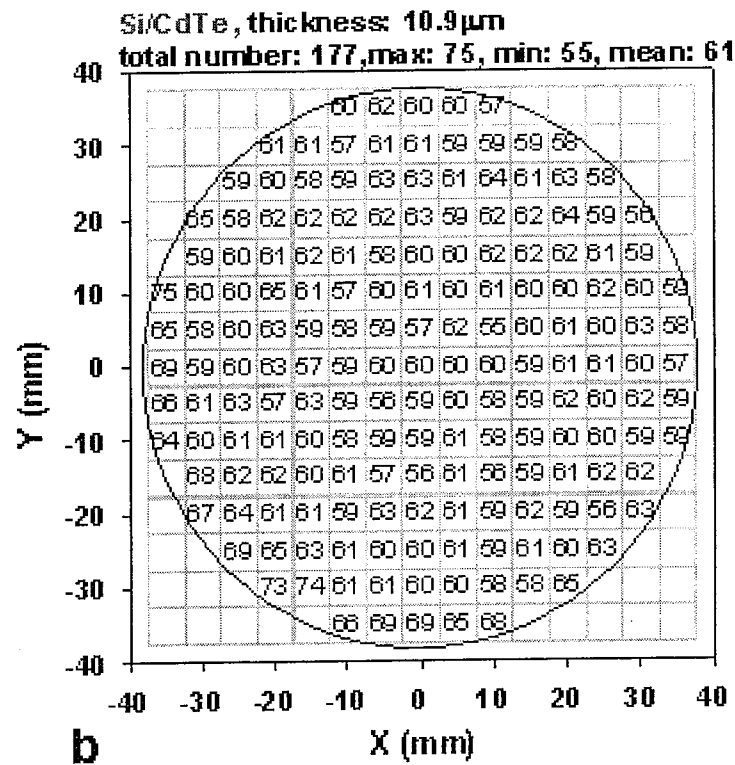
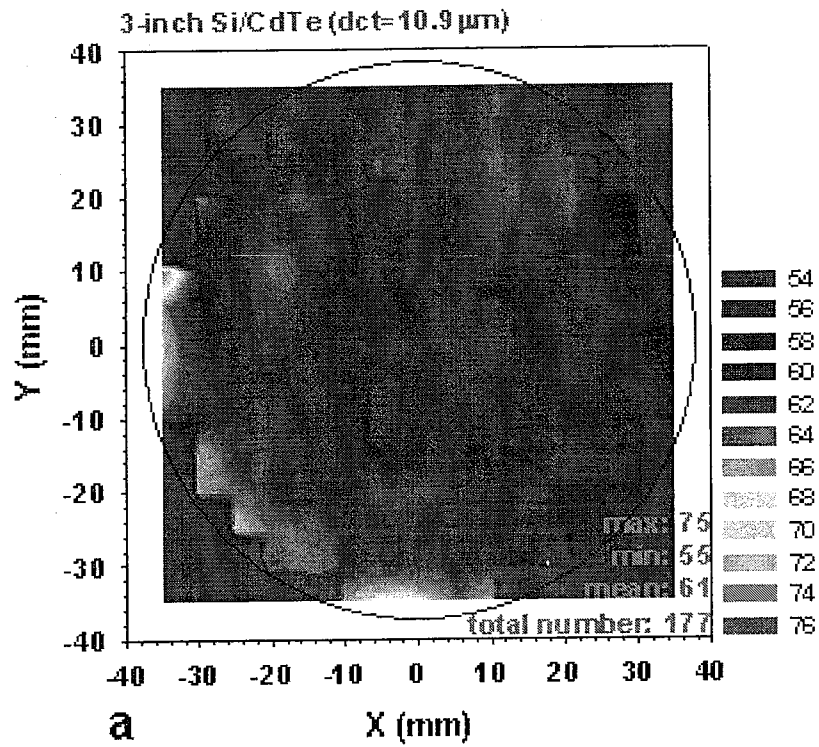


图 3-10 厚度为 10.9 μm 的 CdTe(211)B/ZnTe/Si(211) X 射线双轴衍射半峰宽的 wafer mapping, 样品编号为 SCT079。

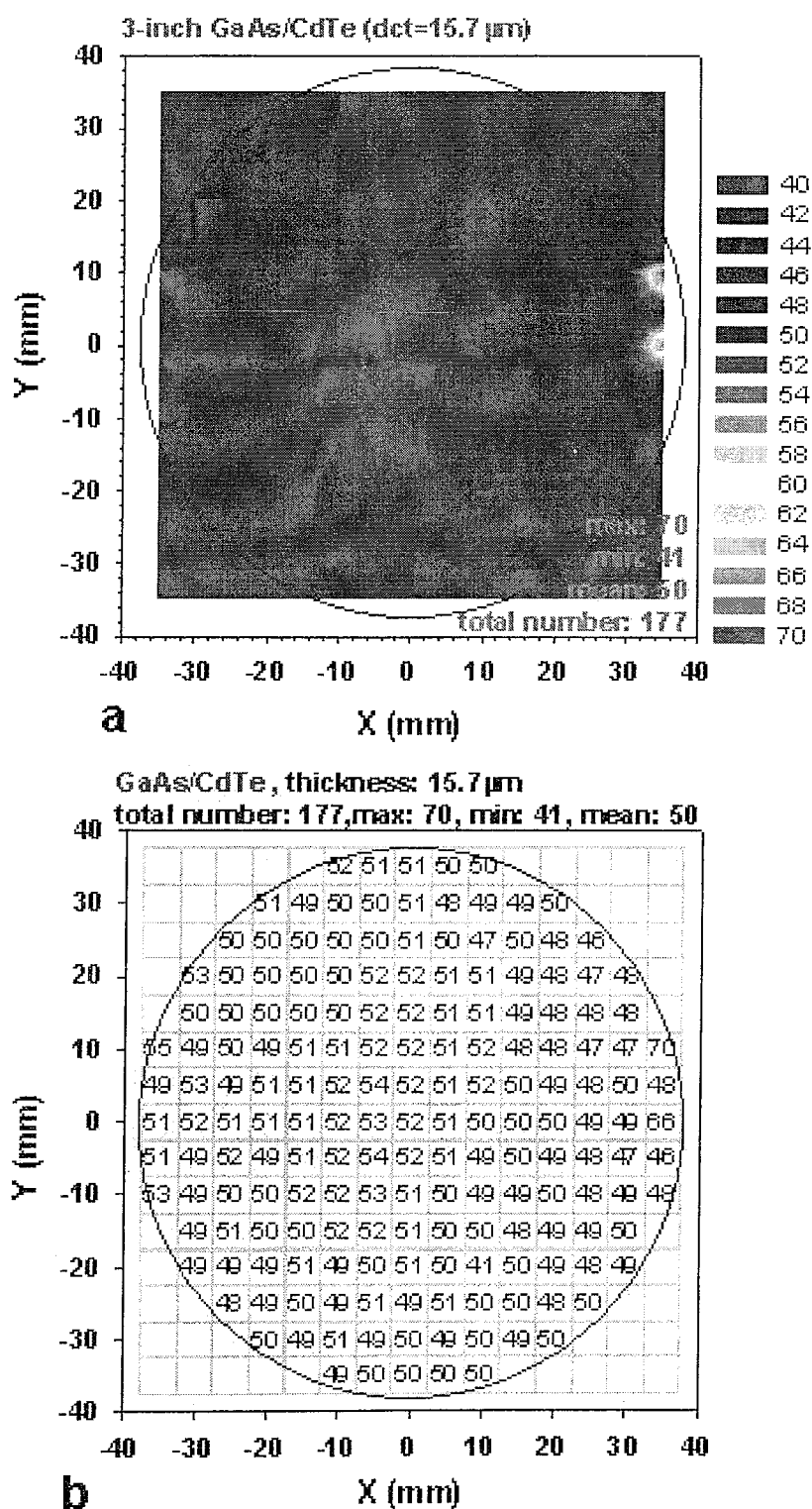


图 3- 11 厚度为 15.7 μm 的 CdTe(211)B/ZnTe/GaAs(211) X 射线双轴衍射半峰宽的 wafer mapping，样品编号为 gactub046。

3.2 快速高温退火位错抑制研究

3.2.1 研究背景

采用与读出电路完全匹配的 Si 作为衬底, 可以解决高密度 In 柱互连的热可靠性问题。但是, 从残余应力的角度, 给外延材料带来了问题。早期研究表明 Si 基 CdTe 薄膜界面处由于热失配引起的应力远大于晶格失配所带来的应力²⁰, 这和国际上其它研究者的结果一致^{21,22}, 从室温降到液氮温度后 CdTe 外延层将受到很大的拉应力, 这对 Si/CdTe 材料的抗裂性能提出了要求。通过对 Si/CdTe 和 Si/CdTe/HgCdTe 样品进行室温和液氮温度之间循环冲击实验, 以检验其抗裂性能, 发现早期生长条件未优化前的 Si/CdTe 和 Si/CdTe/HgCdTe 样品由于其晶体质量差、抗裂性能低, 在几次温度冲击循环后就出现裂纹, 甚至出现剥落或者粉碎性断裂; 在生长条件优化后, 晶体质量明显改善, 样品的抗裂性能也得到显著提高, 厚度为 $\sim 4\mu\text{m}$ 的 Si/CdTe 外延层在 700 次温度冲击后未见裂纹。后续研究发现对应目前的样品质量(FWHM 约为 50~60 弧秒)下, CdTe 薄膜厚度或 CdTe+HgCdTe 薄膜总厚度有一临界值(约 $13\mu\text{m}$), 增大到一定值后则出现裂片情况。正如上一节中所述, 为了获得良好的晶体质量, CdTe 缓冲层厚度需要达到 $\sim 10\mu\text{m}$, 但薄膜厚度达到一定值又引发裂片问题。因此研究重点转移到如何能够使较薄的外延层($3\sim 4\mu\text{m}$)就能得到良好的晶体质量。

总之, Si/CdTe 及 Si/CdTe/HgCdTe 薄膜的抗裂性能与晶体质量和薄膜总厚度都具有相关性, 如何提高材料本身抗裂性能仍然是个紧迫的问题。而目前 CdTe 缓冲层的晶体质量已经很难通过优化外延工艺再提高, 因此通过后处理工艺改善 Si/CdTe 的界面态、提高界面处晶体质量并减小 CdTe 缓冲层的厚度是目前提高 Si/CdTe 及 Si/CdTe/HgCdTe 抗裂性能的一个方法。本章将尝试快速高温退火(Rapid thermal annealing)的方法对 Si/CdTe 薄膜进行后处理, 论述其对薄膜晶体质量、表面形貌的影响, 并根据实验总结出优化的退火工艺, 对退火后外延层残余应力的变化进行初步分析。

3.2.2 实验介绍

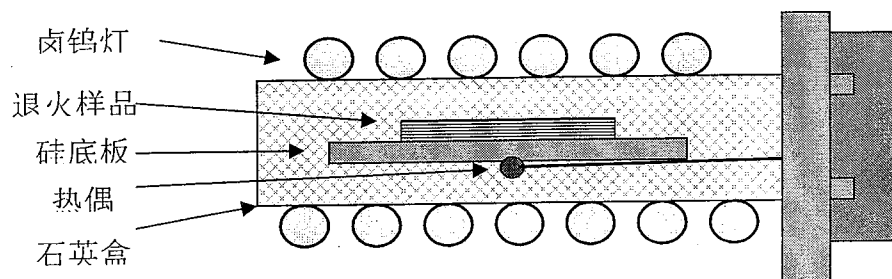


图 3-12 退火样品室示意图

退火设备采用北京东之星物理研究所生产的 RTP-500 Rapid thermal processor。如图 3-12 所示, 退火腔体为双面磨毛的石英盒; 退火加热源为 13 个卤钨灯, 分布于石英盒的上下方, 其升温速率为 $0.01\sim 180^{\circ}\text{C}/\text{秒}$, 温度范围为 $150\sim 1300^{\circ}\text{C}$; 样品支撑架为高热导率的硅片, 直径为 100mm; 测温热电偶为 K 偶, 经过氧化处理, 其表面的吸收系数与硅片相似, 直接接触硅底板测温; 保护气体为高纯氮气, 流量为 $2\sim 3\text{L}/\text{min}$, 整个腔体的温度均匀性参考值为 1%。

实验样品为厚度 $\sim 4\mu\text{m}$ 的 Si 基 CdTe 缓冲层, 装样时将样品置于硅底板上, 并推入石英腔体中, 然后在控制电脑中预先设置好简单的升温步骤, 电脑自动生成最合适的功率输出曲线, 整个退火过程采用电脑自动温控, 并在高纯氮的保护下进行。温控程序一般有五个步骤:

1. 预热阶段, 温度一般为 200°C 。主要为了延长灯丝的使用寿命, 同时给样品表面除气。
2. 大速率升温阶段, 快速升至接近最高温度的一个温度台阶。
3. 小速率升温阶段, 通过小速率升温可以避免实际温度过冲, 提高温度可重复性。
4. 恒温阶段, 仪器的稳态温度稳定性为 $\pm 2^{\circ}\text{C}$ 。
5. 降温阶段, 以对流和传导散热为主, 通过风扇制冷石英盒。

样品经退火后, 用光学显微镜和 X 射线貌相仪对其表面形貌进行观察及分析, 确定表面是否出现微蒸发缺陷; 高分辨 X 射线衍射分析, 主要分析退火前后双晶半峰宽的变化。

3.2.3 退火工艺优化研究

快速高温退火(Rapid thermal annealing)和热循环生长(thermal cycle growth) 的方法最早用于 Si 和 III-V 族化合物的 CVD 或 MBE 生长, 对降低 Si 和 III-V 族化合物位错密度、提高晶体质量有明显的效果^{23,24}。在 II-VI 族化合物的生长与应用受到关注后, 快速高温退火被用于 II-VI 族化合物的 MOCVD 生长过程^{25,26,27,28,29,30}, 也被用于 MBE 生长的 GaAs 基 II-VI 族外延材料的后处理过程^{31,32}, 其对改善外延层性能有明显的作用。一般认为, 在异质外延材料的快速高温退火过程中, 由于外延层与衬底的热失配, 在外延层中产生很大的热应力, 热应力会产生新位错, 同时也会使位错运动。TaChikawa 和 Mori³³曾提出一个简单的物理模型解释 Si 基 GaAs 外延层在降温过程中新位错的产生。Yamaguchi 等人²³研究了退火对位错密度改善的效果, 认为在高温和热应力的条件下位错得以运动, 在迁移过程中可能会湮灭(annihilation)或者交合(coalescence)。

本实验中使用的退火样品为 Si/CdTe 异质外延层, 由于 Si 同 CdTe 的热膨胀系数相差近一倍^{34,35}, 在快速高温退火过程中衬底及外延层将产生很大的热应力, 且由于整个升温与降温时间都很短, 应力的方向及大小也在发生迅速地变化。CdTe 外延层中的位错正是在热失配提供的热应力及高温提供的热动力下运动, 若其向外延层边缘迁移及向衬底和外延

层界面方向弯曲则会湮灭，同时在运动过程中相遇的位错会相互作用而在外延层体内形成闭合环，不再延伸至外延层表面。采用的不同退火程序可能对 CdTe 外延层的位错作用不同，另外使用的退火温度过高，可能会引起 CdTe 外延层表面蒸发而引入表面缺陷。下面将从退火对晶体质量和表面形貌的影响进行讨论。

3.2.3.1 快速退火对晶体质量的影响

由化学腐蚀方法获得位错密度(EPD)是评价材料晶体质量最直观的方法，但是该评价手段却是破坏性的，在本章最后一节将给出 X 射线双晶摇摆曲线半峰宽(FWHM)和位错密度(EPD)的良好对应关系，而 XRD 测得的双晶半峰宽则是无损的方法，因此本实验主要使用双晶半峰宽来评价退火前后 Si/CdTe 的晶体质量变化，并对退火后的 Si/CdTe 进行抽样 EPD 评价以验证双晶半峰宽评价的可靠性。图 3- 13 为编号为 SCT086-22 的 Si/CdTe 样品退火前后双晶摇摆曲线的变化。由于退火前的外延层内部存在高的位错密度，摇摆曲线存在明显的展宽效应，经过快速高温后外延层位错密度降低、晶体质量变好，从而晶体对 X 射线的反射率明显增大，双晶摇摆曲线的衍射强度增大、峰宽变窄，FWHM 从 83 弧秒降到了 53 弧秒。

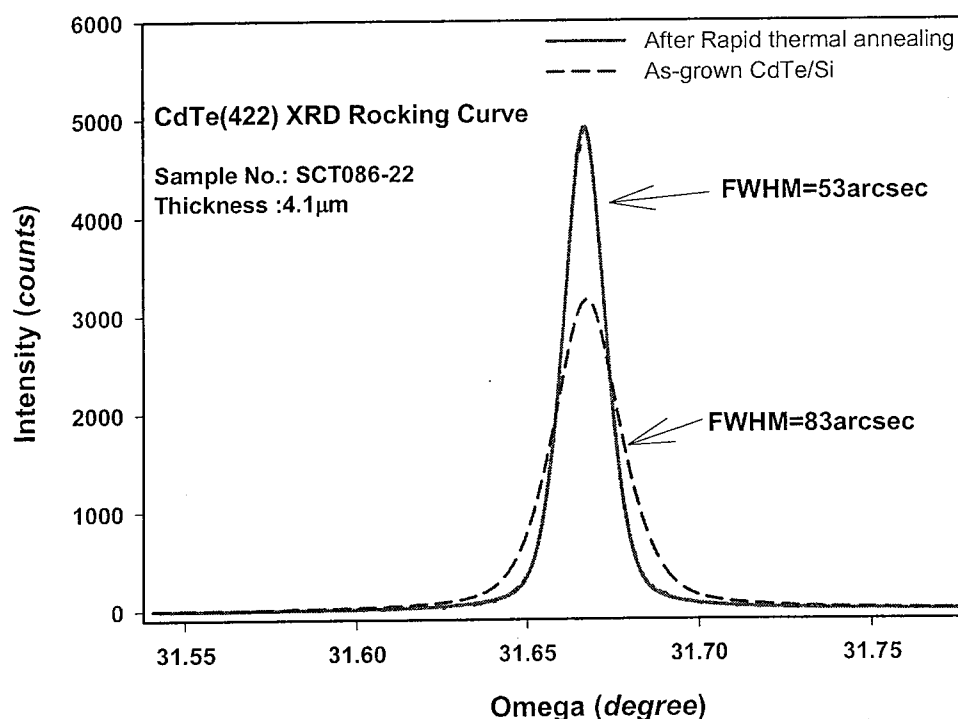
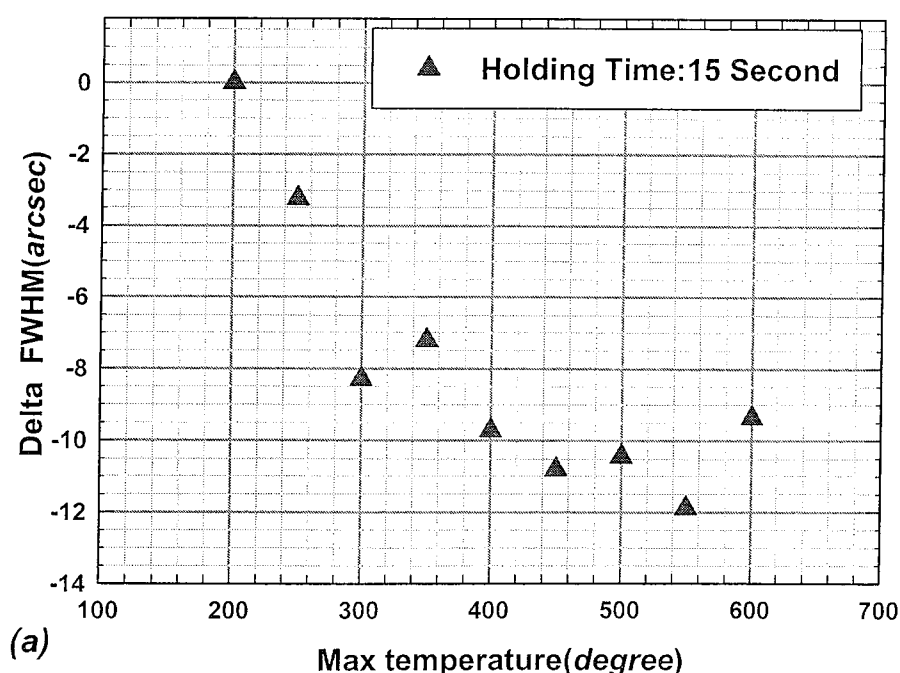


图 3- 13 Si/CdTe 外延层退火前后 X 射线双晶摇摆曲线的变化

首先研究了不同退火温度和退火时间对 Si/CdTe 的晶体质量的影响。采用 $10 \times 10 \text{ mm}^2$ (厚度约 $4 \mu\text{m}$, 双晶约 80 弧秒, 取自同一 3 英寸外延圆片) 的 Si/CdTe 进行退火, 实验中保持高温持续时间相同改变退火温度和保持相同温度改变退火时间对样品进行退火, 对

退火后的 Si/CdTe 进行 X 射线双晶衍射半峰宽测量, 获得退火前后 FWHM 变化结果, 见图 3-14 (a)和(b)。图 3-14 (a)退火温度分别为 200°C、250°C, 300°C, 350°C, 400°C, 450°C, 500°C, 550°C, 600°C 温度, 到达最高温度后维持 15 秒, 可以看出在 250°C -600°C 的退火温度区间内, 经退火后 Si/CdTe 样品的 FWHM 都变小; 退火温度越高, FWHM 下降越多, 退火效果越好, 但经 600°C 退火 15 秒后的 FWHM 改善效果小于 450°C~550°C, 同时经显微镜观察, 其表面出现了严重蒸发迹象, 关于退火对 CdTe 外延层表面形貌的影响可见 3.2.3.3 节。图 3-14 (b)为 FWHM 变化和退火时间的对应曲线, 跟踪的温度为 300°C、400°C、450°C、500°C 和 550°C, 高温和低温下采用不同的时间间隔是考虑到高温和低温的退火效果不同, 双晶改善趋势的饱和时间不同, 温度越高, FWHM 随时间的变化趋势越陡峭, 饱和时间越短, 这个变化规律和 Yamaguchi 等人²³报道的实验结果相类似。从图 3-14 (b)中还能看出高温下 FWHM 的饱和值能降到更低, 这可能和不同位错的运动激活能不同有关, 在更高温下, 外延层中有更大的热应力和更强的热动力, 能够给位错更大的激活能, 让更多的位错运动起来并相互作用。



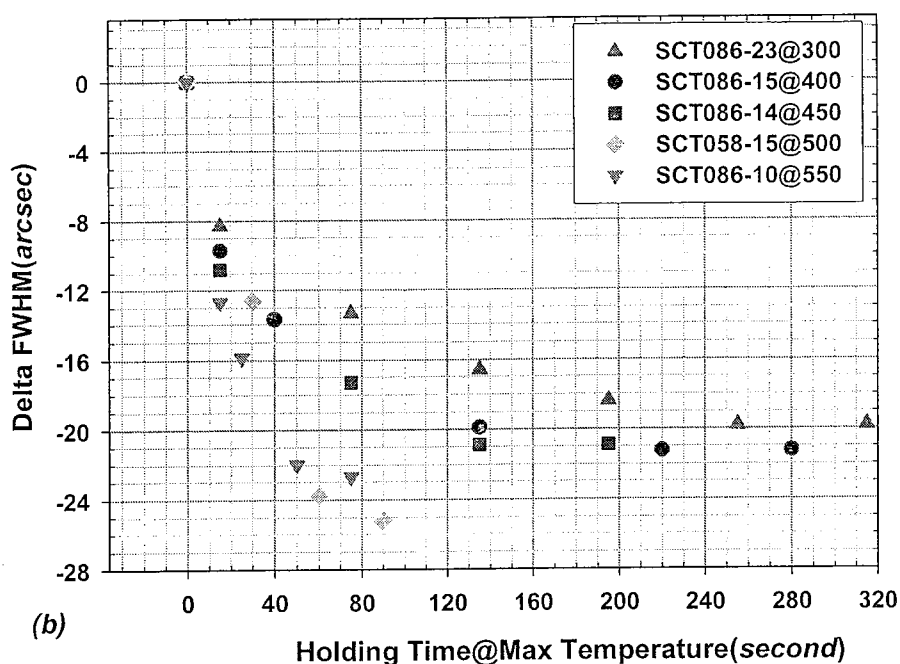


图 3- 14 (a)为不同退火温度对双晶半峰宽的影响，最高温度维持 15 秒。(b)不同退火时间下双晶半峰宽变化，图中结果为各样品多次退火跟踪测量所得。

不同退火条件下所有样品的双晶半峰宽和厚度的关系如图 3- 15 所示，图中虚线为 Si 基 CdTe 外延层在优化生长工艺后的 FWHM 随厚度变化的标准曲线，用于退火的 Si/CdTe 样品厚度大多为~4 μm ，也有一些其它厚度的样品，经过退火后的样品 FWHM 均有所下降。

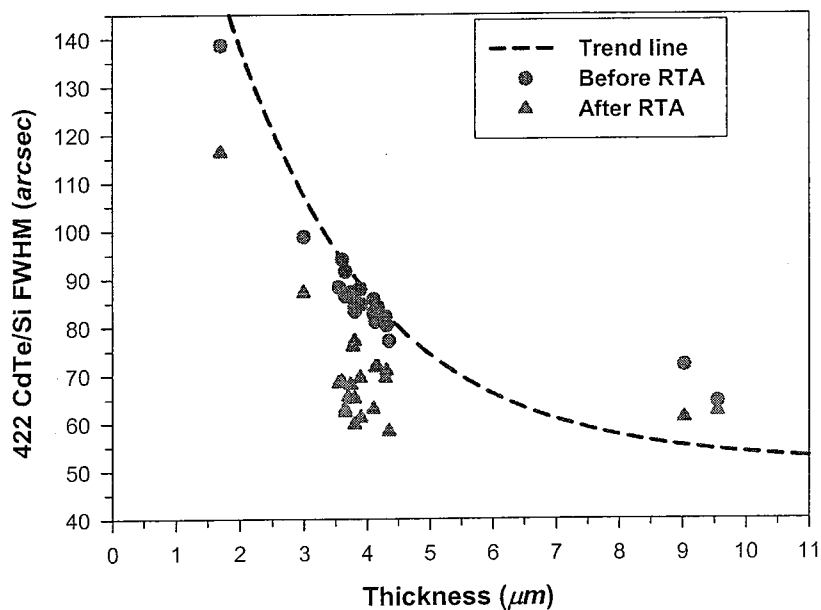


图 3- 15 不同厚度下的 Si/CdTe 快速退火效果。

3.2.3.2 多次快速热循环退火对晶体质量的影响

有前一节内容知道, 对于 Si/CdTe 外延层, 使用的退火温度越高, 晶体质量改善越明显, 退火温度为 500°C 和 550°C 时对晶体质量改善最多, 但是退火温度过高会在 CdTe 外延层表面引入缺陷, 甚至导致薄膜蒸发。为了能得到更低的位错密度、又尽量避免 CdTe 表面在高温下的蒸发, 采用极短时间退火并多次循环的方法对厚度为~4 μm 、双晶半峰宽为~85 弧秒的 Si/CdTe 进行退火研究, 实验采用的退火温度为 500°C, 退火时间 1 秒, 循环 5 次, 并且在循环退火后增加较长时间的低温退火 (300°C 退 1 分钟+250°C 退 5 分钟)。采用循环退火工艺后的 3 个 Si/CdTe 的双晶半峰宽测量结果见图 3-16, 可以看出使用这种退火工艺能够使双晶半峰宽下降到更低值, 其中结果最好的样品半峰宽低于 50 弧秒, 相当于厚度为~12 μm 原生 CdTe 外延层的双晶半峰宽水平。

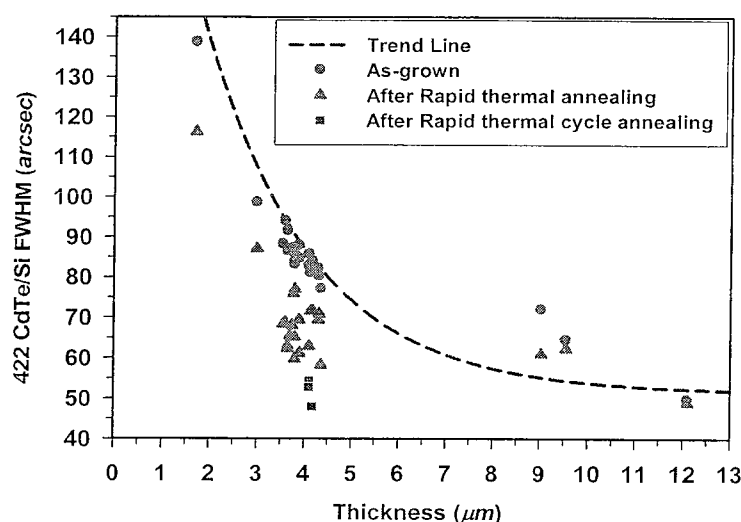


图 3-16 快速循环退火后晶体质量的变化

另外采用快速高温循环退火加较长时间低温退火的工艺对厚度为 4.17 μm 的 3 英寸 Si/CdTe 外延层进行了退火, 并做了九个点的双晶衍射半峰宽 mapping 分析, 结果见图 3-17。可以看出经 500°C 快速循环退火后的双晶半峰宽平均值从 85 弧秒降到了 61 弧秒, 较长时间低温退火后双晶半峰宽平均值又从 61 弧秒降到了 51 弧秒。

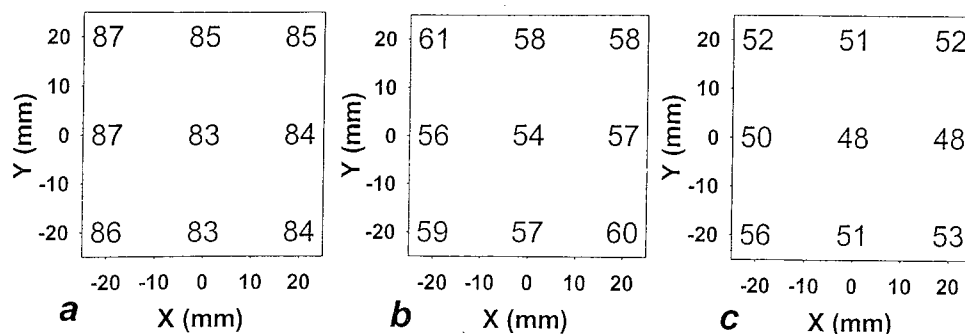
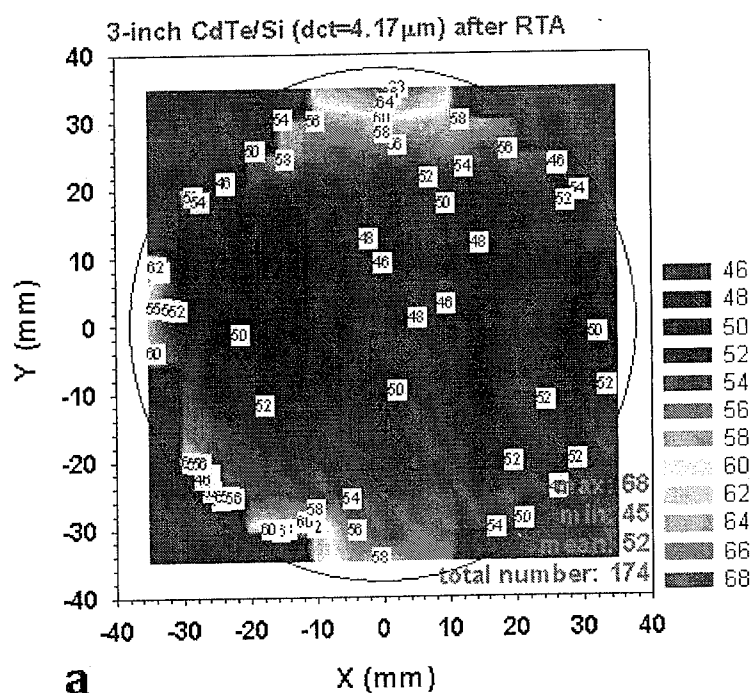


图 3-17 厚度为 4.17 μm 的 3 英寸 Si/CdTe 退火前后双晶半峰宽的变化, (a)退火前, (b)500°C 下 5 次循环退

火后, (c) 300°C 下退火 1 分钟加 250°C 下退火 5 分钟后。

为了更详细地表征 3 英寸 Si 基 CdTe 外延在退火后晶体质量均匀性, 对其作了更多点的双晶半峰宽 mapping 分析, 见图 3- 18(a)(b)(c)。图 3- 18 (a)(b)显示了厚度为 4.17 μm 的 Si/CdTe 外延层在退火后有较好的晶体质量均匀性, 总计 174 个 FWHM 测量值, 平均值为 52 弧秒, 最小值为 45 弧秒, 最大值为 68 弧秒。在半径小于~20mm 的中间区域内 FWHM 基本小于 50 弧秒, 而 FWHM 大于 60 弧秒的点基本分布在半径~30mm 以外区域。图 3- 18(c)列出了 FWHM 的区间分布统计结果, 可以看出~58% 的 FWHM 集中分布在 48~54 弧秒区间内, 同时有~18% 的 FWHM 分布在 56~68 弧秒之间。用正态分布函数对 FWHM 分布进行拟合, 得到正态分布标准差 σ 为 2.79 弧秒。因此总体来说退火后的 3 英寸 Si/CdTe 外延层在半径小于~20mm 的区域内 FWHM 分布较集中, 但整体均匀性还有待改善, 晶体质量均匀性与退火室内的温度场均匀性的相关性将在下一步工作中进行研究。



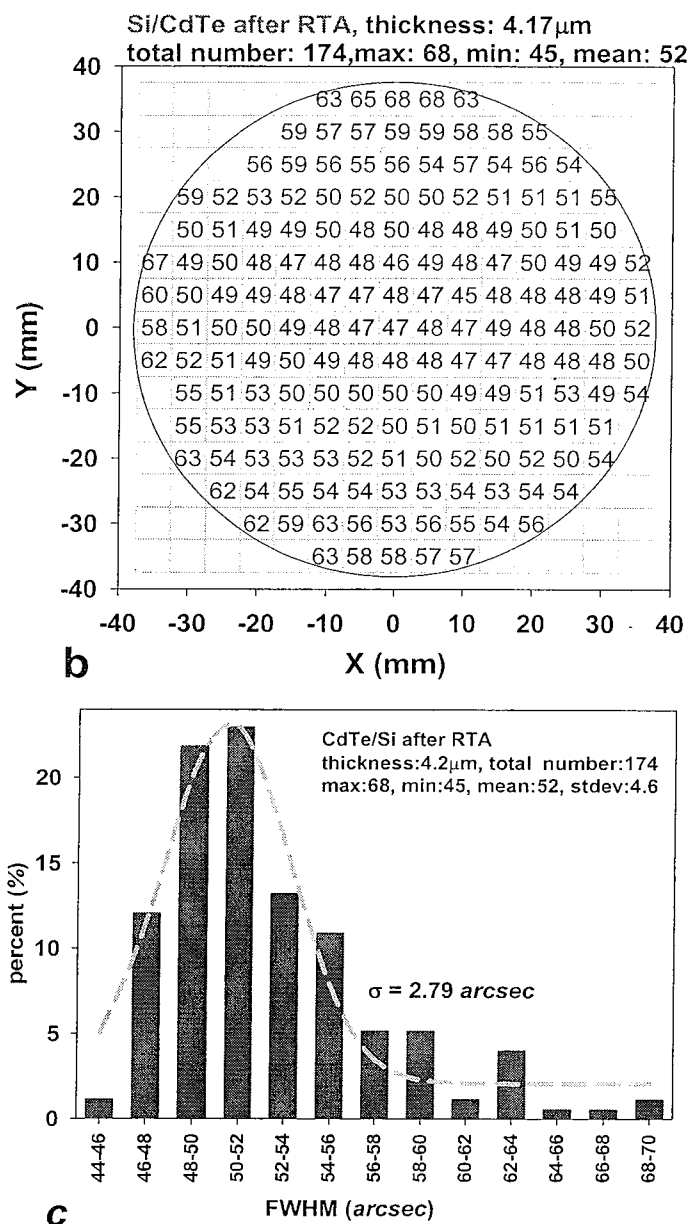


图 3- 18 为 3 英寸样品在优化的退火工艺下的双晶半峰宽 mapping 结果

3.2.3.3 退火对 Si/CdTe 表面形貌的影响

由于 II-VI 族化合物的热稳定性较差, 在高温下, 体内的 Cd 原子容易迁移, 表面的 Te 原子容易热脱附, 会导致局部出现表面缺陷, 甚至大面积的表面损伤, 这些表面缺陷对后续的 HgCdTe 生长是有危害的, 因此 Si/CdTe 在不同条件的退火后需进行表面形貌显微观察, 以分析退火对其表面形貌的影响。

经光学显微镜观察不同退火温度和退火时间后 Si/CdTe 的表面形貌, 发现 CdTe 表面形貌在温度不高于 500°C 且时间较短的退火前后无明显变化, 而当退火温度高于 500°C 或退火持续时间较长时, 表面出现了一些缺陷。图 3- 19 所示为退火后的样品在光学显微镜下观察到的表面缺陷。图 3- 19 (a)(b) 为圆形的凸点, 在温度较高时(高于 $\sim 350^{\circ}\text{C}$) 且较长时

间退火的样品上观察到此类缺陷，其出现密度和退火时间相关，此类缺陷有着很光滑的近乎完美圆形边缘，这和 CdTe 表面很多原生缺陷所具有的微晶面特征有很大的不同，其形成机理有待研究。图 3-19 (c)(d) 对应高的退火温度下(高于 500°C)产生的表面缺陷，中心为多晶核，边缘为发散分布小点，小点形貌类似于第四章中提到的 CdTe 特征点，且温度越高此类缺陷越多，其尺寸也越大，推测形成原因为材料表面局部温度过高或材料本身的局部不均匀性造成的反蒸发。在高温下持续时间若太长，例如 500°C 下超过 30 秒，样品表面会严重蒸发，在 50 倍光学显微镜下能看到表面背景的不平坦特征。

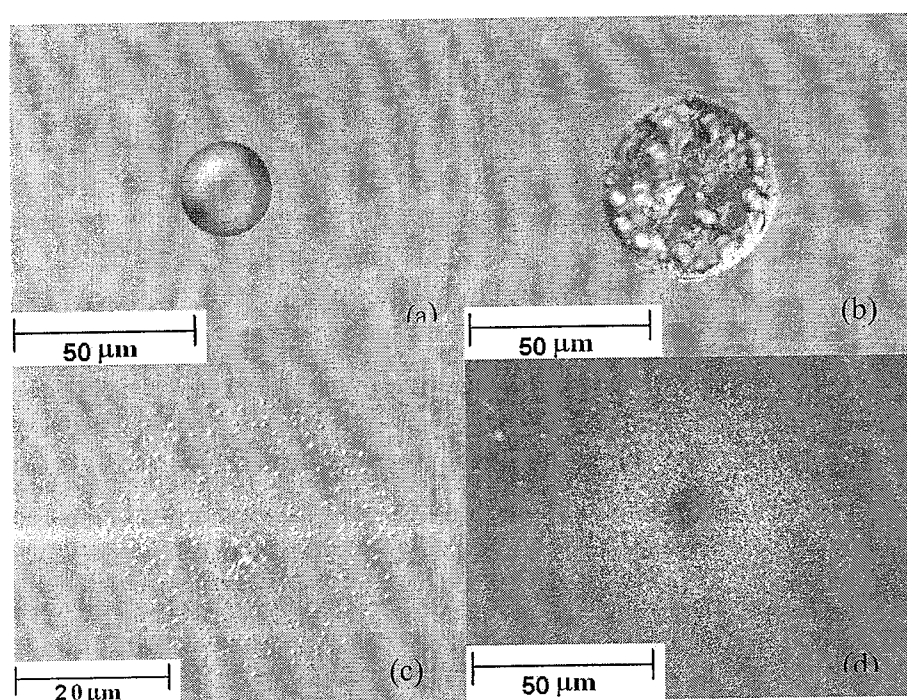


图 3-19 Si/CdTe 在不合适的退火条件下产生的表面缺陷。

对退火前后的样品作了 X 射线貌相对比，在光学显微镜下观察到表面蒸发缺陷的样品在 X 射线貌相图上也发现异常的特征形貌，其整个表面背景比退火前粗糙。如图 3-20 为其中几个典型的貌相图，(a)和(b)显示 SCT086-4 在 500°C 下退火 5 秒前后的晶体表面质量都具有良好的均匀性，未发现另外的退火缺陷；(c)和(d)为 SCT086-16 在 550°C 下退火 5 秒前后貌相图，两幅图的左下方区域为 3 英寸晶片的极边缘，其形貌异常反映了原生样品的极边缘存在着晶体缺陷，退火后的图(d)整个背景均匀性变差，并且出现了圆斑型缺陷，其对应图 3-19 (a)(b)；(f)为 550°C 下退火 25 秒后的表面貌相，显示了退火后表面晶体质量更加地不均匀，且出现很多的圆斑型缺陷。另外对第 3.2.3.2 节中多次快速循环退火后的 3 英寸样品进行表面观察只发现极个别图 3-19 (c)(d)中的表面缺陷，未见其它新的蒸发迹象，采用多次快速循环退火工艺对外延层表面形貌影响很小。

总之，不同退火温度和时间对表面形貌的影响可总结为如下几点：

1. 较高温度退火后，经光学显微镜和 X 光貌相观察未发现异常的外延层表面是否存在微观的反蒸发，还需进一步的确认。
2. 当温度高于 500°C 或在 350°C 以上的退火时间太长后，表面会出现宏观的表面缺陷，通过光学显微镜和 X 射线貌相能够检测，温度越高或者时间越长表面缺陷越多。
3. 采用 500°C 多次快速循环退火的工艺能得到良好的表面形貌，单次退火时间越短，表面形貌越好。

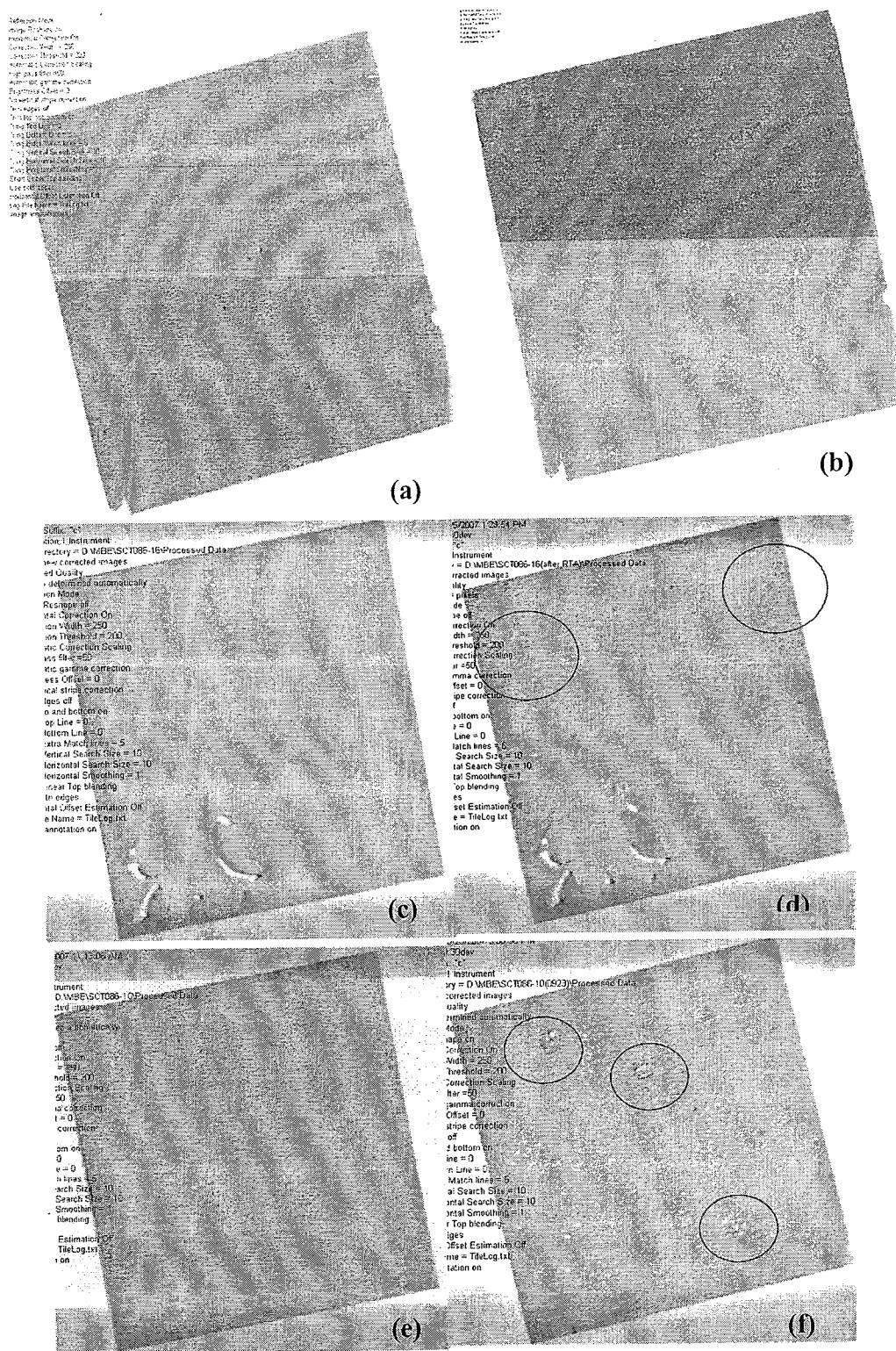


图 3-20(a)和(b)SCT086-4 500° C 下退火前后的表面貌相, (c)和(d)为 SCT086-16 在 550° C 退火前后貌相, (e)和(f)为 SCT086-10 550° C 下较长时间退火前后貌相。

3.2.3.4 位错密度(EPD)对比

为了更直观地显示材料中的位错密度在退火前后的变化, 采用 Everson 腐蚀液对退火

后的部分 Si/CdTe 样品进行了 EPD 腐蚀, 与退火前的样品进行了比较, 结果见图 3-21(a), 退火后样品的 EPD 值都有所下降, 更直观地说明快速退火对 CdTe 外延层穿越位错起到抑制的作用。图 3-21 (b)(c)为退火前后 SCT086 的 EPD 照片对比, 能看出退火后的位错密度明显下降。

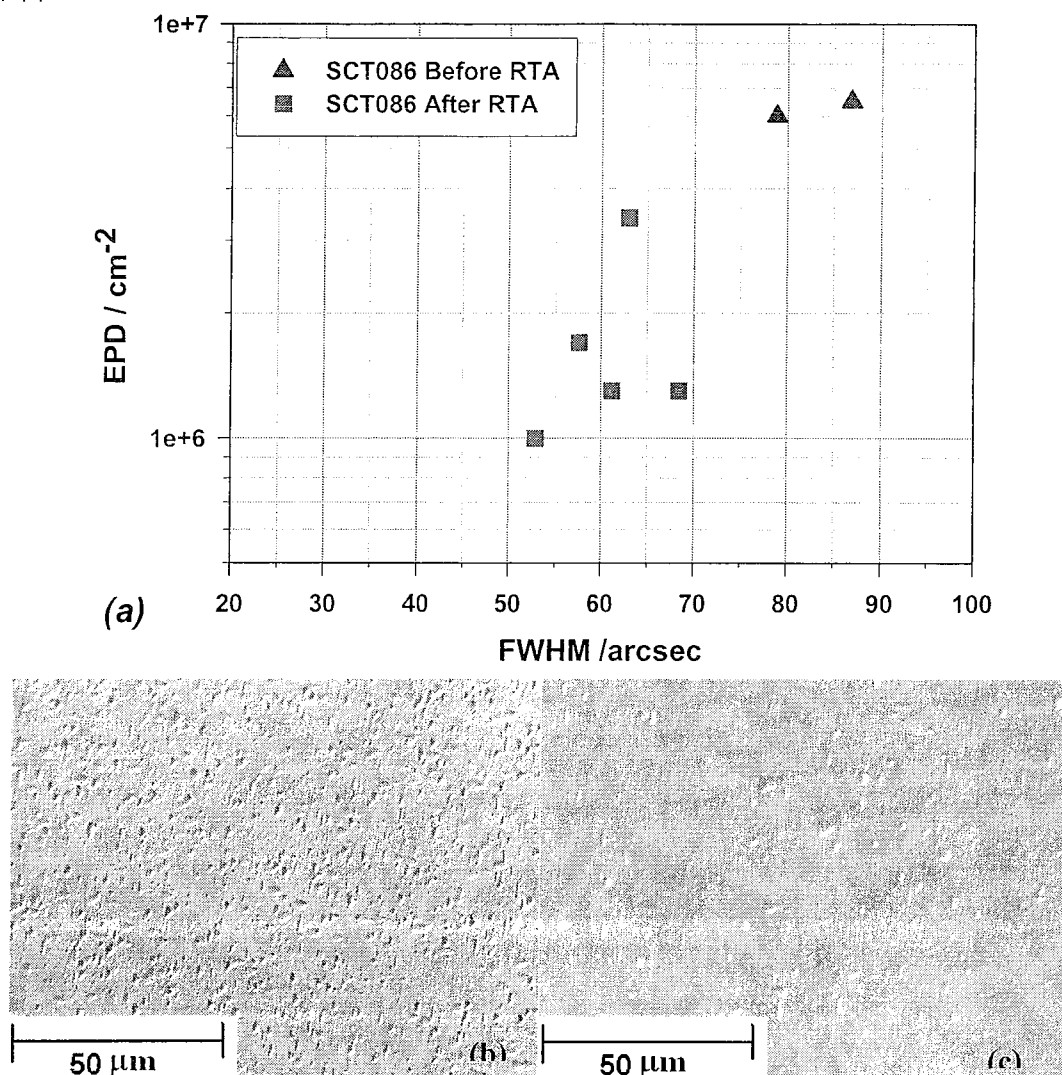


图 3-21(a) FWHM 和 EPD 的关系曲线, (b) SCT086-20 未退火(FWHM=80 弧秒)的 EPD 照片, (c) SCT086-16 退火后 (FWHM=61 弧秒)的 EPD 照片。

3.2.4 退火后外延层晶格应力初步表征

由于 Si 同 CdTe、HgCdTe 的晶格常数存在较大的晶格失配, 且热膨胀系数相差近一倍^{36,37}, Si/CdTe 和 Si/HgCdTe 外延层将产生较大的应变。前期的研究表明, 室温下 Si 基 CdTe 外延薄膜在 xy 面 (平行于衬底) 存在张应力, 平行衬底方向晶格常数变大^{38,39}。在 CdTe 生长初期, 膜厚小于临界厚度 h_c 时, 薄膜和衬底共格, 不论是在 GaAs 衬底还是 Si 衬底上, CdTe 膜在 xy (平行衬底) 界面受压应力, 相应的在 z 方向 (生长方向) 受张应力, 生长晶面间距变大。在膜厚超过临界厚度 h_c 后, 随应变能的增大, 失配位错产生, 使系统总

能量下降, 当应力得到释放后, CdTe 膜在 xy 面上基本不受压力, 生长晶面间距也不再变大。外延生长后降温过程中热膨胀系数的差别产生影响, GaAs 和 Si 两种不同衬底的 CdTe 外延薄膜的残余应力朝相反的两个方向演化: 由生长温度 280°C 降到室温 20°C , 温差为 260°C , 对 GaAs 衬底, 由于其热膨胀系数大于 CdTe, CdTe 外延层产生的热失配为 $-1.8 \times 10^{-2}\%$, 在 xy 面受很弱的压应力, 生长晶面间距略有增大; 对于 Si 衬底, 其热膨胀系数只有 CdTe 的一半, CdTe 外延薄膜由此产生的热失配为 $6.5 \times 10^{-2}\%$, CdTe 外延层在 xy 面受张应力, 生长晶面间距变小。

在快速高温退火过程中, 当温度从室温升至晶体生长温度时($\sim 280^{\circ}\text{C}$), Si 基 CdTe 外延层在 xy 面受到的张应力迅速减小至零, 在温度高于晶体生长温度后, CdTe 外延层在 xy 面受到压应力并随温度升高而迅速增大, 在最高温时受到的压应力最大, 降温时, 应力变化过程正好相反。在这个过程中, 材料中的缺陷及穿越位错在热应力和热动力的驱动下, 在运动过程中湮灭或者在外延层中或融合成闭合环, 使材料的结构得到一定的修复, 同时会使材料向高温下的平衡态发展, 在退火后降到室温下时, 由于热失配而产生的残余热应力可能会产生变化, 若在高温下持续长时间退火, 降温后的残余热应力甚至可能比原生材料更大。通过分析室温下 CdTe 外延层(112)面间距变化, 可简单地反映出材料中残余热应力大小的变化。

通过 Philips X'Pert MRD 三轴衍射可以精确地测量得到样品的布拉格衍射角 2θ , 在室温($20 \pm 1^{\circ}\text{C}$)时通过 Si 标准晶体标定 X 射线衍射仪的精度, 证实测量所得的 CdTe 晶格常数小数点后第四位数值的有效性, 并在室温下测得 CdTe 体晶材料(044)的面间距为 $1.1460\text{\AA}$, 推算出的晶格常数为 $6.4827\text{\AA}$ ⁴⁰。同样, 在室温下测量得到 Si/CdTe 退火前后的(224)面间距进而算出垂直生长面的晶格常数 $a_{\perp}$ 。另外考虑到应力的各向异性, W.J.Bartels 和 W.Nijman 给出了不同晶面的 $(\Delta a/a)_{\text{relax}}$ 校正因子的计算方法, 采用 CdTe 晶体的弹性常数($C_{11} = 5.36$; $C_{12} = 3.7$; $C_{44} = 1.99$), (112)晶向的校正因子为 0.492 ⁴⁰。由 $(\Delta a/a)_{\text{relax}} = -0.492 (\Delta d/d)_{\perp}$ 可算得各样品平行衬底方向的晶格常数 $a_{\parallel}$ 。

表 1 X 射线沿 (11-1) 方向入射的 (224) 晶面的面间距 $d_{(224)}$, 平行生长方向的晶格常数 $a_{\perp}$ 和垂直生长方向的晶格常数 $a_{\parallel}$ 。

晶格常数(Å)	CdTe 体晶	SCT058-14	SCT086-21	SCT086-22	SCT086-23	SCT078
$d_{(422)}$ before RTA	1.3233	1.3230	1.3229	1.3229	1.3229	1.3228
$d_{(422)}$ after RTA		1.3228	1.3227	1.3227	1.3227	1.3227
$a_{\perp}$ before RTA	6.4827	6.4812	6.4808	6.4808	6.4808	6.4801
$a_{\perp}$ after RTA		6.4805	6.4800	6.4798	6.4804	6.4802
$a_{\parallel}$ before RTA	6.4827	6.4835	6.4837	6.4837	6.4837	6.4840
$a_{\parallel}$ after RTA		6.4839	6.4841	6.4842	6.4839	6.4840

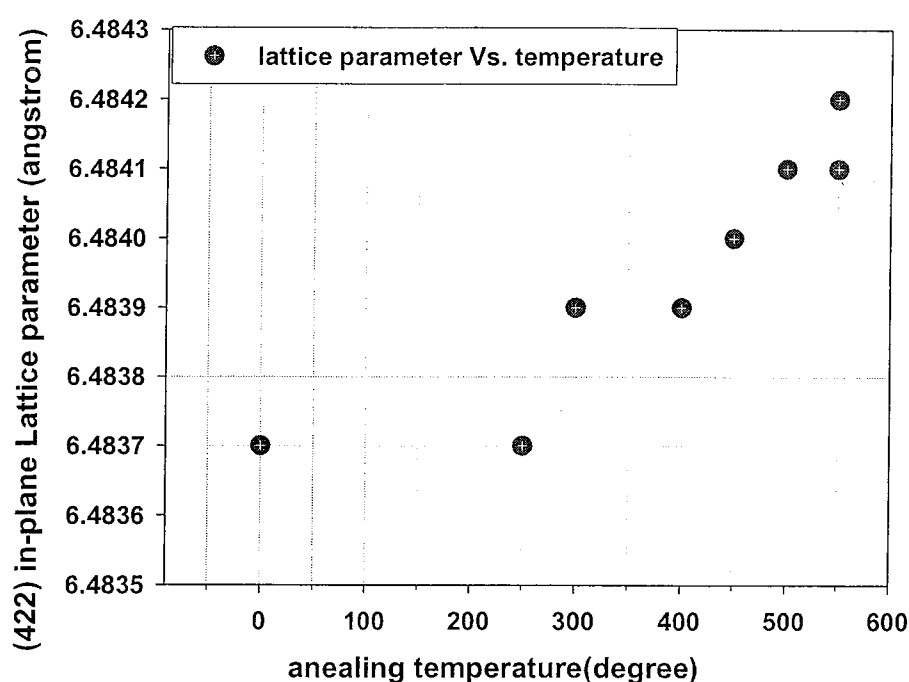


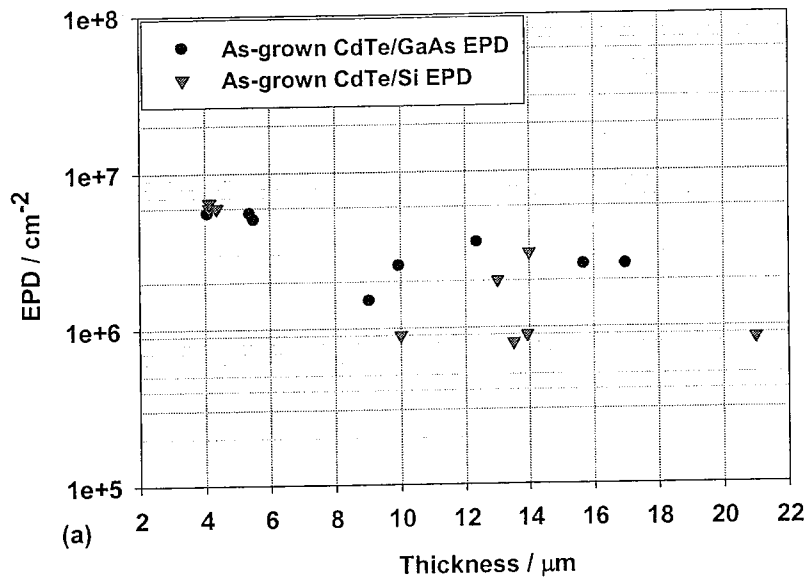
图 3-22 室温下($\sim 20^{\circ}\text{C}$), 不同退火温度下长时间退火后 Si/CdTe 外延层晶格常数 $a_{\parallel}$

表 1 中的数据为不同退火条件下样品的晶格常数变化, 其中前四个样品 SCT058-14、SCT086-21、SCT086-22 和 SCT086-23 的退火温度高于 300°C , 退火时间超过 30 秒, SCT078 为多次循环快速退火的样品。可以看出 MBE 原生 CdTe 外延薄膜 (224) 面水平方向的晶格常数 $a_{\parallel}$ 比 CdTe 体晶材料要大, 温度高于 300°C 的较长时间退火后 CdTe 外延薄膜的 $a_{\parallel}$ 与原生的 CdTe 外延薄膜相比变化很小, 整体上稍变大, 对应退火后 CdTe 外延层中的残余热应力稍微变大, 而多次快速热循环退火的样品晶格常数基本没变, 说明极短时间退火对残余热应力的影响很小。图 3-22 为同一编号为 SCT086 的 3 英寸 Si/CdTe 大圆片上切割成 $10\times 10\text{mm}^2$ 的子样品不同退火温度下长时间退火后, 室温下的晶格常数测量结果, 所有样

品高温持续时间超过 80 秒, 双晶半峰宽下降达到饱和。从图上可以看出当退火温度高于 300°C, 经过退火的 CdTe 外延层在室温下的 $a_{//}$ 变大, 即 CdTe 外延层受到水平的张应力变大, 且随退火温度的提高有变大的趋势, 说明使用的退火温度越高, 材料降到室温后的残余热应力可能越大。需要说明的是, 由于 CdTe 外延层内同时存在着正应变和剪切应变, 本文只是从(224)对称衍射面间距的变化初步表征 CdTe 残余应力的变化, 因此得到的结果要进一步证实, 下一步工作将通过测量外延层对称衍射与非对称衍射的倒易空间图表征 CdTe 外延层的应力结构。

3.3 双晶半峰宽(FWHM)与位错密度(EPD)联合评价手段

XRD 双晶半峰宽(FWHM)是评价晶体质量的重要参数, 是材料体内不同厚度下晶体质量的综合反映, 与晶体中的位错密度密切相关。通常对外延材料而言, 双晶半峰宽都会随着外延层厚度的增加而减小, 在 1.2 节中分析了 CdTe 外延层的双晶半峰宽随厚度增大而减小的趋势反映的是外延层材料体内的位错密度随厚度增大而减小, 但位错密度的具体数值变化还需通过其他方法获得。



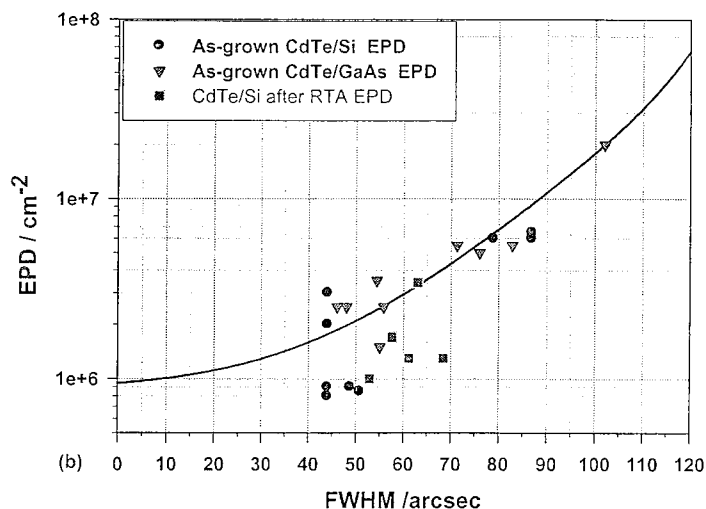


图 3-23 (a)位错密度 (EPD) 与厚度的关系曲线, (b)双晶半峰宽与位错密度对应关系

对不同双晶半峰宽下的 CdTe 样品采用 Everson 腐蚀溶液做了腐蚀实验, 腐蚀过程的控制以及位错密度的计算方法在第二章中有详细说明。图 3-23(a)显示了 CdTe 外延层的位错密度随着厚度的增大整体上呈减小趋势, 与上一节中的图 3-9 中双晶半峰宽随厚度的变化趋势相一致。图 3-23 (b)显示了实验获得的双晶半峰宽(FWHM)与位错密度 (EPD) 具有良好对应关系, 可见当半峰宽 > 70 弧秒时位错密度随半峰宽的降低而减小; 当半峰宽减小到 40~60 弧秒之后, 位错密度的下降趋势变缓接近饱和。众所周知, 化学腐蚀方法获得的位错密度 (EPD) 能够最直观地表征材料晶体质量, 但该评价手段是破坏性的, 而 XRD 测得的双晶半峰宽则是无损的方法, 因此该曲线的获得对于建立材料无损评价标准具有积极的意义。

3.4 小结

首先, 对替代型衬底上分子束外延生长 CdTe 缓冲层的位错抑制工艺进行了研究, 在实验的基础上分析了三种工艺方法包括 CdTe 低温成核法、引入 ZnTe 初始成核层和引入衬底偏角对孪晶和位错的抑制效果。结果发现, CdTe 低温成核法能够降低 GaAs/CdTe、ZnTe/CdTe 界面的失配能, 起到抑制孪晶的作用, 但不能有效地抑制穿越位错的发展; 而引入 ZnTe 初始成核层能够更有效地降低 GaAs/CdTe 和 Si/CdTe 界面处的能量, 从而能够抑制孪晶、穿越位错的发展; 另外基于失配与界面偏转的理论, 研究了引入衬底偏角对 GaAs/CdTe 与 Si/CdTe 的位错抑制效果, 实验结果发现引入衬底偏角对于 Si/CdTe 体系能起到有效地降低界面能量和抑制穿越位错的作用, 但对 GaAs/CdTe 体系无明显效果; 最后讨论了最佳工艺路线。

其次, 基于前期的 Si/CdTe 外延层抗裂性能实验, 发现 Si/CdTe 的抗裂性能与 CdTe 外延层的晶体质量和厚度有关, 对进一步提高 Si/CdTe 界面处的晶体质量并减薄 CdTe 外延层

厚度提出了要求, 因此对 Si/CdTe 作了高温快速退火研究。首先, 研究了不同退火条件对 Si/CdTe 外延层的晶体质量和表面形貌的影响, 发现退火温度越高, 对 CdTe 外延层的晶体质量提高的效果越好, 同时晶体质量改善的饱和时间越短, 不同退火条件下的 Si/CdTe 的晶体质量皆有所提高, 但是退火温度过高或者退火时间过长都会在 CdTe 表面引入表面缺陷, 甚至导致薄膜蒸发。其次, 研究了多次快速循环退火对 Si/CdTe 晶体质量及表面形貌的影响, 发现多次快速循环退火对 CdTe 外延层的表面形貌影响很小, 对晶体质量的改善效果更好, 厚度为 $\sim 4\mu\text{m}$ 、双晶半峰宽为 ~ 85 弧秒的原生 Si/CdTe 样品经退火后的双晶半峰宽低于 50 弧秒, 相当于厚度为 $\sim 12\mu\text{m}$ 原生 CdTe 外延层的双晶半峰宽水平, 另外对 3 英寸 Si/CdTe 外延片进行了多次快速循环退火, 发现 3 英寸外延层整体的晶体质量得到很大的改善, 双晶半峰宽平均值从 85 弧秒降到了 51 弧秒, 半峰宽值在中间区域的分布较均匀, 边缘区域分散较大, 其晶体质量分布特征可能与退火腔体的温度场分布相关, 整体均匀性有待进一步提高。

另外还基于实验获得双晶半峰宽与位错密度的良好对应关系, 建立了 X 射线无损检测的评价标准。

参考文献

- 1 David J.Smith, S.-C.Y.Tsen, D. Chandrasekhar, et al. Growth and characterization of CdTe/Si heterostructures – effect of substrate orientation, *Materials Science and Engineering*, 2000, B77: 93-100
- 2 T. Sasaki, M. Tomono, and N. Oda, Study of CdTe epitaxial growth on (211)B GaAs by molecular beam epitaxy, *J. Vac. Sci. Technol.*, Jul/Aug, 1992, B 10(4):1399
- 3 M.D. Lange, R. Sporcken, K.K. Mahavadi, et al. Molecular beam epitaxy and characterization of CdTe(211) and CdTe(133) films on GaAs(211)B substrates, *Appl. Phys. Lett.* 1991, 58 (18): 1988-1990.
- 4 I. Sugiyama, A. Hobbs, O. Ueda, K. shinohara, and R.E. Devames, *J. Vac. Sci. Technol. B* 9, 1646(1991).
- 5 J.L. Reno, M.J. Carr, and P.L. Gourley, *J. Vac. Sci. Technol.*, A 8 1006(1990).
- 6 R. BOMMENA,¹ C. FULK,² JUN ZHAO,² T.S. LEE,² S. SIVANANTHAN,² S.R.J. BRUECK,³ and S.D. HERSEE, Cadmium Telluride Growth on Patterned Substrates for Mercury Cadmium Telluride Infrared Detectors, *Journal of ELECTRONIC MATERIALS*, Vol. 34, No. 6, 2005
- 7 J.M. Arias, M. Zandian, S. H. Shin, W. V. Mclevige, J. G. Pasko, and R. E. DeWames, Dislocation density reduction by thermal annealing of HgCdTe epilayers grown by molecular beam epitaxy on GaAs substrates, *J. Vac. Sci. Technol. B* 9 (3), May/Jun 1991.
- 8 S. H. Shin, J. M. Arias, D. D. Edwall, M. Zandian, J. G. Pasko, and R. E. Dewames, Dislocations reduction in HgCdTe on GaAs and Si, *J. Vac. Sci. Technol.*, B 10(4), Jul/Aug 1992.
- 9 L.A. ALMEIDA, L. HIRSCH, M. MARTINKA, P. R. BOYD, and J.H. DINAN, Improved Morphology and Crystalline Quality of MBE CdZnTe/Si, *Journal of ELECTRONIC MATERIALS*, Vol. 30, No. 6, 2001.
- 10 Y.P. CHEN, G. BRILL, E.M. CAMPO, T. HIERL, J.C.M. HWANG, and N.K. DHAR, Molecular Beam Epitaxial Growth of $\text{Cd}_{1-y}\text{Zn}_y\text{Se}_{1-x}\text{Te}_x$ on Si (211), *Journal of ELECTRONIC MATERIALS*, Vol. 33, No. 6,

2004.

- 11 S. Rujirawat, David J. Smith, J.P. Faurie, et al. Microstructural and Optical Characterization of CdTe(211)B/ZnTe/Si(211) Grown by Molecular Beam Epitaxy, *Journal of ELECTRONIC MATERIALS*, 1998, Vol.27, No.9:1047-1052
- 12 G. Brill, Y. Chen, N.K. Dhar, et al. Nucleation of ZnTe/CdTe Epitaxy on High-Miller-Index Si Surface, *Journal of ELECTRONIC MATERIALS*, 2003, Vol.32, No.7:717-722
- 13 A. Million, N.K. Dhar, J.H. Dinan, Heteroepitaxy of CdTe on {211}Si substrates by molecular beam epitaxy, *J. Crystal Growth*, 1996, 159:76-80
- 14 R. Ashokan, S. Sivananthan, Characteristics of MBE-grown heterostructure HgCdTe/CdTe/Si materials and planar photovoltaic devices, *Materials Science and Engineering*, 1999, B67:88-94
- 15 陈路, 大面积 Si 基碲化镉复合衬底分子束外延研究, 3.2 节 P31-p32.
- 16 T. J. de Lyon, S. M. Johnson, et al. Direct MBE growth of CdZnTe on Si(001) and Si(112) substrates for large-area HgCdTe IRFPAs[A]. *SPIE Vol.2021*, 114.
- 17 M. Kawano, A. Ajisawa, N. Oda. HgCdTe and CdTe(-1-1-3)B growth on Si(112) 5° off by MBE. *Appl. Phys. Lett.* 1996, 69(19): 2876-2878.
- 18 Y. P. Chen, S. Sivananthan, J. P. Faurie, Structure of CdTe(111)B grown by MBE on misoriented Si(001). *J. Electron. Mater.*, 1993, 22(8):951-957.
- 19 Li He, Xiangliang Fu, Qingzhu Wei, Weiqiang Wang, Lu Chen, Yan Wu, Xiaoning Hu, Jiangrong Yang, Qinyao Zhang and Ruijun Ding, MBE HgCdTe ON ALTERNATIVE SUBSTRATES FOR FPA APPLICATIONS, *J. Electron. Mater.*, 2007 US II-VI Workshop.
- 20 WANG Yuan-zhang, CHEN Lu, WU Yan, et al. Lattice Strain in MBE Grown CdTe Films on Si and GaAs substrates. [J]. *Journal of Synthetic Crystals*, 2005, 34:729.
- 21 R.N. Jacobs, J. Markunas, J. Pellegrino, L.A. Almeida, M. Groenert, M. Jaime-Vasquez, N. Mahadik, C. Andrews, S.B. Qadri, *J. Crystal Growth* (2008), doi:10.1016/j.jcrysgro.2008.02.029
- 22 M. Carmody, J.G. Pasko, D. Edwall, R. Bailey, J. Arias, M. Groenert, L.A. Almeida, J.H. Dinan, Y. Chen, G. Brill, N.K. Dhar, *J. Electron. Mater.* 35 (2006) 1417.
- 23 Masafumi Yamaguchi, Akio Yamamoto, Masami Tachikawa, Yoshio Itoh, and Mitsuru Sugo, Defect reduction effects in GaAs on Si substrates by thermal annealing, *Appl. Phys. Lett.* 53(23), 5 December 1988.
- 24 J. W. Lee, H. Shichijo, H. L. Tsai, and R. J. Matyi, Defect reduction by thermal annealing of GaAs layers grown by molecular beam epitaxy on Si substrates, *Appl. Phys. Lett.* 50(1), 5 January 1987.
- 25 J.L. Hoyt, P. Kuo, K. Rim, J.J. Welser, R.M. Emerson, J.F. Gibbons in: S.R.J. Brueck, J.C. Gelpey, A. Kermani, J.L. Regolini, J.C. Sturm, (Eds.), *Rapid Thermal and Integrated Processing IV Symp. Proc.*, Mater. Res. Soc., Pittsburgh, PA, USA, 1996, p.299.
- 26 N. Amir, S. Stolyarova, Y. Nemirovsky, *Israel Association for Crystal Growth Annual Proc.* vol. 18, 1996, p. 18.
- 27 N. Amir, S. Stolyarova, Y. Nemirovsky, *J. Crystal Growth* 179 (1997) 93.
- 28 S. Stolyarova, N. Amir, Y. Nemirovsky, *J. Crystal Growth* 184/185 (1998) 144.
- 29 S. Stolyarova, N. Amir, Y. Nemirovsky, in: R.B. Fair, M.L. Green, B. Lojek, R.P.S. Thakur (Eds.), *Proc. 5th Int. Conf. on Advanced Thermal Processing of Semiconductors "RTP'97"*, New-Orleans, 1997, p. 269.
- 30 S. Stolyarova, N. Amir, Y. Nemirovsky. Rapid thermal processing of epitaxial II-VI heterostructures. *Journal of Crystal Growth* 198/199 (1999) 1157-1161
- 31 J.M. Arias, M. Zandian, S. H. Shin, W. V. McLevige, J. G. Pasko, and R. E. DeWames, Dislocation density reduction by thermal annealing of HgCdTe epilayers grown by molecular beam epitaxy on GaAs substrates, *J.*

Vac. Sci. Technol. B 9 (3), May/Jun 1991.

32 S. H. Shin, J. M. Arias, D. D. Edwall, M. Zandian, J. G. Pasko, and R. E. Dewames, Dislocations reduction in HgCdTe on GaAs and Si, J. Vac. Sci. Technol, B 10(4), Jul/Aug 1992.

33 M.Tachikawa and H.Mori,Appl.Phys.Lett.56,2225(1990).

34 Peter Capper. Properties of Narrow Gap Cadmium based compounds, Short Run Press Ltd, England ,1994, p403.

35 Yao T. Surface Physics. ed. X LI et al. Philadelphia:Gordon and Breach Sci Publ, 1992,124.

36 Peter Capper. Properties of Narrow Gap Cadmium based compounds, Short Run Press Ltd, England ,1994, p403.

37 Yao T. Surface Physics. ed. X LI et al. Philadelphia:Gordon and Breach Sci Publ, 1992,124.

38 WANG Yuan-zhang, CHEN Lu, WU Yan, et al. Lattice Strain in MBE Grown CdTe Films on Si and GaAs substrates. [J]. Journal of Synthetic Crystals(王元樟,陈路,巫艳,等. 在 Si 和 GaAs 衬底上分子束外延 CdTe 的晶格应变. 人工晶体学报), 2005,34:729.

39 王元樟, Si 基分子束外延 HgCdTe/CdTe 评价与表征研究, 博士论文。

40 王元樟, 异质衬底 MBE HgCdTe 过渡层及 X 射线衍射分析, 硕士论文。

第四章 CdTe、HgCdTe 外延层的表面形貌研究

HgCdTe 的分子束外延生长是非平衡态过程, 由表面反应动力学决定, 因此表面形貌对衬底温度、表面化学配比有强的依赖性, 从而导致了表面形貌的多样性。在生长条件偏离优化窗口时, 会导致大量表面缺陷的出现。这些表面缺陷会严重降低器件性能, 表面缺陷对器件的影响机理可参见第一章内容。同时, HgCdTe 的表面缺陷的成核较复杂, 不同成核原因的缺陷有着各自特征的表面形貌、尺寸和在外延层中的深度, 这些特征将使不同缺陷对器件性能的影响不同。如何降低外延层表面缺陷的密度、减小缺陷的尺寸一直是 HgCdTe MBE 生长研究中十分关注的问题。

本章对 CdTe 和 HgCdTe 外延层的表面形貌控制进行论述, 通过 SEM、EDAX 等测试手段对 CdTe 和 HgCdTe 外延层上的各种表面缺陷的起源进行分析, 并讨论如何通过优化生长工艺达到抑制表面缺陷的目的。

4.1 GaAs/CdTe 和 Si/CdTe 表面形貌研究

由于表面缺陷具有外延性, 即衬底上原生的或者 CdTe 生长过程引入的表面缺陷都不会通过 CdTe 或者 HgCdTe 外延生长得到抑制, 部分缺陷的尺寸还可能随着外延厚度的增大而增大, CdTe 缓冲层的表面形貌将直接影响着后续 HgCdTe 的表面形貌。因此如何抑制 CdTe 表面缺陷的产生, 获得良好表面形貌的 CdTe 缓冲层是外延高质量 HgCdTe 的基础。国际上对于 GaAs、Si 上外延如 CdTe、ZnTe、ZnCdTe 等缓冲层出现的典型缺陷形貌、起源及抑制途径的详细报道并不多。N. K. Dhar 等人报道了在 Si/ZnTe/CdTe (211) 上发现对应 Zn 成分过高的典型三角形缺陷¹; S. Rujirawat 等人列出了对应不同的 CdTe 生长温度产生的不同形貌的缺陷²; I. V. Sabinina 等人在 HgCdTe (3 0 1) 上发现的对应富 Te 生长形成的 V 型缺陷, 并运用晶面的各向异性对 (301) 面上的缺陷进行了理论计算, 得出的模型与 AFM 下看到的缺陷形状类似³。

本节主要是对 GaAs/CdTe、Si/CdTe 缓冲层的表面形貌控制问题进行论述, 通过光学显微镜、SEM、EDAX 等测试手段对 CdTe 表面的不同缺陷进行分析, 研究其起源机理。

4.1.1 与 CdTe 外延生长条件相关的表面缺陷的抑制

前期在 GaAs 或 Si 基上外延 CdTe 缓冲层形貌研究中, 发现 CdTe 的表面形貌和衬底温度、束流的 Cd 和 Te 化学配比有很大关系。当生长温度偏高或者 CdTe/Te 束流配比偏大

时,表面会出现一种具有晶面特征的菱形凹线(本文中定义为 CdTe 特征短线)和菱形小凹点(本文中定义为 CdTe 特征点)。图 4-1 (a)、(b)为 CdTe 特征短线的 SEM 图像,短线在同一个样品表面长短、深浅不一,长边沿 $[0-11]$ 方向,一般在 $3\mu\text{m}$ 以下,短边沿 $[-111]$ 方向,长度在 $0.5\mu\text{m}$ 以下,凹陷深度约为几十纳米,密度最高可达 $1\times 10^5\sim 1\times 10^7\text{cm}^{-2}$ 。图 4-1 (c)、(d)为 CdTe 特征点的 SEM 图像,晶面特征更为明显,尺寸较小,一般为 $1\sim 2\mu\text{m}$,密度随生长条件变化很大,在严重偏离优化的生长条件时,CdTe 特征点在表面密集排列,甚至形成极其粗糙的麻皮状背景。然而目前这两种形貌的相互演变转化机制尚无结果。

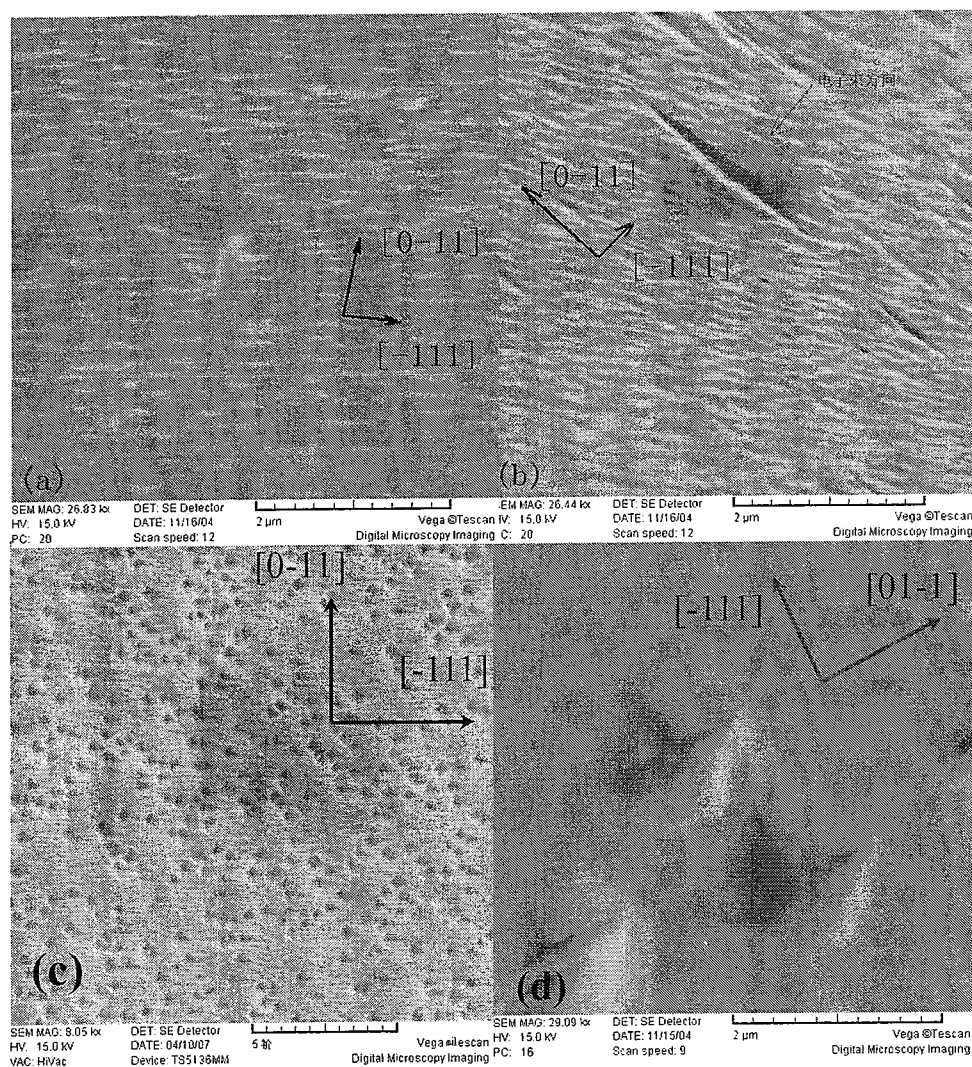


图 4-1 CdTe 短线和 CdTe 特征点的 SEM 照片

CdTe 特征点和 CdTe 特征短线的起源可能和生长时外延表面的 Cd 和 Te 化学配比失调相关,Te 的黏附系数随衬底温度的升高而下降的速率要比 Cd 大,衬底温度太高或者 CdTe/Te 的束流比太大都有可能导致生长面上的化学配比失调,导致 CdTe 特征点或者特征短线的形貌特征的出现。

CdTe 缓冲层的特征点、特征短线都可以通过优化衬底温度及 CdTe/Te 的束流比得到完全抑制，从而得到光亮平整的表面。如图 4-2 为 GaAs 衬底温度维持在 $\sim 280^{\circ}\text{C}$ 下，不同 CdTe/Te 的束流比值下表面形貌的变化，图中各样品为 Riber Epineat 系统上外延的 3 英寸 GaAs/CdTe(211)B，其样品编号分别为：Egactub005、Egactub008、Egactub009、Egactub010。从图中可以看出在衬底温度 $\sim 280^{\circ}\text{C}$ 时，使用 CdTe/Te 只要大于 $\sim 1/0.99$ 就能完全地抑制特征点的产生，得到表面形貌良好的 CdTe 外延层。另外还需要说明，若在 CdTe 生长过程中选择的 Te 束流过大就可能会在外延层中形成 Te 沉淀，导致缓冲层晶体质量下降；或者是选择的衬底温度太低，也能导致缓冲层晶体质量下降。因此最优化的生长条件对应的衬底温度或者 CdTe/Te 束流比是使 CdTe 外延层表面出现极个别 CdTe 特征点形貌。

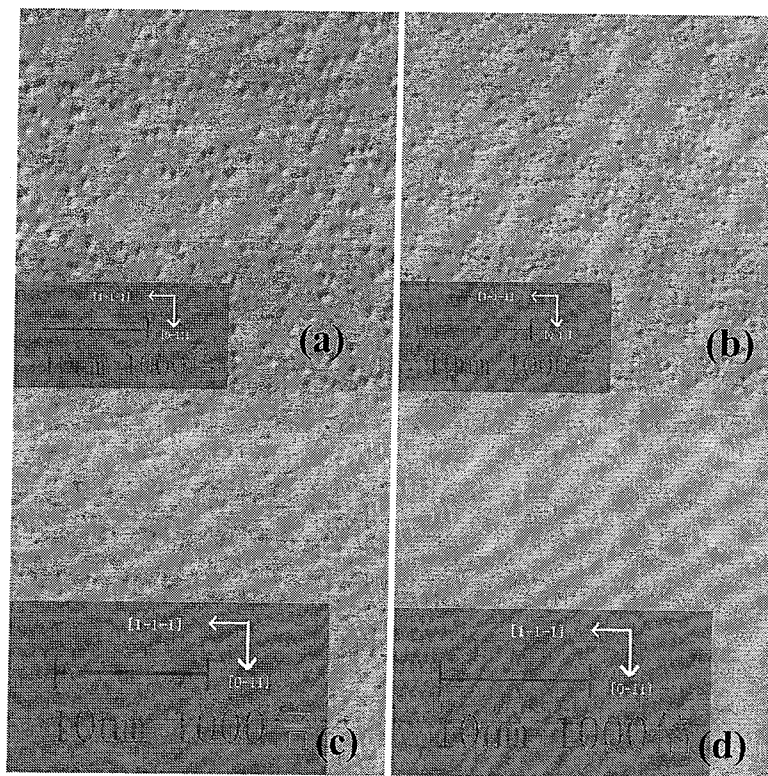


图 4-2 CdTe 束流与 Te 的束流比值分别为：(a)1；(b)1/0.4；(c)1/0.75；(d)1/0.99。

值得一提的是，在 $\text{Zn}_{0.04}\text{Cd}_{0.96}\text{Te}$ 衬底上外延的 HgCdTe 表面也出现过类似 CdTe 短线的表面形貌特征，如图 4-3，短线走向和晶面特征都和 CdTe 表面的类似，密度也高达 $1 \times 10^5 \sim 1 \times 10^7 \text{cm}^{-2}$ 。研究中发现，出现短线形貌的样品对应外延 HgCdTe 前 ZnCdTe 的脱氧温度偏高或者未用 Te 保护，其形成原因可能是 ZnCdTe 表面 Te 原子的反蒸发严重，导致表面缺 Te，而形成类似 CdTe 表面的短线特征。在降低脱氧温度并用 Te 保护的工艺后，此类短线就不再出现。

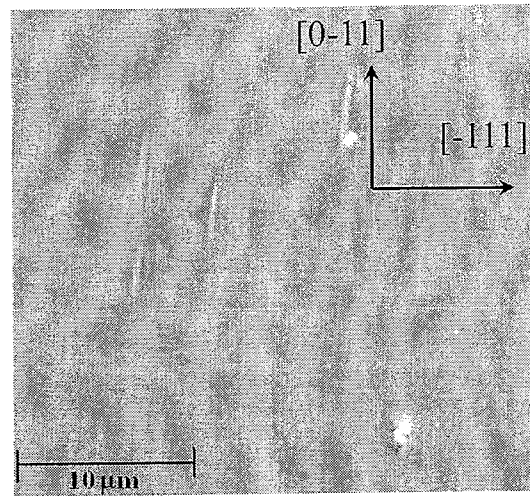


图 4-3 ZnCdTe/HgCdTe 的短线表面形貌

值得注意的是, CdTe 特征点和 CdTe 特征短线的尺寸与外延层厚度无关, 且其下限深度仅为几十纳米, 说明它的成核与衬底无关。在生长过程中, 当束流配比不合适时, 此类缺陷成核发育生长, 生长速率与正常表面的基本相同, 因此尺寸不会随外延层厚度的增厚 V 型放大, 同时后续的 HgCdTe 外延形貌也是如此。另外 EDAX 能谱分析表明缺陷内的元素成分与正常表面的一致, 说明缺陷内仍是正常单晶 CdTe。因此, 这两种缺陷是否对光敏元性能造成恶化影响还有待进一步的实验分析。

4.1.2 与衬底相关的 CdTe 表面缺陷

在前期的 GaAs 基 HgCdTe 表面形貌研究中发现, 有一类缺陷起源于 GaAs 衬底, 这类缺陷有圆形边界, 缺陷内部为多晶结构, 和正常表面相比可以呈下陷或者凸起, 并且一般有沿[011]方向的拖尾, 在~10μm 的 HgCdTe 外延层表面尺寸为 3~7μm, 此类点被我们定义为 3 类点⁴, 起源可能和落在衬底表面的灰尘颗粒相关⁵。

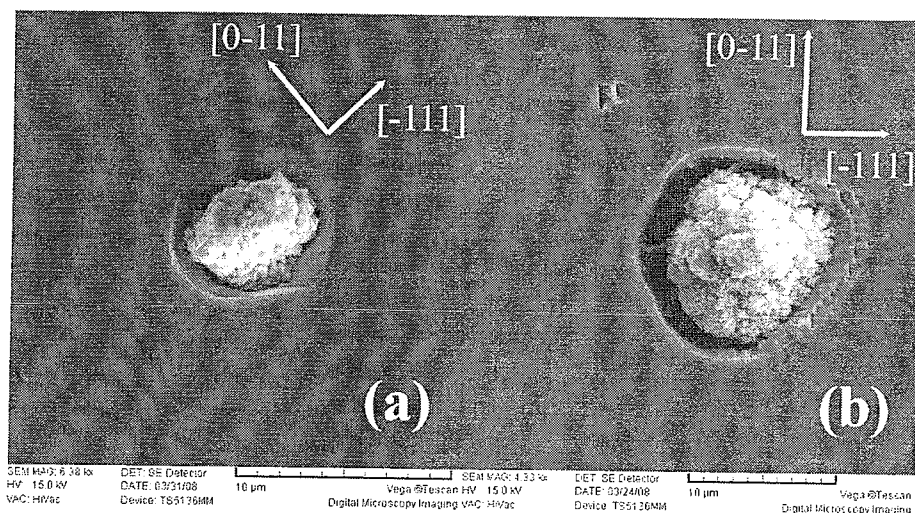


图 4-4 源于 GaAs 衬底的 CdTe 和 HgCdTe 表面缺陷

如图 4-4(a)为 GaAs/CdTe 层表面的 3 类点 SEM 图,和 HgCdTe 相似此类缺陷也有沿[011]方向的拖尾,尺寸会随 CdTe 外延层厚度增大而变大,和正常表面相比一般呈凸起状态。此类缺陷在 GaAs 基和 Si 基 CdTe 外延层上都可见,并且是常规 GaAs 基 CdTe 外延层表面缺陷的主要部分。这类缺陷将全部延续到 HgCdTe 层中,缺陷尺寸进一步放大,图 4-4(b)为外延 HgCdTe 后的呈凸起的 3 类缺陷 SEM 图。此类缺陷贯穿整个 HgCdTe 外延层,而且尺寸较大,会严重降低器件光敏元的性能。在严格控制 GaAs 或者 Si 表面状态下,此类密度一般低于 50cm^{-2} 。

与 GaAs 相比, Si 衬底的化学处理工艺繁杂,因此有必要对与衬底相关的缺陷进行甄别,建立 Si 制备及常选规范。

图 4-5(a)中的缺陷,定义为 S1 类缺陷,尺寸从 $4\text{-}40\mu\text{m}$ 不等,形状为基本规则的圆形凹陷,有沿[-111]方向的数根拖尾,SEM 照片可以看出该类缺陷内部呈非晶态结构,与正常表面的交界处仍显示单晶特征。值得注意的是它的尺寸与外延层厚度无关,即对应几千埃厚的 ZnTe 表面也可见尺寸 $4\text{-}40\mu\text{m}$ 的该类缺陷,且出现密度、尺寸以及面分布特征等都具有随机性,与生长温度、束流配比等外延条件无关,由此判断该类缺陷起源于衬底。实验证明其与 Si 衬底的表面预处理工艺直接相关,在改善工艺后,此类缺陷密度大为减少,常规的 3 英寸 Si 基 CdTe 外延层表面的所有 S1 缺陷总数平均约为 10 个。

图 4-5(c)和(e)为外延 HgCdTe 后的该类缺陷形貌照片,圆形凹陷外貌、明显边界和沿[-111]走向拖尾都类似 CdTe 表面 S1 缺陷特征,其内部为疏松的非晶颗粒结构,在外延 HgCdTe 后尺寸略有增大,由于此类缺陷尺寸很大,若坐落于光敏元将直接导致其无信号输出,导致盲元率增大。

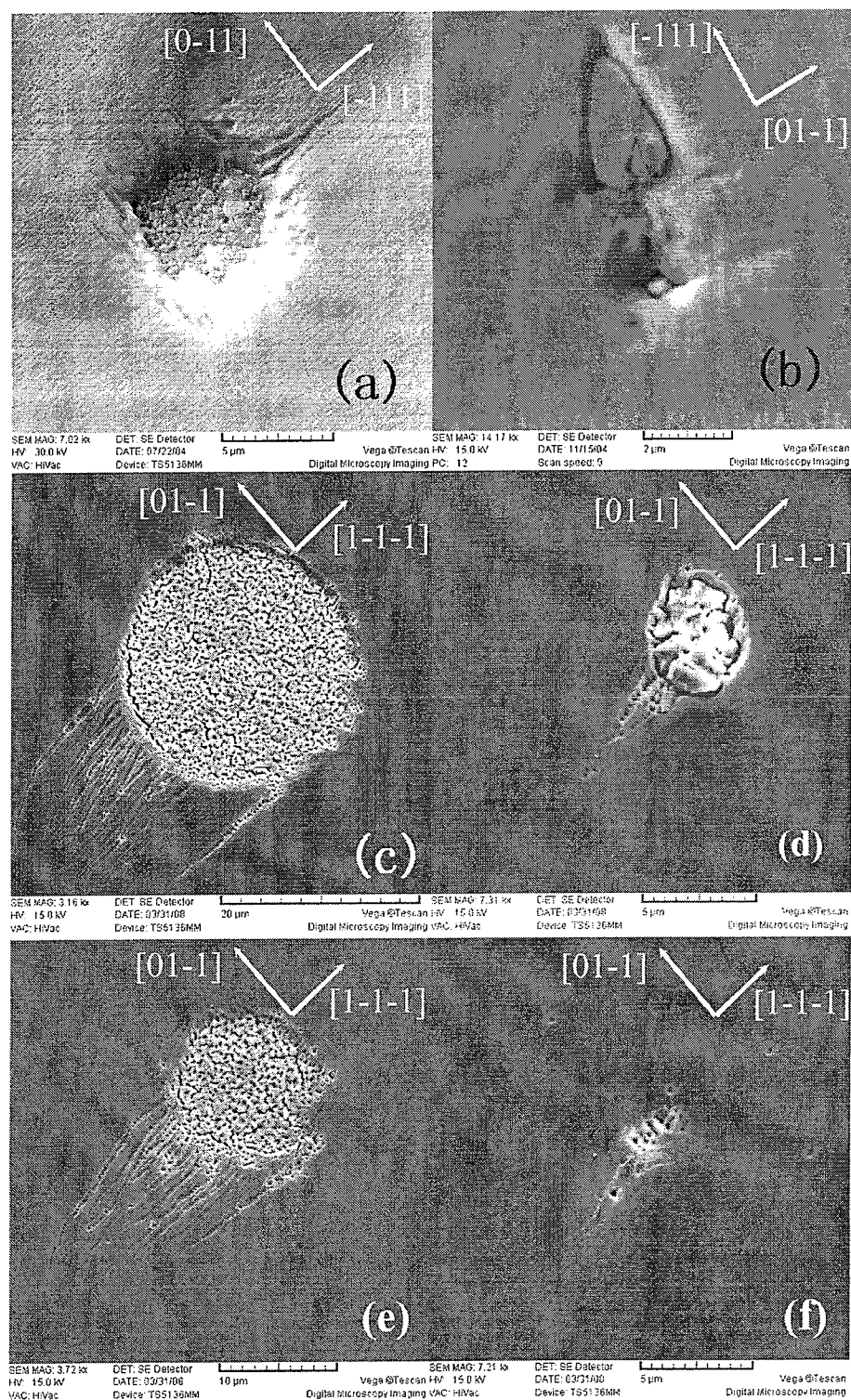


图 4-5 起源于 Si 衬底的 CdTe 和 HgCdTe 外延层表面缺陷, (a)和(b)为 Si 基 CdTe 表面缺陷, (c)~(f)为 Si 基 HgCdTe 表面缺陷。

图 4-5(b)所示的为 S2 类缺陷, 它是 Si/CdTe 上出现的主要缺陷。尺寸一般为 $2\text{-}4\mu\text{m}$, 随着 CdTe 层厚度的增大, 缺陷尺寸有放大特征。形状为较规则的三角形凹陷, 下陷面单晶特征明显, 有的内部可见非晶态结构的堆积。有固定走向, 长边沿 $[-111]$, 另一条边沿

[0-11]。

图 4-5(d)、(f)为外延 HgCdTe 后的该类缺陷形貌照片，形状上可见不明显的三角形特征，边缘无微晶面特征，内部无单晶特征，沿固定走向。尺寸较大的内部为疏松的非晶颗粒结构堆积形成凸起，尺寸较小的内部呈凹陷。对应合适的 HgCdTe 生长条件，S2 类缺陷的尺寸比外延 HgCdTe 前明显增大。陈路在博士论文中对此类缺陷的起源进行过分析⁶，通过优化衬底处理工艺后此类缺陷依然存在，且出现的密度较随机，因此是否来源于不合适衬底预处理过程目前尚无定论，将之归为与衬底相关的原因是在 GaAs 衬底上并未观察到此类缺陷的存在。目前 Si 基 CdTe 表面的 S2 型缺陷密度为 $100\sim 200\text{cm}^{-2}$ ，由于此类缺陷贯穿整个 HgCdTe 层，其对器件的性能影响很大，因此对此类缺陷的抑制是下一步 Si/CdTe 形貌控制的重点。值得注意的是，与 GaAs 相比 Si 在生长前需要先通过 As 钝化工艺进行生长极性选择，因此 S2 型表面缺陷是否与 As 钝化工艺中可能引入的极性缺陷即 AB 型表面缺陷相关将在下一步研究中进行关注。

4.1.3 其他的 CdTe 表面缺陷

在外延 CdTe 缓冲层时我们在生长轮次的末期经历过一种鼓包型表面缺陷，这些缺陷大小在 $3\sim 30\mu\text{m}$ ，有些样品缺陷尺寸均一，有些样品缺陷尺寸不一，缺陷密度从 $1\times 10^2\sim 1\times 10^6\text{cm}^{-2}$ 不等。图 4-6(a)和(b)为 CdTe 缓冲层和 HgCdTe 外延层上的鼓包型缺陷 SEM 照片，缺陷表面边界近似圆形，中间微凸起，内部为多晶颗粒堆积，周围有明显边界，并且随 CdTe 层增厚整个缺陷呈 V 型放大。图 4-6(c)和(d)为外延 HgCdTe 后的鼓包型表面缺陷 SEM 图，也是近似圆形，中心微凸，(d)中横截面显示缺陷尺寸在外延 HgCdTe 后明显放大。

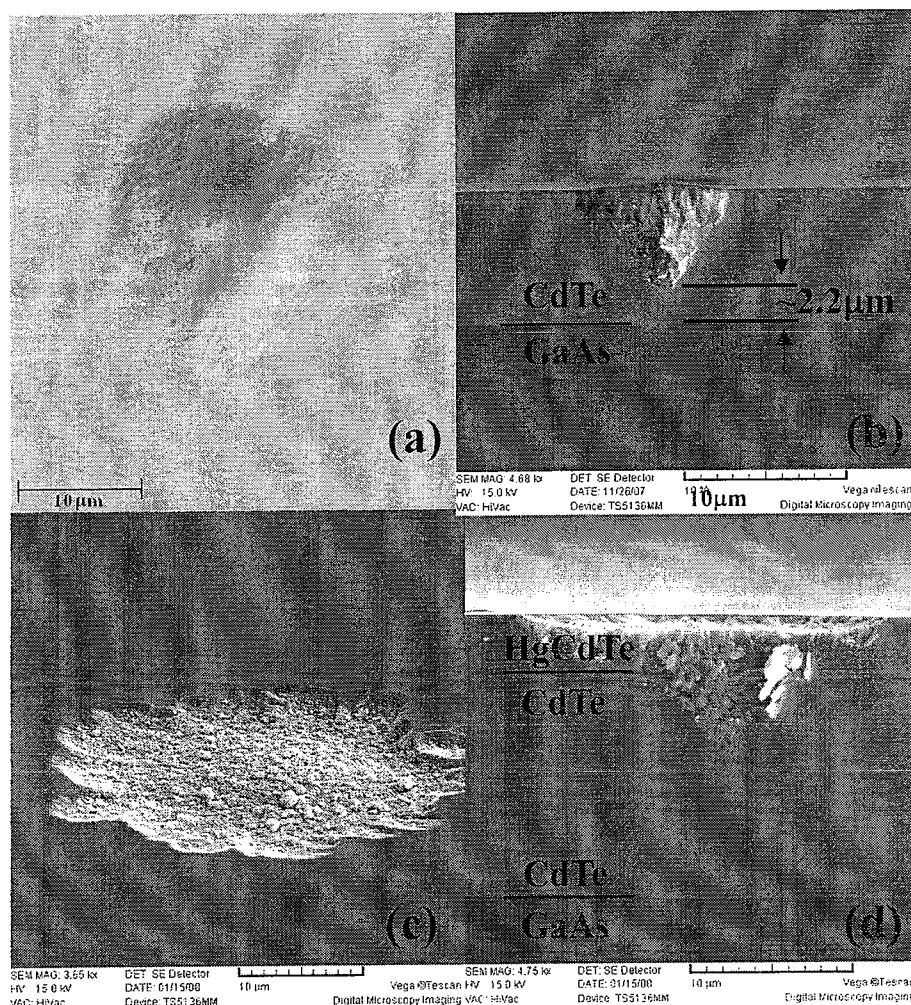


图 4-6 CdTe 缓冲层和 HgCdTe 外延层上的鼓包型缺陷照片, (a) 为 CdTe 鼓包型缺陷的光学照片, (b) 为 CdTe(样品编号为 Egactub097)鼓包型缺陷的横截面 SEM 照片, (c) 和 (d) 为外延 HgCdTe 后的鼓包型缺陷正面和横截面 SEM 照片

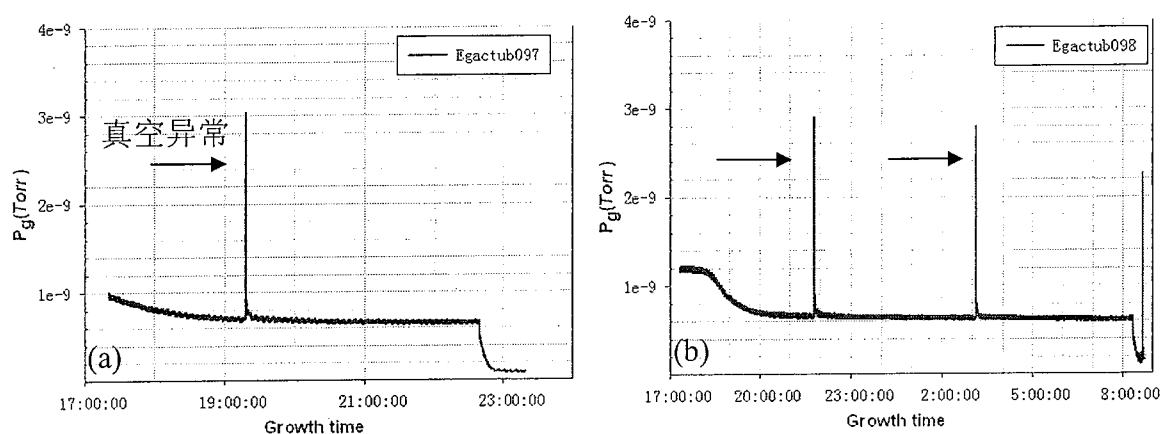


图 4-7 样品编号为 Egactub097(a) 和 Egactub098(b) 在 CdTe 生长过程中的生长室的真空 P_g 的变化。

经分析发现, 此类缺陷的起源与 MBE 生长室内的杂质蒸发相关, 所有出现鼓包型缺

陷的样品在 CdTe 生长过程中生长室真空(P_g)都出现过异常变差(异常过程约为 30 秒),而其他正常的样品则未出现过此现象。如图 4-7 所示, (a)图显示了其中一个样品在 CdTe 生长过程出现一次真空异常, 从图上根据真空变差的时间和 CdTe 的生长速率可以估算出鼓包起源于 CT 层 $\sim 1.9\mu\text{m}$, 而图 4-6(b)中 SEM 上观察到的缺陷底部距离衬底表面 $\sim 2.2\mu\text{m}$, 考虑到缺陷为 V 型结构, 解理到的缺陷横截面未必能经过缺陷的最底部, SEM 上看到成核处与衬底表面的距离偏大是可以理解的, 因此可以说从真空监控曲线上推算出的缺陷成核深度和从 SEM 观察得到的成核深度基本相一致。图 4-7(b)显示了另一个样品在 CdTe 生长过程中出现二次真空异常, 第二次真空异常对应的生长时间是第一次异常的两倍左右, 而此样品经显微镜观察, 其表面也同时出现了 $\sim 20\mu\text{m}$ 和 $\sim 10\mu\text{m}$ 两种尺寸的表面缺陷, 说明缺陷在尺寸分布上也和真空变化相一致。需要说明的是, EDAX 并未在解理横截面上的缺陷底部发现有其他杂质的存在和组分偏离, 这可能由于未解理到缺陷的最底端或者是杂质的含量太低而导致 EDAX 的现有分辨率无法检测出。

通过以上的分析, 可以确认 CdTe 的表面缺陷与生长过程中的真空出现异常相关。另外, 在 MBE 腔体经过清洁与烘烤维护后的新轮次内则未出现此类真空异常变差现象和 CdTe 表面的鼓包型缺陷, 因此怀疑此类现象与生长周期过长, 生长室腔体可能引入其他杂质有关。

4.2 HgCdTe 表面缺陷

4.2.1 研究基础

HgCdTe 表面缺陷的形貌有多种, 有些是下陷坑, 有些是突起点, 有些为下陷坑和突起点的结合。近年来, 不少文献报道了对 HgCdTe 表面缺陷的观察和分析^{7,8,9,10,11,12,13,14}, 对 HgCdTe 表面缺陷作了分类并分析了其中一些缺陷的成核机制。其中 HgCdTe 表面的下陷型缺陷是最常见的缺陷类型, 在研究中受到最多的关注, 这种缺陷被称作 voids^{8,9,10}、V-shape defects^{11,12,13}、surface-craters¹⁴。这类缺陷, 特别是尺寸较大的, 若是位于光电二极管的结区, 无疑会大大降低二极管的性能⁵。Zandian⁷ 等人认为该类缺陷起源于衬底表面的一些灰尘; 而 I.V. Sabinina 等人^{12,13} 则认为此类缺陷的成核始于 HgCdTe 生长面上多余的 Te; Y. Chang 等人¹² 认为此类缺陷主要起源于 HgCdTe 层, Te₂ 的裂解在缺陷的成核中扮演着重要的角色, 他们认为通过增大 Te 裂解程度和优化生长工艺能减少 HgCdTe 的此类表面缺陷。

我们曾总结和分析过生长工艺、衬底表面处理等因素与不同表面缺陷的关系, 将观察到的缺陷分为 5 类。1 类和 2 类缺陷与生长过程表面缺 Hg 相关; 3 类缺陷与衬底相关; 4 类缺陷和表面富 Hg 相关; 5 类缺陷对应于生长时衬底温度比优化值低 $\sim 2^\circ\text{C}$ ¹⁵。1 类、2 类和 3 类缺陷尺寸比较大, 1 类和 2 类缺陷尺寸分布在 $\sim 10\mu\text{m}$ 到 $\sim 30\mu\text{m}$, 3 类缺陷在 $\sim 10\mu\text{m}$ 的

HgCdTe 中典型尺寸为 $3\text{-}7\mu\text{m}$ ，这些缺陷在 HgCdTe 中的深度较深，对器件的危害很大。图 4-8 为 HgCdTe 的缺陷密度与生长温度、Hg/Te 束流比的实验关系。为了得到最低的位错密度和好的表面形貌，就要使生长条件靠近图中 void 侧控制线的左边，通过严格地控制生长条件和衬底处理工艺，GaAs 上外延的 HgCdTe 材料表面缺陷($>2\mu\text{m}$)密度能控制在 300cm^{-2} 以下。

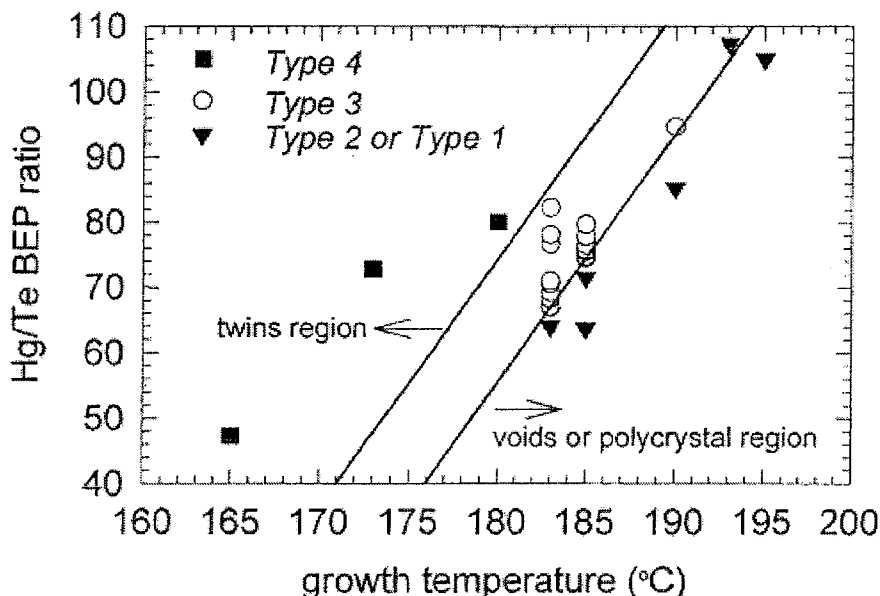


图 4-8 HgCdTe 的缺陷密度与生长温度、Hg/Te 束流比的实验关系¹⁵

本节对替代衬底上 HgCdTe 生长过程中新发现的几种表面缺陷起源进行研究，并讨论如何通过优化生长工艺来抑制这些缺陷的产生。

4.2.2 与杂质相关的 HgCdTe 表面缺陷

在外延 HgCdTe 的过程中，有时在衬底处理和生长条件都合适的情况下会碰到一种簇团分布的缺陷，它们的密度大大超出正常密度水平。这类团聚状分布缺陷的形貌和 3 类缺陷类似，但却有着不同的成核机制，经研究发现此类缺陷的起源与 Hg 源玷污相关。通过光学显微镜和 SEM 的观察，这些缺陷呈放射状分布在 3 英寸 HgCdTe 外延层表面，且主要分布在样品的中心区域。为了简单区别，根据他们外观上的不同将他们分为两种类型，分别列于图 4-9 和图 4-10。

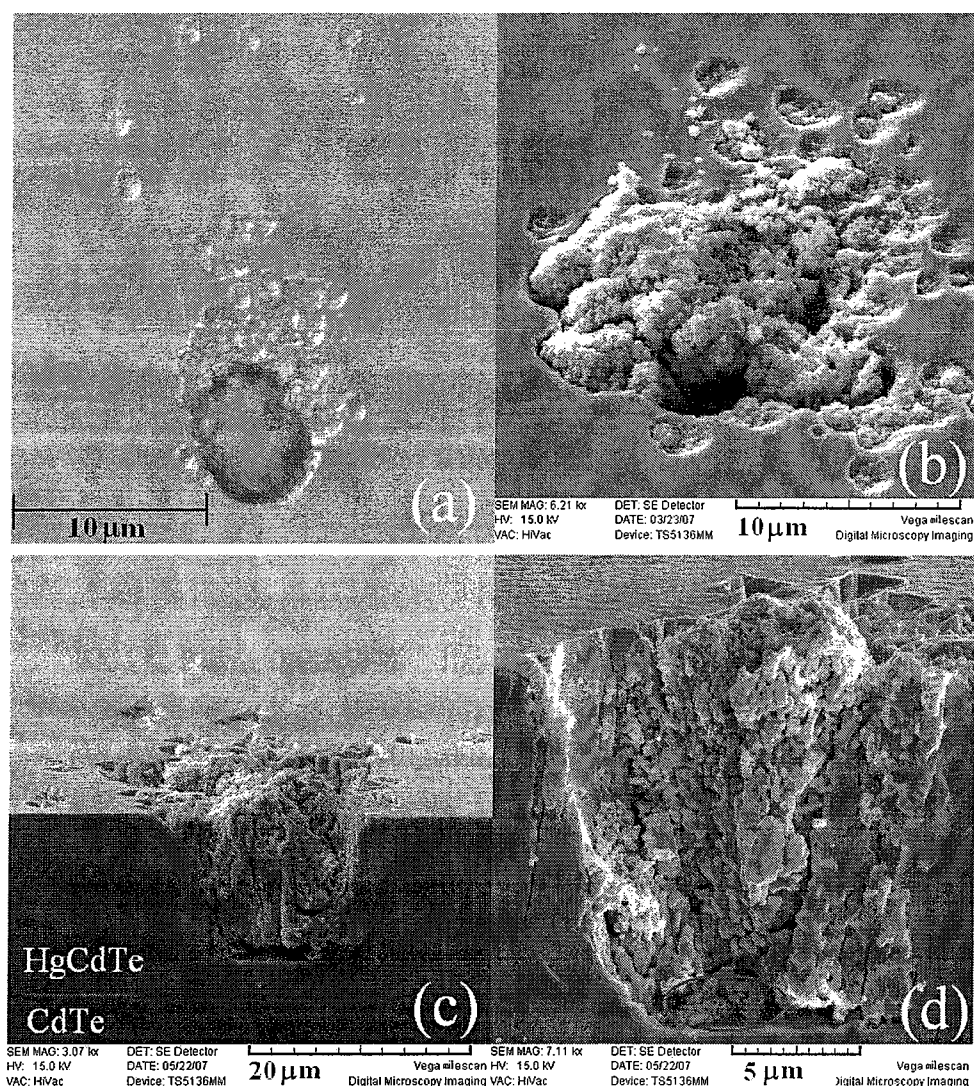


图 4-9 和杂质相关的表面缺陷的光学显微照片(a)和 SEM 照片, (a)典型缺陷的光学显微照片, (b)大凸起点和周围下陷点共存, (c)为凸起点横截面照片, (d)凸起点横截面照片并能看出底部的杂质。

图 4-9(a)~(d)为其中一类, 图(a)(b)显示该缺陷由中间大凸点和边缘团聚分布小凹点组成, 中间大凸点为多晶颗粒堆积而成, 且明显高于 HgCdTe 正常表面, 在厚度为~10 μm 的 HgCdTe 表面大凸点的尺寸为 5~10 μm。图 4-9(c)(d)为缺陷横截面 SEM 照片, 图中显示大凸点起源于 HgCdTe 层中, 有着清晰且平滑的底面, 内部呈多晶圆柱体, 尺寸几乎不随 HgCdTe 厚度变化。

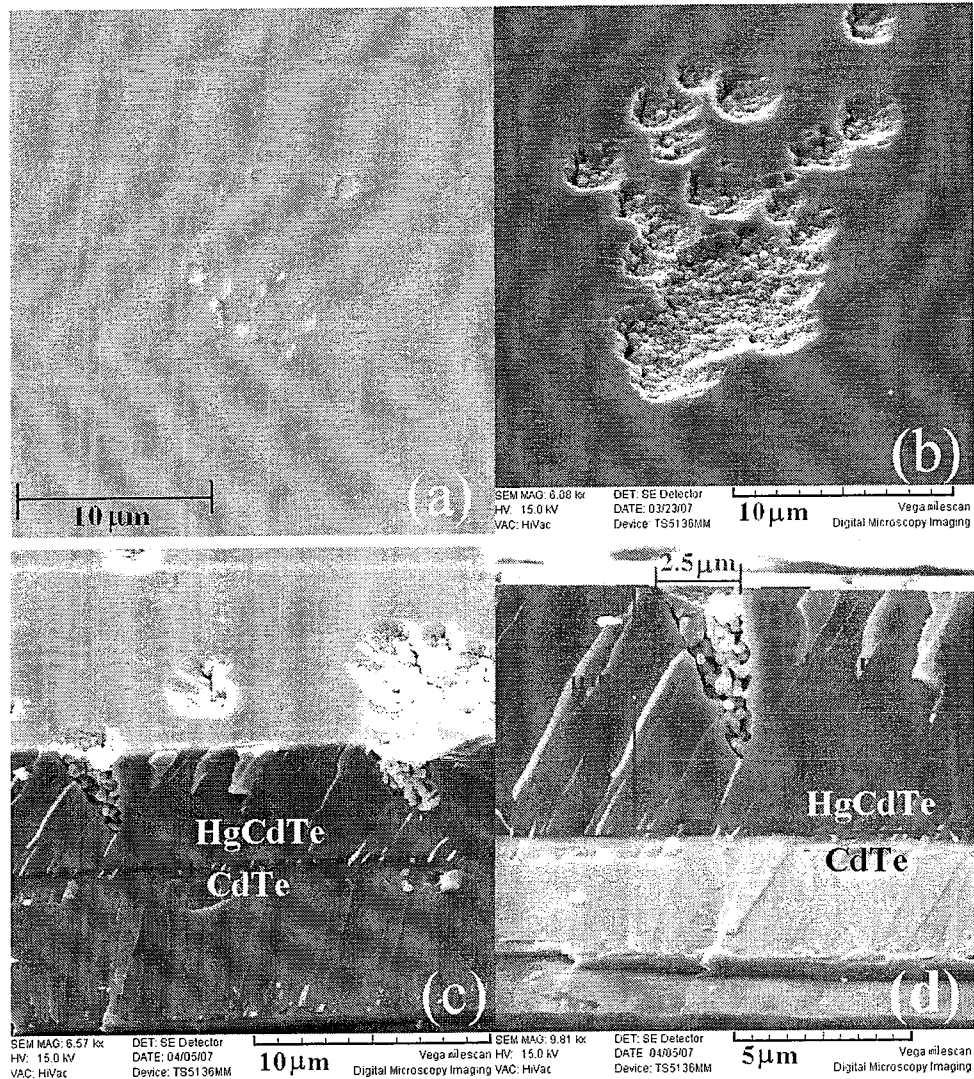


图 4-10 另一组和 Hg 源中杂质相关的 HgCdTe 表面缺陷的光学照片(a)和 SEM 照片, (a)典型缺陷的光学照片, (b)团聚状分布的下陷型表面缺陷, (c)和 (d) 为下陷型缺陷的横截面照片。

图 4-10(a)~(d)为另一类, (a)为缺陷的正面光学照片, (b)为缺陷的正面 SEM 照片, 图中显示整个缺陷为十多个下凹缺陷(下陷缺陷)团聚组成。这些凹陷缺陷和图 4-9 中的缺陷在形貌上类似, 有着光滑的近似圆形的表面边界, 尺寸为 1~3 μm, 边缘一般有一两根沿[0-11]方向的拖尾。图 4-10 (c)(d)为缺陷的横截面照片, 显示出缺陷起源于 HgCdTe 层, 内部呈多晶疏松状结构。图(d)显示缺陷有着清晰的边缘界面并且随着 HgCdTe 的生长呈 V 型迅速放大, 在 4.9 μm 厚的 HgCdTe 层中尺寸发展至 2.5 μm。

另外, 对凸起缺陷、下陷缺陷内部及正常表面的 EDAX 分析发现凸起和下凹缺陷内部相对正常表面严重缺 Hg。图 4-9(d)中的凸起缺陷底部红线圆圈标记处显示出稍暗的颜色, 经 EDAX 分析发现, 圆圈内部物质主要由 C 元素、O 元素和 Zn 元素组成, 原子百分比分别为 35%, 22% 和 16%, 因此极可能为 HgCdTe 生长过程中落在生长面上的杂质。然而, EDAX 只在个别的凹陷型缺陷底部发现有 Zn 和 C 元素的存在, 大多数凹陷型缺陷底部并

未发现其他杂质元素,这可能由于 EDAX 的分辨率不够高无法检测出微量元素的存在或者是解理面上的缺陷底部偏离缺陷真正起源处。表 1 中列出了凸起缺陷、下陷型缺陷和正常表面与 HgCdTe 外延层组分相比后得到的各元素原子百分比增量。可以看出凸起缺陷内部存在缺 Hg 和富 Te,下陷型缺陷内部则严重缺 Hg。

表 1 缺陷和正常表面的 EDAX 能谱中 Hg、Cd 和 Te 的原子百分含量与组分相比的结果。并对凸起点和下陷点作了比较。

原子百分含量(%)	表面缺陷		正常表面
	凸起缺陷内部	下陷缺陷内部	
Hg	-28%	-59%	-1%
Cd	+24%	+138%	+1%
Te	+12%	+1%	0

Note: +means excess, -means deficiency.

通过 SEM 和 EDAX 分析知道,这类团聚状分布缺陷起源于 HgCdTe 外延层,和杂质有关,相对而言由 Hg 源玷污而引入杂质的可能性大些。因此为了和 HgCdTe 中其他缺陷成核机制区分开,证明此类缺陷与 Hg 源玷污的相关性,设计了 CdTe 表面上杂质玷污效果实验。首先我们在 3 英寸的 GaAs 上外延一定厚度的 CdTe 缓冲层,然后我们分别进行两个实验,一,在 CdTe/GaAs 衬底温度为 $\sim 190^{\circ}\text{C}$ 时,单独开 Hg 源照射 20min,接着在衬底温度为 $\sim 300^{\circ}\text{C}$ 时外延生长 $\sim 2\mu\text{m}$ CdTe,得到的 CdTe 样品定为 g059;二,在温度为 $\sim 300^{\circ}\text{C}$ 的 CdTe/GaAs 衬底上,用 Hg 源一直照射下外延生长 $\sim 2\mu\text{m}$ CdTe,得到的 CdTe 样品定为 g060。实验前后 g059 和 g060 的表面照片如图 4-11 所示,两个样品在实验后表面都出现了团聚分布的 CdTe 表面缺陷,而且它们在 3 英寸 CdTe 表面中心区域出现的几率也较边缘区域大,这些分布特征和 HgCdTe 表面的团聚缺陷是相似的,见图 10(b)和(d)。从图 4-11 (e)(f)对比中更可以看出 CdTe 表面出现的缺陷和 HgCdTe 表面团聚缺陷的相似性。图 4-11 (g)-(k)为 g059 和 g060 的正面的 SEM 照片,图中的团聚缺陷边缘下陷,中心为突起的多晶颗粒,尺寸为 $1\sim 6\mu\text{m}$ 。在 g059 和 g060 的 CdTe 生长过程中开 Hg 源照射,能造成 CdTe 表面团聚缺陷形成的原因就只有 Hg 源中的杂质。g059 的实验在低温下开 Hg 源照射 CdTe 表面, Hg 源中杂质粘附于生长面,汞原子也能吸附于 CdTe 表面,但在关 Hg 源后,衬底温度上升过程中, Hg 原子被蒸发,而表面粘附的杂质很难被蒸发掉,成为了再生长 CdTe 的缺陷起源,因此是 g059 的表面缺陷全部成核于 Hg 源照射过的 CdTe 生长面。从图 4-11(l) g059 的缺陷截面照片,可以发现这个缺陷成核于 CdTe 层中离表面约 $2\mu\text{m}$ 的位置,这正是开 Hg 源照射过的 CdTe 生长面位置。g060 的实验是在高温下一直开 Hg 源照射生长面,汞原

子一到 CdTe 表面立即被蒸发，而杂质则粘附在了 CdTe 表面，成为了 CdTe 的缺陷起源。因此 Hg 源中的杂质能使 CdTe 表面产生缺陷，同样也能使 HgCdTe 表面产生缺陷，且 HgCdTe 的生长过程缺陷的引入机制和 g060 更接近，杂质都是在的各个生长面随机成核。从这类 HgCdTe 表面缺陷的分布特征和 g059、g060 表面缺陷分布特征的相似性，有理由推断 HgCdTe 表面团聚状缺陷的成核与 Hg 源中的杂质玷污相关。

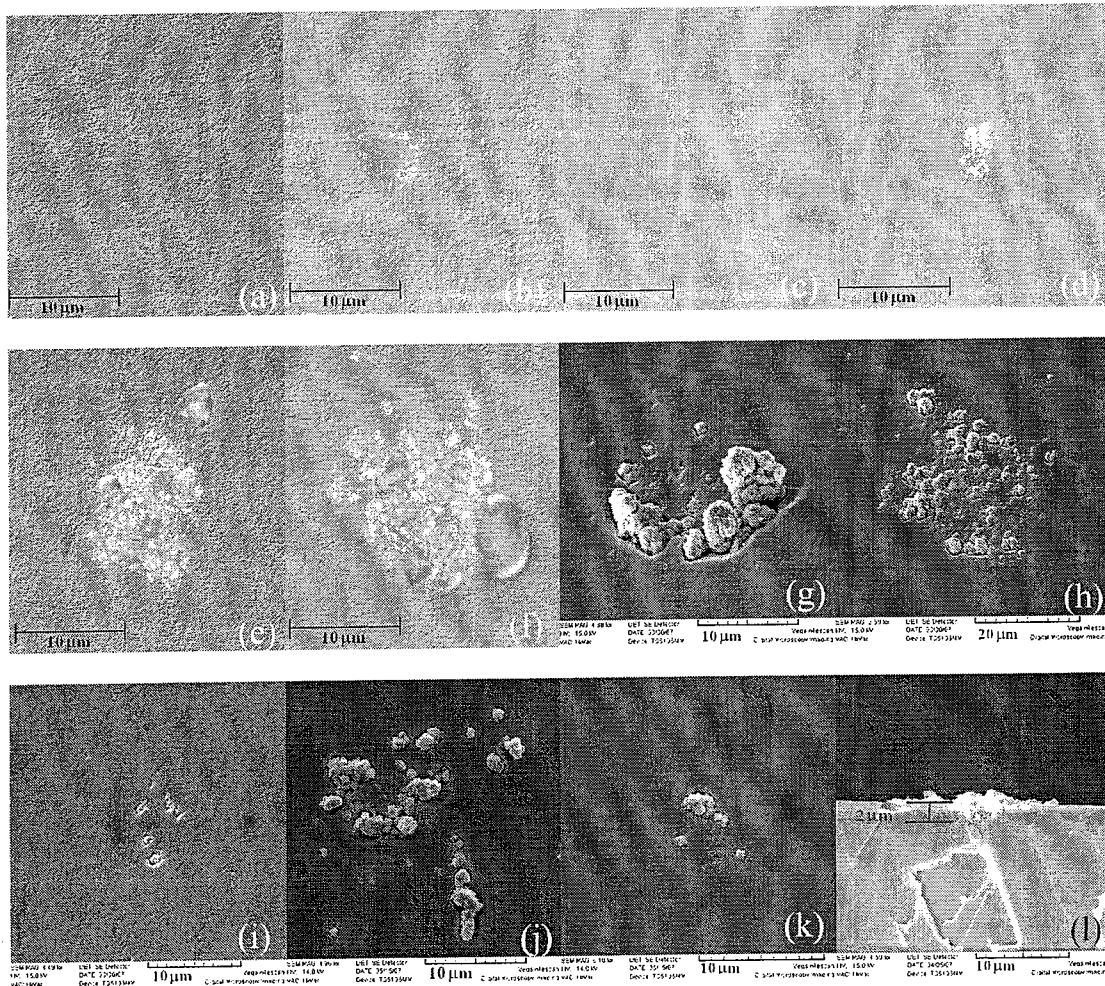


图 4-11 与杂质相关的 CdTe 和 HgCdTe(f)表面缺陷的光学显微照片和 SEM 照片, (a)(c)g059 和 g060 Hg 照射前表面光学照片, (b)(d)g059 和 g060Hg 照射后表面光学照片, (e)另一张 g059 的表面缺陷光学照片, (f)HgCdTe 表面缺陷光学照片, (g)-(i)为 g059 表面缺陷照片, (j)(k)为 g060 表面缺陷, (l)为 g059 的横截面照片。

Hg 炉一般保持在较低的闲置温度下，这使得 Hg 源很容易被杂质玷污，这些杂质能溶解在液态 Hg 源中，并在生长 HgCdTe 外延层时随着 Hg 蒸发被轻易地带出来，随机吸附于 HgCdTe 生长面，成为表面缺陷的起源。通过严格控制 Hg 源的装卸过程，并经常对 Hg 炉高温除气可以让此类缺陷出现的概率下降。

4.2.3 与 HgCdTe 生长条件相关的表面缺陷

在外延 HgCdTe 时，还观察到一种类似 CdTe 特征点的小圆点缺陷，尺寸 $1\sim 2\mu\text{m}$ ，密度可高达 $1\times 10^4\sim 1\times 10^5\text{ cm}^{-2}$ ，在光学干涉显微镜下，这些小圆点比 CdTe 特征点有更深的颜色，并且这类缺陷常伴随着三角形缺陷和菱形缺陷一起出现，见图 4-12(a)。在前期研究中，菱形点被称为 5 类点，其起源于 HgCdTe 生长温度低于优化温度 $\sim 2^\circ\text{C}$ 时，但可重复性并不好⁴。图 4-12 (b)(c)(d)为三种缺陷的 SEM 照片，可以看出三种缺陷都呈凹陷，缺陷内部都未见多晶颗粒，在形状上有较大的区别，小圆点的下陷面比较圆滑，而三角形点和菱形点的晶面特征更加明显，尺寸也较大。三种缺陷的正面 EDAX 分析结果见表 2，表中有 Zn 元素，是因为 HgCdTe 表面有一层 ZnTe Cap 层，三种缺陷的各原子百分含量都和正常表面有所区别，但都相差不大，未见明显的元素富余或缺失状态。

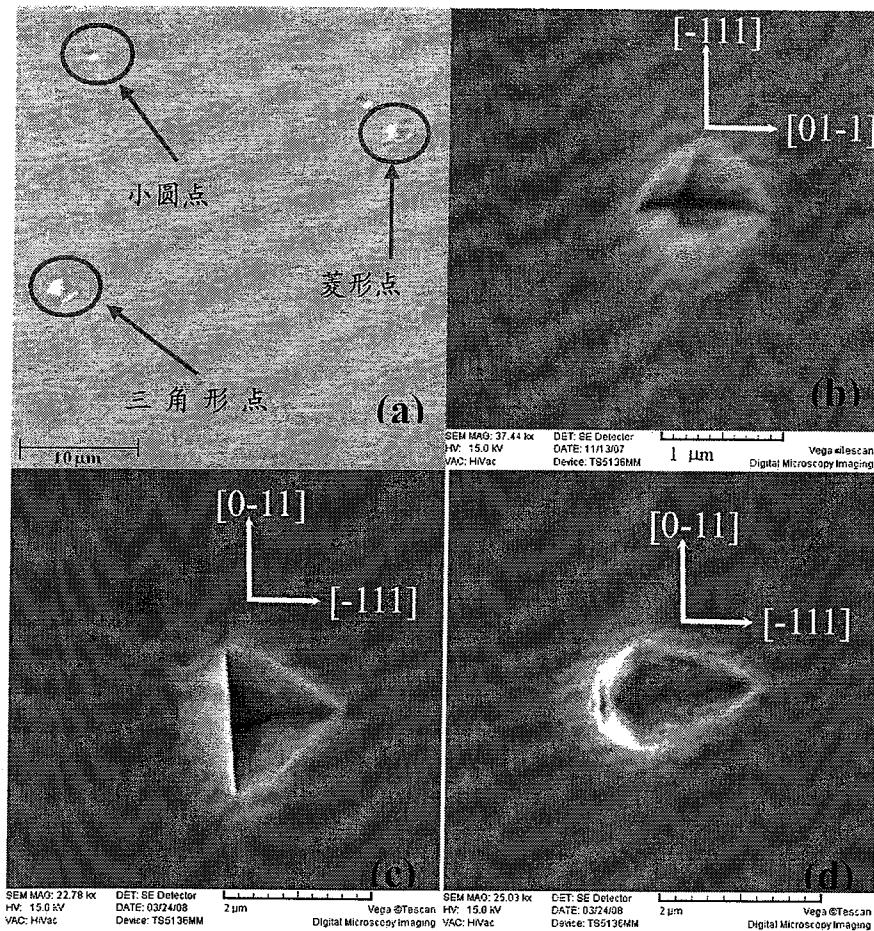


图 4-12 HgCdTe 表面小圆点、三角形点和菱形点。(a)三者共存光学显微照片，(b)小圆点缺陷 SEM 图，(c)三角形缺陷 SEM 图，(d)菱形缺陷 SEM 图。

表 2 HgCdTe 表面缺陷和正常表面正面 EDAX 能谱中的各原子百分含量。

元素原子百分含量 (%)	类 CT 点	三角形点	菱形点	正常表面
Zn	24	22	26	32
Cd	7.5	13	10	8
Te	45	48	45	41
Hg	23	17	19	19

由于小圆点的形貌特征与 CdTe 特征点的形貌类似,在通过实验排除其起源与 CdTe 层相关性后,研究了小圆点缺陷的起源与 HgCdTe 样品的生长条件相关性,发现其起源和 HgCdTe 外延层的生长温度偏低相关。HgCdTe 生长过程中的任何阶段,在生长温度偏低于优化温度时都可能引发小圆点、三角形点和菱形小点的成核。通过优化 HgCdTe 生长温度控制后,此类缺陷得到了完全地抑制。

4.3 小结

本章对 CdTe 和 HgCdTe 的表面形貌控制进行了论述,对 CdTe 和 HgCdTe 表面出现的缺陷进行了起源分析,并讨论了如何通过优化生长工艺抑制不同的表面缺陷。

第一部分为 CdTe 表面形貌控制和表面缺陷抑制研究。首先,对 CdTe 表面出现的与生长条件相关的 CdTe 特征点和 CdTe 特征短线进行了分析,并与 ZnCdTe/ HgCdTe 表面出现的短线形貌进行了比较,得出此类特征点与短线形貌的起源与 CdTe 或者 ZnCdTe 的生长面上的 Cd/Te 化学配比失调相关。此类表面缺陷通过优化生长温度和 CdTe/Te 束流配比可以得到完全的抑制。其次,对 Si 基上 CdTe 特有的两种 S1 型和 S2 型表面缺陷进行了分析,S1 型缺陷起源于衬底表面处理,而 S2 型缺陷起源目前尚无定论,对 S2 型缺陷的起源分析及抑制将作为下一步工作重点。再次,对 CdTe 表面出现的鼓包型表面缺陷进行了分析,并研究其与生长室真空异常的相关性。研究表明鼓包型表面缺陷起源于生长室中存在的杂质脏物,通过缩短生长周期或仔细维护 MBE 腔体的洁净度,可以避免此类缺陷的发生。

第二部分为 HgCdTe 表面形貌的控制及表面缺陷的抑制研究。首先,对 HgCdTe 表面形貌控制的前期结果进行了回顾。其次,重点分析了 HgCdTe 表面的团聚状分布缺陷,并发现其起源于生长面吸附的杂质,最后通过设计实验证明了此类缺陷与 Hg 源的杂质玷污相关。通过严格控制 Hg 源的装卸过程,并经常对 Hg 炉高温除气可以让此类缺陷出现的概率下降。再次,对与生长条件相关的 HgCdTe 表面小圆点、三角形和菱形缺陷的起源进行

了分析,发现三者皆与 HgCdTe 的生长温度偏低相关。通过优化生长过程的温度控制,可避免此类缺陷的发生。

参考文献

- 1 N. K. Dhar, C. E. C. Wood, A. Gray, "Heteroepitaxy of CdTe on (211)Si using crystallized amorphous ZnTe templates.", J. Vac. Sci. Technol. B14(3),1996,p2366.
- 2 S. Rujirawat, Ravid J. Smith, et al, "Microstructural and optical characterization of CdTe/ZnTe/Si(211) grown by MBE", J. Electron. Mater., Vol 27,1998,p1047.
- 3 I.V. Sabinina, A.K. Gutakovsky, Yu.G. Sidorov, A.V. Latyshev. "Nature of V-shaped defects in HgCdTe epilayers grown by molecular beam epitaxy." Journal of Crystal Growth 274 (2005) 339–346.
- ⁴ L. He, Y. Wu, L. Chen, et al. Composition control and surface defects of MBE-grown HgCdTe. J. Crystal Growth, 2001, 227-228: 677.
- 5 M. Zandian, J.M. Arias, J. Bajaj, J.G. Pasko, L.O. Bubulac, R.E. DeWames, J. Electron. Mater. 24 (1995) 1207.
- ⁶陈路, 大面积 Si 基碲化镉复合衬底分子束外延研究, 5.2 节 P69.
- 7 D.Chandra, H.D.Shih, et al. Formation and control of defects during molecular beam epitaxial growth of HgCdTe. Journal of Electronic Materials, 1998, 27: 6.
- 8 D. Chandra, et al. Isolation and control of voids and void-hillocks during molecular beam epitaxial growth of HgCdTe J. Electron. Mater., 2000, 29: 887.
- 9 M. Zandian, et al. Origin of void defects in Hg_{1-x}Cd_xTe grown by molecular-beam epitaxy J. Electron. Mater., 1995, 24: 1207.
- 10 L. H. Zhang and C. J. Summers. A study of void defects in metal organic molecular-beam epitaxy grown HgCdTe. J. Electron. Mater., 1998, 27: 634.
- 11 V. S. Varavin, et al. Molecular beam epitaxy of high quality Hg_{1-x}Cd_xTe films with control of the composition distribution J. Cryst. Growth, 1996, 159: 1161.
- 12 I.V.Sabinina, et al, Defect formation during growth of cadmium telluride (111) and cadmium mercury telluride films by molecular beam epitaxy J. Crystal. Growth, 1992, 117: 238.
- 13 I.V. Sabinina, et al. Nature of V-shaped defects in HgCdTe epilayers grown by molecular beam epitaxy. J. Crystal Growth, 2005, 274: 339–346.
- 14 Y. Chang, et al, "Formation mechanism of crater defects on HgCdTe/CdZnTe(211)B epilayers grown by molecular beam epitaxy," Appl. Phys. Lett. 83, 4785 (2003)
- 15 L. He, Y. Wu, L. Chen, et al. Composition control and surface defects of MBE-grown HgCdTe. J. Crystal Growth, 2001, 227-228: 677.

第五章 大面积 HgCdTe 性能均匀性研究

5.1 研究意义

为了满足红外系统提出的更高空间分辨率的要求, 第三代 HgCdTe 红外焦平面器件的发展趋势是更大规模, 更低应用成本。而 ZnCdTe 衬底因其可用面积小, 价格昂贵已无法适应中短波凝视型大面阵器件制备的需求, 因此在大面积替代衬底上外延高性能 HgCdTe 材料正日趋备受关注。Raytheon 公司报道了 4-inch Si / HgCdTe 和 6-inch Si / HgCdTe 的生长结果, HgCdTe 外延层有很好的组分均匀性和低的缺陷密度, 其 MW-IRFPAs 规模达到 2048×2048 , 其 LW-IRFPAs 规模达到 256×256 ¹; LETI-LIR 实验室也报道了在 4-inch Ge 衬底上外延 HgCdTe 的最新结果², 其 MW-IRFPA 规模达到 1280×1024 。本课题自 2000 年以来已具备在 3 英寸替代衬底上外延 HgCdTe 的能力, 因此大面积 HgCdTe 材料性能均匀性成为关注重点, 包括晶体质量均匀性、表面形貌均匀性和组分均匀性。

使用更大面积的衬底进行外延, 在单个外延片上就能制作出规模更大的焦平面器件或者数目更多的焦平面器件。随着更大规模、更小列阵单元和包含更多结构的焦平面器件进入实用化, 列阵均匀性已经成为表征大规模焦平面性能的重要指标, 并受到越来越多的关注。这些均匀性指标包括光谱响应可操作性(spectrum response Operability)、噪声等效温度可操作性(noise equivalent temperature difference operability)、量子效率均匀性(Quantum efficiency uniformity) 和零偏结阻抗 R_0A 均匀性(zero bias impedance resistance products uniformity)。焦平面器件的这些性能和 HgCdTe 外延材料、器件的制造工艺过程、读出电路的设计以及电路和器件之间的耦合状况都相关。就 HgCdTe 外延材料而言, 其晶体质量、表面形貌和组份均匀性将直接影响着焦平面的均匀性。

因此详细地表征大面积材料的均匀性, 研究其与具体生长工艺的关系, 从而获得改善的方法, 最终提高大面积 HgCdTe 外延层的整体质量和均匀性, 是发展高性能大面阵器件的关键技术。另外, 给出大面积外延层的晶体质量、表面缺陷和组分的全空间分布对于制作器件前的材料筛选工作有很重要的指导意义, 能使材料得到最优化地利用。特别是对 HgCdTe 表面形貌而言, 其对生长工艺最为敏感, 在 MBE 生长工序中有很多因数会导致外延层上缺陷密度和尺寸超过正常值或者整个外延片上缺陷分布的变化; 即使表面缺陷密度在正常水平下, 与晶体质量、组分相比, 其在外延层的空间分布随机性较大, 因此给出表面缺陷的空间分布信息对于研究表面缺陷的起源和材料的筛选就显得尤为重要。

图 5-1(a)为实验室获得的 3 英寸 HgCdTe 外延晶片, 图 5-1(b)显示在理想的情况下, 3

英寸外延晶片能制作成 9 个 640×512 , 8 个 320×240 以及 12 个 128×128 规模的焦平面器件。总之, 获得具有良好的晶体质量、表面形貌和组份均匀性的大面积 HgCdTe 外延材料的是制备高性能大面阵器件的基础, 为大规模器件制备的批量化、标准化提供可能。

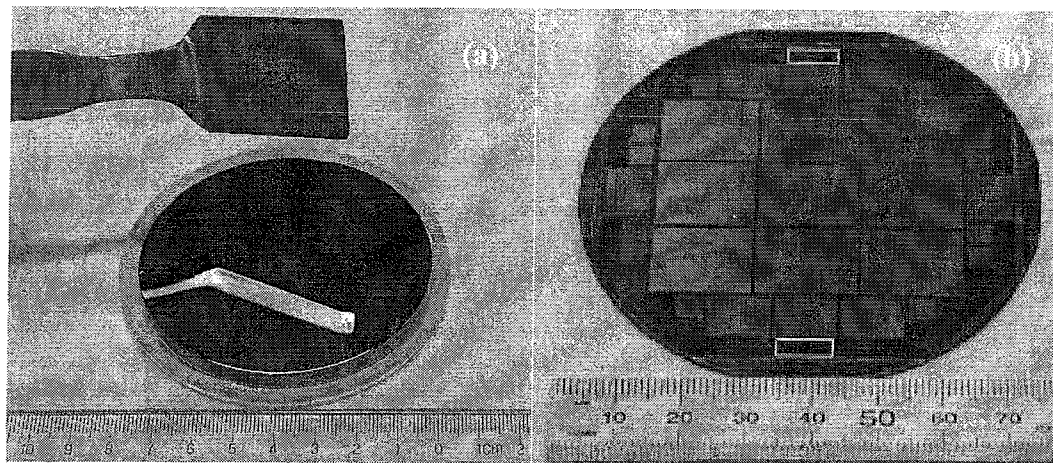


图 5-1 (a) 3 英寸分子束外延晶片, (b) 3 英寸外延晶片上的器件切割示意图。

5.2 大面积外延晶片表面微缺陷 mapping 研究

通常的缺陷统计方式是采用光学干涉显微镜在 50 倍率下沿 3 英寸大晶片的直径取 11 个视场, 肉眼观察并统计出各个视场的缺陷密度, 将 11 个视场的缺陷密度均值作为整个 3 英寸外延片的缺陷密度值。这样评价的方法只能粗略地给出缺陷的径向分布, 其缺点有: 无法给出大面积 HgCdTe 缺陷密度的空间分布特征; 定位困难; 对缺陷的大小缺乏分类统计。

出于对上述的考虑, 本文采用自动对焦扫描显微镜对大面积 MBE 外延晶片上的表面缺陷进行观察。这套系统通过光学显微镜对缺陷散射光进行探测, 再经过图像处理软件分析处理, 就能得到包含缺陷空间分布、尺寸等各种信息的统计表, 即能实现对 3 英寸外延层表面缺陷的自动定位、扫描、计数及尺寸分级功能。由于图像处理系统采用灰度对比的方法对缺陷进行识别判断, 因此如何将软件识别与人眼识别进行统一, 提高自动识别的准确性是本文的关注重点。后文将对这种大面积表面缺陷 mapping 的实现方法进行描述, 给出 3 英寸 GaAs 和 Si 衬底上外延层的表面缺陷空间分布特征, 并说明其对生长工艺的指导作用。

5.2.1 表面缺陷全空间 mapping 的实现方法

5.2.1.1 系统介绍

实现缺陷空间分布 mapping 的系统由光学显微镜(Olympus)、500 万像素的自动快门

数码 CCD(Evolution MP 5.0 RTV)、电脑自动控制 x-y 方向和 z 轴(焦距) 的样品台和图像处理软件 Image-Pro MC 6.0 四个主要部分组成, 如图 5-2 所示。

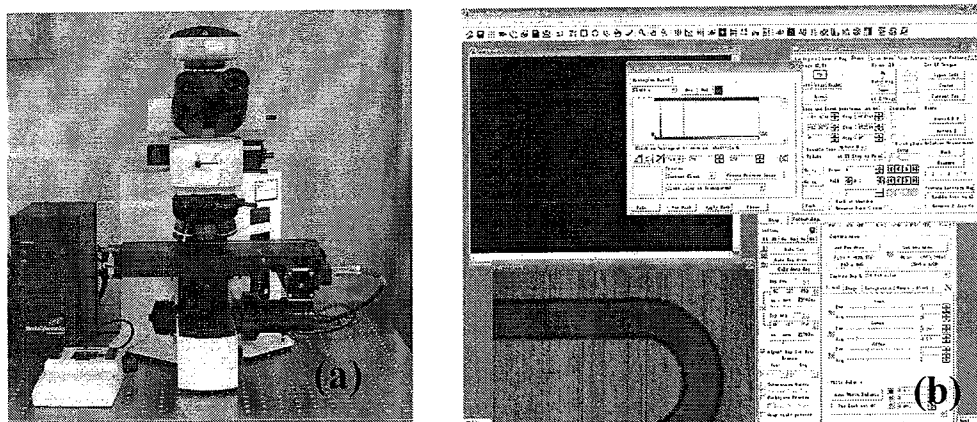


图 5-2 自动定位、扫描、计数及分级显微镜系统. (a) 显微镜、数码 CCD 及样品台; (b) Image-Pro MC 6.0 软件界面

单幅光学照片的识别流程为: 先移动样品到要拍摄区域, 选择好放大倍率(物镜), 手动聚焦清晰后拍摄一张照片, 使用软件将得到的原图转为灰度图并进行背景校正, 从图上抓取灰度反差很大的点, 从而得到表面缺陷的总数和缺陷的尺寸信息。图 5-3 所示为识别过程中的照片更新。要分析大面积的表面时, 需要先逐幅扫描、记录整个表面, 扫描完成后, 再对所有照片进行逐幅统计缺陷密度和尺寸, 扫描和统计缺陷过程都可由软件自动批量完成。

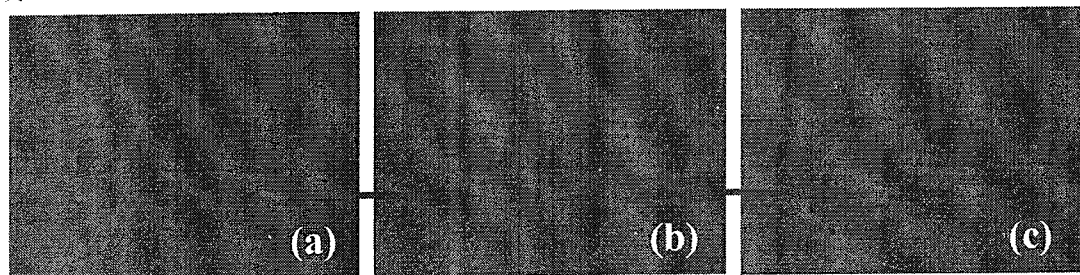


图 5-3 识别过程中的照片更新 (a)拍摄到的原图, (b)灰度图, (c)抓取图上与背景色差较大的缺陷点。

5.2.1.2 成像模式选择

研究中系统地比较了不同的成像模式, 包括有无干涉模式的比较、背景明暗的比较和不同放大倍率的比较, 并发现在暗场和无干涉模式下能够使表面缺陷在视场中地更加真实地显示、更易分辨。而对于放大倍率可以选择的有 50 倍、100 倍、200 倍、500 倍和 1000 倍, 对应物镜为 5×、10×、20×、50×和 100×, 选用低倍率的镜头, 每个视场面积大, 扫描同样面积的晶片表面所需时间少, 但空间分辨率低, 而选用高倍率镜头每个视场面积小, 但空间分辨率高。在 50 倍率下光斑为 $3.5 \times 2.6 \text{ mm}^2$, 理论上只能分辨 $>2 \mu\text{m}$ 的缺陷, 扫描 3

英寸样品的表面并且自动输出缺陷数据统计表需要约 2 小时，大部分时间为计算机从 CCD 中读取照片所消耗；而在 100 倍及更大的倍率下，虽能得到更高的空间分辨率，但由于光斑较小，导致扫描整个 3 英寸晶片所耗时间过长。例如在 200 倍率下能观察到 $>0.7\mu\text{m}$ 的缺陷，但是光斑只有 $0.87\times 0.65\text{ mm}^2$ ，理论上扫描整个 3 英寸表面需要十几小时，因此从耗时的角度考虑，常规 3 英寸样品表面分析采用 5 $\times$ 物镜是比较可取的。

5.2.1.3 自动识别准确性分析

在选定暗场、无干涉和 5 $\times$ 物镜为成像模式后，我们需要考虑在这种成像模式下软件自动识别缺陷个数的准确率和自动尺寸分级的准确率，只有在考虑到这两项准确率后，软件给出的空间密度分布图和尺寸分布图才有参考价值。同时这两项的准确率和软件中参数的选择有很大的关系，要获得可信的缺陷数量，我们需从图片中尽量抓取所有的缺陷，且又要尽量避免晶片表面其它杂散光的影响。经过实验后发现缺陷识别个数的再现性较容易实现，因为缺陷表面一般都较粗糙，它们在暗场下有很强的散射光，相比较下，来自外延片表面其它特征形貌的散射光就弱很多。就以使用 5 $\times$ 物镜时为例，通过调节软件的参数可以使大于 $2\mu\text{m}$ 的缺陷个数识别的准确率达到 99% 以上，固定软件参数时不同样品的个数识别准确率在 95% 以上，基本满足统计精确度的要求。然而，要获得各个缺陷的尺寸的精确测量值却是具挑战性的工作，因为各个缺陷的形状差别大，而对缺陷尺寸也没有一种明确的定义。本研究定义的缺陷尺寸能让不同样品或同一样品的不同区域在缺陷大小上进行有意义的比较，而不必获得每个缺陷形状的精确信息。在这个思路下，通过在软件中选择亮度阈值对缺陷进行抓取并得到代表缺陷的特征多边形区域，定义多边形的外接长方形的长边为缺陷的有效尺寸。本文定义软件输出的缺陷有效尺寸为“识别尺寸”；在 1000 倍率下肉眼观察到的缺陷实际尺寸为“真实尺寸”，“真实尺寸”取值为 1000 倍显微镜下的缺陷最长边。经过实验发现当软件中的识别参数不变时，使用 5 $\times$ 物镜在不同晶片上识别尺寸与真实尺寸偏差约 $\pm 2\mu\text{m}$ 。其中两个样品的表面缺陷自动大小分级的准确性如图 5-4 所示，从图上能看出在 50 倍率下， $>2\mu\text{m}$ 的缺陷尺寸识别准确率基本在 $\pm 2\mu\text{m}$ 内，在此精确度下由软件得到的整个晶片的尺寸分布对研究缺陷是有参考价值的。

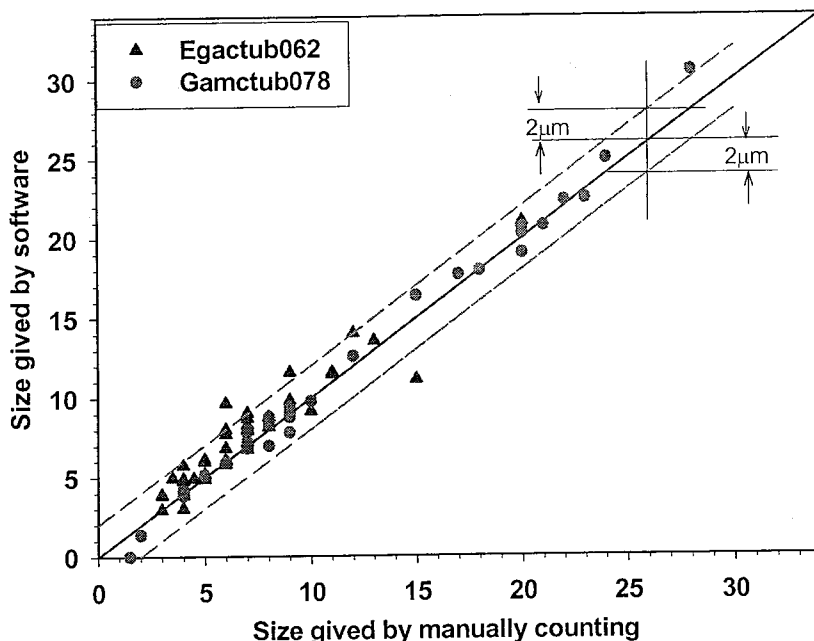
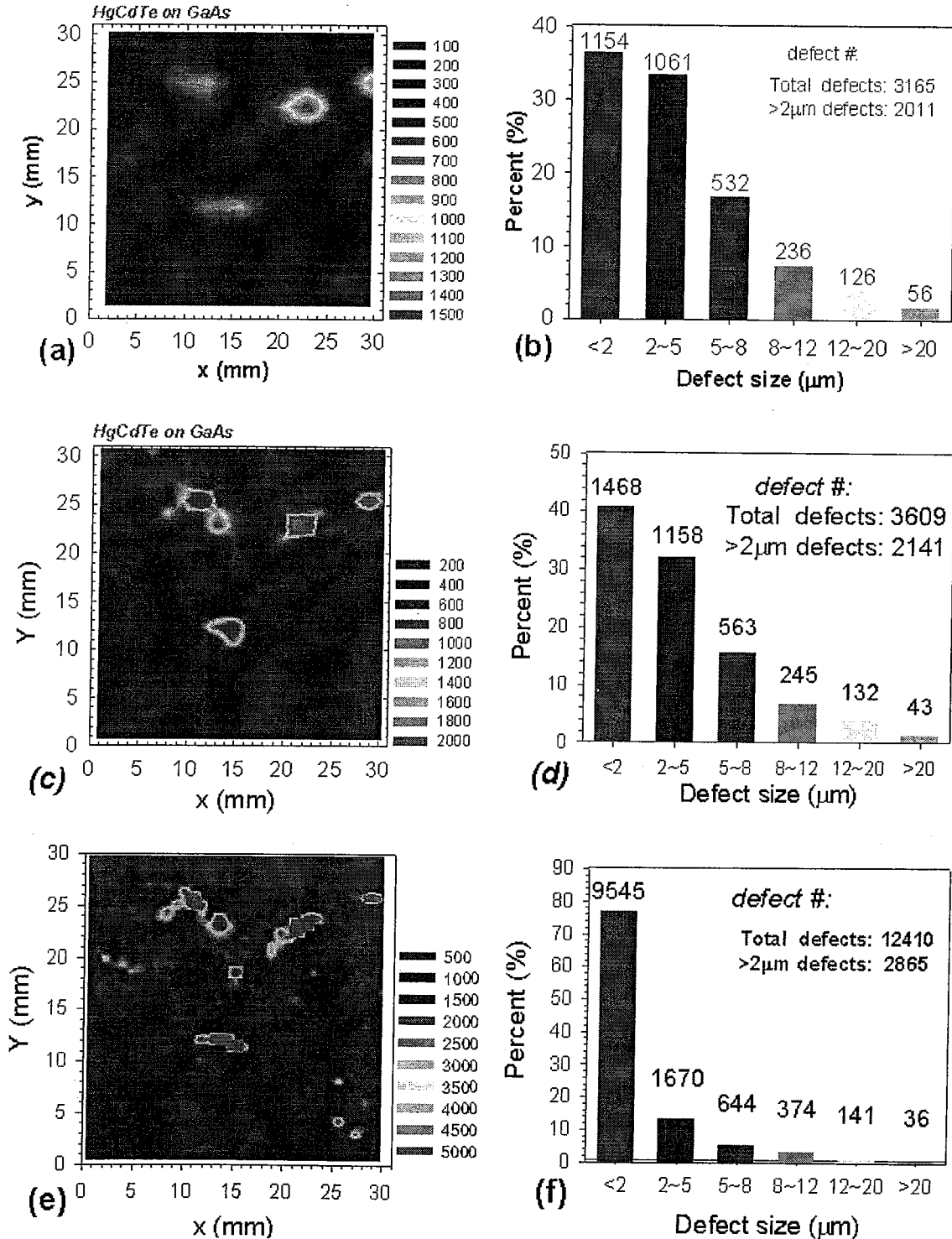


图 5-4 软件参数不变下, 采用 5×物镜时的缺陷识别尺寸和真实尺寸对比。

使用越高倍率的物镜进行观察, 可以提高缺陷的细化尺度, 也更易获得缺陷形貌的细微特征。如在使用 10×物镜时, 软件能识别出大于 $\sim 1\mu\text{m}$ 的缺陷, 而使用 20×物镜时, 软件就能识别出尺寸大于 $\sim 0.7\mu\text{m}$ 的缺陷或者其他表面形貌的细微特征, 而相应的尺寸识别精确度也会有所提高。为了更好地比较不同的物镜倍率下, 软件对缺陷识别精确度的差别, 对样品的同一区域在不同倍率下作了表面缺陷分布 mapping, 如图 5-5 是样品编号为 gamctub082 的 3 英寸 HgCdTe 表面同一边缘区域在不同倍率下缺陷分布 mapping 结果, 图 5-5(b)(d)(f)(g)(h)中缺陷尺寸的分布区间选择是实验性的, 如何选取合理的尺寸分布区间是一个值得斟酌的问题。根据样品的扫描面积和图 5-5(b)(d)(f)中给出的总缺陷个数可计算得到 50、100 和 200 三个倍率下的总缺陷密度, 分别为 319 cm^{-2} 、 369 cm^{-2} 和 1360 cm^{-2} ; $>2\mu\text{m}$ 的缺陷密度分别为 202 cm^{-2} 、 219 cm^{-2} 和 314 cm^{-2} 。这种缺陷密度差异和三个倍率下空间分辨率的不同相关, 50 倍率下只能分辨出真实尺寸 $>2\mu\text{m}$ 的缺陷, 同时由于这个识别极限的存在, 使得部分实际 $>2\mu\text{m}$ 的缺陷的识别尺寸 $<2\mu\text{m}$, 即图 5-5 (b) 中识别尺寸 $\leq 2\mu\text{m}$ 缺陷的真实尺寸 $>2\mu\text{m}$; 而在 100 和 200 倍率下能识别出更多真实尺寸 $\leq 2\mu\text{m}$ 的缺陷, 因此 $\leq 2\mu\text{m}$ 的缺陷数量要比 50 倍率下多, 200 倍下 $<2\mu\text{m}$ 的缺陷大多为 CdTe 特征点形貌, 同时由于分辨率的提高使实际 $>2\mu\text{m}$ 的缺陷的识别尺寸更加接近真实尺寸, 因此在 $2\sim 5\mu\text{m}$ 区间内缺陷数量也增多。值得注意的是, 50 倍率下的总缺陷密度和 200 倍下 $>2\mu\text{m}$ 的缺陷密度的数值接近, 分别为 319 cm^{-2} 和 314 cm^{-2} , 而 200 倍下的物镜分辨率更高, 其分析结果更可信, 可以例证 50 倍下识别尺寸 $\leq 2\mu\text{m}$ 的缺陷的实际尺寸 $>2\mu\text{m}$, 即 50 倍率下的最小识别尺寸为 $2\mu\text{m}$ 。图 5-5(a)(c)(e)中 4 处大的表面缺陷密度异常经确认是由表面碰伤或者沾污引起的,

三幅图的缺陷密度总体水平虽然差别较大,但是空间分布趋势是相似的。在低倍率下的缺陷密度分布图使用粗格显示,更易看出大范围密度的变化趋势和图形,但易放大局部的一些表面特征;高倍率下显示的局部特征更能接近真实的形貌,但小范围的密度波动使整个图形变得复杂,而不容易看出大范围的分布趋势。



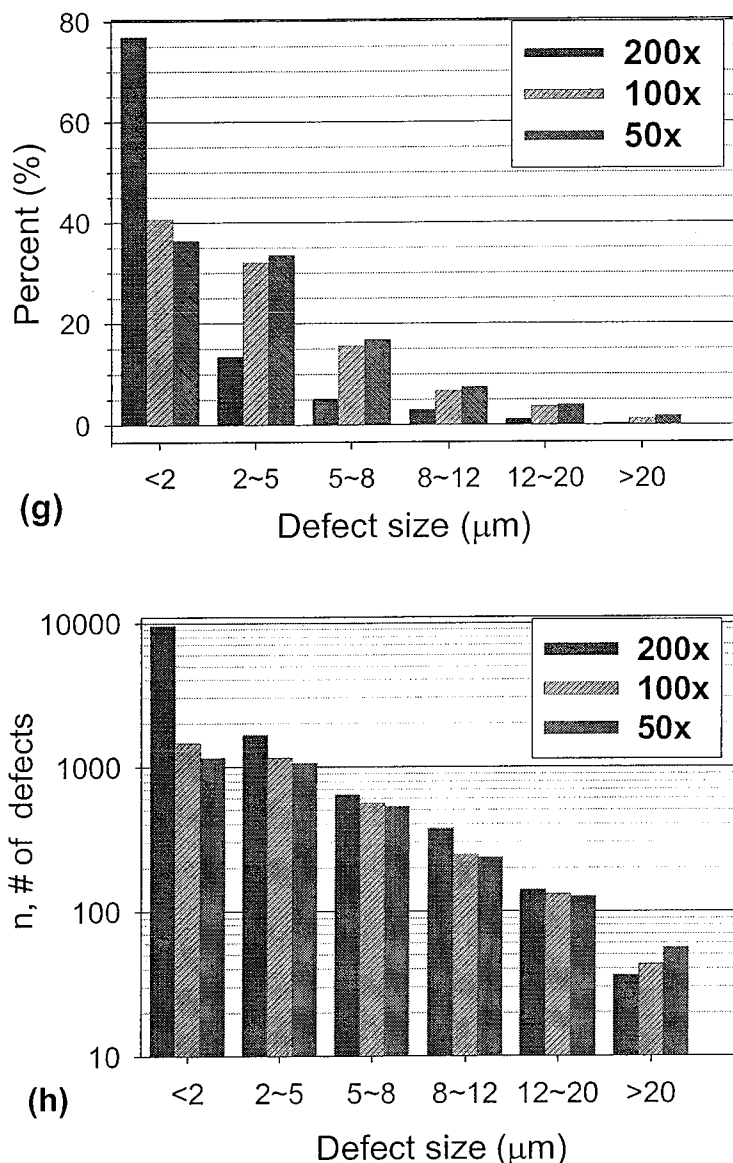


图 5- 5 不同倍率物镜下 GaAs/HgCdTe 外延层边缘同一 $30\times 30\text{mm}^2$ 区域内表面缺陷密度 mapping 和尺寸分布, (a)(b)对应 50 倍率, (c)(d)对应 100 倍率, (e)(f)对应 200 倍率, (g)三种倍率下不同尺寸缺陷的个数百分比分布比较, (h)三种倍率下不同尺寸缺陷个数分布比较

图 5- 5(g)(h)为三种倍率下不同尺寸的缺陷数量分布比较, 图中显示出三种倍率下不同尺寸区间缺陷分布的变化趋势相似, 而且在 $>2\mu\text{m}$ 的各个尺寸区间内缺陷数量分布基本相一致, 这一结果也证实了 50 倍率下缺陷分布图的参考价值。实际应用中, 我们更加关注的是 $>2\mu\text{m}$ 缺陷的密度分布及尺寸分布, 因此使用 50 倍率作为常规检测是可取的。

5.2.1.4 3 英寸晶片自动 mapping 宏程序

在前述内容中, 分析了暗场、无干涉和 $5\times$ 物镜的成像模式下 $>2\mu\text{m}$ 缺陷个数的识别准

确率能达到 95%以上, 尺寸的识别精度在 $\pm 2\mu\text{m}$ 。在这种成像模式下, 要对整个常规 3 英寸晶片进行缺陷密度 mapping 还需要在软件中编写宏程序。由于 3 英寸样品采用无钼钼块的装片方式, 在样品边缘存在着钼块的压痕和因钼块遮挡而未生长的区域, 这些表面特征在暗场下也会发出类似缺陷的散射光, 软件无法区分它们, 易造成缺陷密度的统计不准, 因此在宏程序的设计中考虑了这点, 统计缺陷时能自动去除预设压痕宽度内的表面区域, 且预设压痕宽度值可随实际情况进行调节。如图 5- 6(a)、(b)分别为 50 倍率下拍摄到的样品边缘钼块压痕原图和软件进行缺陷识别后的图像。

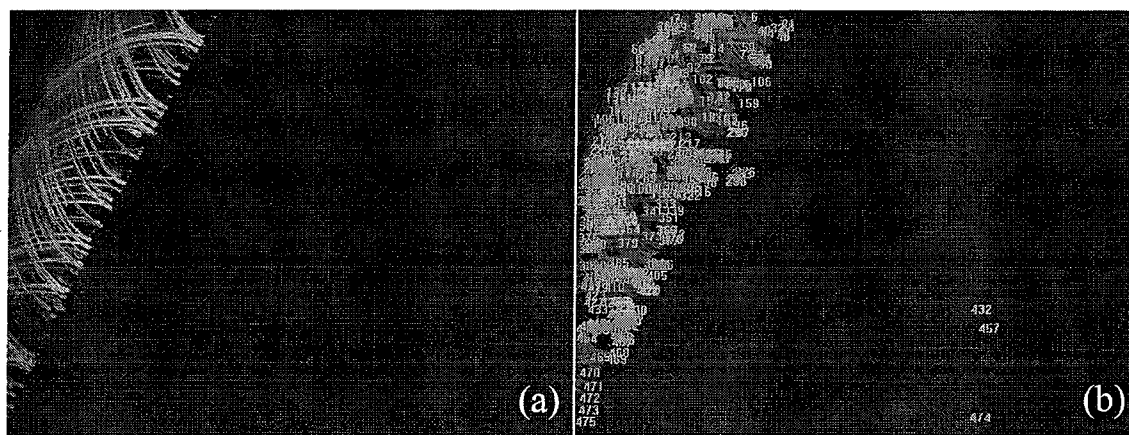


图 5- 6 (a)50 倍率下拍摄到的样品边缘钼块压痕原图, (a)软件自动识别后的图像

另外若采用单一焦距(即 z 轴)来扫描 3 英寸片子, 表面缺陷在形貌上凹凸不一、样品厚度不均匀或微形变、样品台不平整都能造成对缺陷的聚焦不准, 从而造成缺陷的密度或尺寸统计不准, 为了解决这个问题我们用多个聚焦面采集并压缩图像的方法, 即在扫描样品前, 让宏程序记录样品上四个不同位置的手动焦距值, 找出最低聚焦面(Z 最小值, $Z_{\min}$)和焦距区间(z 轴变化范围, ΔZ), 根据预设的焦距步径(Z_{step})得到聚焦面个数 $N = \lfloor \Delta Z / Z_{\text{step}} \rfloor + 1$, 从而获得多个聚焦面的 Z 值($Z = Z_{\min} + n * Z_{\text{step}}$, $n = 0 \cdots N$), 然后在扫描表面时采集同个视场下各个聚焦面的图像, 并压缩成一张图后存储。 Z_{step} 的取值应根据放大倍率确定, 实验中发现使用 50 倍率时 Z_{step} 取 $10\mu\text{m}$ 是合适的, 而 3 英寸的样品 ΔZ 一般小于 $30\mu\text{m}$, 因此 3 英寸样品每个视场采集 1~3 张图像。如图 5- 7 为 3 英寸晶片上使用的宏程序界面, 主要包含照相机成像参数、统计缺陷参数、移动步径和边缘压痕宽度等, 其中照相机成像参数和统计缺陷参数在常规样品分析中不变, 而边缘压痕宽度则需经常调节。

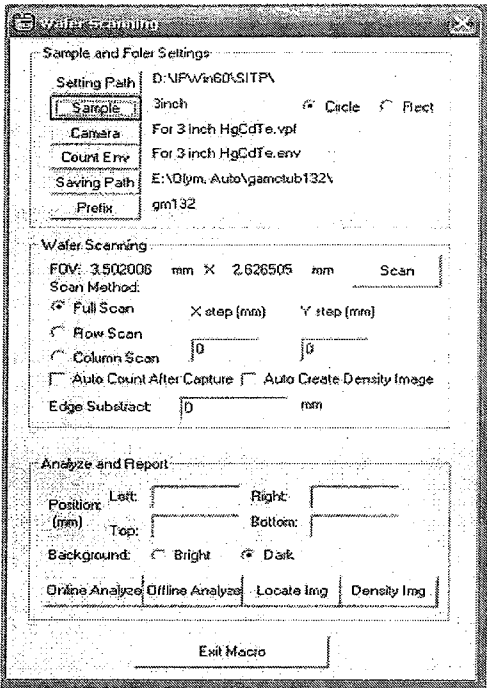


图 5-7 3 英寸晶片上使用的宏程序

5.2.2 3 英寸 CdTe、HgCdTe 外延层表面缺陷密度 mapping

表面 mapping 已经作为 3 英寸 GaAs/HgCdTe 和 Si/HgCdTe 外延层常规的表面缺陷评价手段，同时为了在工艺中对表面缺陷跟踪监控、研究 CdTe 表面缺陷到 HgCdTe 表面缺陷的演变，我们也对 GaAs/CdTe 和 Si/CdTe 的表面缺陷作了 mapping 分析。使用软件中的宏程序对 3 英寸表面进行扫描、分析，并输出表面缺陷的详细数据，再通过数据分析软件进行分析，得到一系列不同种类的图示和统计表。

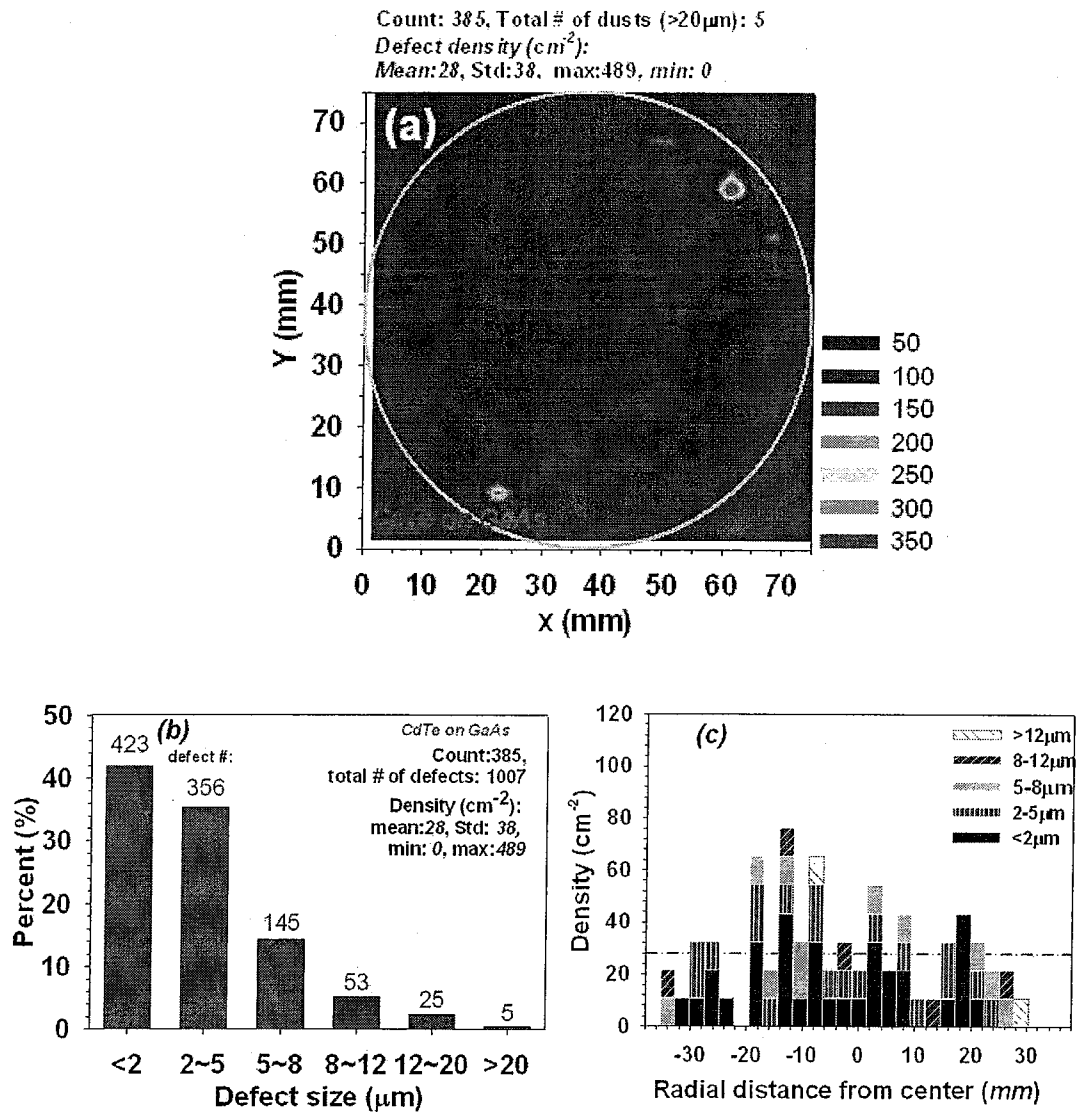


图 5- 8 3 英寸 GaAs/CdTe 表面缺陷 mapping

图 5- 8 为厚度为 $4\mu\text{m}$ 的 3 英寸 GaAs/CdTe 外延层表面缺陷密度 mapping 结果, 图 5- 8 (a) 可以看出, GaAs/CdTe 外延层表面缺陷分布均匀、缺陷密度低, 平均密度为 28cm^{-2} , 图中边缘有两处缺陷密度异常, 经确认与装取样品或常规测试中的刮伤相关。图 5- 8(b)(c) 分别为缺陷的尺寸分布和径向分布, (b) 图中可以看出在厚度为 $4\mu\text{m}$ 的 CdTe 表面约 80% 的缺陷的尺寸小于 $5\mu\text{m}$, 尺寸大于 $20\mu\text{m}$ 的缺陷只有 5 个, 图中所有缺陷都和衬底表面直接相关, 属于 3 类缺陷, 其中大于 $20\mu\text{m}$ 的缺陷则和表面吸附的灰尘相关, (c) 图中可以看出不同尺寸缺陷在径向上随机分布, 总体而言中心密度稍高些。

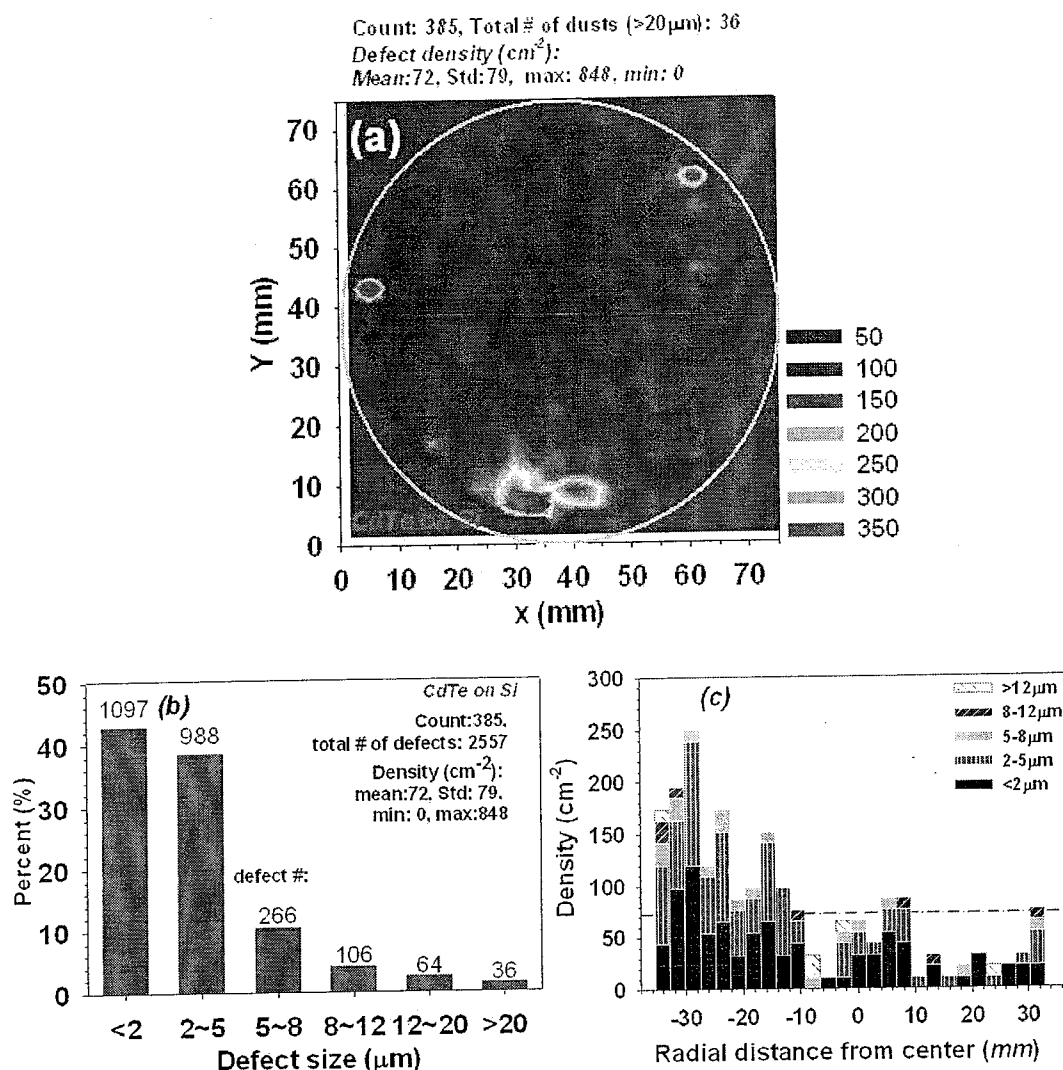


图 5-9 3 英寸 Si/CdTe 表面缺陷密度 mapping

图 5-9 为 3 英寸厚度为 $4.35\mu\text{m}$ 的 Si/CdTe 表面缺陷密度 mapping。图 5-9(a) 显示 Si/CdTe 表面缺陷密度要比 GaAs/CdTe 高，均匀性也较差，且有区域性分布特征，图中边缘有三处缺陷密度异常，也和人为损伤有关，值得注意的是有两处刮伤的位置和 GaAs/CdTe 上的相仿。图 5-9(b) 中可以看出所有尺寸的缺陷数量都比 GaAs/CdTe 多，约 80% 的缺陷尺寸小于 $5\mu\text{m}$ ，缺陷尺寸大于 $20\mu\text{m}$ 的有 36 个，明显比 GaAs 多，这和 Si 基特有的 S1 类缺陷及衬底预处理工艺较复杂表面更容易引入尘埃有关，图 5-9(c) 更为明显地显示了缺陷分布区域特性，小于 $5\mu\text{m}$ 的缺陷在半径 $0\sim 10\text{mm}$ 和 $15\sim 25\text{mm}$ 处密度最大，这些缺陷主要为 Si 基特有的 S2 类缺陷。

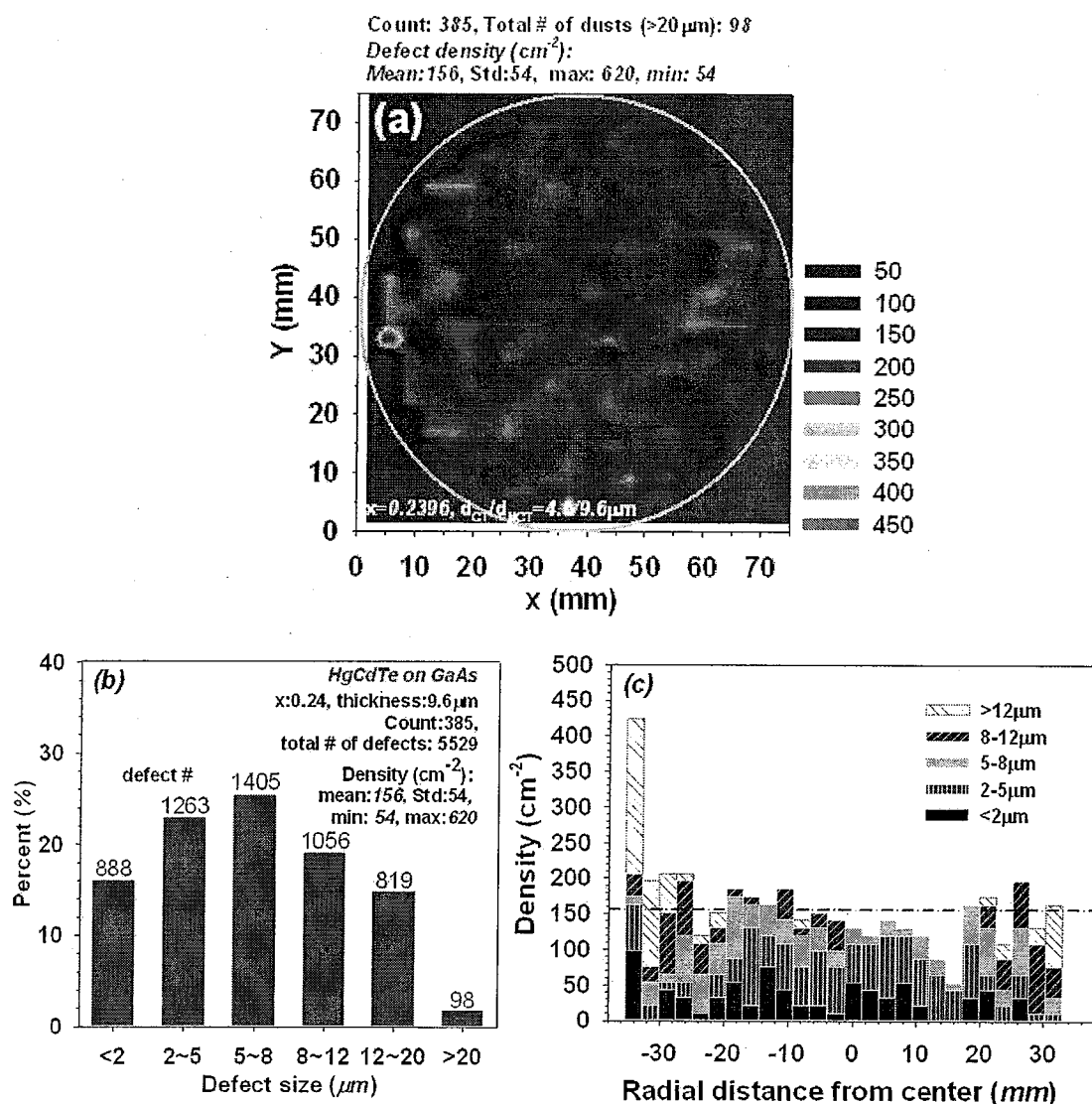


图 5- 10 3 英寸 GaAs/HgCdTe 表面缺陷密度 mapping

图 5- 10 为 3 英寸 GaAs/HgCdTe 表面缺陷密度 mapping，图 5- 10 (a)中显示了 HgCdTe 外延层表面缺陷分布有良好的均匀性，除了有一处边缘因刮伤导致缺陷密度异常外，其他区域的缺陷密度都低于 250cm^{-2} 。图 5- 10(b)中显示了缺陷在小于 $20\mu\text{m}$ 的各尺寸区间分布较均匀， $5\sim8\mu\text{m}$ 的缺陷数量最多，大于 $20\mu\text{m}$ 的缺陷有 98 个。对比 GaAs/CdTe 上的缺陷密度及尺寸分布，可看出 HgCdTe 外延层上的表面缺陷密度远高于 GaAs/CdTe 层，因此大部分表面缺陷与 HgCdTe 生长工艺相关。

图 5- 10(c)中显示了缺陷的尺寸分布具有径向特征，小于 $8\mu\text{m}$ 的缺陷大部分分布在中心区域，主要是 3 类点；而大于 $8\mu\text{m}$ 的缺陷大部分分布在边缘区域，主要是与缺 Hg 相关的 2 类点。为了更全面的显示这种径向特征，图 5- 11 中列出了不同尺寸区间的缺陷 mapping 分布，可以看出大于 $12\mu\text{m}$ 的 1 类点缺陷大部分分布于半径大于 30mm 的环形边缘区域，这些分布特性和 Hg 束流的均匀性和衬底温度直接相关，为了得到好的表面形貌和晶体质量，必须对不同波段 HgCdTe 外延层生长谨慎地选择合适的 Hg/Te 的束流比并进行衬底温

度的精确控制。一般来说, 由于设备本身均匀性的限制, 在 32P 外延的 3 英寸 HgCdTe 外延层表面边缘微缺 Hg 状态($>12\mu\text{m}$ 的缺 Hg 点分布于半径 30mm 的圆周外), 是选择最优化生长条件的必然结果。

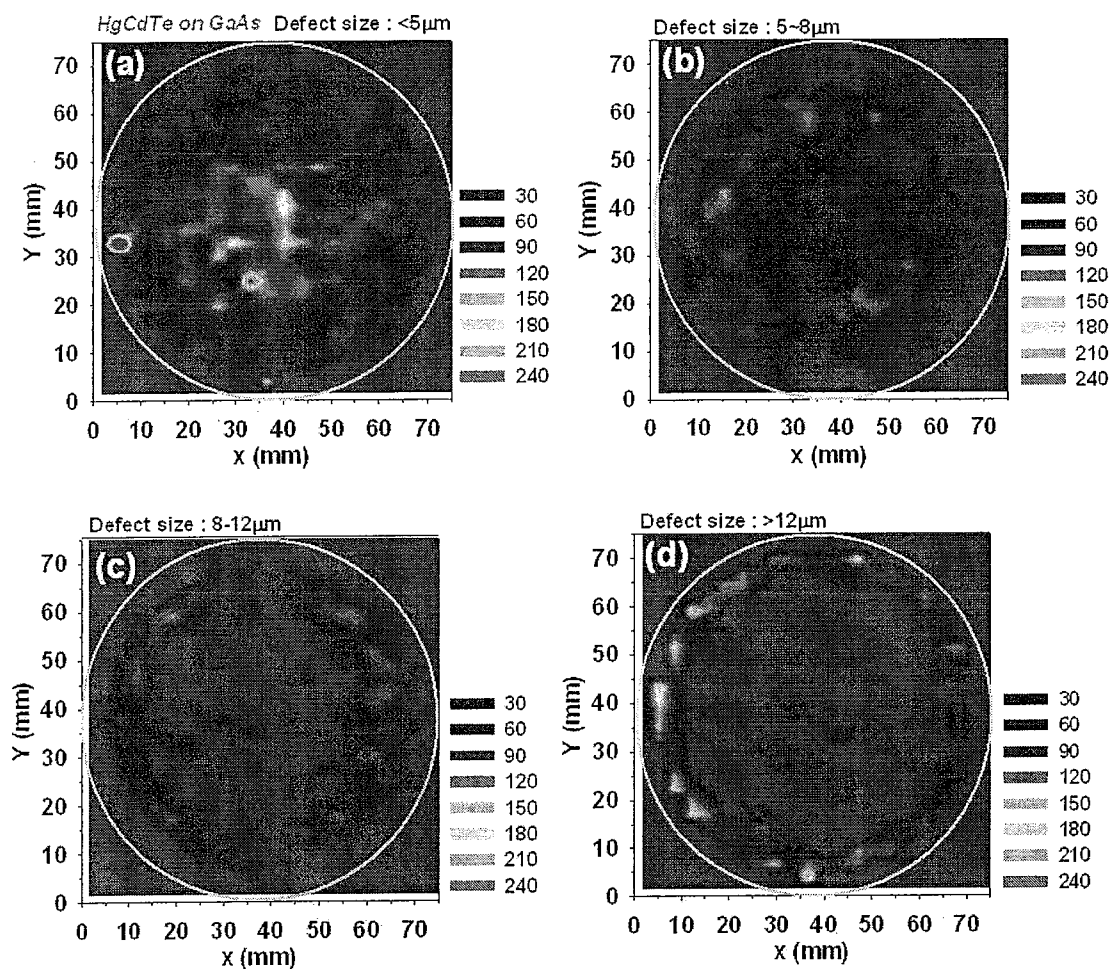


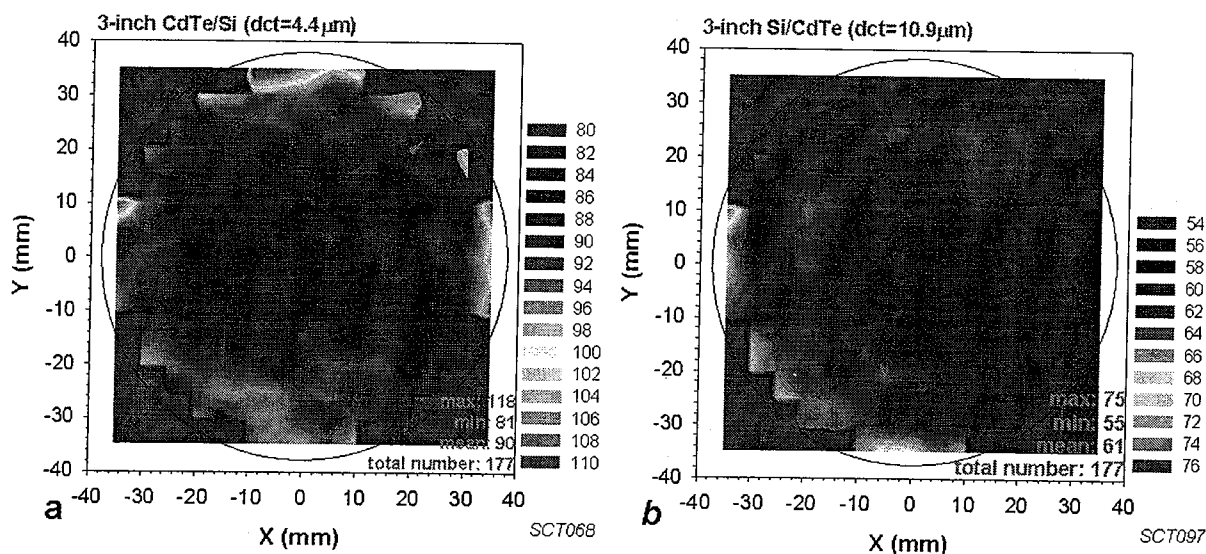
图 5- 11 3 英寸 GaAs/HgCdTe 表面不同尺寸区间的缺陷分布

5.3 大面积 HgCdTe 晶体质量均匀性

对于器件应用来说, 要增大替代衬底上的 HgCdTe 外延材料的可用面积, 需要考虑到大面积外延层的晶体质量面分布, 提高整体晶体质量水平; 同时要提高器件的性能, 改善器件的均匀性, 就必须关注 HgCdTe 材料的晶体质量均匀性。

CdTe 缓冲层的晶体质量均匀性会直接影响到 HgCdTe 的晶体质量均匀性, 因此需要首先关注缓冲层。通过 X 射线双晶摇摆曲线半峰宽(FWHM)的 wafer mapping 术, 可获得 3 英寸替代衬底上 CdTe 缓冲层的 FWHM 的分布情况, 且 mapping 结果经分析后可以得到 FWHM 的区间分布图和径向分布图等等, 这些信息都可以用来表征外延层的晶体质量均匀

性。如图 5-12(a)和(b)分别为编号为 SCT068(中心厚度为 $4.4\mu\text{m}$)和 SCT097(中心厚度为 $10.9\mu\text{m}$)的 Si/CdTe 的 mapping 结果; (c)和(d)为两个样品的 FWHM 区间分布统计结果; (e)为 FWHM 径向分布统计结果, 对 mapping 中半径相同的 FWHM 值求平均, 即获得图中 FWHM 随半径变化的分布数据。图 5-12(c)和(d)的 FWHM 区间分布经过正态函数拟合, 获得了正态分布标准差 σ , 同时图中给出了 FWHM 的标准偏差(Standard Deviation, 简称 stdev)值。由于衬底架(substrate holder)无铟钼环的遮挡效应, 3 英寸外延层极边缘有 2~3mm 圆环区域未覆盖材料或者材料晶体质量很差, 导致极边缘处的双晶半峰宽测量值异常变大并具随机性, 这些异常值会对 FWHM 的 stdev 产生较大的影响, 而对 σ 影响较小, 因此对于衡量 3 英寸外延层的晶体质量均匀性, σ 要比标准偏差 stdev 更据有参考性。比较图 5-12(c)和(d)可以看出, 中心厚度为 $4.4\mu\text{m}$ 的 3 英寸 Si/CdTe 对应的 σ 值约为中心厚度为 $10.9\mu\text{m}$ 外延层的 2 倍; 另外图 5-12 (e)中的统计数据虽然较分散, 但从整体上看, FWHM 在径向上都有增大的趋势, 且前者比后者明显。造成 σ 值较大和 FWHM 呈径向增大的可能原因较多, 包括条件苛刻的 ZnTe 成核质量、CdTe 生长过程中衬底温度场的均匀性和束源几何展宽引入的厚度均匀性等等, 这其中厚度呈径向分布会直接导致 FWHM 呈径向分布。为了研究两者的相关性, 测量了图 5-12 中两个样品在不同半径下的厚度, 并由第三章中得到的 FWHM 随厚度变化的曲线(也可见图 5-13(b))可推算出两个样品径向上的预计 FWHM。图 5-12 (e)中给出了 FWHM 预期值随半径变化的曲线, 图中显示了 FWHM 预期值与样品实际的 FWHM 在径向上的变化趋势基本一致, 说明在样品厚度较小的情况下, 厚度径向分布对 FWHM 的径向分布趋势和 σ 值起着主导的作用。



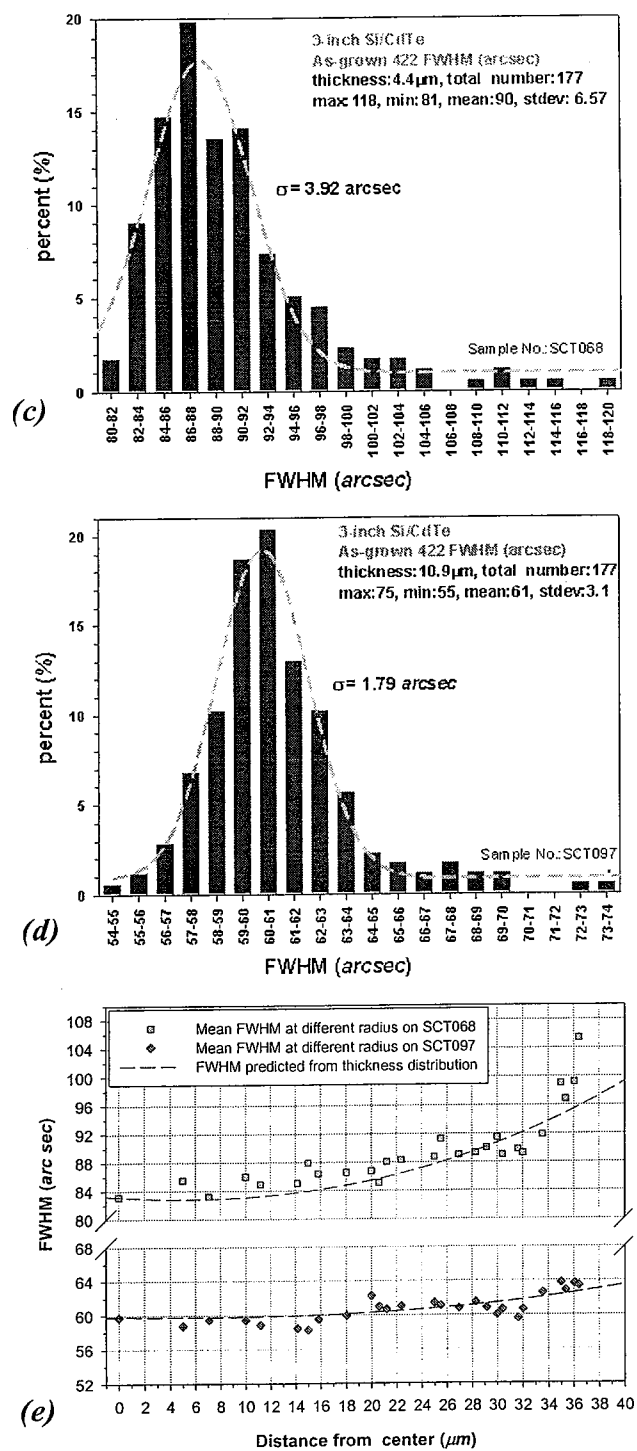


图 5- 12 (a)和(b)分别为厚 4.4 μm 和厚 10.9 μm 的 3 英寸 Si/CdTe 外延层 mapping 结果; (c)和(d)为两个样品的 FWHM 区间分布图; (e)为两个样品的 FWHM 的径向分布图。

一般的, 大面积替代衬底上 CdTe 外延层厚度均匀性与束源的几何张角、衬底架和束源中心的相对位置相关, 在常规生长中若衬底架的位置固定且使用的 CdTe 束源材料形状

较稳定时, 则不同中心厚度的外延层在径向上的厚度百分比分布基本相同, 如图 5- 13(a) 为 3 英寸 CdTe 外延层厚度百分比径向分布, 两个样品的中心厚度分别为 $5\mu\text{m}$ 和 $10.8\mu\text{m}$ 。图 5- 13(b) 为生长条件优化后的 Si/CdTe 和 GaAs/CdTe 外延层 FWHM 随厚度的变化曲线, 通过综合图 5- 13(a) 和图 5- 13(b), 可以获得不同中心厚度下外延层 FWHM 在径向上的分布, 图 5- 13(c) 显示了 35mm 处和中心处 FWHM 的预期差值(简称预期偏差)随中心厚度的变化趋势。从图 5- 13(c) 上能看出, 3 英寸 CdTe 外延层的 FWHM 的预期偏差随厚度增大而减小。对于长波 HgCdTe 材料的生长, 其不仅需要高晶体质量的 CdTe 缓冲层, 且对缓冲层的晶体质量均匀性要求较高, 因此此研究结果对于长波 HgCdTe 的缓冲层厚度设计具有指导意义, 如图所示, 当使用的 CdTe 缓冲层中心厚度大于 $11\mu\text{m}$ 后, 其双晶半峰宽径向分布预期偏差小于 4 弧秒。

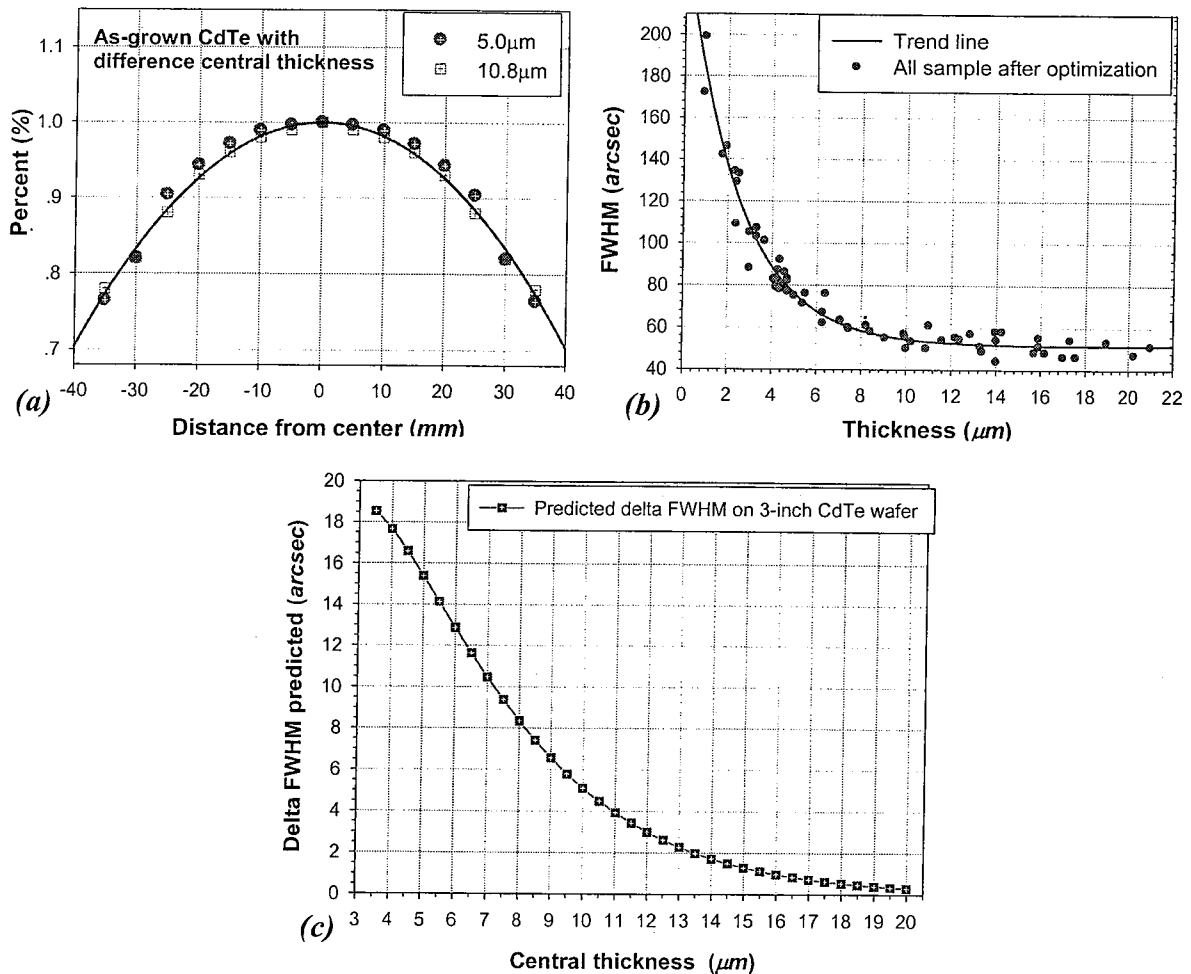
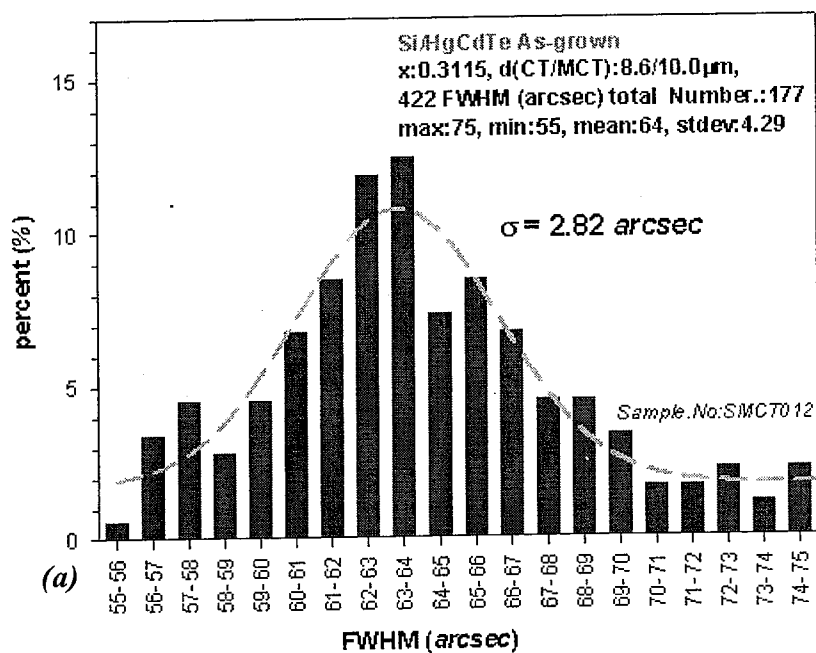


图 5- 13 (a)常规 CdTe 外延层的厚度均匀性, (b)CdTe 外延层双晶半峰宽和厚度的关系, (c)3 英寸 CdTe 外延层半径 35mm 处的双晶半峰宽与中心处相比的预期差值随中心厚度的变化。

以上内容分析了厚度均匀性对 CdTe 晶体质量均匀性的影响, 实际样品的晶体质量均匀性还与高温脱氧的表面状况、ZnTe 低温初始层的均匀性及生长过程中衬底温度场的均匀性相关, 这部分相关性研究将在下一步工作中重点开展。

图 5- 14(a)和(b)给出样品编号为 SMCT012 的 Si/HgCdTe 外延层和样品编号为 gamctub090 的 GaAs/HgCdTe 外延层的双晶半峰宽 mapping 结果, 二样品皆为单层中波 HgCdTe 外延材料, CdTe 缓冲层的中心厚度分别 $8.6\mu\text{m}$ 和 $12.3\mu\text{m}$ 。从 FWHM 的平均值来看, SMCT012 为 64 弧秒, 而 gamctub090 为 54 弧秒; 从均匀性来看, Si/HgCdTe 和 GaAs/HgCdTe 正态分布标准差 σ 分别为 2.82 弧秒和 1.66 弧秒。图 5- 14(c)中显示了二样品双晶半峰宽的径向分布特性, 其中蓝线为 CdTe 缓冲层由厚度径向分布预计得到的双晶半峰宽径向分布, 此曲线在假设 HgCdTe 层中位错为 CdTe 缓冲层的位错延伸时, 可以用来指示 HgCdTe 晶体质量在径向上的预期分布趋势, 曲线在具体数值上由于 CdTe 和 HgCdTe 材料对 X 射线的固有反射率不同对 HgCdTe 的指导意义不大。由图 5- 14(c)可以看出, 由于 SMCT012 的 CdTe 缓冲层厚度比 gamctub090 小, 造成了前者的 CdTe 缓冲层晶体质量整体较差, 从而导致了后续 HgCdTe 整体晶体质量较差。另外从图 5- 14(c)上可看出 SMCT012 的 HgCdTe 层的 FWHM 径向分布均匀性要差于 CdTe 缓冲层, 且其在半径为 $12\text{mm}\sim 34\text{mm}$ 的区域内, FWHM 整体较大, 说明 HgCdTe 的晶体质量径分布并非由 CdTe 的厚度均匀性起主导作用, 可能对应于 CdTe 缓冲层的实际均匀性比预期值差或者是 HgCdTe 生长条件偏离最优化条件导致的 HgCdTe 外延层在径向的不均匀性; 图中 gamctub090 的 FWHM 径向分布与缓冲层的 FWHM 径向趋势也有所偏离, 但整体上和分布趋势相似。



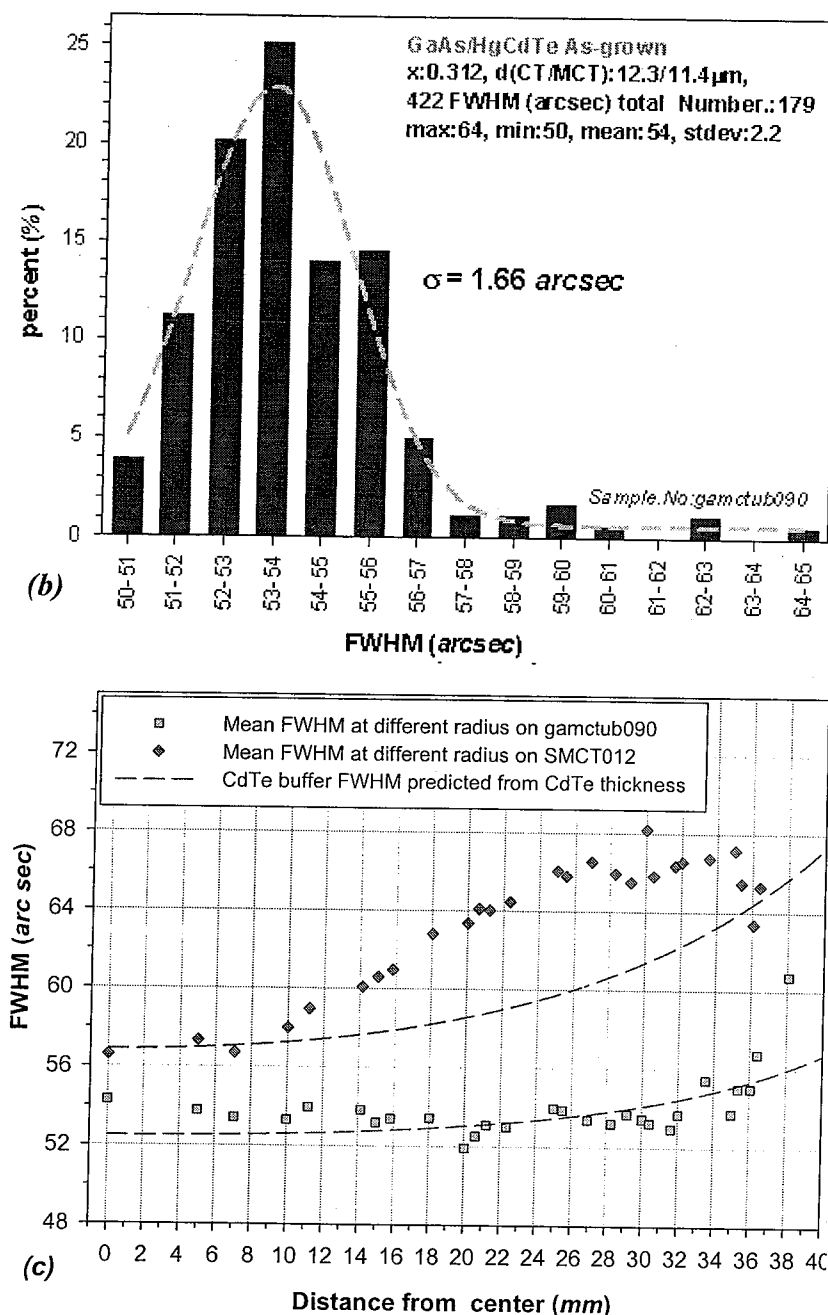


图 5- 14 3 英寸 Si/HgCdTe 和 GaAs/HgCdTe 外延层的 mapping 结果。

5.4 大面积 HgCdTe 外延薄膜组份均匀性

组分均匀性(composition uniformity)是大面积替代衬底 HgCdTe 外延技术的另一个重要问题,其直接关系到器件均匀性及材料可用面积。研究中发现 HgCdTe 的组分均匀性对束流锥形的几何结构和坩埚中束源原材料的装填水平及消耗程度都很敏感。在解决了 HgCdTe 生长温度问题的基础上,进行了大量 HgCdTe 的外延条件探索和生长实验,研究了改变衬底角度,调节束源炉最佳几何配置,从而展宽各束源的几何发散角及积分面积,

以提高 3 英寸 HgCdTe 材料的组分均匀性。

采用 Nuxus 670 傅立叶红外光谱仪, 测量范围为 $400\sim 4000\text{cm}^{-1}$, 分辨率为 4cm^{-1} , 入射几何为正入射, 对 3 英寸 HgCdTe 外延圆晶沿径向进行了测量, 测试光斑孔径为 $50\times 50\mu\text{m}^2$, 测量步径为 5mm。测量所得透射曲线与理论计算的模拟曲线进行拟合获得 CdTe 以及 HgCdTe 层的厚度, 组分值根据吸收系数为 500cm^{-1} 处位置确定, 并在此基础上进行了组份、厚度均匀性分析。3 英寸 MW Si/HgCdTe 组分与截止波长径向分布见图 5-15。在直径为 70mm 圆内, 组份标准偏差为 0.0009, 对应于 80K 截止波长的标准偏差为 $0.026\mu\text{m}$, 完全满足制备焦平面器件的应用要求。

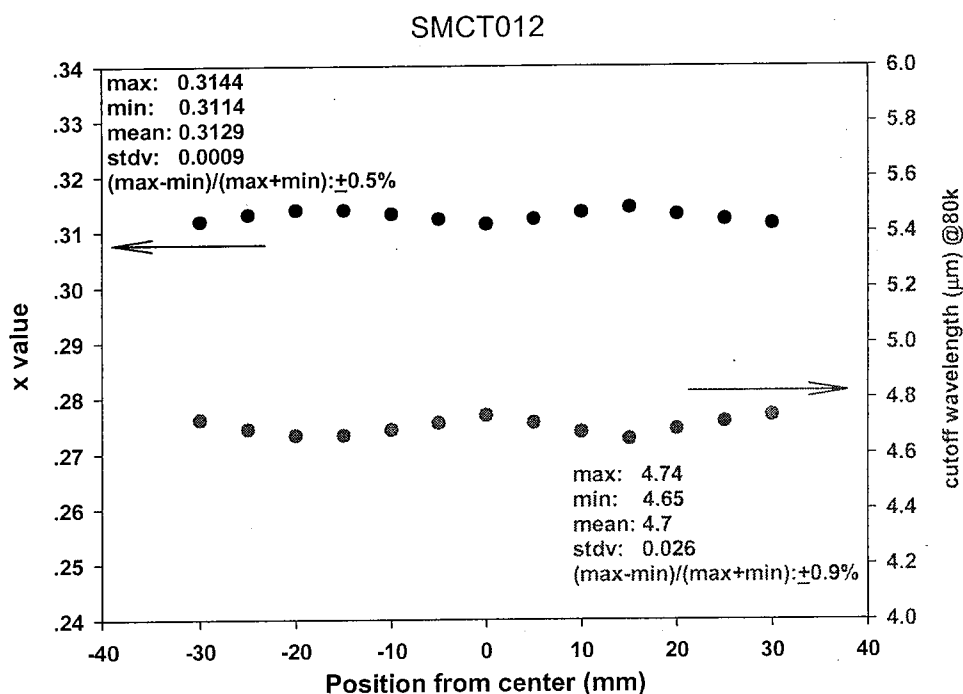


图 5-15 3 英寸 MW Si/HgCdTe 的组分与截止波长径向分布图

5.5 小结

本章首先论述了大面积 HgCdTe 材料性能均匀性研究的意义; 对大面积外延晶片的表面缺陷 mapping 的实现方法进行描述, 给出了 3 英寸替代衬底上 CdTe 及 HgCdTe 外延层的表面缺陷空间分布特征, 发现 GaAs/HgCdTe 的表面缺陷主要与 HgCdTe 生长工艺相关; 对替代衬底上的 CdTe 及 HgCdTe 外延层的晶体质量均匀性进行了表征和分析, 并发现在 CdTe 缓冲层的中心厚度较小时其厚度均匀性对其晶体质量均匀性影响较大, 给出了 3 英寸 CdTe 外延层的双晶半峰宽的预期偏差与 CdTe 中心厚度的关系, 其指导意义在于可以根据不同 HgCdTe 材料对晶体质量均匀性的要求, 对其 CdTe 缓冲层的厚度进行预期设计; 另外还给出了 3 英寸 HgCdTe 组分均匀性表征结果, 其组分均匀性完全满足制备焦平面器件

的应用要求。

参考文献

-
- ¹ J.M. PETERSON, J.A. FRANKLIN, M. REDDY, S.M. JOHNSON, E. SMITH, W.A. RADFORD, and I. KASAI. High-Quality Large-Area MBE HgCdTe/Si. Journal of ELECTRONIC MATERIALS, Vol. 35, No. 6, 2006.
- ² J.P. ZANATTA, G. BADANO, P. BALLEST, C. LARGERON, J. BAYLET, et al., Molecular Beam Epitaxy Growth of HgCdTe on Ge for Third-Generation Infrared Detectors. Journal of ELECTRONIC MATERIALS, Vol. 35, No. 6, 2006

第六章 总结

随着新一代 HgCdTe 红外焦平面技术的发展,大面积替代衬底上的 HgCdTe 分子束外延技术已成为制备大规模器件的主流技术。由于替代衬底和 HgCdTe 之间存在大的晶格失配,导致 HgCdTe 外延层中存在较高的位错密度;另外由于衬底面积的增大和衬底预处理工艺、生长工艺的复杂性,增加了替代衬底上的 HgCdTe 外延薄膜表面形貌控制的复杂性, HgCdTe 表面容易引入各种表面缺陷。这些 HgCdTe 层中的高密度位错和表面缺陷将严重降低焦平面器件的性能,因此如何通过优化工艺尽量减小 HgCdTe 薄膜中的位错密度和薄膜的表面缺陷密度,是大面积替代型衬底上的 HgCdTe 分子束外延技术迫切需要解决的问题。同时,随着器件面阵规模的提高,其对大面积 HgCdTe 材料的均匀性也提出了更高的要求,其中均匀性包括材料的晶体质量均匀性、表面形貌均匀性和组分均匀性。本论文针对上述问题,对大面积替代衬底(GaAs、Si)上 CdTe 缓冲层的位错抑制工艺、CdTe 和 HgCdTe 的表面形貌控制及表面缺陷的抑制方法进行了研究,并对材料的表面形貌均匀性、晶体质量均匀性及组分均匀性进行表征研究。

1、首先对替代型衬底上分子束外延生长 CdTe 缓冲层的位错抑制工艺进行了研究,在实验的基础上分析了三种工艺方法包括 CdTe 低温成核法、引入 ZnTe 初始成核层和引入衬底偏角对孪晶和位错的抑制效果。结果发现, CdTe 低温成核法能够降低 GaAs/CdTe、ZnTe/CdTe 界面的失配能,起到抑制孪晶保证单一晶向生长的作用,但不能有效地抑制穿越位错;而引入 ZnTe 初始成核层能够更有效地降低 GaAs/CdTe 和 Si/CdTe 界面处的能量,从而能够抑制孪晶、穿越位错;另外基于失配与界面偏转的理论,研究了引入衬底偏角对 GaAs/CdTe 与 Si/CdTe 的位错抑制效果,实验结果发现引入衬底偏角能有效地降低 Si/CdTe 体系界面能量,抑制穿越位错的产生,但其对 GaAs/CdTe 体系却无明显效果;最后基于前面的实验结果讨论了优化的工艺路线,得到可重复性良好的替代型衬底上外延 CdTe 缓冲层的常规工艺路线。实验获得优化 CdTe 高温生长条件后的双晶半峰宽随厚度变化的曲线,从而得到常规工艺下的标准线,其作为常规 CdTe 缓冲层的晶体质量的比较线有很重要的意义。

其次,对 Si/CdTe 作了高温快速退火研究。研究了不同退火条件对 Si/CdTe 外延层的晶体质量和表面形貌的影响,发现退火温度越高,对 CdTe 外延层的晶体质量提高的效果越好,同时晶体质量改善的饱和时间越短,且不同退火条件下的 Si/CdTe 的晶体质量皆有所提高,但是退火温度过高或者退火时间过长都会在 CdTe 表面引入表面缺陷,甚至导致薄膜蒸发;研究了多次快速循环退火对 Si/CdTe 晶体质量及表面形貌的影响,发现多次快速循环退火对 CdTe 外延层的表面形貌影响很小,而对 CdTe 外延层的晶体质量的改善效果

更好，厚度为~4 μm 、双晶半峰宽为~85 弧秒的原生 Si/CdTe 样品经退火后的双晶半峰宽低于 50 弧秒，相当于厚度为~12 μm 原生 CdTe 外延层的双晶半峰宽水平，对 3 英寸 Si/CdTe 圆片进行了多次快速循环退火结果表明 3 英寸外延层整体的晶体质量得到很大的改善，双晶半峰宽平均值从 87 弧秒降到了 51 弧秒，半峰宽值在中间区域的分布较均匀，边缘区域分散较大，其晶体质量分布特征可能与退火腔体的温度场分布相关，整体均匀性有待进一步提高。

另外还基于实验获得双晶半峰宽与位错密度的良好对应关系，建立了 X 射线无损检测法的评价标准。

2、对 CdTe 和 HgCdTe 的表面形貌控制进行了论述，对 CdTe 和 HgCdTe 表面缺陷进行了起源分析，并讨论了如何通过优化生长工艺抑制不同的表面缺陷。首先对 CdTe 表面出现的与生长条件相关的 CdTe 特征点和 CdTe 特征短线进行了分析，并与 ZnCdTe/ HgCdTe 表面出现的短线形貌进行了比较，得出此类特征点与短线形貌的起源与 CdTe 或者 ZnCdTe 的生长面上的 Cd/Te 化学配比失调相关。此类表面缺陷通过优化生长温度和 CdTe/Te 束流配比可以得到完全的抑制。其次，对 Si 基上 CdTe 特有的两种 S1 型和 S2 型表面缺陷进行了分析，S1 型表面缺陷起源于衬底表面处理，而 S2 型缺陷起源目前尚无定论，对 S2 型缺陷的起源分析及抑制将作为下一步工作重点。再次，对 CdTe 表面出现的鼓包型表面缺陷进行了分析，并研究其与生长室真空异常的相关性。研究表明鼓包型表面缺陷起源于生长室中存在的杂质脏物，通过缩短生长周期或仔细维护 MBE 腔体的洁净度，可以避免此类缺陷的发生。

对 HgCdTe 表面形貌的控制及表面缺陷的抑制研究。首先，对 HgCdTe 表面形貌控制的前期结果进行了回顾。其次，重点分析了 HgCdTe 表面的团聚状分布缺陷，并发现其起源于生长面吸附的杂质，最后通过设计实验证明了此类缺陷与 Hg 源的杂质玷污相关。通过严格控制 Hg 源的装卸过程，并经常对 Hg 炉高温除气可以让此类缺陷的出现概率下降。再次，对与生长条件相关的 HgCdTe 表面小圆点、三角形和菱形缺陷的起源进行了分析，发现三者皆与 HgCdTe 的生长温度偏低相关，通过优化生长过程的温度控制，可避免此类缺陷的发生。

3、对大面积外延晶片表面缺陷 mapping 的实现方法进行研究，得到了 3 英寸替代衬底上 CdTe 及 HgCdTe 外延层的表面缺陷空间分布特征。对替代衬底上的 CdTe 及 HgCdTe 外延层的晶体质量均匀性进行了表征和分析，发现在 CdTe 缓冲层的中心厚度较小时其厚度均匀性对其晶体质量均匀性影响较大，给出了 3 英寸 CdTe 外延层双晶半峰宽的预期偏差与 CdTe 中心厚度的关系，其指导意义在于可以根据不同 HgCdTe 材料对晶体质量均匀性的要求，对其 CdTe 缓冲层的厚度进行预期设计；另外给出了 3 英寸 HgCdTe 组分均匀性表征结果，其组分均匀性完全满足制备焦平面器件的应用要求。