



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

基于 β 相氧化镓功率场效应晶体管的研究

作者姓名: 董航

指导教师: 刘明 研究员

中国科学院微电子研究所

学位类别: 工学博士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院微电子研究所

2020 年 6 月

Investigation on Power MOSFET based on β -Ga₂O₃

**A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Doctor of Engineering
in [Microelectronics and Solid-State Electronics]**

By

[Dong Hang]

Supervisor: Professor Liu Ming

[Institute of Microelectronics of the Chinese Academy of Sciences]

June 2020

中国科学院大学

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：

董航

日期：

2020.5.22

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：

董航

导师签名：

刘明

日期：2020.5.22

日期：

2020.5.25

摘 要

功率半导体器件的应用极大地提高了能源转化和应用的效率, 节约了能源。在能源消耗日益巨大的今天, 新型的更高效的功率半导体器件, 成为社会的迫切需求。宽禁带半导体的发展和应用正是顺应这样的发展潮流。在 SiC 和 GaN 得到商用之后, 一种新型的宽禁带半导体材料 β 相氧化镓进入了研究人员的视野。基于这种禁带宽度更高、击穿场强更大的半导体材料, 将有望研制出性能更加优异、效率更高、价格更低的功率半导体器件。因此, 基于氧化镓的功率器件的研究成为了功率器件领域的热点。

功率场效应晶体管因其快速、高效的开关特性, 常作为功率开关元件, 是现代电力电子系统中重要的快速开关功率器件。

本论文研究了 β 相氧化镓功率场效应晶体管, 取得了以下几个方面的创新性成果:

(1) 制备由 Al_2O_3 和 HfO_2 组成的复合介质结构的氧化镓 MOS 电容, 表征了 $\text{Al}_2\text{O}_3/\text{Ga}_2\text{O}_3$ 和 $\text{HfO}_2/\text{Ga}_2\text{O}_3$ 的界面特性和漏电特性。

场效应晶体管对于栅介质结构的要求包括: 高绝缘性(低漏电流, 低驱动损耗)和高控制性(大单位栅电容, 高开关转换速度)。为了更好地满足场效应晶体管的需求, 我们选择了禁带宽度大的 Al_2O_3 和高 K 介质材料 HfO_2 组成的复合介质层, 在(100) Ga_2O_3 上制备 MOS 电容器件。利用高低频电容法(High-Low frequency capacitance)提取出 $\text{Al}_2\text{O}_3/\text{Ga}_2\text{O}_3$ 和 $\text{HfO}_2/\text{Ga}_2\text{O}_3$ 界面态密度, 发现氧化镓与两种介质材料的界面特性相当。另外, 通过漏电测试和击穿测试, 得出高禁带宽度的 Al_2O_3 与 Ga_2O_3 直接接触能更好地降低漏电流和提升栅介质击穿电压。

(2) 利用氧化镓干法刻蚀工艺, 通过栅槽结构实现了常关型场效应晶体管。

基于分子束外延的(-201)氧化镓外延片, 利用 ICP 刻蚀部分沟道, 通过界面电荷耗尽剩余沟道, 实现了常关型场效应晶体管(MOSFET)。经电学测试其性能优异, 阈值电压为 4.2 V, 开关比大于 10^7 , 导通电流密度达到 11 mA/mm。

(3) 利用阻性负载测试了 β 相氧化镓场效应晶体管的开关特性和寄生电容。

功率场效应晶体管常作为功率开关元件, 因此其开关特性是其重要参数。现阶段氧化镓场效应晶体管的原型器件电流较小, 难以驱动感性负载。通过搭建阻性负载的测试电路, 本论文测试场效应晶体管的开关时间, 开启时间为 28.6 ns,

关断时间为 94.0 ns，并研究了栅长 L_g 对于开关特性的具体影响。

关键词： β 相氧化镓，栅介质，界面态，场效应晶体管，开关特性

Abstract

Applications of power semiconductor devices increasing the efficiency of energy transformation and employment, thus save resources. With the increasing of consumption, more advanced power devices are in urgent need. Therefore, wide-gap semiconductors are developed rapidly. Silicon carbon and gallium nitride have been investigated for several decades, and wide-gap power devices have been commercially available. Recently, a new kind of ultra-wide bandgap semiconductor-gallium oxide has attracted extensive attention. Ga_2O_3 has potential to being used in the high-voltage and high frequency power devices, due to its wide band gap and high theoretical breakdown electrical field strength. In addition, large-size and high-property substrate can be grown by EFG method, which provides the advantage of low cost.

Power field effect transistors are widely used in the fast frequency switching applications, due to fast switching speed, high input resistance and easy-driven. In this paper, we investigate power MOSFET on $\beta\text{-Ga}_2\text{O}_3$, several innovative research results have been achieved as follow:

(1) Fabrication of MOS capacitors with stacked dielectrics of Al_2O_3 and HfO_2 , demonstrate their interfacial property and leakage characteristics.

Gate dielectrics play a key role in the MOSFET due that it will determine the gate leakage and switching characteristics. We choose two kinds dielectrics including wide band gap Al_2O_3 and high dielectrics constant HfO_2 to compose a stacked dielectrics layer. In addition, high-low frequency capacitance method is used to extracted interfacial state density. The experimental results indicates that the stacked dielectrics have both low leakage current and high gate capacitance.

(2) Fabrication of $\beta\text{-Ga}_2\text{O}_3$ MOSFET with trench gate structure, and it operates in the normally-off mode.

Using ICP dry etching technology, we successfully realize normally-off MOSFET with trench gate. The threshold voltage is +4.2V, and the on/off ratio reaches 10^7 .

(3) Test switching time of β -Ga₂O₃ MOSFET in the testing circuit of resistance load.

Due to the research of β -Ga₂O₃ MOSFET is still in the early stage, the small on-state current can't drive inductive load. Therefore, we choose use resistance load to take the measurement. Fast switching time including turn-on time of 28.6ns and turn-off time of 94.0ns is tested for β -Ga₂O₃ power MOSFET. This confirms the potential of β -Ga₂O₃ power MOSFET in the fast switching applications.

Key Words: β -Ga₂O₃, Gate dielectrics, Interfacial state, Field effect transistor, Switching characteristics

目 录

第 1 章 绪论	1
1.1 引言	1
1.2 功率半导体器件	1
1.3 宽禁带半导体的发展	4
1.3.1 碳化硅的发展状况	4
1.3.2 氮化镓的发展状况	6
1.3.3 新型超宽禁带半导体—氧化镓	8
1.4 选题的意义和研究内容	10
1.4.1 选题的意义	10
1.4.2 研究内容	11
第 2 章 β 相氧化镓晶体的简介	13
2.1 引言	13
2.2 β 相氧化镓的性质	14
2.2.1 晶格结构	14
2.2.2 电学性质	15
2.3 β 相氧化镓的制备工艺	17
3.3.4 晶体合成技术	17
3.3.5 外延薄膜生长技术	18
2.4 关键问题	19
第 3 章 β 相氧化镓上栅介质的研究	23
3.1 引言	23
3.2 β 相氧化镓上栅介质的研究	23
3.2.1 变异性 β 相氧化镓上氧化硅的性质	27
3.2.2 变异性 β 相氧化镓上氧化铝的性质	27
3.3 提取界面缺陷态密度的方法	31
3.3.1 电容法	31
3.3.2 电导法	33

3.4 β 相氧化镓上氧化铝和氧化铪叠层介质的性质	34
3.4.1 叠层介质的选择	34
3.4.2 叠层介质电容的制备	35
3.4.3 电学测试和数据分析	36
3.5 本章小结	42
第 4 章 槽栅结构 β 相氧化镓场效应晶体管	45
4.1 引言	45
4.2 β 相氧化镓场效应晶体管研究进展	45
4.3 β 相氧化镓的刻蚀工艺	60
4.3.1 干法刻蚀工艺	60
4.3.2 湿法腐蚀工艺	62
4.4 槽栅结构 β 相氧化镓场效应晶体管	64
4.4.1 实现常关型的设计	64
4.4.2 器件制备流程	64
4.4.3 电学测试和数据分析	67
4.5 本章小结	70
第 5 章 β 相氧化镓功率场效应晶体管的开关特性	73
5.1 引言	73
5.2 功率开关场效应晶体管	73
5.2.1 关键参数	73
5.2.2 β 相氧化镓场效应晶体管开关特性的研究进展	75
5.3 开关特性的测试方法	77
5.3.1 开关时间的测试方法	77
5.3.2 寄生电容的测试方法	78
5.4 电学测试和数据分析	80
5.4.1 电学测试	80
5.4.2 数据分析	81
5.5 本章小结	83
第 6 章 总结与展望	86
6.1 工作总结	86

6.2 未来展望.....	87
参考文献	89
致谢	91
作者简历及攻读学位期间发表的学术论文与研究成果	93

图目录

图 1.1	硅基功率器件的种类和应用	2
图 1.2	宽禁带功率器件的应用	3
图 1.3	SiC 晶圆片的发展历史	4
图 1.4	碳化硅在电动汽车领域的预期市场	5
图 1.5	氮化镓在充电领域的预期市场	7
图 1.6	氧化镓的应用领域	8
图 1.7	氧化镓纳米线的扫面电子显微镜(SEM)图像	9
图 2.1	五种氧化镓晶体的转化关系图	13
图 2.2	β 相氧化镓晶格结构	14
图 2.3	β 相氧化镓的双链结构	14
图 2.4	β 相氧化镓的理论击穿电场强度	16
图 2.5	β 相氧化镓的特征导通电阻与击穿电压的理论关系极限	16
图 2.6	导模法的生长示意图	17
图 2.7	氧化镓单晶衬底生长的发展	18
图 2.8	降低氧化镓晶圆片的价格的方法	18
图 2.9	氧化镓性能的雷达图	19
图 3.1	SiO ₂ 与(-201) β -Ga ₂ O ₃ 的能带结构	24
图 3.2	β -Ga ₂ O ₃ 上 40 nm 厚的 SiO ₂ 的漏电曲线	25
图 3.3	SiO ₂ 与(010) β -Ga ₂ O ₃ 的能带结构	25
图 3.4	电容法提取 SiO ₂ /(-201) β -Ga ₂ O ₃ 界面缺陷密度	26
图 3.5	电导法提取 SiO ₂ /(-201) β -Ga ₂ O ₃ 界面缺陷密度	26
图 3.6	SiO ₂ 与不同晶面的氧化镓的界面缺陷密度	27
图 3.7	通过 Poisson 仿真得到的 Al ₂ O ₃ /(-201) β -Ga ₂ O ₃ 能带结构	28
图 3.8	由高-低频电容法提取 Al ₂ O ₃ /(-201) β -Ga ₂ O ₃ 的界面态密度	28
图 3.9	Al ₂ O ₃ /(-201) β -Ga ₂ O ₃ 和 Al ₂ O ₃ /(-201) β -Ga ₂ O ₃ 截面的 TEM 图	29
图 3.10	漏电流-电场的关系与缺陷辅助隧穿模型一致	29
图 3.11	电容法提取的 SiO ₂ 和 Al ₂ O ₃ 与(-201) β -Ga ₂ O ₃ 的界面缺陷	30
图 3.12	高-低频下 MOS 电容等效图	31
图 3.13	界面缺陷密度的能量	32
图 3.14	电导法的等效电路	33
图 3.15	叠层介质层的能带结构	34
图 3.16	叠层电容的截面图	35
图 3.17	AHG 电容的理想、1kHz 的 C-V 曲线	36
图 3.18	HAG 电容的理想、1kHz 的 C-V 曲线	36
图 3.19	AHG 电容的 $1/C^2-V_g$ 特性曲线	37
图 3.20	HAG 电容的 $1/C^2-V_g$ 特性曲线	37
图 3.21	AHG 的高低频电容曲线	39
图 3.23	AHG 的 $(C_d+C_{it})-\psi_s$ 曲线	40
图 3.24	HAG 的 $(C_d+C_{it})-\psi_s$ 曲线	40
图 3.25	AHG 和 HAG 界面缺陷密度能量分布	41

图 3.26	AHG 和 HAG 的电流曲线	41
图 4.1	氧化镓基场效应晶体管的研究	44
图 4.2	氧化镓基结型晶体管和绝缘栅晶体管	44
图 4.3	Ti 与氧化镓界面的截面图	45
图 4.4	氧化镓中热扩散掺杂浓度	45
图 4.5	场板氧化镓功率 MOSFET 的截面图	46
图 4.6	变温测试下的转移曲线	47
图 4.7	氧化镓 MOSFET 的电场仿真	47
图 4.8	双插指氧化镓 MOSFET 的 SEM 照片	48
图 4.9	沟道截面图	49
图 4.10	槽栅晶体管的截面 SEM 图	49
图 4.11	氧化镓 MOSFET 增益的频率响应	50
图 4.12	共掺杂的氧化镓晶体管的截面图	51
图 4.13	Mg 掺杂电流阻挡层垂直 MOSFET	52
图 4.14	N 掺杂电流阻挡层垂直 MOSFET	52
图 4.15	垂直 fin 结构的 MOSFET 的截面图	53
图 4.16	带源场板的垂直 fin 结构氧化镓 MOSFET 的 SEM 截面图	53
图 4.17	氧化镓 MOSFET 的性能	54
图 4.18	多沟道氧化镓晶体管的截面图	54
图 4.19	Delta 掺杂氧化镓 MESFET 的截面图	55
图 4.20	非故意掺杂作为缓冲层的 MESFET 的截面图	55
图 4.21	T 型栅的 SEM 图像	56
图 4.22	氧化镓薄膜晶体管的图像	56
图 4.24	干法刻蚀示意图	58
图 4.24	电感耦合等离子体刻蚀的原理图	59
图 4.25	氧化镓 ICP 干法刻蚀后的 SEM 图	60
图 4.26	利用 KOH PEC 刻蚀(-201) β -Ga ₂ O ₃ 后的表面 SEM 图片	61
图 4.27	β -Ga ₂ O ₃ 的 (115) (-11-1) 和 (010) 晶面的结构	62
图 4.28	氧化镓外延片	63
图 4.29	氧化镓外延片参数说明单	64
图 4.30	槽栅结构的氧化镓场效应晶体管的图像	65
图 4.31	半导体参数测试仪 Agilent B1500A	66
图 4.32	线性坐标和对数坐标下的转移曲线	66
图 5.1	MOSFET 开关过程中的栅电荷特性	68
图 5.2	MOSFET 的寄生电容示意图	69
图 5.3	利用 C-V 曲线积分估计栅电荷	70
图 5.4	与 Si 和 GaN 的动态开关损耗品质因子对比图	71
图 5.5	仿真器件的结构和参数	72
图 5.6	感性负载测试开关时间电路图	73
图 5.7	阻性负载测试开关时间电路图	77
图 5.8	输入电容测试电路图	77
图 5.9	输出电容测试电路图	78
图 5.10	反向传输电容测试电路图	78
图 5.11	瞬态测试系统 ITC-57300	79

图 5.12	开启瞬间的曲线	80
图 5.13	关断瞬间的曲线	80
图 5.14	开启和关断的延迟时间与栅长 L_g 的关系	81
图 5.15	电流上升和下降时间与栅长 L_g 的关系	82

表目录

表 2.1	氧化镓的材料性质	15
表 2.2	理论计算氧化镓各个晶向的电子迁移率和饱和速度	20

第1章 绪论

1.1 引言

人类社会的发展伴随着能源的不断消耗，随之而来的“能源紧缺”问题变得日益尖锐。在第二次工业革命之后，电力资源成为生产和生活中主要应用的能源形式，大部分能源通过电力系统转化为电能被人类社会存储、转化和应用，电能成为支撑整个社会发展的能量基础。在这个过程中，以半导体材料为基础的电力电子器件的发明和应用具有里程碑的意义，因为其极大地提升了电力系统的效率，减少了能源损耗，从而节约了能源。这种半导体器件能够在高电压、大电流、高频率和高温度下工作，具有功率处理能力，因此被称为功率半导体器件。功率半导体器件与功率集成模块、功率变换及控制技术等在电力电子系统中广泛应用的技术统称为电力电子技术。

这一章将首先介绍功率半导体器件发展过程：从硅基功率半导体器件到宽禁带化合物半导体碳化硅（SiC）和氮化镓（GaN）功率器件的发展过程和应用现状，然后介绍一种新型的超宽禁带半导体材料——氧化镓。氧化镓以超宽的禁带宽度（ E_g ）、高理论击穿电场强度（ E_{br} ）和高 Baliga 品质因数而受到功率器件领域研究人员的关注。然后简要概述氧化镓的应用前景和研究现状。最后介绍本论文的研究内容：解决的科研问题、使用的科学方法以及取得的科研成果。

1.2 功率半导体器件

功率半导体器件的发展从硅（Si）基功率器件开始，这是由于硅基半导体器件在电子信息领域中广泛应用，具有成熟的工艺和加工平台。功率半导体器件的工作环境和性能要求是大电流、高电压、高工作温度和高频率等，所以它与进行信息处理的传统微电子器件在器件结构、性能参数和基本功能上具有较大的差异。比如，设计和采用特殊的耐压结构用来提升器件的耐压能力，例如超结结构（Super Junction）和电场板结构（Field Plate）；大器件尺寸来提升器件电流容量；特殊的散热结构提升器件的散热能力，从而避免器件失效甚至损

毁；

理想的功率半导体器件，在截至状态时，能够承受较高的电压，在导通状态时具有较低的导通电阻，在开关转换时，速度足够快，能承受大的电压和电流快速变化，同时具备全控功能。事实上，功率器件的性能是其发展的第一驱动力，而不追求集成电路器件的特征工艺尺寸。因此，功率器件并不遵循传统集成电路产业的发展路线。

Si 基功率半导体的发展历史由来已久。1958 年美国通用公司研制出世界上第一款晶闸管（Thyristor），标志着电力电子技术的诞生。随着对功率器件性能的要求不断提高，功率半导体器件的类型也在不断丰富。60 年代，可关断晶闸管（GTO）成功研制，实现了门极可关断功能，并使斩波工作频率扩展到 1kHz 以上；70 年代，大功率晶体管（GTR）和功率场效应晶体管（MOSFET）研制成功，实现了功率器件的场控功能，打开了高频应用的大门；80 年代，绝缘栅门极双极性晶体管（IGBT）综合了功率 MOSFET 和双极性功率晶体管

（GTR）开关速度快和功率容量大的性能优势，进一步拓展了功率半导体器件的应用范围；在这个过程中，微电子技术中集成电路技术与电力电子器件技术相结合，功率集成电路（PIC）也发展起来，包括高压功率集成电路（HVIC）、智能功率集成电路（SPIC）和智能功率模块（IPM）。目前，功率器件的种类已经达到数十种，应用于不同的工作场景，如图 1.1。

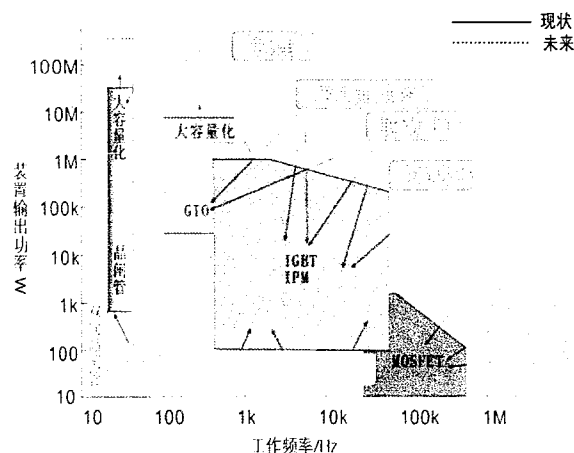


图 1.1 硅基功率器件的种类和应用

Figure 1.1 Types of Silicon based power devicec and their applications

随着 Si 基功率半导体器件类型的丰富和制备工艺臻于完善，单晶硅材料的

本征性质对器件性能的限制日益凸显。事实上，硅基功率器件的性能已经达到了材料极限。除了发展功率模块集成技术进行系统级提升之外，寻找性能更好的功率半导体材料成为另一条发展之路。

科研人员将目光聚焦在一类半导体材料上，其普遍具有高载流子迁移率、良好的热导率和高理论击穿电场强度，是更加理想的功率半导体材料。因为其禁带宽度超过单晶 Si，因此统称为宽禁带半导体材料，包括 GaAs、InP、SiC、GaN、Ga₂O₃、AlN、BN、金刚石等。基于宽禁带半导体材料的功率器件的研究成为突破硅基功率器件性能限制，进一步提升电力电子系统效率的重要研究方向之一。

功率器件领域的研究人员对宽禁带材料的研究由来已久，但是需要攻克几个技术难题：1、高质量的单晶材料合成技术，为器件制备提供加工平台；2、高质量的外延薄膜生长技术，为器件提供功能层；3、良好的导电性能调控：通过不同的掺杂手段实现材料不同类型的导电性能调控。

宽禁带材料丰富了功率半导体器件的应用场景，比如 SiC 在高压领域，GaN 在高频开关领域，GaAs 和 InP 在射频领域等，如图 1.2 所示。对于宽禁带半导体在电力电子器件中的应用，比较有代表性的就是已经实现商用的 SiC 和 GaN，而另一种新型的宽禁带半导体材料氧化镓（Ga₂O₃）有望在超高压领域实现突破。

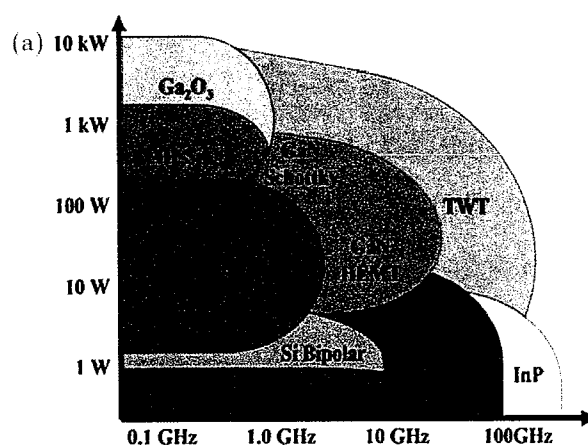


图 1.2 宽禁带功率器件的应用

Figure 1.2 Applications of wide-gap semiconductor power devices

下一节，我们将介绍 SiC 和 GaN 的发展历史和应用现状，从而为 Ga₂O₃ 的

功率器件的研究提供技术参考和发展路线。

1.3 宽禁带半导体的发展

1.3.1 碳化硅的发展状况

SiC 的合成技术经历了半个世纪的发展，如图 1.3 所示：从 1955 年飞利浦实验室的 Lely 利用 SiC 高温升华分解的特性，开发出高品质碳化硅晶体材料的合成方法，到 1987 年碳化硅衬底进入商业化阶段，再到二十一世纪 SiC 基功率半导体器件全面进入商业应用阶段。现在，SiC 单晶生长主要是采用籽晶的改良 Lely 法或物理气相输运法（简称 PVT 法）。提供高质量 SiC 晶片的企业主要集中在日本和欧洲。作为 SiC 晶圆片市场的领导者，Cree 公司产量占据全球市场的 85%以上。其他的公司比如二五族（II-IV）和北京天科合达半导体（Tankeblue）也紧随其后，一些新的供应商包括美国吉特先进科技(GTAT)也跃跃欲试。

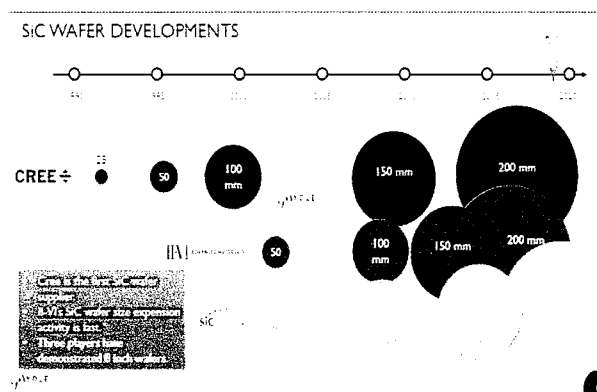


图 1.3 SiC 晶圆片的发展历史^[1]

Figure 1.3 Developments of SiC wafer

可以说大尺寸高质量的 SiC 晶圆片的发展为 SiC 功率器件的发展铺平了道路，从而在宽禁带半导体材料中脱颖而出。

近年来，SiC 功率器件受到新兴市场的关注。在 2018-2019 年 Tesla 在它的主要逆变器中采用 SiC，标志着 SiC 功率器件开始进入混合动力汽车和电动汽车领域，预示着 SiC 将有一个繁荣的器件市场。有分析数据表明，SiC 功率半

导体的年产值在 2018-2024 年将以 29% 的年复合增长率达到 20 亿美元。电动汽车市场无疑是最主要的驱动力，并且 SiC 预计会在 2024 年占据功率器件市场份额的 50%，如图 1.4 所示。

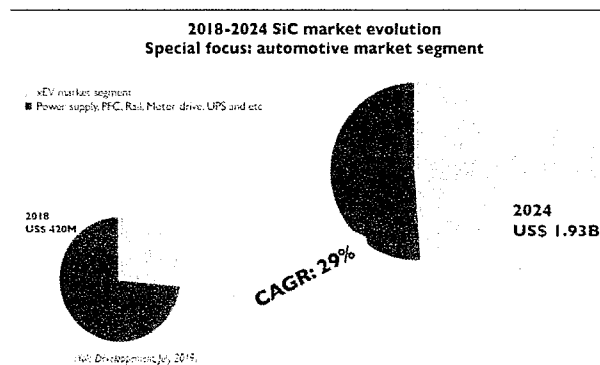


图 1.4 碳化硅在电动汽车领域的预期市场^[1]

Figure 1.4 Market prospective of SiC in electrocar application

尽管碳化硅功率半导体器件已经实现商用，但仍存在多个关键性问题亟待解决^[2-5]。

1、SiC 晶圆片价格居高不下，这是由于其本身的生长技术决定的。SiC 的外延层生长是通过化学气相沉积（CVD）方法进行同质外延实现的。事实上，在 SiC 三类晶相（立方相、六方相和菱形相）的共 260 多种结构中，现阶段具有商用价值的只有六方相的 4H-SiC 和 6H-SiC。由于无偏角外延生长时，即外延表面法线与晶轴（c 轴）夹角 $\theta = 0^\circ$ ，外延层薄膜中容易出现多晶型夹杂，使薄膜难以达到晶圆级别的外延水平，极大地影响 SiC 器件的性能，因此常常采用大偏角 8° 或者 4° 切割的 SiC 晶片作为外延衬底。这种衬底斜切造成的原材料浪费也增加了衬底制备的成本。现阶段小偏角甚至是无偏角斜切衬底的高质量外延技术仍然是各公司科研人员专注攻关的难题。

2、SiC 的 p 型掺杂问题。SiC 的掺杂主要是通过离子注入和材料生长过程中的原位掺杂实现。n 型掺杂杂质一般选用氮元素，而 p 型掺杂则主要是铝元素。但由于铝原子尺寸远大于碳原子，注入掺杂容易造成晶格损伤并难以激活。高温退火时，易造成 SiC 分解问题。

3、SiC 主要是通过表面硅的热氧化工艺生长氧化硅作为栅氧绝缘层，但往

往界面特性较差,影响沟道迁移率。在 NO 气氛下进行热氧化能有效降低界面态密度。同时,尽管 4H-SiC 相比于 6H-SiC 具有更高的体材料迁移率,但是由于 4H-SiC 更严重的氧化物界面缺陷问题,使得 6H-SiC 比 4H-SiC 的沟道迁移率高。

同时, SiC 的很多技术可以借鉴,用于 Ga_2O_3 基功率器件的研究。

1、4H-SiC 采用 Ni/Al 作为欧姆接触金属,并且 1400 °C 高温退火可以优化接触电阻到 $10^{-5} \Omega \cdot \text{cm}^2$ 。6H-SiC 比 4H-SiC 更容易得到低接触电阻比,达到 $10^{-6} \Omega \cdot \text{cm}^2$ 量级。

2、SiC 高压功率器件中采用多种终端和钝化技术来解决边缘电场集聚问题,包括电场板、电场环型和结型终端。例如,大剂量氩离子 (Ar^+) 和硼离子 (B^+) 注入造成的晶格损伤能够在碳化硅中产生高阻区,从而形成结终端,注入后的 600 °C 退火能够进一步改善器件的反向特性。

1.3.2 氮化镓的发展状况

GaN 的研究同样由来已久,但 GaN 的发展路线与 SiC 不同。

最初阶段,没有合适的单晶衬底材料、位错密度较大、n 型本征掺杂浓度过高和无法实现 p 型掺杂等问题导致 GaN 的发展十分缓慢。从 1989 年,松下电器公司首先实现蓝光发光二极管 (LED),到 1993 年日本日亚化学工业公司的中村修二解决了高质量 GaN 薄膜生长和 GaN 空穴导电的调控两个关键材料制备工艺难题,从而成功研制出高亮度蓝光 LED。至此之后, GaN 才逐步快速发展。对于 GaN 的研究,美国和日本起步较早,日本掌握着高质量 GaN 薄膜生长技术和大量加工工艺技术,美国紧随其后。

GaN 材料以半导体照明领域的研究开始早期发展,但由于在 AlGaIn/GaN 异质结界面高性能导电层的存在使其在功率半导体器件领域也大放异彩。这个二维横向电子通道和 AlGaIn/GaN 异质结能够提供极高电荷密度和迁移率的电子,被称为二维电子气 (2DEG)。实际上,二维电子气的研究由来已久,是非对称晶格结构的极化和压电极化效应造成的。

在过去十几年,利用 2DEG 制备的 GaN 高迁移率晶体管 (HEMT) 在高频开关、低导通电阻和小型化系统等高端、高性能的应用驱动了 GaN 功率半导体器件的发展。这种情况在 2019 年发生了变化,氮化镓功率器件进入主流消费应

用领域，多家厂商已经推出基于 GaN 器件的快速充电技术和混合动力汽车的快速充电箱。未来，GaN 有望进入工业和通信电源应用领域，包括数据通信、基站、不间断电源（UPS）和工业激光雷达（LiDAR）应用，这将打破功率器件市场格局。如图 1.5 所示，根据预测类似快速充电的消费电子应用将驱动 GaN 功率器件产值以年复合增长率 85% 增长，并在 2024 年超过 3.5 亿美元。

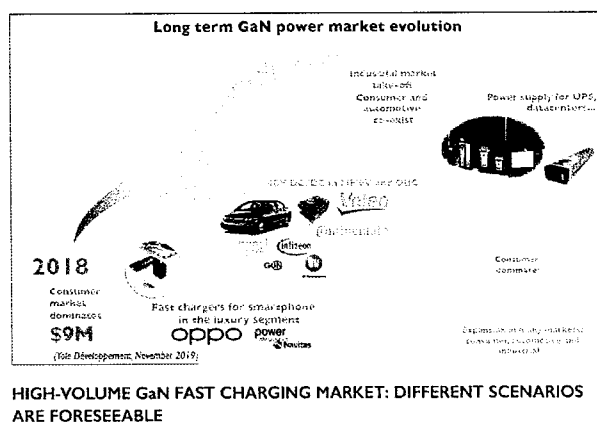


图 1.5 氮化镓在充电领域的预期市场^[6]

Figure 1.5 Market prospective of GaN in Charging application

在潜在爆发的 GaN 功率市场中，除了像得捷电子（Efficient Power Conversion Corporation, EPC）、GaN systems, Transphorm 和 Navtas 这样的纯 GaN 初创公司和诸如英飞凌(Infineon)，松下(Panasonic)和德州仪器（Texas Instruments）这样功率管理的整合器件制造商（IDM），越来越多的公司也希望能够进入 GaN 功率器件市场并从巨大的市场份额中获益。

现在，GaN 功率器件研究主要集中在几个方面^[7-10]：

1、提升击穿电压。由于 GaN 功率 HMET 器件主要是以单晶硅衬底作为支撑层进行异质外延薄膜生长而发展起来的，源漏电极间电流会纵向贯穿 GaN 缓冲层，在 Si 衬底和 GaN 缓冲层界面形成漏电通道，从而降低击穿电压和器件稳定性。可以从以下三个方面提升器件击穿电压：改进衬底结构，改进缓冲层结构，改进器件结构。

2、提升常关型器件的稳定性。常关型器件具有系统安全性高、驱动电路设计简单、系统成本和复杂性低的优点，是功率电子系统的首选器件。GaN 功率 HMET 器件通常采用凹槽栅、p-GaN 帽层、氟离子注入等方式实现常关型器

件。但也存在阈值电压偏低和不稳定的问题。另外，使用 Cascode 级联技术也能间接实现常关功能，但同时会恶化其高工作频率的特性。

3、抑制电流崩塌效应。外延层的表面缺陷在栅电压作用下俘获电子后，在栅偏压撤去后，无法及时得到释放，其产生的表面势垒对沟道的二维电子气产生耗尽作用，从而造成了电流崩塌现象。抑制电流崩塌效应的主要方法包括：

(1) 表面钝化：沉积氮化硅 (SiN) 钝化层有效降低外延层的表面缺陷密度，但对器件的栅极漏电流和截至频率产生影响，增加器件的散热难度；(2) 场板结构：多级场板调控电场分布，从而降低外延层中缺陷俘获电荷的量级；(3) 生长 p 型 GaN 帽层，在栅电极下形成 pn 结耗尽层，屏蔽表面势垒波动对沟道电子的影响；(4) 生长无掺杂势垒层 GaN 或者 AlGaN 帽层；

由于 GaN 单晶衬底的合成技术一直存在问题，长久以来 GaN 功率 HEMT 器件都是在单晶 Si 衬底作为支撑层发展起来的。对于横向器件，Si 支撑层对器件性能的影响有限，而且 Si 衬底具有价格优势，并且利于在单片中集成驱动电路从而实现功率模块集成。

近期以 GaN 单晶衬底作为支撑层的功率器件也在积极开展，取得了一些成果，但 GaN 单晶质量还是限制了器件性能。

1.3.3 新型超宽禁带半导体——氧化镓

氧化镓 (Ga_2O_3) 为人所知已经有数十年的时间，直到最近几年才被广泛研究，这是由于 β 相氧化镓在大尺寸、高质量的单晶和外延薄膜生长技术取得了突破。如图 1.6 所示，除了在功率器件领域的巨大应用潜力， $\beta\text{-Ga}_2\text{O}_3$ 在很多领域都有应用前景。

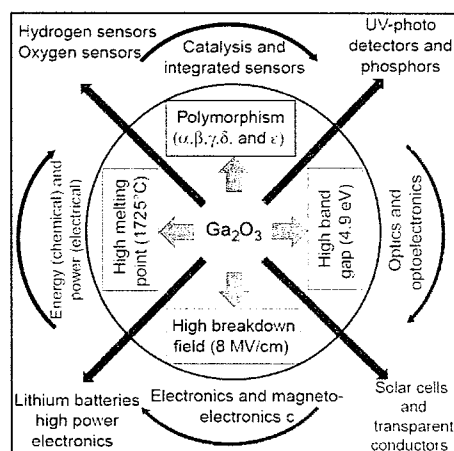


图 1.6 氧化镓的应用领域

Figure 1.6 Applications prospective of gallium oxide

Ga_2O_3 在电磁波谱下深紫外区域下具有优异的透明度，因此 Ga_2O_3 最初是被当做发光二极管（LED）的透明电极材料来研究。结合 Ga_2O_3 宽的禁带宽度和高的热稳定性，成为太阳能光伏、日盲深紫外（UV）探测器、光电子器件和发光显示的完美透明电极替代材料。

利用 $\beta\text{-Ga}_2\text{O}_3$ 晶体中氧空位在吸收特定气体（比如 H_2 、 O_2 ）后电导性质的变化可以研制气体探测器。

另外，非晶氧化镓也曾被当做 GaAs 基的金属-氧化物-半导体场效应晶体管的栅绝缘层材料被研究。

除了基于氧化镓体材料的研究，为了将纳米级器件平台集成到复杂纳米系统中，半导体纳米结构也在下一代高性能器件中展露潜力，如图 1.7 所示的不同尺寸的氧化镓纳米线。基于宽禁带材料纳米结构的优异特性，诸如高的操作稳定性，常温下的低漏电流以及抗辐射和化学稳定性。利用化学气相沉积

（CVD）技术和气-液-固（VLS）生长方法得到的 β 相氧化镓的纳米结构相对于体材料具有高表面体积比、低缺陷和低应力的特点，在纳米级器件中也展现了应用潜力，如光探测器、气体传感器和场效应晶体管^[11-15]。另外，其在物理尺寸上的可调节性也能够有效改变纳米器件的电学和光学性能。

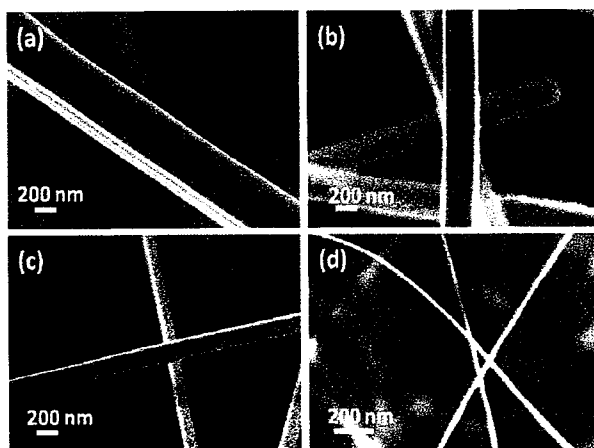


图 1.7 氧化镓纳米线的扫描电子显微镜（SEM）图像

Figure 1.7 SEM of Ga_2O_3 nanowire

1.4 选题的意义和研究内容

1.4.1 选题的意义

由于氧化镓 (Ga_2O_3) 的在禁带宽度、理论击穿电场强度、热稳定性方面更优异的特性,有望在功率半导体器件得到广泛应用,尤其在高压和高频开关器件领域。

日本、美国和欧洲多国都已经开始氧化镓功率半导体器件的研究,而且逐渐形成了自己的特色。

日本在氧化镓单晶合成和高质量外延生长技术方面遥遥领先。日本新型晶体管技术有限公司 (Novel Crystal Technology Inc.) 已经开始出售 2 英寸氧化镓单晶衬底,4 英寸和 6 英寸的单晶片也在积极的开发之中,这是世界上唯一一家提供商用氧化镓单晶衬底和外延片的公司。另外,Novel Crystal Technology Inc. 与研究机构开展合作,积极推进氧化镓基功率器件的开发。2011 年,京都大学成立科技初创公司——日本氧化镓电力设备公司 (Flosfia),积极推动氧化镓基功率半导体器件在电力电子领域的应用,并于 2018 年宣布与日本电装开展合作,推动氧化镓基功率器件在电动汽车领域的关键应用技术开发。事实上,日本 Flosfia 已经在官网上展示氧化镓基功率肖特基二极管产品的样品。

基于对氧化镓功率器件的战略性关注,美国与日本积极开展合作,在器件研制方面成果显著。美国空军实验室专注于横向槽栅结构的常关型器件方面的开发。美国康奈尔大学 G. Xing 课题组在垂直型 Fin-MOSFET 上有着技术和性能优势^[16]。美国俄亥俄州立大学在 δ 掺杂场效应晶体管 (FET) 上开展了大量的研究,取得了一些研究成果^[17,18]。美国普渡大学 P. Ye 课题组通过机械剥离氧化镓薄膜制备的场效应晶体管性能领先^[19]。

欧洲的德国莱布尼茨晶体生长研究所一直致力于氧化镓单晶的生长,取得了一些进展。其他诸如丹麦、意大利、新西兰等国家均有课题组在研究氧化镓的性质和进行器件研发。

相对来说,国内对氧化镓材料的关注相对较晚。山东大学晶体实验室在薄膜法合成氧化镓方面具有自己的技术积累,已经成功合成高质量的 2 英寸单晶,并在提升晶体质量和晶体尺寸上不断研究。功率器件研发方面,中国科学院微电子研究所、河北半导体研究所、西安电子科技大学和南京大学都开展了

一些工作,取得了一定的成果^[20-22]。在产业化方面,2017年成立的北京镓族科技有限公司是一家提供氧化镓单晶衬底、外延薄膜和进行氧化镓基日盲紫外光电器件、高功率电力电子器件和高频大功率通信器件研发的初创公司。

综上所述,氧化镓作为一种新型的超宽禁带半导体材料受到国内外研究者的广泛关注,有望在未来的多个领域得到应用,成为近期功率半导体器件领域的研究热点。

在 SiC 和 GaN 实现商业应用的背景下,且 SiC 和 GaN 的主要技术被国外公司垄断,因此积极开展新型超宽禁带半导体—氧化镓基功率器件研究变得尤为重要。这有利于解决科学问题,有利于进行技术积累,有利于掌握技术优势,从而在新型功率器件领域占据一席之地。

1.4.2 研究内容

氧化镓在高压和高频功率器件领域具有潜在的应用前景。现阶段,由于难以实现有效 p 型掺杂,相关研究工作从单极器件展开。这与 SiC 和 GaN 的早期发展路线十分类似。功率绝缘栅场效应晶体管(Power MOSFET)和功率肖特基二极管(Power SBD)是两种单极性功率半导体器件。

本论文主要开展基于 β 相氧化镓的功率场效应晶体管研究。

本论文共分为六章,各章内容概括如下:

第一章:简要介绍功率半导体器件的发展历史和宽禁带半导体 SiC 和 GaN 的应用现状。概述氧化镓材料的研究现状。最后介绍本论文的研究背景、研究意义及研究内容。

第二章:介绍新型宽禁带半导体氧化镓的物理性质、合成技术和外延技术。

第三章:概述氧化镓场效应晶体管的栅介质层性质的研究情况,包括漏电流、击穿电压和界面特性。介绍提取界面态密度(D_{it})的方法。最后介绍基于 MOS 电容研究了 HfO_2 和 Al_2O_3 作为介质层的漏电特性和与 β -Ga₂O₃ 界面性质。

第四章:概述氧化镓基功率场效应晶体管的研究进展。介绍制备场效应晶体管的关键性刻蚀工艺。我们利用 ICP 刻蚀工艺成功制备常关型槽栅结构场效应晶体管,并测试其静态参数。

第五章:概述功率场效应晶体管在高速开关领域的应用。介绍功率场效应

晶体管的关键动态特性参数，并介绍了测试开关时间和寄生电容的方法。我们在阻性负载下测试 β -Ga₂O₃ 功率场效应晶体管的开关时间和寄生电容特性。

第六章：总结了本论文工作并对未来工作进行展望。

第 2 章 氧化镓晶体的简介

2.1 引言

氧化镓晶体具有五种不同的稳定晶相结构 (α -、 β -、 γ -、 ε -和 κ -), 五种晶相的氧化镓晶体可以在一定的气压和温度环境下转换, 如图 2.1。

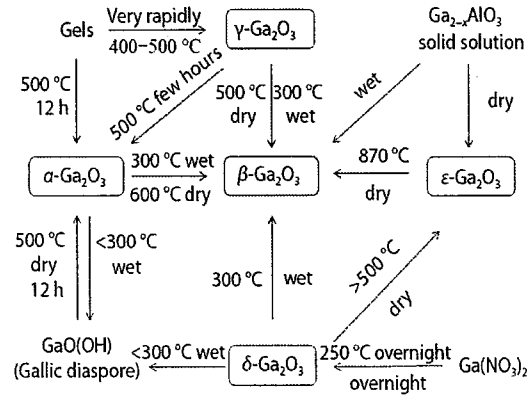


图 2.1 五种氧化镓晶体的转化关系图^[23]

Figure 2.1 Transfer relation of five kinds of crystal phases

β -Ga₂O₃ 是斜立方结构, 属于 C2/m 空间族, 晶格常数 $a=1.223$ nm, $b=0.304$ nm, $c=5.80$ nm, $\beta=103.7^\circ$ 。由于 β -Ga₂O₃ 是氧化镓在热力学上最稳定的形式, 所以氧化镓基功率半导体器件的研究研究主要集中在 β 相。

ε -Ga₂O₃ 是类似于 SiC 和 GaN 的六方晶相, 禁带宽度接近 4.9 eV, 被认为是仅次于 β 相的次稳态形式, 它会在 870 °C 的干燥的环境下转化到 β 相, 属于 P6₃mc 空间族, $a=0.2904$ nm, $c=0.9255$ nm。

α -Ga₂O₃ 是氧化镓第三稳定的晶相形式, 它具有与刚玉和 α -Al₂O₃ 相似的结构, 因此可以在蓝宝石 (α -Al₂O₃) 衬底上实现异质外延生长。 α -Ga₂O₃ 属于 R-3c 空间族, 晶格常数 $a=0.49825$ nm, $c=1.3433$ nm。 α -Ga₂O₃ 在 600 °C 的干燥环境下会转化成 β 相, 但是在潮湿环境下, 300 °C 就足够导致转化发生。

γ -Ga₂O₃ 是类似于 MgAl₂O₄ 和尖晶石的立方结构, 属于 Fd-3m 空间族, 晶格常数 $a=0.822$ nm。

δ -Ga₂O₃ 是体心立方结构, 属于 Ia-3 空间族, 晶格常数 $a=1.00$ nm。

另外, κ - Ga_2O_3 是 ε - Ga_2O_3 的 Ga 原子在亚晶格上造成的纳米颗粒, 是一种瞬态相晶相。 κ - Ga_2O_3 属于斜方晶系 Pna21 空间族, 晶格常数 $a=0.5046\text{ nm}$, $b=0.8702\text{ nm}$ 和 $c=0.9283\text{ nm}$ 。

根据图 2.1, β - Ga_2O_3 是各种晶相转化的终点。 β - Ga_2O_3 的熔点温度达到 $1793\text{ }^\circ\text{C}$, 良好的热稳定也是功率器件材料的重要考量因素。另外, 通过理论计算, β - Ga_2O_3 的热膨胀系数在这几种晶相形式中也是最低的^[24]。综上所述, 基于氧化镓的功率半导体器件主要是基于 β - Ga_2O_3 开展。有部分基于 α - Ga_2O_3 的研究可以参考相关资料, 这里不详细说明。

本章主要主要介绍 β 相氧化镓的物理性质、单晶合成方法和外延薄膜生长技术。

2.2 β 相氧化镓的性质

2.2.1 晶格结构

β - Ga_2O_3 的斜立方晶格结构如图 2.2 所示, a 轴 ((100) 晶向) 的晶格常数远大于 b 轴 ((001) 晶向) 和 c 轴 ((001) 晶向), 这意味着能通过机械剥离的方法得到纳米薄膜, 类似于二维材料。

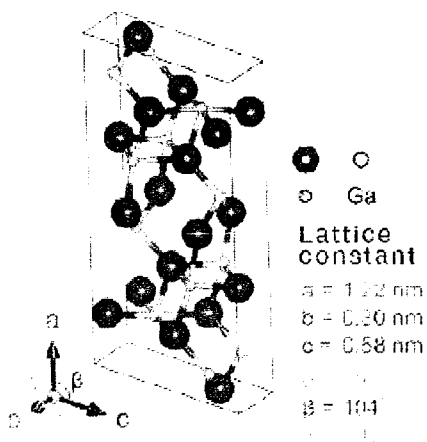


图 2.2 β 相氧化镓晶格结构^[25]

Figure 2.2 Crystal structure of β - Ga_2O_3

具体来说, β - Ga_2O_3 的晶格结构是由 $[\text{GaO}_6]$ 八面体组成的双链沿着 b 轴排布构成, 链与链由 $[\text{GaO}_4]$ 连接。另外, Ga 原子在晶体中有四配位和六配位两种形

式, 如图 2.3 所示。尽管 $\beta\text{-Ga}_2\text{O}_3$ 的结构有利于自由电子的输运, 但是超宽的禁带宽度或者说深势垒束缚了电子。实际上, 有研究者猜测 $\beta\text{-Ga}_2\text{O}_3$ 的本征导电性来源于氧空位缺陷带来的自由电子, 这类似于 ZnO 。但是也有研究者通过理论计算认为氧空位是深层能级, 在单晶合成中引入的 H 可能是本征电子导电的来源^[26-29]。

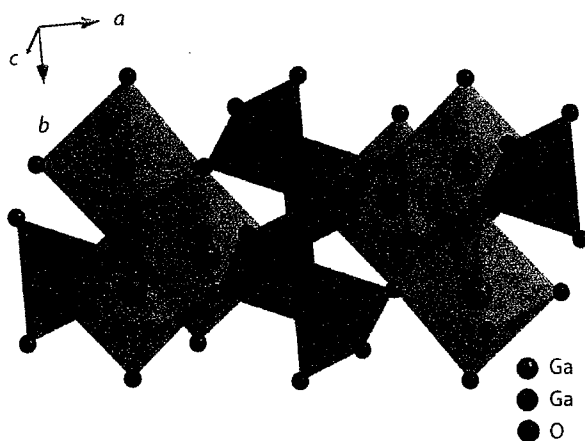


图 2.3 β 相氧化镓的双链结构

Figure 2.3 Double chain structure of $\beta\text{-Ga}_2\text{O}_3$

2.2.2 电学性质

如表 2.1 所示, $\beta\text{-Ga}_2\text{O}_3$ 的禁带宽度达到 $\sim 4.8\text{ eV}$, 超过 SiC ($\sim 3.3\text{ eV}$) 和 GaN ($\sim 3.4\text{ eV}$), 这也是氧化镓被称为超宽禁带 (UWG) 半导体的原因。

表 2.1 β 相氧化镓的材料性质

Table 2.1 Material properties of $\beta\text{-Ga}_2\text{O}_3$

	单晶硅	碳化硅	氮化镓	氧化镓
禁带宽度 (eV)	1.1	3.3	3.4	4.8
击穿电场 (MV/cm)	0.3	2.5	3.3	8
电子迁移率 (cm^2/Vs)	1400	1000	1200	300
相对介电常数	1	9.7	9.0	10
Baliga 品质因子	1	340	870	3444

由于理论击穿电场强度 E_c 和禁带宽度 E_g 存在一种粗略的平方关系, 氧化镓

的理论击穿电场强度达到惊人的 8 MV/cm，是 SiC 和 GaN 的两倍以上，如图 2.4 所示^[30-33]。Baliga 品质因子 ($BFOM = \epsilon \cdot \mu \cdot E_c^3$, ϵ 为介电常数, μ 为载流子迁移率, E_c 为理论击穿电场强度) 是评估半导体材料在功率器件应用中直流导通损耗水平的参数。 β -Ga₂O₃ 的 Baliga 品质因子是 SiC 的 10 倍, GaN 的 4 倍, 说明在相同击穿电压下, 氧化镓功率器件有潜力实现更低的开态导通损耗。

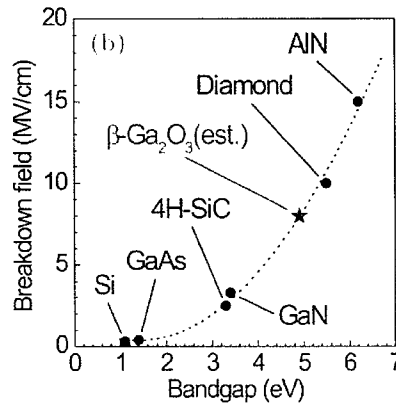


图 2.4 β 相氧化镓的理论击穿电场强度

Figure 2.4 Theoretical breakdown electrical field strength of β -Ga₂O₃

如图 2.5 展示了多种材料的导通电阻和击穿电压的理论极限, 横轴为击穿电压 (V_{br}), 纵轴为特征导通电阻 (R_{on})。根据以上信息可知, β -Ga₂O₃ 在高压功率半导体器件领域的具有应用潜力, 从而丰富宽禁带半导体功率器件的应用范围, 尤其在高压领域。同样的, 我们注意到氮化硼 BN、氮化铝 AlN 和金刚石的品质因数更高, 但其在材料制备和器件工艺上仍存在很大的限制, 如果这些问题能够解决, 他们同样具有应用的可能。事实上, 一些针对金刚石和 BN 的功率器件的研究已经开始。

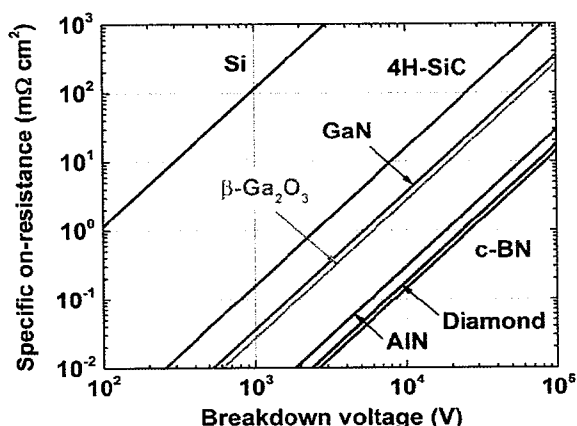


图 2.5 β 相氧化镓的特征导通电阻与击穿电压的理论关系极限

Figure 2.5 Theoretical limits of on-resistances versus breakdown voltage of β -Ga₂O₃

2.3 β 相氧化镓的制备工艺

2.3.1 晶体合成技术

对于氧化镓的研究由来已久，早在 1952 年 Roy et al.就报道了在 Al₂O₃-Ga₂O₃-H₂O 系统的晶相平衡研究。到 1965 年，Tippins et al.通过观察光吸收和光电导确定了 β -Ga₂O₃ 的禁带宽度为 4.7eV。二十世纪 90 年代以来，单晶氧化镓体合成技术开始得到发展。直到近期在高质量 β 相单晶衬底合成技术和外延薄膜生长技术方面的突破性进展，而受到功率半导体器件领域的广泛关注，成为研究热点。

氧化镓能够通过熔体法进行合成，包括提拉（Czochralski）法、浮区（Floating Zone, FZ）法、布拉奇慢法和导模（Edge-defined Film-fed Growth, EFG）法。几种方法对比来看，EFG 法可以实现大尺寸和高质量的单晶生长，这是一种熔融法的改进技术，具有生长速度快、生长质量高的特点、低损耗和低成本的特点。

简单来说，导模法是在原料坩埚内放入模具，通过加热坩埚使生长原料融化后沿着模具缝隙上升，在模具上表面发生液体凝固，形成单晶，如图 2.6 所示的生长示意图^[28, 34, 35]。

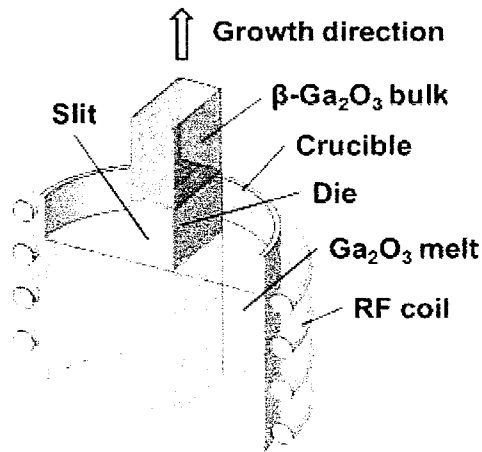


图 2.6 导模法的生长示意图

Figure 2.6 Schematic diagram of EFG method

近年来，氧化镓单晶合成的尺寸快速增长，K. Akito et al. 已经报道了 EDG 生长的 6 英寸的衬底晶圆片，并且 Tamura Corporation 已经售卖直径 2 英寸的晶圆片，如图 2.7 所示。

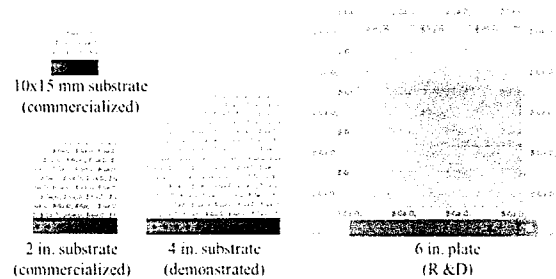
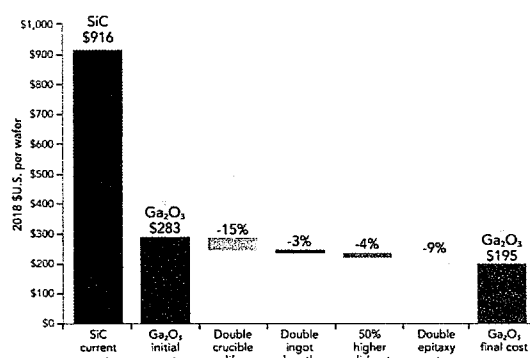


图 2.7 导模法生长的氧化镓晶圆片

Figure 2.7 β -Ga₂O₃ wafer by EFG method

现阶段，由于处在研究阶段，氧化镓的单晶衬底价格仍较高。但根据预测，随着合成技术的发展和优化产业结构，氧化镓的价格将继续降低，如图 2.8 所示。综上，大尺寸的氧化镓的衬底材料是一个很重要的商用优势。

图 2.8 降低氧化镓晶圆片的价格的方法^[36]Figure 2.8 Plan of decreasing cost of β -Ga₂O₃ wafer

2.3.2 外延薄膜生长技术

β -Ga₂O₃ 的同质和异质外延生长可以通过很多方法实现，比如分子束外延 (MBE)、金属有机物化学气相沉积 (MOCVD、MOVPE)、mist-CVD、脉冲激光沉积 (PLD)、GaN 氧化生长、溶体悬涂 (Sol-Gel) 和氢化物气相外延 (HVPE)。

这里介绍两种主流的外延薄膜生长方式：MOCVD 和 MBE。

MOCVD 可以进行同质外延生长和异质外延生长。在蓝宝石衬底上异质外延生长亚稳态晶相氧化镓 (α -Ga₂O₃) 外延膜。生长速度快，适合量产，但是外延薄膜质量相对较差，迁移率仅为 40 cm²/(V·s)。

MBE 外延法生长的高纯度薄膜，具有表面平坦、掺杂浓度可控和原位电子衍射检测等优点，是氧化镓外延薄膜生长技术中最受欢迎的方法。

最近，MBE 外延生长取得了实质性进展，并且发展速度在不断加快。但是，氧化镓的 MBE 生长仍处在初阶段。根据近期的报道，Ga₂O₃ 的 MBE 生长速度仍相对较低，往往小于 50 nm/h，而提升生长速度的方法仍在研究之中。随着对于生长过程和 Ga/O 通量比例的理解不断加深，改善氧原子来源的设计，提升 MBE 腔体抽运速度和最大活跃氧离子通量有望能够进一步提升生长速度。

2.4 关键问题

氧化镓也存在一些性能上的限制，这也是功率器件研究需要重点关注的焦

点问题，如图 2.9 所示。

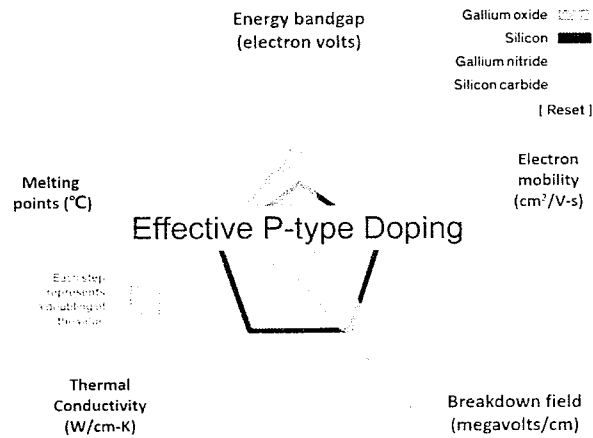


图 2.9 氧化镓性能的雷达图

Figure 2.9 Property radar image of β -Ga₂O₃

1、低电子迁移率

低电场下， β -Ga₂O₃ 中电子的理论迁移率约为 300 cm²/ (V · s)，不仅低于 SiC 和 GaN，甚至低于单晶 Si。载流子迁移率低是氧化物半导体的共性问题。这主要是由于氧原子限制了电子的自由移动和各种散射机制影响了电子的输运性质。另外，由于 β 相氧化镓晶格结构的低对称性造成的电子-纵向光学声子耦合作用的各向异性，造成 z 轴的迁移率略低于 x 轴和 y 轴。

如表 2.2 所示，高电场下，电子具有很高的饱和速度， $\sim 10^7$ cm/s。因此如果能够在短沟道内实现电子的弹道输运，则有望实现更高的电子迁移率。根据计算，在 5 nm 厚的 AlGaO/Ga₂O₃ 异质结构中，二维电子气电子浓度可以达到 5×10^{12} /cm²，电子迁移率可以达到 1000 cm²/ (V · s)。

表 2.2 理论计算氧化镓各个晶向的电子迁移率和饱和速度

Table 2.2 Computed value of mobility and velocity in β -Ga₂O₃

	(100)	(010)	(001)
迁移率 (cm ² / V·s)	140	140	112
饱和速度 (cm/s)	10^7	1.5×10^7	10^7

2、有效 p 型掺杂

由于掺杂技术是半导体器件制备中关键性的工艺技术，因此受到研究人员的广泛关注，主要针对三个方面：绝缘性掺杂、n 型掺杂和 p 型掺杂。

β -Ga₂O₃ 晶体在合成中由于各种缺陷导致本征 n 型掺杂，可以通过掺杂深度补偿杂质来实现良好的绝缘性能，比如 Fe、Mg 等。

对于 n 型掺杂技术，Si 和 Sn 是比较良好的掺杂元素，在 $10^{15}\sim 10^{19}\text{ cm}^{-3}$ 范围内掺杂浓度可调可控。其他掺杂工艺包括晶体生长中的原位掺杂，外延生长导电薄膜、离子注入、高温扩散掺杂等也得到了报道^[25]。

对于 p 型掺杂技术，氧化镓面临着一定的技术困难。主要由于以下几点原因：1、氧化镓单晶中的本征 n 型掺杂的影响；2、缺少合适的浅能级受主杂质；3、受主杂质易钝化，造成激活率低。目前尝试的受主杂质包括 N、Mg、Al、Zn 等。另外，根据第一性原理计算，从能带结构判断发现空穴具有极高的有效质量，这说明空穴形成局部极化子而被束缚在晶格中，所以难以自由运动。当然，包括多种杂质的共掺杂、金属和非金属杂质的共掺杂等很多方法，仍在不断的被尝试。

3、低热导率

尽管 β -Ga₂O₃ 氧化镓具有优良的热稳定性和高熔点温度，但 $0.1\text{-}0.3\text{ Wcm}^{-1}\text{K}^{-1}$ 的热导率让功率器件的研究人员感到挫败。这的确是一个很大的限制因素，但是并非完全不能克服，比如通过将氧化镓功率器件集成到高热导率的 SiC 和金刚石上、通过有效的散射结构设计、通过减薄薄膜厚度等方法。

第3章 β 相氧化镓上栅介质的研究

3.1 引言

在金属-氧化物-半导体场效应晶体管（MOSFET）中，氧化物作为栅绝缘层即承担着实现栅电极和导电沟道层物理隔绝的作用，同时又要保证栅电压对沟道层的调控作用，因此栅介质层的性质对场效应晶体管的性能至关重要。这里主要涉及栅介质层与半导体的能带结构、界面特性以及介质层的介电常数。

一方面，在氧化镓基场效应晶体管中，绝缘层的能带宽度只有远大于氧化镓的禁带宽度，才能有效遏制漏电流。又因为氧化镓属于 n 型掺杂，所以导带的带偏 ΔE_c 需要大于 1 eV 才能有效阻挡沟道层电子穿过绝缘层造成栅极漏电。比较常用的是 Al_2O_3 、 SiO_2 。

另一方面，栅电极通过栅介质形成的电容结构实现沟道中载流子的积累和耗尽，从而控制场效应晶体管的开启和关断，即在栅电极施加正电压时，电子在沟道层中积累，形成导电沟道，晶体管开启；在栅电极施加负电压时，沟道层电子耗尽，导电沟道消失，晶体管关闭；单位栅极电容越大，栅控能力越强。根据平板电容公： $C = \epsilon_{ox}/d$ ，显然栅介质层介电常数 ϵ_{ox} 越高，介质层厚度 d 越薄，栅电容越大。但介质层厚度过薄会增大栅极漏电，因此提升栅绝缘层的介电常数是更优选的方式。

除此之外，栅介质层和半导体衬底之间的界面性质也会影响场效应晶体管的性能。界面缺陷会在栅电极施加偏压后俘获电荷，形成对栅电极电场的屏蔽作用，削弱栅电极对沟道载流子的调控作用，影响晶体管的开关特性。界面缺陷还会增加栅漏电流、降低栅介质层稳定性、造成阈值电压漂移等问题。

本章我们概述 β 相氧化镓上介质层的研究情况，包括 Al_2O_3 和 SiO_2 。然后介绍提取界面态密度的方式。最后介绍本论文基于 HfO_2 和 Al_2O_3 构成的叠层介质结构的 MOS 电容研究了与 HfO_2 和 Al_2O_3 与 β - Ga_2O_3 的漏电特性和界面性质。

3.2 β 相氧化镓上栅介质的研究

3.2.1 β 相氧化镓上氧化硅的特性

氧化硅是最常用到的栅介质材料，这是由于在单晶硅作为衬底材料时可以通过热氧化工艺直接得到高质量的氧化硅，这也是单晶硅被称为“上帝赠送的礼物”的原因。而 SiC 也可以通过热氧化得到 SiO_2 ，尽管由于界面碳络合物的原因， SiO_2/SiC 界面特性较差，但也可以通过 N_2O 气氛热退火等方式改善。

SiO_2 被选择作为 Ga_2O_3 MOSFET 栅介质层的主要原因是良好的工艺兼容性和绝缘性高，即极宽的禁带宽度和足够的导带带偏。

2015 年，美国巴法罗大学的 Y. Jia et al. 通过 X 射线光电子能谱 XPS 测试了原子层沉积法 (ALD) 生长的 SiO_2 和 $(-201) \beta\text{-Ga}_2\text{O}_3$ 之间的能带结构，如图 3.1 所示。 SiO_2 的禁带宽度达到了 8.6 eV 远大于氧化镓的 4.54 eV，导带带偏 (ΔE_c) 为 3.63 eV，因此能有效的阻挡电子的隧穿。另外，采用福勒-诺德海姆 (F-N) 隧道模型拟合 I-V 数据 (如图 3.2 所示) 提取出的导带势垒高度为 3.76 eV，与 XPS 测试数据基本一致。

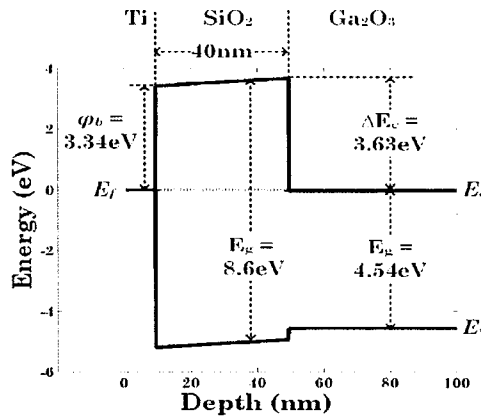


图 3.1 SiO_2 与 $(-201) \beta\text{-Ga}_2\text{O}_3$ 的能带结构^[37]

Figure 3.1 Band diagram of $\text{SiO}_2/(-201) \beta\text{-Ga}_2\text{O}_3$

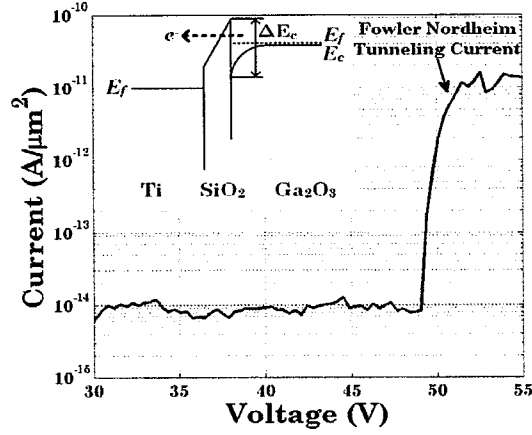

 图 3.2 β -Ga₂O₃ 上 40nm 厚的 SiO₂ 的漏电曲线^[38]

 Figure 3.2 Leakage characteristic of 40nm SiO₂ on β -Ga₂O₃

2016 年, 日本国家信息通信技术实验室的 Konishi et al. 利用 XPS 测试了液体源化学气相沉积 (LSCVD) 的方式生长的 SiO₂ 与 (010) β -Ga₂O₃ 之间的能带关系。SiO₂ 的禁带宽度为 8.7 ± 0.2 eV, 氧化镓的禁带宽度为 4.6 eV, 导带带偏为 3.1 ± 0.2 eV, 如图 3.3 所示。以上研究表明 SiO₂ 能够作为 β -Ga₂O₃ MOSFET 的栅绝缘层。

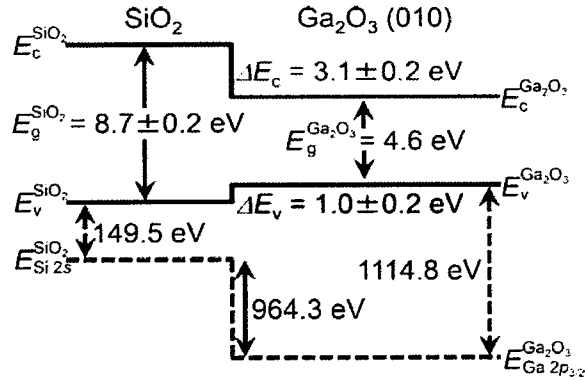

 图 3.3 SiO₂ 与 (010) β -Ga₂O₃ 的能带结构

 Figure 3.3 Energy-band alignment of SiO₂/(010) β -Ga₂O₃

2016 年, 美国巴法罗大学的 K. Zeng et al 在以 20 nm ALD 生长的 SiO₂ 作为介质层的 MOS 电容上提取了 SiO₂/(-201) β -Ga₂O₃ 的界面特性, 采用 Terman 法 (电容法) 和电导法提取的界面缺陷密度 D_{it} 基本一致。实验结果表明氢氟酸

(HF)、稀盐酸 (HCl) 处理使 $\text{SiO}_2/(-201)\beta\text{-Ga}_2\text{O}_3$ 界面缺陷密度提升, 而未经处理的 $\text{SiO}_2/(-201)\beta\text{-Ga}_2\text{O}_3$ 界面特性良好, 缺陷密度仅为 $\sim 6 \times 10^{11} \text{ cm}^{-2}\text{eV}$, 如图 3.4 和 3.5 所示。

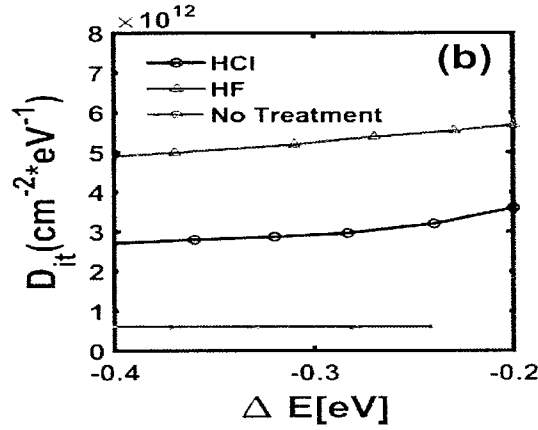


图 3.4 电容法提取 $\text{SiO}_2/(-201)\beta\text{-Ga}_2\text{O}_3$ 界面缺陷密度

Figure 3.4 D_{it} of $\text{SiO}_2/(-201)\beta\text{-Ga}_2\text{O}_3$ by Terman method

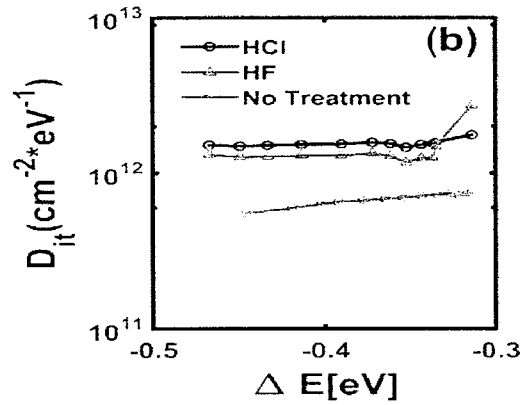


图 3.5 电导法提取 $\text{SiO}_2/(-201)\beta\text{-Ga}_2\text{O}_3$ 界面缺陷密度^[38]

Figure 3.5 D_{it} of $\text{SiO}_2/(-201)\beta\text{-Ga}_2\text{O}_3$ by Conductance method

2017 年, K. Zeng et al 采用 Terman 法提取不同晶向的 $\beta\text{-Ga}_2\text{O}_3$ 与 SiO_2 之间的界面态密度, 发现 (010) 晶向的氧化镓与 SiO_2 直接界面特性最好, (-201) 晶向的最差, 如图 3.6 所示。另外, 27°C 到 300°C 的变温 $C-V$ 测试扩大了电容法测量的界面缺陷的能级范围。结果显示各个晶向的结果差异不大, 可能是高温测试时造成的退火效果削弱了晶向的造成的差异, 在高温时测定的界面缺

陷密度降低。

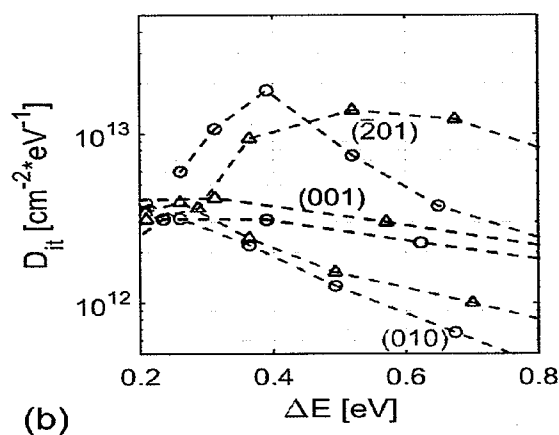


图 3.6 SiO_2 与不同晶面的氧化镓的界面缺陷密度^[37]

Figure 3.6 D_{it} between SiO_2 and different crystal faces of $\beta\text{-Ga}_2\text{O}_3$

3.2.2 β 相氧化镓上氧化铝的特性

Al_2O_3 是介电常数为高于 SiO_2 的介质材料，属于高 K 介质层，且绝缘性能优良，是常用的栅绝缘材料。由于对于氧化镓来说， Al_2O_3 和 SiO_2 在工艺难度上基本没有区别，因此本身特性优良是主要的使用标准。

早在 2014 年，美国俄亥俄州立大学的 T. Hung et al. 在 $(-201)\beta\text{-Ga}_2\text{O}_3$ 上利用原子层沉积法 (ALD) 生长的 Al_2O_3 制备 MOS 电容，通过 $C-V$ 测试，得到 Al_2O_3 与 $(-201)\beta\text{-Ga}_2\text{O}_3$ 之间的导带带偏为 1.7 eV。通过缺陷辅助隧穿模型 (TAT) 拟合 $I-V$ 曲线得到的导带带偏为 1.1 eV。

2014 年，日本国家信息与通信技术研究所 T. Kamimura et al. 采用 X 射线光电子图谱 XPS 测试了的 $\text{Al}_2\text{O}_3/(-201)\beta\text{-Ga}_2\text{O}_3$ 能带结构，如图 3.7 所示。 Al_2O_3 的禁带宽度为 6.8 ± 0.2 eV，导带带偏为 $1.5 \sim 1.6 \pm 0.2$ eV。利用福勒-诺德海姆 (F-N) 隧道模型拟合 $I-V$ 数据提取出的导带势垒高度为 1.6 ± 0.2 eV，与 XPS 测试数据基本一致。

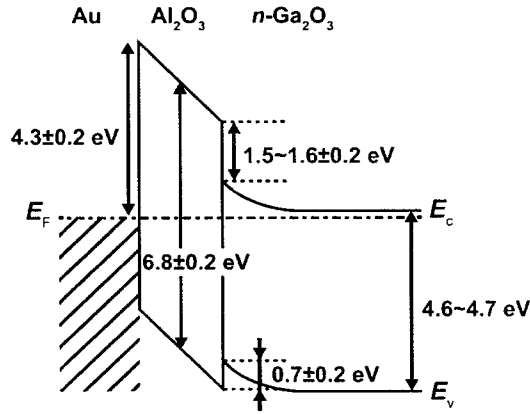


图 3.7 通过 Poisson 仿真得到的 $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ 能带结构

Figure 3.7 Band diagram of $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$

在 2016 年, 日本东京工业大学的 M. Hattori. et al. 利用 XPS 测试了 $\gamma\text{-Al}_2\text{O}_3/(010) \beta\text{-Ga}_2\text{O}_3$ 的能带结构。结果表明, 脉冲激光沉积 PLD 生长的 $\gamma\text{-Al}_2\text{O}_3$ 的禁带宽度为 7.0 eV, 导带带偏为 1.9 eV。

总之整体来说, Al_2O_3 与 $\beta\text{-Ga}_2\text{O}_3$ 的导带带偏小于 SiO_2 , 但 20 nm Al_2O_3 的基本可以达到 1 pA 以下的漏电。

2016 年, 日本国家信息和通信技术研究所的 T. Kamimura et al. 利用电容法提取了 Al_2O_3 与 $(-201) \beta\text{-Ga}_2\text{O}_3$ 和 $(010) \beta\text{-Ga}_2\text{O}_3$ 的界面缺陷密度, 均在在 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下, 如图 3.8 所示。通过 TEM 图片观察到 Al_2O_3 在 $(010) \beta\text{-Ga}_2\text{O}_3$ 界面附近出现 $\gamma\text{-Al}_2\text{O}_3$ 结晶薄层, 导致了界面特性的提升, 如图 3.9 所示。

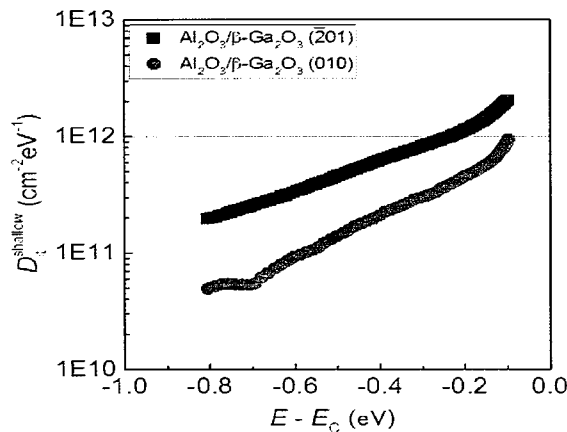


图 3.8 由高-低频电容法提取 $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ 的界面态密度^[39]

Figure 3.8 Dit of $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ by High-Low frequency capacitance method

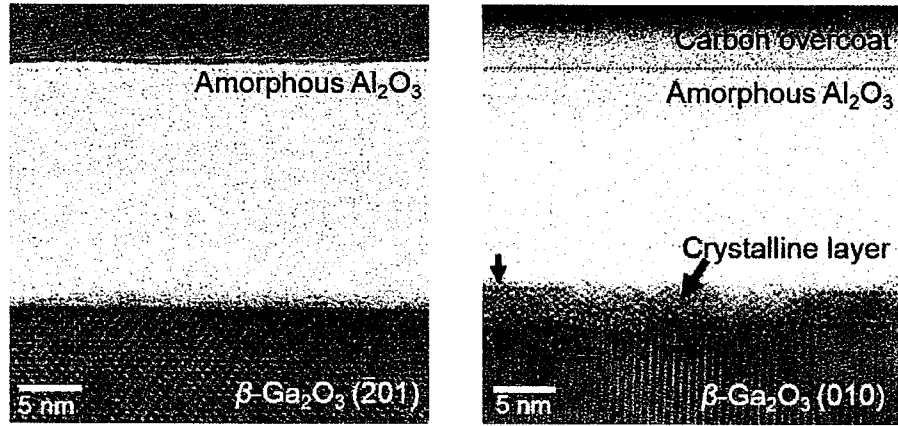


图 3.9 (a) $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ 和 (b) $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ 截面的 TEM 图

Figure 3.9 TEM micrographs of (a) $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ and (b) $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$

2016 年, 美国普渡大学的 H. Zhou et al. 发现利用湿法腐蚀液 (98% H_2SO_4 : 30% $\text{H}_2\text{O}_2=3:1$) 处理可以降低 ALD- $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ 的界面缺陷密度, 从 $1.4 \times 10^{12} \text{ cm}^{-2}$ 降低到 $3.2 \times 10^{11} \text{ cm}^{-2}$ 。另外, 500 $^\circ\text{C}$, O_2 气氛下的后退火 PDA 工艺也能提升界面特性。

2018 年, 美国耶鲁大学的 M. Bhuiyan et al. 研究了 ALD- $\text{Al}_2\text{O}_3/(-201) \beta\text{-Ga}_2\text{O}_3$ 的界面缺陷俘获效应, 通过偏压导致的平带电压平移现象的减弱判读出 500 $^\circ\text{C}$, N_2 气氛下退火 30 s 可以减少介质缺陷。另外, Al_2O_3 中的氧空位被认为是辅助隧穿电流的缺陷, 如图 3.10 所示。

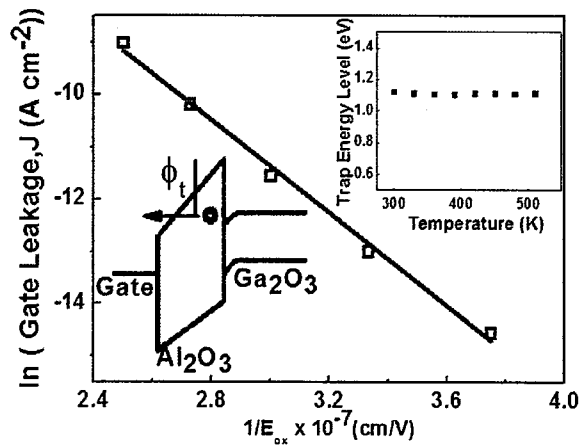


图 3.10 漏电流-电场的关系与缺陷辅助隧穿模型一致

Figure 3.10 The linear relation between $\ln(\text{leakage current})$ vs. inverse of electric field is consistent with TAT model

2018 年, 美国奥本大学的 A. Jayawardena et al. 利用电容法提取了 LPCVD-SiO₂/(-201) β -Ga₂O₃ 和 ALD-Al₂O₃/(-201) β -Ga₂O₃ 的界面缺陷密度, 如图 3.11 所示^[38]。

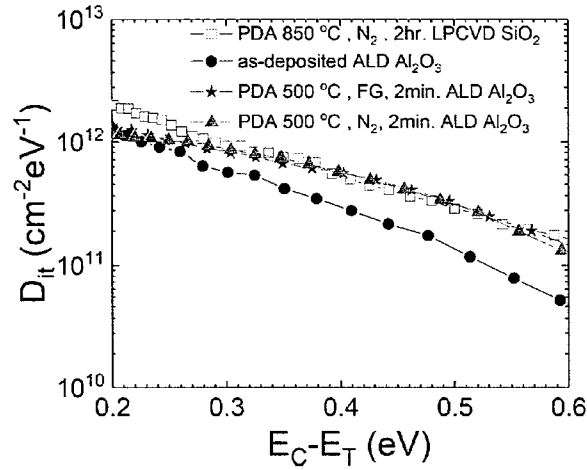


图 3.11 电容法提取的 SiO₂ 和 Al₂O₃ 与(-201) β -Ga₂O₃ 的界面缺陷

Figure 3.11 Dit of LPCVD SiO₂ and ALD Al₂O₃ on (-201) β -Ga₂O₃

如图 3.12 所示, ALD-Al₂O₃/(-201) β -Ga₂O₃ 界面缺陷密度略低, 但漏电流水平则是高于 SiO₂。这个结果和能带结构一致。

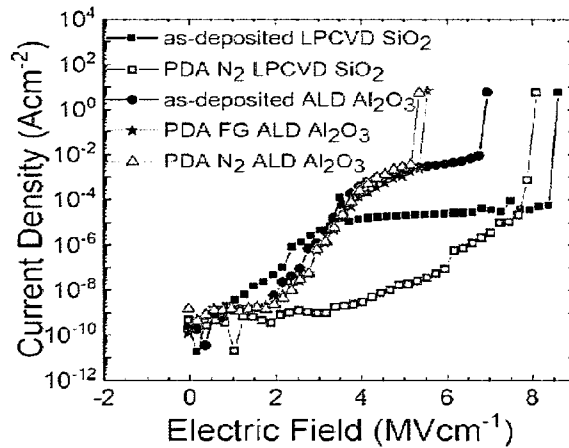


图 3.12 SiO₂ 和 Al₂O₃ 的漏电流特性^[40]

Figure 3.12 Leakage current of SiO₂ and Al₂O₃

另外, 在 2017 年, 美国国家研究实验室的 Weeler et al. 利用 XPS 测试了 ZrO₂ 和 HfO₂ 与(-201) β -Ga₂O₃ 的能带结构。尽管 ZrO₂ 和 HfO₂ 的禁带宽度仅仅略大于 β -Ga₂O₃, 但是导带带偏均大于 1.2 eV。

3.3 提取界面缺陷态密度的方法

界面缺陷实际上是分布在半导体与介质层界面处的悬挂键,混合气氛下的热退火工艺可以减少界面缺陷。

提取界面缺陷态密度的物理基础是界面缺陷存在电荷占据和空置两种状态以及俘获和释放电荷两个过程,由此产生等效电容和充放电电流。因此提取界面态的方法就是测量出由界面缺陷造成的等效电容和由界面缺陷带来的充放电电流,从而通过计算得到界面缺陷态密度。

3.3.1 电容法

由于 MOS 电容本身就是平板电容,在进行电容测试时,界面缺陷的等效电容被混在其中,因此利用电容法提取界面态密度方法的出发点是通过特殊的电容测试方法将界面缺陷等效电容分离出来,这需要利用界面缺陷等效电容与 MOS 电容的区别^[41-43]。

界面缺陷等效电容的特点是由界面缺陷的俘获和释放电荷的时间常数造成的,即界面缺陷仅在低频交流信号下存在电容效应,而无法在高频交流信号下俘获和释放电荷,因此失去了电容效应。换言之,如果不考虑介质层中固定电荷,移动电荷和其他非理想因素,认为高频下测试到介质层的 $C-V$ 曲线是理想曲线这就是高-低频电容法。

当然也可以通过纯理论计算得到理想的电容 $C-V$ 曲线。通过低频测试电容和理论计算得到的理想电容 $C-V$ 曲线之间的区别来提取界面缺陷密度,这就是低频电容法。

利用高频电容曲线测量界面缺陷态密度的方式称为高频法,主要分为利用界面缺陷对直流扫描偏压的反应造成的 $C-V$ 曲线在横轴方向的拉伸现象的 Terman 法;利用载流子在半导体中因温度变化而造成的分布变化的 Gray-Brown 法;利用半导体积累和反型状态下不同的高频 $C-V$ 曲线的 Jenq 技术;

由于电容测试的准确度限制,电容法适用于测量缺陷态密度在 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以上的情况。这里主要介绍高-低频电容法,因其能更普遍地应用到宽禁带半导体材料中。

如上图 3.12 所示的等效图,在高低频率下可以测得不同的电容值, C_{ox} 是

介质层电容, C_d 是半导体电容, C_{it} 是界面缺陷等效电容。

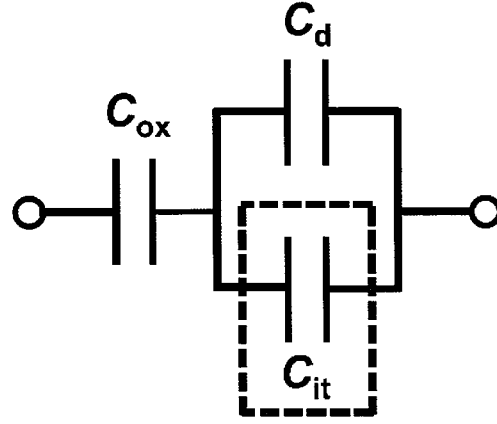


图 3.12 高-低频下 MOS 电容等效图

Figure 3.12 The equivalent figure of MOS capacitance at high and low frequency

在低频下测试到的电容 C_{lf} , 如下面公式:

$$C_{lf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_d + C_{it}} \right) \quad \dots (3.1)$$

在高频下测试到的电容 C_{hf} , 如下面公式:

$$C_{hf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_d} \right) \quad \dots (3.2)$$

而通过换算得到界面缺陷等效电容 C_{it} , 如下面公式:

$$C_{it} = \left(\frac{1}{C_{lf}} + \frac{1}{C_{ox}} \right)^{-1} - \left(\frac{1}{C_{hf}} + \frac{1}{C_{ox}} \right)^{-1} \quad \dots (3.3)$$

界面缺陷等效电容 C_{it} 和界面缺陷态密度 D_{it} 的关系, 如下面公式:

$$D_{it} = \frac{C_{it}}{q^2} \quad \dots (3.4)$$

因此, 根据公式 (3.3) 和 (3.4), 得到提取界面缺陷密度 D_{it} 的公式:

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}/C_{ox}}{1 - C_{lf}/C_{ox}} + \frac{C_{hf}/C_{ox}}{1 - C_{hf}/C_{ox}} \right) \quad \dots (3.5)$$

然后, 需要确定界面缺陷态密度的能量位置。计算界面缺陷密度对应的能级位置的原理是在半导体中电子按照费米-狄拉克分布函数分布, 即电子仅分布在费米能级以下, 当然存在 1 kT 的能量扰动, 但常温下可以基本忽略这 0.026 eV 。因此当进行 C - V 测试时, 不同直流偏压下, 仅分布在费米能级附近的界面缺陷能够俘获费米能级下的电荷, 产生等效电容效应。分布在费米能级之上的缺陷无法俘获电荷, 费米能级之下的缺陷无法释放电荷, 因此没有等效电容效

应，如图 3.13 所示。

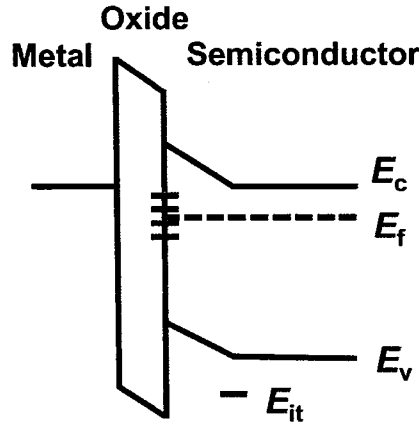


图 3.13 界面缺陷密度的能量

Figure 3.13 The band diagram of interfacial states

因此不同偏压下测试到的界面缺陷密的能量 (E_t) 就是费米能级的位置，因此缺陷能级的位置 $E_c - E_t$ ，如下面公式：

$$E_c - E_{it} = q \cdot \psi_s + E_c - E_f \quad \dots (3.6)$$

其中 ψ_s 是表面势， E_f 是费米能级位置， E_c 是导带能量，可以按照下面的公式计算表面势 ψ_s ：

$$\psi_s = \frac{A^2 \epsilon_0 \epsilon_s q N_d}{2 C_d^2} \quad \dots (3.7)$$

其中 A 是电容面积， ϵ_0 是真空介电常量， ϵ_s 是半导体介电常数， C_d 是半导体电容， N_d 是掺杂浓度。

3.3.2 电导法

1967 年 Nicollian 和 Goetzberger 提出的电导法是测试界面缺陷态密度更为敏感的方法，能够测试到 $10^9 \text{ cm}^{-2} \text{ eV}^{-1}$ 以下的界面态密度。理论上，电导法是更加理想的测试方法，能够摆脱载流子俘获截面和表面势垒波动等因素造成的影响。电导法是基于测试 MOS 电容并联等效电导 G_p 与直流偏压和频率的函数关系提取界面缺陷态密度的方法。这里的等效电导代表着由界面缺陷俘获和释放电荷造成的额外电荷损耗，如图 3.14 所示。

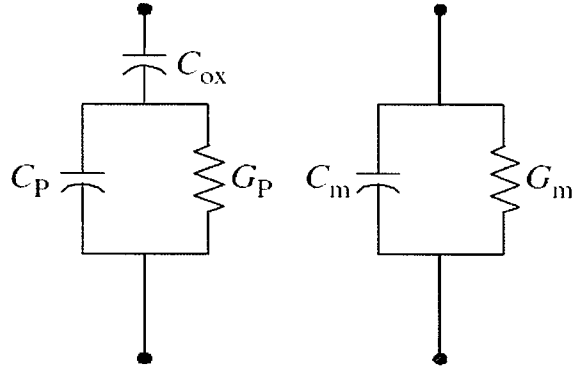


图 3.14 电导法的等效电路

Figure 3.14 Equivalent circuit for conductance measurement

等效并联电导 G_p 可以通过等效电路图推导出来，具体公式如下：

$$\frac{G_p}{\omega} = \left(\frac{q\omega\tau_{it}D_{it}}{1+(\omega\tau_{it})^2} \right) \quad \dots (3.8)$$

其中 τ_{it} 是界面缺陷的时间常数， $\omega = 2\pi f$ (f 是测试频率)。

因此按照下面的公式推导出界面缺陷的态密度 D_{it} ：

$$D_{it} \approx \frac{2.5}{q} \left(\frac{G_p}{\omega} \right)_{max} \quad \dots (3.9)$$

电导法中确定界面缺陷的能级位置的方法和电容法相同，这里不再赘述。

3.4 β 相氧化镓上氧化铝和氧化铪叠层介质的性质

3.4.1 叠层介质的选择

基于场效应晶体管对于栅介质层禁带宽度和高介电常数的性能需求。 SiO_2 和 Al_2O_3 的禁带宽度较大，绝缘性能强，但是其介电常数较低；而 ZrO_2 和 HfO_2 的介电常数较高，但是其禁带宽度却比较小。综合以上情况，提出制备叠层栅介质层的设想，能够在禁带宽度和介电常数两个关键参数中进行调整，从而满足场效应晶体管在栅绝缘性和栅控制能力方面的性能需求。我们选择禁带宽度大的 Al_2O_3 和介电常数高的 HfO_2 作为研究目标材料^[39, 40, 44, 45]。

10 nm 的 Al_2O_3 和 10 nm 的 HfO_2 以不同的顺序生长在 (100) $\beta\text{-Ga}_2\text{O}_3$ 上，它们的结构是 $\text{Al}_2\text{O}_3/\text{HfO}_2/(100)\beta\text{-Ga}_2\text{O}_3$ (简称 AHG) 和 $\text{HfO}_2/\text{Al}_2\text{O}_3/(100)\beta\text{-Ga}_2\text{O}_3$

(简称 HAG), 能带结构如图 3.15 所示。

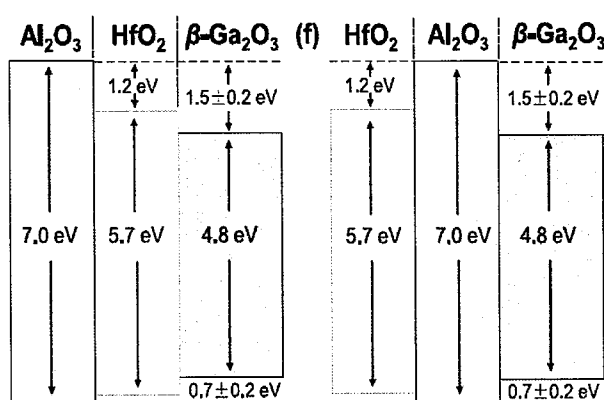


图 3.15 叠层介质层的能带结构

Figure 3.15 Band diagram of stacked dielectrics

3.4.2 叠层介质电容的制备

首先我们采用常规丙酮+酒精+去离子水的组合对尺寸为 $5\text{ mm} \times 5\text{ mm}$ 的 (100) $\beta\text{-Ga}_2\text{O}_3$ 进行清洗, 然后用氮气吹干。这里需要说明, 这里采用的 n 型掺杂氧化镓单晶衬底是由山东大学的晶体材料重点实验采用导模法 (EFG) 合成。

在清洗完衬底后, 由 20 nm Ti 和 60 nm Au 组成的叠层金属电极被电子束蒸发生长在背面。因为 Ti 的功函数约为 4 eV , 与氧化镓的亲势基本相等, 是良好的欧姆接触金属电极材料。之后进行 30 s 的 $470\text{ }^\circ\text{C}$ 、 N_2 气氛下快速热退火工艺提升接触质量。

然后在正面, 按照不同的顺序, 利用原子层沉积法 ALD 生长 10 nm HfO_2 和 $10\text{ nm Al}_2\text{O}_3$, 这样可以形成不同的介质层和 $\beta\text{-Ga}_2\text{O}_3$ 的能带结构, 如图所示。实现原子层沉积的设备是 Beneq TFS200 ALD 系统, 水是氧化剂, $[(\text{CH}_3)_3\text{Al}]_2$ (TMA) 是生长 Al_2O_3 的前驱物, $\text{Hf}[\text{N}(\text{CH}_3)(\text{C}_2\text{H}_5)]_4$ (TDMAH) 是生长 HfO_2 的前驱物。生长温度被设置到 $250\text{ }^\circ\text{C}$, 以提升介质层的质量。

然后, 我们采用接触式紫外光刻机 MA6 (型号: SN201208226) 在叠层介质层上通过标准的光刻工艺形成电极的图形。我们采用 AZ1500 的负胶光刻工艺, 步骤如下: 1、涂胶: 转速 4000 转/min , 60 秒 ; 2、前烘: $150\text{ }^\circ\text{C}$, 120 s ; 3、曝光: 紫外曝光 11 秒 ; 4、后烘: $120\text{ }^\circ\text{C}$, 120 s (DHP); 5、显影:

AZ300MIF (2.38%) 23 °C , 26 s; 6、清洗: 去离子水冲洗 60 s; 7、氮气吹干。之后, 电子束蒸发 20 nmTi 和 60 nm Pt 叠层金属。再通过浸泡在丙酮溶液中进行剥离, 然后用酒精和去离子水进行清洗, 最后用氮气吹干。

最终得到的器件的照片, 如图 3.6 所示。

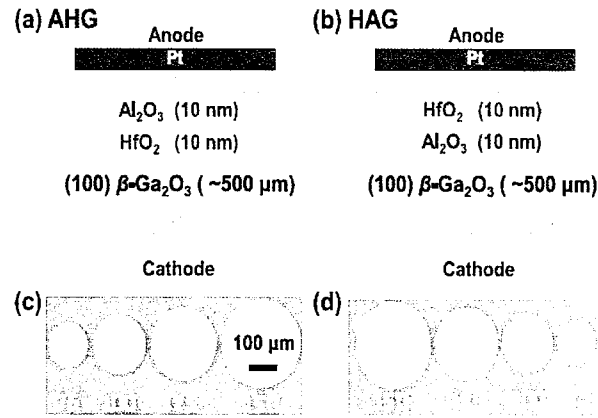


图 3.16 叠层电容的截面图

Figure 3.16 Cross-section schematic of two capacitors

3.4.3 电学测试和数据分析

我们用 Agilent B1500A 半导体参数测试仪对叠层 MOS 电容器件进行电学测试。首先进行 $C-V$ 测试, 直流电压以步长为 50 mV 从 -5 V 扫描到 +5 V。另外, 为了保证测试中载流子保持平衡状态, 给载流子足够时间在氧化镓单晶中输运, 设置延迟时间为 0.1 s, 保持时间 1 s。交流信号电压幅度为 50 mV。测得到的 $C-V$ 曲线如图 3.17 和 3.18 所示。

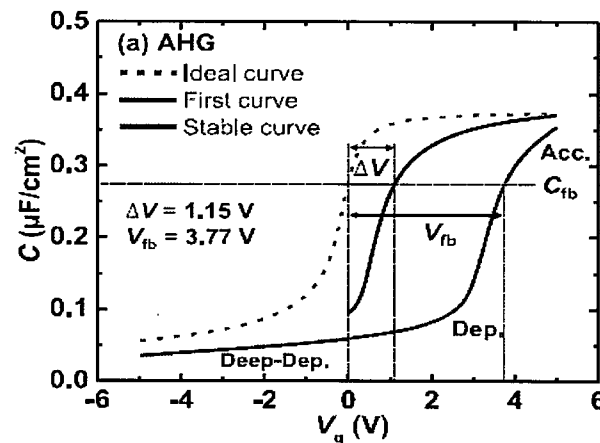


图 3.17 AHG 电容的理想、1 kHz 的 $C-V$ 曲线

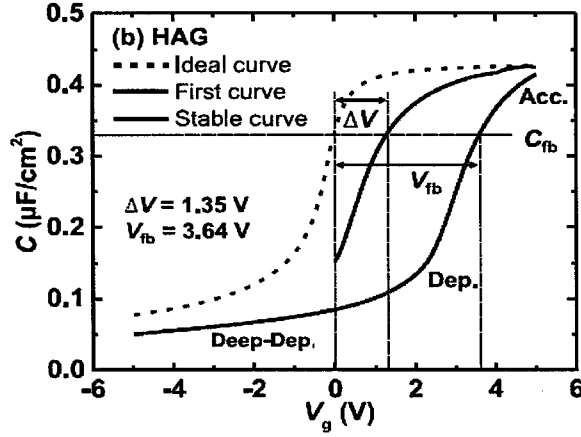
Figure 3.17 Ideal and 1 kHz C - V curve of AHG MOS cap

 图 3.18 HAG 电容的理想、1 kHz 的 C - V 曲线

 Figure 3.18 Ideal and 1 kHz C - V curve of HAG MOS cap

从 C - V 曲线我们提取很多参数。当直流偏压为负值时， n 型氧化镓衬底界面处于表面耗尽状态，界面缺陷无法俘获和释放载流子而无电容效应，因此微分电容全部是耗尽层电容（介质层电容为恒定值，无微分部分），根据以上原理，推导出的提取载流子浓度（忽略激活比例，即为掺杂浓度）的公式：

$$N_d = \frac{2}{q\epsilon_s\epsilon_0 A^2 \frac{d(C^{-2})}{dV_g}} \quad \dots (3.10)$$

其中，电子电荷量 $q=1.6 \times 10^{-19}$ C，电极面积 A ，真空介电常数 $\epsilon_0=8.854187817 \times 10^{-12}$ F/m， β -Ga₂O₃ 衬底的相对介电常数 $\epsilon_s=10$ 。如图 3.19 和 3.20 所示，过计算 AHG 电容的衬底掺杂浓度 $N_{d[AHG]}=2.22 \times 10^{17}$ cm⁻³，HAG 电容的衬底掺杂浓度 $N_{d[HAG]}=4.45 \times 10^{17}$ cm⁻³。

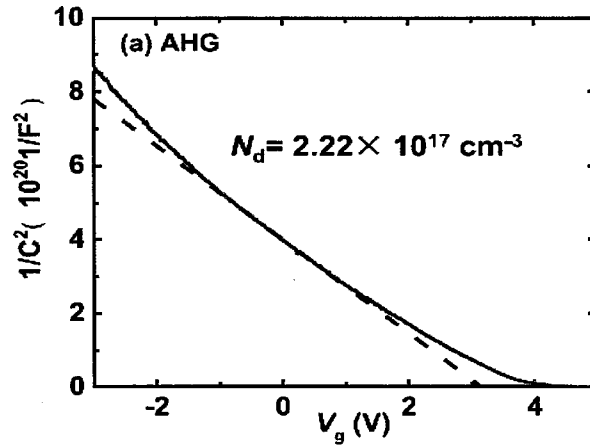


图 3.19 AHG 电容的 $1/C^2-V_g$ 特性曲线

Figure 3.19 The $1/C^2-V_g$ of AHG MOS capacitors

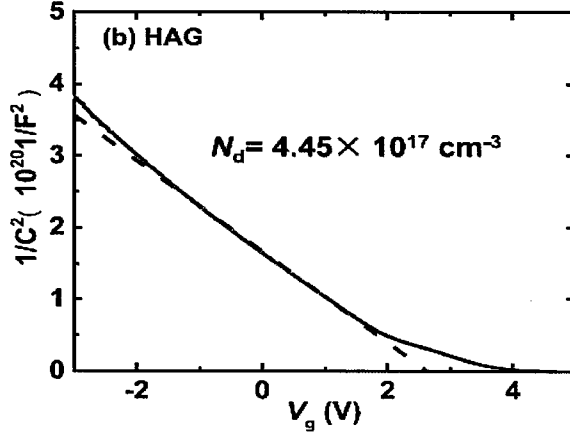


图 3.20 HAG 电容的 $1/C^2-V_g$ 特性曲线

Figure 3.20 The $1/C^2-V_g$ of HAG MOS capacitors

当直流偏压为正时，n 型氧化镓衬底界面处于表面积累状态，界面缺陷处于电荷填充状态，无等效电容效应，因此所测电容即为介质层的平板电容。由 $C-V$ 曲线可知，AHG 电容的单位介质层电容为 $C_{ox[AHG]}=0.371 \text{ F/cm}^2$ ，HAG 电容的单位介质层电容为 $C_{ox[HAG]}=0.426 \text{ F/cm}^2$ 。根据平板电容公式：

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{d} \quad \dots (3.11)$$

其中， d 是介质层厚度， ϵ_{ox} 是介质层相对介电常数， ϵ_0 是真空介电常量。根据计算，AHG 复合介电常数为 $\epsilon_{ox[AHG]}=8.4$ 和 HAG 复合介电常数 $\epsilon_{ox[HAG]}=9.6$ 。通过在相同工艺中的单层介质层电容，我们确定了 Al_2O_3 的介电常数 $\epsilon_{ox[\text{Al}_2\text{O}_3]} \sim 6.8$ ， HfO_2 介电常数 $\epsilon_{ox[\text{Al}_2\text{O}_3]} \sim 12.1$ 。介电常数比理论值低，这可能是由于我们没有采用生长气氛下后退火工艺修复介质层中缺陷的原因。

我们利用半导体理论知识，将介质层电容和半导体耗尽层电容串联，计算出 MOS 电容的理想 $C-V$ 曲线，也显示在图 3.17 和 3.18 中。

根据第一次扫描 $C-V$ 曲线与理想曲线的差异，我们假设第一个扫描 $C-V$ 曲线的平移完全由介质层中固定电荷和功函数差异导致，即

$$\Delta V = Q_f + (W_{[Ti]} - W_{[Ga_2O_3]}) \quad \dots (3.12)$$

其中 ΔV 是平移电压， Q_f 是固定电荷，是金属 $W_{[Ti]}$ 功函数， $W_{[Ga_2O_3]}$ 是氧化镓功函数。根据平带电压的偏移量可以估计介质层中的固定电荷。具体来说，根据平移电压 $\Delta V_{[AHG]}=1.15\text{ V}$ 和 $\Delta V_{[HAG]}=1.35\text{ V}$ ，得到 AHG 中的固定电荷 $Q_{f[AHG]}=1.97\text{ C/cm}^2$ ，和 HAG 中的固定电荷 $Q_{f[HAG]}=3.11\text{ C/cm}^2$ 。

然后我们利用高-低频电容法提取 $Al_2O_3/(100)\beta\text{-Ga}_2O_3$ 和 $HfO_2/(100)\beta\text{-Ga}_2O_3$ 的界面缺陷态密度。我们在进行高-低频电容测试之前，对电容进行了多次直流扫描，使得 $C-V$ 曲线停止横向的平移，即介质层中缺陷被填充而不再对测试结果产生影响。

高-低频电容法中的“高频”和“低频”是指在电容测试中所加的交流小信号的频率。在高-低频电容测试中界面缺陷能够做出充放电反应的测试频率就是低频测试，我们采用 1 kHz ，界面缺陷来不及充放电的测试频率就是高频率，我们采用 1 MHz 。这样我们测试到 AHG 和 HAG 电容在 1 kHz 和 1 MHz 下的 $C-V$ 曲线如图 3.21 和 3.22 所示。

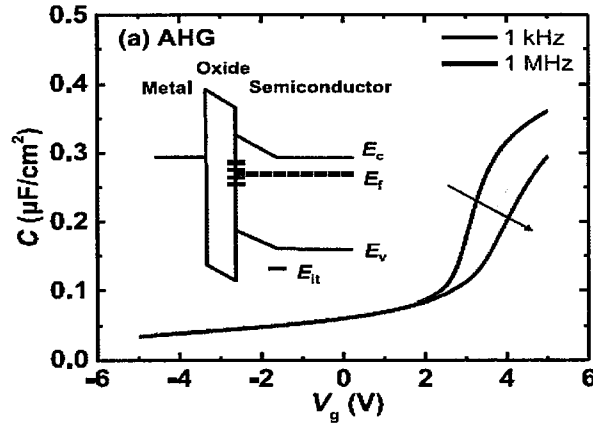


图 3.21 AHG 的高低频电容曲线

Figure 3.21 C-V curve of AHG at high and low frequency

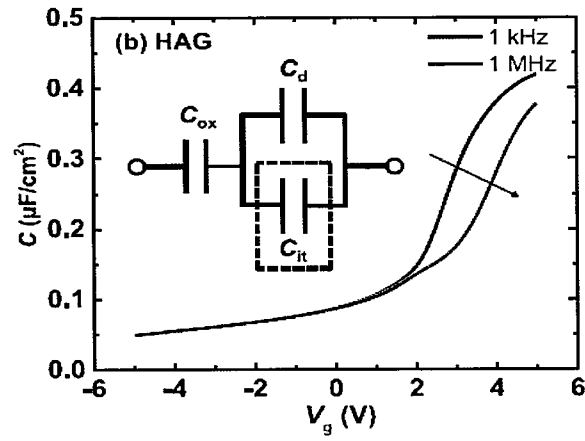


图 3.22 AHG 的高低频电容曲线

Figure 3.22 C-V curve of AHG at high and low frequency

根据公式 3.3，计算出界面缺陷等效电容 C_{it} 和表面势 ψ_s 的关系，如图 3.23 和 3.24 所示。

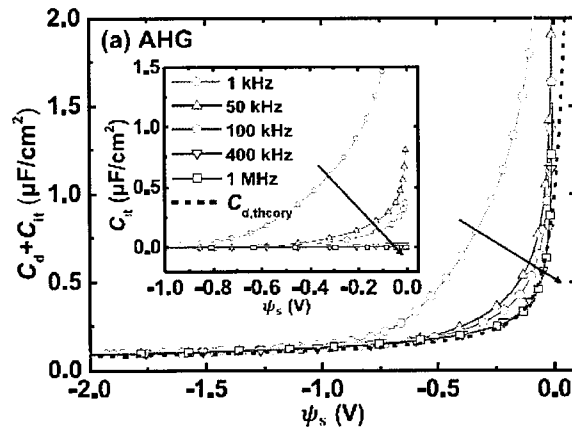
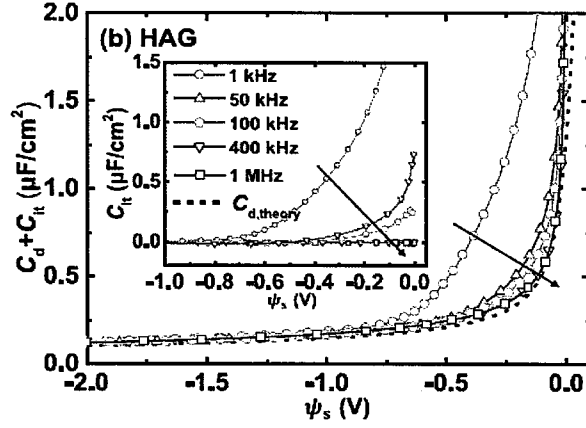


图 3.23 AHG 的 (C_d+C_{it}) - ψ_s 曲线

Figure 3.23 (C_d+C_{it}) - ψ_s curves of AHG

图 3.24 HAG 的 $(C_d + C_{it}) - \psi_s$ 曲线Figure 3.24 $(C_d + C_{it}) - \psi_s$ curves of HAG

根据公式 3.5 和 3.6，得到界面缺陷密度 D_{it} 对应的能级位置 $E_c - E_t$ ，如图 3.25 所示。

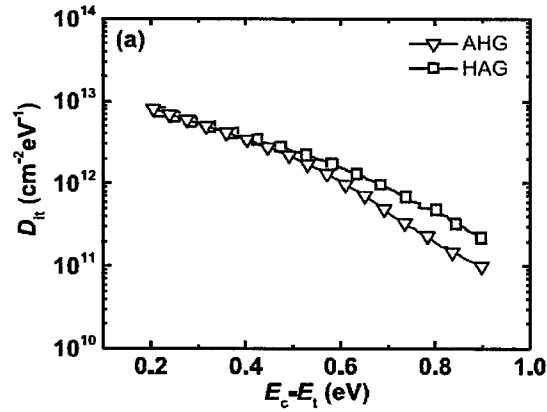


图 3.25 AHG 和 HAG 界面缺陷的能量分布

Figure 3.25 Energy distribution of interfacial states of AHG and HAG

即可得到 $D_{it} - (E_c - E_t)$ 的曲线，如图所示。我们可以看到， $\text{Al}_2\text{O}_3/(100)\beta\text{-Ga}_2\text{O}_3$ 的界面缺陷态密度为 $8.0 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 到 $2.2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 和 $\text{HfO}_2/(100)\beta\text{-Ga}_2\text{O}_3$ 的界面缺陷态密度为 $8.4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 到 $1.0 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 。

另外，我们通过 $I-V$ 测试 AHG 电容和 HAG 电容的漏电情况，如图 3.26 所示。尽管两个介质层的材料和厚度均相同，但是由于不同的能带结构，造成两者的漏电流水平和击穿电压相差很大，AHG 介质层的击穿电压为 7.8 V，而

HAG 介质层的击穿电压达到 11.0 V。且 HAG 介质层的漏电流水平比 AHG 介质层小一个量级，因此 HAG 介质层作为场效应晶体管的栅绝缘层具有更好的栅绝缘性能^[46-49]。

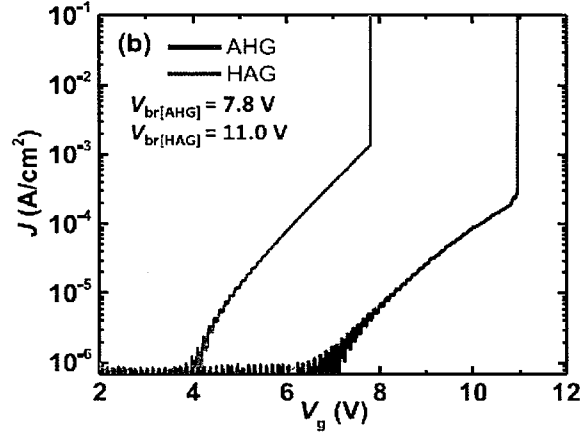


图 3.26 AHG 和 HAG 的电流曲线

Figure 3.26 Leakage current of AHG and HAG

3.5 本章小结

本章我们提出将高绝缘性 Al_2O_3 和高介电常数的 HfO_2 相结合的叠层介质层作为氧化镓基场效应晶体管栅介质层的方案，同时解决场效应晶体管栅介质层对于降低栅漏电流和提高栅控制能力的要求。

在(100) β - Ga_2O_3 上，我们利用原子层沉积法以不同顺序生长10 nm Al_2O_3 和10nm HfO_2 制备出电容器。通过采用高-低频电容电容法提取界面缺陷态密度，结果表明， Al_2O_3 和 HfO_2 与(100) β - Ga_2O_3 在距离导带底能级0.2~0.5 eV范围内界面态密度基本相同，在0.5~0.9 eV能级范围内， HfO_2 /(100) β - Ga_2O_3 界面态密度更低。漏电流测试结果表明，将宽禁带的 Al_2O_3 放置在 HfO_2 和氧化镓之间能更好地抑制漏电流，并承受更高的电压，与从能带结构做出的预期一致。

另外，由于我们没有采用后退火工艺提升介质层的结晶质量，我们生长的 Al_2O_3 和 HfO_2 的介电常数偏低，说明介质层中的缺陷较多。因此在未来介质层研究和场效应晶体管制备中，可采用适当的退火工艺保证介质层质量，比如 N_2 或 O_2 ，500℃，30 s。

对于利用高-低频电容法提取界面缺陷态密度，应灵活调整测试条件，保证

测试数据的准确。可采用在加热、光照等条件下测试方式，来扩大所测界面缺陷的能级范围。

我们这里仅选用了 Al_2O_3 和 HfO_2 两种材料，很多材料组合都可以尝试，比如 SiO_2 、 ZrO_2 等。总之，多层介质的相结合的栅介质可以更好地满足场效应晶体管对栅介质层的要求，为提升氧化镓基功率场效应晶体管的性能提供了方案。

第4章 槽栅结构 β 相氧化镓场效应晶体管

4.1 引言

由于氧化镓单晶的超宽禁带宽度 (~ 4.8 eV)、高理论击穿电场强度 (~ 8 MV/cm) 和高 Baliga 品质因子, 而具有制备超高电压、低导通损耗的功率半导体器件的潜力, 成为新一代功率半导体器件的理想材料。另外, β 相氧化镓在大尺寸、高质量单晶衬底合成和外延层生长技术上的突破性进展, 也使氧化镓基功率器件在高压和高频开关领域具有商业应用价值。

现阶段, 由于难以实现有效 p 型掺杂, 氧化镓基功率器件的研究工作从单极器件展开。这与 SiC 和 GaN 的早期发展路线十分类似。功率绝缘栅场效应晶体管 (Power MOSFET) 和功率肖特基二极管 (Power SBD) 是两种单极性功率半导体器件。综上所述, 氧化镓基功率场效应晶体管是一种具有应用前景的功率器件。

本章中我们首先简要介绍氧化镓基功率场效应晶体管的研究进展, 从结型栅到绝缘型栅, 从平面型器件到垂直型器件、从体材料器件到薄膜器件, 从常开型器件到常关型器件, 从体输运器件到二维电子气器件。总之, 氧化镓基功率场效应晶体管已经取得了一些阶段性进展, 但仍处在研究的初级阶段, 距离商业应用还有很多问题需要解决。比如, 低热导率带来的散热问题、低迁移率带来的电流容量低的问题、无 p 型掺杂实现常关型器件的问题等等。

然后我们介绍制备氧化镓基功率场效应晶体管的关键性工艺——刻蚀工艺。刻蚀工艺包括干法刻蚀和湿法刻蚀。

最后, 我们介绍利用干法刻蚀槽栅结构制备常关型氧化镓基功率场效应晶体管的工艺流程, 以及对其进行电学测试的结果分析与讨论。

4.2 β 相氧化镓场效应晶体管的研究进展

图 4.1 展示了功率场效应晶体管的发展道路。总体来说, 氧化镓基功率场效应晶体管 FET 经过近十年的发展, 已经实现了从肖特基栅到绝缘栅, 从平面器件到垂直器件, 从常开型 (耗尽型) 器件到常关型 (增强型) 器件的全面进

步, Fin 沟道和薄膜器件的研究也取得了初步的进展。下面简要介绍几个具有代表性的研究成果。

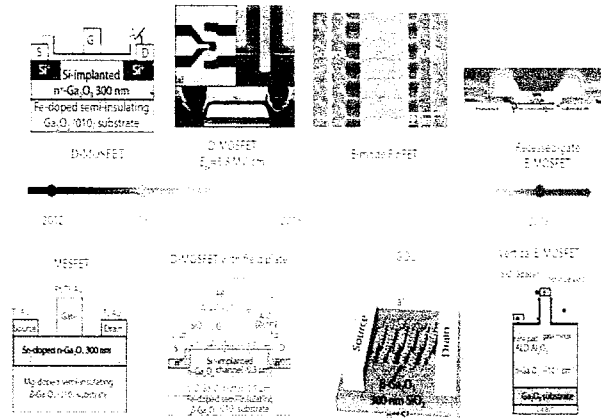
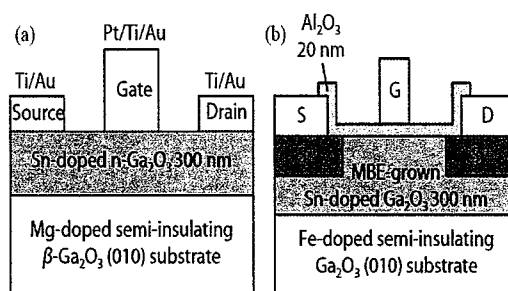


图 4.1 氧化镓基场效应晶体管的研究

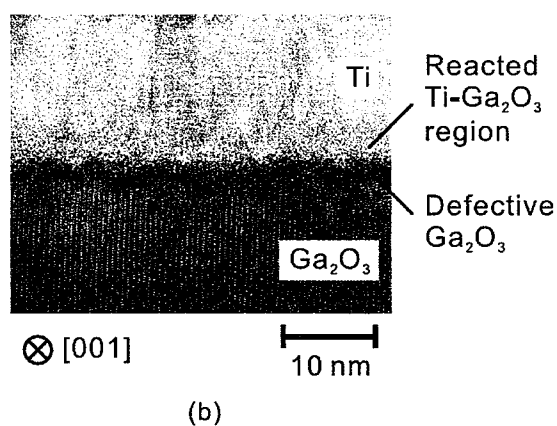
Figure 4.1 Development of β -Ga₂O₃ transistors

日本在高质量单晶 β 相氧化镓合成技术和外延薄膜生长技术上实现突破较早, 因此氧化镓半导体器件方面的早期研究开始于日本。

2012 年, Higashiwaki et al. (日本国家信息与通信技术研究所) 成功制备了一个结型场效应晶体管—金属半导体场效应晶体管 (MESFET), 绝缘衬底是 Mg 掺杂的 (010) 晶向的 β -Ga₂O₃, 导电层是 Sn 掺杂 (浓度为 $7.0 \times 10^{17} \text{ cm}^{-3}$) 的 300 nm 厚的 MBE 外延薄膜, 如图 4.2 所示。晶体管实现了 250 V 的击穿电压, 但 Pt/ β -Ga₂O₃ 肖特基势垒的栅极结构漏电达到 3 μA , 导致开关比只有 10^4 。在 2013 年, 如图 4.2 所示, 他们采用 20 nm 的 Al₂O₃ 做栅绝缘层制备了一个绝缘栅场效应晶体管—金属氧化物半导体场效应晶体管 (MOSFET), 栅极漏电得到有效遏制, 击穿电压提升到 370 V, 开关比达到 10^{10} 。这个器件的绝缘衬底是 Fe 掺杂 (010) 晶向的 β -Ga₂O₃, 因为 Mg 杂质的热扩散比较严重。为了提升欧姆接触, 源漏区域进行了浓度为 $5 \times 10^{19} \text{ cm}^{-3}$ Si 离子注入。

图 4.2 氧化镓基结型晶体管和绝缘栅晶体管^[50, 51]Figure 4.2 Schematic cross-section of β -Ga₂O₃ MEFET and MOSFET

这里使用的欧姆接触金属 Ti 和 1 min、470℃、N₂ 氛围下快速退火 (RTA) 是氧化镓基功率器件固定的欧姆接触工艺组合, 在器件制备中被大量使用, 如图 4.3 所示。

图 4.3 Ti 与氧化镓界面的截面图^[52]Figure 4.3 Cross-section schematic of Ti- β -Ga₂O₃

另外, Zeng et al.等利用玻璃悬涂热扩散技术也实现了源漏区域 Sn 高掺杂, 如图 4.4 所示^[53]。

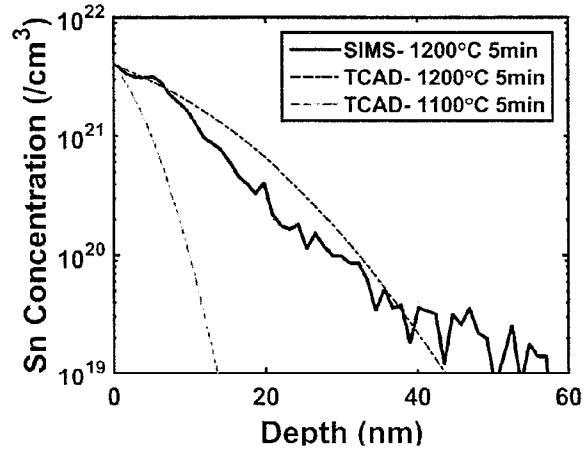


图 4.4 氧化镓中 Sn 的热扩散掺杂浓度分布^[53]

Figure 4.4 Sn concentration diffused from SOG

在 2016 年，同样是国家信息和通信技术研究所的 Wong et al.等采用栅场板结构将常开型 MOSFET 的击穿电压提升到 750 V^[54]。他们首次采用 Silvaco ATLAS 进行电场仿真来确定栅场板长度、钝化层厚度等关键器件尺寸。因为考虑到离子注入的高斯分布，特意利用 BCl_3 等离子体刻蚀法 RIE 刻蚀掉源漏区域表面的 70 nm 低掺杂薄膜来提升欧姆接触。如图 4.5 所示，我们注意到绝缘衬底和导电功能层之间多了一层 0.9 μm 厚的非故意掺杂 UID 的氧化镓，其作用是阻挡 Fe 扩散。

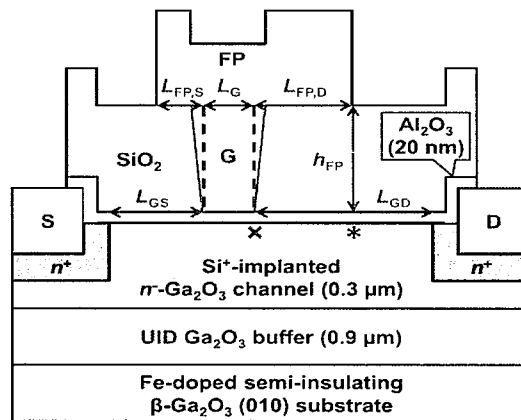


图 4.5 场板氧化镓功率 MOSFET 的截面图^[54]

Figure 4.5 Cross-section schematic of β -Ga₂O₃ MOSFET with field plate

从此，Fe 掺杂的绝缘衬底作为支撑层，非故意掺杂层作为缓冲层，高导电

性的外延层作为功能层的三层结构成为平面场效应晶体管的常规实验平台。

另外，他们发现脉冲测试下的饱和电流相比于直流测试结果略有提升，这是由于自热效应，说明氧化镓功率器件的热管理也是应该关注的问题。在 25 °C 到 300 °C 的变温测试结果显示，器件在高温下关态漏电流不断提升，而开态电流只是略有降低，这导致开关比由 10^9 降低到 10^4 ，如图 4.6 所示。另外，器件具有良好的抗辐照特性，在 230 kGy γ 射线下仍能保持器件特性。

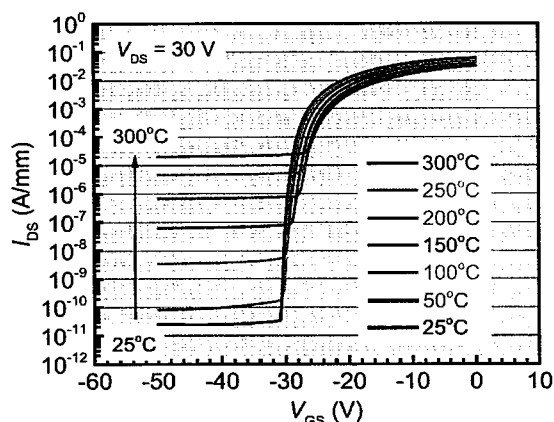


图 4.6 变温测试下的转移曲线^[54]

Figure 4.6 Transfer curve of different temperature

2019年，中国河北半导体研究所Lv et al.验证了利用源场板结构提升场效应晶体管的击穿电压的方法^[20]。如图4.7所示，Silvaco ATLAS电场仿真结果表明，源场板能将栅电极近漏端的电场尖峰转移到源场板近漏端边缘，同时降低电场强度。实验结果表明源场板结构将常开型MOSFET的击穿电压由260 V提升到480 V。该器件的功率品质因子（ $PFOM = V_{br}^2 / R_{on,sp}$ ）达到当时的创纪录值 50.4 MW/cm²。

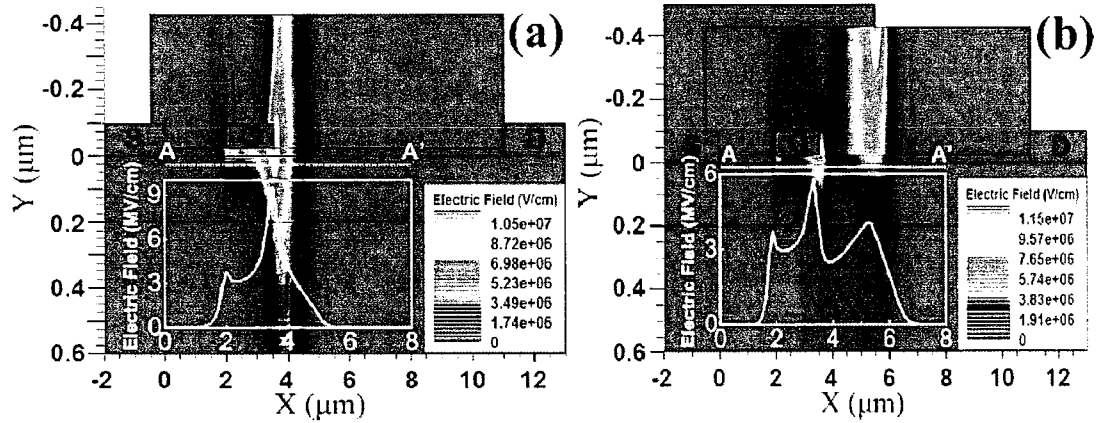


图 4.7 氧化镓 MOSFET 的电场仿真^[20]

Figure 4.7 Simulation of electrostatic field in β -Ga₂O₃ MOSFET

美国积极与日本开展合作，对氧化镓基功率场效应晶体管的研究也紧随其后。在 2016 年，美国空军实验室的 Green et al. 报道了一个双插指布局的耗尽型场效应晶体管，如图 4.8 所示^[55]。在栅-漏距离为 0.6 μm 的原型器件上测试到了惊人的 230 V 的击穿电压。根据计算，器件实际击穿场强达到 3.8 MV/cm，这是首次在场效应晶体管器件中测得 Ga₂O₃ 晶体的击穿场强超过 SiC 和 GaN 的理论值。尽管这个值仍然远低于氧化镓晶体的理论极限 8 MV/cm，但是仍然极大地鼓舞了研究者对氧化镓材料的研究热情。

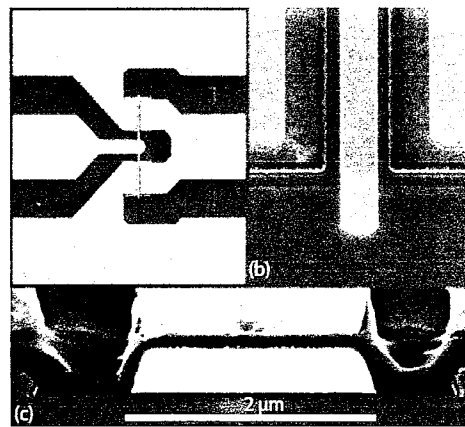


图 4.8 双插指氧化镓 MOSFET 的 SEM 照片^[55]

Figure 4.8 SEM image of two finger β -Ga₂O₃ MOSFET

早期的场效应晶体管都是常开型的工作模式，这是由于宽禁带半导体难以

通过电场直接产生反型层且氧化镓仍难以实现有效激活 p 型掺杂。

在 2016 年, 美国空军实验室的 Chabak et al. 采用环绕沟道实现了氧化镓基场效应晶体管的常关型操作模式。利用干法刻蚀形成平行排列的条形沟道, 利用界面态俘获电子后对导电沟道的耗尽效应, 使器件在栅极不加偏压的情况下处于关断状态。尽管该器件在 $21\ \mu\text{m}$ 的栅-漏距离上实现了 600 V 的击穿电压, 但狭窄的导电沟道 (如图 4.9 所示, 300 nm 宽、200 nm 高,) 极大地限制了开态电流, 仅达到 $\sim 1\ \text{mA/mm}$ 左右。

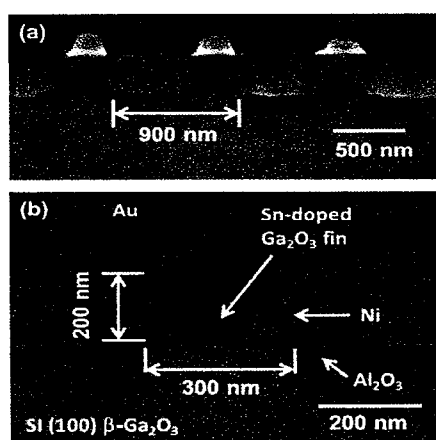


图 4.9 沟道截面图

Figure 4.9 Cross-section schematic of channel

利用栅介质层和沟道之间的界面态耗尽沟道的方法开启了氧化镓基常关型功率场效应晶体管的研究进程。

2018 年, Chabak et al. (美国空军实验室) 采用自对准工艺制备了具有槽栅结构的常关型场效应晶体管, 200 nm 厚的外延层 (Si 掺杂浓度 $5.5 \times 10^{17}\ \text{cm}^{-3}$) 在槽栅区域被刻蚀 (刻蚀气体为 BCl_3 , 电感耦合等离子体 ICP 刻蚀工艺) 掉 140 nm, 剩余的 60 nm 厚沟道层被 $\text{SiO}_2/(010)\beta\text{-Ga}_2\text{O}_3$ 界面缺陷耗尽, 器件如图 4.10 所示^[17]。该器件的阈值电压达到 2 V ($@I_{\text{ds}}=0.1\ \text{mA/mm}$), 饱和电流达到 40 mA/mm, 栅-漏距离为 $6\ \mu\text{m}$ 的器件击穿电压达到 50 V, 器件的整体性能得到大幅度提升。另外, 他们通过对 $C-V$ 曲线积分运算获得了场效应晶体管的栅电荷量 $Q_{\text{G}}=1.04\ \text{pF}$, 并利用 $R_{\text{on}} \cdot Q_{\text{G}}$ 品质因数来评估器件的动态开关损耗的上限, 结果超过了 Si 基器件的理论极限。尽管这只是对原型器件的粗略估算, 但

初步证明了氧化镓功率场效应晶体管在高速开关领域的应用潜力。

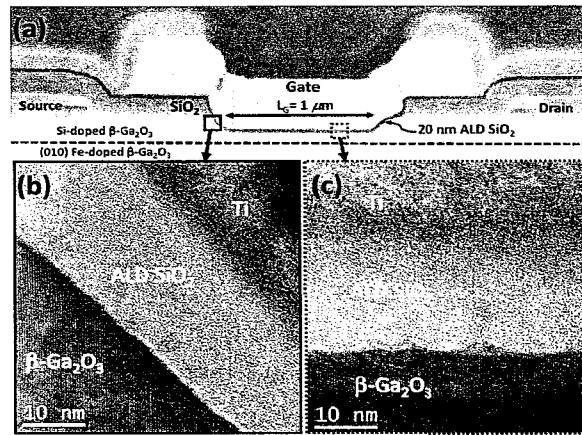


图 4.10 槽栅晶体管的截面 SEM 图^[17]

Figure 4.10 SEM image of recessed gate β -Ga₂O₃ MOSFET

早在 2017 年，美国空军实验室的 Green et al. 就报道了利用相似的工艺制备的场效应晶体管，由于导电功能层掺杂浓度较高 ($\sim 1.0 \times 10^{18} \text{ cm}^{-3}$)，且刻蚀深度不够（剩余沟道厚度 $\sim 90 \text{ nm}$ ）而未能实现常关操作。但他们在连续波 A 类功率测试条件下测试了 β -Ga₂O₃ MOSFET 的射频性能：增益截至频率 f_T 为 3.3 GHz，输出功率 P_{out} 为 0.23 W/mm、输出增益为 5.1dB、功率附加效率为 6.3%，如图 4.11 所示^[18]。

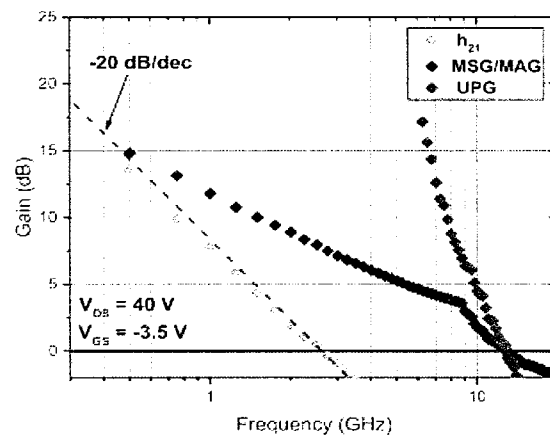


图 4.11 氧化镓 MOSFET 增益的频率响应^[18]

Figure 4.11 Frequency dependence of β -Ga₂O₃ MOSFET

2019 年，日本国家信息与通信技术实验室的 Kamimura et al. 报道了利用等

离子体辅助分子束外延 (PAMBE) 生长 N 和 Si 共掺杂的非故意掺杂 (UID) 氧化镓的技术, 制备的场效应晶体管阈值电压为 +8 V^[57]。但较低的开启电流, 导致开关比仅为 10^5 。另外, 我们注意到此器件的缓冲层是 $(\text{AlGa})_2\text{O}_3$, 而不是 UID Ga_2O_3 , 如图 4.12 所示^[56]。

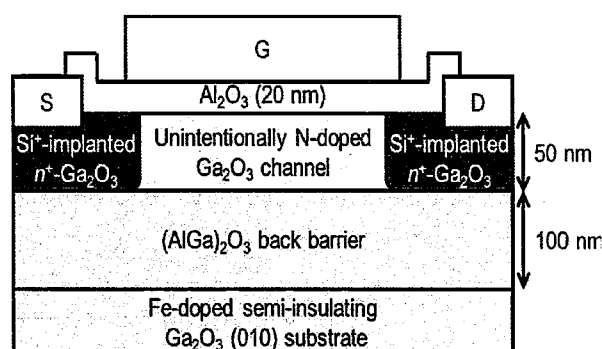


图 4.12 共掺杂的氧化镓晶体管的截面图^[56]

Figure 4.12 Cross-section diagram of co-doped MOSFET

垂直型器件在功率半导体器件领域有着独特的优势, 尤其是在高压性能、电流容量和散热管理方面。由于漏电极在晶圆片底部生长, 节约了晶圆片的面积, 因此也能控制成本。

2017 年, 日本新型晶体科技公司 (Novel Crystal Technology, Inc) 的 K. Sasaki et al. 尝试在具有氢化物气相外延法 HVPE 生长的外延层的 (001) 晶向 β - Ga_2O_3 上制备垂直型场效应晶体管。由于工艺参数和工艺水平的限制, 器件未能在栅控下有效关断, 开关比仅 10^3 。具有低掺杂的 HVPE 外延层和高掺杂衬底的氧化镓单晶是垂直型器件的实验平台。

2018 年, 日本国家信息通信研究所的 Wong et al. 报道了利用 Mg 离子深层注入实现氧化镓体内绝缘层, 从而阻挡电流垂直通过, 仅保留栅电极下方作为可控沟道的工艺, 如图 4.13 所示。但 Mg 离子热扩散严重且绝缘性能较差, 导致制备的垂直型 MOSFET 难以关断。

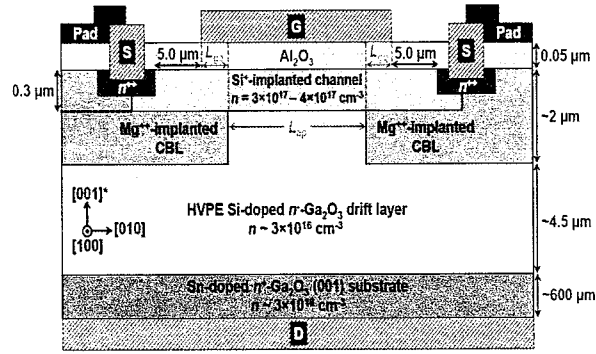


图 4.13 Mg 掺杂电流阻挡层垂直 MOSFET^[56]

Figure 4.13 Vertical β -Ga₂O₃ MOSFET with Mg⁻ CBL

而在 2019 年，他们改用 N 离子作为注入杂质，绝缘层性能得到提升，器件开关比达到 10^8 。由于未做栅电极保护，器件击穿电压仅为 30 V，如图 4.14 所示。另外，这种电流阻挡层的工艺难度也限制了这种方法的推广和应用。

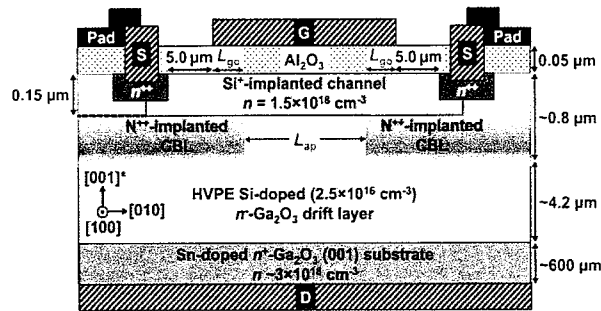


图 4.14 N 掺杂电流阻挡层垂直 MOSFET

Figure 4.14 Vertical β -Ga₂O₃ MOSFET with N⁻ CBL

相比较而言，美国康奈尔大学的研究者采用刻蚀工艺实现条形鱼鳍型 Fin 沟道的方法制备垂直 MOSFET。2017 年，Z. Hu et al.报道了他们以 BCl₃/Ar 混合气体作为刻蚀气实现深度为 1 μm 的电感耦合离子 ICP 刻蚀的工艺，刻蚀台阶垂直度高，效果良好^[58]。在 2018 年，他们成功制备出开关比 10^9 ，阈值电压 ~2.2 V，击穿电压 1057 V 的常关型垂直 MOSFET，如图 4.15 所示。将垂直型

氧化镓基功率场效应晶体的性能提升了一大步，极大地鼓舞了研究者。

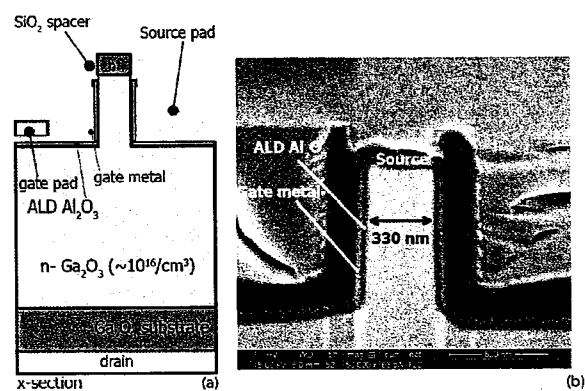


图 4.15 垂直 fin 结构的 MOSFET 的截面图^[58]

Figure 4.15 Schematic cross-section of vertical β -Ga₂O₃ MOSFET with fin channel

在 2019 年国际功率半导体器件与集成电路年会 ISPSD 上，他们采用源场板结构进一步将器件的击穿电压提升到 1.6 kV，如图 4.16 所示。

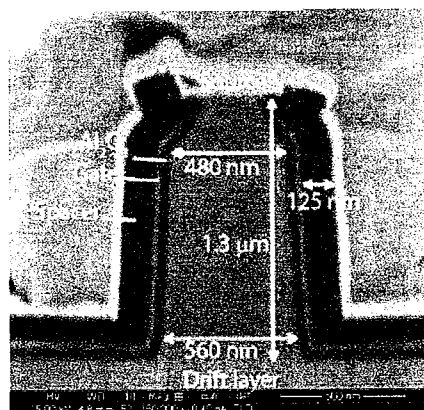


图 4.16 带源场板的垂直 fin 结构氧化镓 MOSFET 的 SEM 截面图^[59]

Figure 4.16 SEM image of vertical β -Ga₂O₃ MOSFET with source field plate

将氧化镓功率 MOSFET 的器件性能继续向前推进，如图 4.17 所示。氧化镓基功率器件的优异性能引起了参会的相关领域专家的极大关注。

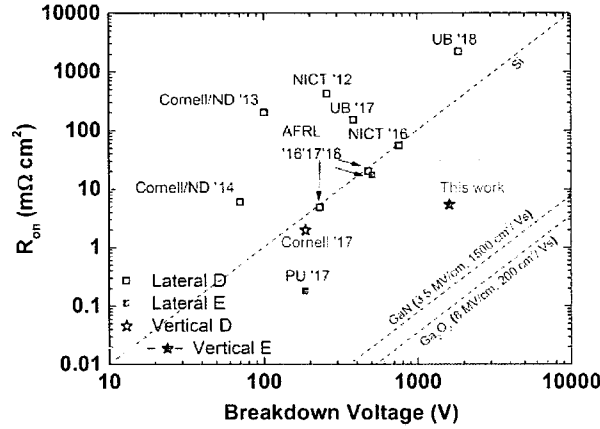


图 4.17 氧化镓 MOSFET 的性能^[59]

Figure 4.17 Performance of β -Ga₂O₃ MOSFET

另外，基于氧化镓二维电子气 2DEG 的场效应晶体管的研究也在进行，主要是来自美国的俄亥俄州州立大学。他们在利用金属氧化物化学气相沉积法 MOCVD 生长外延薄膜的过程中进行脉冲 Si 注入实现电子的二维分布，即所谓的 Delta 掺杂工艺。

在 2017 年，美国俄亥俄州立大学的 S. Krishnamoorthy et al. 报道了他们采用多次 delta 掺杂实现的多沟道平面常开型场效应晶体管，掺杂浓度达到 10^{20} cm^{-3} 以上，迁移率达到 $82 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ，开态电流密度达到 $236 \text{ mA/mm} @ V_G = +2 \text{ V}$ 。但击穿电压只有 51 V，如图 4.18 所示^[60]。

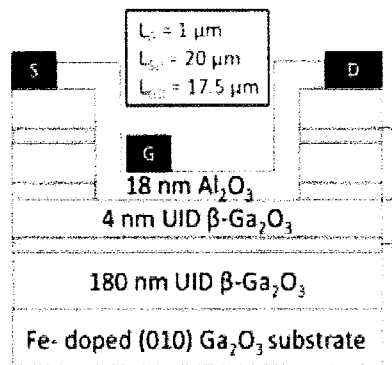


图 4.18 多沟道氧化镓晶体管的截面图^[60]

Figure 4.18 Schematic cross-section of multi channel β -Ga₂O₃ MOSFET

2018年,美国俄亥俄州立大学的 Z. Xia et al.报道了他们利用 delta 掺杂制备的 MESFET 器件,如图 4.19 所示,电子迁移率达到 $95\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$,击穿电压提升到 170 V。

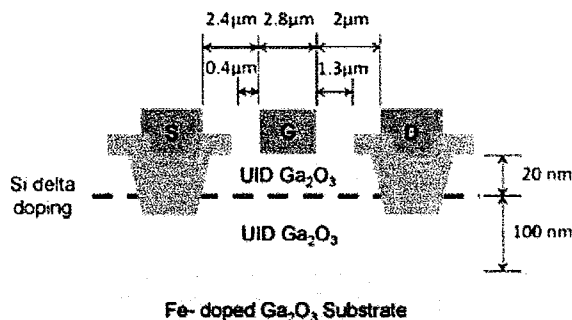


图 4.19 Delta 掺杂氧化镓 MESFET 的截面图^[61]

Figure 4.19 Schematic cross section of delta-doped β -Ga₂O₃ MESFET

2018年,美国俄亥俄州立大学的 C. Joishi et al.采用 200 nm 非故意掺杂 UID 氧化镓作为缓冲层防止衬底中的 Fe 扩散提升外延层质量,使得二维电子气迁移率提升到 $100\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 以上,极大地提升了二维电子气场效应晶体管的电流输出能力。

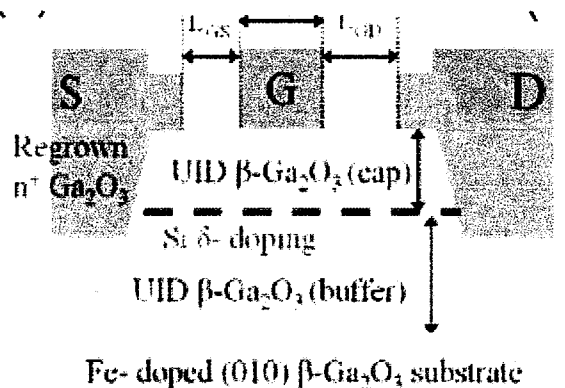


图 4.20 非故意掺杂作为缓冲层的 MESFET 的截面图^[62]

Figure 4.20 Schematic cross section of MESFET with UID buffer layer

2019年, Z. Xia et al.报道了 T 型栅电极的 δ 掺杂 Ga₂O₃ MESFET,饱和电

流密度达到 260 mA/mm, 跨导(g_m)44 mS/mm,截止频率 27 GHz, 击穿电压 (V_{BR})of 150 V。T 型栅如图 4.21 所示。

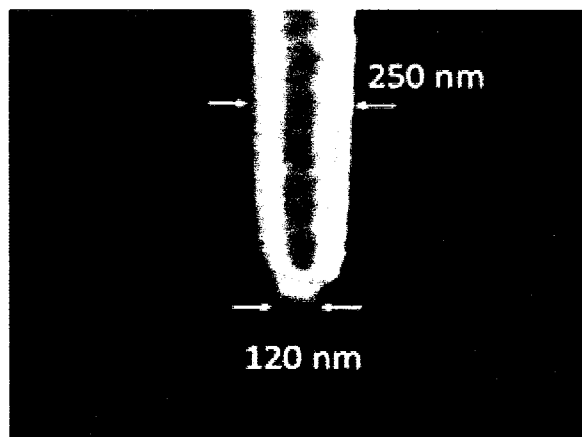


图 4.21 T 型栅的 SEM 图像^[63]

Figure 4.21 SEM image of T-gate

另外, $\beta - (\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3/\text{Ga}_2\text{O}_3$ 异质结也是二维电子气的良好输运通道, 但由于晶格失配的问题还未得到工艺上的有效解决, 因此器件的导通电流往往较低, 这里就不详细叙述了。

总之, 尽管器件性能还没能匹敌 GaN 射频器件, 但这些初步成果是氧化镓向射频器件应用发展的重要一步, 各种的新的器件结构和工艺的改良必能是器件性能进一步提升, 尤其在击穿电压方面。

除了基于氧化镓单晶体材料场效应晶体管的研究, 氧化镓单晶薄膜器件的研究也得到了关注。2017 年, 美国普渡大学 H. Zhou et al. 等通过改变机械剥离的氧化镓薄膜的厚度, 成功制备出常开型和常关型场效应晶体管, 如图 4.22 所示, 电流密度分别达到惊人的 600 mA/mm 和 450 mA/mm。

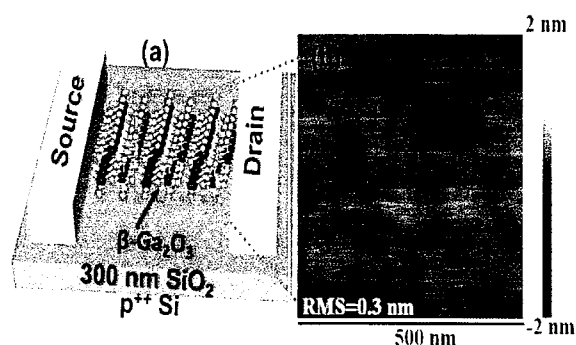


图 4.22 氧化镓薄膜晶体管的图像

Figure 4.22 Schematic view of β -Ga₂O₃ film transistor

2019 年, 中国西安电子科技大学 Z. Feng et al. 报道了击穿电压 800 V 的氧化镓薄膜 MOSFET, 功率密度达到 86.3 MW/cm², 如图 4.23 所示。其他研究包括利用 BN 场板提升击穿电压, 利用氟离子处理改变阈值电压, 提升介质层质量降低亚阈值摆幅等。

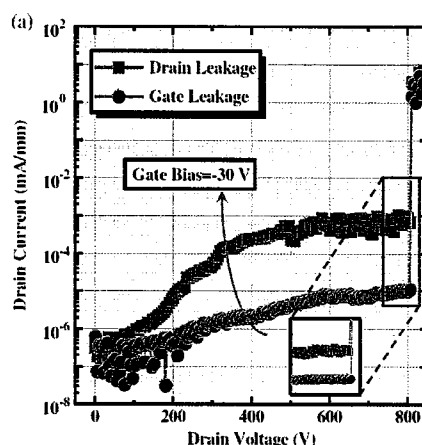


图 4.23 氧化镓薄膜 MOSFET 的击穿曲线

Figure 2.9 Breakdown curve of β -Ga₂O₃ MOSFET

另外, 科研人员也尝试将氧化镓单晶薄膜机械转移到高导热性的金刚石和 SiC 衬底上, 来解决氧化镓器件的散热问题。

以上就是近年来, 基于新型超宽禁带 β 相氧化镓晶体材料的功率场效应晶体管的研究进展。总体来说, 基于 β 相氧化镓的功率器件的研究尽管取得了一系列进展, 但仍处在研究的初级阶段, 仍然面临大量的问题。因此开展这方面的工作能够实现在这个功率半导体器件领域积累技术, 掌握一定的技术主动性, 从而在未来产业化中占据一定的定位。

4.3 β 相氧化镓的刻蚀工艺

在制备氧化镓基功率场效应晶体管的工艺中, 大部分都具有普遍兼容性, 比如介质层的沉积工艺, 尽管氧化镓的热导率不高, 但由于是恒温环境下生长, 因此只要保证氧化镓表面清洁和低粗糙度, 均能保证介质层的生长质量。

氧化镓的刻蚀工艺与氧化镓本身的原子结构、硬度、热导率等性质息息相

关，因此是需要重点掌握的工艺。

4.3.1 干法刻蚀工艺

刻蚀工艺是微电子器件加工的关键工艺，是实现材料去除、实现微结构的加工技术。刻蚀工艺分为干法刻蚀和湿法腐蚀两种。

干法刻蚀的原理是利用物理、化学或者同时使用化学和物理的方式，有选择地把没有抗蚀剂掩蔽的部分材料去除，如图 4.24 所示。具体来说，利用具有化学反应特性的等离子体和高能离子束的物理轰击来完成材料去除的工艺。干法刻蚀具有刻蚀各向异性、刻蚀侧壁良好、高的刻蚀选择比、刻蚀速度可控性高、好的片内均匀性、工艺稳定性和可重复性等优点。

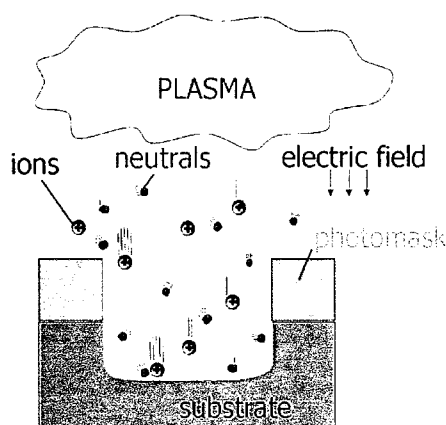


图 4.24 干法刻蚀示意图

Figure 4.24 Schematic of dry etching

由于氧化镓晶体属于高硬度、强键合材料，因此氧化镓的干法刻蚀需要用到高密度等离子体刻蚀技术。顾名思义，高密度等离子体刻蚀技术能够产生的等离子体浓度高出等离子体刻蚀（RIE）的 2~4 个量级。根据等离子体来源的不同，分为利用在微波频率（2.45 GHz）的电子回旋共振（ECR）、利用在射频频率（2~13.56 GHz）的电感耦合等离子体（ICP）和磁控反应离子刻蚀（RIE）。

ICP 刻蚀是比较普遍的高密度等离子刻蚀技术^[64-70]。如图 4.24 所示，ICP 刻蚀的工作原理是腔体上方的 13.56 GHz 射频源连接缠绕的电感线圈感应出高频耦合电场，使刻蚀气体辉光放电，产生大量等离子体。腔体下方的射频电源与上方射频电源感应的耦合电场加速产生的等离子体，使其获得能量。因此离

子能量和等离子体密度能够去耦合而受到调节，得到均匀离子密度和能量分布的等离子体，从而实现更好的刻蚀效果。

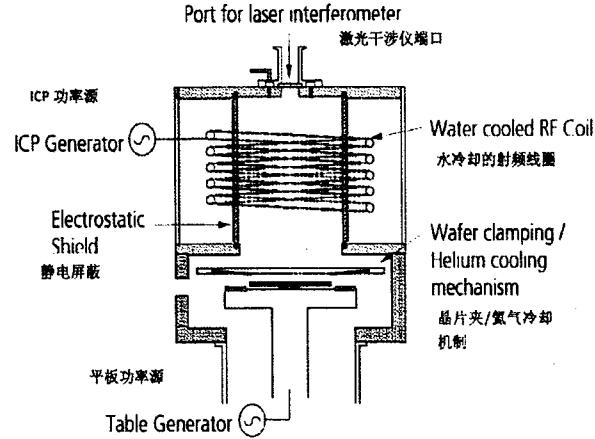


图 4.24 电感耦合等离子体刻蚀的原理图

Figure 4.24 Schematic of ICP etching

实际上，高密度等离子刻蚀工艺在 SiC 和 GaN 等宽禁带材料刻蚀工艺中已经大量应用，因此相对成熟。氧化镓的干法刻蚀只需要已有的基础上，调整工艺参数，保证刻蚀效果即可。尤其是 GaN 的工艺更具有参考价值。

多种刻蚀气体被研究作为氧化镓的等离子刻蚀的反应气体，比如 Cl_2 ， BCl_3 ， SF_4 ， CF_4 等。不同的气体组合也被尝试，比如 Cl_2/BCl_3 、 BCl_3/SF_6 、 CF_4/O_2 、 BCl_3/Ar 、 O_2/Ar ， SF_6/Ar 等等。整体的思路是反应等离子体和重等离子体相结合，其中反应离子气体（F 离子、Cl 离子、S 离子）与氧化镓实现化学反应完成化学刻蚀，重等离子体（B 离子，Ar 离子）实现物理轰击、去除化学反应物和化学催化剂的作用。

结果表明，Cl 基气体（ Cl_2 、 BCl_3 ）对氧化镓的刻蚀速度较快，而相应的重离子成分（Ar 离子、B 离子）也是十分必要的。如图 4.25 的 SEM 图像展示了 Cl_2/Ar 组合进行 ICP 刻蚀后的效果，可以看到陡峭的刻蚀侧壁和良好的刻蚀平整度。

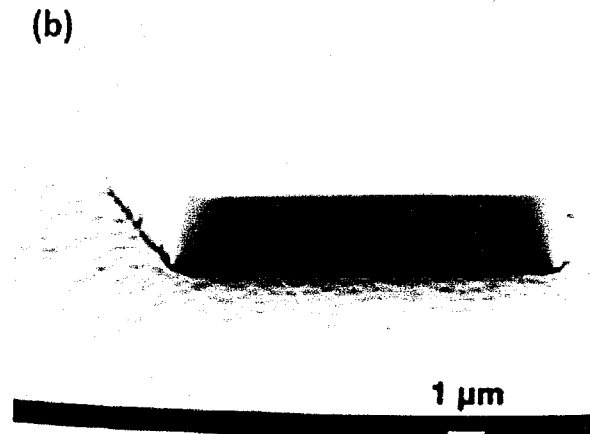


图 4.25 氧化镓 ICP 干法刻蚀后的 SEM 图^[68]

Figure 4.25 SEM image of β -Ga₂O₃ ICP etching

另外，氧等离子体无法刻蚀氧化镓，可以用来清除表面沾污、提升表面平整度等，而不必担心破坏氧化镓薄膜的厚度。

4.3.2 湿法腐蚀工艺

湿法腐蚀是利用特定的溶液与薄膜进行化学反应去除薄膜中未被抗腐蚀的掩膜层（光刻胶）覆盖保护的部分，从而达到刻蚀效果的工艺。湿法腐蚀的优点是操作简单，处理效率高和具有材料高选择性，损伤小。缺点是刻蚀效果可控性差，存在横向钻蚀。

很多湿法腐蚀液被尝试用于湿法腐蚀氧化镓，比如 HNO₃、HCl、H₂SO₄、H₃PO₄、HF 等。整体来说，湿法腐蚀氧化镓单晶的速度都比较慢，其中比较快的是 HF 酸，可以达到 1 nm/min。另外，由于湿法腐蚀为化学反应过程，而不同晶向的氧化镓表面原子排布不同，化学键强度不同，因此湿法腐蚀速度有差异。比如，有研究表明常温下 HF 酸腐蚀（100）晶向氧化镓的速度（10 A/min）是（001）晶向的两倍。

（-201）和（010）晶向的 β -Ga₂O₃ 晶体被浸泡在氢氧化钾（KOH）溶液中进行光电化学（PEC）刻蚀。结果是（010）晶向的氧化镓腐蚀表面光滑，而（-201）晶向的氧化镓表面成三角的形状，如图 4.26 所示。

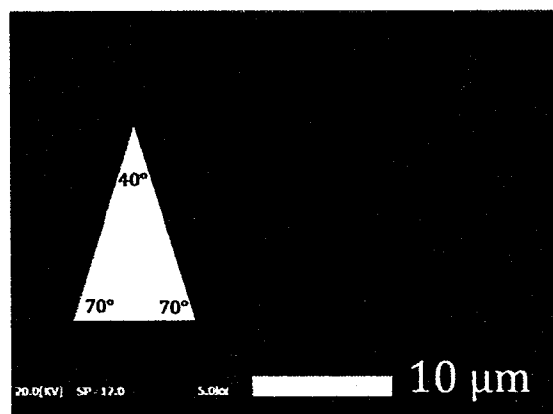


图 4.26 利用 KOH PEC 刻蚀(-201) β -Ga₂O₃ 后的表面 SEM 图片

Figure 4.26 SEM image of (-201) β -Ga₂O₃ after KOH PEC etching

根据 β -Ga₂O₃ 的原子结构，这是由于在 (115)、 $(\bar{1}\bar{1}\bar{5})$ 和 (010) 三个晶向上的 Ga 与 OH- 形成了 Ga-O 键阻止了进一步的化学反应，如 4.27 图所示。且 (-201) 晶面的刻蚀速度是 (010) 晶面的 2-3 倍，所以 (010) 晶面是更加化学稳定的晶面。

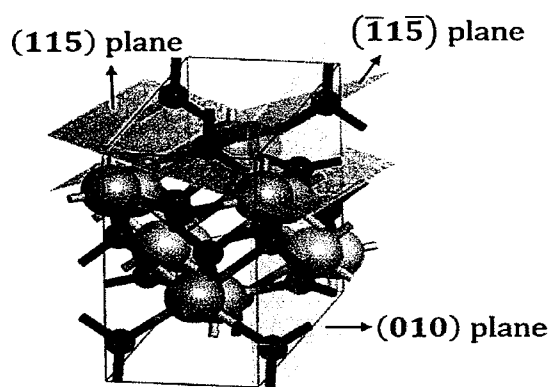


图 4.27 β -Ga₂O₃ 的 (115) ($\bar{1}\bar{1}\bar{5}$) 和 (010) 晶面的结构

Figure 4.27 Crystal structure of β -Ga₂O₃

湿法腐蚀可以用来降低氧化镓表面的粗糙度，提升氧化镓与介质层间的界面质量，比如 Piranha 液 ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=3:1$) 处理 1 min。另外，利用腐蚀液清洁氧化镓表面的清洁，比如以 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=4:1:1$ 的比例混合液水浴氧化镓晶体 5 mins 去除表面的无机物沾污。

4.4 槽栅结构氧化镓场效应晶体管

4.4.1 实现常关型的设计

与 SiC 和 GaN 研究的初期一样，氧化镓的 p 型掺杂问题还没有得到解决。但常关型器件是更具有应用优势的器件类型，基本是功率开关器件的首选器件类型。

为了实现场效应晶体管的常关型工作模式，可以选用以下方式：1、低掺杂外延层，使器件在无栅压时沟道电流极低，相当于关断；2、利用栅介质与半导体之间的界面俘获电荷后对沟道层的耗尽效应，是器件关断。3、n 型与 p 型杂质共掺杂的技术；

低掺杂外延层为了降低关态电流，外延层的掺杂浓度基本在 $10^{15} \text{ cm}^{-3} \sim 10^{16} \text{ cm}^{-3}$ ，在栅电压下很难形成有效的积累层，因此开启电流受到限制；

n 型与 p 型杂质共掺杂是对低掺杂外延层方案的改进，希望能形成类 p 掺杂，即在无栅压下由于 p 型杂质对 n 型杂质的补偿效应而无自由电子，而在施加栅极电压后能够出现“反型现象”，形成电子的导电层。根据已有的报道，开启电流依然很低。

因此利用栅介质与半导体界面缺陷电荷耗尽导电沟道的方案效果较好，既能在无栅压下得到低关态电流，也能在施加电压后得到大开态电流。

因此我们采用刻蚀栅槽的方案制备常关型功率场效应晶体管，主要有以下优势：1、刻蚀槽栅可以减薄栅沟道区域的导电层厚度，利于耗尽，降低关态漏电；2、控制刻蚀栅槽的深度可以调节阈值电压在合理的范围内；3、采用栅槽工艺制备的场效应晶体管可以采用浓度更高的导电层，降低非栅沟道区域的串联电阻；4、在导电层与衬底之间的缓冲层，在栅极电压下也能为沟道提供载流子；

4.4.2 器件制备流程

我们利用具有两层分子束（MBE）外延层的（010） β -Ga₂O₃，尺寸为 5 mm × 7.5 mm。外延片是来自日本的新型晶体技术有限公司（NCT），外延片的包装如图 4.28 所示。

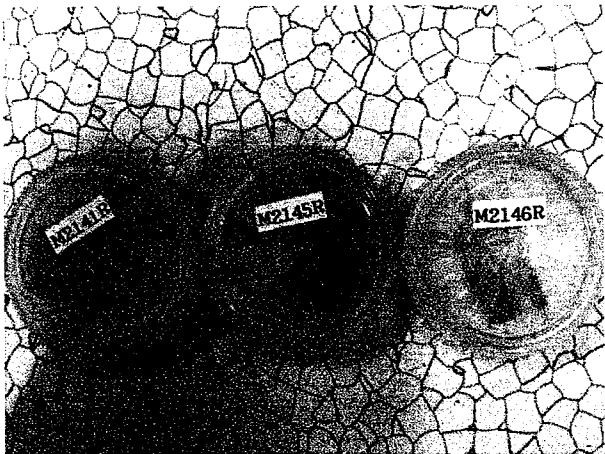


图 4.28 氧化镓外延片

Figure 4.28 Eptaxial wafer of β -Ga₂O₃

绝缘支撑层是~500 μm 厚的 Fe 掺杂层，缓冲层是非故意掺杂 UID 层，导电层是~200 nm 厚的 Si 掺杂层，掺杂浓度约为 $5 \times 10^{18} \text{ cm}^{-3}$ ，参数说明如图 4.29 所示。

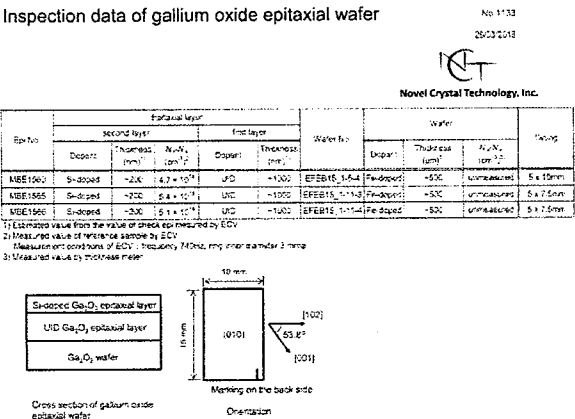


图 4.29 氧化镓外延片参数说明单

Figure 4.29 Specification of β -Ga₂O₃ epitaxial wafer

我们首先对氧化镓外延片进行了有机物和无机物清洗。有机物清洗是丙酮、乙醇（或者甲醇）、去离子水（DIW）依次的浸泡清洗；无机物清洗是在以浓硫酸 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=4:1:1$ 比例调配的混合溶液中水浴 5 min，然后去 DIW 冲洗 10 min，浸泡洗 5 min，以去除表面清洗液。

根据器件结构设计版图，采用 L-Edit 软件绘制版图，交给制版师制作。

由于得到的氧化镓外延晶圆片尺寸比较小，我们采用了一些手段提升工艺可操作性。

对于版图绘制，为了便于曝光对准，我们在版图中以与外延片相同的尺寸，即 $5\text{ mm} \times 7.5\text{ mm}$ 作为基本单元，绘制了 3×4 的矩阵。这样只要找到一个基本单元进行对准即可，提高对准速度。

由于氧化镓晶圆片的小尺寸，不易于操作。我们常常利用光刻胶将氧化镓外延片粘连到洁净的 2 英寸单晶 Si 衬底上。

具体方法如下：

1、在单晶 Si 衬底上悬涂光刻胶。我们采用的 B1500 光刻胶，以 4000 转/min，60 s 的工艺，可以得到 $\sim 1.5\text{ }\mu\text{m}$ 厚的光刻胶。如果想要粘连的更好，可以适当降低转数和时间，比如 4000 转/min，10 s；2000 转/min，30 s 等。但需要注意单晶 Si 上光刻胶的厚度，也会影响前烘工艺的参数，即光刻胶越厚，前烘时间应酌情延长。

2、将 Ga_2O_3 外延片粘到涂有光刻胶的 Si 片上，用镊子背面在外延片边缘稍作按压；

3、放置到热板上加固；常用参数是 $150\text{ }^\circ\text{C}$ ，120 s。另外，为了提升加固效果，热板加固后，可以进行一次紫外光“泛曝光”，使光刻胶改性。

这样 Ga_2O_3 外延片被固定到 2 英寸 Si 片上。这里需要注意，由于 Si 片上光刻胶的厚度不均匀造成外延片表面的倾斜，会在接触式曝光中影响曝光的精度。

槽栅结构氧化镓基功率场效应晶体管的制备流程如下（这里不再赘述粘片过程，每次曝光工艺均提前粘片）：

1、刻蚀实现器件隔离：曝光得到刻蚀区域，电感耦合等离子体（ICP）刻蚀氧化镓（刻蚀气体 Cl_2 （30 sccm）+Ar（5 sccm），ICP 功率 400 W，RF 功率 100 W，刻蚀速度 $\sim 2\text{ nm/s}$ ），去胶，有机清洗。

2、生长源漏有源区金属电极：曝光得到生长图形，电子束蒸发（EBE）依次生长 20 nm Ti 和 60 nm Au，剥离，有机清洗；快速热退火降低接触电阻，条件时 N_2 气氛下， $470\text{ }^\circ\text{C}$ ，30 s。

3、沉积钝化层：等离子体增强化学气相沉积（PECVD）生长 100 nm

SiO₂。

4、刻蚀槽栅：曝光得到栅槽区域图形，利用 ICP 刻蚀依次刻蚀 100 nm SiO₂ 和 ~ 180 nm Ga₂O₃。刻蚀 Ga₂O₃ 的参数如上，刻蚀 SiO₂ 的条件是刻蚀气体 CF₄ (15 sccm) + SF₆ (15 sccm)，ICP 功率 400 W，RF 功率 200 W，刻蚀速度 ~ 5 nm/s。

5、沉积栅绝缘层：利用原子层沉积法(ALD)沉积 20 nm 厚的 Al₂O₃，生长前驱物为水和[(CH₃)₃Al]₂(TMA)，生长温度 250 °C，冷却到常温取出。

6、刻蚀出源漏电极通孔：依次刻蚀沉积在源漏电极上的 20 nm Al₂O₃ 和 100 nm SiO₂。刻蚀 Al₂O₃ 的条件为刻蚀气体 Cl (15 sccm) + Ar (5 sccm)，ICP 功率 800 W，RF 功率 400 W，刻蚀速度 ~ 2 nm/s。

7、生长栅电极、源漏测试电极：曝光得到生长图形，电子束蒸发 (EBE) 生长 20nm Ti 和 80nm Au。剥离后清洗，氮气吹干。

根据以上工艺流程，成功制备具有槽栅结构的氧化镓场效应晶体管，如图 4.30 所示。具体器件尺寸为栅长 $L_g=1.5 \mu\text{m}$ ，栅源距离 $L_{gs}=2 \mu\text{m}$ ，栅漏距离 $L_{gd}=4 \mu\text{m}$ 和栅宽 $W_g=200 \mu\text{m}$ 。栅槽深度为 $180 \mu\text{m}$ ，剩余导电沟道厚度 $\sim 20 \mu\text{m}$ 。

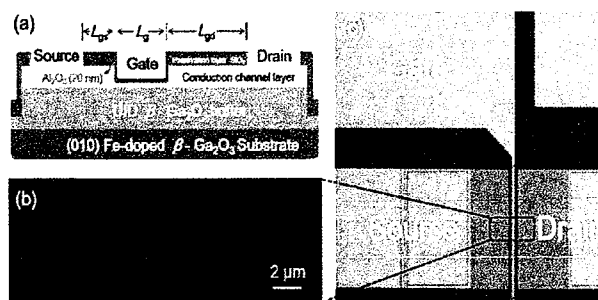


图 4.30 槽栅结构的氧化镓场效应晶体管的图像^[22]

Figure 4.30 Image of β -Ga₂O₃ MOSFET with trench gate

4.4.3 电学测试和数据讨论

我们利用半导体参数测试仪 Agilent B1500A (如图 4.31 所示) 对器件的性能参数进行测试。

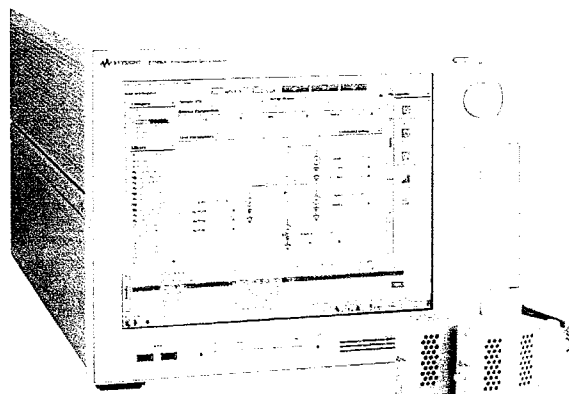


图 4.31 半导体参数测试仪 Agilent B1500A

Figure 4.31 Image of semiconductor parameter tester Agilent B1500A

在版图设计时，专门设计了传输线模型（TLM）和霍尔条形（Hall Bar）结构作为测试结构。

传输线模型（TLM）用来提取源漏电极的接触电阻，具体测试方法可参考相关文献，这里不再赘述。结果显示源漏电极的接触电阻 $R_c=3.2 \Omega \cdot \text{mm}$ ，根据导电层的掺杂浓度来判断，这个数值与相关研究结果相一致。根据参考文献，接触金属 Ti 与衬底掺杂浓度为 $2.7 \times 10^{18} \text{ cm}^{-3}$ 的接触电阻为 $2.7 \Omega \cdot \text{mm}$ 。

霍尔条形（Hall Bar）结构用来提取导电外延层的掺杂浓度和迁移率，具体测试方法可参考相关文献，这里不再赘述。结果显示导电外延层的掺杂浓度 $N_d=3.1 \times 10^{18} \text{ cm}^{-3}$ ，电子迁移率 $\eta_n=87.4 \text{ cm}^2/(\text{V} \cdot \text{s})$ ，这个结果是合理的。

在测试场效应晶体管时，首先测试转移曲线，确定阈值电压 V_{th} 。如图 4.32 展示转移曲线 $I_{ds}-V_{gs}$ ，纵坐标 I_{ds} 是漏源电流与栅宽 W_g 相除得到的单位栅宽电流密度，方便比较不同尺寸器件的性能参数。以下的输出曲线图纵坐标同样采用漏源电流密度 I_{ds} 。

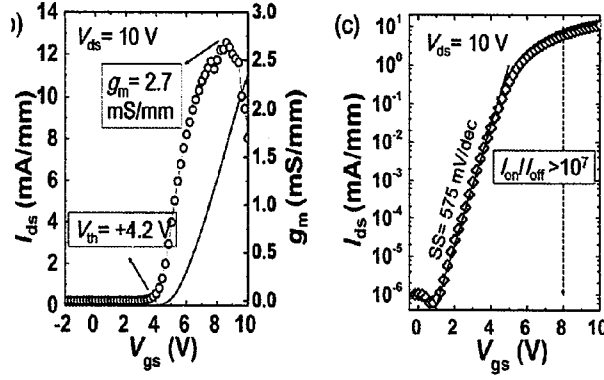
图 4.32 线性坐标和对数坐标下的转移曲线^[22]

Figure 4.32 Transfer curves in linear and semi-log scale

由于氧化镓是 n 型掺杂的半导体材料，我们将源电极接地，然后在源漏电极之间施加 10 V 的恒定电压，即 $V_{ds}=10$ V。然后在栅源电极之间施加扫描电压，从 -5 V 扫描到 +10 V，步长为 50 mV。根据测试结果，以漏源电流 $I_{ds}=0.1$ mA/mm 时的栅源电压作为阈值电压，如图 4.32 所示的 $I_{ds}-V_{gs}$ 曲线， $V_{th}=4.2$ V。

跨导 (g) 是输出电流的变化值与输入端电压的变化值之间的比值，来表征栅电极对于沟道的控制能力。跨导值越大，栅控能力越强。根据公式：

$$g = \frac{dI_{ds}}{dV_{gs}} \quad \dots (4.1)$$

可以得到 $g-V_{gs}$ 曲线，如图 4.32 所示，最大跨导 $g_m=2.7$ mS/mm。

开关比 (I_{on}/I_{off}) 是在源漏电压保持不变的情况下，场效应晶体管开启状态下的电流 (I_{on}) 和关闭状态下电流 (I_{off}) 之比。根据半对数坐标下的 $I_{ds}-V_{gs}$ ，可以得到关态电流 $I_{ds}=10^{-6}$ mA/mm，开态电流 $I_{off}=11$ mA/mm，因此开关比 $>10^7$ 。

亚阈值摆幅 (SS) 是源漏电流变化十倍所需要栅电压的变化量 (ΔV_{gs})，是衡量晶体管开启与关断状态之间相互转换速率的性能指标。 SS 越小意味着开启关断速率越快。根据在半对数坐标下的 $I_{ds}-V_{gs}$ 的曲线的线性拟合，得到这个器件的亚阈值摆幅 $SS=575$ mV/mm。

根据转移曲线的测试结果，我们确定测试输出曲线的条件。漏源电压 V_{ds} 从 -1 V 扫描到 8 V，步长为 50 mV。栅电压以 +1 V 的步长，从 -1 V 增加到 +10 V。得到输出曲线，如图 4.33 所示。当 $V_{ds}=8$ V， $V_{gs}=+10$ V 时， I_{ds} 达到最大值 11

mA/mm。

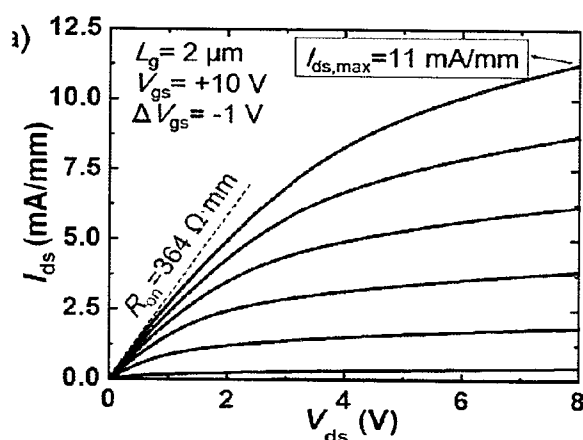


图 4.33 槽栅氧化镓场效应晶体管的输出曲线^[22]

Figure 4.33 Output characteristics of β -Ga₂O₃ MOSFET with trench gate

由于功率场效应晶体为高速开关器件时，主要工作在关断状态和线性开启两种状态转换，所以线性区域的导通电阻 (R_{on}) 直接影响开关损耗。通过对线性区的拟合，得到器件单位栅宽的开态电阻 $R_{on}=364 \Omega \cdot \text{mm}$ 。

根据以上得到性能参数，我们成功地利用槽栅结构实现了常关型的氧化镓功率场效应晶体管，开关比达到 10^7 ，阈值电压+4.2 V。

利用 Hall Bar 结构测试了槽栅沟道的电子迁移率，结果为 $41.7 \text{ cm}^2/\text{Vs}$ ，小于体材料内的值。这应该是刻蚀损伤带来的界面散射恶化了沟道内载流子的输运环境。类似的现象在 Chabak et al.和 Hu et al.也有报道。介质层的损伤可以采用介质层生长后的高温退火工艺，比如 N_2 、500 °C、1 min。

利用高-低频电容法测试了栅介质层与刻蚀氧化镓直接的界面缺陷，确实提升了一个量级。

4.5 本章小结

本章基于现有的实现常关型氧化镓功率场效应管的方案，选择了槽栅结构和低掺杂外延层相结合的方式。

首先，在本实验室开发出利用 Cl_2+Ar 高速刻蚀氧化镓单晶的工艺，刻蚀速度达到 $\sim 2 \text{ nm/s}$ 。然后，通过将小尺寸的氧化镓外延片用光刻胶粘贴在 2 寸 Si 片的方式进行工艺操作。最终，通过 5 次曝光和 10 道工艺成功制备出具有槽栅结

构的氧化镓功率场效应晶体管。

栅结构的击穿限制了器件的击穿电压在 ~ 50 V, 主要是由于外延层浓度过高, 未能形成有效的耗尽区域导致栅介质层过早的击穿。可以通过场板结构调节电场进一步保护栅结构, 比如源场板和栅场板等。

对于刻蚀损伤的修复, 可以采用 HF 酸湿法腐蚀和高温退火。

对于常关型器件的实现, 可以采用在沟道中沉积其他 p 型半导体材料帮助耗尽沟道的方式, 调节功率场效应晶体管的阈值电压。类似的方式可以参考具有 p 型帽层 GaN 的 HMET, FLOSFIA 报道的采用 Ir_2O_3 的 $\alpha\text{-Ga}_2\text{O}_3$ 的场效应晶体管。

总之, 在氧化镓无有效 p 型掺杂之前, 利用界面态耗尽沟道是一种可选择的方案。但是也存在着阈值电压漂移问题以及介质层的稳定性问题。这都是需要继续解决的问题。

第5章 β 相氧化镓功率场效应晶体管的开关特性

5.1 引言

功率 MOSFET 通常在电能转换和管理应用中作为功率开关。

功率 MOSFET 是电压驱动的全控式功率器件，在功率开关领域具有独特的优势。比如，功率 MOSFET 中栅绝缘层将栅电极与沟道层电学隔绝，输入阻抗高，因此驱动电流小，驱动损耗低；小的驱动电流，也导致驱动电路设计简单；由于 MOSFET 是单极性器件，因此不存在少数载流子的电荷存储效应，因此工作频率范围宽，开关速度快，到达几十纳秒到几百纳秒，开关损耗小；功率 MOSFET 具有优良的线性工作区，输入电容小，交流输入阻抗高；

本章中我们将首先介绍场效应晶体管作为功率开关时的几个关键参数。然后简要介绍氧化镓功率场效应晶体管的开关特性的研究进展。最后介绍利用功率瞬态参数测试仪器测试了阻性负载下氧化镓功率场效应晶体管的开关特性，主要包括：开关时间和寄生电容。在实验上证明了氧化镓场效应晶体管快速的开关速度，氧化镓功率场效应晶体管未来在快速开关领域的应用提供了初步的结果。

5.2 功率开关场效应晶体管

5.2.1 关键参数

氧化镓功率场效应晶体管的研究开展几年时间，大部分研究致力于提升击穿电压和降低导通电阻。这样的研究路线与 SiC 和 GaN 的早期研究相同，一方面能够充分利用氧化镓材料本身优异的性质，不断突破器件性能指标；另一方面，击穿电压决定着功率场效应晶体管的应用场景，比如低压范围的电源适配器中的快速开关，中压范围电动机逆变器电路以及在轨道交通中的应用等。

但随着器件研究的不断深入，器件性能不断提升，面向应用场景的参数研究变得十分必要。由于功率场效应晶体管主要应用在快速开关领域，因此一些动态参数是必须要的，比如动态导通特性，开关特性和寄生效应等。

几个主要参数说明如下：

1、开关时间是场效应晶体管在开启和关断时间转换所需要的时间，包括开启时间 (t_{on}) 和关断时间 (t_{off})。由于场效应晶体管是压控器件，开关时间与寄生电容的充放电速度直接相关。当然，由于场效应晶体管是单极性器件，不存在少数载流子的存储效应，开关时间主要由载流子的充放电电流大小（驱动电流）和寄生电容的大小决定。

具体来说，开启时间 (t_{on}) 包括开始施加驱动信号到器件完成开启状态的时间，因此包括器件对驱动信号做出反应的延迟时间 ($t_{d,on}$) 和器件做出反应到完全开启的电流上升时间 (t_r)；同理，关断时间包括撤销驱动信号到器件完全关断的时间，对应的两部分时间是关断延迟时间 ($t_{d,off}$) 和电流下降时间 (t_f)。具体关系如下：

$$t_{on} = t_{d,on} + t_r \quad \dots (5.1)$$

$$t_{off} = t_{d,off} + t_f \quad \dots (5.2)$$

2、栅电荷量 (Q_g) 是功率场效应晶体管从关断到开启所需要的电荷量。栅电荷对于驱动电路是一个关键参数，驱动电路对栅电容的充电电流必须足够大才能使器件快速开启，否则开启延迟时间 ($t_{d,on}$) 超过上升时间 (t_r)，这是不能接受的。不难看出，栅电荷与开启时的损耗也直接关联。人们常常利用栅电荷 (Q_g) 与栅源电压 (V_{gs}) 的关系曲线来估计寄生电容和估算驱动损耗。栅电荷在开关过程中的变化过程，如图 5.1 所示。

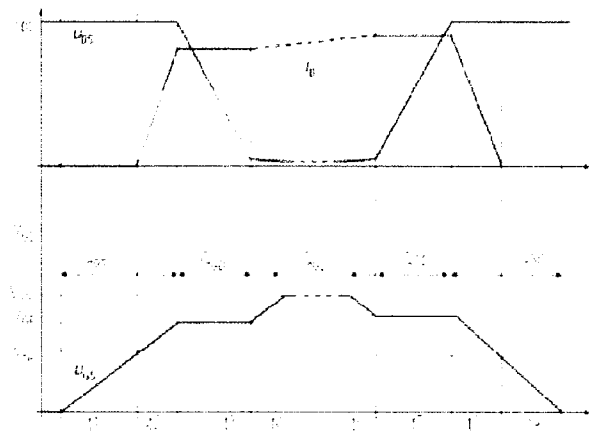


图 5.1 MOSFET 开关过程中的栅电荷特性

Figure 5.1 Gate charging process during MOSFET switching

3、寄生电容是在器件中存在的电极之间的电容，与动态参数直接相关。如图 5.2 所示，寄生电容包括栅-源电容 C_{gs} ，栅-漏电容 C_{gd} 和漏-源电容 C_{ds} 。其中 C_{gd} 由于米勒效应对开关时间的影响尤甚。寄生电容会以三个端口等效电容参数表示，包括输入电容 C_{iss} ，输出电容 C_{oss} ，和反向传输电容 C_{rss} 。端口电容和极间电容的关系，如公式所示：

$$C_{iss} = C_{gd} + C_{gs} \quad \dots (5.3)$$

$$C_{oss} = C_{gd} + C_{ds} \quad \dots (5.4)$$

$$C_{rss} = C_{gd} \quad \dots (5.5)$$

C_{iss} 与开启和关断延迟时间直接相关，对于软开关应用， C_{oss} 能够避免系统发生共振。 C_{rss} 与开关时间和关断延迟时间相关。总之，寄生电容对于研究开关时间十分重要，当然降低寄生电容能够有效地优化场效应晶体管的开关特性。

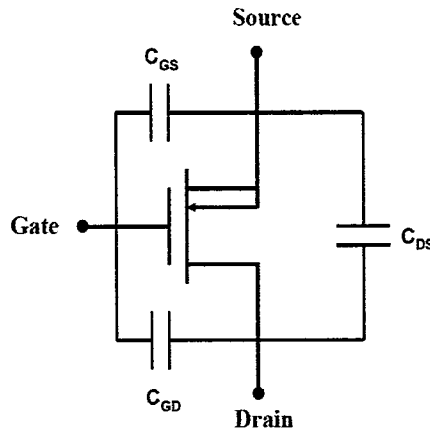


图 5.2 MOSFET 的寄生电容示意图

Figure 5.2 Schematic of capacitance in MOSFET

5.2.2 氧化镓场效应晶体管开关特性的研究进展

对于氧化镓功率场效应晶体管的动态特性的研究还十分有限。2018 年，美国空军实验室的 Chabak et al. 采用栅电容 C_g 对栅电压 V_{gs} 的积分计算了栅电荷量 Q_g ，如图 5.3 所示。

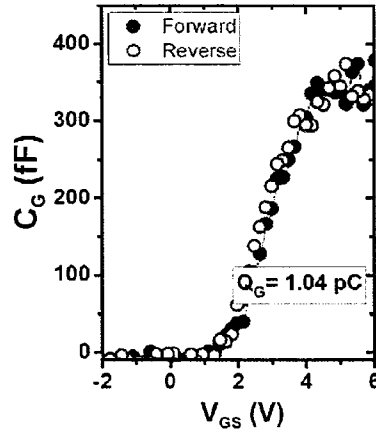

 图 5.3 利用 C-V 曲线积分估计栅电荷^[17]

 Figure 5.3 C-V characteristics to estimate gate charge Q_g

根据计算得到动态开关损耗品质因子 $R_{on} \cdot Q_g$ ，氧化镓功率场效应晶体管已经超过了 Si，并预测缩小栅长 L_g 的 50%，可以到达 GaN 水平，如图 5.4 所示；

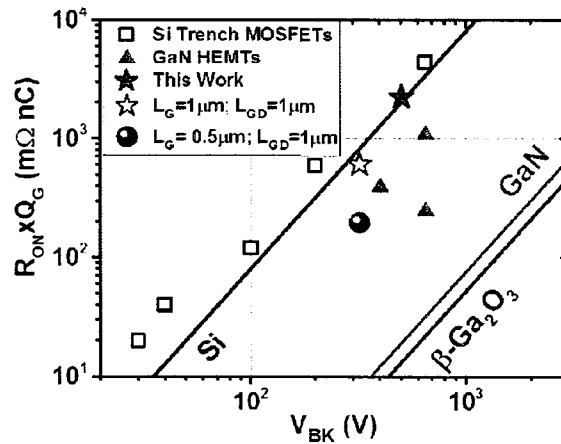
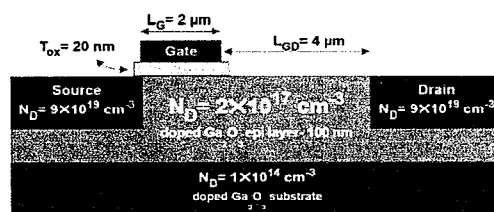

 图 5.4 与 Si 和 GaN 的动态开关损耗品质因子对比图^[17]

Figure 5.4 The comparison on dynamic switching losses FoM with GaN and Si

2017 年，纽约州立大学布法罗分校的 Lee et al. 利用 Silvaco 混合模式感性负载测试电路仿真了 Ga_2O_3 MOSFET 的开关特性，如图 5.5 所示。以三相模块化多电平变流器（MMC）为例与商用的 SiC MOSFET 相比较，仿真结果显示， Ga_2O_3 MOSFET 具有更低导通损耗和较高的开关损耗，两者的总损耗相当 [71, 72]。

Figure 1. Cross section of the Ga_2O_3 MOSFETTable II. Ga_2O_3 material parameters used in TCAD

Band Gap Energy (E_g)	4.8 eV
Effective density of states in the conduction band at 300 K (N_c)	$4.45 \times 10^{18} \text{ cm}^{-3}$
Electron Affinity	4.0 eV
Electron Mobility (μ_n)	$118 \text{ cm}^2/\text{V}\cdot\text{s}$

图 5.5 仿真器件的结构和参数

Figure 5.5 Structure and parameter of simulation

综上所述，对氧化镓 MOSFET 的开关特性研究还需要进一步加深，比如，开关时间和寄生电容，这是氧化镓 MOSFET 在功率开关应用中必备的性能参数。

5.3 开关特性的测试方法

5.3.1 开关时间的测试方法

功率 MOSFET 的开关特性与驱动电路和负载特性直接相关。根据负载不同，开关时间的测试分为阻性 R 和感性 L 负载下的开关时间测试。当然在实际应用中负载一般同时具有阻性和感性特性。

功率 MOSFET 用来控制感性负载，如电动机的转子线圈。在这样的电路中，需要一个续流二极管（Freewheeling Diode）在 MOSFET 开启时电感充电，关闭时电感放电驱动负载电流。功率 MOSFET 在感性负载中操作的测试电路，如图 5.6 所示。功率 MOSFET 由一个栅驱动电路控制开启和关断，栅驱动电路实际是产生脉冲的方波发生器，电平为功率 MOSFET 完成开启所需要的栅电压 V_{on} ，驱动电流是重要的指标，驱动电流越大，开启延迟时间越短，也要考虑电流过冲等效应对器件安全性的问题，等效为在栅驱动电路串联一个栅电阻 R_g 。

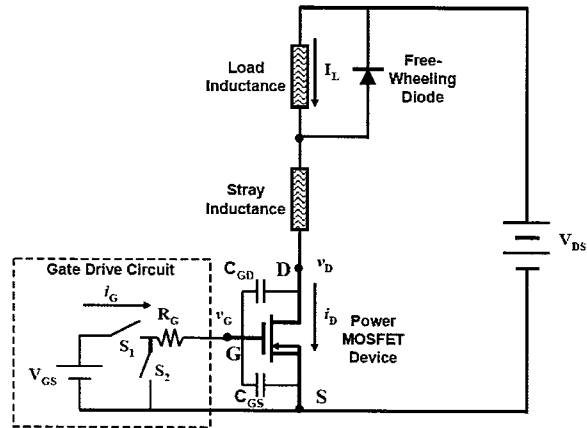


图 5.6 感性负载测试开关时间电路图

Figure 5.6 Circiut diagram of testing switching time under inductive load

功率 MOSFET 用来驱动阻性负载，如电热箱等。如图 5.7 所示，在这样的测试电路中，电阻与功率 MOSFET 串联，由于负载电流和功率 MOSFET 电流同步变化，因此不需要续流二极管。同样采用栅驱动电路控制功率 MOSFET。

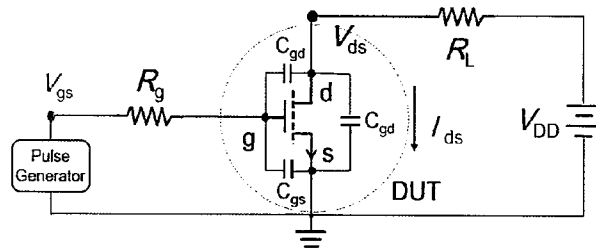


图 5.7 阻性负载测试开关时间电路图

Figure 5.7 Circiut diagram of testing switching time under resistive load

5.3.2 寄生电容的测试方法

因为场效应晶体管的结构复杂，难以直接测量极间电容 (C_{gs} 、 C_{gd} 、 C_{ds})，所以采用测试端口电容 (C_{iss} 、 C_{oss} 、 C_{rss}) 的方式。实际上功率 MOSFET 产品的寄生电容就是提供的端口电容。

寄生电容的测试是在 MOSFET 关闭的情况下利用电感电容电阻测试仪 (LCR) 测量的，即 $V_{gs}=0$ 。

测试输入电容 C_{iss} ，即将 LCR 连接在栅电极和源电极之间，测试电路图，如图 5.8 所示。

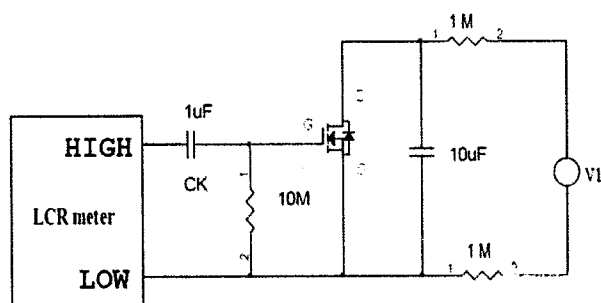


图 5.8 输入电容测试电路图

Figure 5.8 Circiut diagram of testing input capacitance C_{iss}

测试输出电容 C_{oss} ，将 LCR 连接在漏电极和源电极之间，测试电路图，如图 5.9 所示。

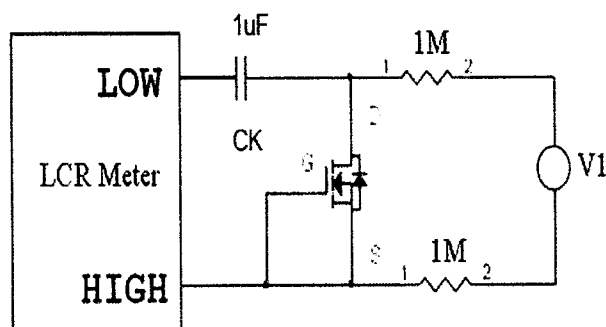


图 5.9 输出电容测试电路图

Figure 5.9 Circiut diagram of testing output capacitance C_{oss}

测试反向电容 C_{rss} ，将 LCR 连接在栅电极和漏电极之间，测试电路图，如图 5.10 所示。

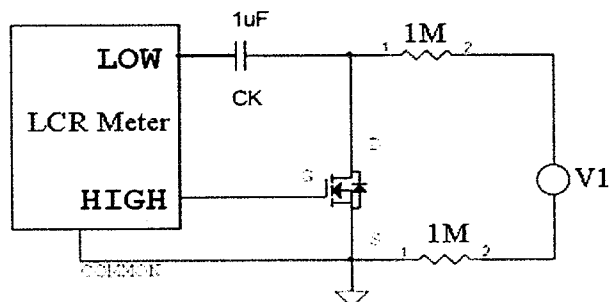


图 5.10 反向传输电容测试电路图

Figure 5.10 Circiut diagram of testing reverse transfer capacitance C_{rss}

5.4 快速开关 β 相氧化镓场效应晶体管

5.4.1 电学测试

对于氧化镓 MOSFET 的开关特性的测试, 由于原型器件的尺寸比较小, 栅宽 $W_g=100\text{ }\mu\text{m}$, 导通电流的绝对值为 mA 级别, 难以驱动电感负载, 因此采用阻性负载测试氧化镓 MOSFET 的开关特性。

具体测试条件如下: 根据氧化镓 MOSFET 的静态参数 $V_{th}=+4.2\text{ V}$, 为保证器件完全导通, 栅驱动信号为 $V_g=+10\text{ V}$ 的脉冲信号, 通过栅电阻 $R_g=15\text{ }\Omega$, 连接在栅源电极之间。根据氧化镓 MOSFET 的导通电流, 设置主电路直流电压 $V_{dd}=20\text{ V}$, 负载电阻 $R_L=4.95\text{ k}\Omega$ 。

测试仪器是半导体功率器件动态测试系统 ITC-57300, 如图 5.11 所示。ITC57300 是美国 ITC 公司设计生产的高集成度功率半导体分立器件动态参数测试设备。该设备可测试电阻和电感负载下的开关时间, 开关损耗, 栅极电荷 Q_g , 反向恢复时间 TRR 和反向回复电荷 Q_{rr} 等其他瞬态参数, 以及功率器件的短路耐量电流。ITC-57300 是功率器件工业级的测试仪器, 最大可测试直流电压 1200 V, 最大电流 200 A; 短路耐量峰值电流 400 A。因此完全满足测试需求。

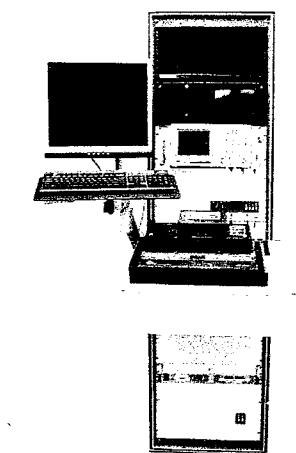


图 5.11 瞬态测试系统 ITC-57300

Figure 5.11 Image of dynamic test system ITC-57300

由于测试的氧化镓 MOSFET 常关型的, 栅极施加正电压开启, 因此采用 NMOS 管测试板。

寄生电容测试采用 KCV-300 电容电压 (C - V) 特性测试仪, 测试条件为 $V_{gs}=0$ V, $V_{ds}=20$ V, 测试频率 100 kHz, 分别测试栅-漏、源-漏和栅-漏电极之间的电容。

5.4.2 数据分析和讨论

如图 5.12 和 5.13 所示, 测试得到器件在开启和关断瞬间的栅驱动信号 V_{gs} 和源漏电流信号 I_{ds} 和源漏电压信号 V_{ds} 曲线, 可以得到器件的开关时间。

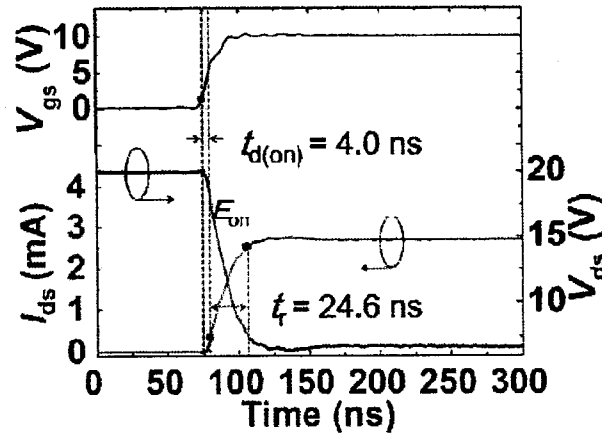


图 5.12 开启瞬间的曲线

Figure 5.12 Waveform at turn-on moment

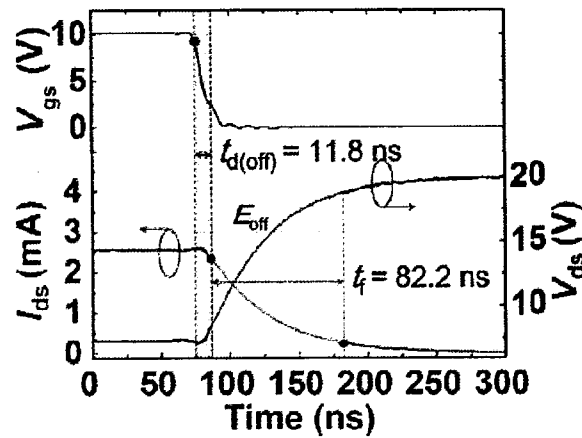


图 5.13 关断瞬间的曲线

Figure 5.13 Waveform at turn-off moment

提取规则是: 在栅驱动信号 V_{gs} 提升到总电压幅值的 10%, 即 $10 \text{ V} \times$

10%=1 V 到源漏电流 I_{ds} 提升到最大电流值的 10% 的时间是开启延迟时间。由图 5.12 可知, $t_{d,on}=4.0$ ns, 说明驱动电路的驱动能力很强, 可以使 MOSFET 快速开启。

源漏电流 I_{ds} 从 10% 提升到 90% 所需要的时间是电流上升时间 t_r 。由图 5.12 可知 $t_r=24.6$ ns, 这个值与 MOSFET 本身寄生电容大小直接相关, 是重要的动态特性参数。

关断的过程同理, 当 V_{gs} 从总电压幅值的 90% 到源漏电流 I_{ds} 降低到最大电流的 90% 的时间是关断延迟时间 $t_{d,off}$, 由图 5.13 可知, $t_{d,off}=11.4$ ns。这个值是栅电荷释放电荷的时间, 与栅电阻大小 R_g 直接相关, 即 R_g 越小, 释放电荷的速度越快, $t_{d,off}$ 越小。

源漏电流 I_{ds} 从 90% 减低到 10% 所需要的时间是电流下降时间 t_f 。由图 5.13 可知 $t_f=82.2$ ns。

综上, 氧化镓 MOSFET 的开启时间 $t_{on}=t_{d,on}+t_r=28.6$ ns, 关断时间 $t_{off}=t_{d,off}+t_f=94.0$ ns。结果表明氧化镓 MOSFET 可以实现较快的开启和关断, 在实验上确定了氧化镓 MOSFET 在功率开关领域的应用潜力。

另外, 我们测试了不同栅长 L_g 的 MOSFET 的开关时间, 结果如图 5.14 和 5.15 所示。

如图 5.14 所示, 开启延迟时间 $t_{d,on}$ 和关断延迟时间 $t_{d,off}$ 均随着栅长 L_g 的增加而增加。因为 L_g 增加了栅电极面积, 根据平板电容公式, 栅电容 C_g 增减, 而 $t_{d,on}$ 和 $t_{d,off}$ 是栅电容的充电和放电时间。

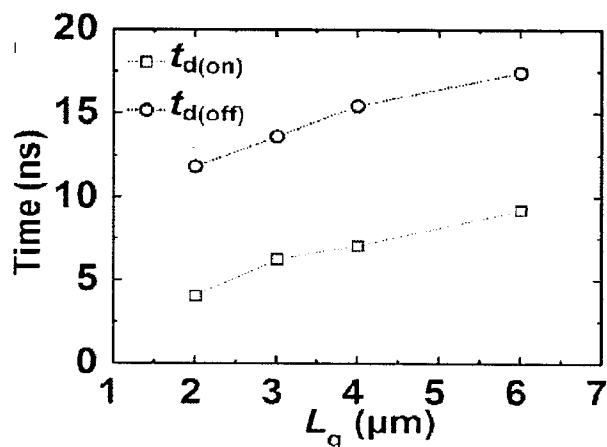
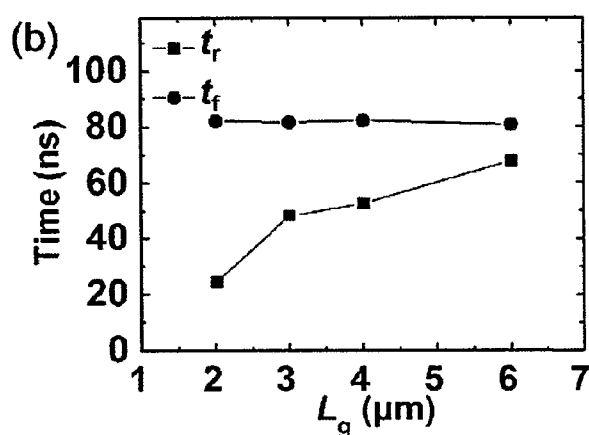


图 5.14 开启和关断的延迟时间与栅长 L_g 的关系

Figure 5.14 The turn-on and turn-off delay time dependence with gate length L_g

如图 5.15 所示, 电流上升时间 t_r 随着 L_g 增加而增加, 而电流下降时间则基本没变。这是由于电流上升的时间 t_r 是 MOSFET 导通沟道形成的过程, 而由于源漏电压 $V_{ds}=20\text{ V}$, 因此栅电容从源端到漏端实现充电过程, 当漏端实现充电, 即漏端沟道形成时, 电流 I_{ds} 才迅速增加, 即电流上升时间 t_r 是栅电容 C_g ($C_g=C_{gs}+C_{gd}$) 完全充电所需要的时间, 因此与栅长 L_g 相关。当 MOSFET 关断时, 栅电容从漏端开始放电到沟道漏端截止时, 电流 I_{ds} 即迅速下降。因此关断时间 t_f 是栅漏电容 C_{gd} 放电所需要的时间, 与栅长 L_g 弱相关。

图 5.15 电流上升和下降时间与栅长 L_g 的关系Figure 5.15 The current rising and falling time dependence with gate length L_g

根据以上结果可知, 降擅长 L_g , 可以有效降低开启延迟时间 $t_{d,on}$ 和关断延迟时间 $t_{d,off}$, 以及电流上升时间 t_r , 从而降低开关损耗。

对于寄生电容, 我们测试得到 MOSFET 的输入电容 $C_{iss}=37\text{ pF/mm}$, 输出电容 $C_{oss}=42\text{ pF/mm}$, 反向传输电容 $C_{rss}=14\text{ pF/mm}$ 。 C_{iss} 主要影响开启和关断的延迟时间。因为延迟时间主要是栅电容的充放电时间。 C_{rss} 主要影响电流的上升时间和下降时间, 因为上升时间时对 C_{gs} 和 C_{gd} 的充电时间, 而下降时间是对 C_{gd} 的放电时间。

5.5 本章小结

本章中首先介绍了功率 MOSFET 的开关应用和关键动态参数。

对于氧化镓 MOSFET 快速开关应用，其动态特性是不可或缺的研究内容。现阶段的大部分研究都集中在提升击穿电压，对于动态特性的研究仍处在初级阶段和仿真研究阶段。

为了解决氧化镓原型器件电流值小，难以驱动感性负载，无法测试开关时间的问题。我们利用阻性负载下的测试电路测试了常关型氧化镓 MOSFET 的开关时间，开启时间 $t_{on}=28.6\text{ ns}$ ，关断时间 $t_{off}=94\text{ ns}$ ，首次在实测层面验证了氧化镓功率 MOSFET 的开关特性。

同时我们分析了开关时间和栅长 L_g 之间的关系，实验结果表明，降低 L_g 可以有效减少开启延迟时间 $t_{d,on}$ 、关断延迟时间 $t_{d,off}$ 以及电流上升时间 t_r ，提升开关特性，降低开关损耗。测试的寄生电容结果表明了器件的寄生电容水平，为驱动电路设计提供参数依据。

当然，受限于原型器件的导通电流，采用阻性负载得到的开关特性参数仅是初步实验验证结果。可以通过制备插指结构的提升栅宽度 W_g ，从而降低导通电阻，提升导通电流，从而在感性负载下测试开关特性。

总之，减小栅长 L_g 可以减少开关时间，降低开关损耗。提升栅宽 W_g ，可以减少导通电阻，降低导通损耗。因此对于栅结构的优化是制备快速开关氧化镓功率 MOSFET 的重要手段。

第6章 总结与展望

6.1 工作总结

氧化镓是一种新型的超宽禁带半导体材料,具有禁带宽度大、理论击穿电场强度高的特点。根据Baliga品质因子计算,氧化镓有望在高压功率器件中以更小的导通损耗,实现更高的击穿电压,从而在超高压领域得到应用。

而 β 相氧化镓作为最稳定的单晶形式,能够通过导模法实现大尺寸、高质量的单晶合成,为器件研制提供了材料基础。另外,外延薄膜生长技术近年来也得到了发展,进一步促进了氧化镓功率器件的研究进程。

近年来,国际电子器件大会(IEDM)和国际功率半导体器件与功率集成电路会议(ISPSD)均有氧化镓的工作得到报道,氧化镓受到功率器件领域的广泛关注。国内外大量的研究正在积极开展。由于氧化镓仍存在p型掺杂的困难,因此单极性器件得到了优先发展。

功率场效应晶体管是一种快速开关的功率半导体器件,具有输入阻抗高、开关速度快和抗干扰能力强的特点。传统Si基功率场效应晶体管,受限于Si的材料特性,往往其击穿电压较低。宽禁带半导体的采用,从根本上解决了这个问题,SiC的MOSFET已经实现商用,氧化镓有望实现更高击穿电压的功率MOSFET。

场效应晶体管中,栅介质层的性质对器件性能至关重要。一方面,需要禁带宽度大实现有效电流绝缘;另一方面,更高的介质层介电常数能够实现跟好的开关特性。基于宽禁带 Al_2O_3 和高K介质 HfO_2 的复合介质层能够同时满足绝缘型和高介电常数的要求,同时 Al_2O_3 置于 HfO_2 与 Ga_2O_3 之间具有更好的绝缘效果。另外,利用高-低频电容法提取了 Al_2O_3 和 HfO_2 与 Ga_2O_3 的界面缺陷密度,两者界面性质相似,后退火工艺有利于提升界面质量。

常关型功率MOSFET具有驱动损耗低、系统安全性高的优点,因此是优选的器件类型。但由于氧化镓的p型掺杂问题仍待解决,在现有工艺条件下,利用栅界面缺陷电荷耗尽沟道实现常关型器件是一种技术方案。因此我们在本实验室中开发了利用 Cl_2 和Ar混合气体刻蚀氧化镓的ICP刻蚀工艺,刻蚀速度达

到 2 nm/s, 并成功研制出阈值电压 $V_{th}=4.2$ V, 开关比 10^7 , 开启时间 28.6 ns 和关断时间 94.0 ns 的快速开关氧化镓场效应晶体管。我们测试了其寄生电容, 并分析了栅长 L_g 与开关时间之间的关系。

本论文的主要创新点包括:

(1) 提出复合栅介质层的方案, 同时满足低漏电流和高栅电容的要求。同时成功提取了氧化镓与 Al_2O_3 和 HfO_2 的界面缺陷态密度, 为高K介质在氧化镓场效应晶体管的应用提供了技术方案, 即在高K介质与氧化镓中插入宽禁带介质层以降低漏电流。

(2) 在本实验室中实现了氧化镓晶体的高速 ICP 刻蚀工艺开发, 刻蚀速度达到 2 nm/s, 且可以通过多种方案降低刻蚀损伤, 比如高速刻蚀+低速终端刻蚀、刻蚀后湿法腐蚀等。

(3) 成功研制出槽栅结构氧化镓场效应晶体管, 阈值电压 4.2 V, 开关比 10^7 。

(4) 解决了氧化镓原型器件导通电流小难以驱动感性负载, 无法测试开关时间的问题。即采用阻性负载来测试了氧化镓功率场效应晶体管的开关时间。

6.2 未来展望

经过近五年的研究, 氧化镓基功率器件得到了广泛研究, 包括肖特基二极管和场效应晶体管。肖特基二极管由于器件结构简单和工艺难度低的特点, 有望有限得到应用, 因此进一步降低单晶衬底的价格和提升外延薄膜的质量成为关键。

氧化镓的场效应晶体管主要关注的应用领域是击穿电压更高的应用, 因为低压应用中 Si 基功率器件具有巨大的成本优势, 而中压范围, SiC 已经实现了商用, 尽管价格较高, 但器件性能优异。因此氧化镓场效应晶体管主要关注与提升击穿电压。

对于高电压性能, 垂直器件具有无可比拟的优势, 因此长久看来垂直氧化镓场效应晶体管是发展方向。

而对于平面器件, $AlGaO/Ga_2O_3$ 异质结中二维电子气的开发对于平面快速开关场效应晶体管至关重要, 这样才能有望和 GaN 争夺中压高频开关应用市

场。

因此氧化镓功率场效应晶体管需要解决的问题和进行的工作有：

(1) 提升氧化镓功率场效应晶体管的尺寸，主要是栅宽 W_g ，从而提升导通电流，插指型栅是可行的方案。但需要注意的是，由于期间尺寸的增加，工艺的均匀性变得尤为重要。小尺寸的衬底材料贴 Si 片的方案很难保证，大尺寸衬底是更好的选择；

(2) 测试大电流器件的开关时间和寄生特性，采用感性负载测试的开关特性、栅电荷和寄生电容等参数；

(3) 在氧化镓衬底上同时制备场效应晶体管和平面肖特基二极管，实现片内电路集成；

(4) 研制垂直型的氧化镓场效应晶体管实现更高的击穿电压和导通电流。