



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

高性能 GaN 毫米波功率器件研究

作者姓名: 魏珂

指导教师: 吴德馨 (院士) 中国科学院微电子研究所

刘新宇 (研究员) 中国科学院微电子研究所

企业导师: 张斌 (研究员) 中国电子科技集团第 55 研究所

学位类别: 工程博士

学科专业: 电子信息

培养单位: 中国科学院微电子研究所

2018 年 6 月

Gallium Nitride based power transistors for millimeter-wave applications

**A Dissertation Submitted to
The University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Doctor of Engineering
in
Electronics and information**

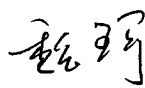
**By
Ke Wei**

**Supervisor: Professor Wu Dexin
Professor Liu Xinyu
Professor Zhang Bin**

**Institute of Microelectronics, Chinese Academy of Sciences
JUNE 2018**

中国科学院大学
研究生学位论文原创性声明

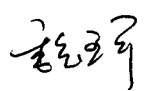
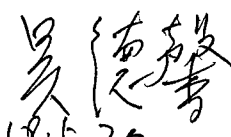
本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名： 
日期： 2018.5.20

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：  导师签名： 
日期： 2018.5.20 日期： 2018.5.20

摘 要

高频率高效率大功率是 GaN HEMT 器件的发展趋势，毫米波 GaN 微波器件与电路成为目前研究的热点。本论文开展毫米波 GaN HEMT 外延结构设计、器件结构优化、关键工艺的提升、高性能器件等研制工作，取得以下研究成果，保证了国家重大专项任务的实施。

主要研究成果如下：

1.针对降低 GaN 基毫米波器件的短沟道效应开展了外延材料结构和器件结构研究，提出了 GaN 基毫米波器件短沟道效应从外延材料到器件结构的解决方案。

2.开展了毫米波 GaN 器件关键工艺研究：提出了创新的高性能欧姆接触方案，TiN 埋层结合刻蚀技术实现了接触电阻小于 $0.10\ \Omega \cdot \text{mm}$ ；开发了低损伤凹栅槽刻蚀技术，降低了界面损伤和肖特基反向漏电；开展了 T 型栅研究，利用新型复合电子束胶体系得到了 100nm 及以下 T 型栅；开发了小尺寸密集背孔技术，实现了 $30\ \mu\text{m}$ 以下的密集背孔；通过 N_2 等离子体处理将器件漏电降低了一个数量级；固化了完整的毫米波器件工艺流程。

3.基于自主工艺技术，研制成功毫米波 AlGaIn/GaN HEMT 器件，饱和输出电流密度 1.22A/mm ，跨导达到 440ms/mm ，肖特基反向漏电在 -60V 下为 $1\ \mu\text{A/mm}$ ，击穿电压大于 110V ，亚阈值摆幅达到 140mV/dec ，器件截止频率和最高振荡频率分别是 81GHz 和 194GHz ； 35G 连续波测试下饱和输出功率密度 6.0W/mm ；最大输出 PAE 为 42.3% 。

4.采用新型栅结构来降低栅结构的峰值电场，源漏间距 $2.4\ \mu\text{m}$ 器件击穿电压提高到 140V ，测试结果表明，新型栅结构有效提高了器件的击穿特性。

5.采用 AlN/GaN 量子阱结构来抑制短沟道效应，器件 DIBL 为 45mV/V ，电流崩塌小于 5% ，测试结果表明，AlN/GaN 量子阱结构有效抑制了短沟道效应，减小了电流崩塌。

6.为了进一步提高器件的栅控能力，开展了 GaN 毫米波 FinFET 器件的研制测试结果表明，GaN 基 FinFET 器件有效增强了器件的栅控能力，器件 DIBL 系数 10.4mV/V ；为了进一步对栅边缘电场进行调制，开展了双阶栅结构研制，器件击穿电压 110V ，比同材料常规结构器件提高 46V ，测试结果表明，双阶栅结构器件有效降低了栅脚的

电场强度。

7.为了进一步增强二维电子气限域特性,开展了薄势垒结合 InGaN 背势垒结构器件的研制,器件 DIBL 为 12.5mV/V,测试结果表明,薄势垒结合 InGaN 背势垒结构器件有效抑制了短沟道效应。

关键词: 毫米波, 氮化镓高电子迁移率晶体管, 短沟道效应, 欧姆接触, T 型栅

Abstract

High frequency, high efficiency and high power are the development trend of GaN HEMT devices. Millimeter wave GaN high frequency microwave devices and circuits have become the focus of current research. In this dissertation, the design of GaN HEMT epitaxial structure of millimeter wave, the optimization of device structure, the improvement of key technology and the development of high performance devices have been carried out, and the following achievements have been obtained, which support the implementation of the National Science and Technology Major Project.

The main research results are as follows:

1. In order to reduce the short channel effect of GaN based millimeter wave device, the structure of epitaxial material and device structure are studied. The solution of short channel effect from GaN based millimeter wave device from epitaxial material to device structure is proposed.
2. The key technology of millimeter wave GaN device was studied. The innovative high performance ohmic contact scheme was proposed. The contact resistance was less than $0.10 \Omega \cdot \text{mm}$ with the TiN buried layer and recessed technology. The low damage gate etching technology was developed to reduce the interface damage and improve the Schottky reverse leakage. The T-gate was carried out and the new double resist was used and 100nm T-gates were obtained by using the electron beam resist system. SiC dry etching technology is developed to realize the via-hole below $30\mu\text{m}$. The leakage of the device was reduced by an order of magnitude by N_2 plasma treatment. A completely millimeter wave device process was solidified.
3. Based on the independent technology, the millimeter wave AlGaIn/GaN HEMT device has been successfully developed, the saturation output current density is 1.22A/mm , the transconductance reaches 440ms/mm , the Schottky reverse leakage is $1 \mu\text{A/mm}$ when V_{gs} is 60V . The breakdown voltage is greater than 110V , the sub threshold swing reaches 140mV/dec , the device cut-off frequency and the highest oscillation frequency are 81GHz in, 194GHz respectively. The saturated output power density 6.0W/mm is the 35G continuous wave test, and the maximum output PAE is 42.3% .
4. A new structure gate is used to reduce the peak electric field of the gate foot, and the breakdown voltage of the device is increased to 140V . The test results show that the new gate structure effectively improves the breakdown characteristics of the device.

5. The AlN/GaN quantum well structure is used to replace the AlGaIn barrier and suppress the short channel effect, the device DIBL is 45mV/V, and the current collapse is less than 5%. The test results show that the AlN/GaN quantum well structure effectively inhibits the short channel effect and reduces the current collapse.

6. The research of the new structure millimeter wave device is carried out. In order to further improve the gate control capability of the device, the GaN based FinFET device is developed and the device DIBL coefficient is 10.4mV/V. The test results show that the GaN based FinFET device has effectively enhanced the gate control capability of the device.

The new structure millimeter wave GaN devices is carried out. In order to further modulate the edge electric field at the gate, the step-gate structure is developed. The breakdown voltage of the device is more than 110V, which is higher than the conventional structure of the same material 46V. The test results show that the double gate structure device effectively reduces the electric field strength of the gate structure.

7. The research of new structure millimeter wave devices is carried out. In order to further enhance the limited domain characteristics of two-dimensional electron gas, the development of the InGaIn back barrier structure device is developed. The device DIBL is 12.5mV/V. The test results show that the InGaIn back barrier structure effectively suppress the short channel effect of the device.

Key Words: Millimeter-wave, GaN HEMT, short channel effect, Ohmic contact, T-gate foot,

目 录

摘 要.....	I
Abstract.....	III
第一章 绪论	1
1.1 前言	1
1.2 毫米波 GaN HEMT 器件国内外发展历史与现状	4
1.2.1 毫米波 GaN HEMT 器件国内外发展历史	4
1.2.2 毫米波 GaN HEMT 器件面临问题及发展趋势	7
1.3 本论文研究意义	12
1.4 本论文研究内容	12
第二章 AlGaIn/GaN HEMT 器件及材料结构研究.....	15
2.1 AlGaIn/GaN HEMT 器件基础	15
2.1.1 AlGaIn/GaN HEMT 的工作原理	15
2.1.2 GaN 毫米波器件参数与特性相关性研究	17
2.2 毫米波器件关键问题研究	19
2.2.1 GaN 毫米波器件短沟道效应	19
2.2.2 短沟道效应的抑制	22
2.2.3 强电场抑制	25
2.3 毫米波 GaN 器件外延结构	30
2.3.1 缓冲层设计与分析	31
2.3.2 GaN 高迁移率层厚度设计	33
2.3.3 毫米波新材料结构设计	35
2.4 AlGaIn/GaN HEMT 器件结构设计	41
2.4.1 栅长的选择	41
2.4.2 栅源间距的选择	41
2.4.3 纵横比的选择	44
2.4.4 栅结构的优化	46
2.5 小结	49
第三章 毫米波 GaN HEMT 器件关键工艺研究.....	51
3.1 欧姆接触技术研究	51

3.1.1 GaN 器件欧姆接触机理.....	51
3.1.2 浅槽欧姆接触技术研究.....	53
3.1.3 TiN 埋层浅槽欧姆接触技术研究.....	55
3.2 低损伤栅槽刻蚀技术研究.....	59
3.2.1 GaN 刻蚀技术研究.....	59
3.2.2 GaN 低损伤栅槽刻蚀技术研究.....	60
3.2.3 新型栅槽刻蚀技术研究.....	64
3.3 T 型栅技术研究.....	67
3.4 密集背孔技术研究.....	69
3.4.1 背孔刻蚀.....	69
3.4.2 提高掩膜选择比技术.....	70
3.5 降低肖特基漏电的技术.....	73
3.6 毫米波 GaN 基 HEMT 器件工艺流程.....	76
3.7 小结.....	79
第四章 毫米波 GaN HEMT 器件研制与测试.....	81
4.1 毫米波段 GaN 器件研究.....	81
4.1.1 器件研制与直流测试.....	81
4.1.2 击穿特性.....	85
4.1.3 短沟道效应.....	87
4.1.4 电流崩塌测试.....	88
4.1.5 小信号测试.....	89
4.1.6 功率测试.....	90
4.2 量子阱结构器件研制.....	94
4.2.1 直流特性.....	94
4.2.2 击穿特性.....	96
4.2.3 电流崩塌测试.....	97
4.2.4 短沟道效应测试.....	98
4.2.5 功率测试.....	99
4.3 小结.....	101
第五章 新型 GaN 毫米波器件探索.....	103
5.1 毫米波鳍栅结构器件研制.....	103
5.1.1 三维鳍型栅结构研究.....	103

5.1.2 毫米波 finfet 器件的工艺实现.....	110
5.1.3 毫米波 finfet 器件直流特性测试.....	110
5.1.4 毫米波 finfet 器件短沟道效应测试.....	112
5.1.5 毫米波 FINFET 器件小信号特性测试.....	113
5.1.6 毫米波 FINFET 器件功率特性测试.....	114
5.2 双阶栅结构器件研制.....	115
5.2.1 双阶栅结构.....	115
5.2.2 双阶栅结构器件电场分析.....	116
5.2.3 双阶栅结构器件频率及功率测试.....	119
5.3 薄势垒结合 InGaN 背势垒器件的研制.....	121
5.4 小结.....	123
第六章 总结与展望	125
6.1 主要成果.....	125
6.2 存在的问题.....	127
6.3 下一阶段目标.....	128
附 件.....	129
参考文献.....	134
致 谢.....	141

图目录

图 1.1 典型半导体材料应用特性.....	2
图 1.2 射频市场预测 ^[1]	2
图 1.3 器件截止频率 f_T 与器件栅长 L_g 的关系 ^[34]	7
图 1.4 GaN HEMT 在直流下的频散特性 ^[55]	10
图 1.5 GaN HEMT 器件缺陷分布 ^[54]	10
图 2.1 GaN HEMT 器件结构示意图.....	15
图 2.2 AlGaIn/GaN 工作时的偏置情形	16
图 2.3 器件各部分结构的电路等效及小信号等效电路模型.....	18
图 2.4 纵横比与器件频率的关系.....	20
图 2.5 高偏压下的阈值漂移（栅长 150nm）	20
图 2.6 GaN HEMT 器件的 DIBL 特性曲线（ $l_g=100\text{nm}$ ）	21
图 2.7 典型的 AlGaIn/GaN HEMT 的穿通效应.....	22
图 2.8 势垒层厚度和器件性能的分析.....	23
图 2.9 GaN HEMT 直流特性（高迁移率层厚度 10nm）	24
图 2.10 GaN HEMT 直流特性（高迁移率层厚度 207nm）	24
图 2.11 新型栅结构.....	26
图 2.12 （a）常规 T 型栅结构；（b）V 型栅脚 T 型栅结构；（c）U 型栅脚 T 型栅结构；（d）新型栅脚 T 型栅结构。	27
图 2.13 四种不同栅结构的沟道电场分布.....	27
图 2.14 几种结构的频率特性.....	28
图 2.15 四种结构的电容.....	28
图 2.16 几种结构的电场分布（ $V_{ds}=100\text{V}$ ）	29
图 2.17 AlGaIn/GaN HEMT 外延结构	30
图 2.18 AlGaIn/GaN HEMT 结构中的背势垒 ^[90]	31
图 2.19 不同缓冲层结构的 IV 特性	32
图 2.20 不同 Al 组分的 AlGaIn 缓冲结构栅下能带图	33

图 2.21 不同 Al 组分的 AlGaIn 缓冲结构器件 IV 特性.....	33
图 2.22 不同沟道层厚度的器件能带图.....	34
图 2.23 不同沟道层厚度的器件 IV 特性	34
图 2.24 GaN 毫米波器件外延结构	35
图 2.25 GaN buffer、AlGaIn 背势垒和 InGaIn 背势垒的能带结构图.....	36
图 2.26 缓冲层电场分布左: 常规结构; 右: InGaIn 结构 ($V_{gs}=-6V$, $V_{ds}=30V$)	36
图 2.27 GaN HEMT 器件 IV 特性对比图	37
图 2.28 GaN HEMT 器件转移特性对比图.....	37
图 2.29 DIBL 因子对比	38
图 2.30 量子阱势垒层的外延结构.....	39
图 2.31 量子阱势垒层的电子分布.....	39
图 2.32 量子阱结构电场强度.....	40
图 2.33 相同偏置条件下电场分布 ($V_{ds}=70V$, $V_g=-2V$) 常规结构 (右) 量子阱结构 (左)	40
图 2.34 不同栅源间距器件 f_t 对比	42
图 2.35 不同栅源间距 MAG 对比	42
图 2.36 不同栅源间距 C_{gs} 、 C_{gd} 对比.....	43
图 2.37 不同栅源间距对直流特性的影响.....	43
图 2.38 纵横比对器件频率特性的影响.....	44
图 2.39 纵横比对器件 f_{max} 的影响	45
图 2.40 栅沟道间距对器件频率特性的影响.....	45
图 2.41 栅和沟道间距对器件 f_{max} 特性的影响	46
图 2.42 宽栅槽与 T 型栅结构	47
图 2.43 不同栅槽的频率特性和寄生电容比较.....	47
图 2.44 毫米波的器件结构.....	48
图 2.45 毫米波器件实验版图.....	49
图 3.1 欧姆接触形成机理图.....	52
图 3.2 (a) TiN 浸入沟道 (b)大面积 TiN 浸入 AlGaIn 势垒层	53

图 3.3 浅槽刻蚀欧姆接触制备流程.....	54
图 3.4 不同刻蚀时间样品合金前的电流对比示意图.....	54
图 3.5 欧姆接触的传输线测试结果.....	55
图 3.6 TiN 埋层前后欧姆接触示意图及形貌对比图	56
图 3.7 三种欧姆接触的传输线测试结果.....	56
图 3.8 三种结构合金后的形貌比较.....	57
图 3.9 TiN+TiAlNiAu 蒸发后的欧姆接触 TEM 照片及 EDX 分析结果	57
图 3.10 TiN+TiAlNiAu 欧姆接触合金后 TEM 照片及 EDS 分析结果.....	58
图 3.11 合金形貌的 EDX 分析结果: (a)常规结构 (b) TiN 埋层结构	58
图 3.12 栅槽示意图.....	59
图 3.13 不同刻蚀条件下表面拉曼测试结果.....	60
图 3.14 低损伤刻蚀的表面.....	61
图 3.15 刻蚀得到栅槽.....	61
图 3.16 栅槽刻蚀的过程.....	62
图 3.17 栅图形 (栅长变化 50nm 100nm 200nm 300nm)	62
图 3.18 不同栅长器件转移特性.....	63
图 3.19 刻蚀栅长与阈值关系的拟合.....	64
图 3.20 新型栅槽工艺库.....	65
图 3.21 常规 T 型栅槽剖面	66
图 3.22 U 型栅槽.....	66
图 3.23 新型栅槽.....	67
图 3.24 毫米波 T 型栅工艺流程示意图	68
图 3.25 实际制备的 100nmT 型栅电镜照片	69
图 3.26 圆型 (左) 和方型背孔 (右)	70
图 3.27 Ni 掩膜的 Cl 等离子体处理.....	70
图 3.28 电镀后背孔剖面的电镜照片.....	71
图 3.29 背孔器件版图及电镜照片.....	71
图 3.30 背孔器件版图显微镜照片.....	72
图 3.31 背孔后的频率特性变化.....	72
图 3.32 N ₂ 等离子处理与未处理的器件直流特性.....	73
图 3.33 栅槽处理与未处理器件的漏电比较.....	74
图 3.34 肖特基特性比较.....	74

图 3.35 实验片电容 (CV) 室温下测试曲线图	75
图 3.36 N_2 处理后的电流崩塌 (左) N_2 处理器件 (右) 未处理器件	76
图 3.37 毫米波 GaN 基 HEMT 器件工艺流程图	77
图 4.1 T 型栅结构器件工艺流程	81
图 4.2 器件结构及 150nm T 型栅电镜照片	82
图 4.3 器件的电镜照片	82
图 4.4 钝化前的肖特基漏电	83
图 4.5 GaN HEMT 器件直流特性	84
图 4.6 GaN 器件肖特基特性	84
图 4.7 50 μm 器件转移特性测试 ($V_{ds}=10V$)	84
图 4.8 器件击穿特性 (源漏间距 2.4 μm)	85
图 4.9 不同源漏间距器件击穿特性	86
图 4.10 击穿电压与源漏间距的拟合	86
图 4.11 凹栅槽结构与常规结构的转移特性	87
图 4.12 器件电流崩塌测试 (总栅宽 150 μm)	89
图 4.13 50 μm 器件的高频特性	90
图 4.14 双指器件频率特性随漏压的变化 (50 $\mu m \times 2$)	90
图 4.15 Loadpull 测试系统图	91
图 4.16 50*2 μm 器件在 35GHz 下负载牵引测试结果	92
图 4.17 100 μm 器件在 35GHz 下负载牵引测试结果	92
图 4.18 跨栅总线测试结果 (GB)	93
图 4.19 有源区空气桥测试结果 (ASB)	93
图 4.20 量子阱结构的外延材料	94
图 4.21 量子阱结构的转移特性与直流特性	95
图 4.22 量子阱结构直流特性	95
图 4.23 肖特基特性 ($V_{sch}=1.35V$ 反向漏电: 21 μA)	96
图 4.24 50 μm 器件的击穿特性测试 (SD 2.4 μm , $V_{gs}=-6V$)	97
图 4.25 不同偏置下的电流崩塌	98
图 4.26 短沟道效应栅长 200nm, 左: 量子阱结构右: 常规结构	98
图 4.27 量子阱 GaN HEMT 小信号特性 $f_T=100GHz$	99
图 4.28 量子阱结构与常规结构的功率特性	100

图 4.29 150 μm 器件功率测试 GaN HEMT $P_{\text{out}}=5.28\text{W/mm}$	100
图 4.30 GaN HEMT 功率测试结果 (脉冲测试条件: 脉宽 100 μs , 占空比 10%)	101
图 5.1 三维鳍栅结构器件 (FINFET)	103
图 5.2 常规 T 型栅结构的器件	104
图 5.3 三维鳍型栅结构的仿真	105
图 5.4 不同栅长的器件特性	105
图 5.5 不同栅指长度下的器件输入特性	106
图 5.6 不同宽度的 FINFET 器件的转移特性	106
图 5.7 不同漏压下的平面栅结构器件亚阈值特性	107
图 5.8 不同 fin 宽度的 FINFET 器件的亚阈值特性比较	107
图 5.9 FINFET 器件的 CV 特性	108
图 5.10 FINFET 器件的电容特性	109
图 5.11 FINFET 器件与常规器件的频率特性	109
图 5.12 finfet 器件的版图	109
图 5.13 finfet 器件电镜照片	110
图 5.14 凹栅槽结构和 FINFET 结构的直流特性对比	110
图 5.15 FINFET 器件的肖特基	111
图 5.16 Finfet 器件与凹栅槽器件转移特性比较	112
图 5.17 转移特性测试 (左) 常规结构 (右) FINFET 结构	113
图 5.18 100 μm FINFET 器件与常规器件的小信号结果	114
图 5.19 FINFET 结构与常规器件功率性能比较	115
图 5.20 常规 T 型栅与双阶 T 型栅	116
图 5.21 (a)沟道电场强度比较 (b)局部放大图	116
图 5.22 不同结构的直流特性(a) 100nm Γ 型栅直流仿真 (b)200nm Γ 型栅直流仿真 (c) 双阶 Γ 型栅结构直流仿真	117
图 5.23 双阶 Γ 型结构 f_T , f_{max}	118
图 5.24 双阶 T 型栅的结构 AFM 结果	118
图 5.25 双阶 Γ 型栅 GaN HEMT SEM 照片	118
图 5.26 双阶 Γ 型栅与常规 GaN HEMT 击穿特性比较	119
图 5.27 常规栅与双阶栅的频率比较 ($L_g=0.15\mu\text{m}$)	120

图 5.28 常规栅（左）与双阶栅的功率特性比较.....	120
图 5.29 InGaN 背势垒结合薄势垒的外延结构.....	121
图 5.30 薄势垒（15nm）的 GaN HEMT 直流特性（电流密度 1.2A/mm）	122
图 5.31 薄势垒层的转移特性 ($V_{ds}=6.10.15.20.30.40V$)	122
图 5.32 器件的小信号测试结果.....	123

表目录

表 1.1 几种典型半导体材料的物理参数.....	1
表 1.2 国外商业代工线.....	3
表 1.3 GaN 毫米波器件的性能报道.....	6
表 1.4 毫米波器件性能报道.....	6
表 2.1 不同漏压的亚阈值摆幅.....	21
表 2.2 毫米波器件的尺寸.....	48
表 3.1 不同栅长的器件器件性能测试结果.....	63
表 3.2 SiC 背孔刻蚀的速率 (Ni 掩膜)	69
表 3.3 处理前后 Ni 掩膜的选择比.....	71
表 3.4 器件测试结果.....	73
表 4.1 新型栅槽结构源漏间距与击穿电压.....	85
表 4.2 新栅槽结构的短沟道效应.....	87
表 4.3 6×75μm 器件的频率特性	90
表 4.4 两种不同的结构测试结果.....	93
表 5.1 毫米波 FINFET 器件短沟道效应的模拟结果	107
表 5.2 常规器件与 FINFET 器件的转移特性比较	113
表 5.3 常规结构与 FINFET 结构比较	115
表 5.4 常规器件与双阶器件小信号比较.....	119
表 5.5 薄势垒层的转移特性.....	122

第一章 绪论

1.1 前言

作为第三代半导体材料的代表，GaN 材料禁带宽度大，击穿电压高，GaN 具有较高的饱和电子漂移速度，使得 GaN 功率器件能够满足高频率大功率输出的要求^{[1][2][3][4]}；GaN 材料还有良好的高温特性和抗辐照特性，可以用于高温抗辐照等恶劣环境，在国防、民用通信、卫星通信等领域具有广阔的应用前景。表 1.1 给出了典型半导体材料的物理参数，可以看到 GaN 独有的材料特性优势使其在微波毫米波领域非常具有竞争力。图 1.1 列举了 GaN 和其它几种典型材料及相应半导体器件的应用范围。过去的二十多年，GaN 微波功率器件成为微波毫米波器件研究的热点^{[5][6]}。目前 GaN 功率器件向高频率、高效率、高功率、高可靠性发展，这决定了其在军事应用领域、民用领域的巨大应用前景。

表 1.1 几种典型半导体材料的物理参数^[7]

材料特性	禁带宽度 (eV)	电子迁移率 (cm ² /Vs)	电子饱和速度 (10 ⁷ cm/s)	临界击穿场强 (MV/cm)	热导率 (W/cm·K)	工作温度 (°C)	熔点 (°C)	相对介电常数
Si	1.1	1500	1	0.3	1.5	300	1690	11.8
GaAs	1.42	8500	2.1	0.4	0.5	300	1510	12.8
GaN	3.49	2000	2.7	3.3	>1.7	>700	>1700	9
InP	1.35	10000	2.3	0.5	0.7	>500	>1300	12.5
4H-SiC	3.26	700	2	2	4.5	>500	>2100	10

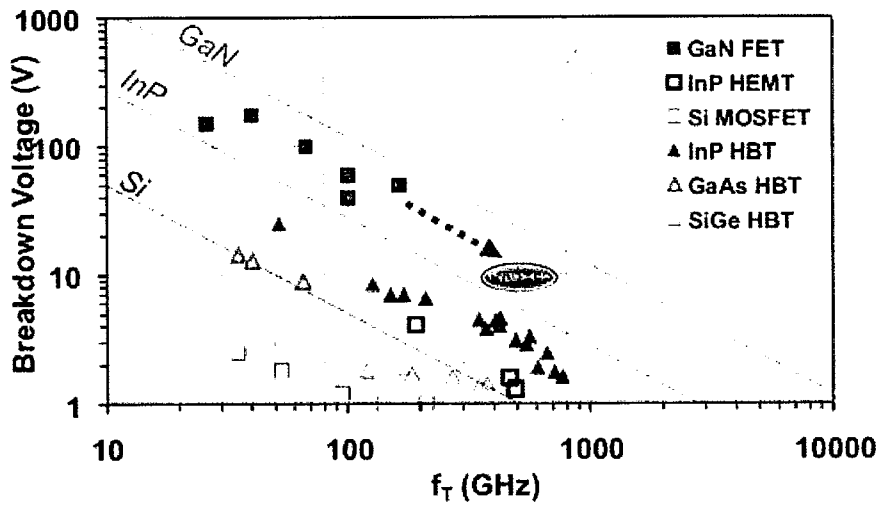


图 1.1 典型半导体材料应用特性^[8]

Figure1.1 Application characteristics of typical semiconductor materials

经过二十多年的飞速发展，Ku 及以下波段的器件已经批量产品供应^{[9][10][11]}，预计 2023 年，仅射频器件市场的规模将达到 13 亿美元，年增长率超过 20%。

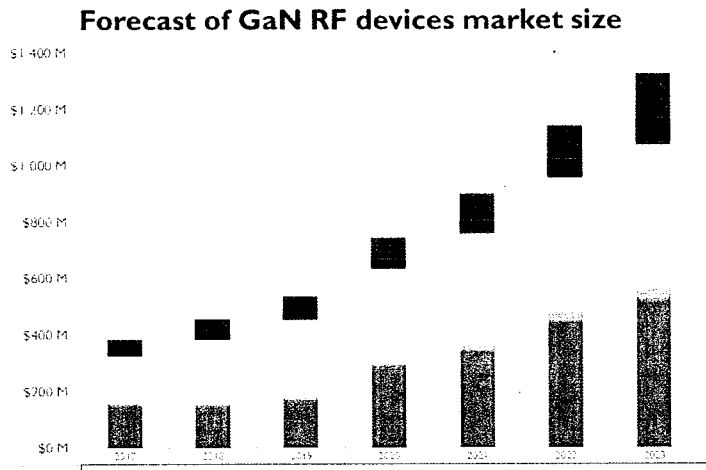


图 1.2 射频市场预测^[12]

Figure1.2 forecast of GaN microwave RF device Market

国外商业代工线的发展已经趋于成熟,表 1.2 给出国外代工厂的工艺水平和能力;美国的 Wolfspeed (科锐的子公司),欧洲的 United Monolithic Semiconductors (UMS) 及 OMMIC^[12],都是服务于各自的国防防务系统。国内仅有部分单位发布了部分产品,还未能大规模应用^[13]。

表 1.2 国外商业代工线

GaN 制程工艺									
公司与工艺	栅极长度 (μm)	偏置电压 (V)	BV_{gsd} (V)	功率密度 (W/mm)	最高频率 (GHz)	效率	场板	晶圆 尺寸	衬底
BAE Systems									
0.2 μm FP	0.2	40	>100	6	40 (F)	60% at 10 GHz	Yes	4	SiC
0.18 μm NFP	0.18	30	140 typ	3	57 (F)	45% at 30 GHz	No	4	SiC
Fraunhofer									
GaN50	0.5	50	<150	6	6	65% at 3 GHz	Yes	4	SiC
GaN25	0.25	28	100	5	20	55% at 10 GHz	Yes	4	SiC
GaN10	0.1	15	30	2	94	40% at 30 GHz	No	4	SiC
National Research Council									
GaN500v3	0.5	40	180	5	13 (F)	N/A	Yes	3	SiC
GaN150v1	0.15	30	120	7	35 (F)	33% at 18 GHz	Optional	3	SiC
E-GaN (Under Development)	0.15	30	180	N/A	20 (F)	N/A	Optional	3	SiC
OMMIC									
D01GH	0.1	25 V (12 V typ)	40	3.5	50/110 (F)	48% at 40 GHz	No	3	Si, SiC
D006GH (Under Development)	0.06	20 V (8 V typ)	25	1	100/170 (F)	N/A	No	3	SiC
United Monolithic Semiconductors									
GH50	0.5	50	>200	>5	7	>65% at 2 GHz	Yes	4	SiC
GH25	0.25	30	>100	>4	20	50% at 10 GHz	Yes	4	SiC
WIN Semiconductors									
NP45	0.45	50	>160	>6.5	12 (F)	60 to 75% at 2-7 GHz	Yes	4	SiC
NP25	0.25	28	120	4.2	25 (F)	50% at 6 GHz	Yes	4	SiC
Wolfspeed (Cree)									
G50V3 MMIC	0.4	50	>150	8	8	65%	Yes	4	SiC
G28V3 MMIC	0.4	28	>120	4.5	8	65%	Yes	4	SiC
G284V4 MMIC	0.25	28	>120	4.5	18	65%	Yes	4	SiC
G40V4 MMIC	0.25	40	>120	6	18	65%	Yes	4	SiC

GaN 的发展始终处于欧美发达国家的战略地位, 由于材料方面的巨大优势, 从第一个 GaN HEMT 器件的诞生开始^{[14][15]}, 其成为美国、欧洲、日本等国家战略高点。2005 年, 美国 DARPA 制定了 GaN HEMT 的一系列研究计划^{[16][17][18]}, 其目标是实现高性能的 GaN 基晶体管和 MMIC 电路, 提高国防系统的雷达、通信和电子战等系统的装备水平; 同年欧洲启动了 KORRIGAN 计划^{[19][20][21]}, 在 2009 年已具备了完整的外延生长到电路制造以及可靠性技术链及产业链, 服务于欧洲的安全防务; 日本在

2002 年推动了“氮化镓半导体低功耗高频器件开发”计划^[22], 该计划也达到发展高性能 GaN 微波功率器件的目标。从以上各国的研发情况可以看出, 发达国家十分重视 GaN HEMT 的研究与规模化应用, 美国的 Cree 公司、BAE syetem、Infloen、NXP, 已经成为微波行业的标杆, 为各国军方提供大量 GaN 微波产品, 这得益于政府国防资金的巨大投入, 也得益于微波集成电路的飞速发展以及行业日益蓬勃的技术需求, 更重要的是 GaN 材料的巨大优势与潜力。

目前低频段 GaN 器件已经开始规模应用^[24], 毫米波段将是 GaN 器件下一个应用热点。一是源于国防装备的发展要求, 高工作频率和功率是雷达等系统性能的重要指标, 空-空导弹、空-地导弹、巡航导弹、反辐射导弹、导弹寻迹器等发展, 需要更大的功率和更高的工作频率, 对功率器件和电路提出了更高的要求。Si 基、GaAs 功率器件在高功率、高效率和高频率等方面已没有大的突破, 无法满足现代雷达、电子对抗和战时通信等对电子装备的需求; 而 GaN 毫米波在高频率、大功率方面优势明显。

二是来自于 5G 通讯巨大的市场潜力。5G 通信的发展尤其在毫米波段^[26], GaN 在大功率方面具有无可替代性, 因此这是民用技术领域最具吸引力的一个应用领域, 被看好成为 5G 通信的主要元器件^[27]。

从发展的趋势来看, 毫米波段 GaN 微波功率器件和电路是军用雷达、导弹制导、电子对抗、卫星中继通信、战场指挥系统、5G 通信等领域等必不可少的核心元器件, 研制需求迫切, 应用前景广阔。

1.2 毫米波 GaN HEMT 器件国内外发展历史与现状

1.2.1 毫米波 GaN HEMT 器件国内外发展历史

自 1993 年以来, GaN HEMT 微波功率器件得到了极大的关注。发达国家部署了 AlGaIn/GaN HEMT 功率器件的研究计划, 以抢占技术制高点, 其目的都是在开发高功率、高附加效率、宽频带、高可靠性的面向防务领域应用的功率放大器; 目前 GaN 微波功率器件与电路的发展呈现出超高频、大功率、高效率、高可靠性等技术特点, L-X 波段产品已经规模应用^[28], 并已在 Ka 波段、E 波段、W 波段取得技术突破^{[29][31][32]}, 美国 HRL 公司都已经部分提供 W 波段的样品^[33]。

2001 年, R.Sandhu 等人首次报道了工作在 29GHz 的 AlGaIn/GaN HEMT 功率管

芯, 30V 下脉冲输出功率密度达到 $1.6\text{W/mm}^{[34]}$ 。

2004 年日本报道了 $0.25\mu\text{m}$ 栅长器件 30GHz 下, 输出功率达到 5.8W/mm , 功率附加效率 (PAE) 43.2% 的^[35]。

2005 年, T.Palacios 等报导的器件在 40 GHz 下输出功率密度能够达到 $10.5\text{W/mm}^{[39]}$ 。

2007 年 Cree 公司 $0.25\mu\text{m}$ 的器件在 30GHz、60V 时测得功率输出密度 13.7W/mm , 功率附加效率 40%。

2008 年, Moon 等采用 $n^+-\text{GaN}$ 源接触边减小源电阻开发出的 Ka 波段 AlGaIn/GaN/AlGaIn 双异质结晶体管, 当工作电压为 42V 时, 在 30GHz 下输出功率密度达到 10W/mm , PAE 为 40%, 功率增益 8.4 dB; 当输出功率为 5W/mm 时, 其 PAE 达到了 55%^[37]。

2010 年, Jinwook W.Chung 采用 recessed 欧姆技术, 研制出栅长仅为 60nm 的 AlGaIn/GaN HEMT, 其功率增益截止频率 f_{max} (power gain cutoff frequency) 突破了 300 GHz 大关^[40]; 2013 年, Shinohara K 等人测试出 $f_{\text{max}} > 580\text{GHz}$ 的 HEMT 器件, 再次刷新了这一纪录^[25]。

2016 年, S.Piotrowicz 等人采用 $0.15\mu\text{m}$ 栅长, 报道了 InAl(Ga)N/GaN HEMT 器件在 $V_{\text{ds}}=15\text{V}$ 时, 30GHz 下得到输出功率 3W/mm , PAE40%; 当 $V_{\text{ds}}=20\text{V}$ 时, 输出功率达到 5W/mm 。同年, R. Aubry 等人得到 30GHz 下 InAl(Ga)N/GaN MISHEMT 器件采用 ICP-CVD SiN 钝化下的输出功率 6W/mm , PAE 42%。

2016 年, Steven Wienecke 等采用 N 面的 GaN 制备了 45nm 栅长的 MISHEMT 器件, 在 94GHz 下, 得到了 6.7W/mm 的输出功率和 14.4% 的 PAE^[28]。

国内有中国电子科技集团公司 55 所、13 所、中国科学院微电子研究所、西安电子科技大学等科研院所, 以及厦门三安、能讯半导体、晶湛半导体等从事 GaN 微波功率的公司, 在外延设计生长、器件工艺及电路等方面取得突破, 低频段已有产品发布^[13], 毫米波段仍处于研究阶段。

2011 年, 王东方博士在国内首次报导了 Ka 波段 AlGaIn/GaN HEMT 的相关性能^[30], 刘果果博士采用 InGaIn 背势垒结构抑制短沟道效应, 在国产材料上成功制备了 f_{max} 达到 200GHz 的 GaN HEMT^[31]。

2016 年中国电子科技集团公司 55 所 Xinxin Yu 采用 $0.1\mu\text{m}$ Y 型栅, 结合 AlGaIn 背势垒制备了 f_t 和 f_{max} 分别为 90 和 170GHz 的 HEMT 器件, 并以此器件为基础, 设计出三级 MMIC 电路, 测试得到 92GHz 下 1.55 W/m 的输出功率^[32]。

2016 年中国电子科技集团公司 55 所 Wu Shaobing 报道了三级 W 波段 MMIC 电路, HEMT 器件展现出很好的 DC 特性, 此外, MMIC 电路在 90-97GHz 下, 得到最大增益 16.7dB, 21%的 PAE 以及高达 3.46 W/mm 的输出功率密度^[36]。从以上的发展情况来看, 国内虽有进展, 但是与国外差距明显。

表 1.3 GaN 毫米波器件的性能报道

年份	单位	Lg	Gate	Gm	Wg	freq	Pout	Gai	PAE	备注
2001	TRW	0.2	T-gate		120	29	1.6	6.7	26%	脉冲输出功
2003	Triquint	0.25	T-gate		200	30	5.43	9.17	33%	
						35	4.13	7.54	23%	
2004	HRL	0.15	T-gate		2*100	30	4		20%	SD=2 μm
2006	NEC	0.15	T-gate	30	2*50					Si 基.应用
2007	HRL	0.14		445	2*75	30	10	11.1	40%	n+ source
						30	7.3		50%	ledge
2007	Triquint	0.25		501	4*50	35	4.5	6.7	51%	SD=1.8 μm
2007	Cree	0.15	Γ -gate		6*67	30	13.7	8	40%	InGaIn 背势
2009	ONR	0.15	Y-gate		150	30	4.9		45%	Slant-field-
										plate
2009	AFR	0.16	T-gate		4*85	35	5.8	9.1	43.6%	Al _{0.82} In _{0.18} N
2010	HRL	0.15		360	4*37.5					应用于 88G
2017	CEC	0.09	T-gate	650		90	170			

表 1.4 GaN 毫米波电路性能报道

年份	单位	Lg (μm)	Gate	freq	Vds	Pout	Gain	PAE
2003	Cree	0.18	T-gate	30	24	3.64W		26%
				35	24	3.45W		22%
2004	HRL	0.15	T-gate	33	12.8	1.6W	7.2	16.4%
				33	13	2.2W	5	18.6%
2005	Cree	0.15	Γ -gate	30	30	5.4W		36%

				35	30	5.2W		31%
				30	28	8.05W	6.2	31%
2005	HRL		T-gate	28	10	4W	8	23.8%
2006	Rock well	0.18		30	24	3.1W/mm	9	20%
				26.5	24	5W	9	20%
2008	HRL	0.12	T-gate	76	15	500mW	15	17%
				84	15	500mW	15	17%
				95	15		14.4	9%
2010	HRL	0.15	T-gate	88	14	842mW	16	14.8%
2016	UCS	0.12	T-gate	94	12	3.14W/m	16.7	21%
2017	UCS	0.03nm	T-gate	97	15	6.7W/mm	5	14.4%

1.2.2 毫米波 GaN HEMT 器件面临问题及发展趋势

理论上讲，GaN 材料的频率极限可以到太赫兹，但是目前器件和电路的性能与理论值相差较大，材料设计生长、器件结构设计，器件工艺、可靠性等方面仍然有很多急需解决的问题。毫米波器件面临的挑战包括：

1. 寄生效应

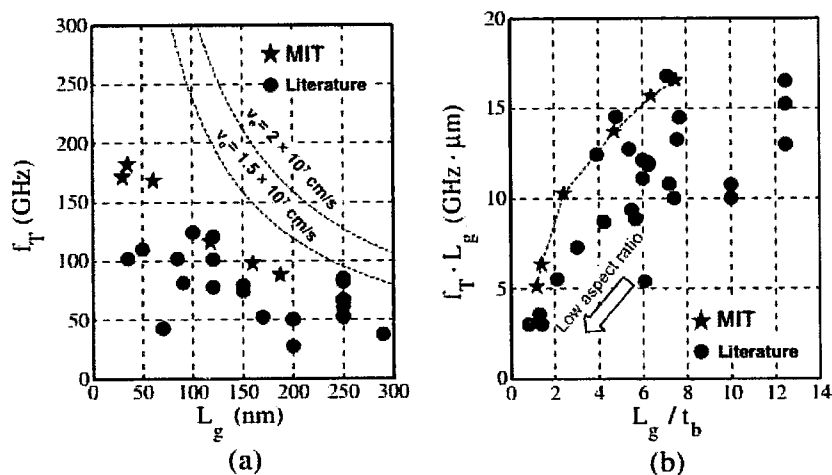


图 1.3 器件截止频率 f_T 与器件栅长 L_g 的关系^[38]

Figure1.3 Relationship between cut-off frequency and gate length L_g

理论上讲缩小器件的栅长尺寸是提高器件的频率最直接的方法,在不考虑寄生效应情况下,器件的截止频率与栅长是反比关系。然而实际的器件制备中,当栅长以及器件的源漏间距缩小到一定的程度时,器件的频率特性并不能持续提高,因为此时器件的寄生参数将成为制约器件频率提升的重要因素,单纯缩小栅长尺寸已经不能达到提高器件频率特性的目的。从载流子渡越角度,寄生导致的载流子渡越时间延迟很难进行等比例缩小,这是毫米波器件不同于 CMOS 的地方,因此更具有挑战性。

2. 短沟道效应

目前, Ka 波段 GaN HEMT 器件的栅长在 $0.20\mu\text{m}$, W 波段栅长在将基本在 $0.05\text{--}0.10\mu\text{m}$, 甚至更小。栅长尺寸缩小之后,如果势垒层的厚度不随之变小,栅电极对沟道二维电子气的调控能力将严重下降,器件的工作状态将会出现异常^[38],例如:阈值漂移、器件难以正常夹断,亚阈值恶化,输出电导增大等。阈值漂移将导致器件与电路的工作状态变化,亚阈值电流增大,将会导致电路的噪声增大、功耗增大、击穿电压降低,这些将严重制约 GaN 器件的应用^{[39][41]}。

短沟道效应出现的主要原因:一是栅对沟道电子的的调控能力下降,高漏压导致势垒高度降低,漏电增大;二是漏压导致的势垒降低,二维电子气限域特性变差,部分电子脱离沟道势阱的束缚;三是缓冲层的缺陷在高漏压下激活,导致的亚阈值电流增大;

抑制短沟道效应的包括以下两个方面,从能带设计的角度,改进缓冲层掺杂的方法;或者采用 InGaN 或 AlGaIn 背势垒^[42],背势垒在沟道下方,束缚了二维电子气向缓冲层的跃迁,达到抑制短沟道效应的目的^{[43][44][45][46]};

从器件结构的角,采用薄凹栅槽技术来控制纵横比(栅长与栅和沟道间距比),实现沟道的有效调控,抑制短沟道效应;采用超薄势垒层技术^{[47][48]},其在超高频和大功率发面已经显示出巨大优势。

3. 强电场效应

GaN HEMT 随着器件尺寸的逐步缩小,器件内部电场强度将越来越大,因为器件工作电压不会等比例缩小。在 20-30V 的漏电偏置电压,其内部电场强度也会达到 $10^6\text{--}10^7\text{V/cm}$; 高强场还导致电流崩塌、击穿电压降低、漏电增加^[49]。此外高漏压会出现漏致势垒(DIBL)降低的情况^[50],纵向电场增强造成肖特漏电的增大^[52]。

强电场的影响有以下几个方面：

1) 沟道热电子强电场情况下，沟道电子会在电场下加速，通过碰撞获得更大的能量，摆脱沟道的束缚，隧穿到 SiN/AlGaIn 的界面，这些电子在界面积累，会对沟道电子造成耗尽，而且会有一部分电子进入 SiN，降到 SiN 的绝缘性降低，尤其是栅脚的强电场^[53]。

2) Buffer 层、钝化层导致的器件漏电。电强电场下，buffer 层会激发产生新的缺陷，导致新的漏电通道，这是影响器件可靠性的另一个因素。强场下，buffer 层、钝化层介质也会出现漏电，甚至击穿等^[54]。

3) 栅脚的电应力退化。栅角的强电场还将导致势垒层的应力损伤，这是制约其可靠性提高的一个主要因素，尤其是对毫米波的细栅器件。

对 GaN 毫米波器件，通过器件结构、材料设计等的优化，降低强电场，是提高器件的性能的主要方向之一。

4. 频散效应

由于 GaN 材料本身存在较高的表面态密度，而毫米波器件为了实现大功率的输出，其必然处于高电场，高电场下界面捕获和去捕获的过程将会导致器件的工作状态的不稳定，这是目前 GaN HEMT 器件不同于 GaAs 器件的地方。

典型的频散效应下图所示，随着漏压的增大，更多的电子被 GaN 表面俘获，形成了陷阱效应，使得 GaN 的膝点电压不断地在变化，输出电流摆幅随着电压的升高在不断减小；这将造成高漏压下输出功率下降，器件的效率也会降低。频散效应包括直流频散、射频频散，都会严重制约器件与电路的功率特性^{[55][56][57][58][59]}。

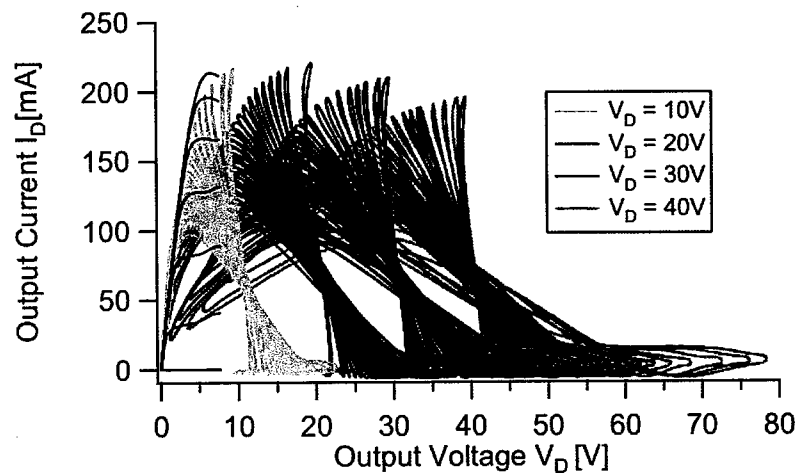


图 1.4 GaN HEMT 在直流下的频散特性^[60]

Figure1.4 Dispersion characteristics of GaN HEMT in DC

频散效应是与 GaN HEMT 材料及工艺中所引入的缺陷和陷阱有关。电子会被陷阱态俘获，不同深度的陷阱具有不同的释放时间，射频工作状态下时，被俘获的电子无法与射频下的栅压同步变化，造成射频工作下的频散现象。常规 GaN HEMT 中，陷阱态的主要来源如图所示：

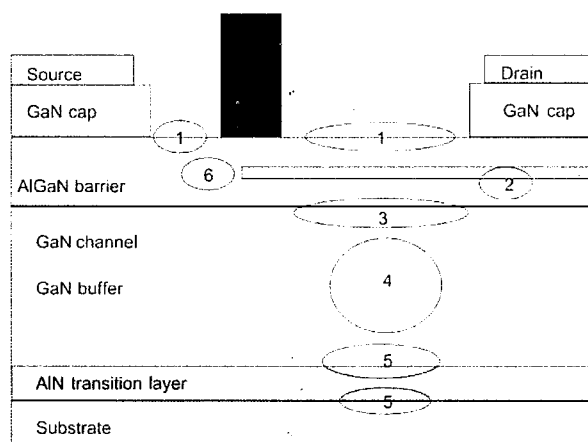
图 1.5 GaN HEMT 器件缺陷分布^[59]

Figure1.5 Defect distribution of GaN HEMT device

- 1) 半导体和介质的表面陷阱。AlGaIn 的表面会因为自然氧化存在大量的表面缺陷;表面的刻蚀、等离子轰击、高温等工艺带入的陷阱^[61]。
- 2) 势垒层和表面态陷阱。异质外延不可避免导致势垒层存在缺陷和陷阱;界面的突然中止使得表面会存在较多陷阱态^{[62][63]}。
- 3) 界面陷阱态。势垒层与沟道层的界面也会存在的陷阱态^{[64][65]}。
- 4) GaN 缓冲层和衬底。GaN 缓冲层的生长过程会无意引入一些氧或者硅因素，一般情况下 GaN 缓冲层是 n 型的^[66]，有时会引入 p 型杂质进行补偿，这些都会在缓冲层中形成陷阱态^[67]。成核层及衬底缺陷缺陷主要是对 buffer 层绝缘性的影响，在强场下 buffer 层漏电会增加。

从毫米波 GaN HEMT 器件发展的现状看，有以下几个明显的发展方向：

- (1) 新器件技术-提高器件性能

凹栅槽结构可以提高栅的控制能力^[68], 有助于抑制短沟道效应、提高频率; 同时, 凹栅槽结构可以进一步抑制电流崩塌效应, 提高器件的线性度。场板技术应用在 Ka 波段 GaN HEMT 器件, 采用优化的场板尺寸, 此结构折中了电场调制以及寄生电容, 提高了器件的功率性能。同时, 采用 ledge 技术减小源电阻 R_s ^[69]。另外, 提高欧姆接触性能是减小源电阻的关键技术, 文献报道的 n+ source contact ledge 技术有效降低了器件的源电阻, 提高了器件线性^[70]。二次生长^[70]或者硅注入, 也能改善欧姆接触, 进而提高器件的频率特性。

(2)改进的材料结构-改善限域特性

AlGaN 缓冲层的引入会导致在 GaN(沟道)/AlGaN(缓冲层)异质结界面处产生的极化电荷下方引入一个背势垒^[72], 提高 GaN 高迁移率层和 buffer 之间的势垒, 有效阻止电子向 buffer 层隧穿, 增强了沟道限制能力, 减小 buffer 漏电, 抑制短沟道效应。

InGaN 背势垒的引入能够提高器件的夹断特性、优化器件的亚阈值特性以及提高输出电阻, 提高 f_{max} ^[73]。由于抑制了短沟道效应, 抑制了大电压下的穿通效应, 可以提高器件的效率。

2009 年开始报道了采用 AlInN 势垒层的毫米波 AlInN/GaN HEMT 器件^[74]。较薄的 AlInN 势垒层就能形成高密度的 2DEG, 薄的势垒层提高了器件的纵横比, 可以有效抑制短沟道效应。

AlN 超薄势垒层^{[48][75]}, 更加有效提高了器件的纵横比, 提高毫米波器件性能。

(3)Si 基 GaN 材料-降低成本

Si 基 GaN HEMT 在 L 波段到 X 波段已经广泛报道了高性能器件^{[76][77]}, 国外已经有公司推出了商用 Si 基 GaN HEMT^[78]。近年来, 应用于 Ka 波段以及毫米波段的 Si 基 GaN HEMT 器件也有报道, f_t 超过 107GHz, f_{max} 超过了 200GHz。

(4)高可靠性-长使用寿命

随着 GaN 器件技术的成熟, 其可靠性已经得到大幅度的提高, Cree 公司 X 波段器件的寿命 MTTF 超过 3×10^8 小时^[79] (175°C 结温), 但是毫米波器件细栅, 可靠性的问题仍然需要继续研究。

1.3 本论文研究意义

从国内外发展的现状和趋势来看，GaN 微波功率器件在国防安全以及民用通信领域具有无可比拟的优势，发达国家已经将其上升到战略发展的层面，并对高端器件和电路实施技术管制。因此，开展毫米波 GaN 器件与电路的研究具有非常重大的现实意义：

未来武器装备系统的发展，将朝着超视距、超灵敏、超智能、超灵巧的方向，要求核心元器件满足超小型、多功能、高集成、一体化的要求。宽禁带半导体技术在这一发展趋势中占有主导地位，实现 W 波段到太赫兹的技术应用未来 10 年成为可能，也将促进大容量超高速的通信技术进步。

毫米波频段具有波长更短、方向性更好、空间分辨率更高等优点。高频率能够带来更高的分辨率，GaN 毫米波器件频率高，波长短，因此探测的分辨率更高；毫米波段 GaN 功率微波器件功率大，可以使雷达系统探测更远，压制作用更大；采用毫米波 GaN HEMT 器件，可以满足未来雷达技术对核心元器件的需求。

随着航天工程的发展，星际间大容量的数据通讯传输变得尤为迫切，尤其是未来 5G 通信市场的发展，GaN 必然迎来下一个黄金发展阶段。GaN 的高频大功率及高可靠性可以满足毫米波通信设备小型化，高集成度、高可靠性的要求，必将推动整个民用通信领域的水平进一步提升，确保我们国家在 5G 技术领域的核心竞争力，引领国际通信技术的发展。

国外一直对高性能的元器件实施禁运，严重制约了我们国家装备技术的正常发展和提升，是国家安全的巨大隐患。开展高频段器件与电路的相关技术的研究，进一步缩小差距取得优势，迎头赶上，才能实现真正意义上的“弯道超车”。

中科院微电子研究所承担了国家科技重大专项相关课题的研究任务，毫米波器件与电路是重要的研究内容，解决 GaN 毫米波器件的技术难题，为下一阶段的研制扫清技术障碍，是国家重大专项课题的重要目标之一。

1.4 本论文研究内容

本论文的研究任务来自国家科技重大专项，在导师吴德馨院士、刘新宇研究员，企业导师中国电科首席科学家张斌研究员的指导下，开展毫米波 GaN HEMT 外延材

料结构设计、器件结构优化、关键工艺开发、毫米波器件流程与器件技术的研究。解决高频率高性能微波器件研制中的技术难题,通过器件结构的设计,关键工艺的优化,结合物理机理的分析,实现高性能 GaN 毫米波器件。

研究内容包括:毫米波 GaN 材料研究、器件结构设计、关键工艺开发和新结构设计研发等方面,器件的研制和测试分析等。

本论文的研究内容安排如下:

第一章介绍了 GaN HEMT 的优势以及发展现状,提出了毫米波器件的关键问题,介绍了本论文的任务背景、研究内容及意义。

第二章介绍了 AlGaIn/GaN HEMT 的工作原理,明确了毫米波 GaN HEMT 研制关键难点;开展了 GaN 器件物理的研究,分析了短沟道效应,强场效应,针对毫米波 GaN HEMT 研制所面临的问题,进行器件结构及外延材料结构创新设计;对比研究了新型栅结构、背势垒结构和低寄生栅结构,研究的结果和相关结论用于反馈材料生长及指导器件结构设计。

第三章开展毫米波器件关键工艺研究,提出了新的欧姆接触方案,实现了适用于毫米波器件的超低欧姆接触,并对其形成机理进行了分析;开发了低损伤刻蚀技术,开发出了新型栅结构,降低了峰值电场;给出了毫米波 GaN HEMT 的完整工艺流程。

第四章研制毫米波段 AlGaIn/GaN 器件,进行详细的测试、分析;介绍了高性能毫米波器件的研制情况,对常规结构、量子阱结构进行了测试,包括直流特性、射频小信号特性、功率特性、电流崩塌等等。

第五章开展了新结构器件的探索,设计并实现了毫米波 FINFET 器件,用于解决 GaN 毫米波器件的短沟道效应,并对 FINFET 结构、功率特性进行了测试、分析;研制成功双阶栅器件;研制成功 InGaIn 背势垒结合薄势垒结构器件,并对其性能进行了测试和分析。

第六章总结论文的研究成果及意义,并对今后毫米波 GaN 功率器件和电路的研究进行了展望。

第二章 AlGaIn/GaN HEMT 器件及材料结构研究

氮化镓 (Gallium Nitride) 属于第三代半导体材料, 与 AlGaIn、InGaIn、AlIn 等材料形成异质结构, 其界面靠近 GaN 一侧因为压电效应产生高密度二维电子气 (2DEG), 由于不需要掺杂, 界面的载流子散射较小, 可用来制作高电子迁移率的异质结场效应晶体管 (high electron mobility transistor, 简称 HEMT)。本章主要介绍 AlGaIn/GaN HEMT 器件的基本原理、相应的材料结构研究、以及器件结构的设计, 为器件的研制打下基础。

2.1 AlGaIn/GaN HEMT 器件基础

2.1.1 AlGaIn/GaN HEMT 的工作原理

极化效应^[80]是氮化物半导体材料的特点之一, 极化效应包括自发极化和压电极化, 两种不同结构的氮化物异质结构具有很强的极化作用。以 AlGaIn/GaN 异质结为例, AlGaIn 和 GaN 界面存在强烈的极化效应, 即使不掺杂, 异质界面处也可形成二维电子气, 面密度可以达到 $10^{13}/\text{cm}^2$ ^{[81][82][83]}。电子位于 AlGaIn/GaN 层的能带发生弯曲而形成的三角形势阱中, 在平行界面方向上自由运动。正常外延的 GaN 都是 n 型的, 不施加栅压情况下导电沟道存在, 所以其器件是耗尽型的。图 2.1 右是 Franck Stengel 等人通过计算获得的 AlGaIn/GaN 异质结能带和二维电子气分布图^[84], GaN 系异质结产生的二维电子气的浓度比 GaAs 异质结提高一个数量级。

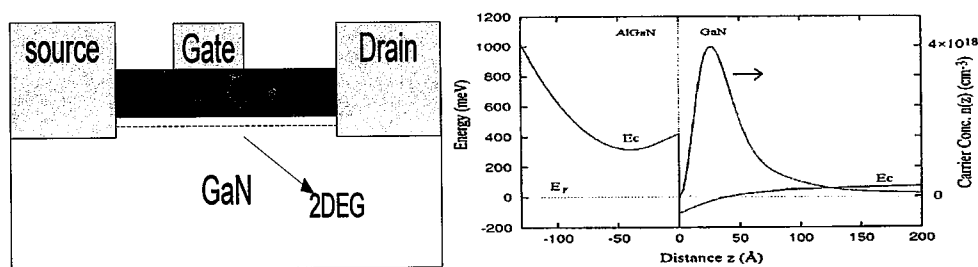


图 2.1 GaN HEMT 器件结构示意图

Figure 2.1 GaN HEMT Structure

GaN HEMT 器件工作原理如下图所示, 对于耗尽型器件来讲, 栅处于负压偏置, 漏压处于正压偏置, 通过栅压的变化, 来实现器件的关断和工作状态的切换,

在射频放大状态下，射频输入信号通过栅极输入，漏极输出实现功率的输出。

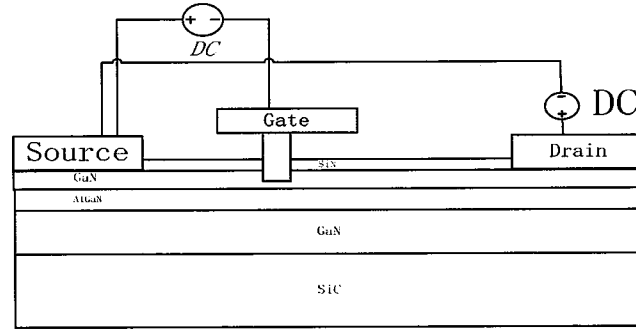


图 2.2 AlGaIn/GaN 工作时的偏置情形

Figure2.2 Bias on GaN HEMT

图 2.2 给出了 AlGaIn/GaN HEMT 工作时的偏置情况，偏置条件不同，器件会有不同的工作状态。

源漏电流在 x 处可写作

$$I_{ds} = qn_s(x)v(x) \quad (2.1)$$

2DEG 密度近似为

$$qn_s = C(V_{gs} - V_{th} - V(x)) \quad (2.2)$$

C 为单位面积的栅电容，器件的阈值电压为 V_{th} ， $V(x)$ 为 x 位置的电压。

(1) 关断状态：即 $V_{gs} < V_{th}$ ，器件处于截止状态，沟道的电流近似 0。

(2) 线性工作状态：当 $V_{gs} > V_{th}$ ，且 V_{ds} 较小时，随着 V_{ds} 的增加，源漏电流随漏电压近似线性增大，此时电子迁移率为常数，则 $v = \mu E(x)$ ，将公式 2.2 带入到公式 2.1 并且积分可得

$$I_{ds} = C(V_{gs} - V_{th} - V(x)) \cdot \mu \frac{dV(x)}{dx} \quad (2.3)$$

对整个线性区积分可得到源漏电流：

$$I_{ds} = \frac{\mu C}{x} \left[(V_{gs} - V_{th})V(x) - \frac{V(x)^2}{2} \right] \quad (2.4)$$

电流的大小与迁移率及沟道电容相关，

将 $x = l_{ds}$ 和 $V(x) = V_{ds}$ 带入公式 2.4 得到，

$$I_{ds,lin} = \frac{\mu C}{l_{ds}} \left[(V_{gs} - V_{th})V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (2.5)$$

对 V_{gs} 求导，得到此时的跨导值为，

$$g_{m,lin} = \frac{\mu C}{l_{ds}} V_{ds} \quad (2.6)$$

(3) 饱和区：当 $V_{gs} > V_{th}$ ，且 V_{ds} 较大时， I_{max} 在一定范围不随 V_{ds} 的增大而增加，漏端电流基本不变。此时需考虑到载流子速度饱和并利用边界条件对源漏电流进行重新推导。由公式 2.4 可以求出 $V(x)$ ，

$$V(x) = V_{gs} - V_{th} - \sqrt{(V_{gs} - V_{th})^2 - \frac{2I_{ds}x}{\mu C}} \quad (2.7)$$

$$E(x) = \frac{dV(x)}{d(x)} = \frac{I_{ds}}{\mu C \sqrt{(V_{gs} - V_{th})^2 - \frac{2I_{ds}x}{\mu C}}} \quad (2.8)$$

在载流子速度饱和的临界位置，及边界条件下即 $x = l_c$ ，此时 $v_{sat} = \mu E(l_c) = \mu E_c$ ，

$$I_{ds,sat} = v_{sat} C \left[\sqrt{(V_{gs} - V_{th})^2 + (l_c E_c)^2} - l_c E_c \right] \quad (2.9)$$

可以看出，在理想情况下，饱和电流与 V_{ds} 无关，主要由栅压 V_{gs} 控制。

求导可得跨导：

$$g_{m,sat} = v_{sat} C \frac{V_{gs} - V_{th}}{\sqrt{(V_{gs} - V_{th})^2 + (l_c E_c)^2}} \quad (2.10)$$

可以看出，跨导与饱和漂移速率有关。以上推导仅考虑了器件的本征部分，如果考虑器件非本征参数的影响，需要对 V_{gs} 和 V_{ds} 进行如下调整。

$$V_{gs} = V_{gs,ext} - I_{ds} R_s \quad (2.11)$$

$$V_{ds} = V_{ds,ext} - I_{ds} (R_s + R_d) \quad (2.12)$$

此处， $V_{gs,ext}$ 和 $V_{ds,ext}$ 分别表示施加到栅极、漏极的外部电压。

2.1.2 GaN 毫米波器件参数与特性相关性研究

毫米波 GaN 功率器件的等效电路和小信号等效电路模型如图 2.3 所示。

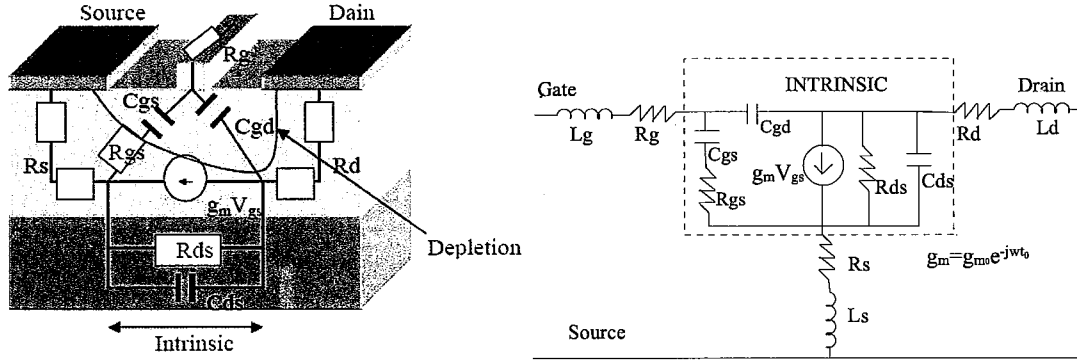


图 2.3 器件各部分结构的电路等效及小信号等效电路模型

Figure2.3 Circuit equivalent and small signal equivalent circuit model

根据图 2.3 的等效电路，器件的最大功率增益可表示如下式^[86]：

$$G_{\max} \approx \frac{(f_T/f)^2}{4[\pi f_T C_{gd}(R_s + R_g + R_{gs} + 2\pi L_s) + G_{ds}(R_s + R_g + R_{gs} + \pi f_T L_s)]} \quad (2.13)$$

其中 f_T 、 R_s 、 R_g 、 R_{gs} 、 C_{gd} 、 L_s 、 G_{ds} 分别是器件的电流截止频率、源电阻、栅电阻、栅源电阻、栅漏电容、源电感、输出电导。已知 f_T 可表示为：

$$f_T = \frac{g_m}{2\pi \left[(C_{gs} + C_{gd}) \left(1 + \frac{R_s + R_d}{R_{ds}} \right) + g_m C_{gd} (R_s + R_d) \right]} \quad (2.14)$$

功率器件的最大输出功率 P_{out} 为：

$$P_{out} = \frac{(V_{MAX} - V_{MIN})(I_{MAX} - I_{MIN})}{8} \quad (2.15)$$

其中， V_{MAX} 通常为器件击穿电压 V_{br} ， V_{MIN} 为膝点电压 V_{knee} 。可以看出，提高器件击穿电压、降低膝点电压、减小器件漏电、抑制由电流崩塌效应所引起的大信号下功率增益下降过快的现象，可以有效提高器件输出功率能力，进而提高功率器件的效率。

从公式 2.14 可以看出要提高频率需要提高器件的跨导，降低源漏电阻，降低寄生电容。对于 GaN 器件来说，抑制电流崩塌^[87]也是重要的措施。

从小信号与频率特性，功率特性的关联性可以看出，毫米波段 GaN 功率器件要实现高频率下的大功率输出，必须从以下方面开展研究：

(1) 提高器件频率特性

从工艺角度来讲，通过缩小栅长来提升器件频率,控制器件栅长与势垒层的

纵横比是毫米波器件电路研制的关键, 凹栅槽结构或者薄势垒结构有利于提高栅控能力, 提高器件频率特性。

(2) 提高器件功率输出

需要控制源漏金属的平整度, 降低器件漏电, 提高器件的击穿电压; 降低器件的欧姆接触电阻率, 降低膝点电压, 是提高器件功率的关键参量。

(3) 提高器件功率增益

由于强场下的电流崩塌效应将会导致功率输出的下降, 抑制强场, 抑制电流崩塌是毫米波器件面临的新的问题。工艺导致的缺陷及损伤会造成器件的电流崩塌加重, 为此需要控制栅槽刻蚀表面的损伤、优化钝化前的表面处理和钝化介质; 同时为了进一步减小刻蚀损伤, 开发损伤修复技术。

(4) 降低器件寄生参数

优化外围结构, 降低外围参量对功率的耗散性; 采用有源区密集背孔技术降低源电极的串联电感和散热。

2.2 毫米波器件关键问题研究

GaN 材料的频率极限可以到太赫兹, 在毫米波乃至太赫兹应用方面潜力巨大^[85], 但是毫米波器件由于尺寸的减小带来了很多新的问题。本节针对毫米波器件的短沟道效应、漏电问题以及强场效应进行了分析, 目标是解决毫米波器件的短沟道效应, 为实现高性能器件打下基础。

2.2.1 GaN 毫米波器件短沟道效应

对毫米波器件来说, 缩小栅长是提高频率最有效的途径, 但是研究发现频率并不是随栅长的缩小而线性变化^[88], 器件尺寸缩小之后, 本征参量可以缩小, 但是寄生参量并不能等比例缩小, 而寄生效应等对于器件的影响很大; 对于 GaN 器件来说, 要实现大功率输出, 其工作电压会提高, 高漏压会缩短器件的有效栅长, 导致器件性能出现变化、如输出电导增大、亚阈电流增加、阈值漂移、穿通效应等现象, 这些现象统称为短沟道效应^[88]。而且由于工作电压提高之后, DIBL 效应和会进一步加重短沟道效应, 使得器件不能正常工作。严重的短沟道效应会让栅的调制失效, 导致器件无法正常工作。

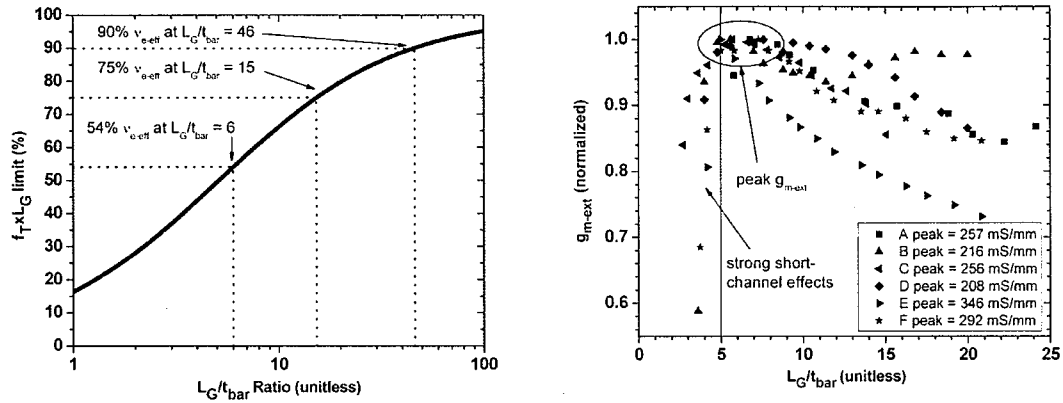


图 2.4 纵横比与器件频率的关系 [88]

Figure2.4 The relationship between the aspect ratio and the frequency of the device

a) 短沟道效应导致器件出现阈值漂移现象

当器件栅长减小时，负栅压下，电场增大，输出电导增加，导致器件无法夹断，出现阈值漂移现象，如下图所示：器件源漏间距 $SD=2.4\mu m$ ，栅长 250nm， V_{ds} 一旦超过 30V，亚阈值电流会严重增加，阈值漂移。

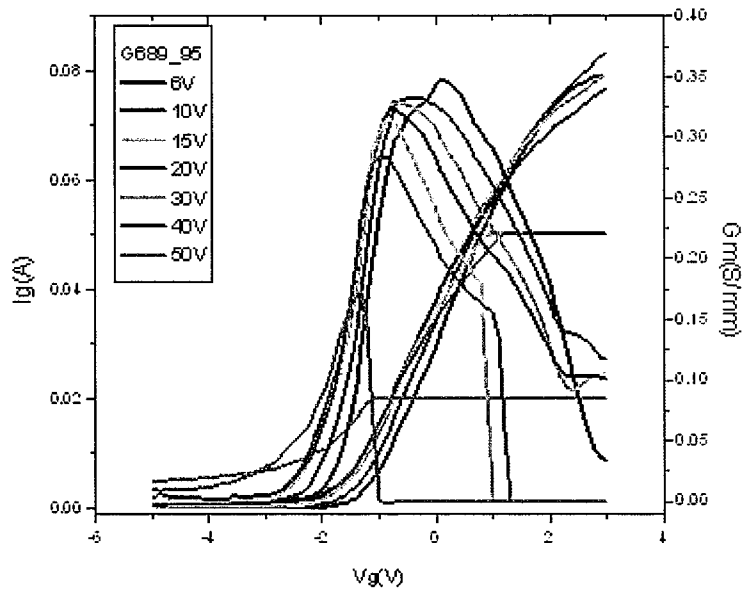


图 2.5 高偏压下的阈值漂移（栅长 150nm）

Figure2.5 Threshold drift under high drain bias (gate length 150nm)

b) 短沟道效应导致 DIBL(漏致势垒降低)现象

栅长减小栅对沟道的控制能力下降，栅和漏电场间屏蔽减弱，于是漏电场

会影响源端电场分布，即沟道电势主要受 V_{ds} 的影响，而非 V_{gs} ，引起 DIBL(漏致势垒降低)现象。下图所示为源漏间距 $2.4\mu\text{m}$ ，栅长 150nm 的器件的 DIBL 特性曲线，可以看出， 30V 及以下，器件的 DIBL 很小，阈值基本没有变化， 30V 以上，DIBL 效应明显。

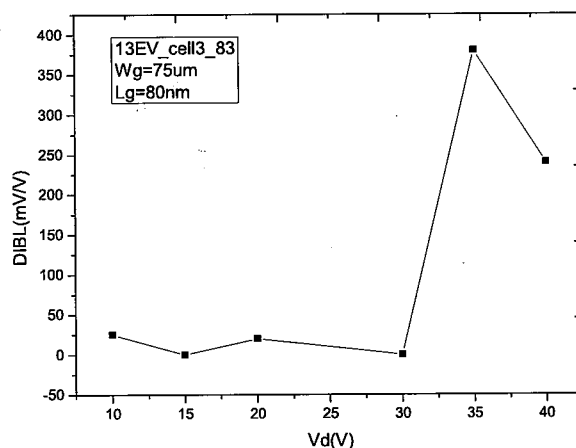


图 2.6 GaN HEMT 器件的 DIBL 特性曲线 ($l_g=100\text{nm}$)

Figure2.6 DIBL characteristic curve of GaN HEMT device ($l_g=150\text{nm}$)

计算各个漏压下对应的亚阈值摆幅：

表 2.1 不同漏压的亚阈值摆幅

$V_{ds}(\text{V})$	6	10	15	20	30	35
亚阈值摆幅 (mV/decade)	330	370	350	430	420	>1.7V

从以上结果可以看出， 30V 以内，尤其是 15V 以下，器件的亚阈值摆幅变化不大， 30V 以上，亚阈值摆幅急剧增加，这就是大电压下产生 DIBL 效应。

c) 穿通效应

漏电进一步恶化了短沟道器件中存在的穿通效应，漏压提升后，出现栅不能控制沟道的情况，导致器件动态负载范围变小，使得器件在同样的饱和输出功率下，漏端电流变大，因此降低了器件的效率，严重的穿通效应可能造成器件的烧毁^[89]。

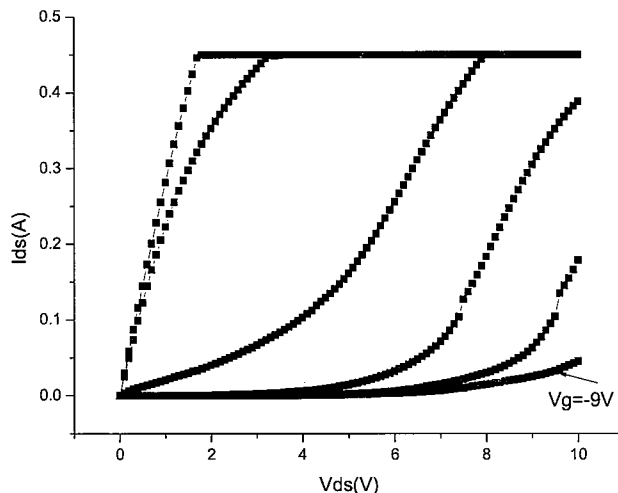


图 2.7 典型的 AlGaIn/GaN HEMT 的穿通效应

Figure 2.7 The punch-through effect of AlGaIn/GaN HEMT

图 2.7 是典型的 AlGaIn/GaN HEMT 的穿通效应 (punch-through)，器件栅长 100nm，源漏间距 2.4 μ m。漏压提高之后，器件已经不能正常夹断，其主要原因是缓冲层的漏电增大以及栅控能力的下降。

从以上分析看出，毫米器件的短沟道效应与器件结构、外延结构等方面密切相关，抑制短沟道效应也需要从这几个方面去开展。表征短沟道效应的参数包括：阈值漂移，亚阈值摆幅，DIBL 系数等，在后面的章节会详细介绍。

2.2.2 短沟道效应的抑制

短沟道效应的抑制需要从材料结构、器件结构两个方面开展研究。在器件结构方面，控制器件的纵横比，例如通过凹栅槽结构、采用压电效应更强的薄势垒材料 InAlN、AlN 等；在毫米波材料体系方面，利用能带工程，在材料的设计过程中考虑限域特性的要求，通过背势垒等技术提高载流子的限域特性；还要改善缓冲层的漏电，通过缓冲层铁掺杂，采用低 Al 组份的 AlGaNbuffer 层来提高器件的绝缘性。

2.2.2.1 凹栅槽工艺抑制短沟道效应

对于毫米波器件，改善纵横比有两种途径，一是超薄势垒，但是对于 AlGaIn 势垒层来说，势垒层太薄导致压电效应减弱，造成二维电子气的面密度下降，而超薄 AlN 由于受到内应力的作用，不能太厚。对于常规结构来说，需要通过低损

伤的凹栅槽刻蚀技术，选择性减薄栅下势垒层厚度，以实现有效对沟道的控制。从下图给出了栅槽刻蚀深度与饱和电流以及亚阈值电流的仿真结果。随着势垒层的减薄，器件的饱和电流在下降，亚阈值电流也在下降。

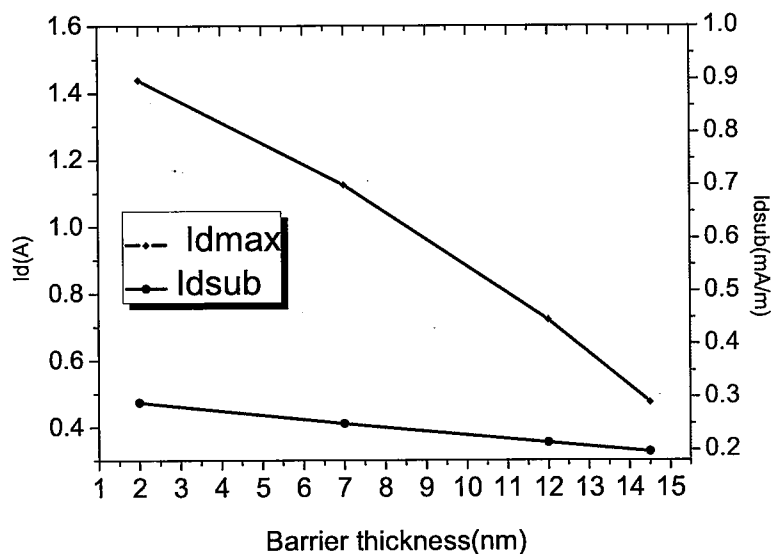


图 2.8 栅槽深度与器件性能的分析

Figure2.8 Results of the depth of the trench and the performance of the device

图 2.8 是仿真结果， L_{gc} 是栅与沟道的距离（通过凹栅槽控制 L_{gc} ）。栅长是 $0.15\mu\text{m}$ （ka 波段在 $0.15\text{--}0.25\mu\text{m}$ ）。当势垒层厚度大于 25nm 时栅控能力下降。 L_{gc} 在 $16\text{--}18\text{nm}$ 比较好，因此需要设计薄势垒，为保证载流子浓度在降低 AlGaIn 层厚度的同时不降低，通过提高 Al 组份增加二维电子气的浓度；器件结构方面，采用栅凹槽结构，需要通过快速退火来修复刻蚀损伤，恢复电流，降低肖特基的漏电。

2.2.2.2 提高沟道对二维电子气的束缚能力

导致短沟道效应的另一个原因是沟道电子在高电场下获得能量，摆脱势阱的束缚进入 GaN 缓冲层，若沟道对电子的束缚能力较差，则电子可以进入 GaN 缓冲层，从而不受栅的控制，导致亚阈电流增大、输出电导增加。对于毫米波器件来说，其工作在 28V 甚至更高，沟道电子热电子效应非常明显。目前通过能带工程，在沟道下方生长插入层，如 AlN 或者 InGaIn，低 Al 组份 AlGaIn，由于 GaN 缓冲层导带的变化使得电子难以进入，提高了沟道的电子束缚能力。

另一个需要优化的是 GaN 高迁移率层的厚度，因为沟道层过厚将会导致栅

控能力不足，亚阈值特性变差，沟道层过薄，将会导致纵向击穿电压下降。

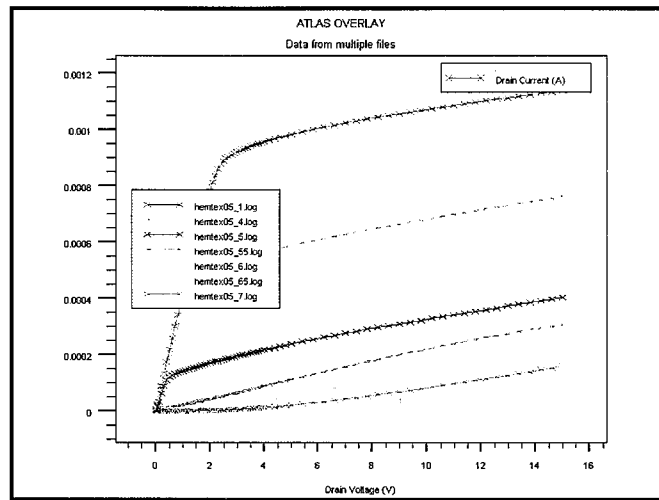


图 2.9 GaN HEMT 直流特性（高迁移率层厚度 10nm）

Figure2.9 GaN HEMT DC characteristics (high mobility layer thickness 10nm)

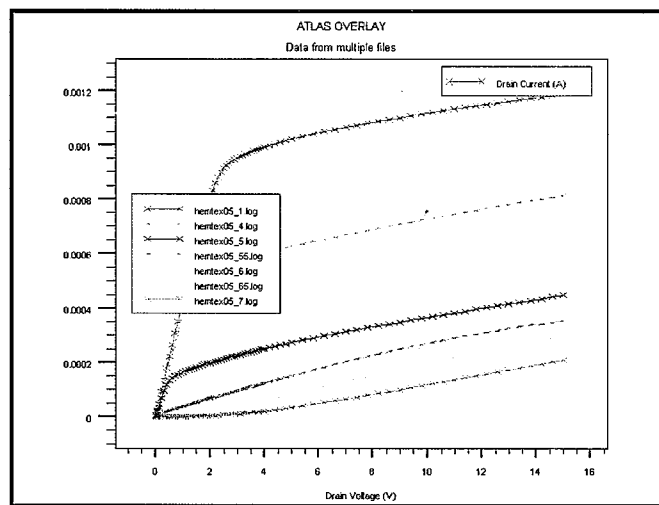


图 2.10 GaN HEMT 直流特性（高迁移率层厚度 207nm）

Figure2.10 GaN HEMT DC characteristics (high mobility layer thickness 207nm)

不同厚度下高迁移率层 IV 曲线，从图 2.10、图 2.11 曲线的比较可以看出，减小高迁移率层，器件的夹断特性好转，这也是毫米波 GaN HEMT 材料改进的一个方向。

高迁移层厚度增加，将会导致亚阈值电流的增加，这是短沟道效应出现的主要原因之一。采用减薄高迁移率层，提高了栅控能力，可以降低亚阈值电流，改善器件关断特性；在器件结构设计部分，还将分析纵横比与短沟道效应的关系。

2.2.3 强电场抑制

GaN HEMT 器件内部电场强度很高,而器件尺寸的逐步缩小,器件内部电场强度将越来越大,因为要实现高功率的输出,器件工作电压不会等比例缩小。在 20-30V 的偏置电压,其电场强度也会达到 10^6 - 10^7 V/cm。对于工作状态下的器件而言,强电场的影响有以下几个方面:

1) 沟道热电子强电场情况下沟道电子会在电场下加速,通过碰撞获得更大的能量,摆脱势阱的束缚,隧穿到 SiN/AlGaIn 界面,这些电子在界面积累,会对沟道电子造成耗尽,而且会有一部分电子进入 SiN,使得 SiN 的绝缘性降低,尤其是栅脚的强电场。

2) Buffer 层、钝化层导致的器件漏。电强电场下,buffer 层会激发产生新的缺陷,导致新的漏电通道,这是影响器件可靠性的另一个因素,强场下,buffer 层甚至钝化层介质也会出现漏电,甚至击穿等。

3) 栅脚的电应力导致的退化栅脚的电应力退化,这是制约其可靠性提高的一个主要因素,尤其是对毫米波的细栅器件。

高场强会导致电流崩塌、击穿电压降低、漏电增加,所以 GaN 毫米波器件最重要的研究任务就是降低强场,通过结构、材料等等的优化,降低强电场强度,提高器件的性能。Ku 波段及以下 GaN 器件主要通过场板结构和改善器件的材料特性来降低器件栅边缘电场强度。源场板结合栅场板已经成为 GaN HEMT 功率器件的关键技术,在提高器件工作电压方面必不可少。

场板结构会增加 C_{gs} 和 C_{dg} ,导致频率的大幅度下降,因此较少用于 ka 以上频段;V 型栅通过改变栅的侧边角来弱化电场^[92],如下图所示,从而提升了器件的击穿电压并抑制了频散效应,提高器件的功率输出特性,但是 V 型栅也存在问题,由于栅侧壁与介质接触面积过大,会导致 C_{gs} 、 C_{gd} 偏大,会牺牲部分频率特性换取高击穿电压^[93]。

U 型栅通过栅脚的形状该改善栅槽的峰值电场^[94],但是对于小间距尺寸的器件,其抑制峰值的幅度仍然不够,这一结构仍然需要改进,本论文在 U 型栅结构的基础上,提出了一种新型的栅结构,结合 V-gate 和 U-gate 的优点,提出了 V+U 型栅脚 T 型栅结构,使其可以应用于提升 GaN 毫米波段器件的性能。V+U 型栅脚 T 型栅结构如图所示。

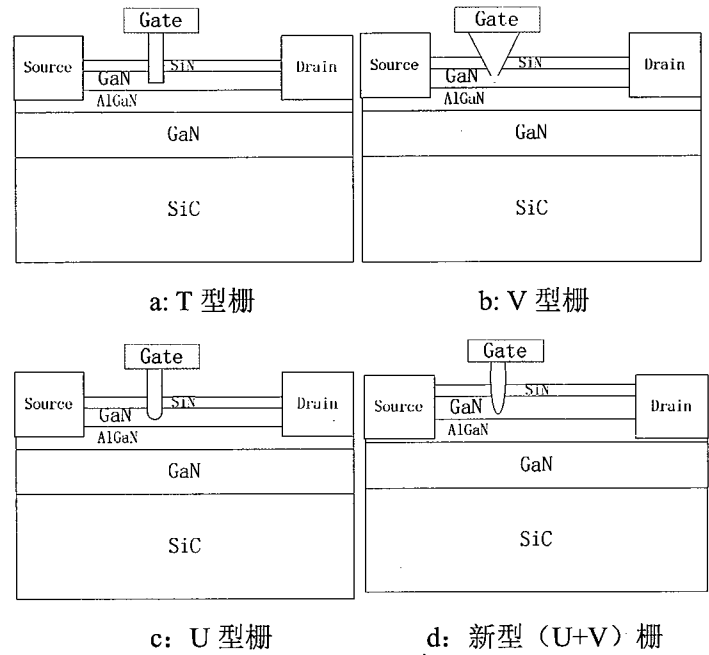


图 2.11 新型栅结构

Figure2.11 New gate structure

为了更好的探索这种新结构对器件性能的影响，基于 TCAD Silvaco 仿真软件，对这种采用新型栅结构的器件性能进行仿真。作为对比，本文也对常规的 T 型栅、V 型栅和 U 型栅进行了相关性能的仿真。文中所涉及的器件结构如下图所示。采用 DevEdit 编写器件仿真结构如下图：

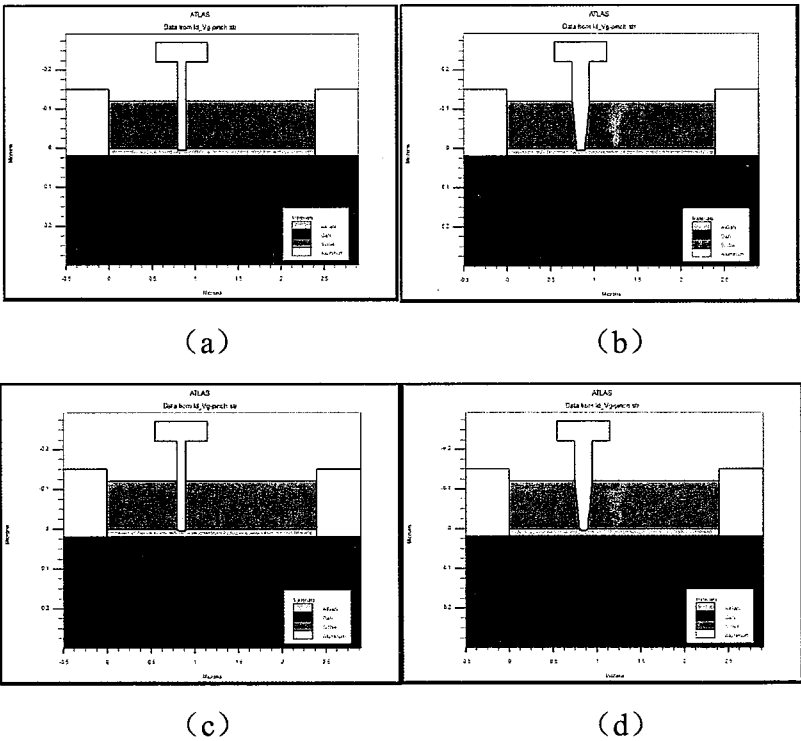


图 2.12 (a) 常规 T 型栅结构; (b) V 型栅脚 T 型栅结构;
(c) U 型栅脚 T 型栅结构; (d) 新型栅脚 T 型栅结构。

Figure2.12 (a) Conventional T gate structure; (b) V type gate; (c) U gate; (d) new gate

首先, 仿真器件偏置点 V_{gs} 为 -8 V, 漏电压 V_{ds} 为 100 V 的关态情形, 图 2.13 显示了沟道中电场的横向分布。根据模拟结果可以看到峰值电场出现在栅脚靠近漏极的位置。V 型栅脚 T 型栅结构和 U 型栅脚 T 型栅结构的峰值电场强度分别 11.0 MV/cm 和 10.6 MV/cm, 相比于常规 T 型栅结构的 11.28 MV/cm, 有显著改善, 电场强度分别降低了 2.5% 和 6%。V+U 型栅脚 T 型栅的电场强度是四种结构中最低的, 电场降低 23.76%, 较低的电场强度转移给电子的能量会更小, 从而可以降低电子从栅电极注入到沟道以及随后发生碰撞电离的几率。这也意味着可以获得更高的关态击穿电压。这种新型结构对电场的弱化可归因于其特殊的渐变栅侧壁特征。V 型和 U 型栅脚相结合的结构从物理上进一步延展了器件内部的等电势线, 等电势线的延展会引发器件内部电场分布的重构, 这就是沟道峰值电场减小的内在机制。单一的 V 型栅脚结构和 U 型栅脚结构, 栅侧壁对等电势线的延展比 V+U 型栅脚结构弱一些, 也就是对沟道内电场的调制作用相对较弱。

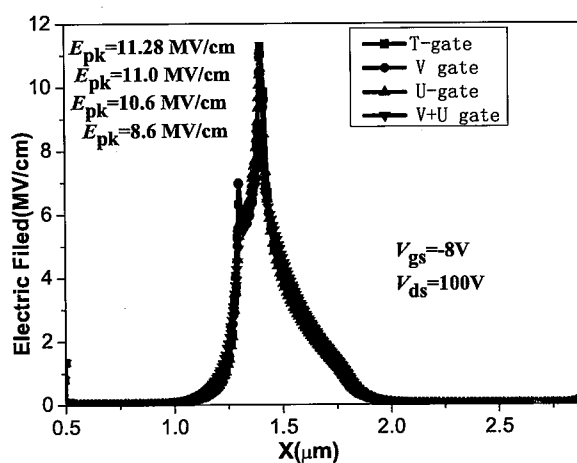


图 2.13 四种不同栅结构的沟道电场分布

Figure2.13 Distribution of channel electric field in four different gate structures

基于 Atlas 自带的 AC 仿真工具, 对器件频率特性进行模拟。器件栅宽设置为 50 μm , 接触电阻为 0.65 $\Omega \cdot \text{mm}$, 偏置电压为 $V_{gs} = -3.0 \text{ V}$, $V_{ds} = +6 \text{ V}$ 。四种器

件结构仿真的电流增益和最大可用增益曲线如图 2.14 所示。为了更方便的分析器件的频率特性，将四种器件的 F_t 和 F_{max} 通过下图 2.14 给出。可以看出，采用 V 型栅脚和 U 型栅脚均会使器件的频率特性退化，但是降低的幅度有限。常规 T 型栅结构器件的 f_T 和 f_{max} 分别为 75 GHz 和 121 GHz，而 V+U 型栅脚 T 型栅结构相对应的数值分别为 73GHz 和 102 GHz。

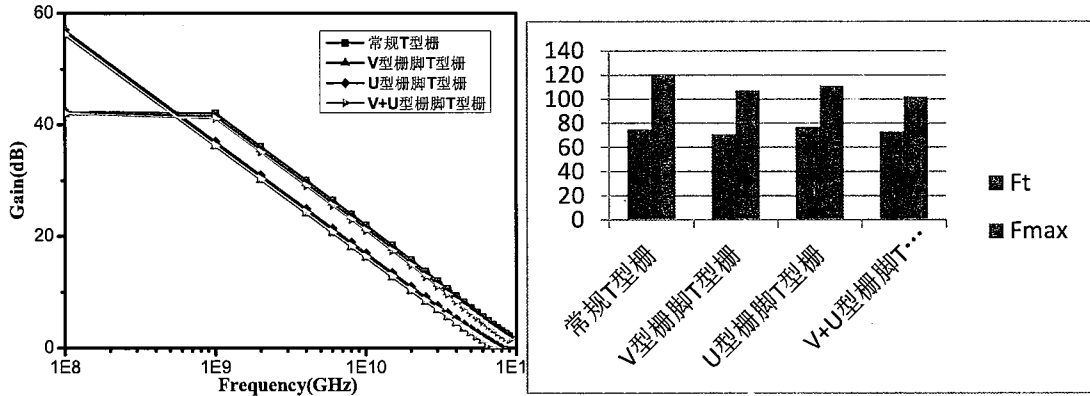


图 2.14 几种结构的频率特性

Figure2.14 Frequency characteristics of the device with different gate structures

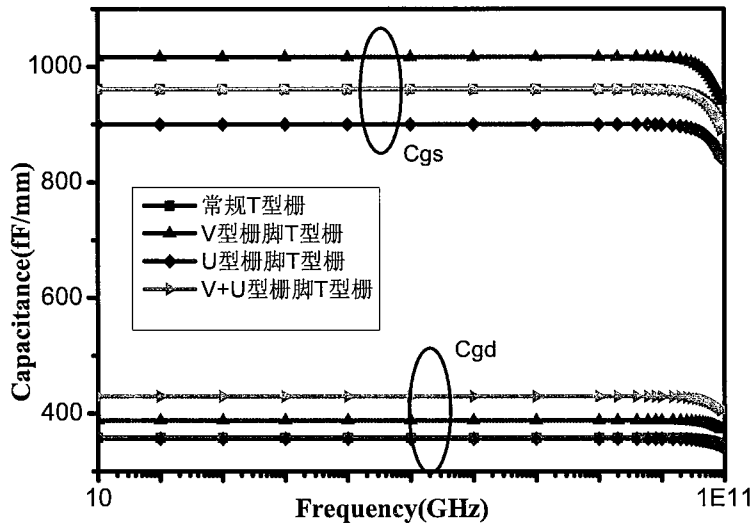


图 2.15 四种结构的电容

Figure2.15 The capacitance of the device with different gate structure

根据公式 2.16 和 2.17 对器件 f_T 和 f_{max} 的解析描述，V+U 型栅脚 T 型栅器件的频率性能的下降是由栅电容的增加造成的。同时也可以看到，U 型栅脚 T 型栅器件频率的衰退幅度非常有限，相较于场板结构具有明显优势。如

图 2.15 所示, V+U 型栅脚 T 型栅结构的 C_{gs} 和 C_{gd} 相比于常规 T 型栅结构均出现一定程度的增大, 但是相比而言 C_{gd} 的增加幅度较大, 而 C_{gs} 的增加幅度较小。从公式 2.16 和 2.17 可知, f_{max} 更依赖于栅漏电容 C_{gd} , 因此, V+U 型栅脚 T 型栅器件的 F_{max} 降低幅度更明显。但是, 由于 V+U 型栅脚 T 型栅的横截面积会略大, 其栅电阻会有一定程度减小。因此使得 V+U 型栅脚 T 型栅结构器件的频率下降幅度不大。

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.16)$$

$$f_{max} \cong \frac{f_T}{2\sqrt{(R_i + R_s + R_g)g_o + (2\pi f_T)R_g C_{gd}}} \quad (2.17)$$

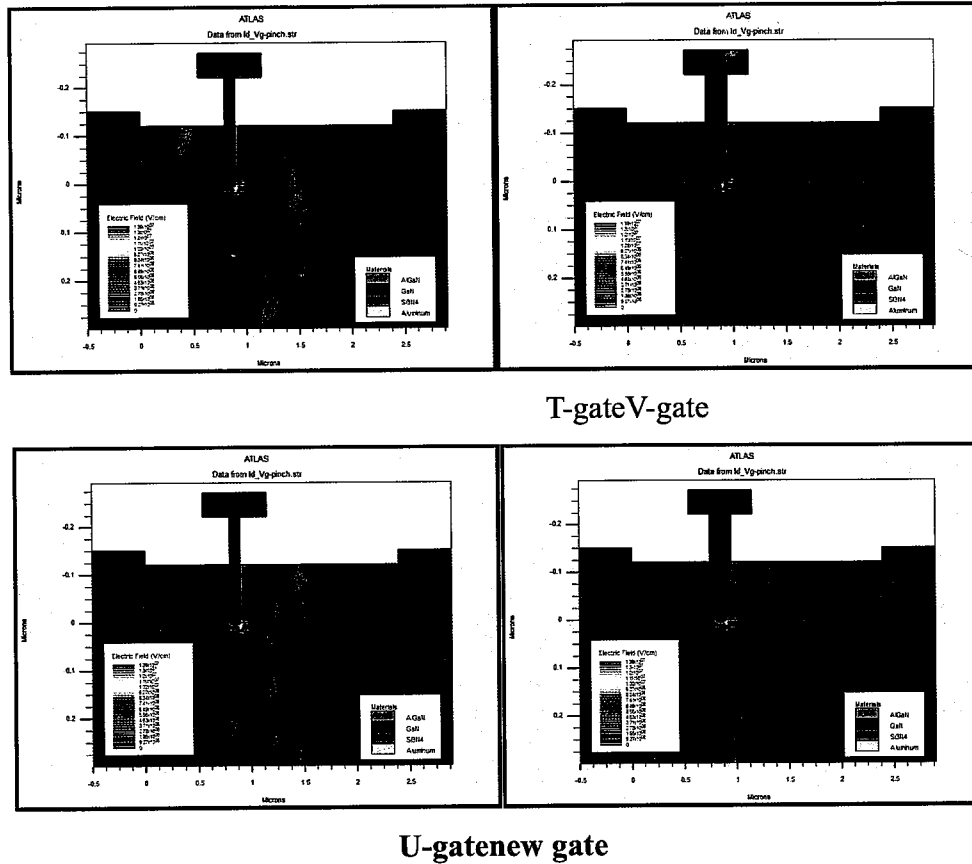


图 2.16 几种结构的电场分布 ($V_{ds}=100V$)

Figure 2.16 Electric field distribution of deferent structures ($V_{ds}=100V$)

从以上的分析结果可以看出, 新型栅槽结构, 更有利于器件性能提升, 在毫米波段提高器件性能的提升更加显著。

2.3 毫米波 GaN 器件外延结构

GaN 毫米波 AlGaIn/GaN 异质结材料的结构和电学性能具有如下要求：

(1) 低缺陷密度，高质量晶体。通过异质外延生长的毫米波段 GaN 基材料，由于晶格失配和热膨胀系数差异，以及强的极化效应，使得异质结构材料的质量难以控制，会严重影响器件和电路的性能。

(2) 高二维电子气迁移率和密度。二维电子气迁移率和密度是高性能 GaN 微波功率器件及 MMIC 非常前提，首先需要优化 2DEG 沟道层、势垒层和沟道层两侧的界面层质量，降低缺陷、界面粗糙度、电离杂质等对电子的散射；其次需要优化异质结构材料设计，通过引入 AlN 插入层等方法提高电子迁移率；再次充分利用 GaN 基材料的极化效应，提高沟道电子密度。

(3) 高阻缓冲层。异质结构材料设计需要抑制器件高频时沟道二维电子气向缓冲层方向的泄漏。根据能带工程和极化工程，可将 AlN 插入薄层和高迁移率 GaN 沟道层相结合，或者采用 Buffer 层掺 Fe 等技术^[91]。

(4) 高限域特性。栅长逐渐缩小至 $0.20\mu\text{m}$ 以下时，短沟道效应更加明显，栅对沟道二维电子气的控制能力下降，栅和漏电场间屏蔽减弱，于是漏极电场会影响源端电场分部，即沟道电势受漏压的影响，而非栅压，这将导致 DIBL(漏致势垒降低)现象、器件夹断电压降低和阈值电压漂移现象。因此，毫米波材料要有较高的限域特性。

图 2.17 为 AlGaIn/GaN HEMT 外延的示意图。由下至上依次为：衬底层(SiC、蓝宝石或硅)、成核层 (AlN)、缓冲层 (GaN 或者低 Al 组分的 AlGaIn)、沟道层 (GaN/AlGaIn)、插入层 (AlN)、势垒层 (AlGaIn、InGaIn、InAlN)。

Cap layer (GaN)
barrier layer (AlGaIn, AlInN)
AlN layer(InGaIn)
High mobility layer(GaN)
Back barrier layer(InGaIn, AlN, AlGaIn)
Buffer (GaN)
Nucleation layer (AlN)
Substrate(SiC ,sapphire, Si)

图 2.17 AlGaIn/GaN HEMT 外延结构

Figure2.17 AlGaIn/GaN HEMT epitaxial structure

在 SiC 等衬底上进行异质结的外延生长, 需要多层过渡生长技术, 才能实现低缺陷的外延结构; 成核层用于提高外延层的质量; 高阻缓冲层为了提高 GaN 生长质量并减小漏电; 插入层一般为 AlN 材料, 其作用在于减小界面散射, 提高载流子迁移率; 势垒层包括 AlGaIn、InAlN、AlN 等, 它会和沟道层的 GaN 形成一个准三角势阱, 用以限制二维电子气的纵向漂移。

目前外延片大多以高纯 SiC 为主^[95], 尤其在微波射频领域, 目前 4-6 英寸的 SiC 已经趋于成熟; 同质外延的也有相关报道^[96], 仅限于理论研究阶段; 而硅衬底的外延生长技术也已经趋于成熟, 硅基 GaN 射频器件、电力电子器件已经有部分商业化产品, 但是高频段的产品仍然未有报道, 仅见于研究。

2.3.1 缓冲层设计与分析

从前面的分析可以看出, 降低缓冲层的漏电是降低穿通效应的关键, 本节开展了外延材料的设计与分析, 分析不同材料体系的特点, 通过仿真, 优化材料结构, 满足毫米波器件的要求。

在缓冲层中引入电子型深能级, 利用深能级的填充抬高背势垒, 达到理想的限域性能, 值得注意的是, 深能级的引入也会导致器件性能受到影响, 可适当增加接近 2DEG 沟道的高质量缓冲层厚度降低这种影响。从能带工程角度提高缓冲层的能带从而限制 2DEG 向势垒的扩散, 达到良好的限域性能。目前国际上主要有 InGaIn 背势垒^[97], 低 Al 组分 AlGaIn 背势垒和 AlN 背势垒技术。

采用背势垒也存在一些生长方面的难题, 三元合金 AlGaIn、InGaIn 一般来讲比二元的合金缺陷要高, 合金散射要大, 因此外延生长的要求也高; 背势垒也会增加热阻, 需要在热阻和限域特性之间做出折中考虑。

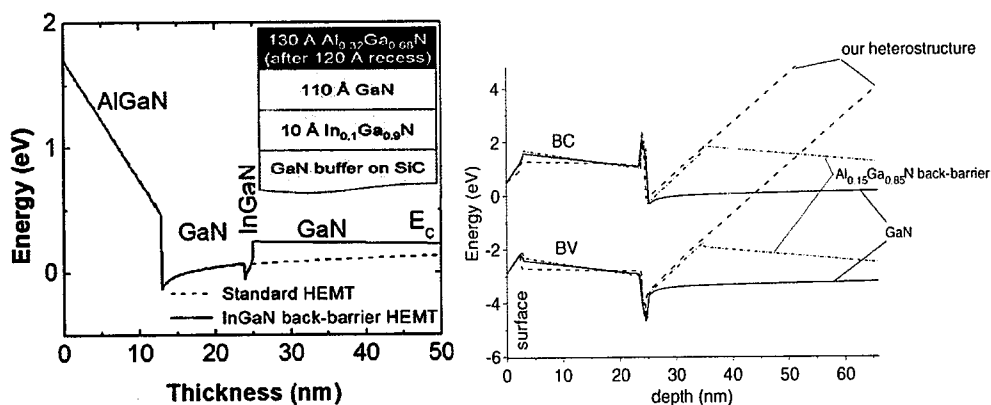
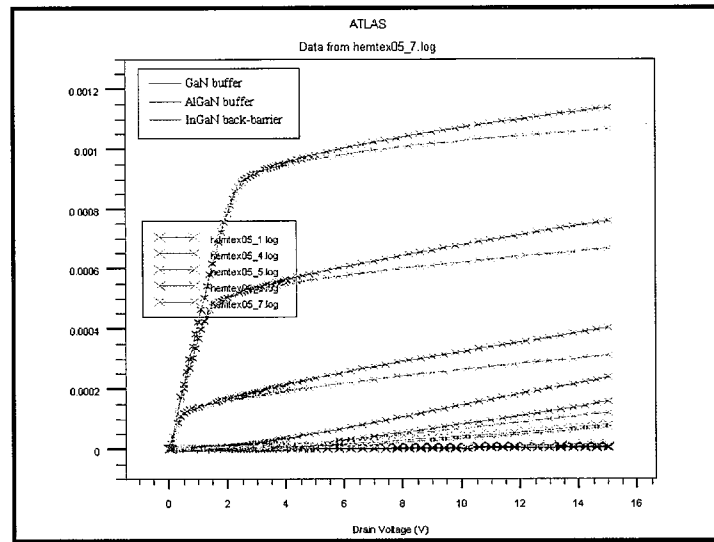


图 2.18 AlGaIn/GaN HEMT 结构中的背势垒^[97]

Figure2.18 The back barrier of AlGaIn/GaN HEMT

通过仿真不同缓冲层结构器件的 IV 特性，评估缓冲层结构对短沟道效应的影响程度。仿真采用 GaN buffer, AlGaIn buffer, InGaIn/GaN buffer (均采用 GaN 高迁移率层 10nm)。从能带图可以看出，采用 InGaIn 背势垒和 AlGaIn buffer 层的引入都提高了 buffer 层的能带，有效减小了沟道电子隧穿到缓冲层的几率，抑制了器件短沟道效应，器件夹断特性变好。

从能带模拟的结果可以看出 AlGaIn、InGaIn 背势垒可以在沟道下方形成新的势阱，提高限域特性。

**图 2.19 不同缓冲层结构的 IV 特性****Figure2.19 GaN DC- characteris with different buffer layer**

采用 AlGaIn 缓冲层结构，利用 ATLAS 工具对 Al 组份与背势垒的深度进行了模拟，优化 AlGaIn 缓冲层的 Al 组分，探索 Al 组分与短沟道效应的关系，以期优化 Al 组分实现器件夹断特性的提升和频率特性的改善。仿真采用的 AlGaIn 缓冲层结构 Al 组分为 0.04、0.1、0.2。具体仿真结果如下图 2.20，可以看出：AlGaIn 缓冲层的引入提高了和 GaN 高迁移率层和缓冲层之间的势垒，而且随着 Al 组分的提高，势垒明显提高，可以阻止电子向缓冲层隧穿，但是 Al 组分提高之后，AlGaIn 的缺陷会增加，所以需要在背势阱的深度和 Al 组分之间做出折衷。

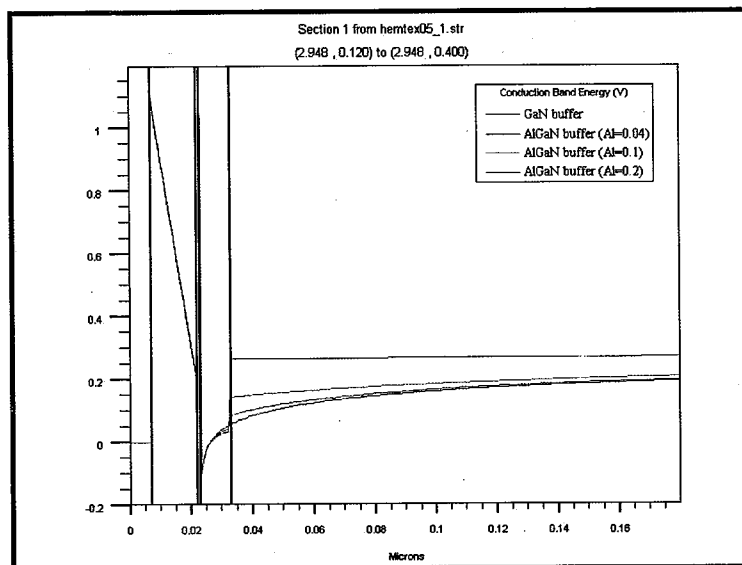


图 2.20 不同 Al 组分的 AlGaIn 缓冲结构栅下能带图

Figure2.20 Band diagram of AlGaIn buffer structure with different Al components.

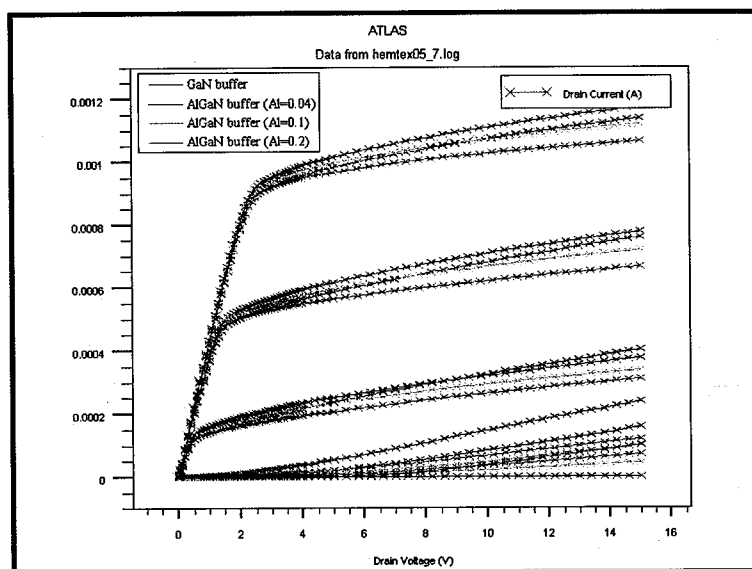


图 2.21 不同 Al 组分的 AlGaIn 缓冲结构器件 IV 特性

Figure2.21 GaN DC- characteris with different buffer layer

2.3.2 GaN 高迁移率层厚度设计

基于 AlGaIn 缓冲层，分析了高迁移率层的能带结构，仿真采用 10nm、20nm、40nm 的 GaN 高迁移率层。具体仿真结果如下图，可以看出，高迁移率层厚度越小，2DEG 限域能力越好，表示夹断特性越好。从下图可以看出，

AlGaIn 缓冲层的夹断特性要好于 GaN 缓冲层，这是因为 AlGaIn 抬高了背势垒的沟道，降低工作状态下的漏电。

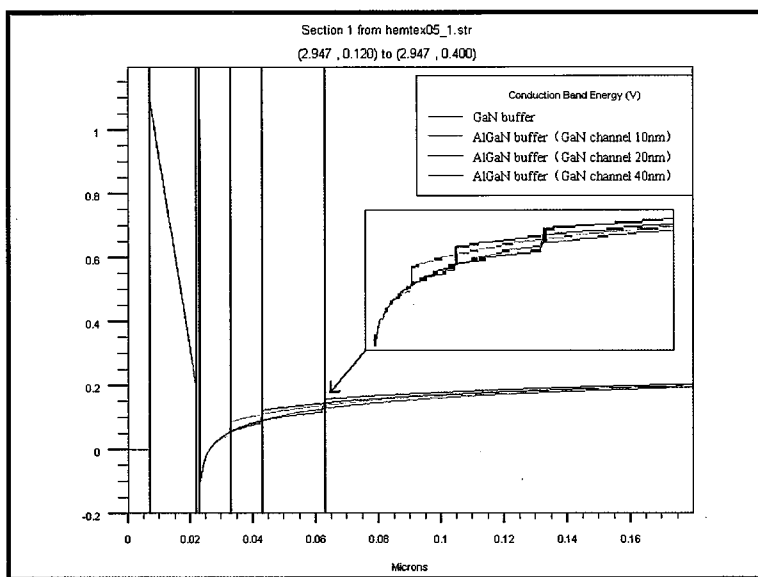


图 2.22 不同沟道层厚度的器件能带图

Figure2.22 Band diagram of device with different thickness of channel layer

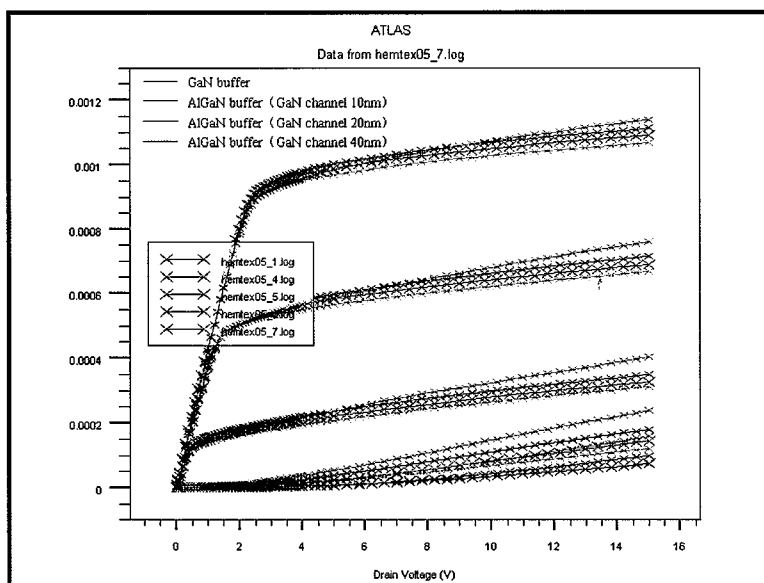


图 2.23 不同沟道层厚度的器件 IV 特性

Figure2.23 IV characteristics of devices with different channel thickness

依据以上模拟结果及分析，同时考虑到工艺能力，GaN 毫米波器件外延结构如图 2.24 所示。

GaN (2nm)
AlGaIn, X=0.28 16-18nm
AlN
High mobility layer(AlGaIn) 60-80nm
Buffer (GaN,AlGaIn)
Nucleation layer (AlN)
Substrate(SiC ,sapphire)

图 2.24 GaN 毫米波器件外延结构

Figure2.24 Epitaxial structure of GaN millimeter wave device

2.3.3 毫米波新材料结构设计

出现短沟道效应实际上是沟道电子在强电场下摆脱了势阱的束缚作用，脱离了三角势阱，因此利用能带工程，采用 InGaIn、AlN 等背势垒结构，增强沟道对电子的束缚能力等；从提高栅控的角度，采用薄势垒层结构也可以抑制短沟道效应；本论文分析设计了背势垒结构、薄势垒结构以及量子阱结构不同的材料形式，并通过毫米波器件的予以验证。

2.3.3.1 InGaIn 背势垒结构

随着半导体器件的不断发展，GaN 基微波功率器件尺寸已进入了亚微米范围，在器件栅长不断缩小的过程中，栅边缘靠漏端尖峰电场将会不断提高（可能高达几十 MV/cm 量级，而 GaN 中电子峰值漂移速度发生于电场值 200kV/cm 左右），这样导致电子在两次散射间获得的能量将超过它在散射中失去的能量，从而使一部分电子的能量显著高于热平衡时的平均动能而成为热电子。

和传统的单异质结相比，背势垒结构 HEMT 材料具有更强的载流子限域性，这不仅有助于提高载流子迁移率和器件关断特性，且有利于抑制电流崩塌效应。

目前国际上主要有 InGaIn 背势垒，低 Al 组分 AlGaIn 背势垒和 AlN 背势垒技术。下图比较了 GaN buffer，AlGaIn 背势垒和 InGaIn 背势垒的能带结构图：

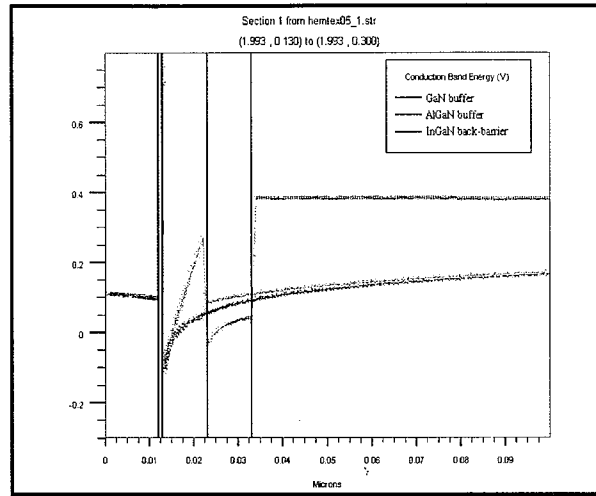


图 2.25 GaN buffer、AlGaIn 背势垒和 InGaIn 背势垒的能带结构图

Figure2.25 Band structure diagram of different barrier

可以看出, AlGaIn/GaN/InGaIn/GaN 结构是最优的双异质结结构, 由于 InGaIn 层中的极化场方向和 AlGaIn 层相反, 因此在 InGaIn 层和 GaN 缓冲层间的异质结界面处导带迅速上升, 从而在 2DEG 沟道的底部形成了一个非常高的势垒, 减小了隧穿的几率。

对比了 GaN buffer 和 InGaIn 背势垒结构的器件沟道夹断情况下, 高场时的电场分布 ($V_{gs}=-6V$, $V_{ds}=30V$):

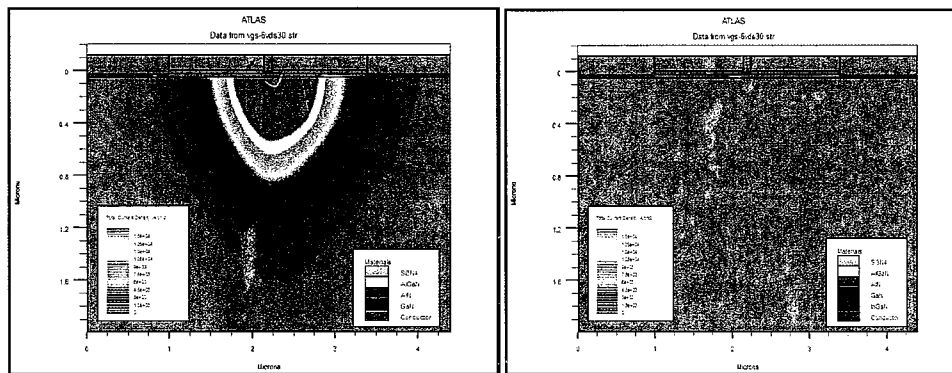


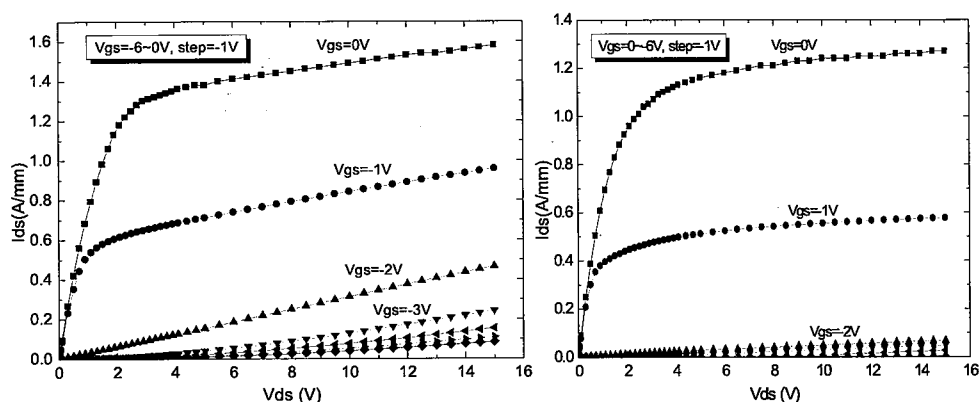
图 2.26 缓冲层电场分布左: 常规结构; 右: InGaIn 结构 ($V_{gs}=-6V$, $V_{ds}=30V$)

Figure2.26 Buffer layer electric field distribution left: conventional structure; right: InGaIn structure ($V_{gs}=-6V$, $V_{ds}=30V$)

可以看出, 常规 GaN buffer 结构中, 随着漏电压加大, 沟道中出现很强的横向电场, 极化效应产生的大量电子会在该电场的驱使下横向运动并获得较高能量,

由于声子散射加强,会有较多电子因为碰撞而释放声子,然后产生纵向的速度分量,在纵向电场(包括大的负向栅压和极化电场)作用下,大量电子进入 Buffer 层,从而越过沟道中的空间耗尽区进行输运,产生电流,InGaIn 背势垒器件在相同偏置下,其缓冲层电流分布大大减小(如图所示)。

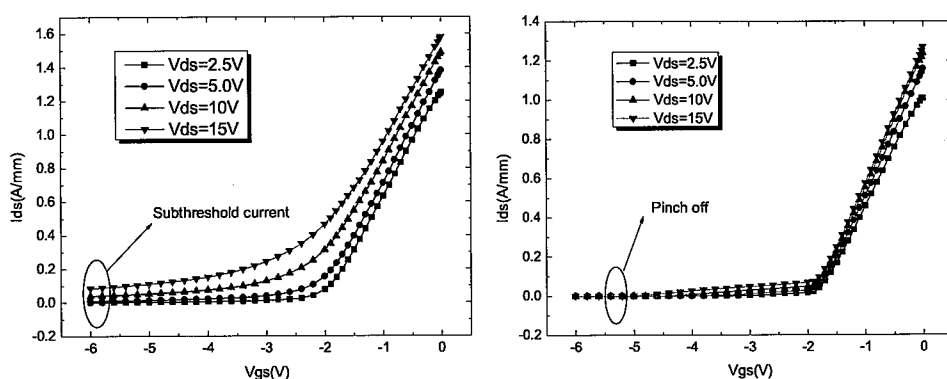
通过仿真模拟对比了常规结构与 InGaIn 的器件的直流特性和转移特性,如下图所示:栅长 100nm, $V_{ds}=15V$ 下,常规结构的漏电是 InGaIn 的 230 倍。(0.076A/0.00032A)



(a) 常规结构器件 IV 特性模拟图 (b) InGaIn 背势垒结构器件 IV 特性模拟图

图 2.27 GaN HEMT 器件 IV 特性对比图

Figure2.27 GaN HEMT device IV characteristic contrast diagram



(a) 常规结构器件转移特性模拟图 (b) InGaIn 背势垒结构器件转移特性模拟图

图 2.28 GaN HEMT 器件转移特性对比图

Figure2.28 DC characteristics of GaN HEMT

对两种器件的 DIBL 因子进行了提取对比,如下图所示:

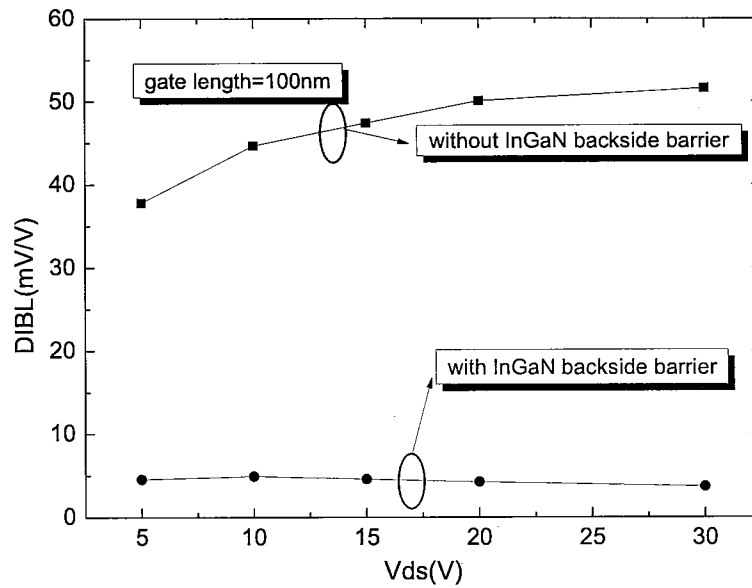


图 2.29 DIBL 因子对比

Figure 2.29 DIBL factor comparison between different device

可以看出, InGaN 背势垒的引入增强了沟道对二维电子气的限制能力, 减小了器件漏电, 降低了穿通效应, 抑制了短沟道效应。

2.3.4.2 量子阱材料

为了控制毫米波器件的纵横比, 需要适当降低势垒层厚度, 但是同时需要维持足够的压电效应的强度, 往往通过提高 Al 组分来维持二维电子气的密度; Al 组分提高以后 AlGaN 的缺陷密度会随之增加; 而且发现 AlGaN 势垒层中 Al 组分提高到一定程度, 欧姆接触的难度增大。采用 AlN/GaN 量子阱结构替代传统的 AlGaN 三元合金势垒层, 得到了同时具有好的表面形貌和低的方块电阻的高 Al 组分 ($\geq 40\%$) 外延材料。

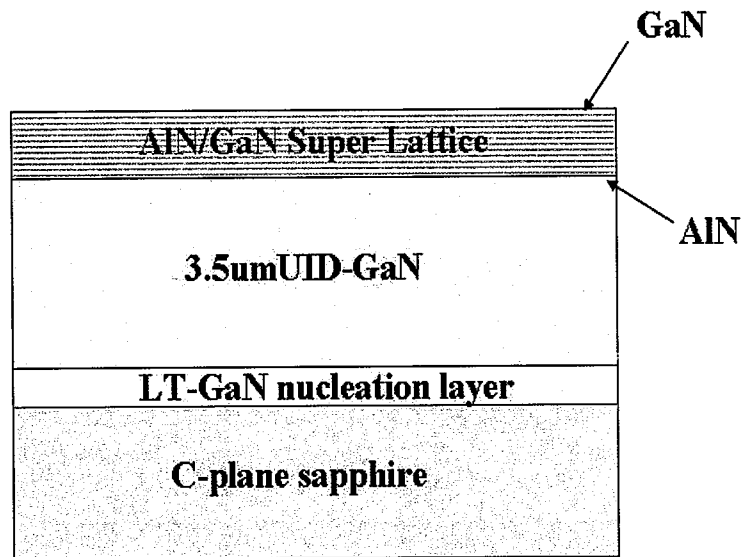


图 2.30 量子阱势垒层的外延结构

Figure2.30 Epitaxial structure of the barrier layer in Superlattice

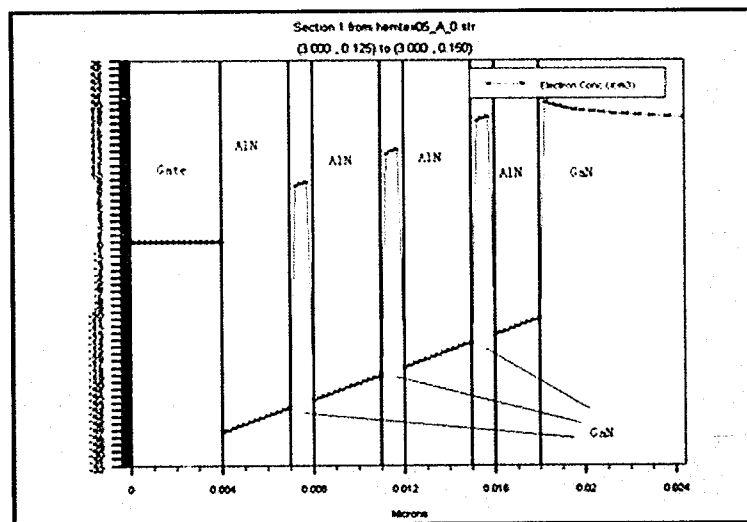


图 2.31 量子阱势垒层的电子分布

Figure2.31 Electronic distribution in a superlattice layer

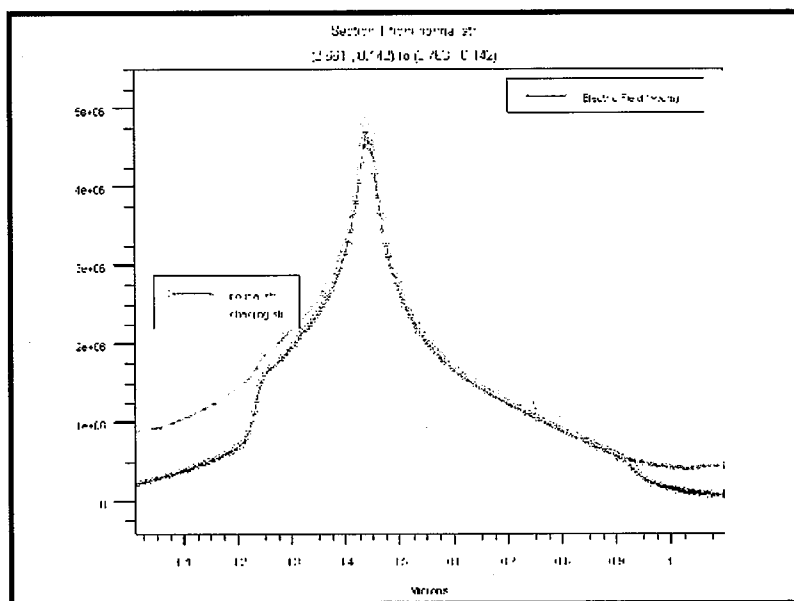


图 2.32 量子阱结构电场强度

Figure2.32 Electric field distribution in Superlattice

图 2.33 是常规结构和量子阱结构相同偏置下的内部场强比较，的量子阱结构能够改变栅下尤其是栅漏间栅边缘的电场分布，其场强小于相同尺寸的常规结构，这样在漏压升高之后，其横向电场强度，纵向电场强度小于常规结构，在相同偏置下，电子获得能量小于常规结构中的电子，电子转移到 buffer 的机会减小，因而，buffer 层漏电降低，短沟道效应改善。

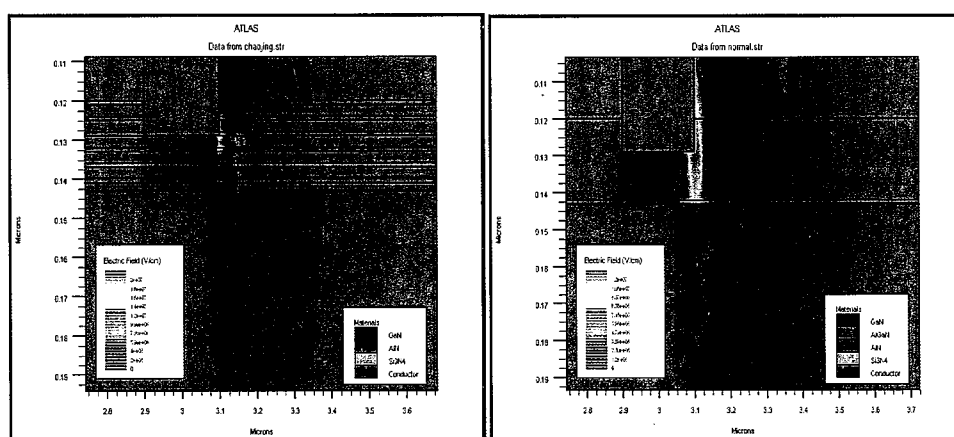


图 2.33 相同偏置条件下电场分布 ($V_{ds}=70V$, $V_g=-2V$) 常规结构 (右) 量子阱结构 (左)

Figure2.33 The electric field distribution ($V_{ds}=70V$, $V_g=-2V$), the conventional structure (right) superlattice under the same bias condition (left).

漏压升高之后,其横向电场强度,纵向电场强度小于常规结构。AlN/GaN 之间的薄层电子相当于悬浮栅,或者场板结构,抑制强电场的分布,减少了栅与沟道间的电子隧穿。由于其势垒层质量提高,陷阱密度减小,因此器件的电流崩塌减小,微波功率性能有优势。

2.4 AlGaIn/GaN HEMT 器件结构设计

本论文开展了毫米波器件参数与特性的研究分析,对器件结构的关键尺寸参数进行分析并确定,主要是栅结构设计,包括栅长的选择,栅源间距的选择,器件纵横比的选择和栅结构的选择。

2.4.1 栅长的选择

只考虑本征的渡越时间,栅长的尺寸选择依据主要由器件特征频率决定,即:

$$f_T = \frac{1}{2\pi\tau_t} = \frac{v_s}{2\pi L_g} \quad (2.18)$$

其中 τ_t 为电子在栅下的渡越时间, v_s 为电子饱和漂移速度。对于毫米波器件 AlGaIn/GaN HEMT 功率器件工作于毫米波段,即大于 30GHz,为保证器件的功率性能,特征频率为所需工作频率 3 倍,器件特征频率至少达到 90GHz。依据上述公式,取电子饱和漂移速度为 $1.1 \times 10^7 \text{cm/s}$,器件栅长不大于 170nm,栅长 L_g 的选择还要考虑最高振荡频率、栅电阻 R_g 特征频率、饱和输出电流、MAG 以及跨导等参数。本论文中栅长选择为 100-150nm 之间。

2.4.2 栅源间距的选择

器件的源漏间距选择为 $2.4\mu\text{m}$,本论文通过模拟仿真了不同栅源间距对器件性能,包括频率特性和直流特性的影响,栅源间距分别取 $0.4\mu\text{m}$; $0.6\mu\text{m}$; $0.8\mu\text{m}$; $1.0\mu\text{m}$; $1.08\mu\text{m}$ 五组数值,仿真结果如下图所示:

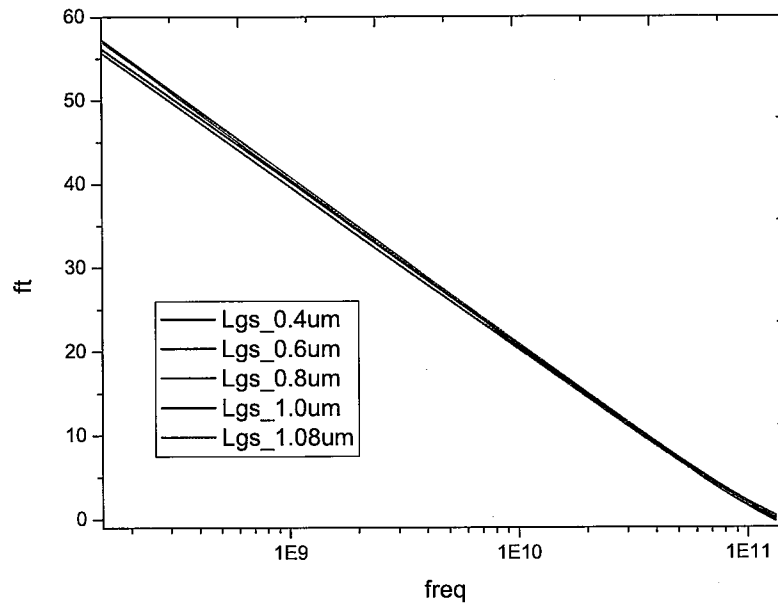


图 2.34 不同栅源间距器件 f_t 对比

Figure2.34 Comparison of f_t with different gate spacing devices

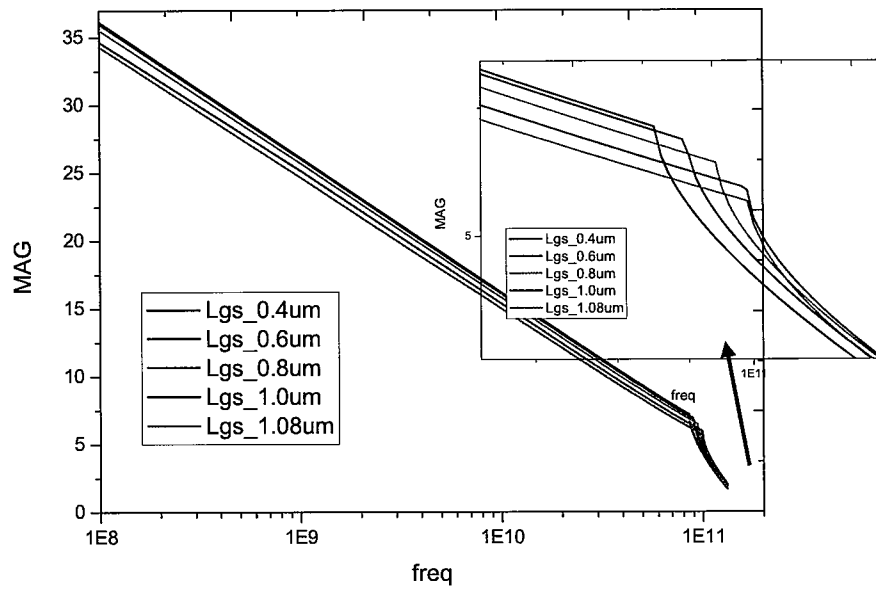


图 2.35 不同栅源间距 MAG 对比

Figure2.35 MAG Comparation between different gate spacing

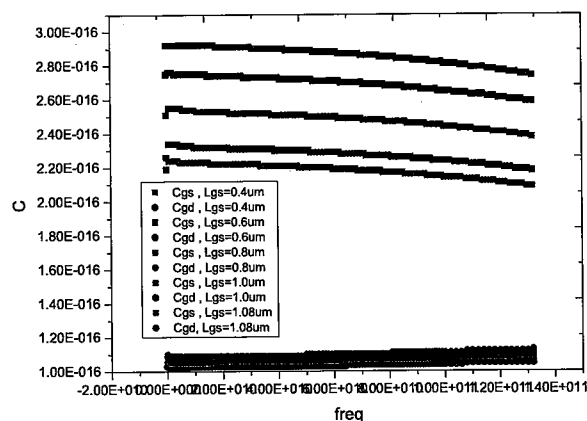
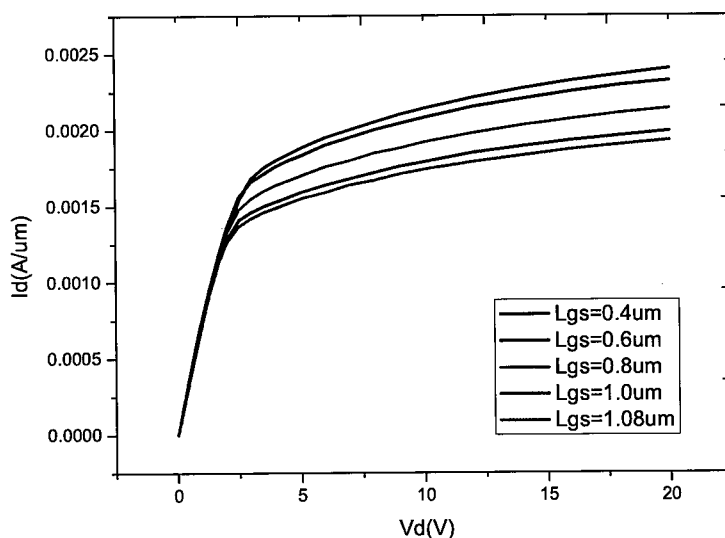
图 2.36 不同栅源间距 C_{gs} 、 C_{gd} 对比Figure2.36 Comparison of C_{gs} and C_{gd} between different gate spacing

图 2.37 不同栅源间距对直流特性的影响

Figure2.37 Comparison of DC characteristics between different gate spacing

从截止频率来看, f_t 从大到小的栅源间距值为 $1.0 > 0.8 > 1.08 > 0.6 > 0.4 \mu\text{m}$; 从最高振荡频率来看, f_{max} 从大到小的栅源间距值为: $1.0 > 0.8 > 1.08 > 0.6 > 0.4$; 从拐点来看, 1.0 和 1.08 的器件差不多, 其次是 $0.8 \mu\text{m}$ 、 $0.6 \mu\text{m}$ 和 $0.4 \mu\text{m}$; 从 C_{gs} 、 C_{gd} 来看, 随着栅源间距的增加, C_{gs} 降低, C_{gd} 增加。

从直流特性对比来看, 随着栅源间距的增加, 器件输出电流减小, 其主要是

栅源的沟道电阻增大。根据以上仿真结果,综合频率特性和直流特性来看,栅源间距选择 $0.8\mu\text{m}$ 。

2.4.3 纵横比的选择

器件的纵横比 (aspect ratio) 是指栅长与栅和沟道间距之比,纵横比是器件结构设计的主要准则之一。在以下的公式中,可以看到纵横比 (L_g/d) 与器件频率特性的关系,其中, g_m 是器件本征跨导, d 是势垒层的厚度, W_g 是有源区的宽度, L_g 是栅长, E 是材料的击穿场强,在栅宽固定的情况下,纵横比对器件的性能影响非常显著,纵横比的选择与短沟道效应相关。

$$f_T = \frac{g_m d}{2\pi W_g L_g E} = \frac{g_m}{2\pi W_g E} \frac{L_g}{d} \quad (2.19)$$

首先对不同纵横比对器件 f_t 、 f_{max} 性能的影响进行了模拟仿真,如下图所示。纵横比较大时,由于势垒层厚度一定,所以栅长都比较大,所以器件频率性能较差,而当栅长减至 100nm 时,栅到沟道间距仅为 5nm ,器件频率性能严重恶化;纵横比缩小后,由于栅长也可以相应减小,器件频率特性有一个上升的过程。纵横比为 3 时,由于器件栅长很小,而且栅到沟道间距也能保持得较好 (10nm 以上),所以频率表现较好。

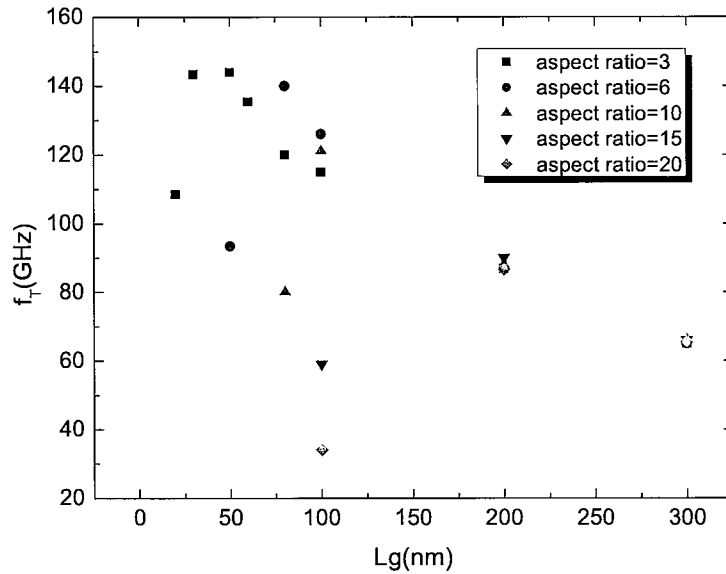


图 2.38 纵横比对器件频率特性的影响

Figure 2.38 Comparison of frequency characteristics between vertical and horizontal alignment devices

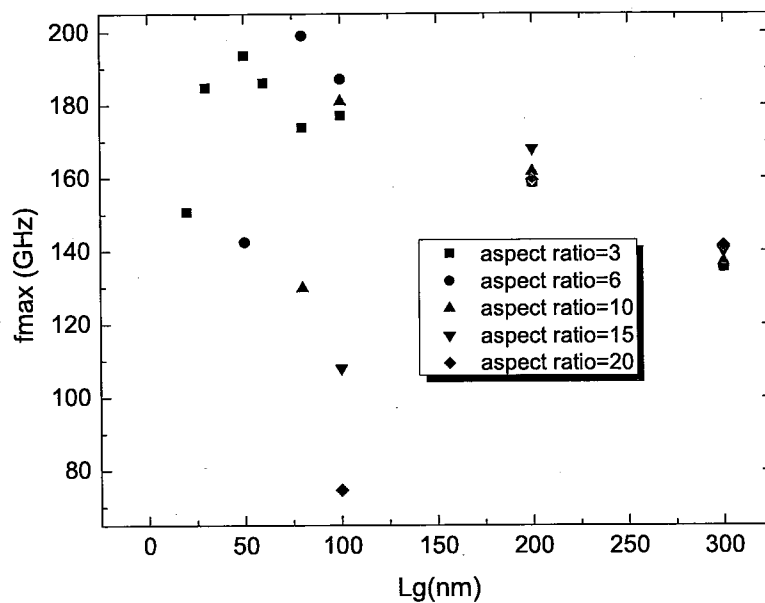
图 2.39 纵横比对器件 $f_{\max}$ 的影响

Figure2.39 Fmax comparison between different aspect ratio

同时对不同栅和沟道间距对器件 f_t 、 $f_{\max}$ 性能的影响进行了模拟仿真，如下图所示：

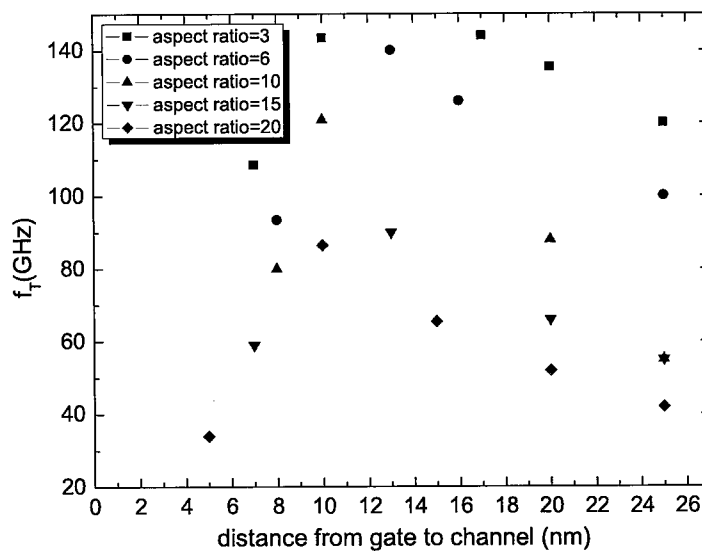


图 2.40 栅沟道间距对器件频率特性的影响

Figure2.40 Relationship between f_t and barrier thickness

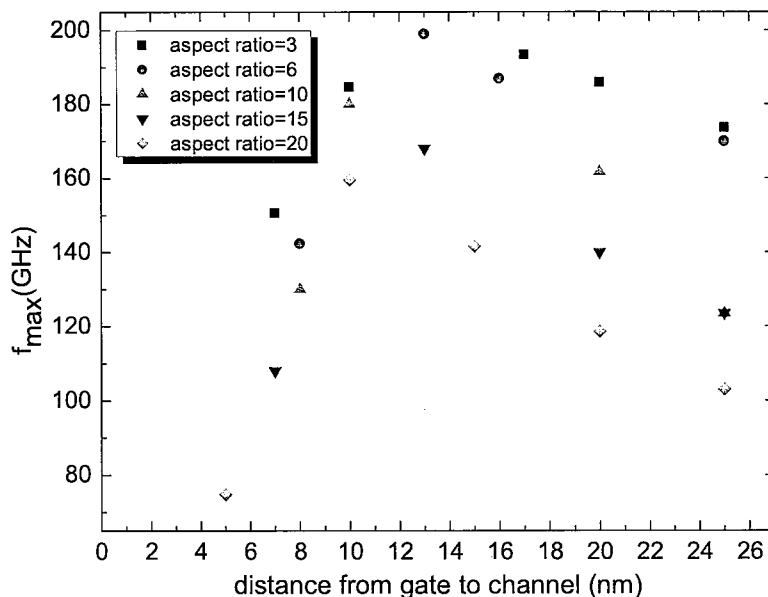


图 2.41 栅和沟道间距对器件 $f_{\max}$ 特性的影响

Figure 2.41 Comparison of $F_{\max}$ characteristics between aspect ration

综合以上对比分析,对于毫米波器件,栅长选取 100-150nm 时,纵横比保持在 8,势垒层厚度选择 16-18nm 才能够实现 GaN 器件的特性,而常规材料的势垒层厚度大于 22nm,因此需要在工艺中引入凹栅槽技术。

2.4.4 栅结构的优化

随着栅长的减小,在提高器件截止频率的同时需要同时提高器件的最大振荡频率,减小栅电阻可以提高器件的最大振荡频率,减小栅电阻的手段之一就是采用 T 型栅技术。

同时,抑制电场是毫米波器件必须解决的主要技术难题,强的静态电场会导致部分缺陷的激活,从而使器件漏电增加。毫米波器件的源漏间距将缩小至 $2.4\mu\text{m}$ 甚至更低,因此击穿电场的强度将会增加至 10^7V/cm ,所以毫米波器件如果要长时间高可靠性的工作,其击穿电场应该是必须要考虑的一个因素。

本论文采用了宽栅槽结合 T 型栅的栅结构,由于采用这种结构,栅不与栅槽两侧直接接触,栅漏电容,栅源电容会有较大幅度下降,这有利于提高器件的频率特性如下图所示:

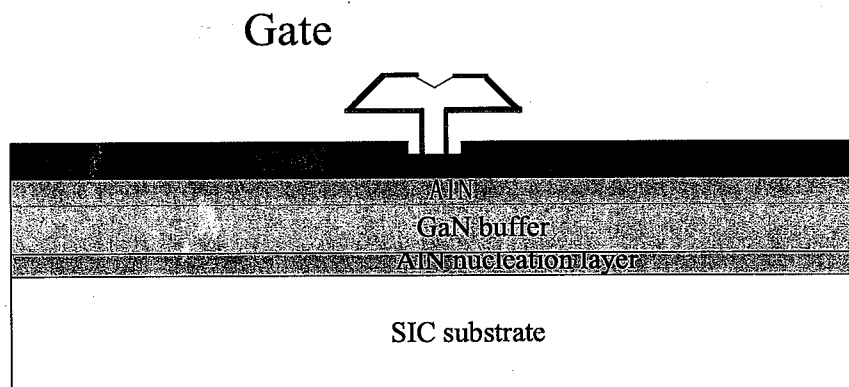


图 2.42 宽栅槽与 T 型栅结构

Figure 2.42 GaN Trench structure

用 atlas 仿真了三种器件结构, 栅长均为 $0.1\mu\text{m}$, 栅槽宽度分别为 $0.1\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.8\mu\text{m}$, 仿真结果如下:

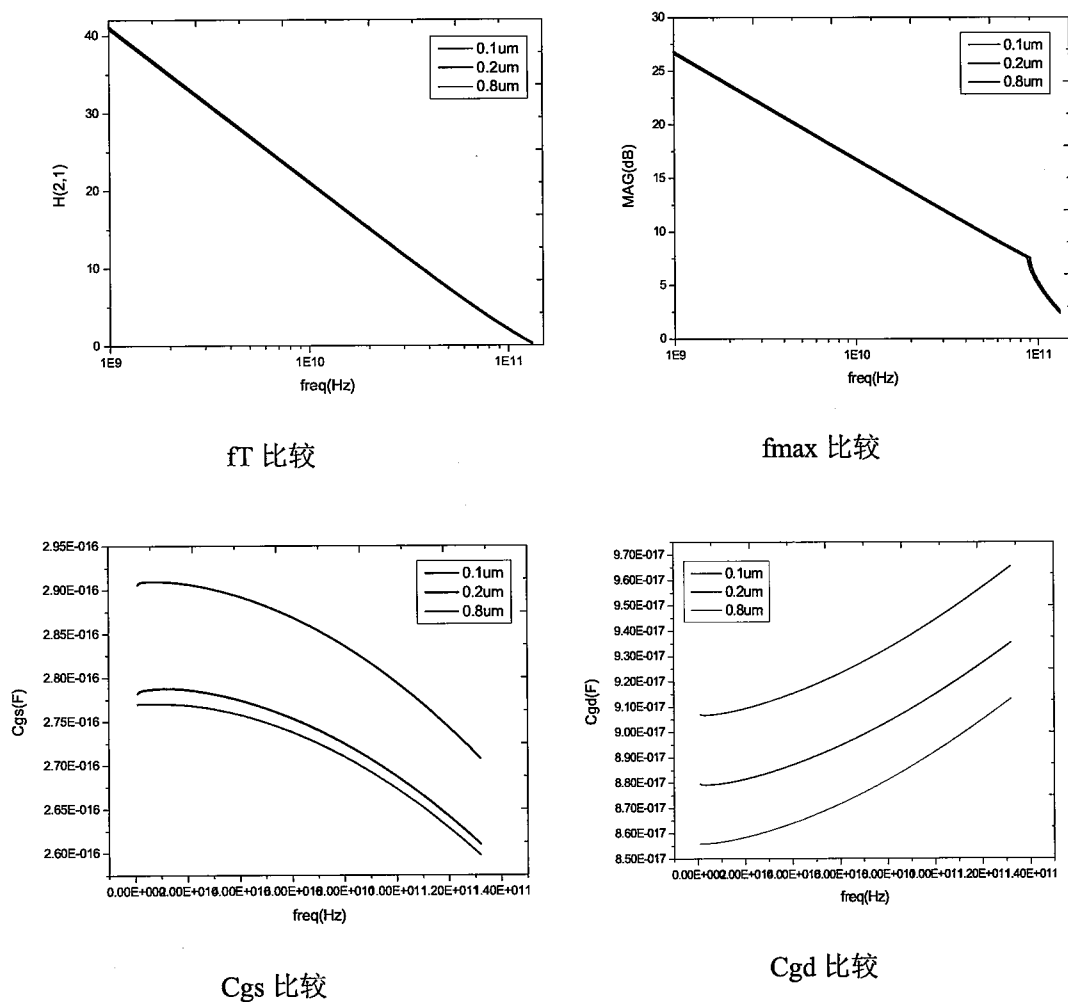


图 2.43 不同栅槽的频率特性和寄生电容比较

Figure2.43 Comparison of high frequency and capacity of the device with different trench

可以看出，随着栅槽宽度的增加， C_{gs} 和 C_{gd} 都略有降低，但是 f_t 、 f_{max} 上表现不明显，栅槽加宽之后，器件工艺的难度会降低，有利于器件的制备。所以器件的实际制备中，采用了 $0.2\mu m$ 的宽栅槽，去实现 $0.1-0.15\mu m$ 的细栅，降低了栅套刻的精度要求。

结合本章第二节器件结构研究，下图给出了本论文的器件结构，主要采用了新型的 U+V 的 T 型栅结构，图中一次介质用于表面的钝化保护，二次介质用于栅以及栅槽空气沟的保护，源极由背孔接地，与背金金属相连，用以降低寄生电感，改善器件的功率、频率性能和散热特性。

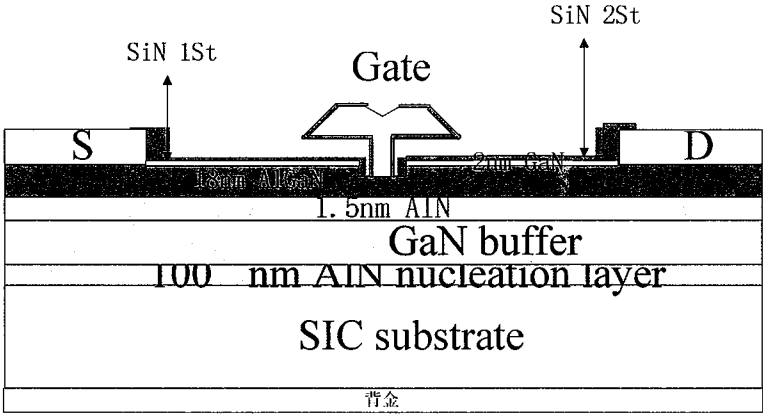


图 2.44 毫米波的器件结构

Figure2.44 Millimeter GaN hemt structure

表 2.1 毫米波器件的尺寸

源漏间距(μm)	2.4,2.0,1.6, 1.2,1.0
栅源间距(μm)	0.8
栅槽宽度(μm)	0.2
栅长 (μm)	0.20,0.15,0.1

下图给出本论文中采用的版图结构：

包括单管，双指、4 指、6 指，单指栅宽包括 Ka 波段管芯包括单指、双指、4 指、6 指、8 指以及 10 指管芯，共计 88 个，在版图中位置如下图所示：

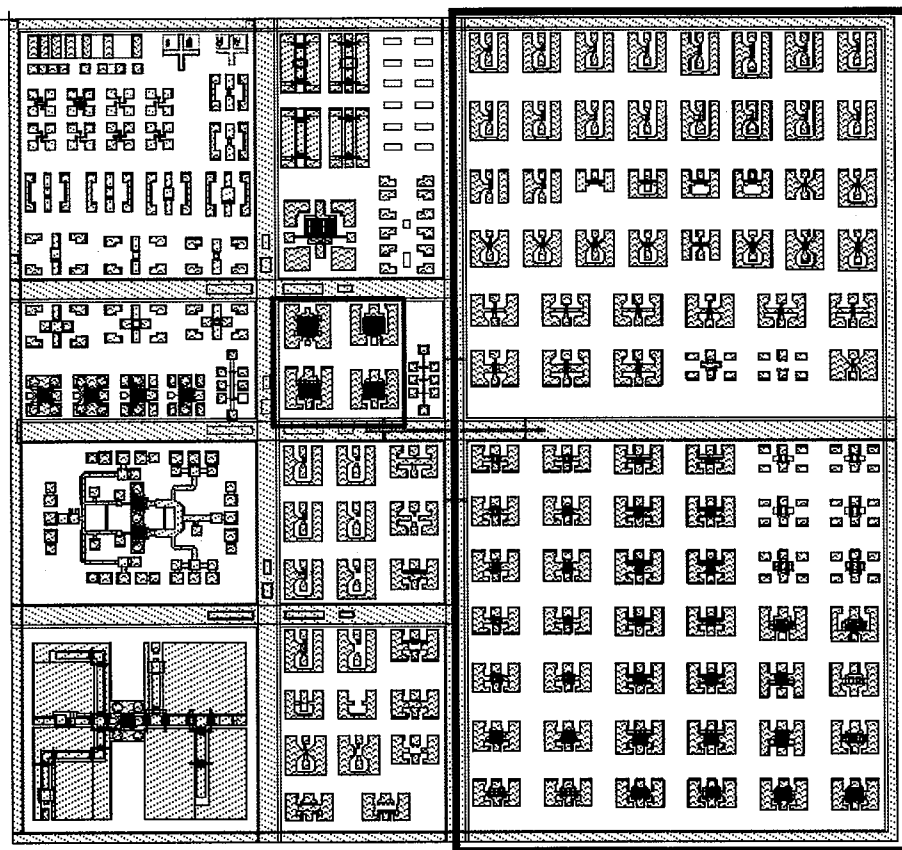


图 2.45 毫米波器件实验版图

Figure 2.45 Millimeter wave device layout

其中包括单指 18 个、双指 24 个、4 指 18 个、6 指 18 个、8 指 6 个以及 10 指管芯 4 个。对于多指器件，进行了不同的外围结构的对比，用来确定更适合大功率毫米波电路应用的器件结构。

2.5 小结

本章首先介绍了 GaN 基 HEMT 器件的工作原理和 GaN 毫米波器件面临的关键问题，指出了本论文研究的重点是基于降低 GaN 毫米波器件的短沟道效应和强场效应从而提高器件的性能。接下来针对 GaN 毫米波器件的外延材料结构和器件结构开展了研究，并提出了以下解决方案：

InGaIn 背势垒结合薄势垒结构能改善沟道载流子的限域特性，从而抑制短沟道效应；

势垒层采用 AlN/GaN 量子阱结构能降低势垒层的场强分布从而抑制短沟道效应，减小器件电流崩塌；

提出了新型 T 型栅结构，结合 U 型栅与 V 型栅的优势，降低峰值电场，提高器件击穿

第三章 毫米波 GaN HEMT 器件关键工艺研究

在材料和器件结构设计的基础上,开展毫米波 GaN 功率 HEMT 器件关键工艺技术研究,进一步优化欧姆接触、低损伤栅槽刻蚀技术、T 型栅技术、背孔技术等关键工艺,建立并固化完整的毫米波器件流程。其目的是提高器件效率,改善器件特性,满足毫米波器件应用要求。

3.1 欧姆接触技术研究

对于 HEMT 器件根据小信号等效模型可以推倒最高振荡频率 $f_{\max}$ 公式:

$$f_{\max} = \frac{f_T}{2 \left[\pi f_T C_{gd} (R_s + R_g + R_{gs} + 2\pi L_S) + G_{ds} (R_s + R_g + R_{gs} + \pi f_T L_S) \right]^{1/2}} \quad (3.1)$$

在公式 3.1 中,器件栅漏电容是基本保持不变的,由于器件栅长缩小,栅电阻很难降低,尽量使 R_g 保持不变,栅源间距的缩小使得 R_{gs} 也减小,此时应使 R_s 同比例缩小,这样可以使 $f_{\max}$ 近似按比例提升,而降低 R_s 需要欧姆接触电阻率更低。

同时,为提高频率特性,栅源间距需要进一步缩小^[99],间距缩小后,欧姆接触金属的边缘平滑度不够,将会对器件的击穿特性产生严重影响。低接触电阻、高平整度是毫米波器件欧姆接触需要解决的问题。

3.1.1 GaN 器件欧姆接触机理

目前,AlGaIn/GaN 异质结构的欧姆接触的形成机制主要以下三种:

1. 势垒模型:从金属半导体界面的能带图分析,对 n 型半导体而言,若金属功函数小于半导体功函数,形成反阻挡层,电流电压之间出现的是线性关系^{[99][101]},有些金属如 TiAg 可以直接形成欧姆接触;GaN 属于离子型晶体,不受费米能级钉扎的影响,理论上只要选择具有合适功函数的金属或合金就能形成欧姆接触。

2. 隧穿模型:当金属与半导体接触的界面,半导体一侧的掺杂浓度高(即重掺杂),势垒宽度变窄,载流子借助隧穿效应穿越势垒层,产生隧道电流,到隧穿效率很高的时候,将会有较大的隧穿电流,此时金半接触之间的电流电压关系近似线性,形成欧姆接触^[102],如: n 型 GaN、AlGaIn 与 Ti/Al、等接触。高温时,

Ti 与 GaN 表面的 N 反应, Ti 从 GaN 表面抽取 N, 生成 TiN, 造成 GaN 表面的 N 缺失, 降低了表面势垒, 增大了隧穿几率。

3. 类金属接触

这种机理认为通过合金, 低势垒金属局部进入二维电子气沟道, 电子与合金金属直接接触^[113], 形成了类似于金属导电接触, 获得更低的接触电阻^[114]。严格来讲这种情况只是由于隧穿效率高而实现了较低的欧姆接触。

要实现超低欧姆接触, 一是要实现类金属直接接触, 二是不能直接接触的区域辅助以隧穿效应, 三是要依靠缺陷辅助。

GaN HEMT 的欧姆接触制备目前常用的合金体系是 Ti/Al, 以及在此基础上发展起来的 Ti/Al/Ti/Au、Ti/Al/Ni/Au、TiAlMoAu 等^{[104][106][107]}。常规结构 Ti/Al/Ni/Au 体系中, 500°C 开始, Al 首先会与 Ti 反应形成 Ti-Al 合金, 温度进一步升高至 700 度时, Al 也会和 Ni 以及 Au 发生反应, 具体的反应如图 4.1 所示:

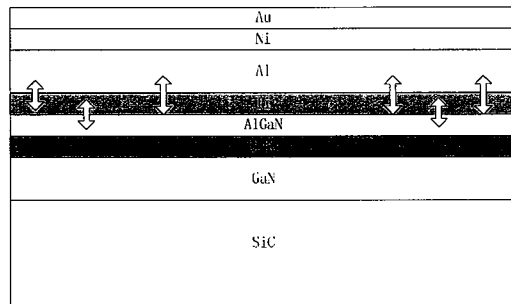


图 3.1 欧姆接触形成机理图

Figure3.1 The formation mechanism of ohmic contact

第一层 Ti 与 GaN 反应, 从 GaN (AlGaIn) 表面抽取 N, 在形成 TiN 的同时产生 N⁺空位, 相当于提高了金属接触 GaN 一侧掺杂水平; Al 阻止 Ga 的外扩, 保持 GaN 组分的稳定, 并且 Al 与多余的 Ti 反应, 形成 Ti-Al 合金, Ti-Al 合金是低阻; Ni 阻止 Al 与最外层的 Au 之间的反应, 但是 Al、Ni 容易氧化, Au 可以隔绝氧气, 防止外层金属的氧化。^[118]优异的欧姆接触需要 TiN 浸入沟道, (下图示) 与 2DEG 直接接触, 在没有浸入沟道的地方, 辅以低势垒 (TiN) 隧穿; 在接触不好的样品看到 TiN 堆积界面处, 通过隧穿要做到低接触电阻难度很大。如下图所示:

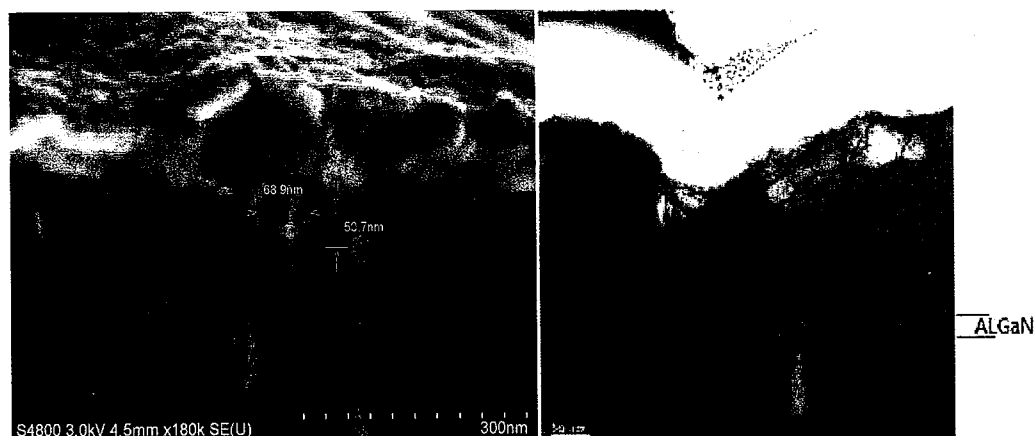


图 3.2 (a) TiN 浸入沟道 (b)大面积 TiN 浸入 AlGaN 势垒层

Figure3.2 (a) TiN immerse into the channel (b). TiN immersed in AlGaN barrier layer.

采用常规的 TiAlNiAu 金属体系，在优化金属厚度配比和退火条件后，可以将欧姆接触的电阻降至 $0.3\text{-}0.4\Omega\cdot\text{mm}$ 的水平。

常规的 TiAlNiAu 欧姆接触体系存在以下问题：一、AlGaN/GaN 外延层表面容易氧化，表面的氧化物在合金过程中会与 Ti、Al、等形成高阻的氧化物，对于器件的欧姆接触非常不利；二、欧姆接触高温合金时，源漏金属会与势垒层发生合金反应，AlGaN 层的厚度会减小，但由于势垒层较厚，二维电子气的隧穿势阱厚度较厚，隧穿效率受到限制。

3.1.2 浅槽欧姆接触技术研究

欧姆接触要借助于势垒层的位错等缺陷^[115]来实现合金，随着 GaN 外延质量的提高，高性能的欧姆接触制作难度加大；近年来，出现了硅注入、二次生长等新的欧姆接触技术^[117]，但这些技术相对复杂，难度较大。本论文基于常规 TiAlNiAu 金属体系，开展了新型欧姆接触技术研究，降低欧姆接触电阻。

实现超低欧姆接触，需要降低金半界面的势垒高度，因此本论文采用高密度等离子刻蚀技术，利用界面造成的缺陷和损伤降低表面势垒。对源漏区域进行选择性浅槽刻蚀 (Recess)，既可以去除表面的氧化物，降低势垒层的厚度，又减小了载流子的势阱厚度，提升隧穿效率，获得低欧姆接触电阻率，同时，由于刻蚀表面粗糙，使表面积增加，有利于实现更充分的合金反应。

Recess 欧姆接触制备方法如下：

(a) 涂覆 AZ5214 光刻胶，曝光、显影；

- (b) 源漏区浅刻蚀，利用高密度等离子刻蚀实现（ICP 刻蚀功率 150W，Rf 功率 5W）；
- (c) 表面处理，蒸发源漏金属 TiAlNiAu；
- (d) 剥离，去胶、退火 830 度，50S；
- (e) 注入隔离，测试器件直流特性。

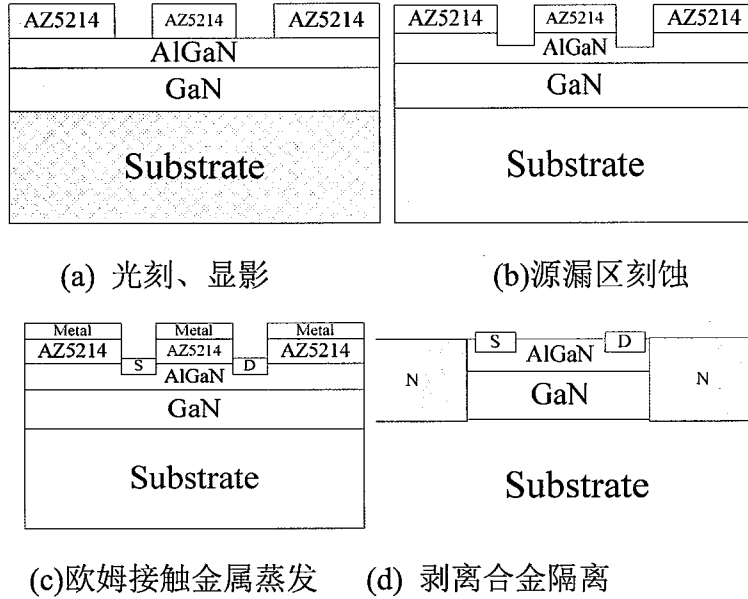


图 3.3 浅槽刻蚀欧姆接触制备流程

Figure3.3 Process of etching ohmic contact with shallow grooves

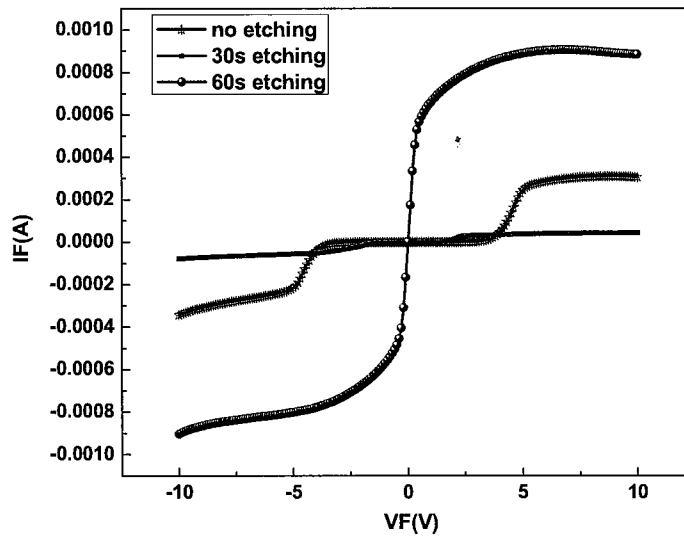


图 3.4 不同刻蚀时间样品合金前的电流对比示意图

Figure3.4 Schematic diagram of current contrast for samples with different etching time

图 3.4 为不同刻蚀时间的样品合金前的电流对比。可以看出不同刻蚀时间(即刻蚀深度的不同)对欧姆接触性能的影响,随着刻蚀时间的增加,源漏电流也增加,刻蚀到 60S 时,小电压区域基本上已是欧姆接触了,这时的刻蚀深度大约为 5nm。由于刻蚀形成了表面的 N 空位,相当于表面的重掺杂,表面势垒高度的降低;势垒层减薄,有利于电子的隧穿,蒸发金属即可形成欧姆接触,但是由于其隧穿效率仍然很低,饱和电流很小,不能满足实际器件对欧姆接触的需要。

对样品进行高温合金 830°C, 50S, 可以获得非常低的接触电阻,对比处理样品和未处理样品如图 3.5 所示,可以看出,合金后,源漏经过刻蚀处理的样品,欧姆接触性能变好。

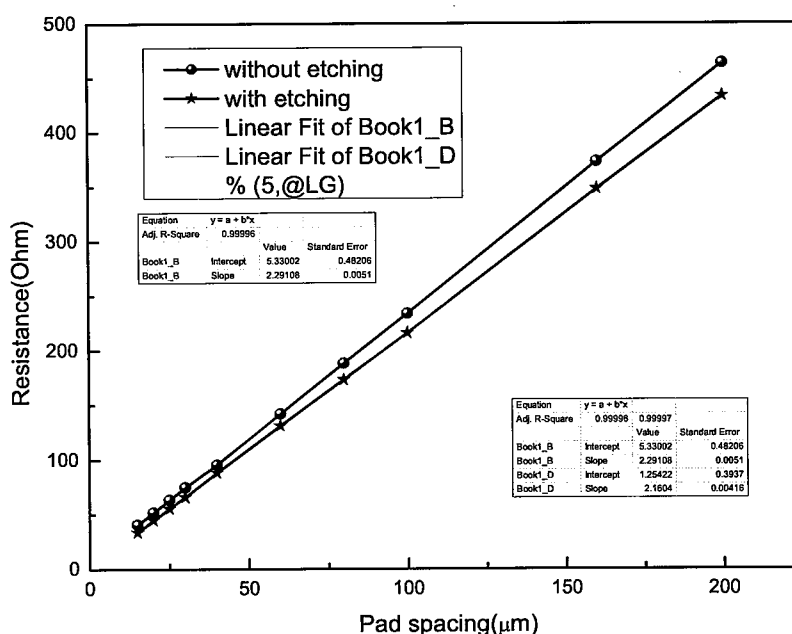


图 3.5 欧姆接触的传输线测试结果

Figure3.5 Ohmic contact results of the TLM

通过 recessed 欧姆接触技术的研究,可以降低器件的接触电阻,实现高性能的低阻欧姆接触,接触电阻下降至 0.2-0.3Ω·mm

3.1.3 TiN 埋层浅槽欧姆接触技术研究

TiN 的接触电阻 10^{-5} - 10^{-2} Ω·mm, 如果 TiN 直接接触二维电子气,更利于实现超低欧姆接触。因此,界面高温合金下 TiN 的形成是实现超低欧姆接触的关键。实际上 Ti 与 N 反应产生的 N 空位密度不高,Ti-N 之间反应的合金位置是随机的,若不能形成大面积 TiN,隧穿效率仍然不高,而且由于刻蚀后表面 N 缺

失，不利于 TiN 的生成。

基于以上分析，本论文提出了一种新的 TiN 结合 recess 的欧姆接触技术。制备过程和上节的 Recess 技术基本相同，在源漏刻蚀后，溅射 TiN，厚度大约 10nm，溅射以后再蒸发 Ti/Al/Ni/Au，剥离完之后形成对 Ti/Al/Ni/Au 的包围(下图所示)，合金过程中由于类似于包封结构^[110]避免了侧壁金属的溢出，获得非常好的形貌和边角，这对于小间距器件的设计和实现非常有益。

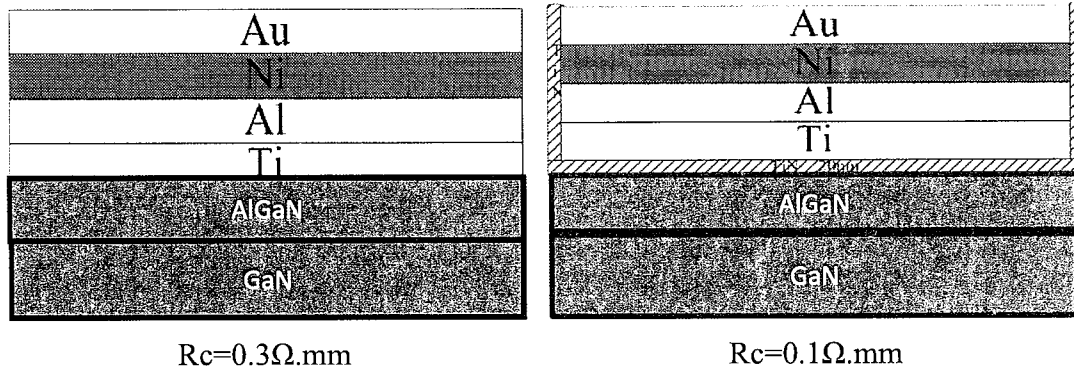


图 3.6 TiN 埋层前后欧姆接触示意图及形貌对比图

Figure3.6 TiN buried layer schematic diagram

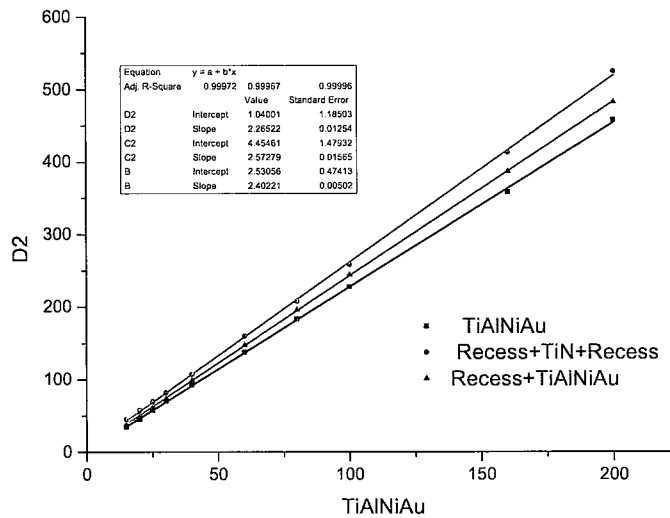


图 3.7 三种欧姆接触的传输线测试结果

Figure3.7 Ohmic contact results of the TLM

图 3.7 给出了三种技术的 TLM 测试结果，recess 结合 TiN 埋层，在 830 度，

50S 合金时能够获得接触电阻 $0.1\Omega\cdot\text{mm}$ 的超低欧姆，接触电阻率达到 $1.94 \times 10^{-7}\Omega\cdot\text{cm}^2$ 。引入 TiN 埋层后侧壁形成了 TiN 的包裹，由于 TiN 的包裹作用，避免了合金时的横向扩散，使得欧姆接触的边缘平整，有利于小间距器件的制备。图 3.8 比较了三种欧姆技术的形貌，从中可以看出，TiN 结合 recess 合金有更好的形貌。

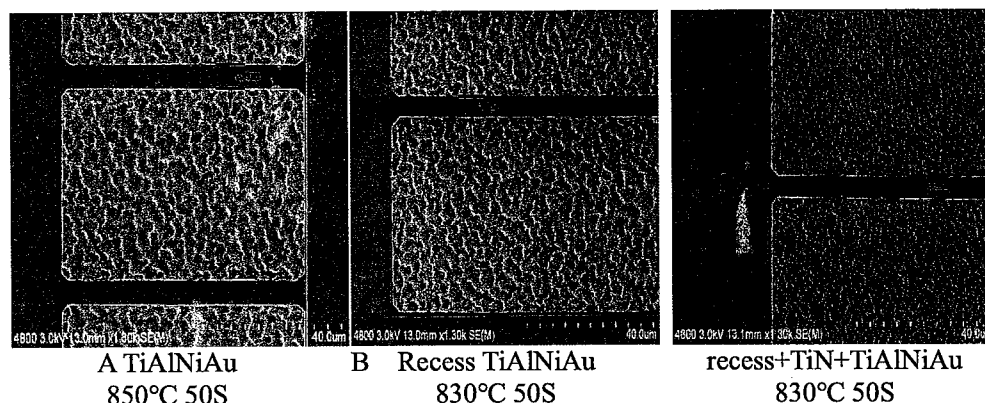


图 3.8 三种结构合金后的形貌比较

Figure3.8 Comparison of morphology after three structural alloys

对引入 TiN 埋层的样品进行了 TEM 分析，如图 3.9 所示：

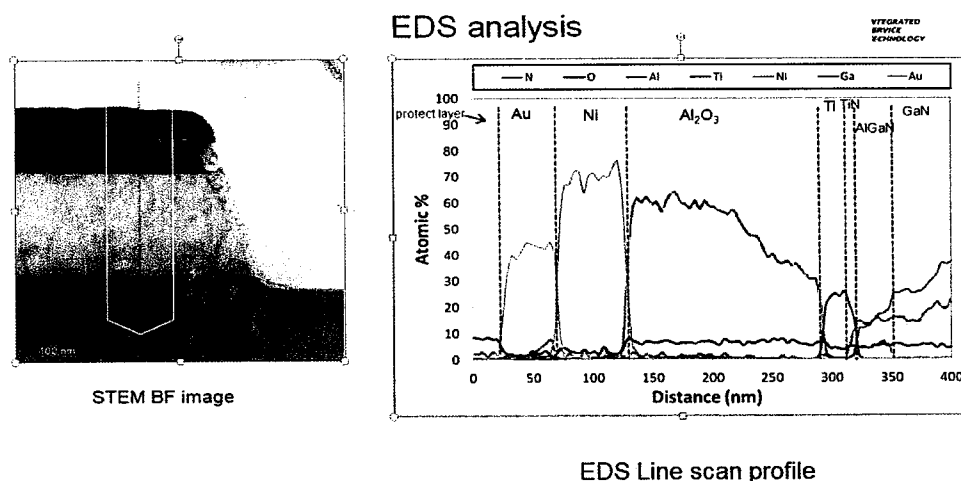


图 3.9 TiN+TiAlNiAu 蒸发后的欧姆接触 TEM 照片及 EDX 分析结果

Figure3.9 TiN+TiAlNiAu TEM photos and EDX analysis results of ohmic contact after evaporation

从 EDX 分析结果可以看出，欧姆接触的界面上，TiN 明显存在。合金后的样品的 TEM 分析如图 3.10 所示，界面的 TiN 分布明显，这是超低欧姆接触形成的关键，由于 TiN、TiAl 本身是低阻的，TiNAl 的功函数更低，刻蚀界面的 N 元

素缺失, TiN 提供界面缺失的 N, 并形成了 TiAl, TiAl 电阻低、势垒低。欧姆反应另一个要素是要实现 Al-Ti 之间的反应, 因为 AlTi 的电阻低于 Ti, 而且尽可能避免 AlTi₂N 的生成, 文献报道, 700 度后就会出现 AlTi₂N, 随著温度提高, 900 度合金后其厚度大约有大约 8nm, AlTi₂N 阻止电流穿过界面, 是高电阻率的主要原因。在样品界面的组份分析中, 没有看到 AlTi₂N 的形成, 这是因为在 TiN 与 Al 之间加入 Ti 薄层, 减少了 AlTi₂N 形成, 这是实现低欧姆接触的原因之三。此结构的合金温度在 830 度获得的欧姆接触电阻 R_c 低于 0.10Ω.mm。

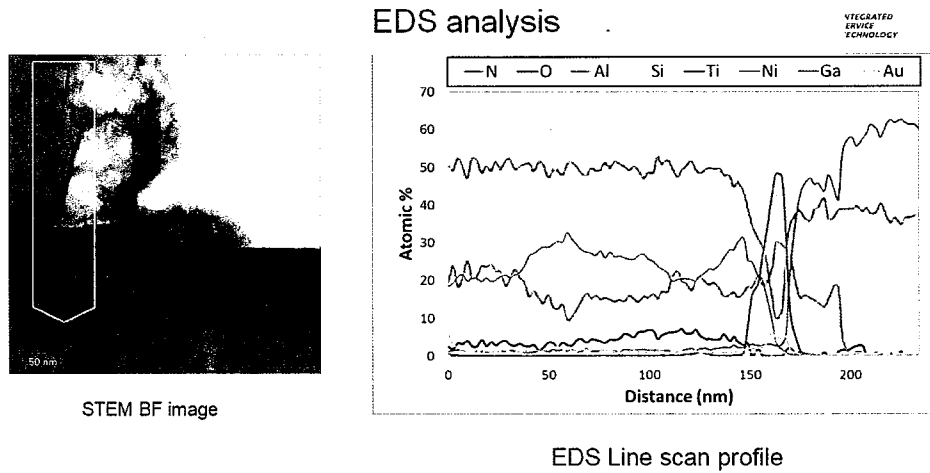


图 3.10 TiN+TiAlNiAu 欧姆接触合金后 TEM 照片及 EDS 分析结果

Figure3.10 TEM photos and EDS analysis results after TiN+TiAlNiAu ohmic contact

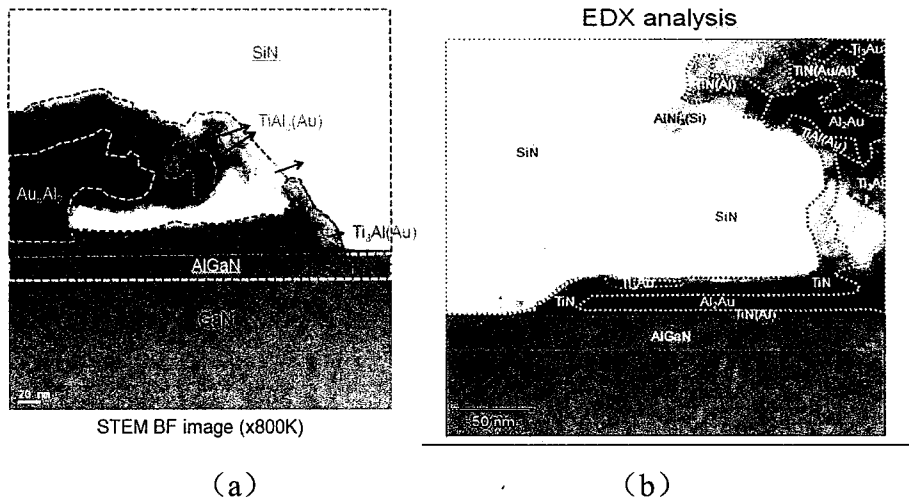


图 3.11 合金形貌的 EDX 分析结果: (a)常规结构 (b) TiN 埋层结构

Figure3.11 Results of EDX analysis of alloy morphology: (a) conventional structure (b) TiN buried layer structure

同时对比了常规结构样与采用 TiN 埋层结构的样品欧姆接触合金后的形貌, 如图 3.11 所示, 从 EDX 分析结果可以看出, 常规结构的合金 3.10 (a) 出现 Ti_3Al (Au), Al-Au-Ti 等不同金相的合金, 这些金属本身高阻, 提高了欧姆接触的金属体电阻; 而有 TiN 埋层的欧姆接触图 3.10 (b), 界面上有较均匀的 TiN、TiNAl 层, Al 对界面的 TiN 掺杂, 降低了 TiN 的功函数^[116], 这些都有助于超低欧姆接触的形成。

通过以上分析, 采用 TiN 埋层结合源漏刻蚀技术可以降低接触电阻, 获得优良的合金形貌。

3.2 低损伤栅槽刻蚀技术研究

凹栅槽结构可以提高器件的跨导从而提高器件的频率特性。目前主流的凹栅槽结构制作技术仍然是通过干法刻蚀来实现。实际器件研制中, 往往需要先刻蚀 SiN, 再刻蚀 GaN 形成最后的栅槽结构。

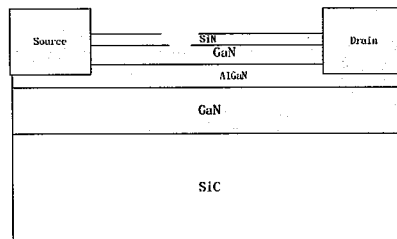


图 3.12 栅槽示意图

Figure3.12 Gate trench

3.2.1 GaN 刻蚀技术研究

目前用于 GaN 刻蚀的等离子体源很多, 包括反应离子刻蚀 RIE、回旋等离子体 ECR, 感应耦合等离子体 ICP 等。与 RIE 相比, ICP 具有很高的等离子体密度, 更适于刻蚀 GaN 这样难刻氮化物材料, ICP 的源功率和偏压功率可以独立控制, 刻蚀损伤较小, 是目前的主流技术。

ICP 刻蚀目前以 Cl 基气体多见, 对于纯的氯气来说, Cl^+ 是主要的阳离子, Cl 是主要的中性基团, GaN 的刻蚀主要跟 Cl^+ 的复合轰击和 Cl 的化学反应有关。由于 GaCl_3 的挥发性问题, 纯氯的刻蚀速率并不理想。 $\text{BCl}_3 + \text{Cl}_2$ 是目前采用较多的一种气体配比, 加入 BCl_3 后, 由于真空度的降低以及离子辅助吸附的加强,

刻蚀速率进一步提高。GaN 中的 Ga 与 Cl_2 中的 Cl 反应是最主要的，它对 GaN 的刻蚀起决定作用。

3.2. 2GaN 低损伤栅槽刻蚀技术研究

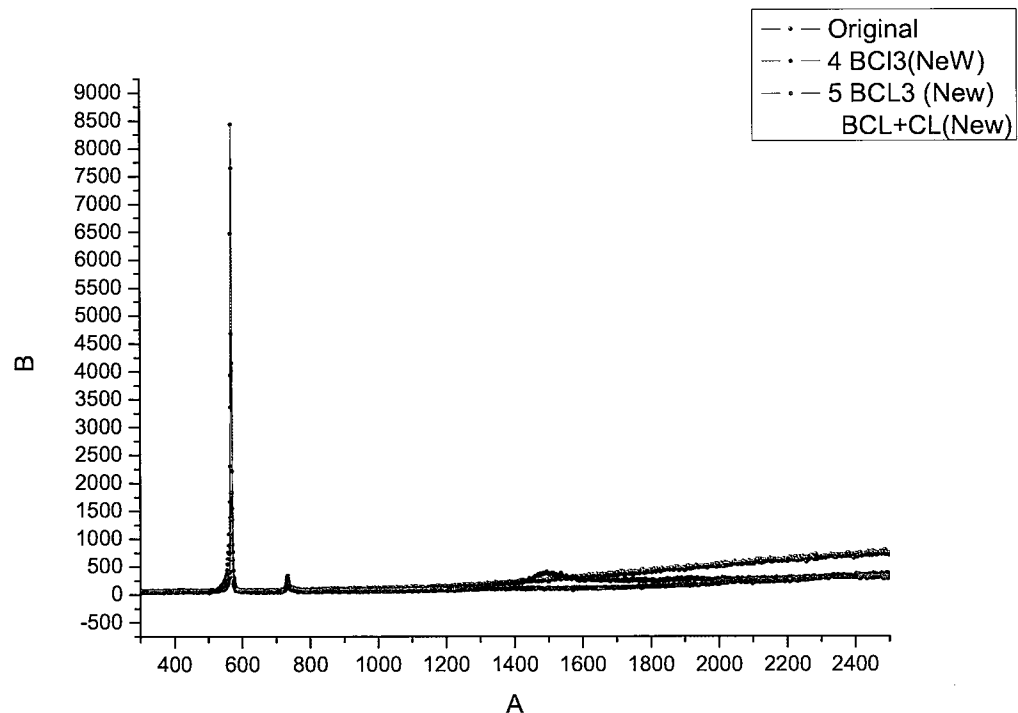
栅槽刻蚀的损伤、表面粗糙度与器件肖特基漏电密切相关，因为损伤会俘获电荷，电子也会借助损伤隧穿，本论文开发了低损伤刻蚀技术，实现了 0V 偏压的栅槽刻蚀，提高了毫米波器件的栅控能力。

GaN 帽层、AlGaN 表面等都会出现自然氧化层，由于表面粗糙度、组份等状况的不同，表面氧化物的含量也会不同，由于 Cl 基气体难以刻蚀氧化物，并且刻蚀的生成物挥发性差，容易堆积在表面，阻止栅槽刻蚀的持续进行，为此，本论文开发了两步刻蚀方法：

第一步：采用 BCl_3 去除表面的 Ga 的氧化物；

第二步：采用 $\text{BCl}_3 + \text{Cl}_2$ 实现有效刻蚀，减少刻蚀损伤。

图 3.13 对比了不同刻蚀方法的器件表面的拉曼测试结果：

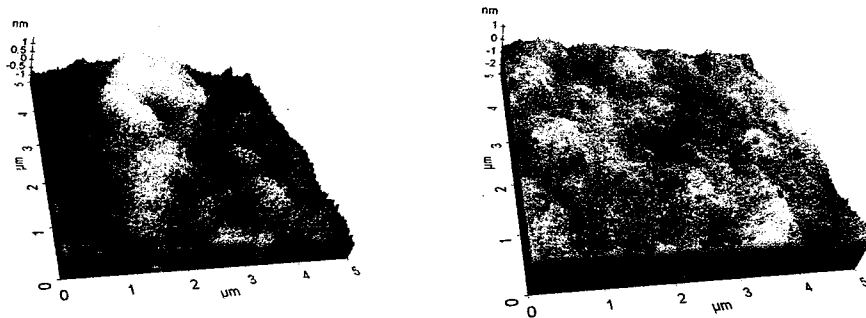


3.13 不同刻蚀条件下表面拉曼测试结果

Figure3.13 Surface Raman measurements under different etching conditions

从上图结果可以看出，采用 BCl_3 刻蚀之后，表面出现副峰，其主要由于表

面 N 缺失造成；而采用两步刻蚀，在 $\text{BCl}_3 + \text{Cl}_2$ 刻蚀完成后该峰值消失，说明减小了刻蚀损伤。



Original surface: $R_q: 0.437\text{nm}$, $R_a: 0.345\text{nm}$ Etching surface $R_q: 0.274\text{nm}$, $R_a: 0.209\text{nm}$

图 3.14 低损伤刻蚀的表面

Figure3.14 Low damage etching surface

刻蚀的粗糙度是衡量刻蚀技术的另一个主要指标，通过优化 BCl_3 和 Cl_2 的配比，可以获得高平整度的刻蚀表面，对不同刻蚀条件的样品表面做 AFM 分析，发现 BCl_3 比例维持在 15% 左右，能够获得比较理想的刻蚀形貌，刻蚀以后，表面的粗糙度由原始 0.437nm 提高到 0.274nm ，刻蚀之后的表面平整度更高，如图 3.14 所示，由于 BCl_3 去除了表面的 Ga、Al 的氧化物等，消除了微掩膜效应的影响，刻蚀表面没有残留。

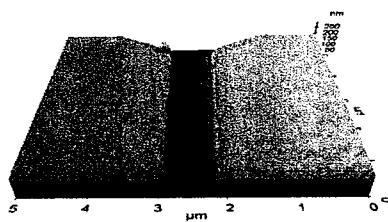


图 3.15 刻蚀得到栅槽

Figure3.15 Gate trench

下图给出了不同刻蚀条件下的转移特性，主要对比了相同器件不同刻蚀条件

下的转移特性和阈值。对比了不同的刻蚀组合，找到了适合毫米波器件的条件。第一步 Rf 功率 5W，第二步 rf 功率 6W，偏压接近 0V，适合进行凹栅槽的低损伤刻蚀。

栅槽刻蚀深度的精准控制是获得高性能器件的关键，由于栅槽尺寸小，刻蚀功率低，现有的终点检测设备都无法实现实时监控，导致 GaN 栅槽刻蚀的控制是一个难题。

在实际栅槽刻蚀的过程中，尺寸效应会导致不同尺寸栅长刻蚀深度会有差别，而且这一差别有规律性可循，利用这一规律性来进行栅槽刻蚀的精准控制，对于器件的研制非常有意义。

采用完全相同的工艺，制备等漏源间距、一系列栅长尺寸变化的参考器件，工艺流程如下图所示（图 3.16）

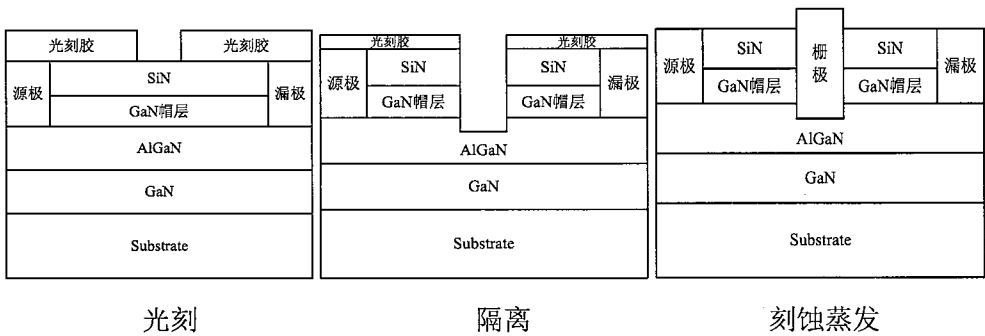


图 3.16 栅槽刻蚀的过程

Figure3.16 The process of gate etching

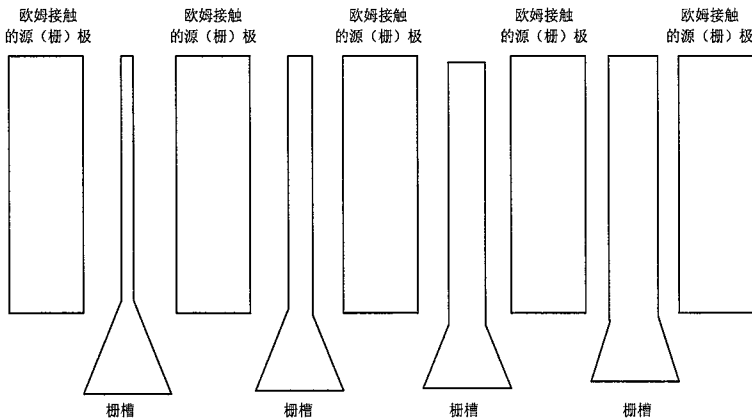


图 3.17 栅图形（栅长变化 50nm 100nm 200nm 300nm）

Figure3.17 Gate pattern (gate length variation 50nm 100nm 200nm 300nm)

电子束光刻形成一系列尺寸的栅图形（图 3.17），这组图形是四个源漏尺寸完全相同的 HEMT 器件。由于其紧密连接，可以排除均匀性的影响。栅槽尺寸是按照规律变化的（图形尺寸分别是 50nm、100nm、200nm、300nm），不同尺寸栅在刻蚀过程中，存在刻蚀深度存在差别，因此阈值也随之变化。

刻蚀栅槽分三步：

第一步：采用 SF_6 ，刻蚀 SiN ；

第二步：用 BCl_3 ，刻蚀 GaN 表面的氧化层；

第三步：采用氯化硼加氯气（即 BCl_3+Cl_2 ）刻蚀 GaN 和部分 AlGaIn 层。

图 3.18 给出了该系列器件转移特性曲线的测试情况。表 3.1 给出了该测试图形的直流测试结果。

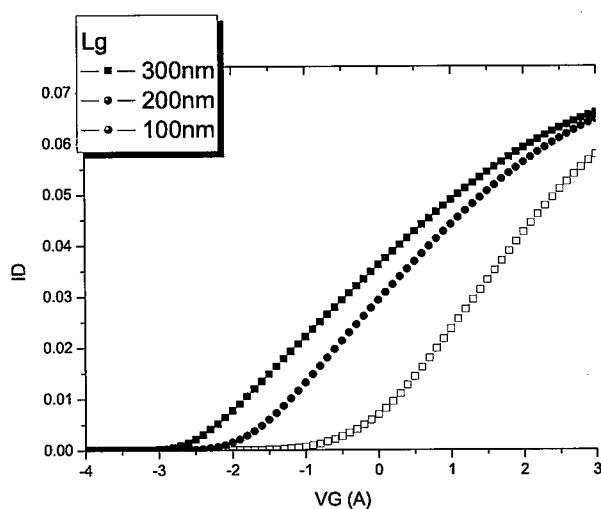


图 3.18 不同栅长器件转移特性

Figure3.18 Transfer characteristics of device with different gate length

表 3.1 不同栅长的器件器件性能测试结果

	Lg (nm)	Imax (mA)	Ileak (uA)	Vth (V)	Gm (ms/mm)	Vsch(v)	Ir (uA) (-20V)
1	100	48.7	12.7	-3.0	245	2.68	18.6
2	200	44.06	3.78	-2.5	273	2.41	10.27
3	300	21.7	6.21	-1.5	319	0.64	15.4

对阈值与栅长的关系进行线性拟合，发现线性拟合栅长与阈值的变化有误差；考虑到等离子体刻蚀的复杂性，对其进行了立方拟合，得到阈值与栅宽的关系：

$$y_{th}=A+Bx+Cx^2+Dx^3 \quad (x \text{ 为栅长})$$

整个曲线分成三段，第一段是 100-150nm，刻蚀相对较慢；150-250nm 呈线性分布，最后 250nm 以上，基本呈线性关系；

表达式将刻蚀的各种非线性因素包含进去：

- A：等离子刻蚀是有滞后效应；
- B：体现了等离子刻蚀的线性效应，随着功率和流量的增加刻蚀速率会增加；
- C：体现了刻蚀速率会随着刻蚀时间的延长而加快，一定程度上表征了刻蚀的粗糙度；
- D：体现了等离子刻蚀的生成物的交换效应。

利用这个公式可以用来确定栅长与阈值的关系；同理可以取得相同栅长不同刻蚀时间与阈值之间的关系。这两种关系建立之后，就可以实现栅槽刻蚀的精准控制。在固定刻蚀时间的情况下，读取阈值与栅长之间的关系；

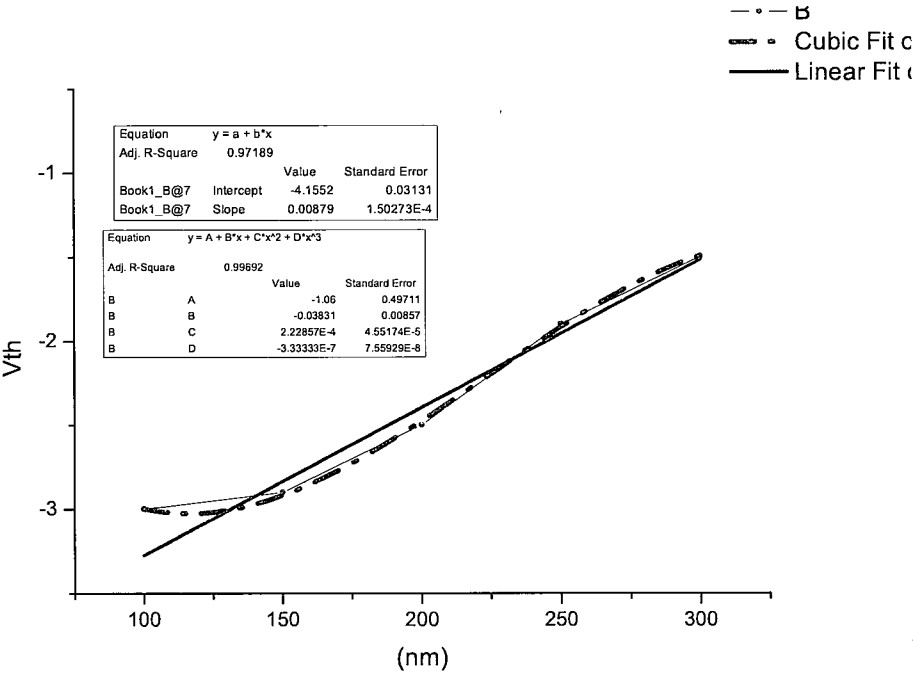


图 3.19 刻蚀栅长与阈值关系的拟合

Figure3.19 Fitting between the length of the etching gate and the threshold

3. 2. 3 新型栅槽刻蚀技术研究

根据第二章器件结构的模拟，本节研究新型栅结构的刻蚀。传统 T 型栅栅脚陡直，不利于调整器件内部的等电势线分布以及削弱栅脚处的高电场强度，制约了器件的工作电压。

SiN 介质的刻蚀采用 ZEP520 电子束光刻胶做为掩摸，ICP 等离子体刻蚀设备，基于两种气体 SF_6 和 CHF_3 的不同配比，来进行栅槽刻蚀。 SF_6 刻蚀速率较快，控制难度较大； CHF_3 含有 C-H 键容易形成侧壁钝化，有利于实现剖面的控制，因此，本论文先采用较高真空度利用 CHF_3 刻蚀出栅的轮廓，刻蚀整个介质厚度的 80%，第二步通过调整压力，更变等离子体的自由程，刻蚀完成最后的 20% 介质，实现栅槽需要的剖面。

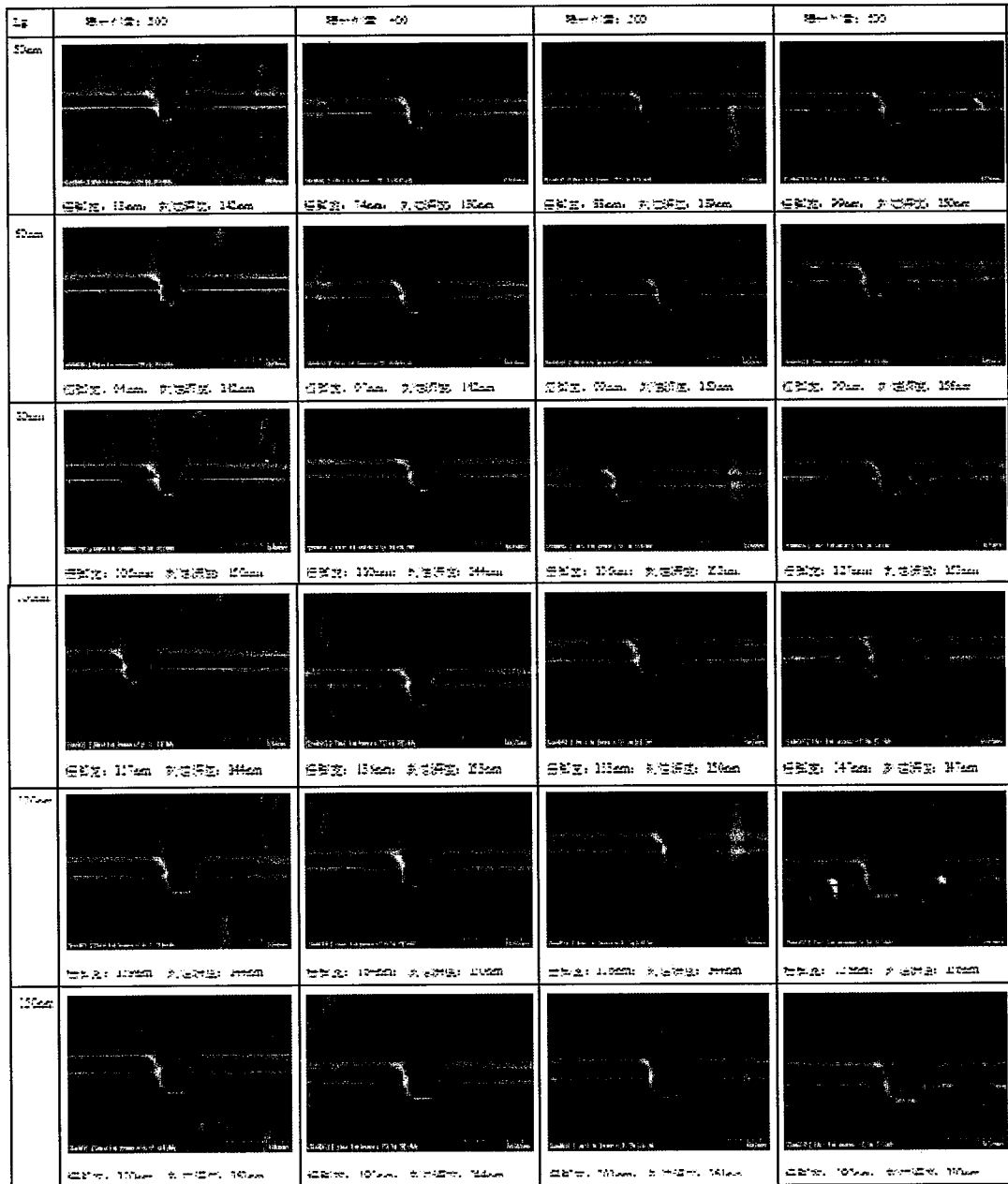


图 3.20 新型栅槽工艺库

Figure3.20 Process library of gate trench

通过一系列的实验, 获得了新型栅槽结构器件, 得到了栅槽底部宽度 100nm-200nm 的工艺库, 如图 3.20 所示:

新型栅槽结构, 直接利用 SF_6 结合 CHF_3 的刻蚀, 利用光刻胶回流技术, 控制了器件的剖面 and 光刻胶的刻蚀速率, 获得了新型栅槽。

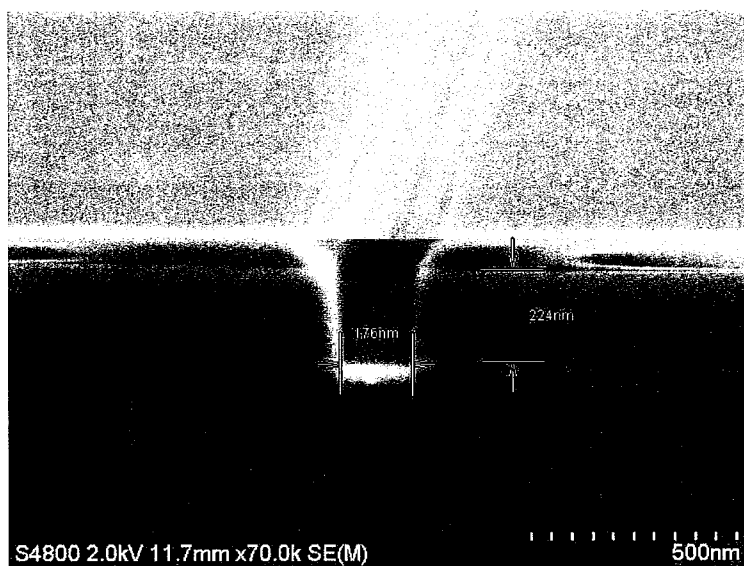


图 3.21 常规 T 型栅槽剖面

Figure3.21 The profile of the T gate trench

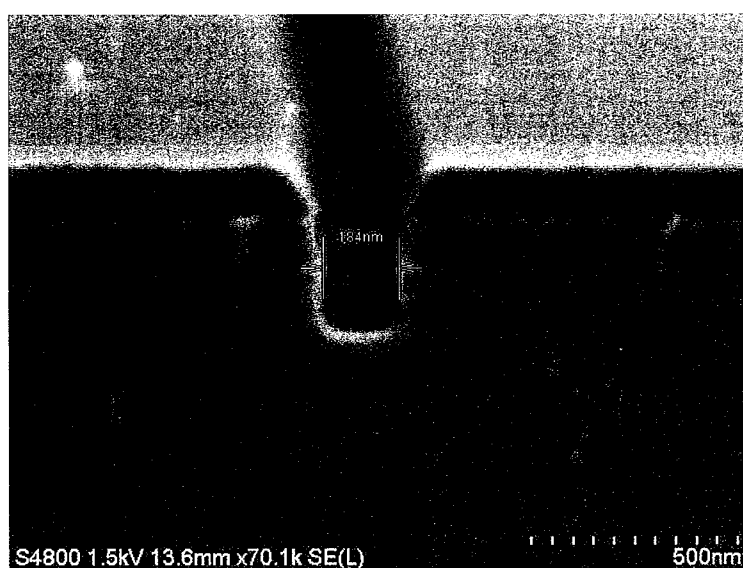


图 3.22 U 型栅槽

Figure3.22 The profile of U-gate trench



图 3.23 新型栅槽

Figure3.23 The profile of the new-gate trench

图 3.21, 3.22, 3.23 分别是常规 T 型栅槽剖面、U 型栅槽以及新型栅槽的剖面图, 这种新型的栅槽结构应用于本论文的毫米波器件的研制中。

3.3T 型栅技术研究

在第二章中提到, 为了减小栅电阻, 栅结构采用了 T 型栅结构, 本节介绍毫米波 T 型栅的工艺。

本论文对 T 型栅技术进行了优化和改进, 用 PMMA/Al/UVIII 代替 PMMA/PMGI/UVIII 复合胶体系。加入金属 Al 薄层做为阻挡层, 厚度仅为 100Å, 能够防止 PMMA 胶与 UVIII 胶互溶, 同时, 金属 Al 很容易与 UVIII 胶同时被 CD26 显影液显影; 相比 PMGI 胶, 金属 Al 不易钻蚀, 而且由于减薄了厚度, 不会导致 T 型栅形变, 提高了 T 型栅的一致性和成品率。T 型栅工艺流程示意图如下图所示:

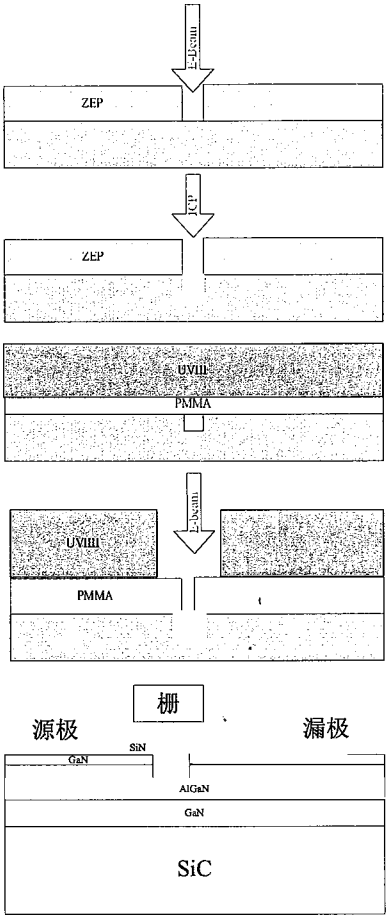


图 3.24 毫米波 T 型栅工艺流程示意图

Figure3.24 The process of T-gate

第一步上层 UVII 控制栅帽尺寸下层 PMMA 分辨率高，控制栅脚尺寸，但是其灵敏度低，因此需要大剂量曝光，得到完整栅图形，最后打底胶蒸发栅金属 Ni/Au，剥离得到 T 型栅。

通过优化，结合 SiN/GaN 的刻蚀，成功开发出良好可重复的 100-150nm T 型栅，满足毫米波器件需求。通过以上工艺实现的 T 型栅电镜照片如下图所示：



图 3.25 实际制备的 100nmT 型栅电镜照片

Figure3.25 100nm T-gate in the trench

3.4 密集背孔技术研究

为解决器件散热问题，并减少寄生效应，目前 MMIC 电路通过在 pad 上打背孔接地的方式已经不能满足毫米波器件的需求，在源漏区域直接通过背孔接地，可以降低器件的对地电感，因此背孔技术是实现毫米波器件的核心技术之一。

本论文中背孔刻蚀的研究主要包括 SiC 衬底刻蚀、GaN 层刻蚀、刻蚀掩膜选择技术等等。背孔刻蚀采用高密度等离子体 (ICP) 刻蚀技术，选用金属硬掩膜 (Al、Ni 等)，刻蚀过程中控制好选择比，降低减小微掩膜效应影响。对于背孔的剖面形状，主要通过调整腔体压力来控制，也可以通过掩膜来实现。

3.4.1 背孔刻蚀

SiC 衬底的密集背孔刻蚀深度要 90 μm ，背孔直径小于 30 μm ，刻蚀过程中要依次刻蚀 SiC、GaN、SiN 等三种不同的介质，不同刻蚀材料使用不同的工艺技术，GaN 和 SiN 采用常规方法就可完成，背孔的难点主要是 SiC 的刻蚀，本论文主要采用 SF₆ 等离子体，金属硬掩膜的方法来实现 90 μm SiC 材料的深孔刻蚀。

论文采用了不同的工艺条件进行背孔刻蚀实验，最终实现侧壁光滑的直径 30 μm 的圆孔以及边长 27 μm 的方孔。

具体条件如下表所示：

表 3.2 SiC 背孔刻蚀的速率 (Ni 掩膜)

条件	Gas (SCCM)	Lf(W)	Rf	P (pa)	Bia (V)	ER (A/mm)	备注
1	SF ₆ 65 O ₂ 5	750W	120W	1	177	3430	
2	SF ₆ 65 O ₂ 5	750W	90W	5	144	3060	
3	SF ₆ 65 O ₂ 5	750W	120W	5	178	2140	
4	SF ₆ 65 O ₂ 5	750W	90W	0.3	146	6860	
5	SF ₆ 65 O ₂ 5	750W	120W	0.3	170	4300	

SiC 厚度达到 90 μm ，因此选择刻蚀速率高的条件 4，更有利于背孔的实现。

实际刻蚀过程中存在微管，由于微管效应形成了柱突效应 (pillar 效应)，其

由于微管造成，在刻蚀的过程中，溅射下的掩膜与微管结合，造成背孔的刻蚀面存在大量凸起，电镀后内壁存在凸起，影响背孔的一致性；为此加入特定的活化程序，可以消除 pillar 效应。

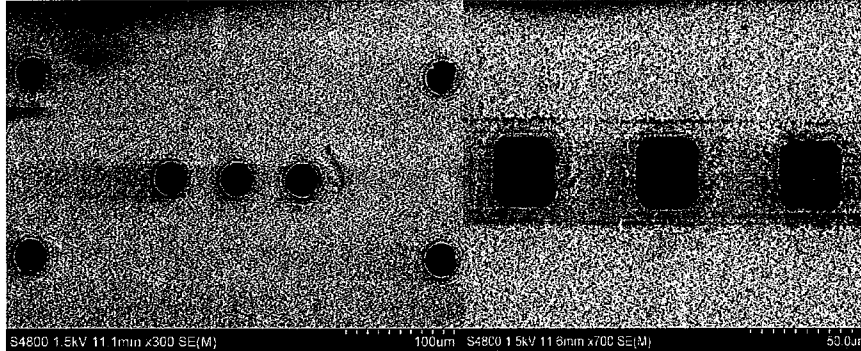


图 3.26 圆型（左）和方型背孔（右）

Figure3.26 Round (left) and square back holes (right)

3.4.2 提高掩膜选择比技术

选用 Ni 作为背孔刻蚀的掩膜,正常刻蚀的过程中, SiC 刻蚀速率保持在 686nm/m。金属掩膜的 Ni 的刻蚀速率大约在 23nm/m, Ni 掩膜的选择性可达到 30:1。对于 90 μ m 的 SiC 衬底来说,需要 3.5 μ m 左右金属掩膜;而且随着背孔刻蚀深度的增加,刻蚀速率会越来越慢,这是因为刻蚀的生成物交换会缓慢,选择比会更进一步降低,因此需要提高掩膜的选择比,选择比提高之后有助于小尺寸背孔的实现。

本论文开展了提高掩膜的选择比技术的研究,对掩膜的进行抗蚀性的钝化处理,在设备腔体里采用 Cl 基等离子处理金属掩膜表面,条件为: Rf=200W, Lf=400WC12 流量 20SCCM, 处理时间 20 分钟。示意图如下图所示:

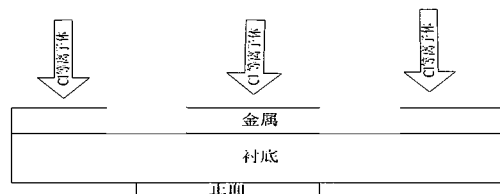


图 3.27 Ni 掩膜的 Cl 等离子体处理

Figure3.27 Ni mask treated by Cl plasma

Cl 基等离子活性很高, Ni 金属的表面将生成 NiCl_3 , 其汽化点温度高达

2230℃，难以挥发。处理后 Ni 掩膜刻蚀速率降为 6nm/m，SiC 对掩膜的选择比提高到 90:1 以上。选择比提高好处是 Ni 掩膜的厚度可以降低至 1-1.2μm，便于实现小尺寸的孔腐蚀。

表 3.3 处理前后 Ni 掩膜的选择比

刻蚀速率	SiC (nm/m)	Ni (nm/m)	选择比
未处理 Ni 掩膜	686nm	22-23	31
表面钝化 Ni 掩膜	686nm	6-7	98

同时，对布线金属进行了改进，增加了背孔刻蚀的自停止层，当背孔刻蚀到正面布线金属时，刻蚀能够自行停止，刻蚀完成后，溅射起镀层，然后电镀，完成背孔的金属填充，背孔的剖面如图所示：

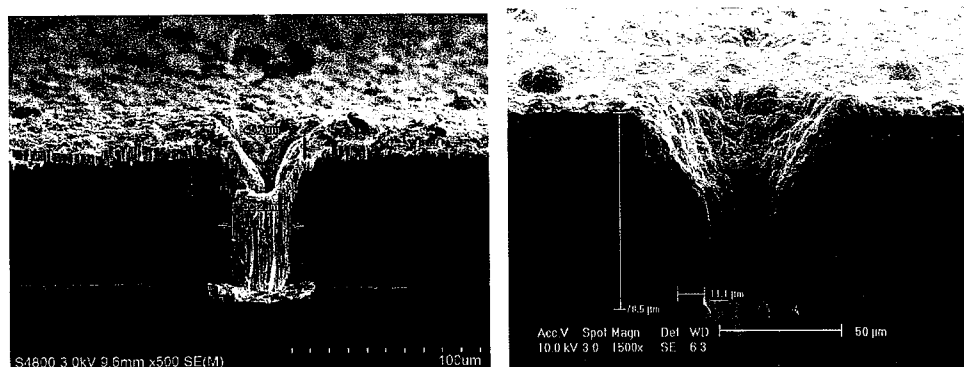


图 3.28 电镀后背孔剖面的电镜照片

Figure3.28 Via-hole profile after electroplating

图 3.29 给出了 4 指器件的版图及器件背面电镜照片，器件源极密集背孔，背孔尺寸小于 30μm，图 3.30 为背孔器件版图显微镜照片。

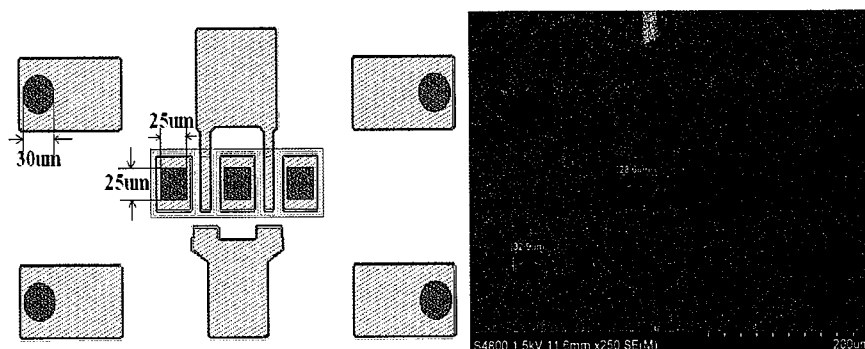


图 3.29 背孔器件版图及电镜照片

Figure3.29 Via-hole mask and SEM photo

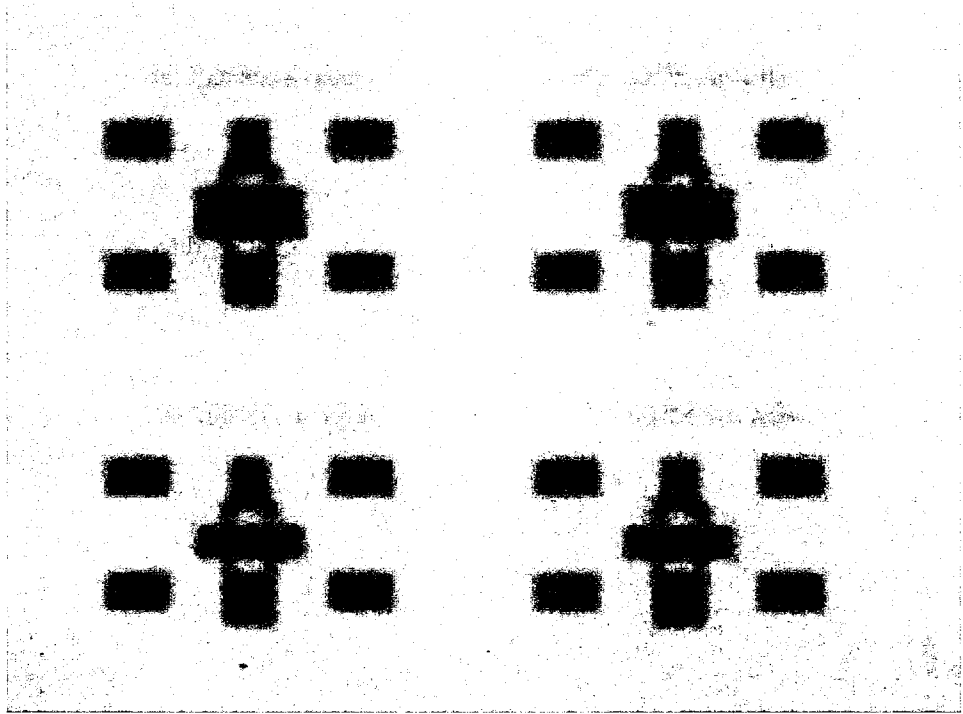


图 3.30 背孔器件版图显微镜照片

Figure3.30 Via hole after etching

从图 3.31 的数据可以看出，由于通过背孔接地，器件的寄生电感降低，器件的散热得以改善，因此采用密集背孔的器件频率特性良好，测试条件： $V_g=-0.5V$ ， $V_d=6V/10V/20V$ ， f_t 能够达到 50-64GHz， f_{max} 在漏压 20V 下可以达到 140GHz，同时在 30GHz 的理想增益也提高到 11.6dB。

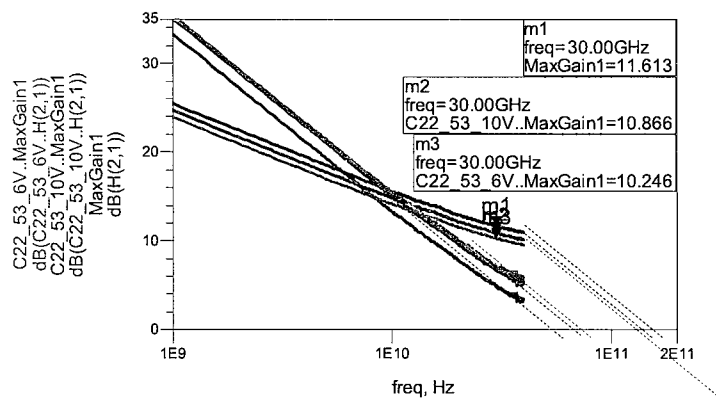


图 3.31 背孔后的频率特性变化

Figure3.31 frequency characteristics before and after via-hole

表 3.4 器件测试结果

Vd	ft	fmax	MAG@30GHz
6V	64 GHz	119 GHz	10.246dB
10V	61 GHz	128 GHz	10.866 dB
20V	50 GHz	140 GHz	11.613 dB

3.5 降低肖特基漏电的技术

GaN 器件的栅槽刻蚀以后漏电会增大，因为刻蚀导致表面 N 缺失，N 空位形成一个高的 N 型掺杂区，使得肖特基势垒高度降低，反向漏电增大。降低肖特基漏电一直是器件研制的关键技术之一^[119]。

传统工艺通过快速退火，能够在一定程度上降低漏电，本论文展了 N 等离子体栅槽处理技术的研究，采用等离子体表面处理，弥补表面的 N 缺失，以降低器件漏电的手段。

具体工艺步骤：栅槽刻蚀完毕，利用 ICP 对器件进行 N₂ 处理，处理的条件 N₂: 20sccm，源功率 120W，偏压功率 15W，处理时间 60S。然后蒸发栅金属，制作布线层。最终器件的直流测试结果如下：

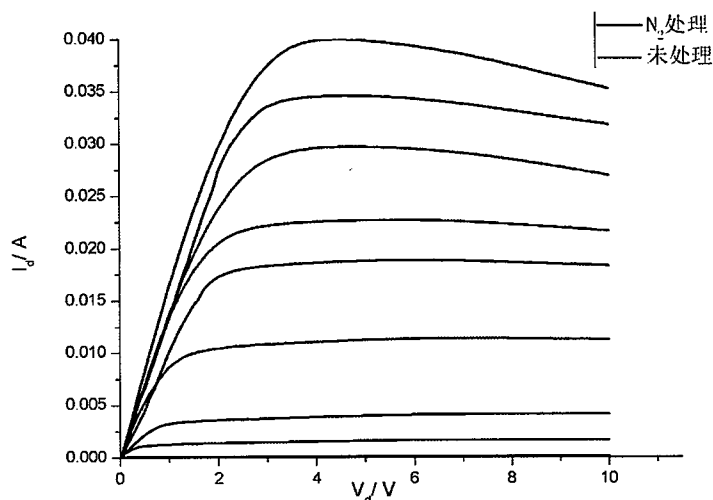
图 3.32 N₂ 等离子处理与未处理的器件直流特性

Figure3.32 Comparison of DC characteristics between N2 plasma treatment and untreatment device

如图 3.32 所示，利用 N₂ 处理的器件其最大饱和电流值（栅压为 3V 处）

40mA，而未经过 N_2 处理的器件最大饱和电流为 30mA，增加了 10mA，增加幅度高达 33%。

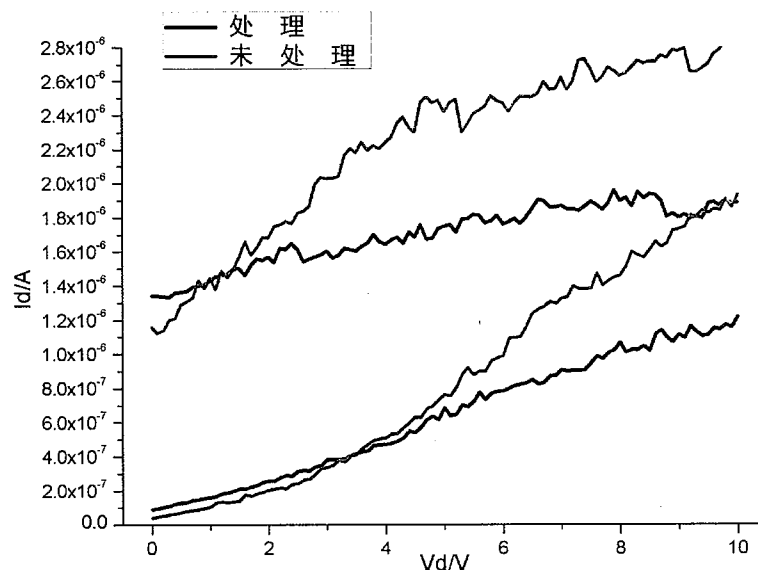


图 3.33 栅槽处理与未处理器件的漏电比较

Figure3.33 Comparison of leakage between N_2 plasma treatment and untreated device

如图 3.33 所示，此图为器件关态漏电对比图，在栅压为 -6V 和 -5V 时时， N_2 处理过的器件漏电降低了近 1/3，关断特性良好。

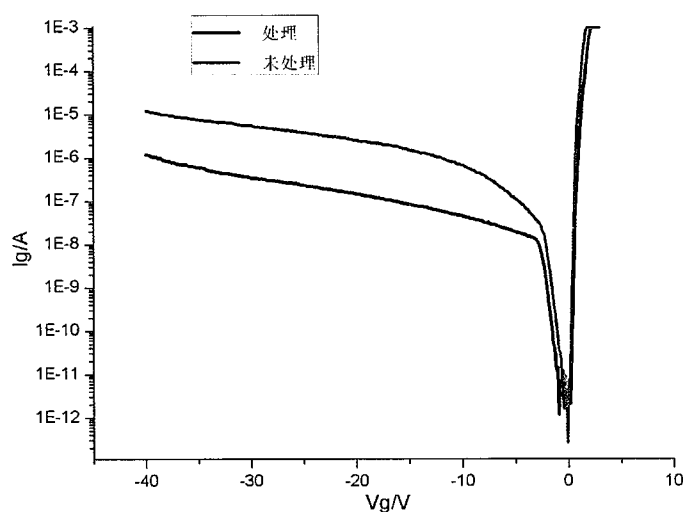


图 3.34 肖特基特性比较

Figure3.34 Comparison between Schottky characteristics between treated and untreated device

如图 3.34 所示，通过测试不同条件下的器件的栅极漏电流，来判断栅的质量，

可以看出刻蚀后处理的器件栅漏电流达到 10^{-6}A/mm ，比未处理样品减小一个数量级，其原因一是补充刻蚀后表面的 N 空位，二是等离子体对表面的清洁作用；肖特基漏电减小，对于器件的击穿电压非常有益。

图 3.35 给出器件 C-V 测试图，可以看出利用 N_2 处理过的器件的栅漏电容与未处理的器件的栅漏电容值不同，两者的平台电容值有区别，处理过的器件的平台电容值较未处理的电容值小，界面减少。

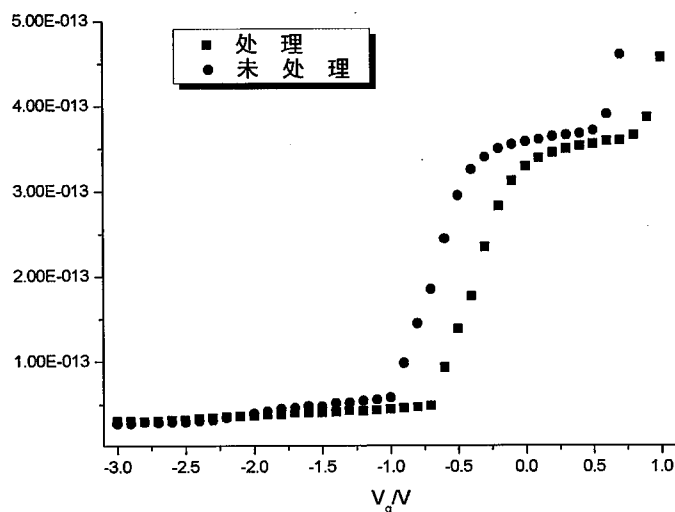


图 3.35 实验片电容 (CV) 室温下测试曲线图

Figure3.35 Capacitance (C-V) test curve

利用脉冲 IV 测试来表征器件的电流崩塌，下图给出了多指器件的测试结果，左图为未处理器件的电流崩塌结果，($V_{gs}=2\text{V}, V_{ds}=20\text{V}$) 偏置下崩塌为 5.4%，采用 N_2 等离子体处理的样品，其电流崩塌率下降到 2.6%。栅槽刻蚀后会有快速退火修复损伤，但是还不能彻底消除刻蚀损伤，采用 N_2 等离子体修复了栅表面的刻蚀损伤，补充了部分 N_2 缺失，降低了栅延迟。

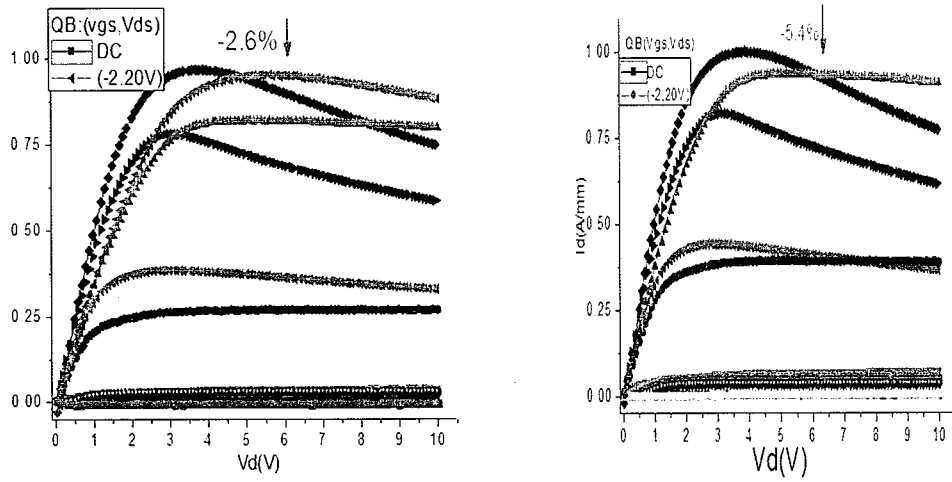


图 3.31 N_2 处理后的电流崩塌（左） N_2 处处理器件（右）未处处理器件

Figure3.36 Current collapse test (left) N_2 treatment, (right) untreatment

3.6 毫米波 GaN 基 HEMT 器件工艺流程

基于对毫米波 GaN 基 HEMT 器件关键工艺的优化，得到了完整的毫米波 GaN 基 HEMT 器件工艺流程，如下图所示：

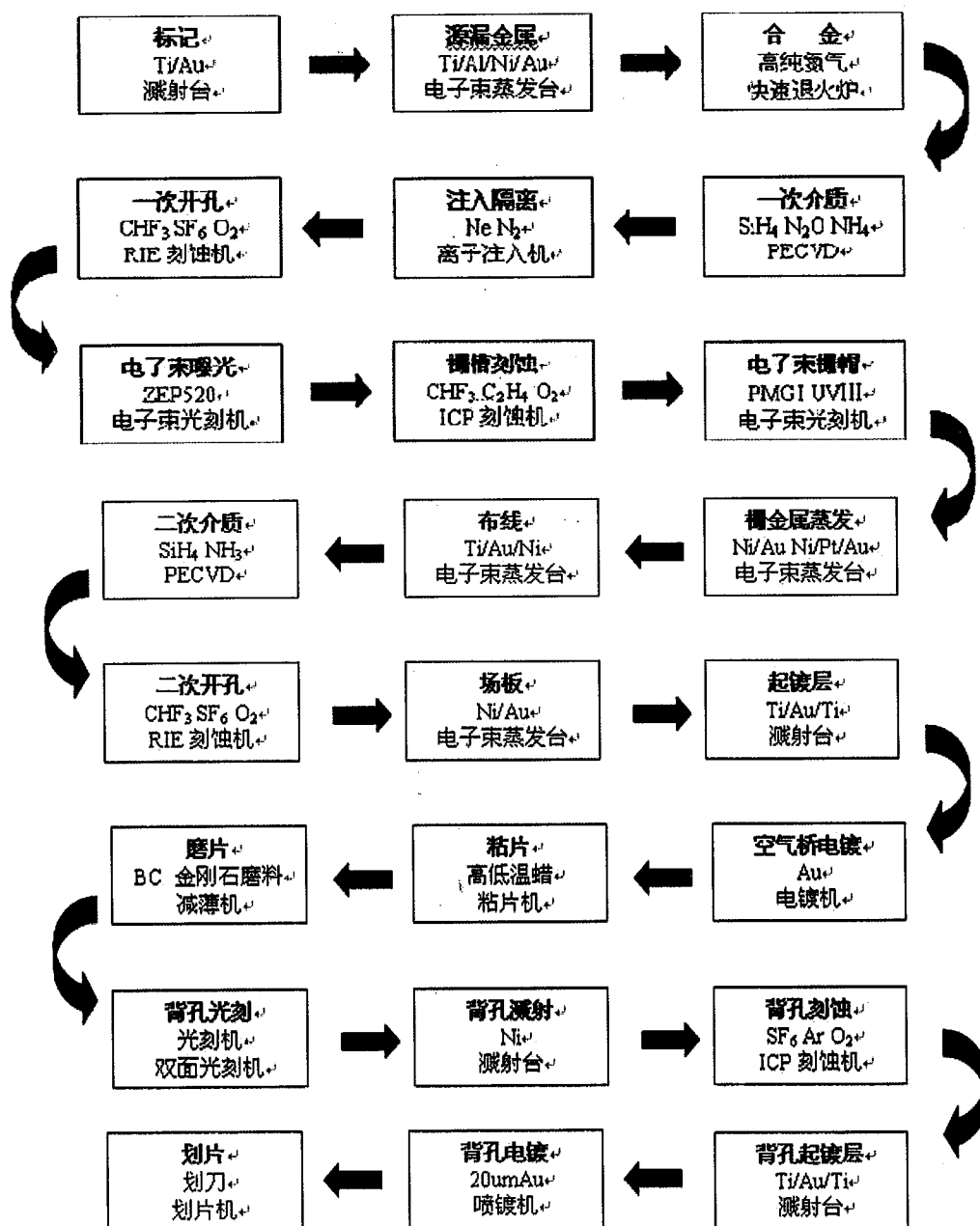


图 3.37 毫米波 GaN 基 HEMT 器件工艺流程图

Figure3.37 Process flow of millimeter wave GaN HEMT

具体的工艺流程如下：

1、标记。光刻标记，溅射，溅射 150nm 钨，剥离，由于钨的熔点高，在后续工艺过程中非常稳定，适合用于标记。

2、源漏光刻和蒸发。光刻，蒸发欧姆金属、形成欧姆金属图形，利用电子束蒸发台淀积源漏金属，经剥离后形成源漏图形，常规使用 Ti/Al/Ni/Au 金属体系。

3、合金形成欧姆接触。欧姆接触的是 GaN HEMT 的核心工艺之一，对器件的性能非常关键，本文样品的快速热退火是在氮气保护下进行。前面介绍过新型欧姆接触的制作，介绍了高性能的欧姆接触研究的结果，在后面的器件研制中使用优化以后的结果。

4、一次钝化。表面处理，淀积一次 SiN 介质，一是保护有源区，在后续工艺进行下保护 AlGaIn 的外延层的表面，降低表面陷阱效应；此外电感电容的也将制作在高绝缘 SiN 上。

5、离子注入隔离。通常的采用台面隔离、注入隔离两种，本论文采用 N 离子注入，一是实现有源区的隔离，二是有利于实现平面化器件。

6、第一次窗口-源电极、漏电极开孔。利用干法刻蚀，去除源极、漏电极表面的 SiN 介质，便于测试注入后的隔离情况，也便于后续工艺。

7、栅槽低损伤刻蚀。涂电子束 ZEP520 胶，厚度大约在 600nm。电子束曝光、显影，得到栅槽的位置和尺寸，打底胶，栅槽刻蚀分为两步，第一步刻蚀 SiN_x 介质，第二步刻蚀势垒层。

栅槽刻蚀完毕需要去胶，退火，用于去除刻蚀导致的表面损伤。退火温度 400°C，50S，消除栅槽损伤。

8、栅曝光。栅要套刻在栅槽内部，采用两层电子束胶体系，经两次不同剂量电子束曝光，显影、得到细栅的胶图形。

9、栅极金属蒸发。电子束蒸发栅电极金属，这一步实现肖特基接触，采用 Ni/Au 组合，Ni 金属功函数高，Au 电阻率低，有利于减小栅电阻。

10、第一次布线。采用电子束设备蒸镀布线金属，采用 Ti/Au 复层金属形成一次布线金属层；Ti 金属粘附性好，Au 稳定电阻低，主要用于连接金属栅指与栅电极、从有源区引出源电极与漏电极，便于器件测试。

11、第二次钝化。采用 PECVD 淀积 2000Å SiN_x，实现对栅的保护，同时也是电容介质大。

12、刻蚀第二次窗口-刻蚀 SiN 介质。光刻、等离子体干法刻蚀方法实现介质开孔。

13、起镀层溅射。通过溅射 TiNiAu 用于电镀的形成层，Ni 金属用于刻蚀自停止层。

14、空气桥电镀光刻、溅射起镀层，电镀 $3.5\mu\text{m}$ 金形成空气桥，实现源电极的连接，空气桥降低了器件的寄生电容，提高器件频率特性。同时也实现了源漏金属的加厚。

15、剥离电镀完成后，采用湿法剥离工艺，去除多余的 Ti/Au 起镀层，实现完整的电连接，完成器件正面的电连接，空气桥形成。

16、后道减薄。利用金刚石磨料，减薄 SiC 衬底至 $90\mu\text{m}$ ，最后需要抛光技术，达到镜面。

17、背面溅射 Ni 或者 Al 等硬掩膜，双面光刻，实现腐蚀硬掩膜，形成背孔的掩膜图形。

18、背孔的等离子刻蚀。先刻蚀 SiC、再次刻蚀 GaN，至正面源极，形成背孔。

19、背面溅射起镀层最后电镀形成背孔。

3.7 小结

本章开展 GaN 毫米波功率 HEMT 器件关键工艺技术研究，优化了欧姆接触、低损伤栅槽刻蚀技术、T 型栅技术、背孔技术等关键工艺，建立并固化完整的工艺流程。

通过优化金属体系组分比例和合金条件，成功开发了用于毫米波 GaN HEMT 制作的高性能欧姆接触方案；创新性的提出了 TiN 埋层结合 recess 技术实现接触电阻 $0.10\cdot\text{mm}$ ，达到了同类研究的国际先进水平，深入研究了 TiN/Ti/Al/Ni/Au 技术体系中 TiN 埋层欧姆接触形成机理，明确了 TiN 直接接触二维电子气形成低导电通道的关键

开发了低损伤凹栅槽刻蚀技术，实现了 0V 偏压的刻蚀技术，降低了刻蚀的界面损伤，降低了器件的肖特基反向漏电，满足了毫米波器件低漏电的需要；

开展 T 型栅研究，利用新型复合电子束胶体系得到了 100nm 级 T 型栅，结合栅槽刻蚀技术，得到了新型栅结构；

开发了小尺寸密集背孔技术，通过背孔剖面控制技术和提高掩膜选择比技术，成功实现了 $30\text{ }\mu\text{m}$ 以下的密集背孔；

开发了降低肖特基漏电的技术，通过 N_2 等离子体处理将器件漏电降低了一个数量级；并降低了电流崩塌；

基于关键工艺的优化，本章给出了完整的毫米波器件工艺流程。

第四章 毫米波 GaN HEMT 器件研制与测试

论文第二章设计了毫米波材料结构和器件结构，第三章优化了关键工艺，并提出了完整的毫米波段 GaN 器件流程。本章在此基础上开展高性能 GaN 毫米波器件的研制，并对器件的直流，击穿特性、电流崩塌、小信号，功率特性等进行了测试分析；研制了基于量子阱结构的 GaN 毫米波器件，对其进行了分析和测试。

4.1 毫米波段 GaN 器件研究

4.1.1 器件研制与直流测试

外延材料生长在 3 英寸 SiC 衬底上，采用金属有机化学气相沉积法生长。外延层从下至上依次为：20 nm 厚的 AlN 成核层，1.8 μm 厚的 GaN 缓冲和沟道层，1.7nm 厚的 AlN 空间插入层，最后是 20nm 厚的 AlGaN 势垒层，其 Al 组份为 26%，2nm 厚的帽层，二维电子气面密度为 $n_s=1.1\times 10^{13} \text{ cm}^{-2}$ ，方块电阻为 335 Ω/sq ，载流子迁移率为 2010 $\text{cm}^2/\text{V}\cdot\text{s}$ 。毫米波器件工艺采用图 4.1 所示的工艺流程。

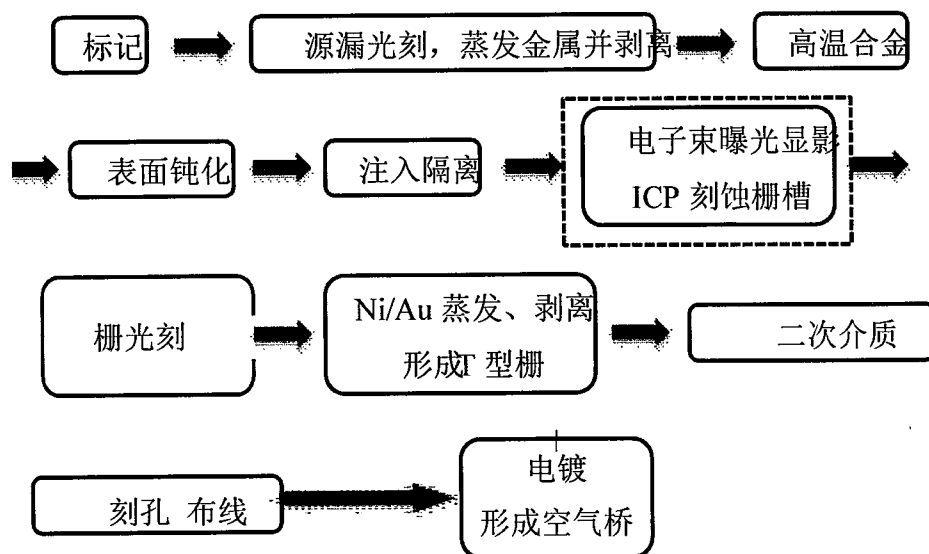


图 4.1 T 型栅结构器件工艺流程

Figure4.1 T-gate process

图 4.2 给出了毫米波器件横截面结构图以及 150nmT 型栅截面 TEM 图，测试

器件横向尺寸：源漏间距 $2.4\ \mu\text{m}$ ，栅源间距 $0.6\ \mu\text{m}$ ，栅漏间距 $1.6\ \mu\text{m}$ ，栅槽的宽度 $0.2\ \mu\text{m}$ ，选择 $0.2\ \mu\text{m}$ 栅槽去套刻 $0.15\ \mu\text{m}$ 栅的宽栅槽窄栅结构，可以降低栅电容，有利于与提高频率特性。采用低损伤凹栅槽技术，帽层和势垒层刻蚀约 4nm ，势垒层剩余厚度 16nm 。栅长 $150\text{-}160\text{nm}$ ，纵横比由刻蚀前的 7 上升为刻蚀后的 10，有助于提高栅对沟道载流子的控制能力，从而获得更好的器件特性。

最终的多指器件如图 4.3 所示，器件采用跨漏空气桥结构。

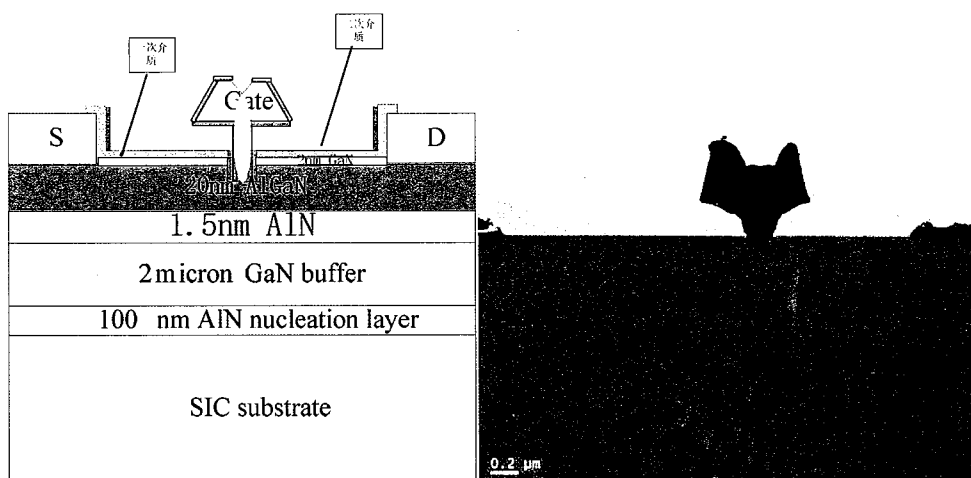


图 4.2 器件结构及 150nm 新型 T 型栅电镜照片

Figure4.2 Device structure and 150nm T gate electron microscope photograph

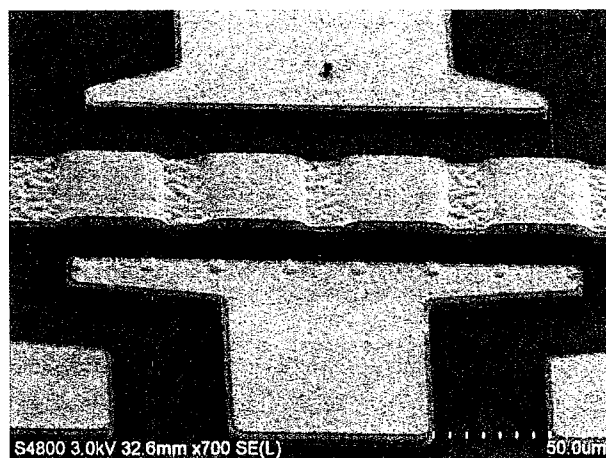


图 4.3 器件的电镜照片

Figure4.3 SEM photo of GaN HEMT

利用 Keithley 4200 进行了器件的直流测试，栅槽刻蚀以后钝化以前的器件测试结果，电流密度 1.1A/mm ($V_{\text{ds}}=10\text{V}$, $V_{\text{gs}}=3\text{V}$)；如图 4.4 所示， $V_{\text{gs}}=-60\text{V}$ 时

肖特基反向漏电 80nA，实现了低损伤刻蚀。

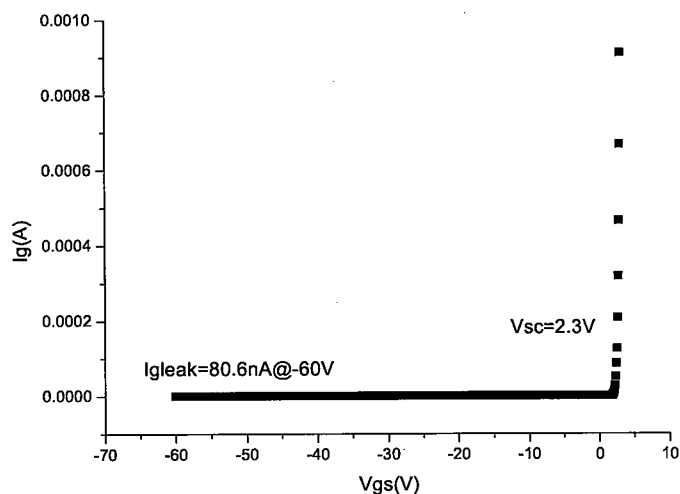


图 4.4 钝化前的肖特基漏电

Figure4.4 Schottky characteristics before passivation

采用 200nmSiN 钝化后，器件的直流特性如图 4.5 所示， $V_g=3V$ ， $V_d=10V$ 下电流密度达到 1.22A/mm；图 4.6 为肖特基测试结果，正向开启电压 2.3V， $V_{gs}=-60V$ 下，漏电为 3uA，钝化以后肖特基反向漏电从纳安量级增加到微安量级，由于钝化屏蔽了界面态，因此漏电会相对增加；图 4.7 为器件转移特性测试，最大跨导达到 440ms/mm，阈值电压为 -2.1V，器件阈值以下漏电在 $10^{-6}A/mm$ 。

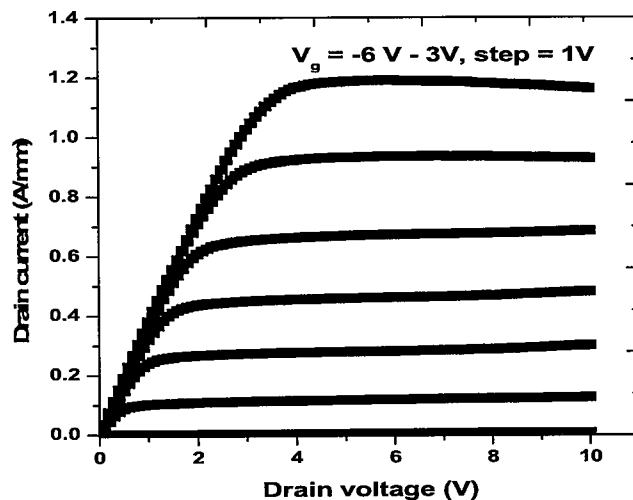


图 4.5 GaN HEMT 器件直流特性

Figure4.5 DC characteristics of GaN HEMT devices

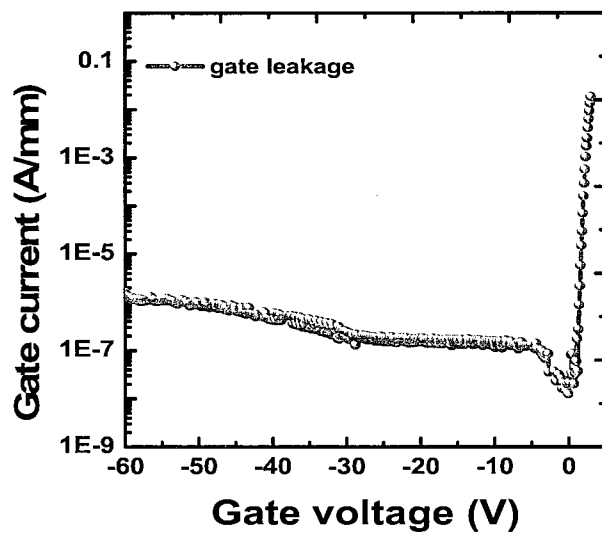


图 4.6 GaN 器件肖特基特性

Figure4.6 Schottky characteristics of GaN devices

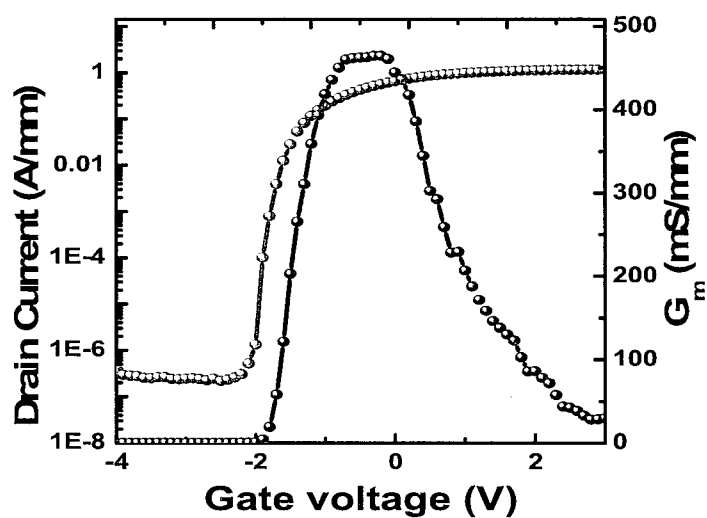


图 4.7 50 μ m 器件转移特性测试 ($V_{ds}=10V$)

Figure4.7 50 μ m device transfer characteristic test ($V_{ds}=10V$)

4.1.2 击穿特性

对器件进行了击穿特性测试,如图 4.8 所示,相对于常规结构,新型栅器件的关态击穿电压 V_{br} 从 76V 增加到 140V。

由于采用低损伤栅槽刻蚀技术,栅槽刻蚀后进行了损伤修复,降低了肖特基的漏电;同时钝化前器件进行了表面处理,生长了低应力的 SiN 介质,器件漏电减少;在抑制峰值场强方面,采用了新型栅结构,峰值电场的强度比常规结构下降 23.76%,基于以上工艺和结构的优化,器件的击穿特性有较大的提升。

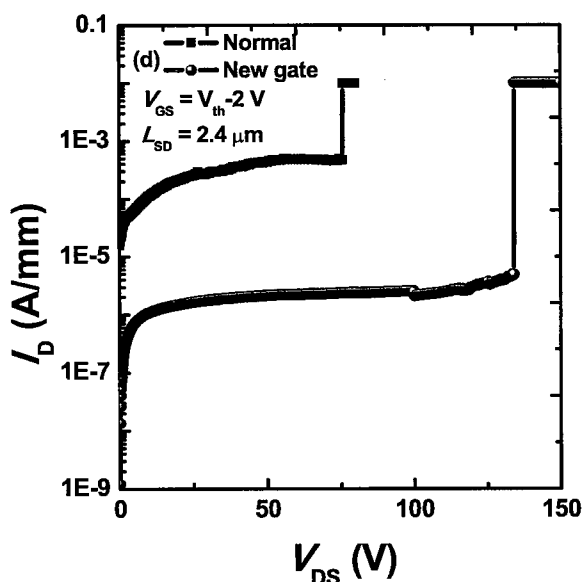


图 4.8 器件击穿特性 (源漏间距 2.4 μm)

Figure4.8 Breakdown characteristics (source-drain 2.4 μm)

此外,对不同源漏间距器件进行了击穿特性的测试,结果如表 4.1 所列,图 4.9 为击穿测试图。其中源漏间距 1.2 μm 器件,击穿电压大于 63V,间距 1.6 μm 器件击穿电压大于 110V。

表 4.1 新型栅槽结构源漏间距与击穿电压

源漏间距 (μm)	1.2	1.6	1.8	2.0	2.4
栅长 (μm)	0.15	0.15	0.15	0.15	0.15
栅源(μm)	0.4	0.5	0.6	0.6	0.6
栅漏 (μm)	0.65	0.95	1.05	1.25	1.65
击穿电压 (V)	63	110	105	120	140

击穿强度(V/ μm)	52.5	62.5	58.33	60	58.3
-------------------------	------	------	-------	----	------

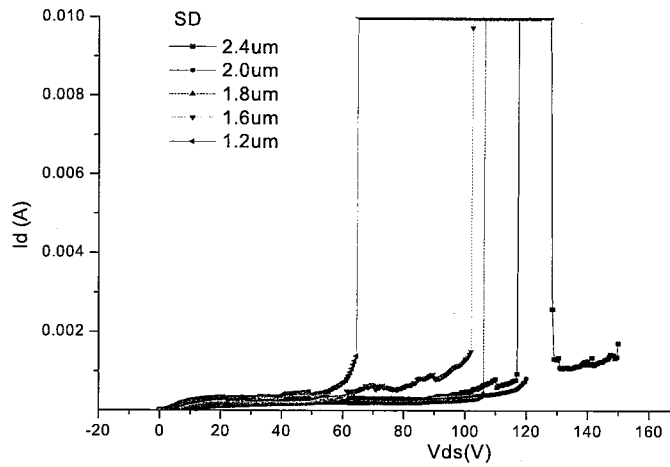


图 4.9 不同源漏间距器件击穿特性

Figure4.9 Breakdown characteristics between the device with deferent Source drain space

击穿电压与源漏间距的拟合结果如下图所示，从这个结果可以看出，器件的击穿电压和源漏间距基本上是线性关系，说明了整个器件的钝化层质量高，不存在纵向漏电，器件的击穿只与横向尺寸有关。击穿电压与源漏间距的拟合斜率保持在 $65\text{V}/\mu\text{m}$ ，这一结果为后期 W 波段器件的研制提供借鉴。

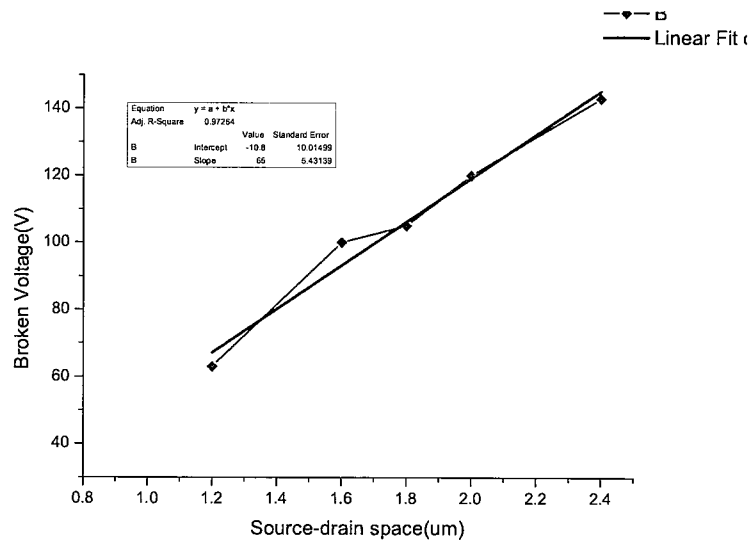


图 4.10 击穿电压与源漏间距的拟合

Figure4.10 Fitting of breakdown voltage of the device with deferent source drain space

4.1.3 短沟道效应

对器件的短沟道效应进行了测试，以下给出了器件的实际测试结果，源漏间距 $2.4\mu\text{m}$ ，栅长 $0.150\mu\text{m}$ 工艺：

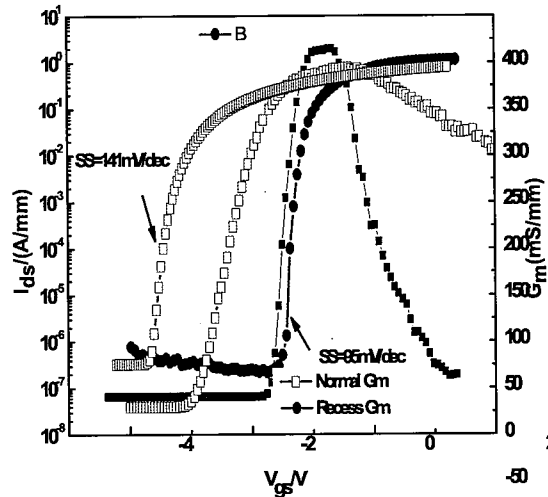


图 4.11 凹栅槽结构与常规结构的转移特性

Figure4.11 Transfer characteristics of recess structure and conventional structure

采用 Keithley4200 对 AlGaIn/GaN HEMT 直流特性进行测试。100nm 栅长的常规结构和凹栅槽结构 AlGaIn/GaN HEMT 器件的转移特性如上图所示，从测试结果发现，常规结构器件的阈值电压 $V_{th}=-4.5\text{V}$ ，而凹栅槽结构器件阈值电压偏向正方向，增加到了 $V_{th}=-2.8\text{V}$ ，最大跨导从 375mS/mm 增大到 425mS/mm ，提高了 15.17%。

常规结构器件的亚阈值摆幅为 140mV/dec ，而凹栅槽结构器件 $V_{ds}=6\text{V}$ 的亚阈值摆幅为 96mV/dec ，凹栅槽结构可以明显抑制短沟道效应，增强栅控能力。

为了定量表征器件的亚阈值特性，定义 DIBL 因子如下，

$$DIBL = \frac{V_{gs} \Big|_{V_{ds}=25V, I_{ds}=10\text{mA/mm}} - V_{gs} \Big|_{V_{ds}=10V, I_{ds}=10\text{mA/mm}}}{25V - 10V}$$

表 4.2 新栅槽结构的短沟道效应

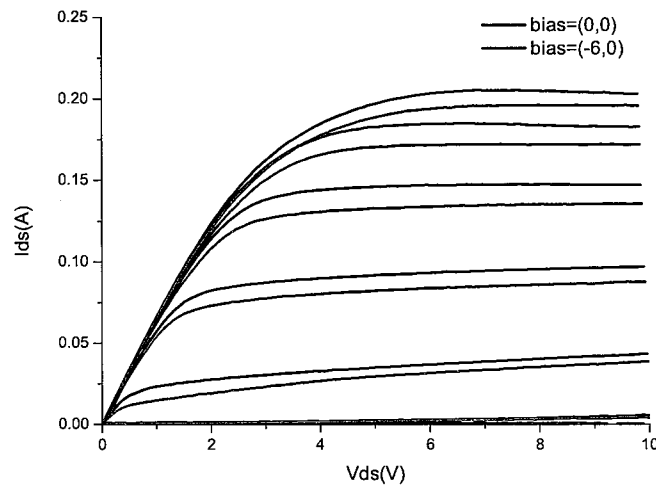
器件类型	Gm (ms/mm)	Vth (V)	SW(mV/decade)	纵横比
常规器件	375	-4.4	141	150/20=7.5
新型栅槽器件	435	-1.8	96	150/15=10

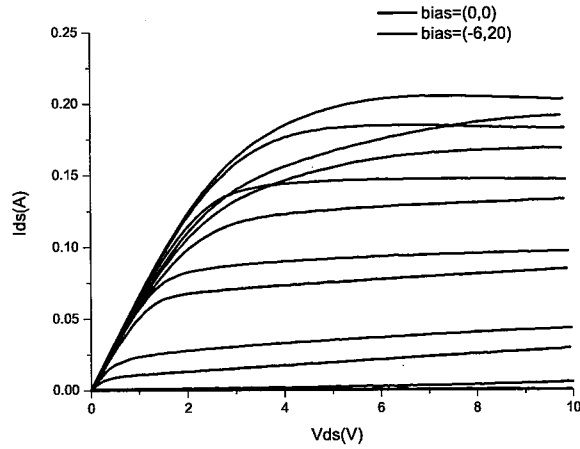
4.1.4 电流崩塌测试

电流崩塌影响器件的功率特性，其主要由表面虚栅等原因造成^{[126][127]}，依靠表面钝化等技术予以消除，脉冲测试是分析器件钝化性能的标准，脉冲测试首先需要确定一个静态偏置点，在该偏置下，陷阱会出现一个稳态过程，而不会随着栅极和漏极的 μs 级脉冲信号变化。因此，脉冲测试可以在一定程度上模拟器件在高频下的工作状态，进而可以作为一种表征频散效应的重要工具。

为了测试 T 型栅器件的电流崩塌，选取了两个静态偏置点，分别为($V_{gs0} = 0\text{ V}$, $V_{ds0} = -6\text{ V}$)和($V_{gs0} = -6\text{ V}$, $V_{ds0} = 20\text{ V}$)。在 $V_{gs0} = 0\text{ V}$, $V_{ds0} = 0\text{ V}$ 时，虽然器件处于开启状态，但由于漏压为 0 V ，因此可以认为并不引入额外的功耗；在 $V_{gs0} = -6\text{ V}$, $V_{ds0} = 20\text{ V}$ 时，器件处于关断状态，也可认为不会引入额外的功耗。以上两种偏置条件排除了自热效应的影响，可以比较准确的反映栅电极对器件频散效应的影响。

待测器件栅宽为 $2 \times 75\mu\text{m}$ ，源漏间距 $2.4\mu\text{m}$ ，脉冲测试条件：脉冲宽度 $0.2\mu\text{s}$ ，占空比 0.1% 。栅压从 -6 V 扫描至 $+2\text{ V}$ ，步进为 $+1\text{ V}$ ，漏压测试范围为 0 V 到 $+10\text{ V}$ ，步进为 $+1\text{ V}$ ，脉冲 IV 的测试结果如图 4-12 所示。器件的频散程度作如下定义：两种静态偏置条件下， $V_{gs} = +1\text{ V}$, $V_{ds} = +10\text{ V}$ 处的电流偏差度。



图 4.12 器件电流崩塌测试(总栅宽 150 μm)Figure 4.12 Device current collapse test (total gate width 150 μm)

(栅压 0V,源漏 0V)脉冲下 I_{ds} 为 203mA,(栅压-6V,源漏 0V)脉冲下 I_{ds} 为 195mA, 电流崩塌 8mA, 比例为 3.9%。(栅压-6V,源漏 20V)偏置下 I_{ds} 为 192mA, 电流崩塌 11mA, 比例为 5.4%, 器件的电流崩塌效应得到抑制。

4.1.5 小信号测试

对器件进行了小信号的测试, 双指器件 ($2 \times 50 \mu\text{m}$) 的测试结果如下在 0.1-40GHz 范围内对器件小信号进行测试, 通过对小信号电流增益 h_{21} 和最大稳定增益 (MSG) 按照-20dB/10 倍频程的外推, 器件截止频率 81GHz, 最大振荡频率 f_{MAX} 从 194GHz。

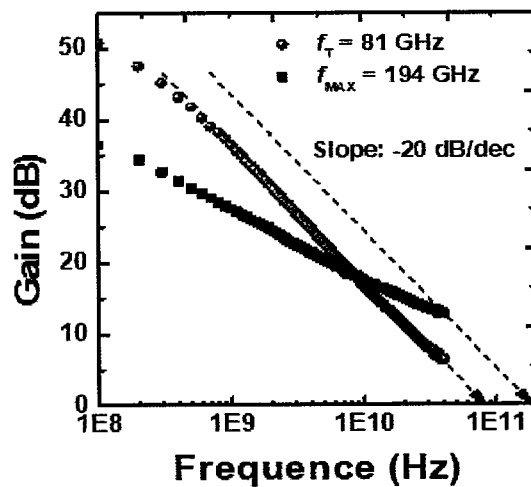


图 4.13 $50\mu\text{m}$ 器件的高频特性

Figure4.13 High frequency characteristics of $50\mu\text{m}$ devices

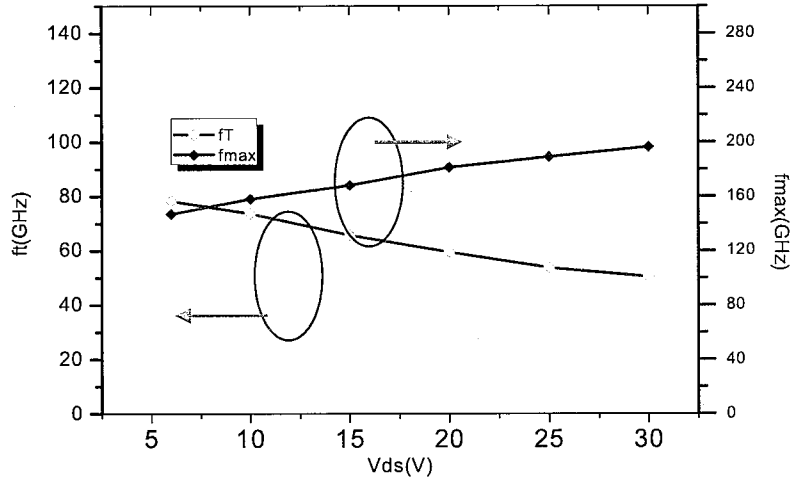


图 4.14 双指器件频率特性随漏压的变化 ($50\mu\text{m} \times 2$)

Figure4.14 Frequency characteristics of dual finger devices ($50\mu\text{m} \times 2$)

表 4.3 器件的频率特性

Vds (V)	6V	10	15	20	25	30
$2 \times 50\mu\text{m}$ 器件						
Ft (GHz)	81	73.6	65.7	59.5	53.7	50.4
Fmax (GHz)	147	158	168	181.2	188.8	194
$6 \times 75\mu\text{m}$ 器件						
Ft (GHz)	76.8	79	76.5	70.2	68.2	61.4
Fmax (GHz)	131.60	144.60	154.9	162.7	171.2	180.2

在电路研制中，更倾向于使用多指器件结构。本论文测试了多栅指器件 ($6 \times 75 \mu\text{m}$)，源漏间距 $2.4\mu\text{m}$ ，表 4.3 给出了不同漏压下的最大截止频率和振荡频率的变化情况。多指器件 V_{ds} 30V 下 f_{max} 达到 165GHz，35GHz 下的 MAG 13dB，满足了毫米波的需要。

4.1.6 功率测试

器件进行了在片的 Loadpull 测试，由于 loadpull 系统输入输出端都有匹配器 (tunner)，因而可以实现功率匹配和效率匹配，可以进行连续波和脉冲测试，

LoadPull 测试系统如图 4.15 所示,它主要由微波信号源、网络分析仪、功率放大器、输入端输出端 Tuner、Bias Tee,耦合器、功率计和频谱仪等组成。其中器件的直流偏置电压通过 Bias Tee 来加,通过 Tuner 控制器来调整输入输出阻抗值。

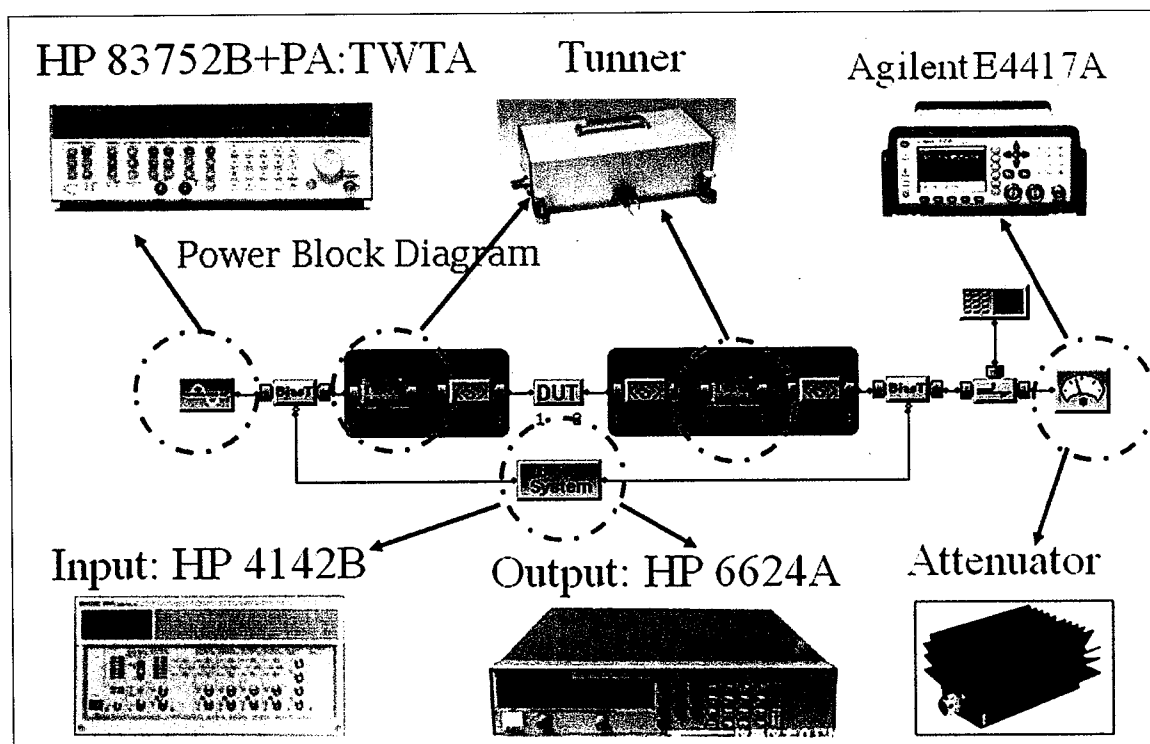


图 4.15 Loadpull 测试系统图

Figure4.15 Loadpull test system diagram

利用毫米波 LoadPull 测试系统,对单指 $100\mu\text{m}$ 栅宽器件和 $2\times 50\mu\text{m}$ 栅宽器件进行了 27GHz、30GHz、35G 下的大信号连续波功率测试。所有器件均针对最大功率增益、最大输出输出功率进行阻抗点的负载牵引,最终在各自最优输入输出阻抗点下测试得到的器件功率曲线。

测试偏置为深 AB 类 ($V_g=-3\text{V}$, $V_d=25\text{V}$),连续波测试,在 35GHz 下,按照最大功率附加效率进行匹配,器件的输出功率 $P_{\text{out}}=27.1\text{dBm}$,功率密度为 5.1W/mm ,最佳 PAE 为 42.3%,如图 4.16 所示;

相同测试条件下,按照最大输出功率匹配, $P_{\text{out}}=27.8\text{dBm}$,功率密度 6W/mm ,PAE 为 23.6%,如图 4.17 所示。

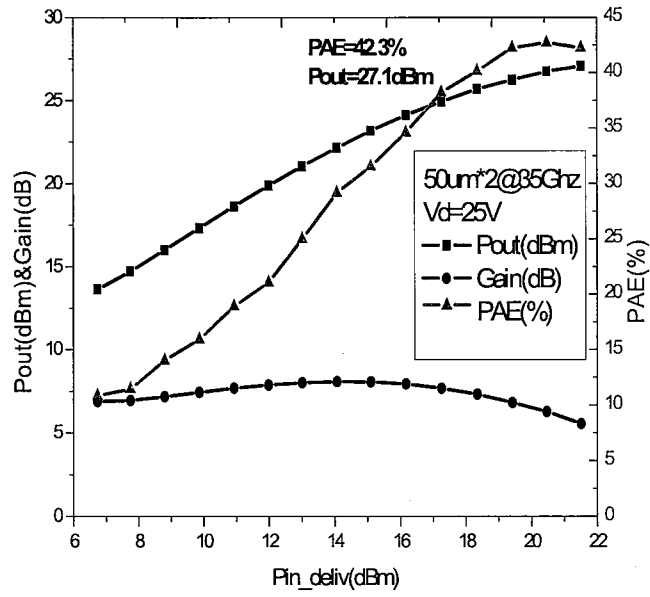


图 4.16 $50 \times 2 \mu\text{m}$ 器件在 35GHz 下负载牵引测试结果

Figure 4.16 $50 \times 2 \mu\text{m}$ RF power test results

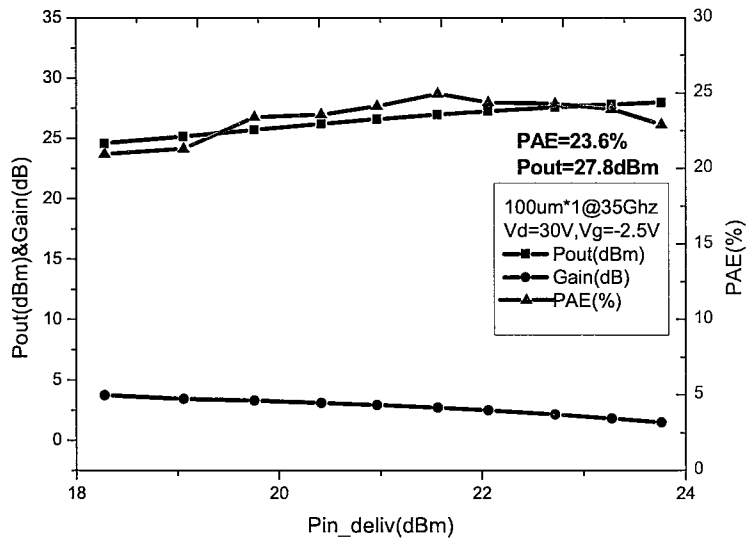


图 4.17 $100 \mu\text{m}$ 器件在 35GHz 下负载牵引测试结果

Figure 4.17 $100 \mu\text{m}$ RF power test results

论文对不同结构的多指器件也进行了大信号测试，图 4.18 为跨总线结构 $6 \times 50 \mu\text{m}$ 器件测试结果，图 4.19 为有源区空气桥结构测试结果：

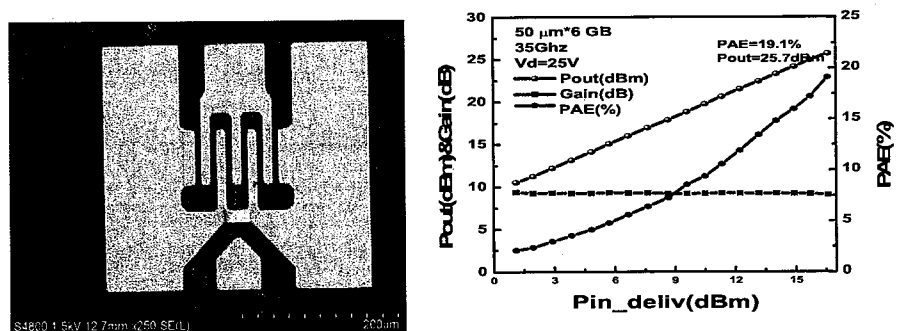


图 4.18 跨栅总线测试结果 (GB)

Figure4.18 Rf power device with gate bridge

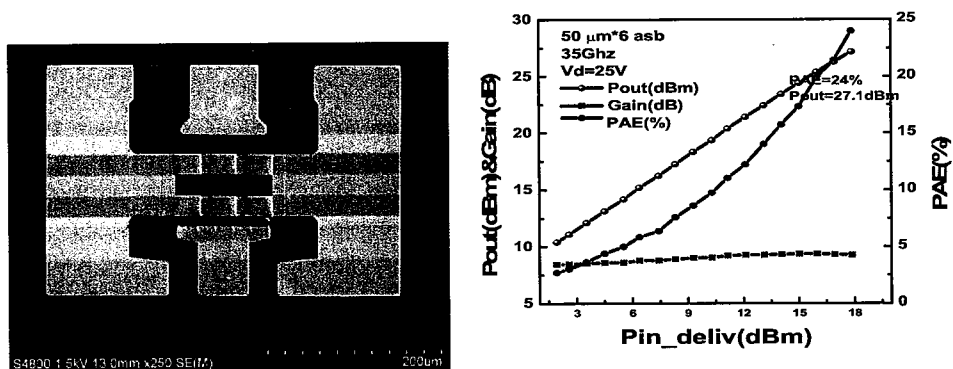


图 4.19 有源区空气桥测试结果 (ASB)

Figure4.19 Test results of air bridge in active region (ASB)

由于毫米波源的限制，目前，大尺寸器件的功率测试系统尚不完善，无法测试到器件的饱和输出功率，从目前结果来看，器件仍工作在线性区域，线性增益为 7-10dB。

图 4.18 和图 4.19 看出不同外围结构器件的线性增益存在差别，主要原因是外围的布线结构不同，造成了寄生参量存在差异。

表 4.4 两种不同的结构测试结果

参量	ASB 结构	GB 结构
Gain (dB)	9.2	6.5
Vds (V)	25	25

4.2 量子阱结构器件研制

量子阱外延材料在降低外延层缺陷密度^{[119][120]}, 提高二维电子气密度方面有较大优势, 流片所采用的外延如下图所示, 势垒层由 GaN (4nm) /AlN (1nm) 周期性重复组成, 共 5 个周期, 最外层是 AlN; 势垒层厚度 25nm, 等效 Al 组份 0.4, 二维电子气面密度 $1.8 \times 10^{13} \text{ cm}^{-2}$, 室温迁移率 $1560 \text{ cm}^2/\text{V} \cdot \text{s}$, 外延方阻 $292 \Omega/\square$, 器件采用正常的毫米波流程,。

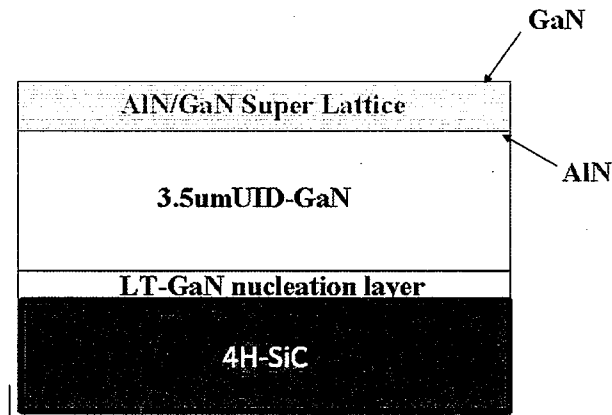


图 4.20 量子阱结构的外延材料

Figure4.20 HEMT with quantum well structure

隔离采用注入隔离, 器件结构采用凹栅槽加 T 型栅结构, 栅槽刻蚀深度约 5nm, 器件的工艺采用毫米波器件的标准流程。

4.2.1 直流特性

器件做完整工艺后, 进行了直流测试, 测试设备为 HP4155 半导体参数测试仪, 单指栅宽 $50 \mu\text{m}$ 器件 $V_g=2\text{V}$ 时, 电流密度大约是 0.9 A/mm . 跨导 $G_m=210 \text{ ms/mm}$, 阈值大约 -3.9 V 与常规结构相比, 有较好的线性。

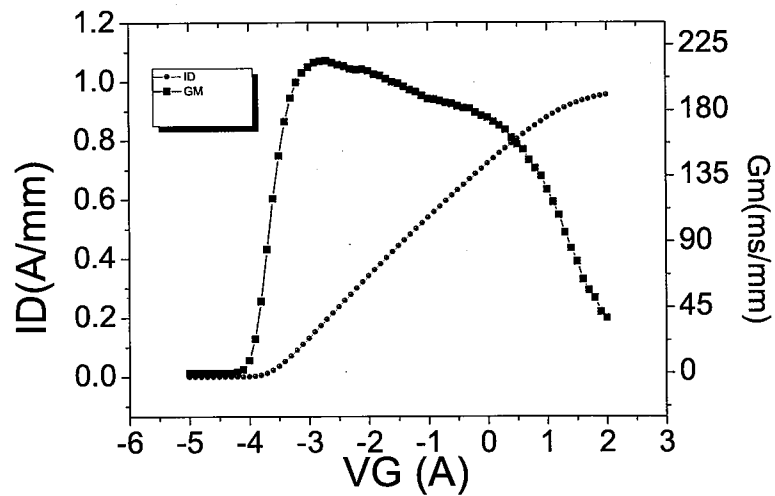


图 4.21 量子阱结构的转移特性

Figure4.21 Transfer characteristics

100 μm HEMT 直流特性（源漏间距 2.4 μm ）转移特性 $G_m=210\text{mS/mm}$ $V_{th}=-3.9\text{V}$ 。测试了 10V 和 30V 的直流特性，栅压 1V 时，器件的饱和电流是 0.94A/mm， $V_{ds}=10\text{V}$ 和 $V_{ds}=30\text{V}$ 连续测试，器件饱和电流没有明显差别，说明量子阱结构势垒层及界面缺陷密度低。

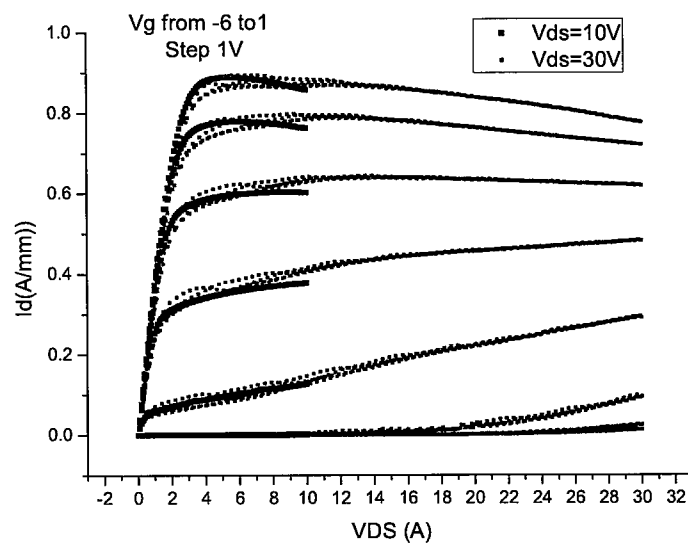


图 4.22 量子阱结构直流特性

Figure4.22 4.22 DC characteristics

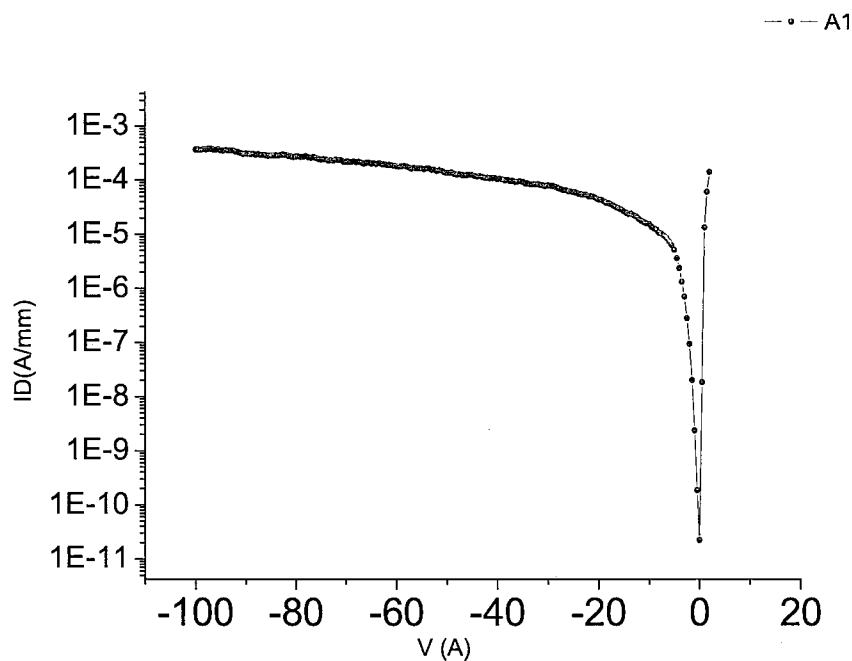


图 4.23 肖特基特性($V_{sch}=1.35V$ 反向漏电: $21\mu A$)

Figure 4.23 Schottky characteristics ($V_{sch}=1.35V$ reverse leakage: $21\mu A$)

由于缺陷减少, 器件显示出良好的肖特基特性。正向开启电压 $1.35V$, 理想因子 1.78 , $V_{gs}=-100V$ 下反向漏电 $21\mu A$, 约 $5 \times 10^{-7} A/mm$, 满足了器件 $30V$ 的工作要求。

4.2.2 击穿特性

测试了器件的击穿特性, 单指栅宽 50μ 栅长 $0.15\mu m$, 源漏间距 $2.4\mu m$, $V_{gs}=-6V$, 击穿特性如图所示。器件击穿电压大于 $70V$, 满足了毫米波器件的要求。

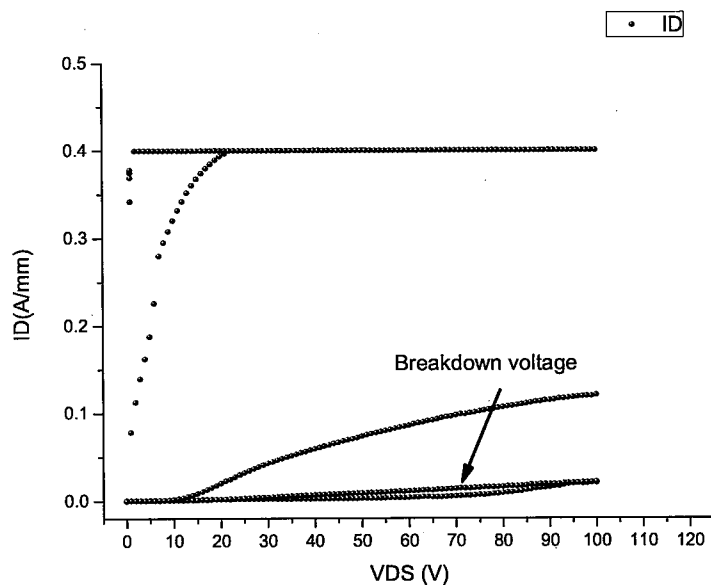
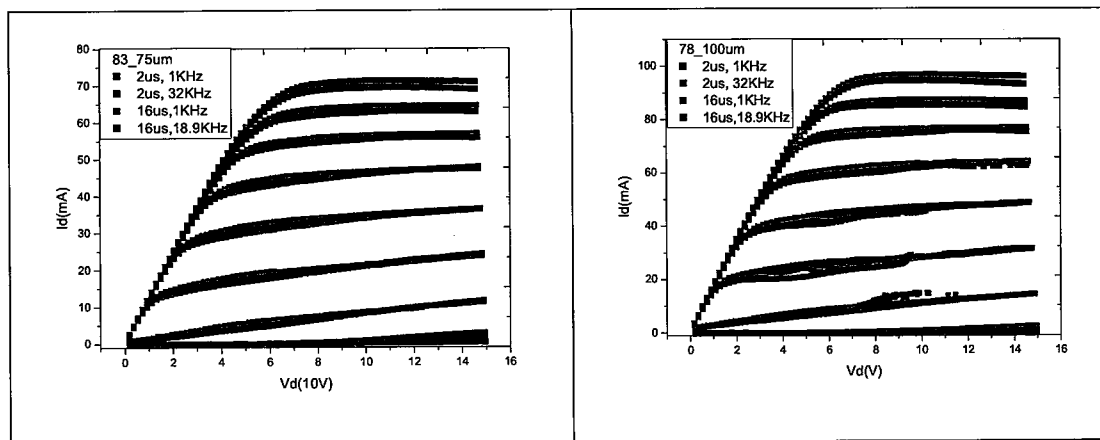


图 4.24 50 μm 器件的击穿特性测试 (SD 2.4 μm , $V_{gs}=-6\text{V}$)

Figure 4.24 Breakdown characteristics of 50 μm devices (SD 2.4 μm , $V_{gs}=-6\text{V}$)

4.2.3 电流崩塌测试

对量子阱结构的器件进行了电流崩塌测试, 由于势垒层缺陷降低, 结合钝化技术优化, 在不同偏置下器件均获得良好的性能, 没有明显的电流崩塌, 器件的如图所示:



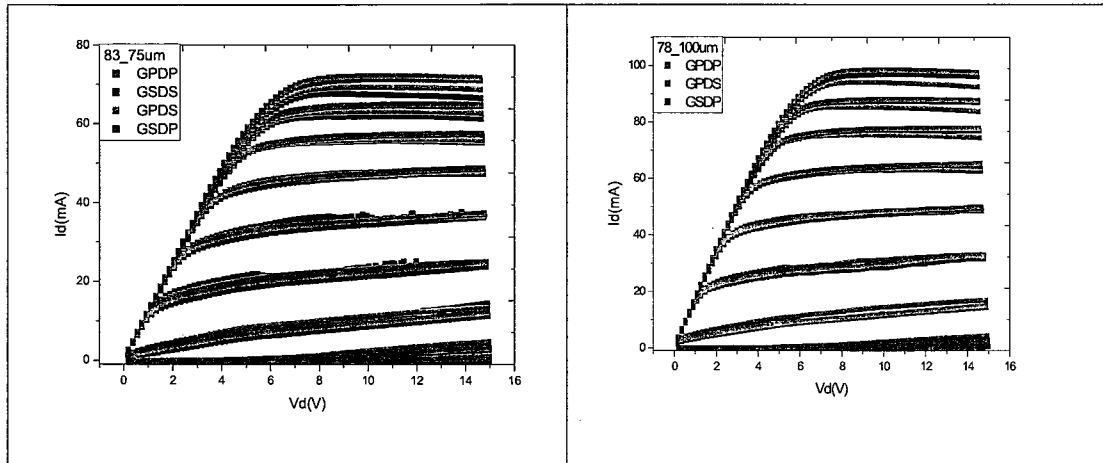


图 4.25 不同偏置下的电流崩塌

Figure4.25 Current collapse under different bias

不论何种偏置，器件均表现出良好的直流特性，器件的电流崩塌小于 5%。一是由于量子阱结构势垒层的缺陷本身比较低，二是因为采用了优化以后的钝化技术，电流崩塌的降低有助于器件大功率的输出，尤其是毫米波器件。

4.2.4 短沟道效应测试

利用 HP4155 半导体测试仪测试了器件的短沟道效应，下图给出了 $0.15\mu\text{m}$ 器件的转移性能比较，从图中可以看出，量子阱结构具有很好的抑制短沟道效应的作用，尤其在高漏压下。

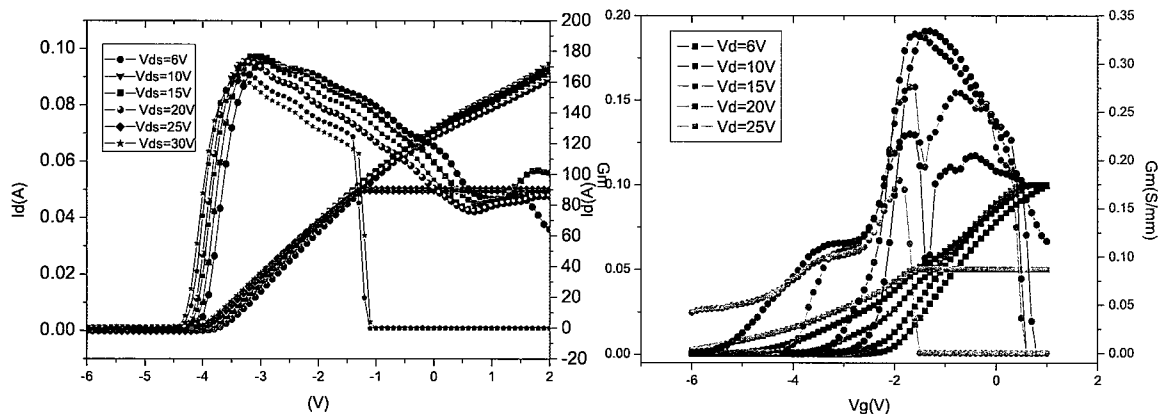


图 4.26 短沟道效应栅长 150nm，左：量子阱结构右：常规结构

Figure4.26 Short channel effect (gate length 200nm) left: quantum well structure.
right: conventional structure

常规结构器件在漏压达到 20V 时, 阈值漂移大约 1V; 到 25V 时, 器件已不能正常夹断; 量子阱结构的器件, 漏压从 6V 增加到 30V, 阈值只漂移 0.4V, DIBL 45mV/V。

4.2.4 小信号测试结果

对器件进行了小信号的测试, $f_T=100\text{GHz}$, $f_{\text{max}}=130\text{GHz}$, 器件的 f_{max} 不高, 需要进一步降低栅电阻。

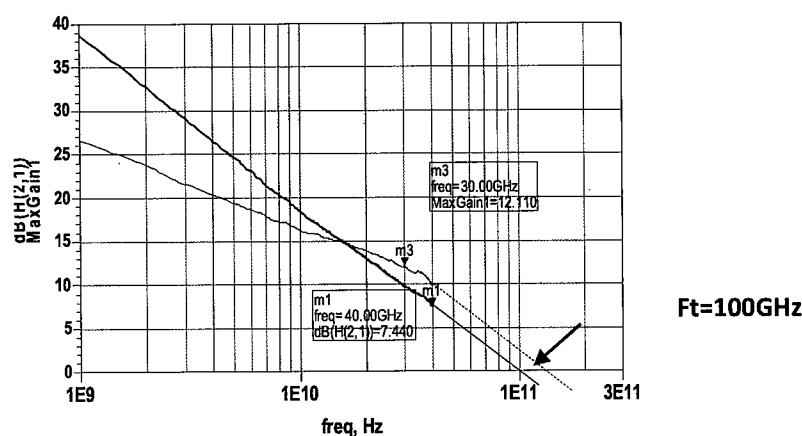


图 4.27 量子阱 GaN HEMT 小信号特性 $f_T=100\text{GHz}$

Figure4.27 Quantum well GaN HEMT small signal characteristics $f_T=100\text{GHz}$

器件截止频率达到 100GHz, 30GHz 下 MAG 为 12.21dB, 因为采用 AlN/GaN 势垒层, 合金散射减小, 二维电子气迁移率提高。

4.2.5 功率测试

在 30GHz 利用 Load-pull 进行了功率测试在频率 30GHz 情况下片, 偏置为 $V_d=20\text{V}$, $V_g=-3\text{V}$ 测试结果如下图所示:

从测试结果可以看出, 量子阱结构的器件由于外延缺陷低, 功率线性好, 增益降幅较小, 在相同的输出条件下可以获得更大的输出功率, 优势明显。虽然起始增益低, 但是在输入功率增大的过程中, 器件的输出功率保持了很好的输出特性, 明显优于常规结果。

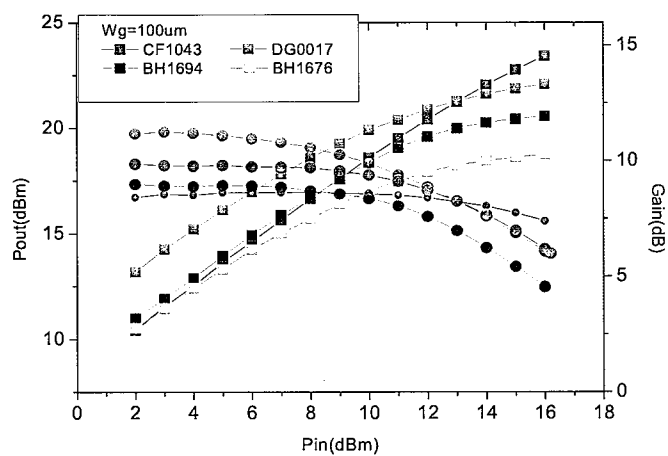


图 4.28 量子阱结构与常规结构的功率特性

Figure4.28 Power characteristics of quantum well structure and conventional structure

总栅宽 $150\mu\text{m}$ 器件, 30GHz 下连续波输出 28.99dbm (776.25mw)。连续波输出功率密度达到 5.28W/mm , 如图所示: 器件增益 9.9dB 。 $2\times 75\mu\text{m}$ 栅宽器件 loadpull 测试结果如下。

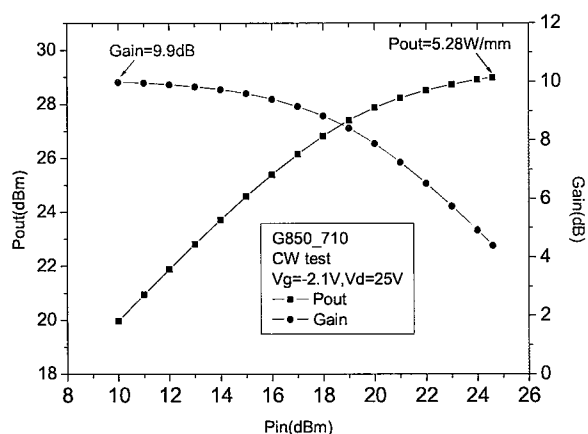


图 4.29 $150\mu\text{m}$ 器件功率测试 GaN HEMT $P_{\text{out}}=5.28\text{W/mm}$ (连续波 30GHz)

Figure4.29 Rf power test results(CW30GHz)

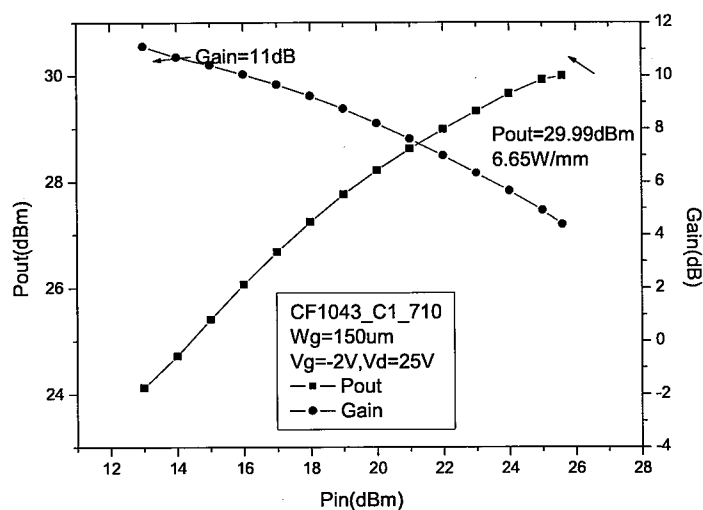


图 4.30 GaN HEMT 功率测试结果（脉冲测试条件：脉宽 $100\mu\text{s}$ ，占空比 10%）

Figure4.30 RF pout test result(Pulse: 100us.duty cycle10%)

脉冲测试条件：脉宽 $100\mu\text{s}$ ，占空比 10%。GaN HEMT 输出功率密度达到 6.65W/mm (脉冲波 30GHz)， $150\mu\text{m}$ 器件饱和输出功率达到 29.99dbm (997.7mW)，功率密度达到 6.65W/mm 。脉冲下功率密度达到 6.65W/mm ，线性功率增益 11dB 。

4.3 小结

本章开展高性能 GaN 毫米波器件的研制与测试，基于常规材料、器件结构与第三章所述器件工艺流程得到的器件性能为：饱和输出电流密度 1.22A/mm ，跨导 440ms/mm ，肖特基反向漏电 $1\mu\text{A/mm}$ ，击穿电压大于 110V ，亚阈值摆幅 140mV/dec ，截止频率 81GHz ，最高振荡频率 194GHz ， 35GHz 下饱和输出功率密度 6W/mm ；最大输出 PAE 为 42.3% ；

为了降低栅结构的峰值电场，提出了新型栅结构。新型栅结构器件的击穿电压提高到 140V ，亚阈值摆幅降低到 96mV/dec ，电流崩塌降低；

为了提高外延层质量，降低势垒层场强分布，抑制短沟道效应，提出采用 AlN/GaN 量子阱结构。测试得到的器件性能为：漏电 $0.5\mu\text{A/mm}$ ，电流崩塌小于 5% ，DIBL 为 45mV/V ，截止频率 100GHz ， 30GHz 下连续波饱和输出功率密度 5.28W/mm ，脉冲波饱和输出功率密度 6.65W/mm 。测试结果表明量子阱结构有效降低了器件漏电，抑制了短沟道效应，减小了电流崩塌。

第五章 新型 GaN 毫米波器件探索

本章开展新型 GaN 毫米波器件的探索，从器件结构，外延材料等方面进行进一步新的探索，其目的是为毫米波器件的研制提出新的尝试，采用新的器件结构、材料结构是提升毫米波段 GaN 器件性能的新的途径。

5.1 毫米波鳍栅结构器件研制

到了毫米波段，平面栅结构在缩小栅长的过程中，需要控制纵横比来保证器件的栅控正常，这给器件的设计带来了很多困难。栅长的尺寸、势垒层的厚度受到工艺、设备以及器件物理的制约，不可能持续缩小。平面栅会受到短沟道效应的制约，那么通过将栅结构由平面结构变成三维结构，提高栅控能力是抑制短沟道的另一个思路，这借鉴了 MOSFET 器件鳍栅结构（FINFET）的技术 [122][123][124][129]。在器件制备过程中，利用低损伤刻蚀技术实现三维栅结构，这样常规栅结合两侧栅可以增强器件的栅控能力，抑制器件的短沟道效应，改善器件线性。

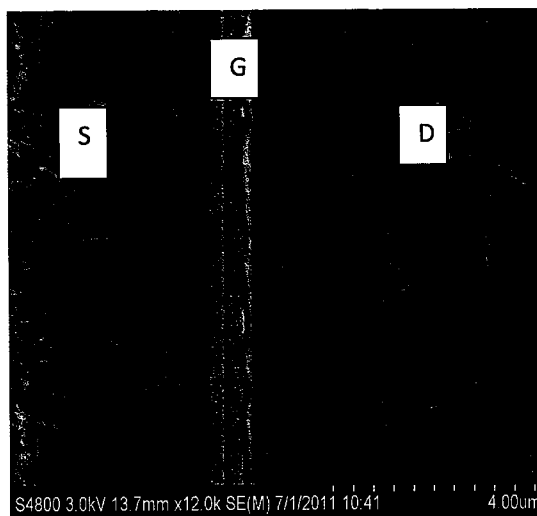


图 5.1 三维鳍栅结构器件（FINFET）

Figure5.1 Three dimensional fin structure device (FINFET)

5.1.1 三维鳍型栅结构研究

在 MOSFET 器件的发展历程中，FINFET 结构是最伟大的发明之一，它的出现延续了摩尔定律，推动了 MOSFET 器件集成度的进一步提高，FINFET 器

件的最大作用是改善了器件的短沟道效应^[122]，这一点 GaN 毫米波器件也在借鉴^{[123][124][124]}

本文开展了毫米波波 FINFET 器件的研制，采用 silvaco 软件，对 Fin-FET 结构的 GaN 器件进行仿真，器件三维结构如图所示。器件源漏间距采用 $2.4\mu\text{m}$ ，栅长分别选择 $0.2\mu\text{m}/0.1\mu\text{m}$ ，fin 的长度分别选择 $1.5\mu\text{m}/1\mu\text{m}/0.5\mu\text{m}/0.2\mu\text{m}$ ，fin 的宽度分别选择 $0/50\text{nm}/100\text{nm}/150\text{nm}/200\text{nm}$ ，并对器件进行直流特性、频率特性和 CV 特性的仿真。

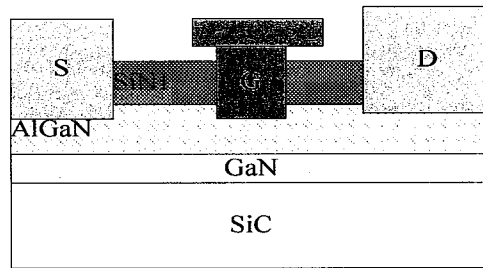
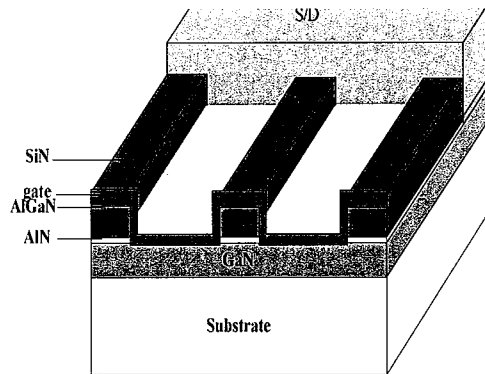


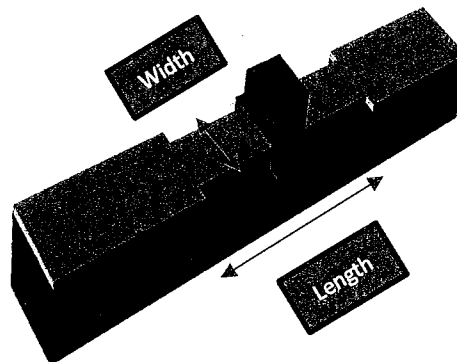
图 5.2 常规 T 型栅结构的器件

Figure5.2 Conventional T gate structure devices



a.三维鳍型栅结构的剖面

a.section of a three-dimensional fin structure



b.用于仿真的三维鳍形栅

图 5.3 三维鳍型栅结构的仿真

Figure5.3 Figure 5.3three-dimensional fin-gate for simulation

对于 FINFET 的不同尺寸进行了模拟分析，寻求适合于 GaN 毫米波器件的三维结构参数。

1)栅长的影响

器件栅长分别选择 $0.1\mu\text{m}$ 和 $0.2\mu\text{m}$ ，可以看出，随着器件栅长的减小，阈值电压向负向漂移，主要原因是随着栅长的变化，栅的耗尽区会发生变化。栅金属采用 T 型栅结构，考虑到栅金属的爬坡问题，在流片过程中采用的栅长是 $0.15\mu\text{m}$ 。

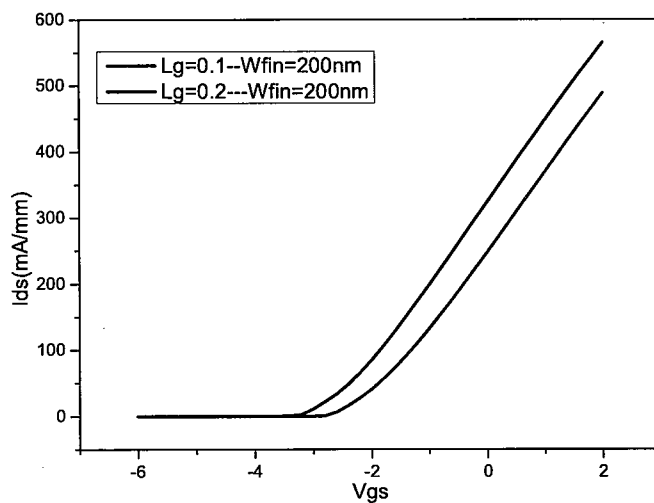


图 5.4 不同栅长的器件特性

Figure5.4 Vgs-Ids characteritics with different Lg

2) fin 长度的影响

下图分别对 fin 长度为 $1.5\mu\text{m}/1\mu\text{m}/0.5\mu\text{m}/0.2\mu\text{m}$ 的器件特性进行了模拟，可以看出，fin 长度对器件输入特性基本没有影响，阈值电压不发生变化。如下图所示：

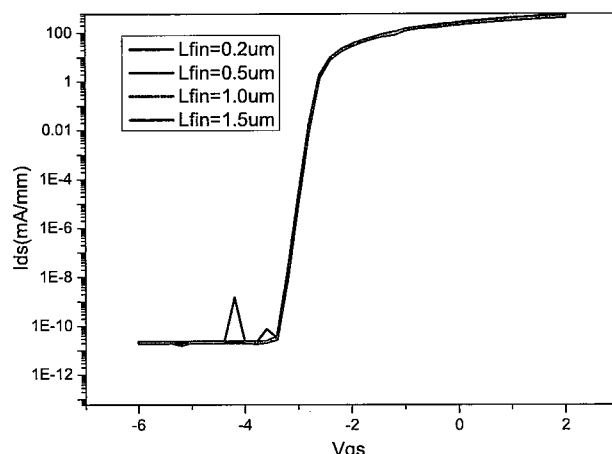


图 5.5 不同栅指长度下的器件输入特性

Figure5.5 V_g -ID characteristics of devices with different gate length

结合工艺实现，采用的 fin 的长度是 $1.0\mu\text{m}$ 。

3) fin 宽度的影响

采用 Fin 结构，器件的阈值电压会向正向漂移，并且随着 Fin 宽度的减小，器件阈值电压正漂值更大，器件从耗尽型逐渐进入增强型，其主要是因为三维结构中，三个面的栅金属都会对二维电子气形成耗尽，器件的夹断特性会改善。

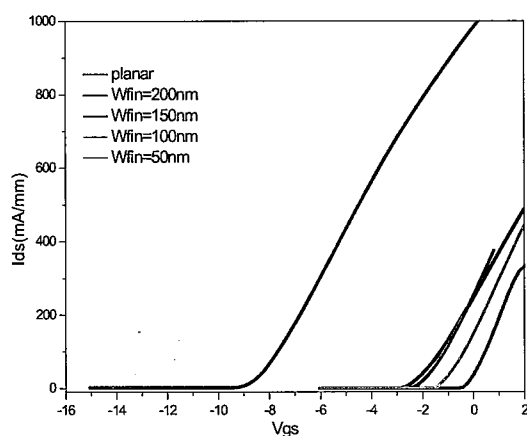


图 5.6 不同宽度的 FINFET 器件的转移特性

Figure5.6 Transfer characteristics of FINFET devices with different widths

上图为 Fin 宽度分别为 $0/50\text{nm}/100\text{nm}/150\text{nm}/200\text{nm}$ 的器件的转移特性曲线，可以看出，随着 fin 宽度的变窄，阈值电压向正向移动。这是因为，Finfet 结构的栅由三部分组成，表面部分与两侧部分，fin 的宽度变窄会导致两侧的栅控增强，

因此器件的阈值向正向移动。本文主要研究耗尽型 GaN 毫米波器件，因此，fin 的宽度选择大于 150nm，并对 finfet 器件进行了器件特性的仿真。

平面结构、Wfin=200nm、Wfin=150nm 器件在漏压为 10v 和 0.1v 下的亚阈值特性如图 5.7 和 5.8 所示。可以看出，采用 FINFET 结构，器件具有更好的亚阈值摆幅和更低的 DIBL，具体数据如表 5.1 所示。

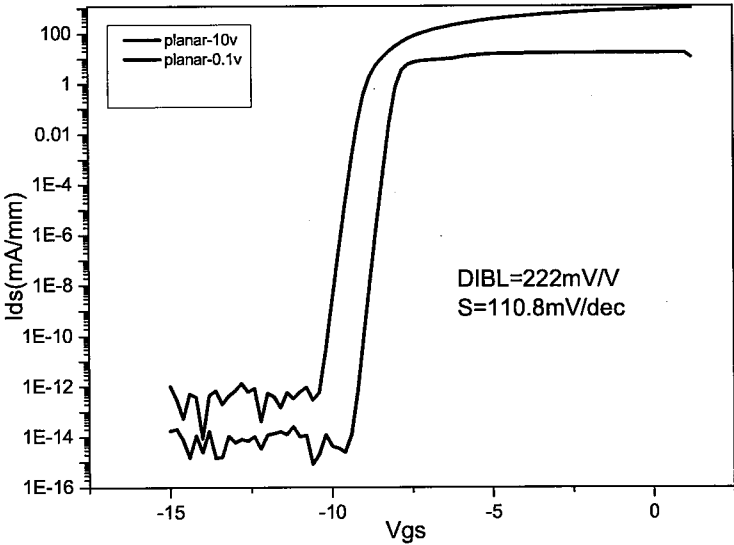


图 5.7 不同漏压下的平面栅结构器件亚阈值特性

Figure5.7 Sub-threshold characteristics of different gate length

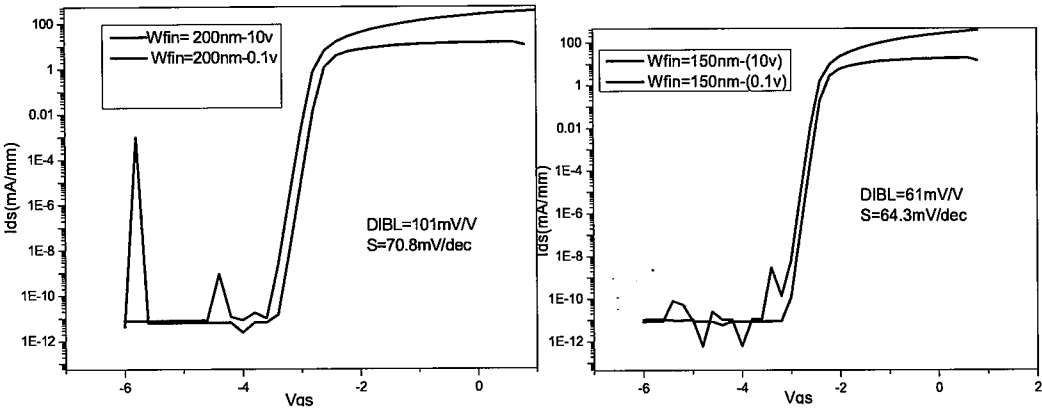


图 5.8 不同 fin 宽度的 FINFET 器件的亚阈值特性比较

Figure5.8 Comparison of sub threshold characteristics of FINFET structure

表 5.1 毫米波 FINFET 器件短沟道效应的模拟结果

	Fin (nm)	Vds (V))	DIBL(mV/V)	S (mV/decade)
--	----------	----------	------------	---------------

FINFET 器件	200	10	101	70.8
	150	10	61	64.3

从上面的结果可以看出，FINFET 结构的亚阈值特性有明显的改善，Fin 宽短从 200nm 缩小至 150nm，DIBL 从 222mV 降至 61mV，亚阈值摆幅从 110.8mV/dec 降至 64.3mV/dec，抑制短沟道效果明显。

下面分析了平面结构、fin 栅指宽度 150nm、200nm 器 $V_{ds}=10V$, $f=1MHz$ 下 CV 特性。

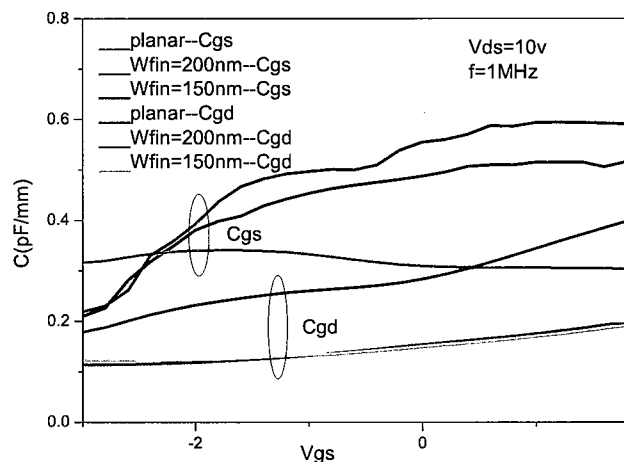


图 5.9 FINFET 器件的 CV 特性

Figure5.9 Capacitance of FINFET device

从 CV 特性的仿真结果来看，FINFET 结构的 C_{gs} 和 C_{gd} 是大于常规结构的，这是因为对于 finfet 器件结构来讲，栅金属的接触面积增大， C_{gs} 和 C_{gd} 相比常规器件会增加，而寄生电容的增加会导致频率特的下降。

下面给出了平面结构，宽为 200nm 的 FINFET 器件的小信号模拟结果：

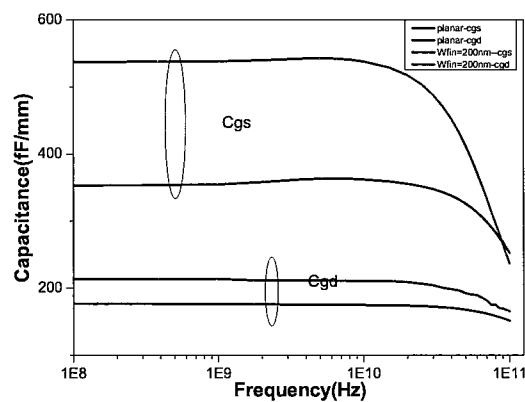


图 5.10 FINFET 器件的电容特性

Figure5.10 Capacitance characteristics of FINFET devices

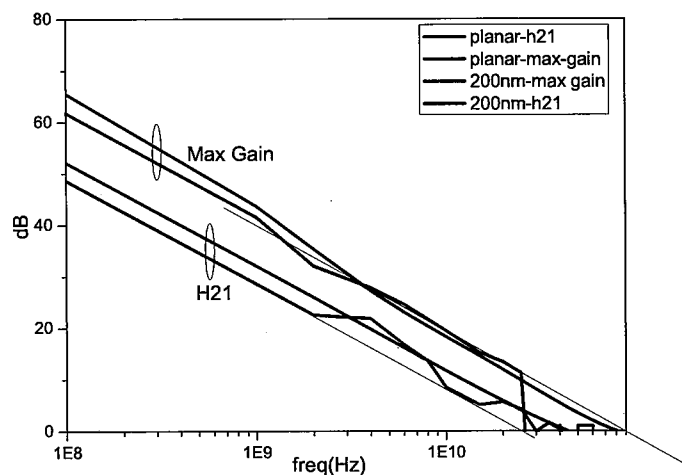


图 5.11 FINFET 器件与常规器件的频率特性

Figure5.11 RF characteristics of FINFET devices and conventional devices

从以上结果可以看出，相比于常规结构，finfet 器件的频率特性略有下降，和之前的分析一致。

结合以上的仿真结果，本论文采用的 finfet 器件的结构为源漏间距采用 $2.4\mu\text{m}$ ；栅长为 $0.15\mu\text{m}$ ；fin 的长度为 $1\mu\text{m}$ ；fin 的宽度为等间距 200nm ；Finfet 结构贯穿整个源漏区，由于对准精度的提高，FINFET 区域只需要在 $1\mu\text{m}$ 的区域里面实现即可。器件的版图如图 5.12 所示：

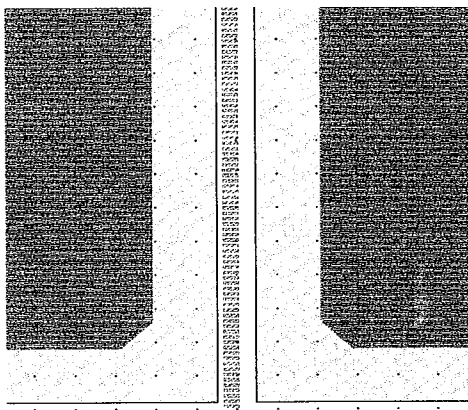


图 5.12 finfet 器件的版图

Figure5.12 The FINFET layout

5.1.2 毫米波 finfet 器件的工艺实现

本论文中, 毫米波 finfet 器件采用常规的 GaN 外延材料体系, 在工艺实现上, 增加了 finfet 的刻蚀, 刻蚀深度为 24nm, 通过低损伤刻蚀技术实现。其余工艺与第三章所述工艺流程一致。制作出的 finfet 器件电镜照片如图 5.13 所示:

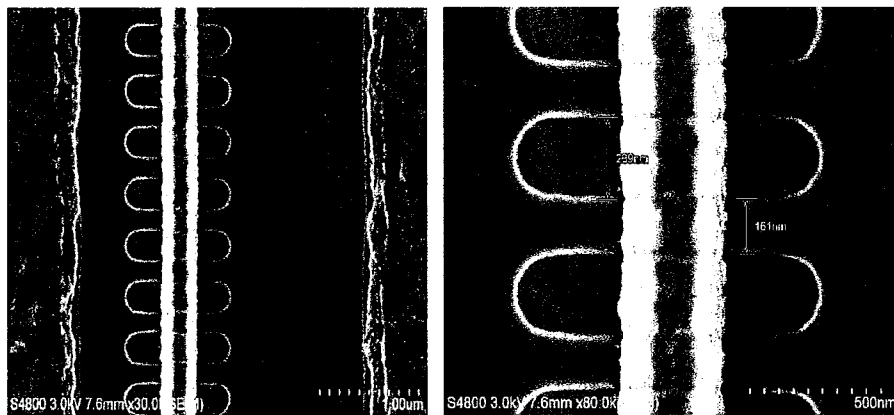


图 5.13 finfet 器件电镜照片

Figure5.13 The FINFET device

5.1.3 毫米波 finfet 器件直流特性测试

使用 Keithley 4200 参数分析仪对器件进行直流特性测试, 测试结果如下图所示, 左图为第四章所述凹栅槽毫米波器件的直流特性, 右图为 finfet 毫米波器件的直流特性:

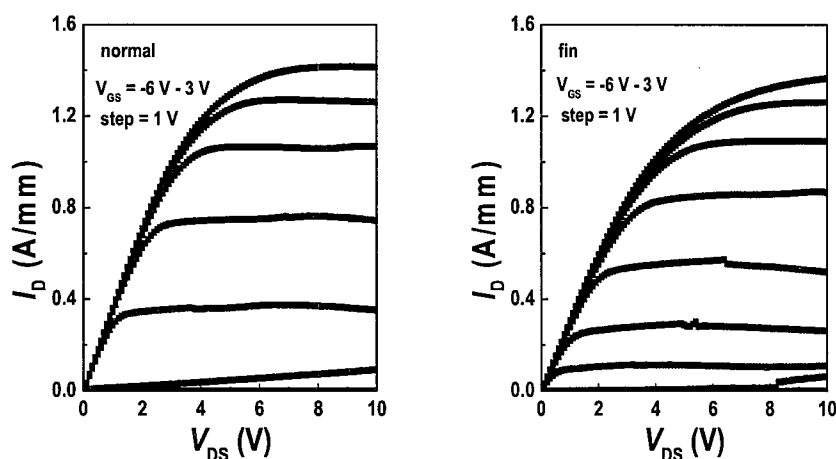


图 5.14 凹栅槽结构和 FINFET 结构的直流特性对比

Figure5.14 Comparison of DC characteristics between conventional structure and FINFET structure

凹栅槽结构饱和电流密度为 1.4A/mm, FINFET 结构器件的饱和电流密度是 1.38A/mm, 电流密度二者电流相当, 可以看出, 栅区的结构对电流输出能力的影响并不大。

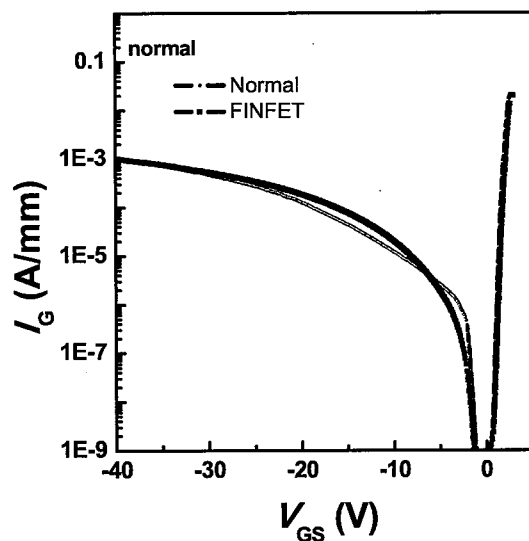


图 5.15 GaN FINFET 器件的肖特基

Figure5.15 Schottky of FINFET device

图 5.15 所示为 GaN finfet 器件的肖特基特性, 和凹栅槽器件相比, 正向的肖特基势垒一致, 为 2.3V; 从肖特基的反向漏电结果来看, 二者在-40V 下漏电水平相当。在 V_{gs} 在-30 至-5V 这一区间, 漏电存在差异 FINFET 器件由于刻蚀导致侧面的损伤^[124], 损伤造成的缺陷是漏电的一个通道。

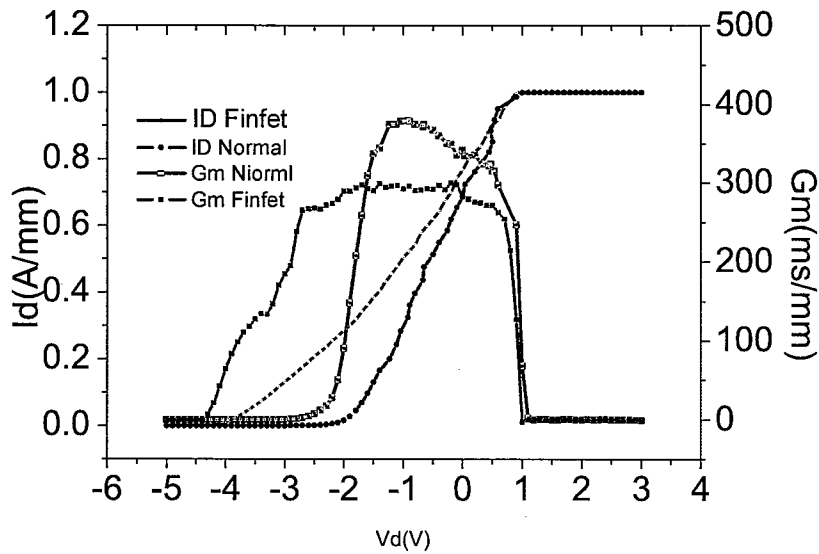


图 5.16 Finfet 器件与凹栅槽器件转移特性比较

Figure 5.16 Comparison of transfer characteristics between Finfet and recess devices

图 5.16 所示为转移特性曲线对比, FINFET 器件阈值 -4.1V, 跨导 300mS/mm, 由于其正面并未刻蚀, 所以阈值由初始的势垒层厚度决定; 而常规器件的阈值为 -2.2V, 跨导 402mS/mm。同时可以看出, finfet 器件跨导特性的线性要优于常规结构, 说明了 finfet 结构有效特高了器件的栅控能力。

5.1.4 毫米波 finfet 器件短沟道效应测试

在不同的漏压下对常规器件和 finfet 器件进行了转移特性测试, 漏压变化范围为 6 到 40V, 结果如图 5.17 和表 5.2 所示:

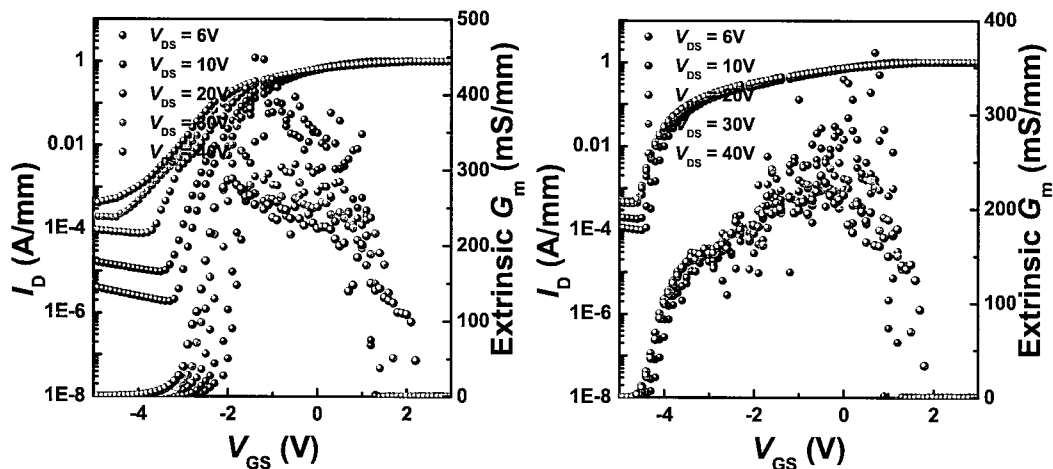


图 5.17 转移特性测试（左）常规结构（右）FINFET 结构

Figure5.17 Transfer characteristics test (Left) onventional FINFET (righ) Finfet structure

表 5.2 常规器件与 FINFET 器件的转移特性比较

Vd(v)	器件结构	Gm (ms/mm)	Vth (V)	SW (mV/decade)
6	FINFET	300	-4.41	168
	Normal	400	-3.18	172
10	FINFET	280	-4.53	180
	Normal	380	-3.4	250
20	FINFET	250	-4.58	220
	Normal	342	-3.75	490
30	FINFET	230	-4.65	230
	Normal	330	-4.48	800
40	FINFET	220	-4.73	280
	Normal	300	-4.98	1008

可以看出，Vds 从 6V 到 40 的过程中，常规器件 SW 从 168mv 增加到 1V/dec，而 FINFET 器件从 172 mv 增加到 280mV/dec，利用第四章公式计算 DIBL，常规器件 DIBL 为 33.4mV/V，finfet 结构 DIBL 为 10.4mV/V，同时常规器件的阈值漂移大于 1V，finfet 器件阈值漂移为 0.32V，可以说明，finfet 器件有效改善了器件的亚阈值特性，抑制了器件的短沟道效应^[129]。

5.1.5 毫米波 FINFET 器件小信号特性测试

测试对比了不同偏压下常规器件和 finfet 器件的小信号特性，包括截止频率和最高振荡频率，结果如图 5.18 所示：

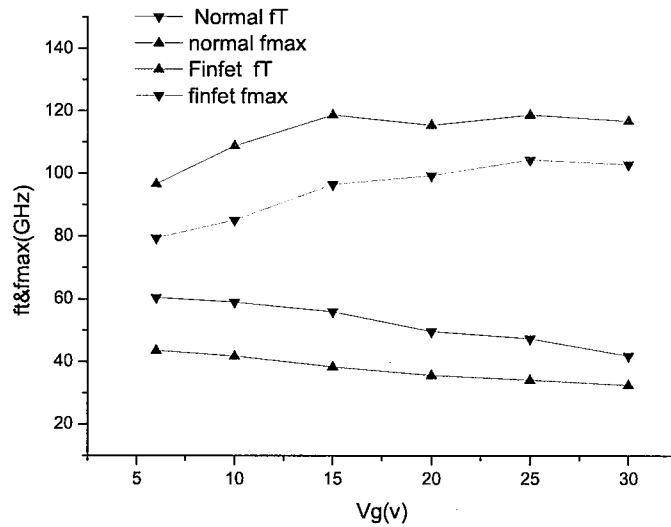


图 5.18 100 μ mFINFET 器件与常规器件的小信号结果

Figure5.18 Small signal results of 100 μ mFINFET devices and conventional devices

从小信号的结果可以看出，受到寄生电容 C_{gs} 和 C_{gd} 增大的影响，finfet 器件的 f_t 和 f_{max} 低于常规结构器件，但是，随着漏压的增加， f_t 降低的幅度要低于常规结构器件^[125]。

5.1.6 毫米波 FINFET 器件功率特性测试

采用 loadpull 系统进行在片功率测试，37GHz 下连续波测试常规器件功率密度 3.51W/mm，FINFET 器件 2.95W/mm；如图 5.19 所示：

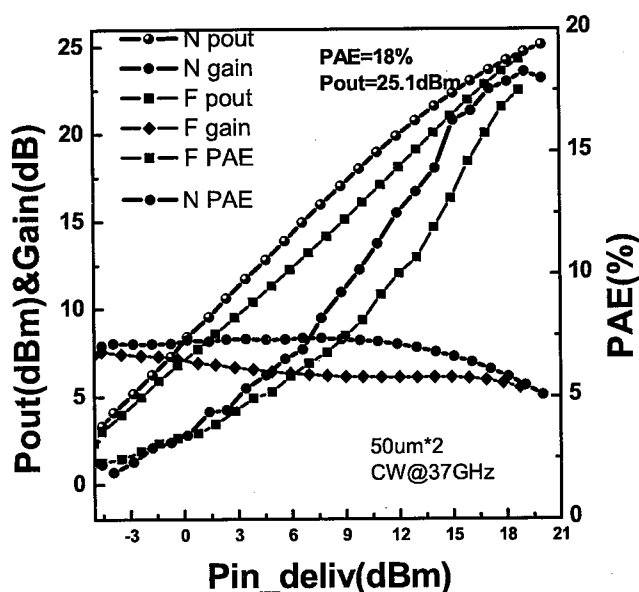


图 5.19 FINFET 结构与常规器件功率性能比较

Figure5.19 Comparison of RF performance between FINFET and conventional devices

从图 5.19 可以看出，finfet 器件的功率增益线性优于常规结构器件，随着输入功率的增加，增益压缩速度变慢。

表 5.3 常规结构与 FINFET 结构比较

	Pout W/mm	PAE	DIBL (V_{ds} 30V)	SW (SW/decade)
常规结构	3.51	18.1	33.40	800
FINFE 结构	2.92	18.1	10.40	230

5.2 双阶栅结构器件研制

5.2.1 双阶栅结构

常规 T 型栅结构虽然能够减小栅电阻，但是其栅的边缘的电场的峰值很高，这样导致器件的击穿电压下降；边缘的强电场，将会导致沟道电子在强电场下极易进入 buffer 层，降低栅调制效率。本论文从抑制场强的角度考虑，对栅的结构进行优化，以进一步提高器件的器件的击穿电压，满足高工作电压的要求，。

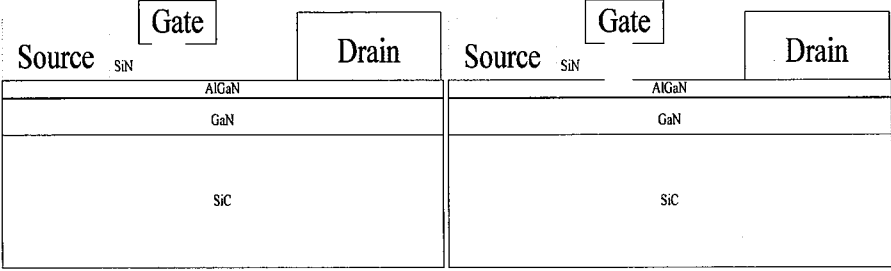


图 5.20 常规 T 型栅与双阶 T 型栅

Figure5.20 Conventional T gate and step-gate

常规 Γ 型栅结构如图 5.20 所示，沟道电子位于 AlGaN/GaN 界面。其栅脚靠漏侧场强最强，表现在横向和纵向电场的影响。由于横向强电场的影响，栅极难以完全控制沟道电子，电子在横向电场获得较大能量，持续碰撞，导致器件发生雪崩击穿。在纵向电场方面，由于电子纵向获得能量，出现热电子效应，出现其向缓冲层的隧穿，也将导致栅控能力的下降，这两种现象最直观的表现是击穿电压降低上。

采用图示结构(图 5.20 右)，采用了凹栅槽结构，栅在物理距离上更靠近沟道电子，在相同偏置电压下，双阶 Γ 型栅的对于器件物理沟道而言，栅控能力更强，击穿电压更高。

5.2.2 双阶栅结构器件电场分析

对比双阶 Γ 型栅结构，100nm Γ 型栅，200nm Γ 型栅结构的沟道电场强度（工作状态为 $v_{gs}=-5V$ ， $V_{ds}=50V$ ），如图 5.21 所示：

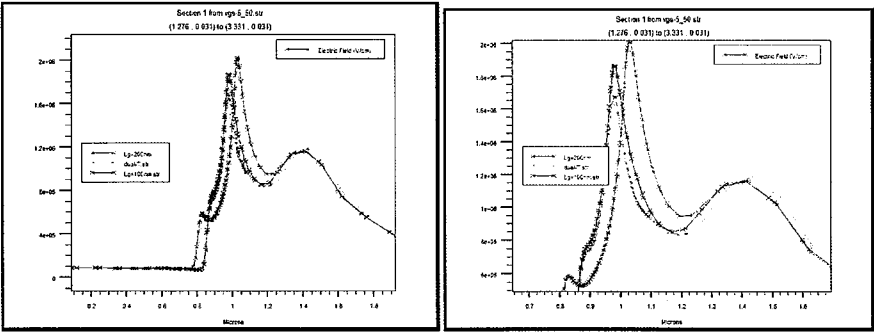


图 5.21 (a)沟道电场强度比较 (b)局部放大图

Figure5.21 (a) comparison of channel electric field intensity (b) partial enlargement

可以看到，双阶结构的峰值电场强度最小的，因此认为双阶 Γ 型栅结构可以提升器件关态击穿特性。图 5.20 给出了其直流 I-V 比较：

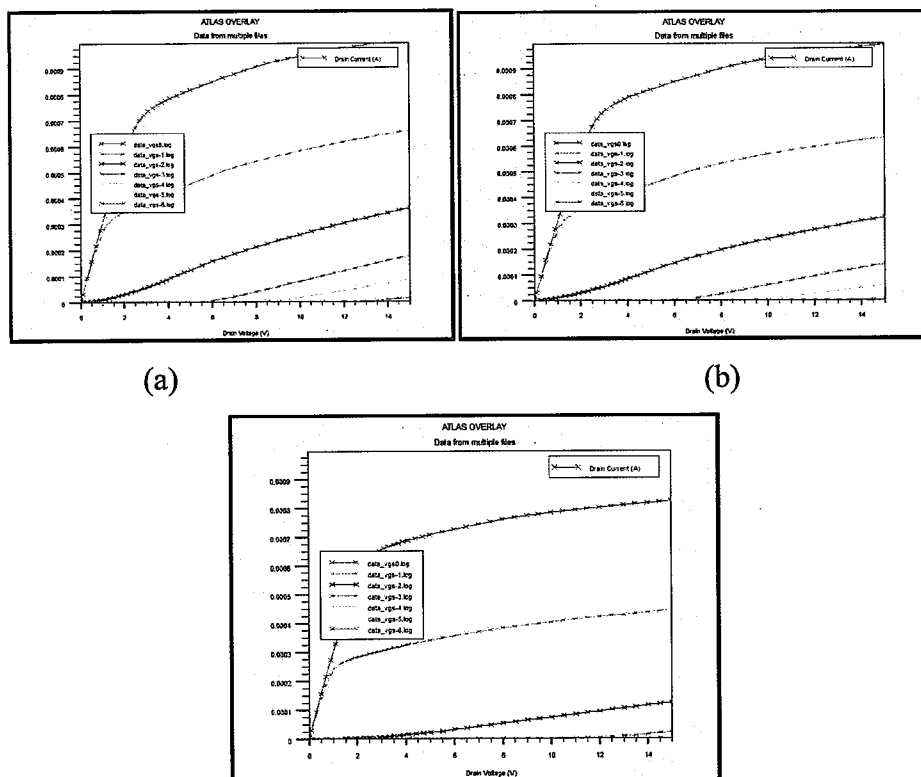


图 5.22 不同结构的直流特性(a) 100nm Γ 型栅直流仿真 (b)200nm Γ 型栅直流仿真 (c) 双阶 Γ 型栅结构直流仿真

Figure5.22 DC characteristics of different structures (a) 100nm gamma grid DC simulation (b) 200nm step-gate DC simulation (c) DC simulation of step-gate structure.

可以看出，100nm Γ 型栅短沟道效应很严重，-6V 下仍夹不断；200nm Γ 型栅有所改善，-6V 可以夹断，双阶 Γ 型栅结构则在-4V 就可以夹断。

图 5.23 给出了频率特性比较（dual- Γ 栅结构 vs 100nm Γ 栅结构）

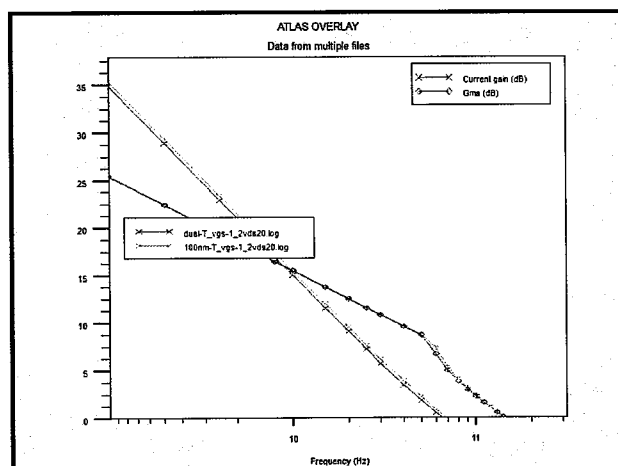


图 5.23 双阶 Γ 型结构 f_T , f_{max}

Figure5.23 Frequency characteristics of step-gate

通过工艺优化和流片，实现了双阶 Γ 型栅结构器件，栅槽部分 SEM 照片如图 5.22 所示：

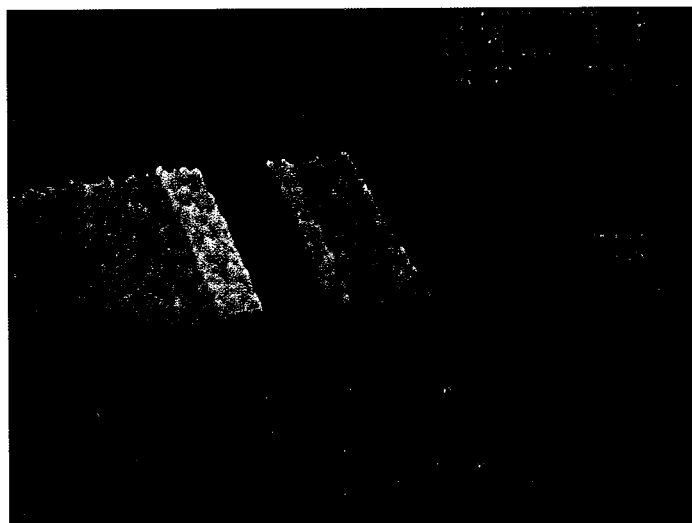


图 5.24 双阶 Γ 型栅的结构 AFM 结果

Figure5.24 Step-gate trench AFM photo



图 5.25 双阶 Γ 型栅 GaN HEMT SEM 照片

Figure5.25 Step-gate GaN HEMT

对实现的双阶 Γ 型栅结构器件进行测试，测试结果显示，比较相同尺寸常规结构的 GaN HEMT，其器件击穿电压由 64V 提高到大于 110V。器件的击穿

特性进一步提高（图 5.26 所示），这是因为，双阶 Γ 型栅双阶部分相当于栅场板结构，因而可以平滑栅脚的峰值电场，提高器件的击穿电压。

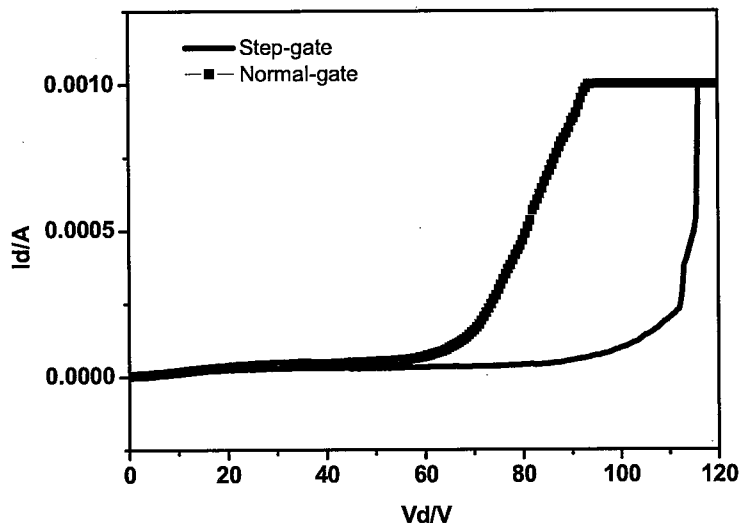


图 5.26 双阶 Γ 型栅与常规 GaN HEMT 击穿特性比较

Figure5.26 Comparison of breakdown characteristics between the step-gate and the conventional GaN HEMT

5.2.3 双阶栅结构器件频率及功率测试

对栅宽 $50\mu\text{m}$ 的器件进行了小信号特性测试，结果如表 5.4 所示：

表 5.4 常规器件与双阶器件小信号比较

Vds	6V	10V	15V	20V	25V	30V
常规栅	fT=57.6 fmax=141.6	fT=68.5 fmax=168.6	fT=55.8 fmax=170.3	fT=54.1 fmax=152.9	fT=47.6 fmax=168.8	fT=43.4 fmax=163.8
双阶栅	fT=53.2 fmax=136.2	fT=52.5 fmax=148	fT=49.4 fmax=150.8	fT=46.9 fmax=161.9	fT=42.8 fmax=171	fT=38.7 fmax=167.1

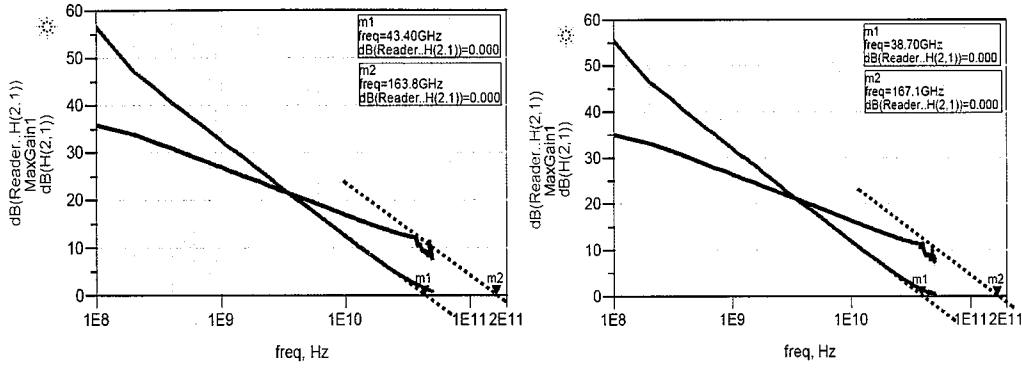


图 5.27 常规栅与双阶栅的频率比较 ($L_g=0.15\mu\text{m}$)

Figure5.27 Comparison of the frequency of the conventional gate and the step-gate ($L_g=0.15 \mu\text{m}$)

可以看出, 相同尺寸双阶器件截至频率 f_t 要低于常规结构, 原因在于该器件结构会导致栅电容增大。 f_{max} 稍高于常规器件, 得益于强场下栅控能力的增强。

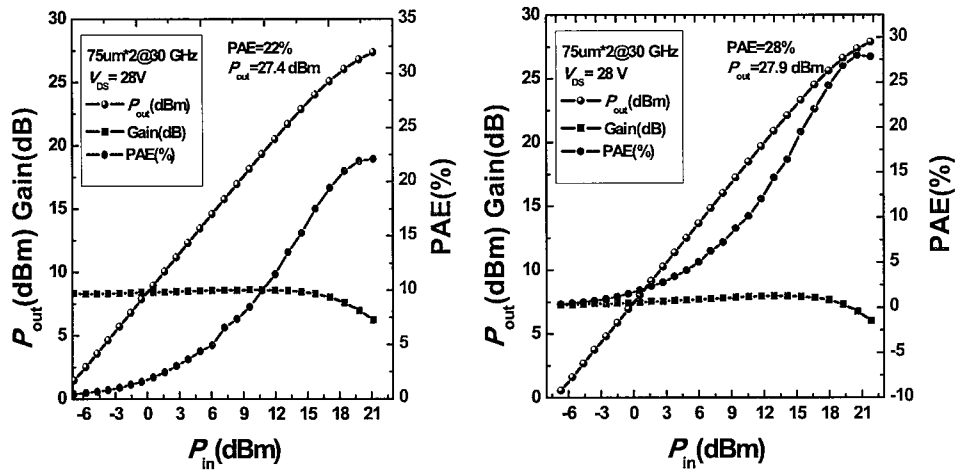


图 5.28 常规栅（左）与双阶栅的功率特性比较

Figure5.28 RF power comparison between normal-gate device (Left) and step-gate device(right)

图 5.28 给出了常规栅器件与双阶栅的功率特性比较, 在 30GHz 下进行连续波测试, 常规栅器件线性增益 8.0dB, 双阶栅结构的线性增益 7.2dB; 常规结构器件输出功率密度 3.63W/mm(27.37dBm), 双阶栅器件输出功率 4.04W/mm (27.83dBm), 双阶栅结构功率密度大于常规结构器件, 这是由于其有更强的栅控能力, 所以最终的输出功率和效率高于常规结构。

5.3 薄势垒结合 InGaN 背势垒器件的研制

传统的 AlGaIn/GaN HEMT 结构,二维电子气被限制在 AlGaIn/GaN 三角形势阱里。在栅长缩小或者漏压增大的情况下,二维电子气将摆推势阱的束缚,在缓冲层一侧,因为势垒高度较低,导致部分电子从 GaN 缓冲层一侧溢出被缓冲层被捕获,器件的栅控能力下降,沟道电流减小,器件输出阻抗降低,极大影响了器件的输出性能。背势垒的引入可以增强二维电子气的限域特性

同时,降低势垒层厚度,可以提高栅控能力,因而可以改善短沟道效应。势垒层的减薄,要通过提高 Al 组份来避免二维电子气的下降。

薄势垒结合 InGaIn 背势垒的外延材料的结构如图 5.28 所示:其中帽层 1.5nmGaN, 势垒层 12nm AlGaIn, Al 含量 0.3, AlN 插入层 1nm, 沟道层厚度 8nm; InGaIn 被势垒层 In 含量 5%; 外延材料方块电阻 $292\ \Omega/\square$ 。器件采用第三章所示的工艺流程,由于是薄势垒,不需要刻蚀势垒层。

薄势垒结合 InGaIn 背势垒 HEMT 直流性能、转移特性如图 5.26 所示。

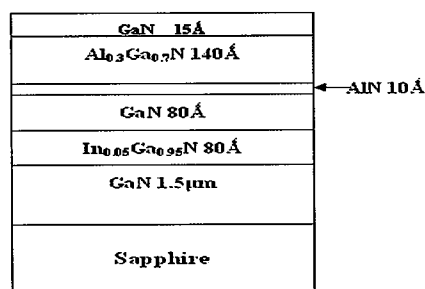


图 5.29 InGaIn 背势垒结合薄势垒的外延结构

Figure5.29 Thin barrier HEMT with InGaIn barrier

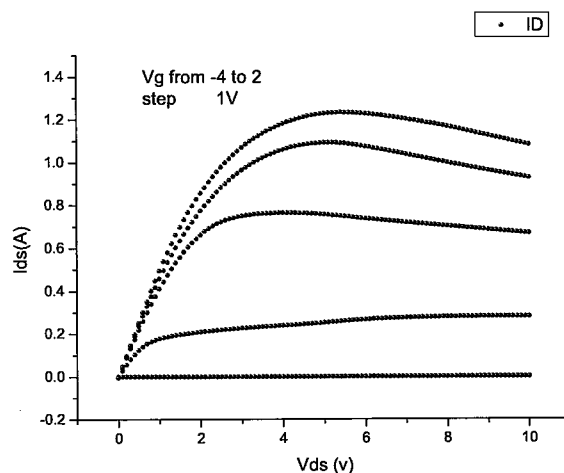


图 5.30 薄势垒（15nm）的 GaN HEMT 直流特性（电流密度 1.2A/mm）

Figure5.30 GaN HEMT DC characteristics of thin barrier (15nm) (current density 1.2A/mm)

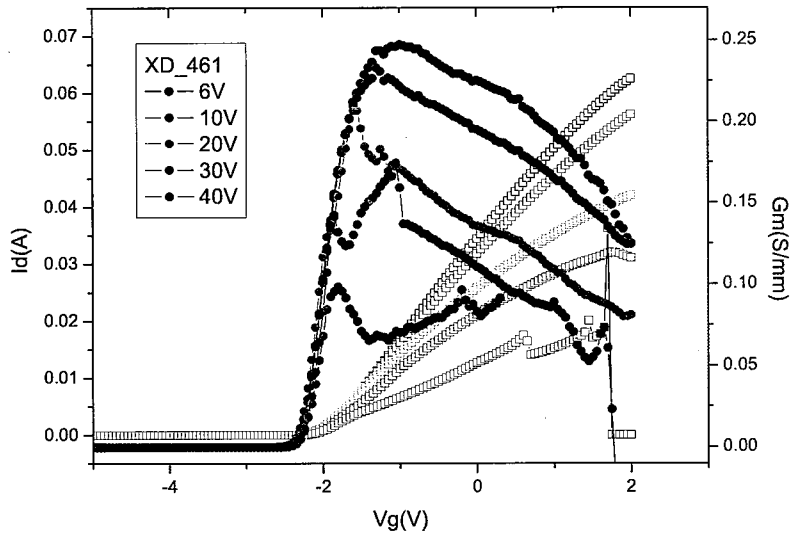


图 5.31 薄势垒层的转移特性 ($V_{ds}=6.10.15.20.30.40V$)

Figure5.31 Transfer characteristics of HEMT with thin barrier layer ($V_{ds}=6.10.15.20.30.40V$)

表 5.5 薄势垒层的转移特性

V_{ds} (V)	6	20	30	40
SW (mV/deca)	220	247	260	290mV
V_{th} (V)	-2.1	-2.15	-2.25	-2.25

从上图的结果来看， V_{ds} 从 6V 依次增加到 40V，阈值的变化范围大约在 0.15V，到 30V 下的 $DIBL=12.5\text{mV/V}$ ，可以看出，薄势垒结合 InGaN 背势垒的外延材料结构有效抑制了器件的短沟道效应。

50 μm 器件截至频率大于 110GHz，30G 下 MAG16dB。

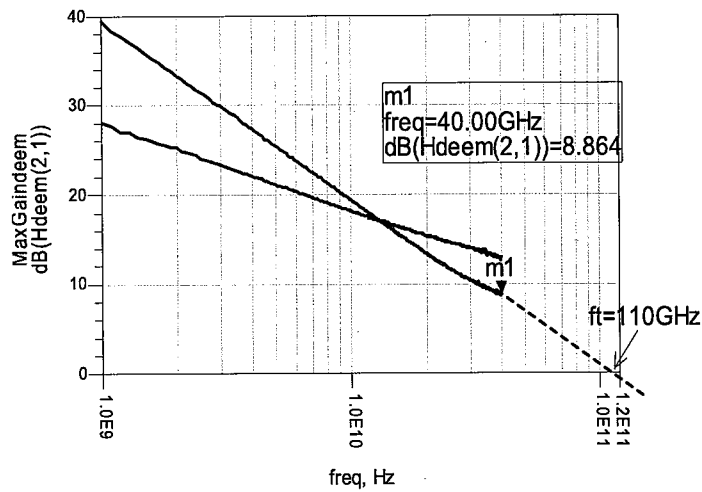


图 5.32 器件的小信号测试结果

Figure5.32 High frequency characteristics of InGaN HEMT

5.4 小结

本章开展了新结构毫米波器件的研究，主要包括三个方面：FinFET 器件结构研制、双阶栅结构研制和 InGaN 背势垒结构器件的研制。

为了进一步提高器件的栅控能力，开展了 GaN 基 FinFET 器件的研制，通过器件结构仿真设计和工艺开发，研制成功毫米波 FinFET 器件。器件亚阈值摆幅 168mV/decade, DIBL 系数 10.4mV/V, 表明 FinFET 器件结构对于短沟道效应有良好的抑制作用。

为了进一步调制栅结构边缘的峰值电场强度，开展了 GaN 基双阶栅结构的研制，通过器件结构仿真设计和工艺开发，研制成功毫米波双阶栅结构器件。器件击穿电压 110V, 比同材料常规结构器件提高 46V; 器件 30GHz 下输出功率密度 4.04W/mm, 比同材料常规结构器件提高 0.41W/mm, 表明双阶栅结构有效降低了栅结构的电场强度。

为了进一步增强二维电子气的限域特性，抑制短沟道效应，开展了薄势垒结合 InGaN 背势垒结构器件的研制。基于薄势垒结合 InGaN 背势垒结构的器件 DIBL 为 12.5mV/V, 表明有效抑制了短沟道效应。

常规材料结构由于工艺与成熟能够实现 GaN 毫米波器件的功率输出，但是短沟道效应对器件的性能影响明显；背势垒在抑制短沟道效应方面效果明显。

第六章 总结与展望

高频率和高效率是 GaN 微波器件重要的发展方向。目前 Ku 及以下器件的发展已经成熟,毫米波是未来几年研究的热点,尤其是到 W 波段,其优势无可匹敌;本文在国家重大专项课题的支持下开展了毫米波 GaN 器件的研制,研究内容属于专项课题研究的一部分;部分研究成果已经应用于 GaN 功率器件的研制。

6.1 主要成果

1. 外延材料设计

利用 atlas 软件,对毫米波 GaN 的外延结构进行了分析,通过结构设计与对比,设计出适合 GaN 毫米波器件的外延结构;分析了 AlGaIn 背势垒 InGaIn 背势垒结构、薄势垒结构、量子阱结构的沟道电子的限域特性;分析了量子阱结构的抑制强电场的机理,即 AlN/GaN 间的薄层电子相当于场板结构,可以抑制峰值电场。

2. 器件结构优化

分析了毫米波器件结构,对源漏间距,沟道层厚度、纵横比对器件性能的影响进行模拟,提出了新型的栅槽结构,与 T 型栅、U 型栅相比,能够降低电场强度 23.76%,适合于 GaN 毫米波器件。

3. 关键工艺开发与毫米波器件流程

提出了毫米波 GaN HEMT 的高性能欧姆接触方案;创新性的提出了 TiN 埋层结合 recess 技术实现了接触电阻小于 $0.10\ \Omega \cdot \text{mm}$,达到了研究的国际先进水平。同时,该欧姆接触合金温度降低,具有平整的表面和边角形貌;通过 TEM 等分析手段,深入研究了 TiN/Ti/Al/Ni/Au 技术体系埋层 TiN 埋层欧姆接触形成机制的影响。通过 TEM 比较,为 TiN 直接接触二维电子气形成低导电通道提供了直接证据。开展器件关键工艺研究,通过欧姆浅刻蚀结合 TiN 埋层技术,接触电阻下降至 $0.10\ \Omega \cdot \text{mm}$,接触电阻率达到 $1.971 \times 10^{-7}\ \Omega \text{cm}^{-2}$,分析了其形成超低欧姆接触的机理,Al 对 TiN 的掺杂调节了 TiN 的功函数,有助于超

低欧姆接触的实现；实现了低损伤栅槽刻蚀技术，60V 下的肖特基反向漏电 80nA；开发出 PMMA/Al/UVIII 复合胶电子束光刻细栅技术，能稳定得到栅长 100nm 的 T 型栅结构。

开发出了 N₂ 等离子体处理栅槽降低器件漏电的技术，器件的反向漏电下降一个数量级，使得毫米器件的电流崩塌降至 2.4%。为进一步减小毫米波 GaN HEMT 器件的源电阻、源电感，开发了密集背孔技术。成功研制出尺寸为 30 μm 的方形背孔和圆形背孔；在此基础上固化了完整的毫米波 GaN 器件的流程。。

4 器件物理方面

针对毫米波器件内部的强电场，提出了新型栅结构，100V 偏置，栅脚峰值电场比常规结构下降 23%，提高了器件的击穿电压；为抑制沟道的强电场，提出了一种新型栅结构，新型结构栅 GaN HEMT 器件在击穿电压方面更有优势，2.4 μm 器件击穿电压达到 140V，源漏间距 4 μm 器件，击穿电压 195V。

针对毫米波器件的短沟道效应，常规材料器件通过凹栅槽技术或者薄势垒材料控制纵横比从而抑制短沟道效应，薄势垒结构与背势垒结构相结合，间距 2.4 μm 器件漏压从 6V 上升至 40V，阈值漂移量仅 0.15V，DIBL 12.5mV/V；开展毫米波 GaN FINFET 器件研究，分析了 FINFET 器件的物理参量与器件性能，FINFET 器件，采用三维栅结构抑制短沟道效应，DIBL 下降至 10.4mV/V，分析其抑制短沟道效应的机理，分析了其保持器件线性的机理。

5 毫米波器件研制

开展毫米波 GaN 器件的研究，毫米波段 AlGaIn/GaN HEMT 器件，单指器截止频率超过 80GHz； f_{max} 超过 190GHz；0.15 μm 栅长器件连续波输出功率，35GHz 下的负载牵引测试，连续波条件下源和漏负载按照最大效率进行匹配，在 35GHz 下器件的最佳 PAE 为 42.3%，功率密度为 5.1 W/mm；功率匹配情况下，功率密度超过 6W/mm，效率 23.6%；

量子阱结构器件能够抑制短沟道效应，源漏间距 2.4 μm ，栅上 150nm 器件，漏压从 6V 提高到 30V，器件的阈值漂移仅 0.4V，优于常规结构；其 f_t 达到 100GHz，150 μm 栅宽器件，30GHz 连续波功率密度达到 5.28W/mm，脉冲下功率密度达到 6.65W/mm。

采用新型栅槽结构，降低了栅脚的峰值电场，源漏间距 1.6 μm 的器件的击穿场强达到 100V 以上。

6 新结构器件探索

对 GaN 毫米波 finfet 结构的进行仿真, 分析了不同尺寸下器件的性能; 解决了 Finfet 的工艺难题, 研制成功 FINFET 器件。对器件的短沟道效应进行了测试, $0.15\ \mu\text{m}$ 器件亚阈值摆幅 168mV/decade , DIBL 系数 10.4mV , 远低于常规结构; 37GHz 连续波功率密度 2.9W/mm , 功率线性优于常规结构;

开展了薄势垒、InGaN 背势垒结构的研究, InGaN 背势垒结合超薄势垒结构, 器件的截止频率大于 100GHz , f_{max} 大于 195GHz , 该器件抑制了短沟道效应, 源漏间距 $2.4\ \mu\text{m}$ 器件, 漏压从 6V 增加到 40V , 阈值漂移 0.15V , DIBL 12.5mV/V 。

7 本论文的创新点

提出并实现了的 recess 结合 TiN+TiAlNiAu 欧姆接触技术, 降低了欧姆接触电阻率, 改善了欧姆接触的形貌, 实现了低欧姆接触; 提出并实现了新型栅槽结构, 与常规结构相比, 100V 漏压下, 峰值电场下降 23.76% , 提高器件的高击穿电压; 提出并实现了毫米波 FINFET 器件, 改善了 GaN 毫米波段的段沟道效应, DIBL 下降至 10.4mV/V 器件性能, 37GHz 功率密度 2.92W/mm , 效率 18% 。

6.2 存在的问题

1. 下一步将开展欧姆接触的可靠性研究, 进一步优化和稳定其结构;
2. 开展毫米波 FINFET 器件的进一步研究, 其在抑制短沟道效应方面优势明显, 但是在频率功率等方面仍然存在差距, 下一步的主要目标是结合超薄介质的生长, 降低漏电, 继续提高性能。
3. 测试方面由于目前 40G 功放仅到 2W , 通过 TUNER 和探针, 到样片的推动功率不够, 使得大尺寸器件的测试还不能进行, 下面一步要尽快完善 GaN 40G 功率测试系统, 这是实现 Ka 波段器件, 乃至 W 波段器件的前提。

6.3 下一阶段目标

1. 相关成果尽快应用于专项的研制过程中, 35G 器件的研制结果应用于专项的电路研究, 也促进对重大专项课题的进一步实施;

在现有技术基础上开展 W 波段器件的研制, 进而开展 W 波段电路的研究, 解决工艺, 设计、测试等技术难点;

2. 全面开展毫米波有源及无源器件研究, 建立准确的器件模型, 用于毫米波电路设计。

3 开展毫米波 GaN 器件与电路的可靠性研究, 对于分析器件的可靠性机理, 使其早日实现应用。

附 件

作者简历及攻读学位期间发表的学术论文与研究成果

学习工作经历:

1992 年 09 月—1996 年 6 月, 南开大学电子科学系微电子学专业学士学位。

2002 年 09 月—2007 年 7 月, 在中科院研究生院, 同等学力学习。

2012 年 9 月—2018 年 6 月, 在中国科学院微电子研究所攻读工程博士学位。

工作经历:

1996 年 09 月—至今中科院微电子研究所

本论文发表文章 10 篇, 申请和参与申请专利 21 项:

一作论文

本论文发表文章 14 篇, 申请和参与申请专利 24 项:

一作论文

1. Yichuan Zhang, Ke Wei, Sen Huang, IEEE, Xinhua Wang, Yingkui Zheng, Guoguo Liu, Xiaojuan Chen, Yankui Li, and Xinyu Liu High-Temperature-Recessed Millimeter-Wave AlGa_N/Ga_N HEMTs with 42.8% Power-Added-Efficiency at 35 GHz IEEE ELECTRON DEVICE LETTERS 2018.5 共同第一作者
2. Wei ke liuguoguo huangsen wangxinghu liuxinyu N₂ plasma treatment for gate leakage reduction in AlGa_N/Ga_N HEMT ICNS12 12th International Conference on Nitride Semiconductors 2017 (Ga_N 领域的国际会议)
3. Weike, Wangxinhua, Liuguoguo, Huangsen, Zhengyingkui Liyankui and Liuxinyu X band AlGa_N/Ga_N HEMT with LPCVD Si_N passivation 2016 International Semiconductor Device Research Symposium (ISDRS2016)
4. Wei Ke, Liu Guoguo, Huang Sen, Liu Xinyu, Short channel effect of AlGa_N/Ga_N HEMT with a super-lattice barrier layer, the 42nd International Symposium on Compound Semiconductors, 2014.09

合作论文

1. Sen Huang, Ke Wei, Guoguo Liu, Yingkui Zheng, Xinhua Wang, Lei Pang, Xin Kong, Xinyu Liu, Zhikai Tang, Shu Yang, Qimeng Jiang, and Kevin J. Chen, High-f_{MAX} High Johnson's Figure-of-Merit 0.2μm Gate AlGa_N/Ga_N HEMTs on Silicon

Substrate With AlN/SiNx Passivation , IEEE ELECTRON DEVICE LETTERS, VOL.35, NO.3,MARCH 2014, Page(s):315- 317

2. Zhangshen Wei ke Liuguoguo Liuxinyu AlGaIn/GaN high electron mobility transistor with Al₂O₃+BCB passivation Chin. Phys. B Vol. 24, No.11(2015)117307 通信作者

3S. Huang, Ke. Wei, Z. Tang, S. Yang, C. Liu, L. Guo, B. Shen, J. Zhang, X. Kong, G. Liu, Y. Zheng, X. Liu, and K. J. Chen, "Effects of interface oxidation on the transport behavior of the two-dimensional-electron-gas in AlGaIn/GaN heterostructures by plasma-enhanced-atomic-layer-deposited AlN passivation," J. Appl. Phys., vol. 114, no. 14, p. 144509, Oct. 2013

4.Sen Huang, Xinyu Liu, Ke Wei, Guoguo Liu, Xinhua Wang, Bing Sun, Xuelin Yang, Bo Shen, Cheng Liu, Shenghou Liu, Mengyuan Hua, Shu Yang and Kevin J.Chen; O₃-sourced atomic layer deposition of high quality Al₂O₃ gate dielectric for normally-off GaN metal-insulator-semiconductor high-electron-mobility transistors, APPLIED PHYSICS LETTERS, 106, 033507 (2015);

5.陈诗哲 魏 珂, 霍荡 荡, 张一川, 《半导体技术》2017.07 基于 Recess 欧姆接触结构的 AlGaIn/GaN HEMT 器件研究 通信作者

6.S.Huang,Q.Jiang, Ke Wei, G. Liu, J. Zhang, X. Wang, Y. Zheng, B. Sun, C.Zhao, H. Liu, Z. Jin,X. Liu, H. Wang, S. Liu, Y. Lu, C. Liu, S. Yang, Z.Tang,J.Zhang,Y. Hao, and K. J. Chen , High-Temperature Low-Damage Gate Recess Technique and Ozone-Assisted ALD-grown Al₂O₃ Gate Dielectric for High-Performance Normally-Off GaN MIS-HEMTs, 2014 IEEE International Electron Devices Meeting, Pages:17.4.1-17.4.4

7.Xinhua Wang, Sen Huang, Yingkui Zheng, Ke Wei, Xiaojuan Chen, Haoxiang Zhang, and Xinyu Liu, Effect of GaN channel layer thickness on DC and rf performance of GaN HEMTs with composite AlGaIn/GaN buffer, IEEE Transactions on Electron Devices, VOL. 61, NO. 5, MAY 2014, p1341-1346

8. KONG Xing, WEI Ke, LIU Guoguo, et al. Improved Performance of Highly Scaled AlGaIn/GaN High-Electron-Mobility Transistors Using an AlN Back Barrier [J]. Applied Physics Express, 2013, 6: 051201

9. Xinhua Wang, Sen Huang, Jinhan Zhang, Yingkui Zheng, Ke Wei, Xiaojuan Chen, Guoguo Liu, Tingting Yuan, Weijun Luo, Lei Pang, Haojie Jiang, Hushan Cui, Junfeng Li, Chao Zhao, and Xinyu Liu Comparative Study of AlGaIn/GaN HEMTs with

LPCVD- and PECVD-SiNx Passivation 2014 Comparative Study of AlGaIn/GaN HEMTs with LPCVD- and PECVD-SiNx Passivation

10 Miao Zhao, Xinyu Liu, Ke Wei, Zhi Jin Low Frequency Noise Measurements as a Characterization Tool for Reliability Assessment in AlGaIn/GaN High-Electron-Mobility IEEE PEDS 2015, Sydney, Australia 9 – 12 June 2015

11 Xinhua Wang, Sen Huang, Yingkui Zheng, Ke Wei, Xiaojuan Chen, Guoguo Liu, Tingting Yuan, Weijun Luo, Lei Pang, Haojie Jiang, Junfeng Li, Chao Zhao, Haoxiang Zhang, and Xinyu Liu Robust SiNx/AlGaIn Interface in GaN HEMTs Passivated by Thick LPCVD-Grown SiNx Layer IEEE ELECTRON DEVICE LETTERS IEEE ELECTRON DEVICE LETTERS, VOL. 36, NO. 7, JULY 2015

专利 第一申请人 2 项

1. 魏珂,刘果果,孔欣,樊捷,黄森,刘新宇 一种降低背孔工艺中对等离子刻蚀机腔体污染的方法 申请 201410005319.3 已授权
2. 魏珂,刘果果,黄森,刘新宇,孔欣,樊捷 一种提高背孔工艺中金属 Ni 掩膜选择比的方法 申请号: 201410005266
3. 孔欣,魏珂,刘新宇,刘果果,“减小高电子迁移率晶体管源漏区域欧姆接触电阻率的方法”, 申请号: 201310363053.5
4. 刘果果,魏珂,孔欣,刘新宇 一种深亚微米 U 型栅槽的制作方法 申请号: 201410005105.6
5. 刘果果,魏珂,孔欣,刘新宇 一种氮化镓基场效应晶体管的 T 型栅的制作方法 申请号: 201410005454.8
6. 赵妙;刘新宇;魏珂;孔欣;王兵;郑英奎;李艳奎;欧阳思华;一种 GaN 基半导体器件欧姆接触高压可靠性的检测方法 申请号 CN201410005195.9
7. 黄森;刘新宇;王鑫华;魏珂;刘果果;章晋汉;郑英奎;陈向东;张昊翔;封飞飞;万远涛; GaN 基高电子迁移率晶体管的低温无金欧姆接触的制作方法 (申请号: 201310632276.7)
8. Xinyu Liu, Sen Huang, Xinhua Wang, Ke Wei, Wenwu Wang, Junfeng Li, and Chao Zhao, “Low Interface State Device and Method for Manufacturing the Same,” US 14/821,203
9. 一种 GaN 基增强型功率电子器件及其制备方法, 黄森, 刘新宇, 王鑫华, 魏

- 珂, 包琦龙, 罗军, 赵超, 申请号: 201510712242.8
10. 一种 III 族氮化物电子器件低温欧姆接触的制作方法, 黄森, 刘新宇, 王鑫华, 魏珂, 申请号: 201510690191.3
11. 低界面态器件及制造方法, 刘新宇, 黄森, 王鑫华, 魏珂, 王文武, 李俊峰, 赵超, 申请号: 201510103253.6
12. III 族氮化物低损伤刻蚀方法, 刘新宇, 黄森, 王鑫华, 魏珂, 申请号: 201510868081.1
13. Xinyu Liu, Sen Huang, Xinhua Wang, Ke Wei, Low Damage Etching Method for III-nitride, 申请号: US 15/060, 406, 专利申请日: 2016 年 3 月 3 日。
14. Sen Huang, Xinyu Liu, Xinhua Wang, Ke Wei, SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME, 申请号: US 15/333, 674, 专利申请日: 2016 年 10 月 25 日。
15. 黄森, 刘新宇, 王鑫华, 魏珂, 包琦龙, 王文武, 赵超 一种 GaN 基功率电子器件及其制备方法”, 申请号: 201610265883.8, 专利申请日: 2016 年 4 月 26 日。
16. 增强型 GaN 基高电子迁移率晶体管及其制备方法, 黄森, 刘新宇, 王鑫华, 魏珂, 申请号: 201610331114.3, 专利申请日: 2016 年 5 月 18 日。
17. 王鑫华;黄森;魏珂;刘新宇; GaN 基器件中阻止欧姆接触铝元素横向扩散的方法 CN201510690873.4
18. 刘新宇, 王鑫华, 黄森;魏珂, 王文武, 侯瑞兵; 面向 GaN 器件的介质生长系统及其操作方法 申请号: CN105470169A
19. 袁婷婷, 魏珂, 郑英奎, 刘新宇 一种监控 AlGaN/GaN HEMT 凹栅槽刻蚀的方法 CN201410046236.9
20. 康玄武 刘新宇 黄森 王鑫华 魏珂 氮化镓基功率二极管及其制作方法 201611258251.5
21. 康玄武 刘新宇 黄森 王鑫华 魏珂 氮化镓基功率开关器件及其制作方法 201611260109.4
22. 黄森 刘新宇 王鑫华 康玄武 魏珂 GaN 基 HEMT 器件栅极结构 201710037479.X
23. 王鑫华 黄森 魏珂 刘新宇等 GaN 与 Si 异质键合结构 申请号:

201711066953.8

24. 黄森 刘新宇 王鑫华 康玄武 魏珂 GaN 基单片功率逆变器及其制作方法
申请号: 201711081961.X

参加国际学术交流

- 1 ICNS12 12th International Conference on Nitride Semiconductors 2017 (GaN 领域的国际会议)
- 2 International Semiconductor Device Research Symposium 2016 美国
- 3 the 42nd International Symposium on Compound Semiconductors, 2014 年 9 月 Portland

承担并参与的国家科技重大专项课题 (01 专项)

课题名称	执行期限	经费(万元)	本人职责
XXX	2011.01-2014.12	1150.00	课题负责人
XXX	2014.01-2017.12	1150.00	课题负责人
XXX	2017.01-2020.12	1821.74	课题负责人
XXX	2009.01-2017.01	3300.00	课题骨干
XXXXXX	2014.-2016.12	840.00	课题骨干
重点研发课题	2016.7-2020.07	1125.0	课题骨干
973GaN 毫米波器件	2011-2014 年	830.00	课题骨干
国外 XX 技术研究	2015.3-2016.3	4.50	课题负责人