

分类号_____

UDC_____

密级_____

编号_____

中国科学院研究生院 博士学位论文

纳米新型相变存储单元的电学与热学研究

饶 峰

指导教师_____宋志棠 研究员、吴良才 副研究员

研究单位_____中国科学院上海微系统与信息技术研究所

申请学位级别_____博士_____学科专业名称_____微电子学与固体电子学

论文提交日期_____2008 年 12 月_____论文答辩日期_____2008 年 12 月

培养单位_____中国科学院上海微系统与信息技术研究所

学位授予单位_____中国科学院研究生院

答辩委员会主席_____陆卫 研究员

**Investigation on Electrical and Thermal Behavior of Novel
Nano-Phase Change Memory Cells**

Feng RAO

(Microelectronics and Solid State Electronics)

Directed by: Professor Zhitang SONG

& Associate Professor Liangcai WU

纳米新型相变存储单元的电学与热学研究

饶峰 (微电子学与固体电子学)

导师: 宋志棠 研究员、吴良才 副研究员

摘要

相变存储器(Phase change memory—PCM)是目前最具潜力的下一代非易失性存储器,降低相变存储单元(PCM cell)的功耗和实现高密度存储已成为业界研究的热点。本论文通过优化传统 T 型 PCM cell 纳米尺度结构,使用几种新型纳米加热层薄膜,有效提高了单元的加热效率,降低了操作功耗。于单一 PCM cell 中使用双层纳米相变材料薄膜结构,成功实现了三级数据存储态,并就中间电阻态的形成与稳定机制进行了研究,为多层相变材料薄膜中获得稳定的多级存储态提供了理论依据。主要创新成果包括:

1. 开发了与 CMOS 工艺兼容的多晶态 WO_3 纳米薄膜作为 PCM cell 下加热层/下加热电极。多晶态 WO_3 纳米薄膜具有与相变硫系化合物薄膜相近的低的热导率,使用多晶态 WO_3 纳米薄膜作为加热介质能有效抑制焦耳热向底 W 电极的扩散,提高了 PCM cell 的加热效率,从而获得了更低的 RESET 操作电压。多晶态 WO_3 纳米薄膜还具有良好的高温热稳定性,确保了 PCM cell 长期操作的可靠性。PCM cell 改进前后的电压降低比率与理论计算结果一致。器件尺寸缩小时,通过高温热氧化工艺便可在底 W 电极顶部制备出纳米尺度的多晶态 WO_3 薄膜,制备工艺简单,成本低廉,因此多晶态 WO_3 纳米下加热电极具有实际应用于工业化 PCM 产品中的潜力。
2. 开发出与 CMOS 工艺兼容的富 Si 型多晶态 Si_9Sb 纳米薄膜作为 PCM cell 下加热层。相比 Si_8Sb_2 和 Si_7Sb_3 两组分,多晶态 Si_9Sb 纳米薄膜在 900 K 时具有更好的热稳定性且表面粗糙度较低,在高温情况下 $\text{Si}_9\text{Sb}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面不存在明显的元素互扩散现象。此外,多晶态 Si_9Sb 纳米薄膜作为类相变材料薄膜同样具有较低的热导率,因此使用此下加

热层, PCM cell 能在降低功耗的同时确保操作可靠性和使用寿命。与之相反, 使用多晶态 SnO_2 纳米薄膜作为下加热层时, 虽然能有效提高 PCM cell 的加热效率, 但 SnO_2 与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料高温情况下的固相反应和元素扩散导致了器件的提前失效。

3. 最先阐明了上电极层对 PCM cell 功耗降低的重要性。发现非晶态 SiGe_xN_y 纳米上加热电极在 PCM cell 的 RESET 操作时可转变为晶态结构, 此晶态 SiGe_xN_y 电极具有比传统 TiN 电极略低的热导率, 有效的将焦耳热集中在相变薄膜层内部以促发其相变, 从而降低了 SET 和 RESET 操作电压。
4. 在双层纳米硫系化合物薄膜($\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3)结构的 PCM cell 中发现了中间电阻态。通过热学模拟 PCM cell 的 SET 过程证实双层薄膜的有序结晶可导致中间电阻态产生, 使用有效相变区域模型计算和比较了单层结构与双层结构 PCM cell 的 RESET 操作功耗。并进一步就 $\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 双层结构 PCM cell 中间电阻态的形成与稳定机制进行了研究, 指出中间电阻态并非随意可以访问, 调节器件操作参数对于获得稳定可控的中间电阻态是必要的。发现 Sb_2Te_3 层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间高温时的元素互扩散是 RESET 操作时中间电阻态消失的主要原因。选用纳米 TiN 作为扩散阻挡层有效抑制了两层相变材料之间的互扩散, 从而提升中间电阻态的稳定性。

关键词: 相变存储单元、加热层、低功耗、三级存储、热稳定性

Investigation on Electrical and Thermal Behavior of Novel Nano-Phase Change Memory Cells

Feng RAO (Microelectronics and Solid State Electronics)

Directed by: Professor Zhitang SONG and Associate Professor Liangcai WU

Abstract

As the most promising next generation nonvolatile memory, lowering the power consumption and enhancing the data storage density of the phase change memory (PCM) have become the research hotspots. In this paper, the T-shaped nanoscale structure of the traditional PCM cell is optimized to enhance the thermal efficiency so as to reduce the operating power by using several new heating materials as the nano-heating layers. The formation and stabilization mechanisms of the triple-level data storage in single PCM cell with doublelayer chalcogenide nano-films are also studied, which provides a theoretical basis for achieving the stably multilevel data storage on multilayer phase change films. The main innovations include:

- 1) Polycrystalline WO_3 nano-film which is compatible with CMOS technology is used as the bottom heating layer/electrode in PCM cells. The thermal conductivity of polycrystalline WO_3 nano-film is as low as the chalcogenide nano-film. With this heating medium, the thermal efficiency of PCM cell is effectively enhanced by restricting the Joule heat dissipation towards the bottom W electrode, which helps to decrease the RESET voltage. Moreover, because polycrystalline WO_3 nano-film is thermally stable at high temperature, the modified PCM cell also bears long-term programming reliability. The ratios of experimental and theoretical RESET voltage reduction are consistent. As the dimension of the cell scales down, it is convenient and low-cost to fabricate this polycrystalline WO_3 nano-film on top of the bottom W electrode via high-temperature thermal oxidation process, which indicates the polycrystalline

WO₃ bottom nano-heating electrode has more potential application in PCM industrialization.

- 2) Polycrystalline Si rich Si₉Sb nano-film which is compatible with CMOS technology serves as the bottom heating layer in a PCM cell. Such component with a low surface roughness has a better thermal stability at 900 K than the other two compositions (Si₈Sb₂ and Si₇Sb₃). There is no obvious element inter-diffusion at the Si₉Sb/Ge₂Sb₂Te₅ interface in the case of high temperature. In addition, as a similar phase change nano-film, Polycrystalline Si₉Sb nano-film has a low thermal conductivity. Hence, the modified PCM cell shows lower power consumption, good programming reliability, and long cycle life. On the contrary, although the polycrystalline SnO₂ bottom nano-heating layer is good for improving the PCM cell thermal efficiency, the solid phase reaction and element inter-diffusion between SnO₂ and Ge₂Sb₂Te₅ layers lead to the premature device failure.
- 3) We are the first to demonstrate the importance of the upper electrode in PCM cell on decreasing the power consumption. The amorphous SiGe_xN_y nano-upper electrode can be transformed into the crystalline state during RESET process. The crystalline SiGe_xN_y electrode has a lower thermal conductivity than traditional TiN electrode, which is good for concentrating the Joule heat in phase change film to prompt the structure change. Thus lower SET and RESET voltage values can be obtained.
- 4) Medium resistance state is achieved in single PCM cell with doublelayer chalcogenide nano-films (Sb₂Te₃/Ge₂Sb₂Te₅). Thermal simulation is carried out to understand the SET process in which the sequential crystallization leads to the formation of the medium resistance state. Simple model of active phase change region is applied to calculate and compare the power consumption of monolayer and doublelayer PCM cells. We also investigate the formation and stabilization mechanisms of the medium resistance state. The stable and controllable medium resistance state cannot be freely accessed but achieved by selecting appropriate programming parameters. Interdiffusion between Sb₂Te₃ and Ge₂Sb₂Te₅ layers at

high temperature degrades the stabilization of the median resistance state. The anti-diffusion TiN thin layer effectively inhibits the element diffusion between Sb_2Te_3 and $\text{Ge}_2\text{Sb}_2\text{Te}_5$ layers which improves the stability of the medium resistance state.

Keywords: Phase change memory cell, heating layer, low power consumption, triple-level data storage, thermal stabilization

目录

摘要	I
Abstract	III
第一章 前言	1
1.1 引言	1
1.2 半导体存储器概述	2
1.3 相变存储器综述	7
1.3.1 相变存储器原理概述	7
1.3.2 相变存储器研发历程与应用前景	9
1.3.3 相变存储器器件结构	10
1.3.4 相变材料的发展	13
1.3.5 相变材料的快速相变机理	15
1.4 本论文的主要研究内容	20
第二章 多晶态三氧化钨下加热层	22
2.1 引言	22
2.2 薄膜制备与表征实验介绍	29
2.2.1 WO ₃ 薄膜与 Ge ₂ Sb ₂ Te ₅ 薄膜制备	29
2.2.2 WO ₃ 薄膜与 Ge ₂ Sb ₂ Te ₅ 薄膜的结晶与电阻表征	31
2.3 XRD 与电阻-温度测试结果	32
2.3.1 多晶态 WO ₃ 薄膜	32
2.3.2 多晶态 Ge ₂ Sb ₂ Te ₅ 薄膜	33
2.4 T 型 PCM 阵列的制备工艺	34
2.5 T 型 PCM cell 的电学性能测试	42
2.6 RESET 操作电压降低的理论分析	44
2.6.1 WO ₃ 下加热层的材料特性	44
2.6.2 PCM cell 的 RESET 操作电压降低数值计算	45
2.6.3 PCM cell 的 RESET 操作热学模拟	47
2.7 热氧化 WO ₃ 加热电极	50
2.7.1 热氧化法制备 WO ₃ 薄膜	50
2.7.2 PCM cell 内 W 底电极顶部的氧化	52
2.7.3 热氧化 WO ₃ 电极 PCM cell 的电学测试与热学模拟	54
2.8 小结	57
第三章 富硅型多晶态硅锑下加热层	58
3.1 引言	58
3.2 实验介绍	58
3.3 多晶态富 Si 型 SiSb _x 薄膜表面形貌	59
3.4 多晶态富 Si 型 SiSb _x 薄膜的电阻率	62
3.5 Si ₉ Sb/Ge ₂ Sb ₂ Te ₅ 界面的热稳定性	63
3.6 PCM cell 的电学性能和热学模拟	66
3.7 小结	68
第四章 非晶态氮化锗硅上加热电极	70
4.1 引言	70

4.2 实验介绍.....	71
4.3 PCM cell 的电学性能和热学模拟.....	71
4.4 小结.....	77
第五章 晶态二氧化锡下加热层.....	79
5.1 引言.....	79
5.2 实验介绍.....	79
5.3 SnO ₂ 薄膜的 XRD 与电阻率.....	80
5.4 PCM cell 的电学性能.....	81
5.5 SnO ₂ /Ge ₂ Sb ₂ Te ₅ 与 TiN/ Ge ₂ Sb ₂ Te ₅ 界面的热稳定性.....	83
5.6 小结.....	87
第六章 PCM cell 三级电阻态的实现.....	88
6.1 引言.....	88
6.1.1 多层相变材料薄膜结构.....	88
6.1.2 单层相变薄膜结构.....	90
6.1.3 纳米线结构.....	92
6.1.4 平面多通道结构.....	92
6.1.5 其他多级存储结构与机理.....	93
6.2 实验介绍.....	94
6.3 PCM cell 的电学性能与热学模拟计算.....	95
6.4 小结.....	103
第七章 中间电阻态稳定性研究.....	105
7.1 引言.....	105
7.2 实验介绍.....	105
7.3 PCM cell 的电学性能.....	105
7.4 中间电阻态的稳定性.....	110
7.5 TiN 防扩散薄层.....	112
7.6 小结.....	115
第八章 总结.....	117
参考文献.....	120
博士期间发表学术论文目录.....	134
致谢.....	137
作者简历.....	138

第一章 前言

1.1 引言

人类的历史是文明进化的历史，人类文明从诞生之初就与信息形影不离。早在远古时期，人们只能通过简单的语言、壁画等方式交换信息。随着文字的发明及使用，人类有了可靠的记录、传承信息的本领。它弥补了口头语言时空障碍的缺陷，具有规范、便携、长期保存等优点，所承载的信息也由简单、容易变得复杂、繁多。与此同时，人们也开始寻找新的载体作为承载文字的媒介，从泥地、石头、羊皮到竹简、丝帛、草纸等，正是文字推动着人类对信息记录与传播媒介的发明创造。

纵然人类的历史与信息密不可分，但人类对信息的认识却姗姗来迟。直到二十世纪，随着电子技术的发展，特别是 1946 年美国宾夕法尼亚大学的埃克特和莫希里研制出世界上第一台电子计算机后，人类才朦胧地意识到信息时代的即将来临。于是，一系列的科学发现、发明逐步将人类引领进信息时代：20 世纪 40 年代，科学家们发现了半导体材料，用它制成晶体管，替代了电子管；1948 年美国贝尔实验室的肖克莱、巴丁和布拉坦发明了晶体三极管；1959 年美国的基尔比和诺伊斯发明了集成电路，从此微电子技术诞生了；1967 年大规模集成电路诞生了，一块米粒般大小的硅晶片上可以集成 1 千多个晶体管的线路；1977 年美国、日本科学家制成超大规模集成电路，30 平方毫米的硅晶片上集成了 13 万个晶体管。微电子技术的进步极大地推动了电子计算机的更新换代，使电子计算机显示了前所未有的信息处理功能，人类的信息总量开始呈现几何级数的增长。因此，由二十世纪末进入二十一世纪，人类迎来了一个信息爆炸的崭新时代，对于大容量信息存储，快速处理、传播的巨大需求促成了半导体存储技术的出现。

据美国半导体行业协会(Semiconductor Industry Association)8 月份最新发布的报告显示，2008 年 8 月份全球半导体的销售收入为 227 亿美元，比 2007 年同期的 215 亿美元增加了 5.5%，比 7 月份的 222 亿美元增加了 2.3%。截止 2008 年 8 月份，全球半导体销售收入为 1702 亿美元，在 2007 年同期的 1629 亿美元的基础上增长了 4.5%。由图 1.1 不难发现，国际半导体行业的销售收入至 2002

年以来已经连续 6 年高速增长，其中半导体存储器件约占其销售总额的 20%。

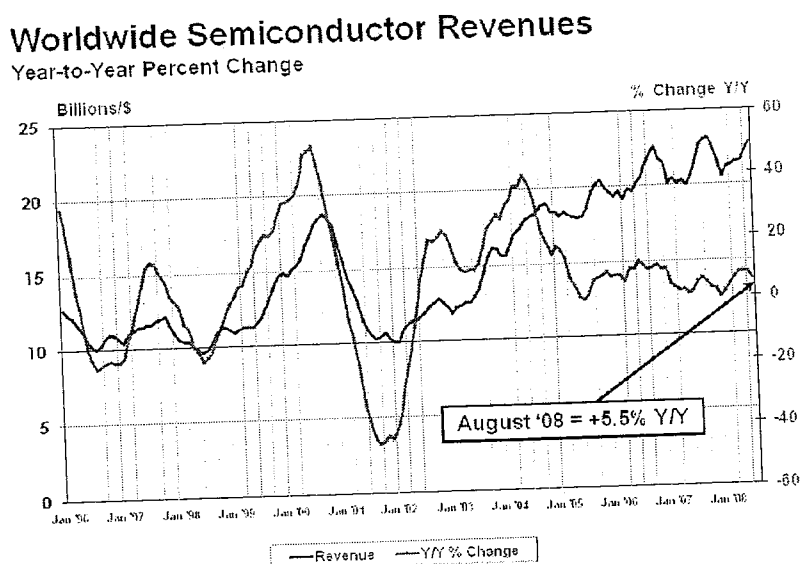


图 1.1 1996.1-2008.8 全球半导体行业年销售额与增长比率。

面对如此巨大和快速增长的全球市场，中国同样也在大力发展自身的半导体产业，预计在未来的若干年中，中国半导体存储器件的研发力度和市场规模将持续保持强劲的发展势头。

1.2 半导体存储器概述

从应用的角度半导体存储器可分为两大类：只读存储器 ROM (READ Only Memory) 和随机读写存储器 RAM (Random Access Memory)。而根据它们的工作特点，只读存储器又分为 ROM、可编程 PROM、可擦可编程 EPROM 以及电可擦可编程 EEPROM，RAM 又分为静态 Static RAM 和动态 Dynamic RAM。

ROM 只能读不能写，而 PROM 允许写一次，一旦写入之后就变成永久性的 ROM。此两类存储器多由厂家提供固化成熟的固定的程序或数据，其成本低，使用广泛，如 IBM-PC 机中的 BIOS 就是固化在 ROM 中。EPROM 和 EEPROM 都是可擦除的 PROM，即存储芯片内的信息可以多次擦除和多次写入。它们常用以存放需要修改、升级的程序或数据。EPROM 和 EEPROM 主要的区别是它们采用不同的擦除方法，前者用紫外线照射擦除，后者用电信号擦除。

SRAM 和 DRAM 二者均是随机可读、写的存储器。SRAM 其存储电路是以双稳态触发器为基础,只要不掉电,信息永不会丢失,不需要刷新电路。SRAM 的主要性能是:存取速度快、功耗较大、容量较小。它一般适用于构成高速缓冲存储器(Cache); DRAM 是依靠电容来存储信息,电路简单集成度高,但电容漏电,信息会丢失,故需要专用电路定期进行刷新。DRAM 的主要性能是:容量大、功耗较小、速度较慢。它被广泛地用作内存储器的芯片。

存储器的主要性能是指存储容量、存储速度和可靠性这三项指标。若容量大、速度快、可靠性高,则认为该存储器性能好。当然,功耗和数据的易失性,也是评价存储器性能的重要指标。SRAM 和目前在电脑中无处不在的 DRAM 由于必须提供电能以保持其存储态,被称为易失性(volatile)存储器。而非易失性(Nonvolatile)存储器,如闪存(Flash memory),在断电后依然可以保持数据不丢失,又能像 RAM 那样及时的进行数据的擦写,正日益取代易失性存储器,成为半导体存储器的主流产品。

相比技术最为成熟的 Flash memory^[1],另外几种非易失性存储器都处在发展的过程中,但已经可以通过对它们各自的技术特点来预期谁最有可能赢得这场非易失性存储器市场的竞争。图 1.2 将 DRAM 和 Flash memory 与铁电存储器(Ferroelectric RAM)^[2,3]、磁阻存储器(Magnetoresistive RAM)^[4,5]以及相变存储器(Phase change RAM)进行了比较。

	DRAM	Flash	FRAM (ferroelectric)	MRAM (magnetic)	PCM (phase change)
Relative bit size (1= DRAM cell size (~NOR Flash))	1	0.25 - 1	3 - 10	1 - 3	0.5 - 2
Relativ. mask count	1	1.1	1	1	1
Scalability	Fair	Fair	Poor	Poor	Good
Endurance	Unlimited	10 ⁵ Block erasing	10 ¹⁰ destructive read	>10 ¹⁴ Sensing critical	10 ¹²
Data retention	10ms	> 10years	> 10years	> 10years	> 10years
Write time	< 100ns	μs/ms	< 100ns	< 100ns	< 100ns
Write power/B (VxI)	3Vx100μA	5V x 1mA	3Vx100μA	1.8Vx10mA	3Vx1mA
Maturity	Volume prod.	Volume prod.	Limited prod.	Test chips	Test chips

图 1.2 几种存储器性能比较^[6]。

Flash memory 采用具有浮栅的金属-氧化物-半导体场效应晶体管(MOSFET)来存储电荷, 见图 1.3。对于 Flash memory 来说, 晶体管沟道与浮栅之间的介质层质量是至关重要的, 随着工艺的发展, 为了提高存储密度, 介质层变的非常的薄, 急剧升高的电容要求介质层必须具备很高的介电常数, 而与此同时其它的物理极限导致 Flash memory 在面对 65nm 节点的时候其可靠性受到了极大的考验^[6], 图 1.2 中已明确指出它的使用寿命(Endurance)明显不如其它几种存储器。另外其相比较高的写擦能耗和较长的写/擦时间同样否定了其继续作为主流非易失性存储器的可能。

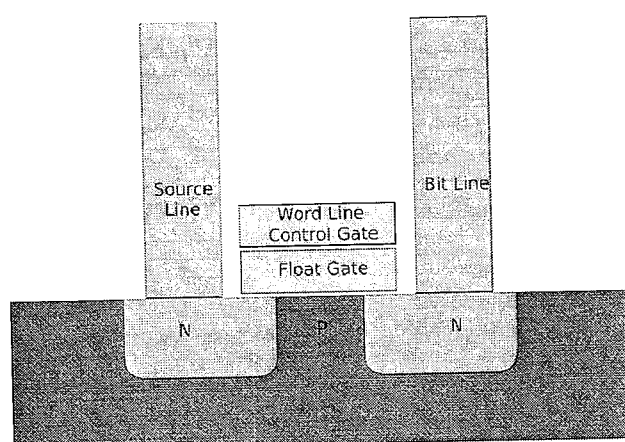


图 1.3 Flash memory 示意图。

FRAM(图 1.4)的存储原理是基于铁电材料的高介电常数和铁电极化特性, 按工作模式可以分为破坏性读出和非破坏性读出。破坏性读出模式利用铁电薄膜的电容效应, 以铁电薄膜电容取代常规的存储电荷的电容, 利用铁电薄膜的极化反转来实现数据的写入与读取。随着不断地极化反转, 此类 FRAM 会发生疲劳失效等可靠性问题。而非破坏性读出模式则以铁电薄膜来替代 MOSFET 中的栅极二氧化硅层, 通过栅极极化状态来实现对来自源-漏电流的调制, 使它明显增大或减小, 根据源-漏电流的相对大小即可读出所存储的信息, 而无需使栅极的极化状态反转。由于 FRAM 的结构与 DRAM 十分相似, DRAM 在面对 55nm 节点时信号灵敏度的问题或许对于 FRAM 同样是个瓶颈。如果为了寻求大容量的存储, 随着 FRAM 器件尺寸的缩小, 铁电材料尺寸的缩小同样会导致其铁电特性的消失^[3, 4], 因此 FRAM 不具有很好的尺寸缩小特性(poor scalability), 如图 1.2

所示。

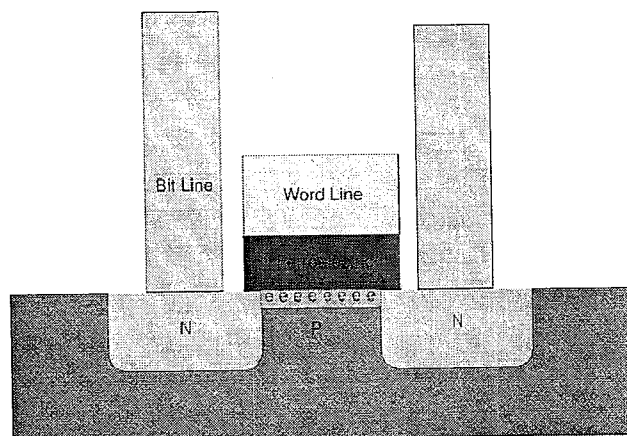


图 1.4 FRAM 示意图。

MRAM(图 1.5)通过控制铁磁体中的电子旋转方向来达到改变读取电流大小的目的，从而使其具备二进制数据存储能力。理论上来说，铁磁体是永久不会失效的，因此它的写入次数也是无限的。在 MRAM 发展初期所使用的磁阻元件是被称为巨磁阻(GMR)的结构，此结构由上下两层磁性材料，中间夹着一层非磁性材料的金属层所组成。由于 GMR 元件需较大电流成为无法突破的难点，因此无法达到高密度存储器的要求。与 GMR 不同的另一种结构是磁性隧道结(MTJ)。MTJ 与 GMR 元件的最大差异是隔开两层磁性材料的是绝缘层而非金属层。MTJ 元件是由磁场调制上下两层磁性层的磁化方向成为平行或反平行来建立两个稳定状态，在反平行状态时通过此元件的电子会受到比较大的干扰，因此反映出较高的阻值；而在平行状态时电子受到的干扰较小得到相对低的阻值。MTJ 元件通过内部金属导线所产生的磁场强度来改变不同的阻值状态，并以此记录“0”与“1”的信号。MRAM 当前面临的主要技术挑战就是磁致电阻太过微弱，两个状态之间的电阻只有 30%—40% 的差异，读写过程要识别出这种差异的话，还有一定的难度。与 FRAM 一样，MRAM 同样面临器件尺度问题，随着器件尺寸的缩小，某些时候本单元的激发磁场可能会覆盖临近其它单元的小部分区域，从而导致潜在的错误写操作。

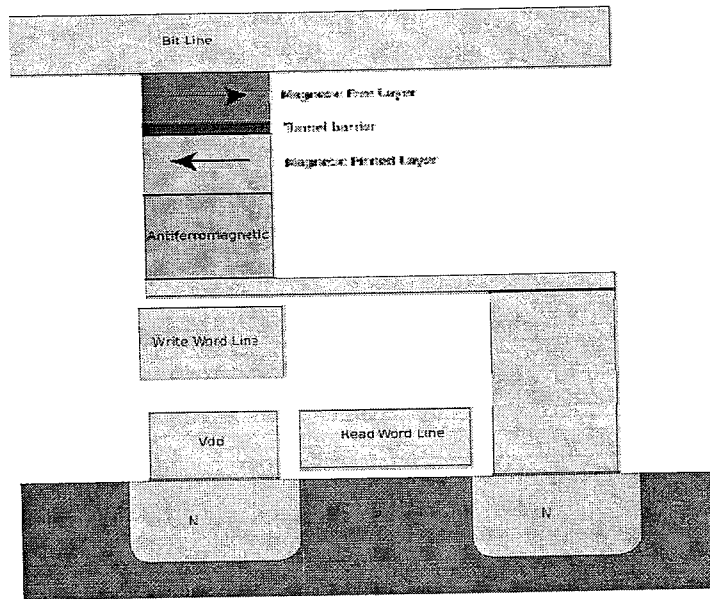


图 1.5 MRAM 示意图。

以此看来，Flash、FRAM 和 MRAM 都没有充分的把握成为未来主流的非易失性存储器。相反，Phase change RAM (PCM)与现有的 CMOS 工艺兼容，结构相对简单使得工艺不很复杂，操作时具有高速度，由于其良好的尺寸缩小特性，可以同时降低功耗和实现高密度存储，加上其较低的成本，使 PCM 成为下一代非易失性存储器的研发焦点。同样进入人们的视野的新型的电阻变化类型的非易失性存储器还包括其它两种：编程金属化存储器(Programmable metallization cell, PMC)^[7, 8]以及电阻存储器(Resistive RAM, RRAM)^[9, 10]。

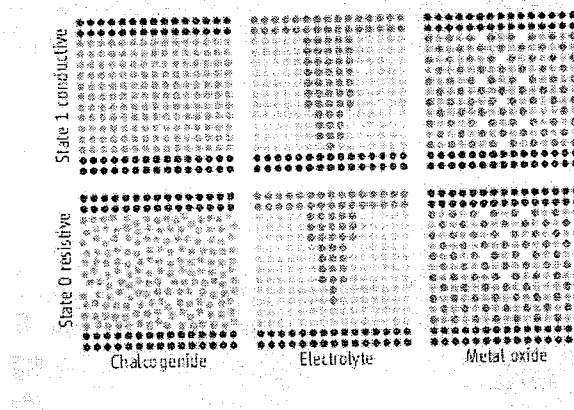
图 1.6 (左)：PCM 中相变材料晶态与非晶态之间的相变；(中)：金属离子通道在固态电介质中的形成与湮灭；(右)：金属氧化物中氧原子缺失模式的形成与破坏^[11]。

图 1.6 示意的给出了 PCM、PMC 和 RRAM 在“0”与“1”两数据态时的器件内部情形。PMC 采用极性变换的电脉冲，通过还原与氧化电介质玻璃态网格中嵌入的可移动金属离子，如 GeSe 中的 Ag 或 Cu，从而在上下电极之间形成或湮灭由这些金属离子形成的纳米尺度的电学桥连，使得器件的电阻值在低高之间转变。对于 RRAM 中使用的材料通常都含有混合价带的过渡金属离子，如 Ti^{3+} — Ti^{4+} ，以及可以移动的氧空位，而氧空位在外加电场作用下的移动被认为有可能是其在高低阻值之间变化的主要原因^[11]。

与本论文将详细讨论的 PCM 类似，PMC 与 RRAM 都具有很好的尺寸缩小特性，然而相比 PCM 已经经过实验验证的良好器件疲劳特性($\sim 10^{12}$ 次循环，图 1.2)，PMC 还没有达到相同水平，而且它在高温情况下的数据保持能力的下降同样也需要进一步改进；就 RRAM 而言，它主要的问题则在于克服其转变操作参数的大幅度波动，而且其电阻转变的内在物理机制还没有完全明了，因此还处在实验室研发的初步阶段。

比较以上的几种主要的非易失性存储器，目前看来，PCM 是最具希望挑战 Flash memory 甚至最终替代 DRAM 地位的选择，率先解决产业化中的工艺难题与真正弄清相变机理对于 PCM 赢得非易失性存储器市场将是至关重要的。

1.3 相变存储器综述

1.3.1 相变存储器原理概述

相变存储器(PCM)的主体部分是以硫系化合物(Chalcogenide)为基础的相变材料。1968 年 Stanford R. Ovshinsky 在其 Physical Review Letters 的文章中首先报道了在硫系化合物($Ge_{10}Si_{12}As_{30}Te_{48}$)中发现了电场激发下的高低阻值之间的转变现象^[12]。然而硫系化合物真正被应用到电学存储器中也只是最近十几年的事情，这都归因于微电子行业这些年的发展，为电学存储器件的实现提供了技术前提，因为只有在微米甚至纳米尺度的情况下，硫系化合物材料相变所需要的功耗才能大大降低，其工业化才被提上日程。之前二三十年中，在对包含 Ge、Sb 和 Te 三种元素的合金发现的基础上^[13, 14]，硫系化合物在商业上主要被运用中于多媒体数据光盘(DVD)。因为硫系化合物合金在脉冲激光的热诱导作用下可以实现在

无序(非晶态)—有序(晶态)之间的转变,这两种物质形态在结构上的不同导致其宏观上的光学反射率存在很大的差异,此种差异实现两个稳定数据态的存储^[15, 16]。

将硫系化合物(如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$)应用于 PCM 时,主要使用它在无序与有序两态时差距明显的电阻值来作为数据存储的“0”、“1”态,在非晶态时材料表现出高的电阻值,反之在晶态时材料则表现出低的电阻值。不同于 DVD 中使用激光脉冲来转变材料的结构,驱动 PCM 的却是电脉冲。如图 1.7 所示,通过施加一个较长时间、强度中等的电脉冲于非晶态硫系化合物材料上,可在脉冲作用区域实现对非晶态材料的加热(电能转化成的焦耳热),使其温度升高到结晶温度以上、熔化温度以下从而再结晶,此过程通常被称为设置(SET)过程;而使用一个强度更高但作用时间短促的电脉冲于晶态硫系化合物材料上,在焦耳热的作用下,当温度升高到材料熔点之上后,经过一个快速的热量释放过程(淬火,降温速率超过 10^9 K/s),材料由熔融态直接进入非晶态,此过程则被定义为重置(RESET)过程;数据的读取(READ)过程则是通过测量硫系化合物材料的电阻值来实现的,此时所加电脉冲的强度很弱,控制硫系化合物温度升高到结晶温度以下,避免激发不必要的材料相变,确保不破坏已存储的信息。

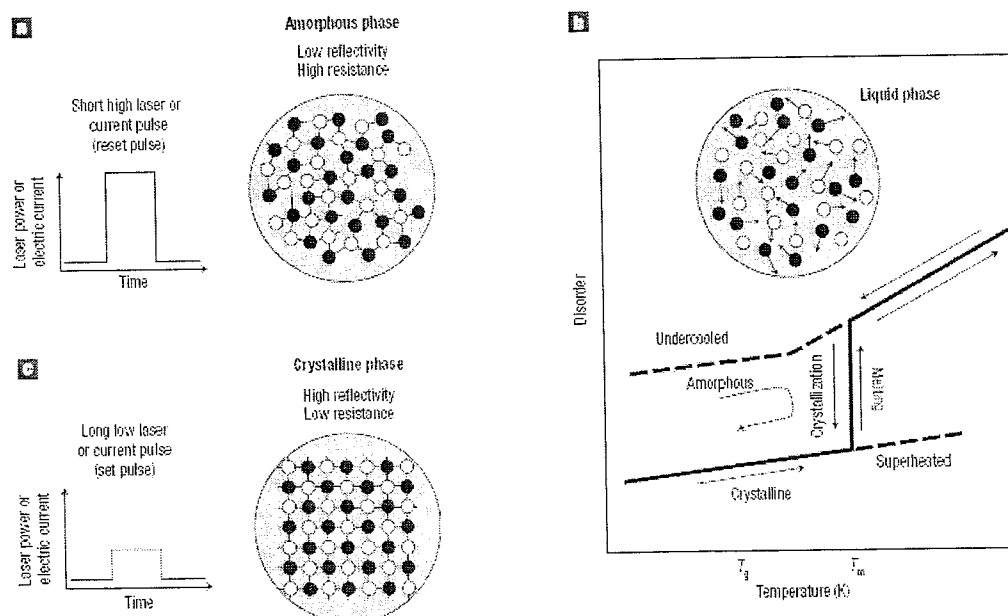


图 1.7 激光脉冲、电流脉冲作用下硫系化合物材料的相变过程^[17]。

1.3.2 相变存储器研发历程与应用前景

自 Stanford R. Ovshinsky 在二十世纪六十年代提出硫系化合物作为潜在的存储器技术以来^[12], 相变存储器的发展经历了近三十年的停滞阶段, 直到 1999 年 Ovonyx 联合风险投资公司的成立, 相变存储器的研发和产业化开始进入了一个飞速发展的时期, 截止 2008 年 2 月英特尔 (Intel) 和意法半导体 (STMicroelectronics) 已宣称开始为用户提供相变存储器晶片样片, 相变存储器离全面产业化的目标愈发接近。相变存储器发展的主要事件列于表 1.1 中。

表 1.1 相变存储器研发大事记

时间	重要事件
1966.9	S. R. Ovshinsky 申请第一个相变技术的专利。
1969.6	S. R. Ovshinsky 获得美国专利号(3,448,302)授权的第一个能可靠操作的 PCM。
1999.6	Ovonyx 联合风险投资公司成立, 开始 PCM 商业化。
1999.11	Lockheed Martin 与 Ovonyx 开始合作研究 PCM 的空间应用技术。
2000	Intel 和 STMicroelectronics 从 Ovonyx 获得专利授权开始 PCM 研发。
2002.3	Macronix 申请未整合晶体管的 PCM 的应用专利。
2003.7	Samsung 开始 PCM 研发。
2003—2005	Toshiba、Hitachi、Macronix、Renesas、Elpida、Sony、Matsushita、Mitsubishi、Infineon 等大公司相继申请关于 PCM 的应用专利。
2004.8	Samsung 宣布成功研制 64Mb PCM 阵列。
2005.9	Samsung 宣布成功研制 256Mb PCM 阵列, 并降低操作电流至 400 微安大小。
2005.12	Hitachi 和 Renesas 宣称其 PCM 操作电压为 1.5 伏特, 操作电流为 100 微安。
2006.7	BAE 开始售卖第一块商业化 PCM 芯片: 抗辐照 512 kb×8。
2006.9	Samsung 宣布成功研制 512Mb PCM。
2006.10	Intel 和 STMicroelectronics 展出其 128 Mb PCM 芯片。
2006.12	IBM 研发实验室发布其 20nm 尺度的 PCM 原型器件 3 号。
2007.4	Intel 首席技术执行官 Justin Rattner 宣布将公布 Intel 的 PCM 技术。
2008.2	Intel 和 STMicroelectronics 宣称开始为用户提供 PCM 晶片样片。

PCM 具有取代 Flash memory 和 DRAM 的实力, 现在 Flash 和 DRAM 在移动电话、USB 存储设备、多媒体播放设备、数码相机、移动存储卡、工业用存储设备以及其它移动设备方面的市场, 将来同样可以成为 PCM 的主导市场。在网络通信设备、终端服务器、扫描打印设备、GPS 导航系统以及航空航天等领域, PCM 都有潜在的市场。

1.3.3 相变存储器器件结构

半导体行业以超摩尔定律的发展速度来满足信息科技的进步的需求, 电子元器件尺寸都向着小型化、高集成化、低能耗、环保等方向发展。微、纳电子技术的进步是相变存储器器件结构能实现纳米尺度、高存储密度、超低功耗的前提。正如图 1.2 中已指出的, 相变存储器具有相比其他几种非易失性存储器更佳的尺寸缩小特性。这是由于相变存储器是使用焦耳热来实现对器件电极附近一纳米尺度范围区域内一的硫系化合物的写擦操作, 因此, 在缩小单元尺寸的同时也能缩小相变区域的体积, 从而降低操作时的功耗。出于此类目的, 以下几种结构的相变存储器被研究得较多。

1. T 型结构

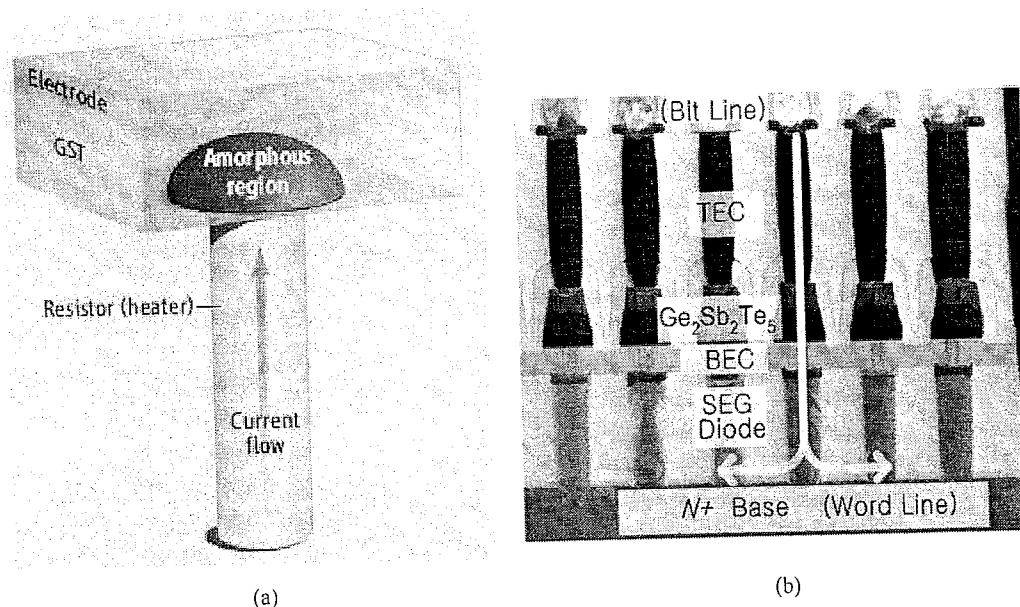


图 1.8 (a): T 型结构 PCM cell^[18], (b): 512Mb 二极管集成的 PCM cell 剖面图^[19]。

T 型结构的 PCM cell 是目前被研究最为广泛的器件单元结构。此种结构在制备时由于可以通过成熟的微电子工艺, 采用线宽更细、精度更高的光刻工艺等手段, 逐步将器件尺寸缩小。在降低硫系化合物薄膜尺度的同时, 缩小下部圆柱型电极的直径, 达到减小相变操作区域的功效, Samsung 已经通过 90nm 工艺实现了对此种结构 512Mb 芯片的制备^[19], 未来 PCM 产业化中最可能被采用的正是这种结构。

除了简单的缩小 T 型结构内下圆柱电极的尺寸, 改变下电极的结构同样可以有效减小电极与硫系化合物材料的接触面积, 类似的环状电极结构^[20](如图 1.9 所示, 电极内部填充了介质材料)以及 μ 型凹槽结构^[21]便是 T 型结构的改进版本, 如图 1.10 所示。

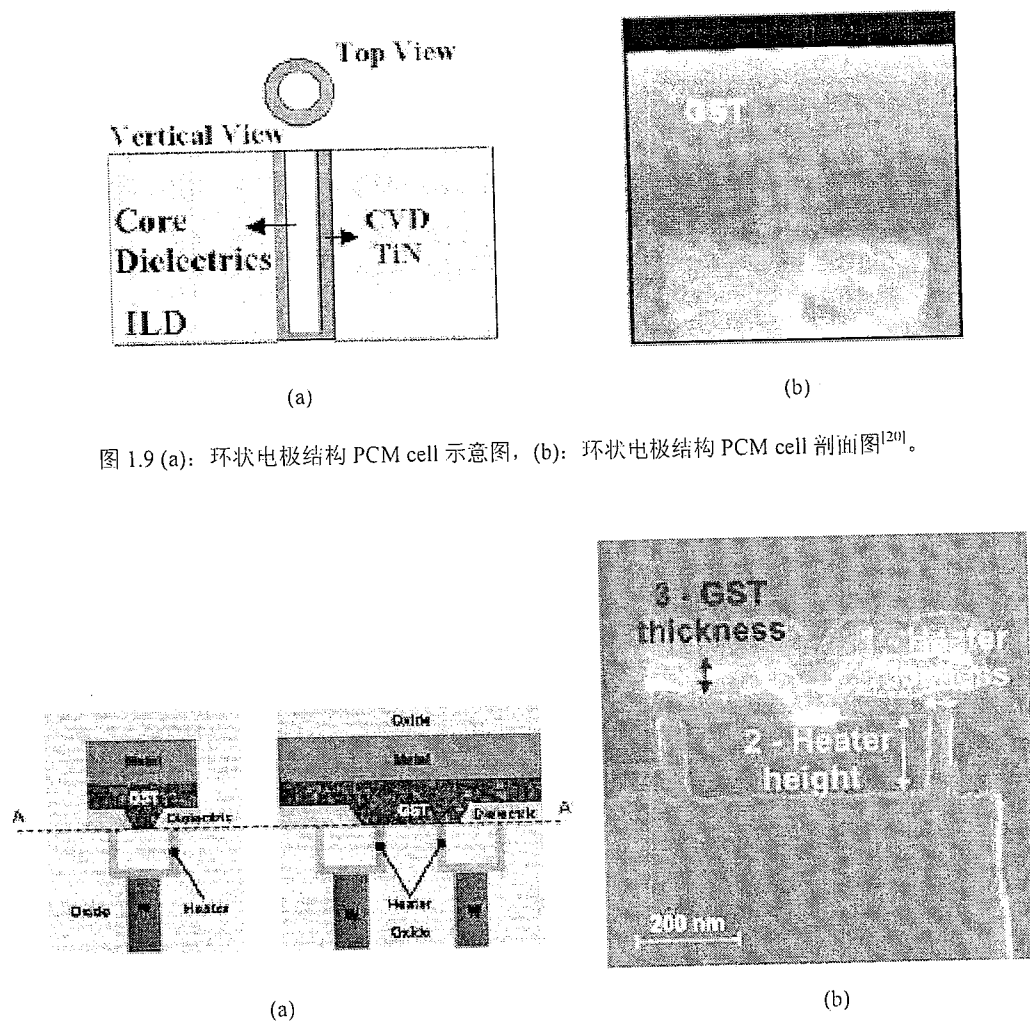


图 1.9 (a): 环状电极结构 PCM cell 示意图, (b): 环状电极结构 PCM cell 剖面图^[20]。

图 1.10 (a): μ 型凹槽结构 PCM cell 示意图, (b): μ 型凹槽结构 PCM cell 剖面图^[21]。

2. 边缘接触型结构

T 型结构中的纳米尺寸小圆柱型电极需要利用先进的微电子技术制备，而边缘接触型 PCM cell 结构的最大优点在于将电极横向放置^[22, 23]，如图 1.11 所示，通过对电极生长工艺的精确控制，能够尽量降低电极的高度从而减小电极与硫化化合物材料的接触面积。

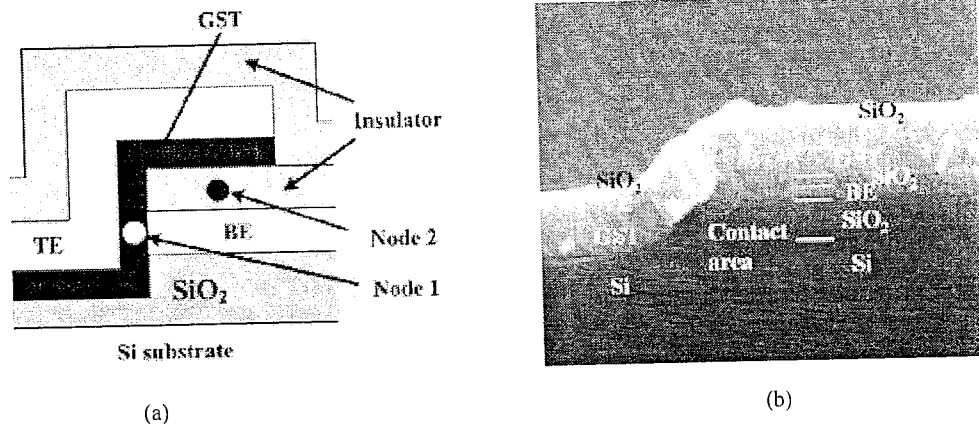


图 1.11 (a): 边缘接触型 PCM cell 结构示意图, (b): 边缘接触型 PCM cell 剖面图^[22]。

3. 桥状结构

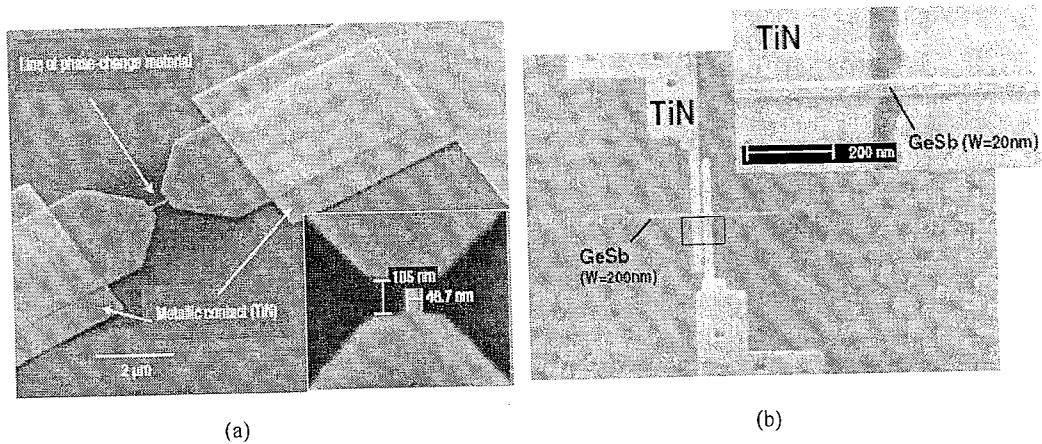


图 1.12 (a): Philips 的掺杂 SbTe 材料桥状 PCM cell^[24], (b): IBM 的掺杂 GeSb 材料桥状 PCM cell^[25]。

通过把与硫化化合物材料接触的电极缩小来降低能耗是 T 型结构的特点，反之，将硫化化合物自身缩小而电极尺寸相对较大时则形成了如图 1.12 所示的

桥状结构。2005 年 Philips 在 Nature 杂志上发表了关于桥状结构 PCM cell 的论文, 后续如 IBM 等也选用其它材料实现了这一结构^[24, 25]。此结构的优势在于能有效降低器件操作过程中的功耗, 但由于尺度的缩小, 反复写擦过程中桥内硫系化合物发生的元素扩散, 界面效应等相比 T 型结构更为明显, 因此, 此结构在操作参数的一致性, 器件的使用寿命上都存在劣势, 而且此结构的制备工序较为复杂, 不是理想的产业化对象。

由此结构引申出来的是纳米线结构^[26-28], 如图 1.13 所示, 如果能获得质量优良的硫系化合物纳米线, 并且能将其与同样纳米尺度的小电极良好接触, 相变操作功耗的降低将十分明显, 但这种结构同样面临器件写擦疲劳特性不佳的困境, 而且在制备阵列单元实现存储芯片方面几乎难以实现, 目前主要作为基础相变理论研究之用。

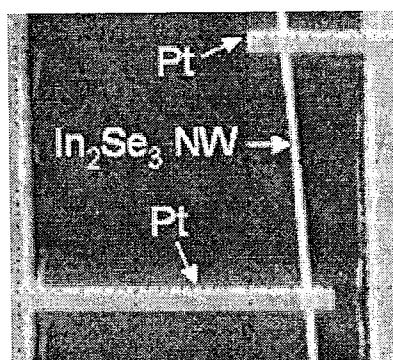


图 1.13 In_2Se_3 纳米线结构 PCM cell^[26]。

本论文涉及的研究工作主要围绕 T 型结构的 PCM cell 展开。

1.3.4 相变材料的发展

已经有许多材料被发现熔化后经淬火能形成非晶态结构, 但只有少数材料同时具有在晶态与非晶态之间差异明显的光学和电学特性, 因此只有这少部分材料能被应用于光学或电学的相变存储。宏观上光学与电学性能的差异与材料晶态与非晶态微观原子排列结构上的不同有着内在紧密的联系。而且就相变存储应用而言, 相变材料在再结晶过程中原子排列的重组必须是快速的, 通常要求在十到一百纳秒范围内完成^[13]。表 1.2 列出了作为能付诸应用的相变材料应具有的特性。

值得注意的是，两态之间导电特性的差异相比光学特性上的差异更容易找到，因此用于非易失性存储器的材料比用于可擦写光学存储光盘的材料要更多一些。

表 1.2 相变材料的重要特性。

相变材料必需特性	详情
高速相变	由纳秒级激光脉冲或电压脉冲激发
非晶态的长期热稳定性	室温下非晶态保持数十年
晶态非晶态之间明显的光学特性变化 (光盘应用)	折射率与吸收系数的相当大的差异
品态与非晶态之间明显的电阻变化 (PCM 应用)	非晶态至晶态转变所致的必然结果
高的循环转变次数	超过 10^6 次循环后材料组分稳定

显然诸多材料往往不能够满足表 1.2 中的某项指标，对合格相变材料的寻求至可擦写光盘的研究之初便开始了，前后经历了几十年，如图 1.14 所示。

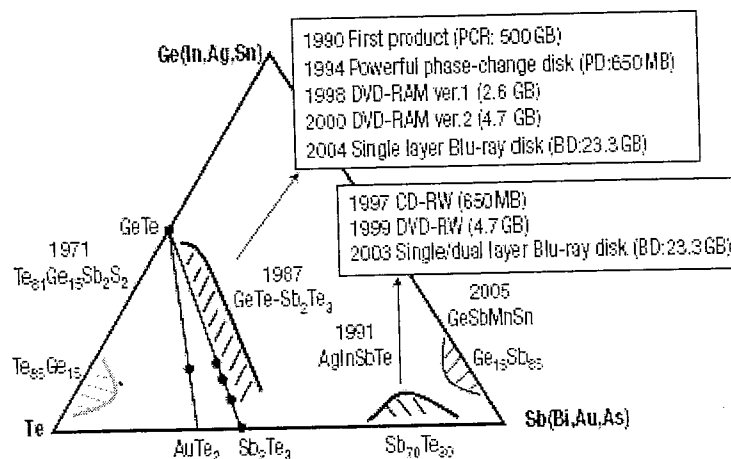


图 1.14 相变合金材料的三元相图，以及它们的发现时间与开发的光学存储产品^[17]。

最初被发现的材料多属于较好的玻璃形成体，如以 Te 元素为主的共熔合金， $\text{Ge}_{15}\text{Te}_{85}$ ，以及对其掺杂 S、P 和 Sb 元素所得材料^[12]。虽然这些材料已经表现出能被用于电学存储方面的电性能转变(Electrical switching)现象，但它们的结晶时间却达到了微秒量级，这与最初的合金材料不能在结晶时形成单一的固相有很大关系。第一批发现能快速再结晶且具有较大光学差异的材料主要是 GeTe ^[29]和

$\text{Ge}_{11}\text{Te}_{60}\text{Sn}_4\text{Au}_{25}$ ^[30, 31]。它们的出现激发了对 $\text{GeTe} - \text{Sb}_2\text{Te}_3$ 比例链上的伪二元相变合金材料的陆续发现与持续研究^[16], 如 $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。如今就 GeSbTe 这一材料体系, 掺杂 N ^[32]、 Sn ^[33]、 Bi ^[34]以及 In ^[35]等元素的材料都被研究过, 部分已经被用于工业产品中。另一个主要的相变材料体系是掺杂了 Ag 、 In 、 Ge 等元素的 Sb_2Te_3 材料^[36-38]。而近来发现的 Ge 掺杂的 Sb 则成为第三个相变材料体系^[25, 39-41], 此种材料不包含硫系元素(S 、 Se 和 Te), 因此现在的相变随机存储器已不能完全称为硫系化合物随机存储器(Chalcogenide RAM , CRAM)了。

1.3.5 相变材料的快速相变机理

我们已经知道相变材料在非晶态与晶态之间的快速转变所致的电学性能的差异正是 PCM 需要利用的。宏观上则具体表现为通过调节 PCM cell 的外加电压, 可以得到两个分辨率明显的高低电阻态, 如图 1.15(a)所示, 这是因为通过对相变材料加温, 在其相转变的过程中会伴随着电阻率的陡峭下降, 如图 1.15(b)所示。

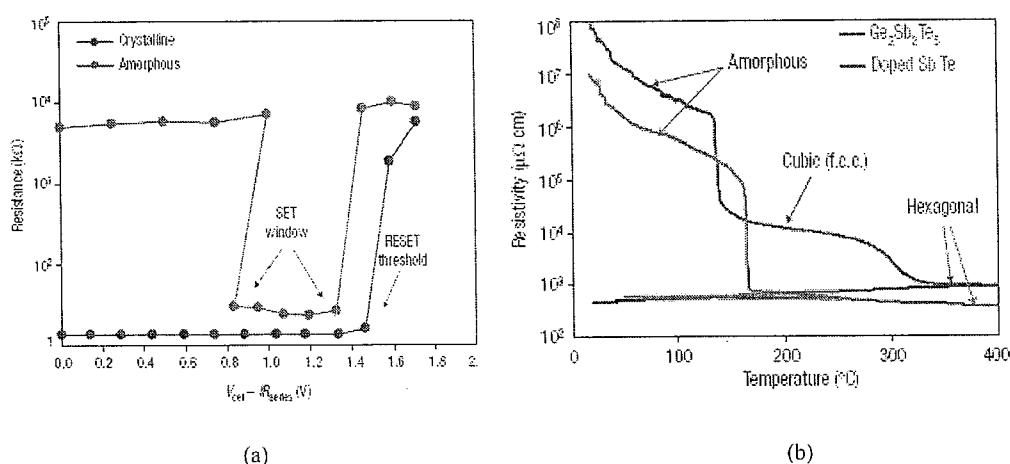


图 1.15 (a): PCM cell 的电阻—电压曲线关系, (b): 相变材料薄膜电阻率随温度的变化关系^[24], 材料微观结构也同时发生了变化。

材料宏观上性质的改变必然有其内在的微观机理, 对多种相变材料微观结构以及结晶动力学与导电机制的研究成为近几年来相变材料研究领域的热点, 这几

个方面相辅相成(图 1.16)，为开发出性能优良的可变材料提供了理论指导。

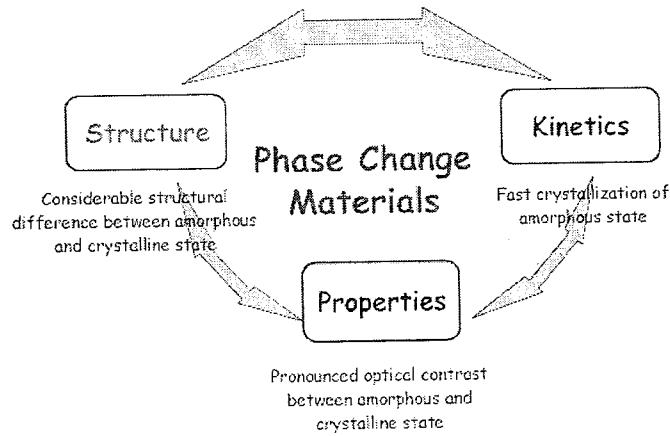


图 1.16 相变材料研究中微观结构、结晶动力学、宏观性能三者之间的关系^[42]。

通常非晶态材料的原子结构排列被认为与其晶态的原子结构排列在短程是大体相似的，但非晶态缺乏的正是原子的长程有序排列^[43]。后续演化出来的随机共价网络理论^[44]认为：非晶态中某些共价键的键强要大于其它一些键。在通常的共价原子网络中，近邻的原子间距大致是相同的，但存在某些键角上的差异。非晶态材料的结构可以依据局域能量最小化条件来理论预测。

就相变材料而言，已经通过实验手段证实在非晶态与晶态结构之间，局域的原子结构排列还是存在相当差异的^[45]。通过非晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的扩展 X 射线吸收精细谱(Extended X-ray absorption fine-structure spectroscopy, EXAFS)实验，A. V. Kolobov 等认为 Ge 原子具有四面体结构的排列(Tetrahedral atomic arrangement)，而在晶态结构时，Ge 原子却包含类八面体结构的排列(Octahedral-like atomic arrangement)^[45]。他们认为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料在非晶态与晶态之间的相变是因为存在 Ge 原子在上述两个位置之间的跳跃(Umbrella-flip)，如图 1.17 所示。此发现解释了为什么 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料能快速由晶态转变至非晶态，这一非晶化过程中，材料中许多很强的共价键并不因为需要重组而被打断，由 Te 原子所构架的晶格结构并没有因为相变而面目全非，并且 Sb 原子的近邻结构也都几乎没有变化，只需要将其中 Ge-Te 键打断，完成 Umbrella-flip。也就是说， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料并不是真的需要被完全熔化至液态以打断所有的共价键，然后冷

却结晶以完成键的重组。

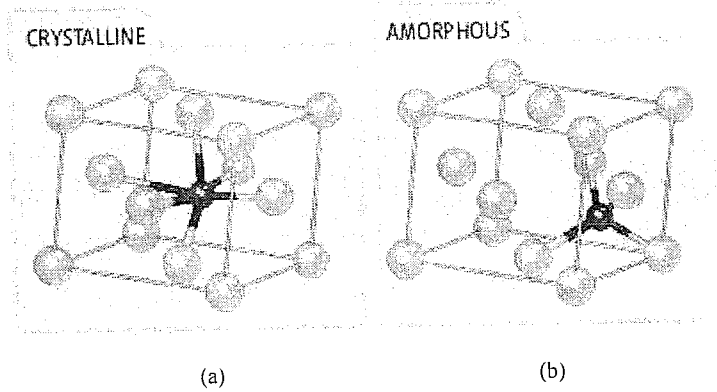


图 1.17 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料中 Ge 原子包含于由 Te 原子组成的面心立方结构 (Face-centered cubic structure, fcc)

中, Ge 原子分别占据(a): 八面体位置与(b): 四面体位置^[18, 45]。

与上述的非晶化过程相反, 非晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料如果要想实现快速结晶, 已被证实它倾向于形成一种亚稳态的晶体结构, 即面心立方结构(NaCl structure, rocksalt-like structure), 而较为稳定的六方结构(Hexagonal structure)则不被用于数据存储。对于 fcc 结构中, 除去由 Te 原子所占据的八面体格点位置, 其它的八面体格点位置则由 Ge/Sb 原子以及大约 20%的空位占据^[46]。T. Matsunaga 和 N. Yamada 就认为这些存在的空位与 GeSbTe 系列材料高结晶速率有着内在的联系^[47, 48]。

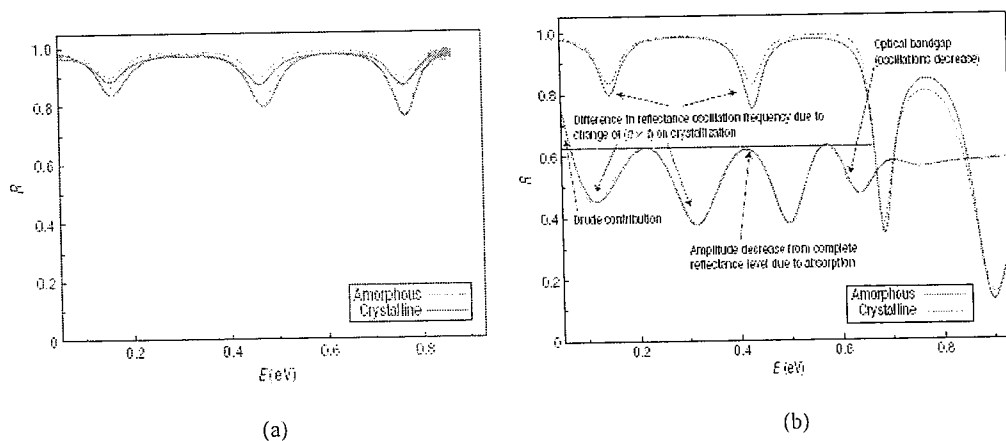


图 1.18 (a): 非晶态与晶态 AgInTe_2 的红外反射光谱, (b): 非晶态与晶态 $\text{Ge}_2\text{Sb}_1\text{Te}_4$ 的红外反射光谱^[49]。

最近 K. Shportko 等在 Nature 杂志上发表的关于晶态相变材料中共振键 (Resonant bonding) 的研究对于新型相变材料的研发具有重要的实验和理论指导意义^[49]。他们用红外反射光谱 (Infrared reflectance spectra) 研究相变材料薄膜的介电函数 [Dielectric function, $\varepsilon(\omega)$]。红外反射光谱观察的能量范围高于声子最高频率 (30 meV) 但低于通常的光学带隙 (0.75 eV)，此范围内能确保介电函数仅仅被价电子极化因素所影响，以此了解相变材料中的化学键的信息。

典型非相变材料 AgInTe_2 在晶态与非晶态之间的反射率变化不大，而相变材料 $\text{Ge}_2\text{Sb}_1\text{Te}_4$ 在这两态之间却有着明显的差异，如图 1.18 所示。因为薄膜的红外反射光谱与材料的介电函数以及薄膜的厚度有关系，所以相变与非相变材料在红外反射光谱上的不同就引出了对介电函数的研究。在实验选定的能量范围内， $\varepsilon(\omega)$ 实部 ε_1 的低能量极值即是光学介电常数 (Optical dielectric constant, ε_∞)，采用合适的模型， ε_∞ 可以用材料中各元素原子的极化率、原子重量、密度等来表示。以此模型来拟合实验得到的多种相变材料非晶态与晶态的 ε_∞ 结果。如果非晶态与晶态相变材料具有类似的原子极化模式，则晶态与非晶态时 ε_∞ 数值上的差异仅仅应该归因于两态薄膜密度上的变化，然而实际上相变材料的晶态与非晶态 ε_∞ 之间的变化却很大，这说明相变材料晶态与非晶态在原子极化形式上存在显著的差异。非晶态相变材料中的极化形式是简单的所有键极化率的总和，而极化率高出许多的晶态相变材料中则必须考虑由单一、半满的 p 轨道电子同时在左右两侧形成两键的所谓共振键，如图 1.19 所示。

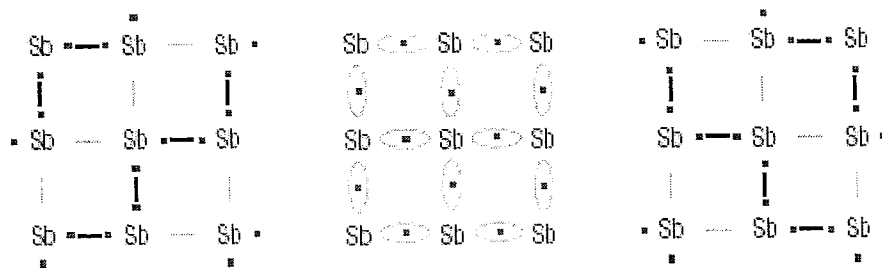


图 1.19 Sb 中共振键形成示意图，左右两图均为 Sb 未形成共振键时，中图为形成共振键时。单一、半满的 p 轨道电子同时在左右两侧形成两键时则称之为共振键。

所有晶态相变材料中都存在此种共振键，它需要材料一定的长程有序性，因此在非晶态中体现不出。共振键只会在具有未填满的共价键的半导体材料中出现，因此类似经过 sp^3 杂化成键的材料(如 $AgInTe_2$)或具有饱和共价键的材料中则绝对不可能出现共振键，这些材料也就不可能成为相变材料了。Te 和 Sb 元素相比它们各自同族的 Se 和 As 元素，具有更多的共振键存在于晶态中，故而 Se 或 As 的化合物往往是很好的玻璃形成体而不是好的相变材料，反之，Te 的化合物则表现为较差的玻璃形成体，具有很快的结晶速度，是理想的相变材料。共振键能较低，因此相变材料在非晶态与晶态之间转变时破坏或形成这些键所需的能量便很低，表现出较快的相变速度。

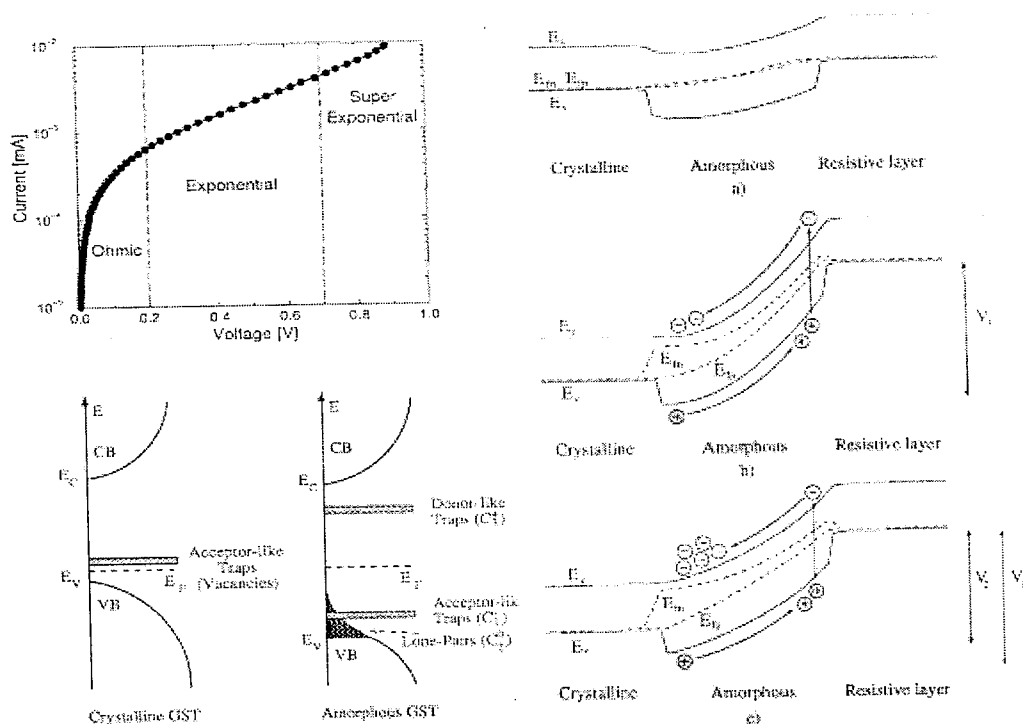


图 1.20 (左上): GeSbTe 类材料电流—电压曲线图, 包含欧姆区、指数区和超指数区; (左下): GeSbTe 类材料多晶态与非晶态能带示意图, (右): 晶态/非晶态/电阻层结构能带示意图, a)为欧姆区, b)为指数区, c)为开启状态^[50]。

另一种对于相变材料非晶态晶态之间电学性能快速转变的解释是基于对相变材料的能带结构变化的分析^[50]。图 1.20(右)中示意的给出了 GeSbTe 类材料的

能带在外加偏压的作用下的变化：a)在较低的偏压下，GeSbTe 薄膜的电流—电压关系为简单的欧姆关系，此时材料的电子与空穴的准费米能级趋于一致；b)当外加电场强度增加时，非晶态材料内部的碰撞电离效应(Impact Ionization)开始发生，导致大量的二次空穴的形成，宏观表现的电流则开始呈现指数形式的增长，如图 1.20(左上)所示，但此过程中的大部分二次电子都被材料中的施主陷阱(Donor-like traps)所捕获。如果继续增加外加电场，由碰撞电离所产生的电子已经可以大量填充施主陷阱，自由电子浓度开始升高，此时电子的准费米能级移向导带底；c)当外加电压最终超过阈值电压(Threshold Voltage, V_{th})，此时碰撞电离的电子生成率完全战胜电子空穴复合率，所有的陷阱被填满，宏观表现在薄膜的电流—电压曲线上则是电压在阈值电压过后的突然减小(Voltage snap back)，大电流和低电压的情况则随之出现了，如图 1.21 所示。

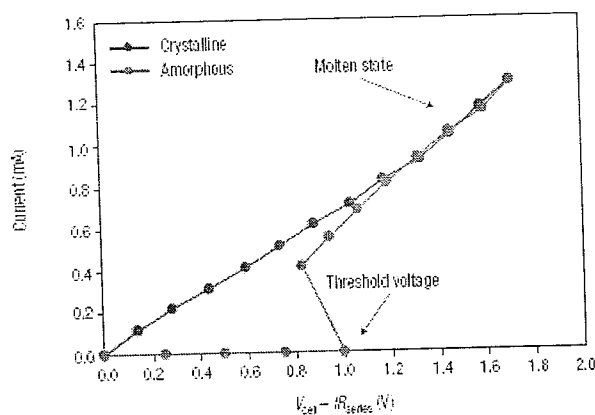


图 1.21 相变存储器的典型电流—电压关系曲线图^[24]。

1.4 本论文的主要研究内容

在相变存储器商业化的过程中，器件功耗、存储密度、可靠性、使用寿命等几方面始终是研发中涉及最多的问题。

新型相变材料的开发似乎是解决诸多问题的好办法，如果能开发出具有快速相变速度、低操作功耗、环境友好且与 CMOS 工艺兼容、具有良好的反复擦写疲劳特性等诸多优点的相变材料，这些问题都能迎刃而解，然而目前综合各方面因素来看，最为成熟的相变材料还是 GeSbTe 系列的伪二元化合物。本论文以此类材料为基础，使用较常用的 T 型相变存储器结构，主要针对降低器件操作功

耗、实现多级存储、提高可靠性等方面做了一系列的工作。

- 1) 就多晶态三氧化钨(Polycrystalline Tungsten Trioxide, WO_3)的材料性质进行了研究, 发现其作为器件下加热层以及下加热电极对器件 RESET 操作电压降低的显著作用;
- 2) 选取了合适组分的类相变材料的多晶态富硅型硅锑化合物(Polycrystalline Si-Rich Silicon Antimony, SiSb_x)作为器件下加热层, 对可能的界面扩散以及功耗降低的程度进行了研究;
- 3) 研究了非晶态的氮化锗硅(Nitride Silicon Germanium, SiGe_xN_y)作为器件上加热电极时对于器件操作电压的影响, 发现非晶态 SiGe_xN_y 上加热电极在器件 RESET 过程中的晶化所带来的一系列物理特性的变化对器件功耗降低的贡献;
- 4) 使用多晶态二氧化锡(Polycrystalline Tin Dioxide, SnO_2)作为下电极 W 与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 之间的加热层, 在器件功耗降低的同时, 发现其与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 中元素之间的互扩散与反应最终导致了器件可靠性下降和寿命缩短;
- 5) 使用 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 组成的双层结构, 在单一器件中实现了三个数据存储态, 并对器件操作的 SET 和 RESET 过程中的功耗进行了研究;
- 6) 对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 组成的双层结构中的中间数据存储态的稳定性进行了一定研究, 就中间态的实现机制给予了初步的理论解释, 并使用 TiN 薄层作为防扩散层来抑制 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 层之间的元素扩散, 提高中间数据态的疲劳特性。

第二章 多晶态三氧化钨下加热层

2.1 引言

- 1) 为何要在 PCM cell 中使用加热层?
- 2) 何种材料的加热层才是适合 PCM cell 实际应用的?

以上是在介绍本论文加热层部分内容之前必须阐明的问题。

PCM cell 的三个主要操作中, RESET 操作需要将相变材料加热到熔点之上, 因此此操作中需要使用相比 SET 和 READ 操作时数值更大的电流/电压脉冲。所以说降低 PCM cell 的操作电流/电压, 或减小 PCM cell 的操作功耗, 主要都是期望降低 RESET 过程的操作功耗。通过降低操作电流和驱动电压来降低器件的功耗, 对于实现 PCM cell 与现有 CMOS 工艺集成是很关键的。

降低 PCM cell 的操作电流/电压的主要方法有: 减小相变材料与电极之间的接触面积(改良器件结构, 实现多种小面积接触方式)^[51]; 优化相变薄膜层与电极的尺寸^[21, 52]; 相变材料开发与掺杂改性, 如降低相变材料熔点或增加电阻提高自加热能力从而降低操作电流^[53-55]; 以及植入其它材料的加热介质或更换电极材料来辅助提高器件加热效率, 降低功耗等等。本论文正是采用的最后一种方法。

下面以 T 型 PCM cell 的 RESET 操作为例, 说明在 PCM cell 中植入加热层的必要性。

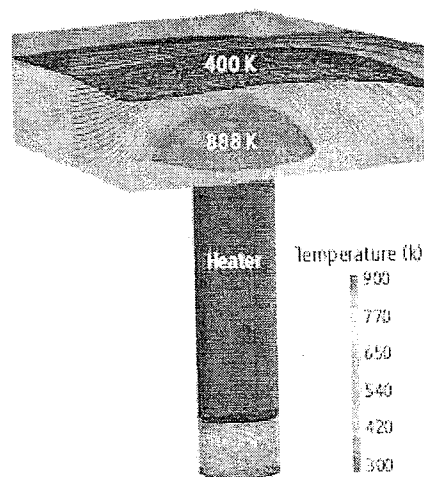


图 2.1 RESET 过程时 PCM cell 内部温度分布模拟图^[18]。

T 型 PCM cell 中, 电流经过下部的圆柱型电极加热其上方的相变材料层, 使得相变材料层中形成蘑菇型的有效相变区域, 当这一区域的温度上升至相变材料熔点后(对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 大致为 900 K), 脉冲撤去的同时对熔融区域快速淬火, 从而使得原先晶态的区域转变为非晶态, 如图 2.1 所示。通过模拟可以发现, 相变材料层中的蘑菇型热核部位紧临着下部的圆柱型电极, 热量由这两部分的界面处向相反方向扩散, 显而易见的是, 并非所有的热量都被有效的用于加热相变材料, 因此, 对于 PCM cell 热效率优化的本质就在于提高用于蘑菇型热核区域的热量相对提供的总热量的比例。在传统的 T 型 PCM cell (相变材料与电极直接接触)中, 经 S. M. Sadeghipour 等人的计算发现, 真正用于蘑菇型区域相变的能量仅仅为总能量的 0.2%~1.4%, 向底电极扩散回去的热量占到 60%~72%, 另外的约 17%的热量则经由相变材料层向上电极方向扩散出去^[56], 如图 2.2 所示。

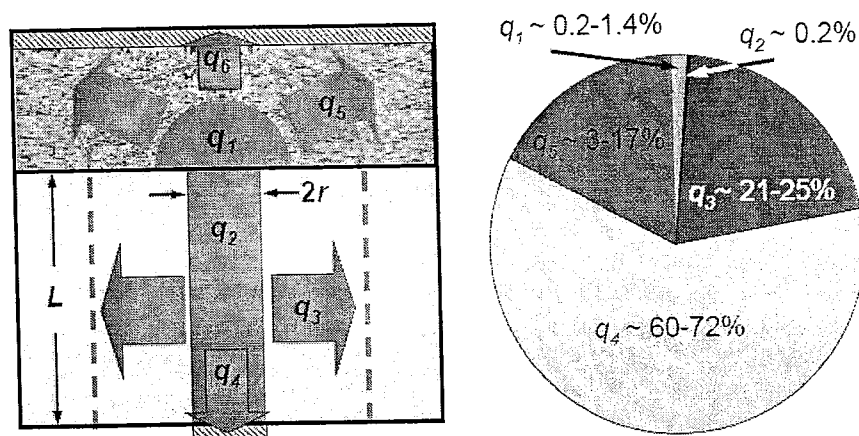


图 2.2 180 nm 工艺条件下 RESET 过程中 PCM cell 内部的热量消耗图^[56]。

目前采用的下电极材料多为电阻率较低的金属(如 W), 良好的金属导体可以避免器件在电极部分损失额外的压降, 然而对于电流脉冲驱动的 PCM cell 而言, 金属电极过低的电阻率又不利于其产生足够的焦耳热, 因此也有不少 PCM cell 使用 TiN 之类的材料作为电极, 通过调节电极材料的化学组分来得到合适的电阻率。但即使金属电极已经调节到能够为相变材料层提供足够的焦耳热, 其自身过大的热导率也不利于抑制热量向四周扩散, 而且热量向底电极方向扩散对于 PCM cell 下端集成的 CMOS 也是不利的。

由于电极材料的高热导率, 电极与相变材料之间的界面处热量无法很好的聚

集, 导致相变材料层中温度最高的区域(我们称之为热核, 即温度超过或达到相变材料熔点的区域)并非处在界面处而是位于底电极的上方, 如图 2.3(b)中 A 点所示。在蘑菇型热核区域如果已经转变为非晶态, 但由于在界面处存在一层薄薄的晶态相变材料残留, 整个相变材料在电学上可以被认作是非晶态与晶态两个区域电阻的并联, 如图 2.4(b)所示。并联时整个器件的电阻依然表现为接近 SET 低阻态的电阻值。只有在非晶态的热核区域完全覆盖底电极顶部后, 完全的 RESET 态高阻值才能达到, 如图 2.3(a)和(b)中的 D 点所示, 此时非晶态热核区域与其上方的其它晶态区域形成了电学上的串联结构, 整个器件的电阻也主要体现为非晶态区域的高阻值, 如图 2.4(a)所示。

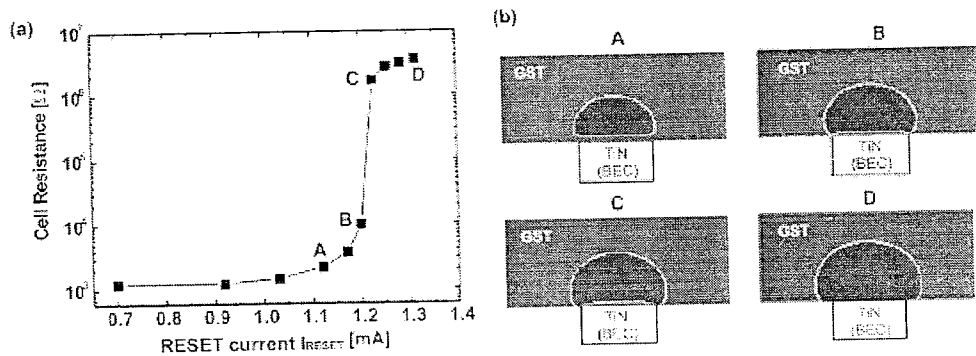


图 2.3 (a): PCM cell 的 RESET 过程中的电阻—电流变化曲线, (b): 对应的 GeSbTe 层内蘑菇型非晶态区域图^[57]。

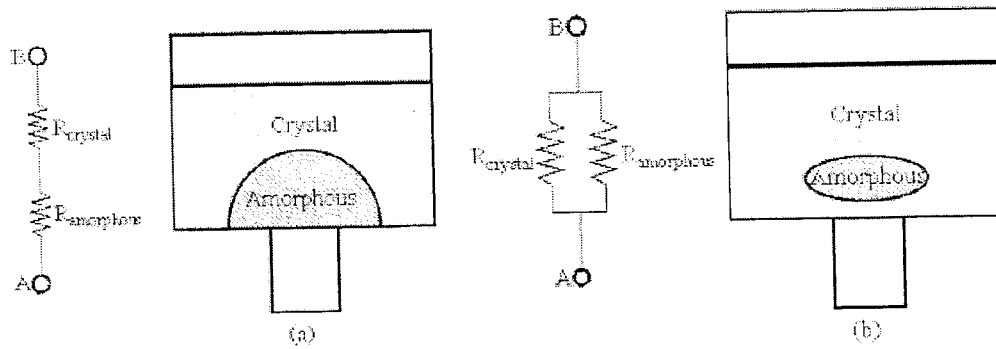


图 2.4 PCM cell 的 RESET 过程中不同的非晶态区域所致的不同电学联结方式: (a) 串联, (b) 并联^[58]。

因此, 为了使得 PCM cell 能够达到与 SET 态低阻值分辨率明显的 RESET 高阻态, 避免类似图 2.3(a)中 B 点时的电阻态, 就必须提供足够的驱动电流/电压来使底电极上方界面处的残留晶态相变材料熔化, 为此则付出了额外能耗。

D. H. Kang 等通过对 PCM cell 一维热传导模型进行了研究, 他们发现在底 W 电极与相变材料之间植入薄薄的一层加热介质能够有效升高相变材料层中的温度, 在对加热介质的电阻率、热导率以及比热这三个主要的物理参数选取不同数值进行模拟后发现, 当加热层材料的热导率 κ 和比热 c 与相变材料的热导率(如晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$, $\kappa = 0.46 \text{ W/mK}$)与比热(如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$, $c = 0.202 \text{ J/gK}$)一样低时, 且加热层材料的电阻率大于 $0.1 \Omega \cdot \text{cm}$ 时, 在电流脉冲作用下能将相变材料加热到最高温度^[59], 如图 2.4 所示。当加热层材料的热导率或比热增大到 5 倍左右时, 热核处最高温度仅仅表现约 50K 的温差, 而当电阻率增大到 5 倍时, 最高温度则升高到 5 倍, 可见加热层材料的电阻率是三个因素中最首要的^[59, 60]。

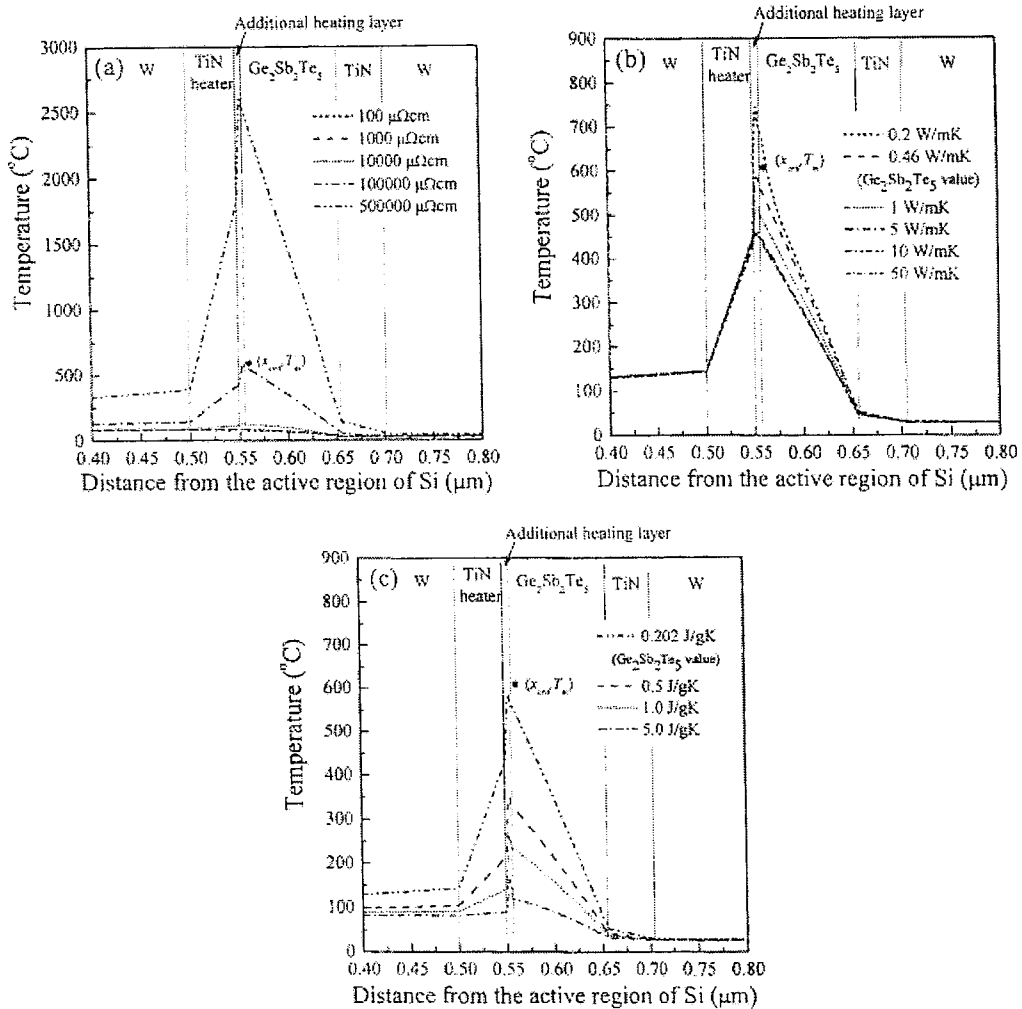


图 2.4 W/TiN/5 nm 加热层/ $\text{Ge}_2\text{Sb}_2\text{Te}_5$ /TiN/W 结构的 PCM cell 轴截面处温度分布图: (a)加热层电阻率变化, (b)加热层热导率变化, (c)加热层比热变化。

既然在底电极与相变材料之间植入加热层能有效的提高加热的效率, 许多的研究实验工作便在上述的理论基础上开展, 目前已经报道的加热层材料的物理性质列于表 2.1 中。

表 2.1 各种加热层材料的物理特性。

加热层材料	电阻率	热导率	比热	熔点
	$\rho (\Omega \cdot cm)$	$\kappa (W / mK)$	$c (J / gK)$	$T_m (^\circ C)$
a*-C ^[59]	0.01-1	0.2-2.2	0.617	3652-3697
TiON ^[61, 62]	0.03	<5	0.697-0.784	-
Ta ₂ O ₅ ^[63]	-	-	-	~1872
poly*-SiGe ^[64]	0.0031	4.7-11.1	0.31-0.7	664-1139
poly-Ge ₂ Sb ₂ Te ₅ ^[65]	0.03	~0.5	0.202	610-627
SiTa _{N_x} ^[60]	0.07-1.21	-	-	>900
C ₆₀ ^[66]	1.01	0.4	~1.2	527-800
poly-Ge ^[67]	0.021	17.4-60	0.35	938
TiO ₂ ^[68]	1.9	0.25	0.711	1870
SiTi _{N_x} ^[69, 70]	0.0005-0.003	-	-	>800
SiGeSb ^[71]	0.0025-37500	-	-	-

* a-: 非晶态, poly-: 多晶态。

由表 2.1 中的材料性质可知, 并非所有的材料都能在电阻率、热导和比热三项指标上满足作为加热层的要求。D. H. Kang 等在模拟基础上也只是指出非晶态碳(a-C)在各项参数上都接近 Ge₂Sb₂Te₅, 通过调节 a-C 的制备条件可望达到预期的模拟要求, 但没有给出实验结果证实其确实能降低操作功耗^[59]。足球烯(C₆₀)是另一个不错的选择^[66], 但它的热稳定性值得质疑, 在低于 Ge₂Sb₂Te₅ 熔点的温度下, 它或许已经开始升华。此外, 在 SiN_x 或 TiN_x 的基础上掺杂其它元素调节其电阻率至指定范围^[60, 69, 70], 并能够保证薄膜具有很好的热稳定性以及较低的表面粗糙度, 对于 PCM cell 降低功耗的同时提高操作可靠性是有利的, 但此类材料热导率不可能低至 Ge₂Sb₂Te₅ 水平, 三元化合物组分的严格控制也是其需要面对的问题。多晶态 SiGe 或 Ge 作为加热层材料, 前者尚能依据组分的调节增

加其过低的电阻率，后者则较为困难，而且两者都有较高的热导率^[64, 67]。而将类相变材料 SiGeSb 甚至相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 作为加热层似乎不错的选择，能满足三项指标的要求，但由于此类材料不具备很好的热稳定性，在 RESET 高温情况下加热层内部元素会向相变材料层的扩散， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 内部会出现潜在的相分离^[72, 73]，Sb 和 Te 元素容易偏析与在薄膜界面聚集^[74, 75]，一旦加热层材料组分与相变材料组分都发生了变化，PCM cell 的操作参数的一致性和器件使用的可靠性将遭受挑战。

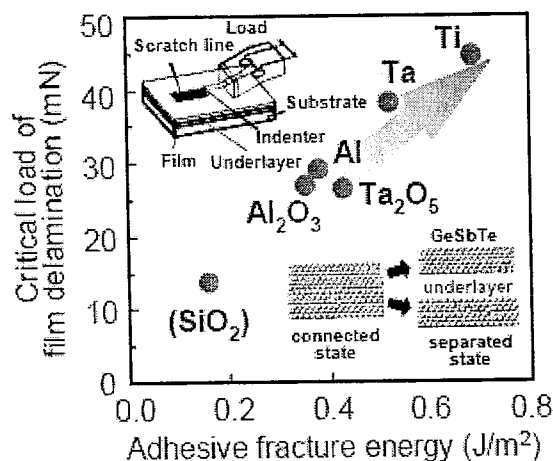


图 2.5 GeSbTe 薄膜与金属或金属氧化物之间的黏附力强度^[63]。

就加热层薄膜与相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 之间的黏附特性而言，纯金属比金属氧化物与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 能更好的结合，如图 2.5 所示，黏附良好的界面对 PCM cell 多次循环操作是至关重要的。由于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 中存在熔点较低且蒸气压较高的 Te 元素，如果仅仅考虑良好的界面黏附而选择纯金属作为加热介质，金属与 Te 甚至 Sb 元素之间在高温情况下可能形成合金(如 Ti 与 Te 元素在 673K—773K 时形成 Ti-Te 合金)^[74]，此类合金的出现会减小 PCM cell 高低阻之间的分辨率。图 2.6 与图 2.7 为我们使用 TiTe_x 与 TiSb_x 薄膜置于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 之下，在 700 K 时观察到的不同 X 射线光电子能谱成分深度剖析图[X-ray photoelectron spectroscopy (XPS) compositional depth analysis]。当使用 TiTe_x 时，高温下 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内的 Te 与 Sb 元素并没有向 TiTe_x 层内明显的扩散，如图 2.6 所示，而使用 TiSb_x 时，Ti 与活性更好的 Te 元素成键，使得 Te 元素扩散进入 TiSb_x 层内，而 Sb 则部分扩散进入

Ge₂Sb₂Te₅ 层中, TiSb_x 的组分由于互扩散转变为 TiSb_xTe_y, 如图 2.7 所示。这从另一个侧面证明活性太强的 Ti 电极不适合应用于含有 Te 与 Sb 元素的 PCM cell 中。这一现象也引导人们去开发无 Te 或少 Te 的相变材料来替代 GeSbTe 系列^[25, 76]。

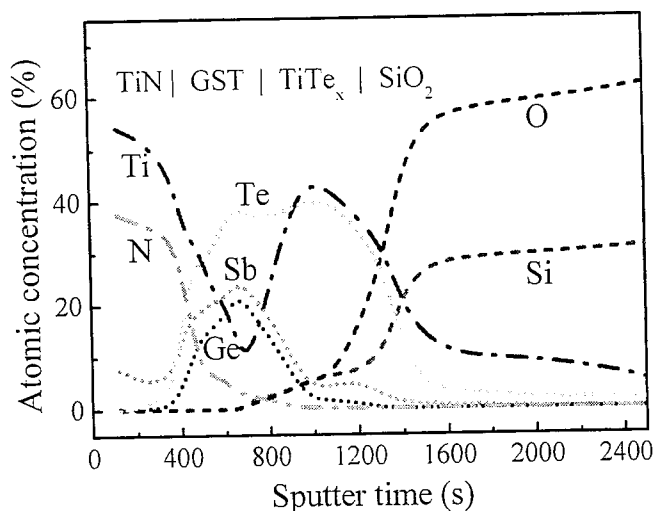


图 2.6 700K 时 TiN/GST/TiTe_x/SiO₂ 结构的 XPS 成分深度剖析图。

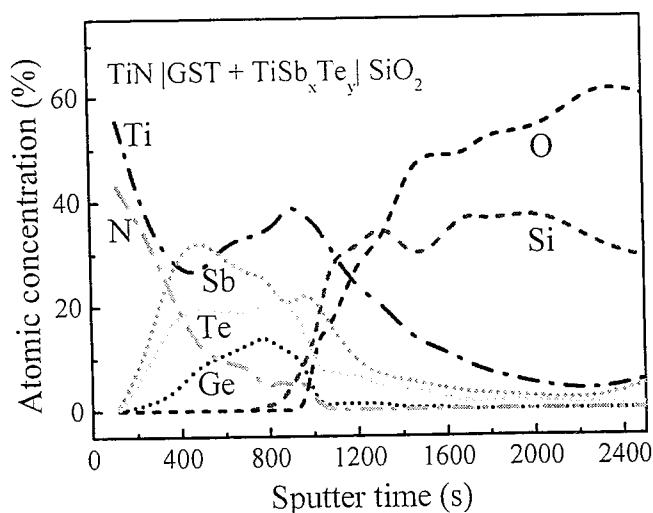


图 2.6 700K 时 TiN/GST/TiSb_xTe_y/SiO₂ 结构的 XPS 成分深度剖析图。

既然纯金属不适合作为加热介质, 一些金属氧化物或金属氮氧化物则可以考虑, 它们大多能有量子隧道运输所致的电流形式, 而且大多具有 $1-2 W/mK$ 量级的热导率和 $0.01-1 \Omega \cdot cm$ 左右的电阻率, 如 Ta₂O₅^[63]、TiO₂^[68]、TiON^[61, 62]或

Al_2O_3 ^[78], 满足作为加热层材料的要求^[59]。然而这些氧化物的介电常数较高 (Ta_2O_5 : 25—50, TiO_2 : 80, Al_2O_3 : 9), 如果使用很薄至几个 nm 厚度的这类材料作为加热层, 则会给 PCM cell 引入很大的电容, 电容对电荷的存放机制势必影响到 PCM cell 的正确操作和写擦功耗, 降低 PCM cell 操作的可靠性。金属氧化物加热层介质电容对 PCM cell 操作影响方面的研究还未见报道, 但可以肯定的是, 控制金属氧化物加热层的厚度防止其被击穿而导致界面失效是很关键的。

本章主要着眼于讨论首次提出的多晶态的三氧化钨(poly- WO_3)作为 PCM cell 下加热层时对器件功耗的影响。虽然我们 know poly- WO_3 的介电常数也接近 50^[79], 但它在电阻率、热导率等几项指标上依然满足作为加热层的要求。

2.2 薄膜制备与表征实验介绍

2.2.1 WO_3 薄膜与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜制备

本论文中所制备的 PCM cell 中的电极材料与相变材料都采用磁控溅射的方法制备。多功能等离子磁控溅射机台(JGMF500), 如图 2.7 所示, 配备有 4 个靶位, 可供同时进行 4 靶共溅射, 系统的本底真空度可以达到 10^{-5} Pa, 对 4 英寸样品薄膜厚度的均匀性误差小于 $\pm 4\%$ 。薄膜制备时可以对衬底加热最高至 500°C , 通过质量流量计调节工作气体流量, 同时设定射频或直流电源的功率则可以方便的调节溅射薄膜的组分和厚度。

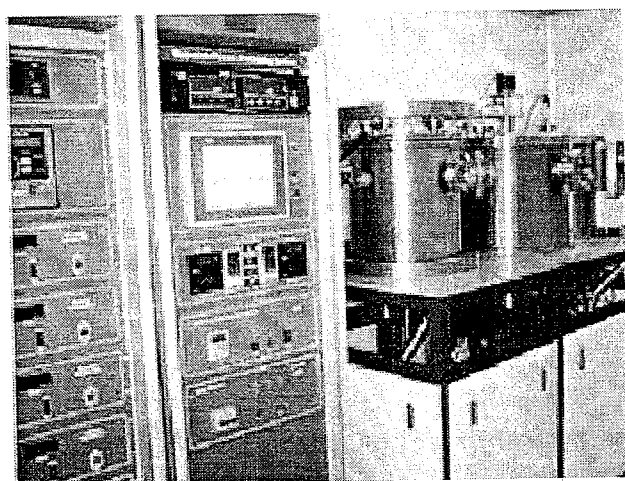


图 2.7 多靶位等离子磁控溅射机台。

本章讨论的 WO_3 薄膜采用 3 英寸纯 W 靶材，在高纯氩气(50 standard cubic centimeter per minute at STP, SCCM)与高纯氧气(6 SCCM)气氛下制备，衬底温度为室温，溅射过程中有循环冷却水冷却靶材。W 靶采用射频溅射(射频电源型号为 AE RF600X)，功率设定为 150 W， WO_3 薄膜沉积速率约为 4 nm/min。室温情况下制备的 WO_3 薄膜为非晶态，下文中有进一步讨论。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜采用单质 Ge、Sb 和 Te 靶(纯度均大于 99.99%)三靶共溅射的方法制备，气体流量设定为高纯氩气 50 SCCM，衬底温度为室温，Ge 靶用射频 rf 78 W 溅射，Sb 与 Te 均使用直流溅射(直流电源型号为 AE MDX500)，功率分别为 dc 13 W 和 dc 20 W，薄膜生长速率约为 10—12 nm/min，初始沉积的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜亦为非晶态。薄膜组分测量采用场发射扫描电镜[Scanning Electron Microscopy (SEM)，型号 S-4700，如图 2.8 所示]配备的 X 射线能量色散谱[Energy dispersive x-ray spectroscopy (EDS)，型号 Oxford INCAEnergy]来标定。EDS 采用的 X 射线能穿透至样品内部深度达 1 微米左右，在标定表层薄膜组分的同时也会将衬底元素，主要是 Si 和 O 纳入总原子百分比中，使得测量结果存在一定的偏差，最大至 20%，但经过对多次沉积的薄膜成分的比对可以有效的减小此类误差，我们在沉积薄膜时所采用的溅射功率都是在反复摸索之后使用的，因此薄膜各元素含量的比例在统计后与期望值的偏差还是可以忽略的。当然对于 GeSbTe 系列不同组分材料我们也配备有固定比例的合金靶材，溅射此类靶材时的组分误差则进一步降低，这在后续的章节中将应用到。

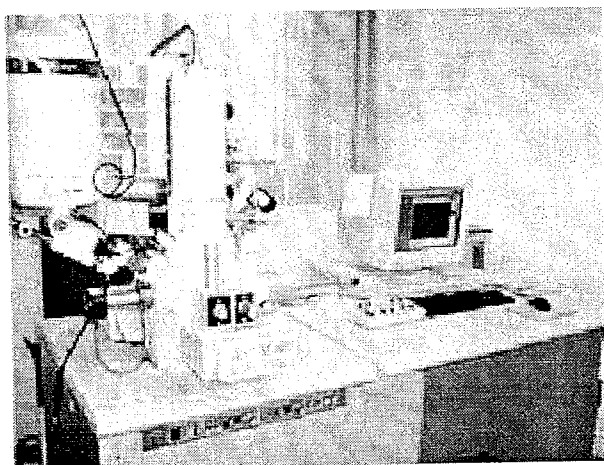


图 2.8 场发射扫描电子显微镜。

WO₃ 初始非晶态薄膜须经过高温退火才能将其转变多晶态，我们采用快速退火炉(型号 RTP-5, 如图 2.9)在高纯氮气气氛下，温度控制在 900 K 时，退火 3 分钟。非晶态的 Ge₂Sb₂Te₅ 薄膜也须转变为多晶态，温度控制在 473 K，退火 1—2 分钟使其形成面心立方 fcc 结构。

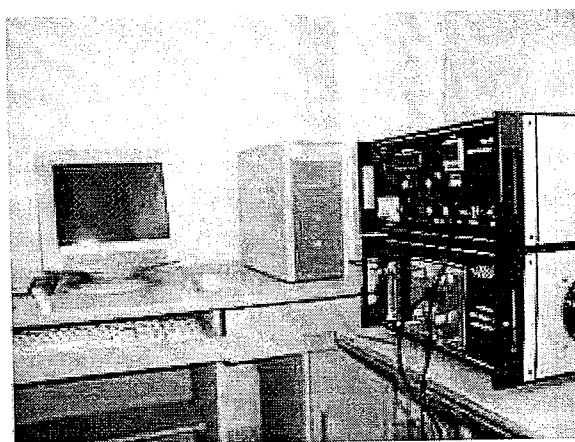


图 2.9 高温快速退火炉。

2.2.2 WO₃ 薄膜与 Ge₂Sb₂Te₅ 薄膜的结晶与电阻表征

退火处理后的 WO₃ 与 Ge₂Sb₂Te₅ 薄膜使用 X 射线衍射(X-ray diffraction, XRD, 型号 D/max 2200VPC)进行薄膜结晶情况的表征。

使用一个真空加热平台外接 Keithley 2400 数字信号源搭建而成的电阻测试系统完成对薄膜电阻随温度与时间变化的原位测试，如图 2.10 所示。此真空加热平台利用 Joule-Thomson 效应实现对一小腔室的升降温的精确控制，升温速率最大可至 15 K/min，升温梯度控制非常准确，降温时使用高压高纯氮气冷却，在输出功率为 0 之前降温速率也是可控的。针对相变材料电阻随温度变化的特性，图 1.15(b)中所示，此系统可以用于大致确定相变材料的结晶温度，在改变升温速率得到多条电阻—温度曲线后可以使用 Kissinger 法计算出相变薄膜的结晶活化能。此系统升温最高一般至 700 K，因此对于需高温下获得的薄膜，其电阻多使用四探针电阻测试仪(D41-11A/ZM)测量，电阻率测量范围在 $6 \times 10^{-3} - 5 \times 10^4 \Omega \cdot \text{cm}$ ，方阻测量范围在 $1 \times 10^{-1} - 9 \times 10^5 \Omega/\square$ ，测量精度为 $\pm 5\%$ 。

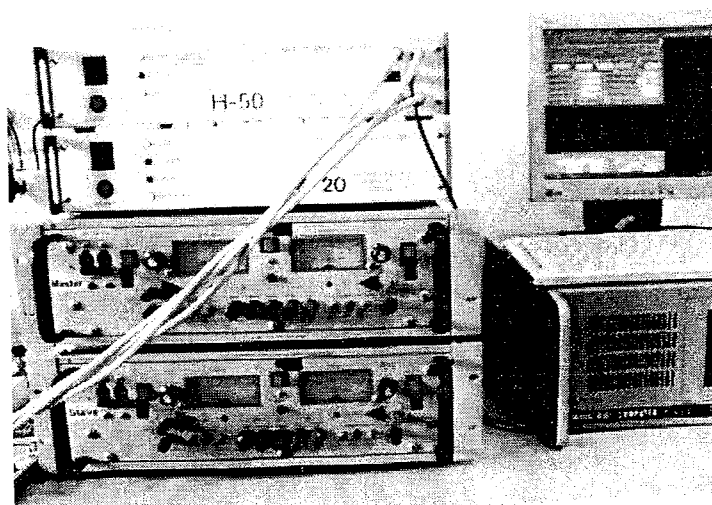
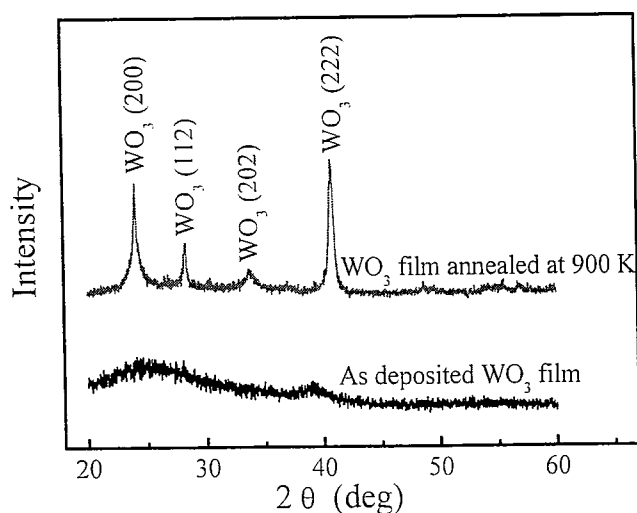


图 2.10 真空升降温电阻测试系统。

2.3 XRD 与电阻—温度测试结果

2.3.1 多晶态 WO_3 薄膜

图 2.11 沉积态与多晶态 WO_3 薄膜的 XRD 图。

用于 XRD 测量的 WO_3 薄膜(约 250 nm 厚)均沉积在玻璃衬底上, 在 900 K 氮气气氛保护下快速退火 3 分钟后, 薄膜由非晶态转变为多晶态, 如图 2.11 所示, 此温度下多晶态 WO_3 属于正交晶系。900 K 时 WO_3 薄膜的电阻率经测试为 $0.5 \Omega \cdot \text{cm}$, 此结果与 S. Sawada 报道的结果接近^[80]。在后续制备 PCM cell 时所使

用的多晶态 WO_3 下加热层就是在 900 K 退火后得到的。

2.3.2 多晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜

将 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜沉积在 SiO_2/Si 基片上, 使用图 2.10 所示的真空升降温系统对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的电阻-温度关系进行了表征, 如图 2.12 所示。在此我们比较关心的是薄膜的方阻 R_s (Sheet resistance), 因为薄膜方阻不受薄膜样品尺寸的影响, 而且在获悉薄膜的厚度 d 之后可以很容易的计算出薄膜材料的电阻率: $\rho = R_s * d$ 。因为对相变材料薄膜加热的过程中, 薄膜由于结晶, 其密度会发生变化, 致使薄膜的厚度在加热过程中不恒定, 所以测量薄膜方阻比测量薄膜电阻率要更为准确。

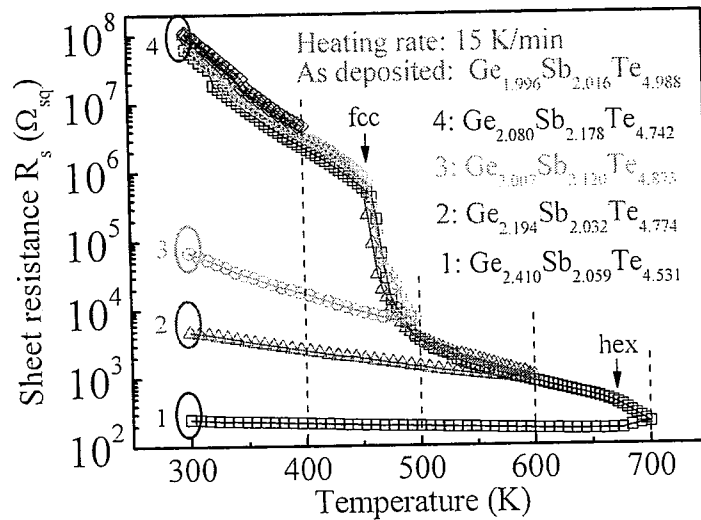


图 2.12 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜升温速率为 15 K/min 时的电阻-温度曲线, 图中 1—4 号标明样品从真空腔取出后对应的组分。

我们将样品测试至不同温度, 然后从真空腔中取出, 用 EDS 测试薄膜组分, 并使用 XRD 了解薄膜结晶的情况, 如图 2.13 所示。

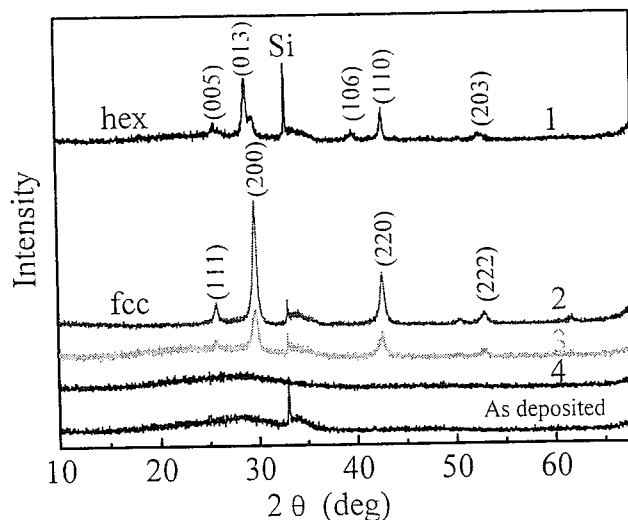


图 2.13 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的 XRD 曲线，1—4 与图 2.12 中对应。

随着温度的升高，在 450 K 左右， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜由初始的非晶态先转变为亚稳态的 fcc 相，然后在 670 K 附近转变为稳定的六方 hex 相。对于升温至 600 K 以下的 2、3 和 4 样品，冷却过程中发现 $(dR_s/dT) < 0$ ，也即降温时电阻曲线呈现负斜率情形，这是半导体薄膜的电阻特性，而 1 样品冷却过程中 (dR_s/dT) 约大于 0，类似于金属薄膜的电阻特性^[81]。比较 5 个样品的 EDS 组分，可以发现随着温度的升高，GeSbTe 薄膜中 Ge 的原子比例逐渐增加，而 Te 与 Sb 的比例在递减，这与文献中报道的高温情况下 GeSbTe 材料中 Te 与 Sb 容易挥发的结论是一致的^[74, 75]。

2.4 T 型 PCM 阵列的制备工艺

本论文制备 T 型 PCM 阵列时使用的是中芯国际的 $0.18\ \mu\text{m}$ 标准工艺与微系统所内工艺相结合的手段。图 2.14(a)给出了一个有电极引出的 8×8 的阵列的照片，另外同时也会制备出上电极尺寸较大的密度更高的 64×64 阵列，单元俯视图的 SEM 如图 2.14(b)所示。

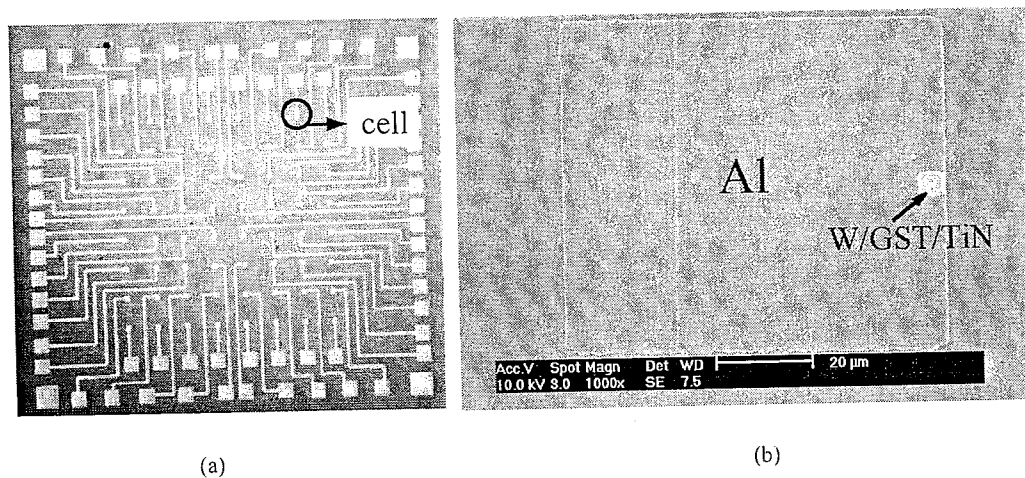


图 2.14 (a): PCM 8×8 阵列照片, (b): PCM cell 的俯视 SEM 图。

我们在中芯国际标准 $0.18\ \mu\text{m}$ 工艺已制备底圆柱型 W 电极阵列的基片上继续完成后续的加热层薄膜、相变材料薄膜、上电极薄膜、电极引线等工序。基片的 TEM 截面照片如图 2.15 所示, 由于采用 $0.18\ \mu\text{m}$ 工艺, W 电极的直径大致在 $260\ \text{nm}$ 。

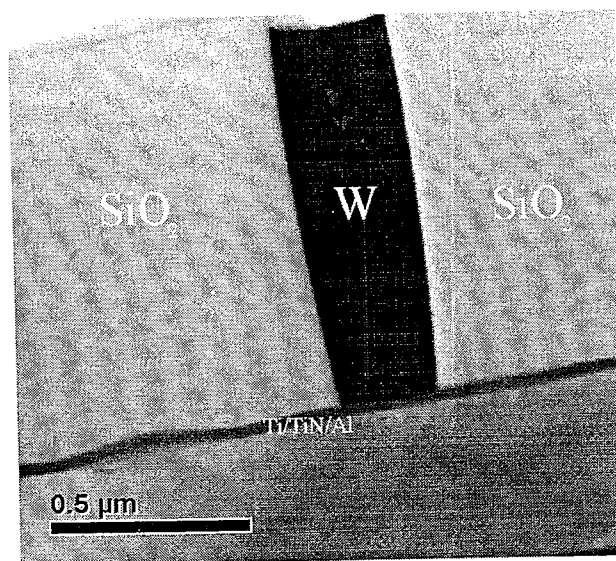
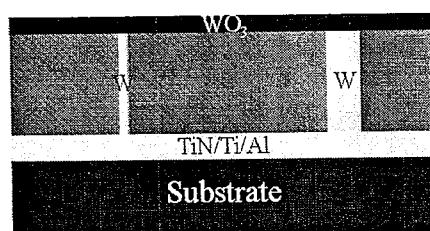


图 2.15 PCM cell 基片的 TEM 截面照片。

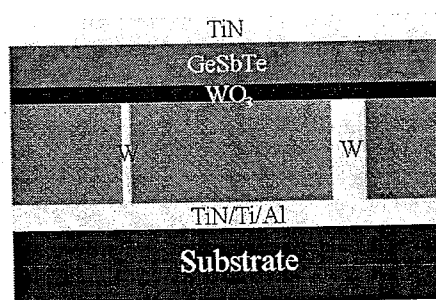
植入 WO_3 下加热层的 PCM 阵列制备工序如下:

- 1) 准备好中芯国际制备基片。

- 2) 清洗基片表面、背面，主要去除灰尘颗粒、有机与无机杂质：
 - a) 丙酮溶液中强超声清洗 3—5 分钟，去离子水冲洗；
 - b) 乙醇溶液中强超声清洗 3—5 分钟，去离子水冲洗，高纯 N_2 吹干表、背面；
 - c) 120°C 烘箱内烘干水气，约 20 分钟。
- 3) WO_3 薄膜层制备，磁控溅射 W 靶，室温，本底真空为 1×10^{-4} Pa，功率为 rf 150W，气体流量为 Ar 50 SCCM+ O_2 6 SCCM，溅射时间 2—3 分钟，保证膜厚在 10 nm 左右，然后将其置于高纯 N_2 气氛下 900 K 退火 3 分钟至多晶态。



- 4) 清洗样品表面、背面，主要去除暴露在真空室外以及退火过程中表面的杂质颗粒与有机物：
 - a) 丙酮溶液中弱超声清洗 3—5 分钟，去离子水冲洗；
 - b) 乙醇溶液中弱超声清洗 3—5 分钟，去离子水冲洗，高纯 N_2 吹干表、背面；
 - c) 120°C 烘箱内烘干水气，约 20 分钟。
- 5) $Ge_2Sb_2Te_5$ 薄膜与 TiN 薄膜的制备：
 - a) $Ge_2Sb_2Te_5$: Ge、Sb、Te 三靶共磁控溅射，本底真空为 1×10^{-4} Pa，室温，功率分别为 Ge rf 78 W、Sb dc 13 W、Te dc 20 W，气体流量为 Ar 50 SCCM，溅射时间为 15 分钟，保证薄膜厚度在 150 nm 左右；
 - b) TiN: 磁控溅射 Ti 靶，本底真空为 1×10^{-4} Pa，室温，功率为 Ti dc 200 W，气体流量为 Ar 32 SCCM+ N_2 32 SCCM，溅射时间为 10 分钟，薄膜厚度约为 20 nm。
- 6) $Ge_2Sb_2Te_5$ /TiN 薄膜制备后置于高纯 N_2 气氛下 473 K 退火 1—2 分钟使得 $Ge_2Sb_2Te_5$ 薄膜转变为 fcc 相。



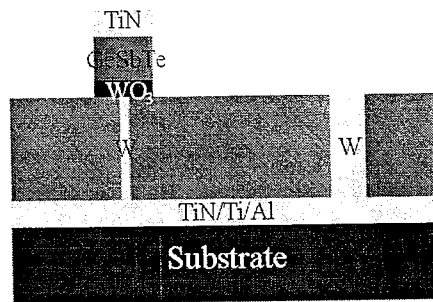
- 7) 清洗样品表面、背面，主要去除暴露在真空室外以及退火过程中表面的杂质颗粒与有机物：
 - a) 丙酮溶液中弱超声清洗 3—5 分钟，去离子水冲洗；
 - b) 乙醇溶液中弱超声清洗 3—5 分钟，去离子水冲洗，高纯 N_2 吹干表面、背面；
 - c) 120°C 烘箱内烘干水气，约 20 分钟。
- 8) $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 图形光刻(光刻版 1):
 - a) 光刻胶(S 6809)旋涂，2800 转/分，30 秒；
 - b) 光刻胶前烘，热板 100°C ，4 分钟；
 - c) 紫外曝光(400 nm, Karlsuss 曝光机)，精度 $2\ \mu\text{m}$ ，曝光 8 秒；
 - d) 四甲基氢氧化氨(MF-320)显影，4—6 秒，样品显影后立即置于去离子水中漂洗，高纯 N_2 吹干；
 - e) 显微镜下观察显影图像是否达到要求，如不符合要求则须用丙酮去除光刻胶，然后清洗样品表面，烘干后重复 a)—d) 步骤，如达到要求则打底膜，用氩离子轰击样品表面残留或图形边角处的光刻胶毛刺。
- 9) $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 图形干法刻蚀：
 - a) TiN：刻蚀气体为 CF_4 (20 SCCM)+ O_2 (2 SCCM)，气压为 80 mTorr，功率 200 W，刻蚀时间为 60 秒；
 - b) $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ：刻蚀气体为 CF_4 (15 SCCM)+Ar (35 SCCM)，气压为 50 mTorr，功率为 200 W，刻蚀时间为 3—4 分钟；
 - c) WO_3 ：刻蚀气体为 SF_6 (20 SCCM)，气压为 80 mTorr，功率为 100 W，

刻蚀时间为 7 秒；

d) 刻蚀后检查薄膜层是否刻蚀完全，否则重复以上两步骤。

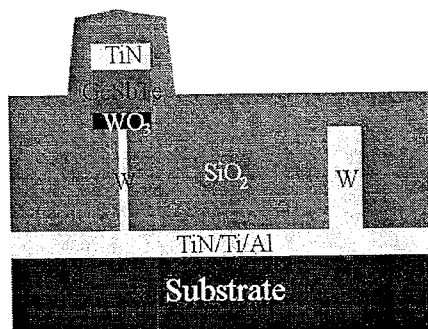
10) $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 图形干法刻蚀后去光刻胶：

- a) 样品置于丙酮溶液中浸泡 3 分钟，弱超声 1 分钟；
- b) 丙酮溶液中弱超声清洗 3—5 分钟，去离子水冲洗；
- c) 乙醇溶液中弱超声清洗 3—5 分钟，去离子水冲洗，高纯 N_2 吹干表、背面；
- d) 120°C 烘箱内烘干水气，约 20 分钟。



11) 电子束蒸发法(超高真空电子束蒸发系统 UMS500P, 如图 2.16 所示)制

备 SiO_2 介质层，本底真空为 $1 \times 10^{-6} \text{ Pa}$ ，薄膜厚度为 200 nm。



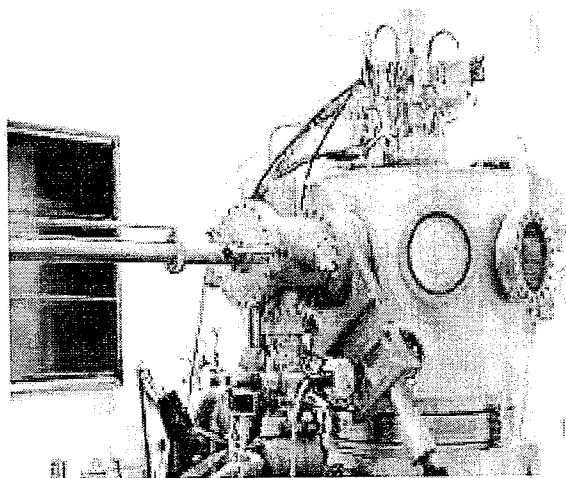


图 2.16 超高真空电子束蒸发系统。

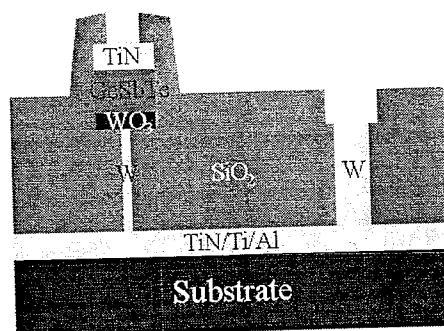
12) SiO_2 图形光刻(光刻版 2):

- a) 光刻胶(S 6809)旋涂, 2800 转/分, 30 秒;
- b) 光刻胶前烘, 热板 100°C , 4 分钟;
- c) 紫外曝光(400 nm, Karlsuss 曝光机), 精度 $2\ \mu\text{m}$, 曝光 8 秒;
- d) 四甲基氢氧化氨(MF-320)显影, 4—6 秒, 样品显影后立即置于去离子水中漂洗, 高纯 N_2 吹干;
- e) 显微镜下观察显影图像是否达到要求, 如不符合要求则须用丙酮去除光刻胶, 然后清洗样品表面, 烘干后重复 a)—d)步骤, 如达到要求则打底膜, 用氩离子轰击样品表面残留或图形边角处的光刻胶毛刺。

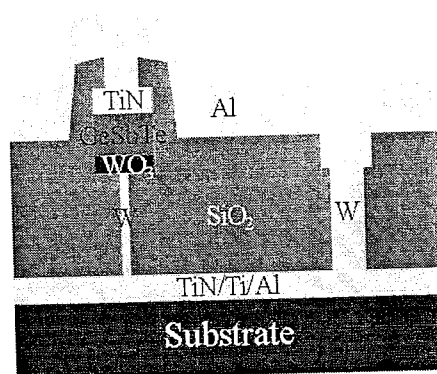
13) SiO_2 图形干法刻蚀, 刻蚀气体 CF_4 (50 SCCM)+ O_2 (5 SCCM), 气压为 55 mTorr, 功率为 150 W, 刻蚀时间为 4—5 分钟。

14) SiO_2 图形干法刻蚀后去光刻胶:

- a) 样品置于丙酮溶液中浸泡 3 分钟, 弱超声 1 分钟;
- b) 丙酮溶液中弱超声清洗 3—5 分钟, 去离子水冲洗;
- c) 乙醇溶液中弱超声清洗 3—5 分钟, 去离子水冲洗, 高纯 N_2 吹干表、背面;
- d) 120°C 烘箱内烘干水气, 约 20 分钟。



15) Al 电极制备, 采用电子束蒸发或磁控溅射 Al 靶的方法, 薄膜厚度为 300 nm。



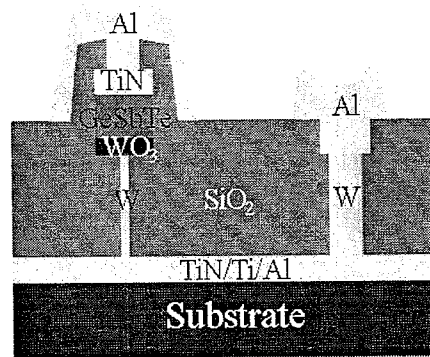
16) Al 电极图形光刻(光刻版 3):

- a) 光刻胶(S 6809)旋涂, 2800 转/分, 30 秒;
- b) 光刻胶前烘, 热板 100℃, 4 分钟;
- c) 紫外曝光(400 nm, Karlsuss 曝光机), 精度 2 μm , 曝光 8 秒;
- d) 四甲基氢氧化氨(MF-320)显影, 4—6 秒, 样品显影后立即置于去离子水中漂洗, 高纯 N₂ 吹干;
- e) 显微镜下观察显影图像是否达到要求, 如不符合要求则须用丙酮去除光刻胶, 然后清洗样品表面, 烘干后重复 a)—d) 步骤, 如达到要求则进入步骤 f);
- f) 置于 120℃ 热板上坚膜 10 分钟。

17) Al 电极图形湿法刻蚀, 使用磷酸在 60℃ 水浴加热作用下, 刻蚀 2—3 分钟。

18) Al 电极图形湿法刻蚀后去光刻胶:

- 样品置于丙酮溶液中浸泡 3 分钟, 弱超声 1 分钟;
- 丙酮溶液中弱超声清洗 3—5 分钟, 去离子水冲洗;
- 乙醇溶液中弱超声清洗 3—5 分钟, 去离子水冲洗, 高纯 N_2 吹干表、背面;
- 120°C 烘箱内烘干水气, 约 20 分钟。



由此则完成了整个 PCM 阵列的制备。采用类似工艺, 我们同时也制备了无加热层的传统的 T 型 PCM 阵列。传统结构与植入了 WO_3 下加热层的 PCM cell 的 TEM 截面照片如图 2.17 所示。

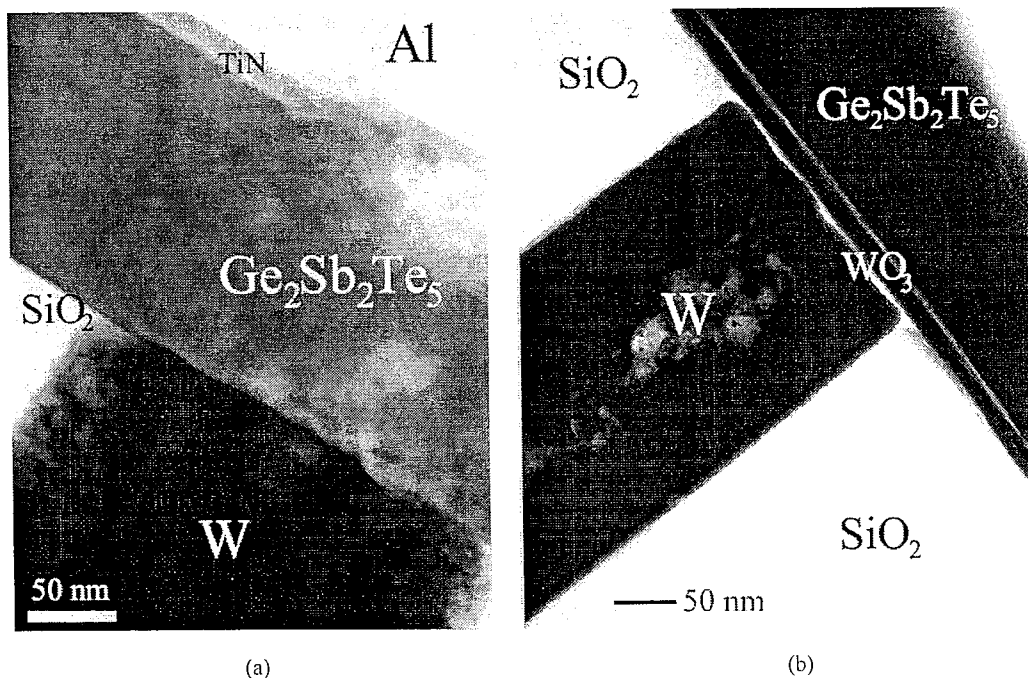


图 2.17 (a): 传统的 T 型 PCM cell 与(b): 植入了 WO_3 下加热层的 PCM cell 的 TEM 截面照片。

2.5 T 型 PCM cell 的电学性能测试

T 型 PCM 阵列制备完成后, 使用自制的电学性能测试系统对其各单元进行电流—电压($I-V$)、电阻—电压脉冲强度($R-V$)、电阻—电压脉冲宽度以及循环操作的疲劳特性等关系的测量。PCM cell 的电学性能测试系统主要由控制计算机、控制软件、Casade 探针台 RHM-06、Keithly 2400C 多功能数字信号源与 Agilent 81104A 脉冲发生器搭建而成, 如图 2.18 所示。

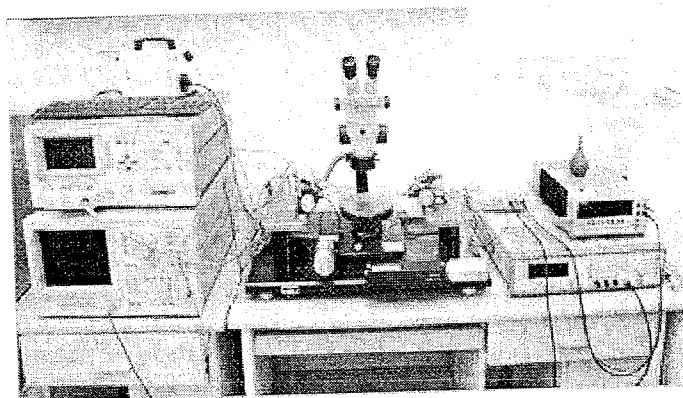


图 2.18 PCM 阵列电学性能测试系统。

控制计算机和控制软件主要是实施命令的发送和数据的采集, 以控制脉冲信号发生器和数字信号源通过转换连接部件依次与微控探针台相连接, 实现对 PCM cell 的写/擦和性能测试。脉冲信号发生器可以以单通道和双通道两种模式产生脉冲信号, 脉冲信号可以是单一脉冲或连续脉冲信号。脉冲信号的形状是单一形状或两种不同形状的组合, 它的功能是对器件单元进行写/擦操作。电流脉冲信号的高度范围是 $0\sim 400\text{ mA}$, 电压脉冲信号的高度范围是 $0\sim 10\text{ V}$, 脉冲信号的宽度 $6.25\text{ ns}\sim 999.5\text{ s}$ 。数字信号源的功能是提供电流或电压信号源来测试相应的电压、电流或电阻, 其中电流信号源的范围是 $50\text{ pA}\sim 1.05\text{ A}$, 电压信号源的范围是 $5\text{ }\mu\text{V}\sim 210\text{ V}$ 。相应的测试电流范围为 $10\text{ pA}\sim 1.055\text{ A}$, 测试电压的范围是 $1\text{ }\mu\text{V}\sim 211\text{ V}$, 测试电阻的范围是 $100\text{ }\mu\Omega\sim 211\text{ M}\Omega$ 。微控探针台主要由样品台、探针、光学显微镜、微控旋钮、真空泵等部分组成, 其主要功能是提供

放置样品的平台和引入脉冲信号与测量信号并施加到样品上。

与 PCM cell 测试系统的硬件相对应的操作软件主要包括电流—电压测试模块、电压—电流测试模块、电阻—写脉高测试模块、电阻—写脉宽测试模块、电阻—擦脉高测试模块、电阻—擦脉宽测试模块以及疲劳测试模块这七个测试模块。

测试某一 PCM 阵列时,如图 2.14(a),使用探针台其中一探针良好接触阵列四顶角处的任一公用下电极,然后使用另一探针与某一 PCM cell 的引出电极良好接触,由此对 PCM cell 构建完电学上的通路,通过对其施加直流电流或脉冲电压可以表征其电阻的变化。

图 2.19 给出了使用 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 作为相变材料的传统 PCM cell 的电阻—电压脉冲强度关系。随着外加脉冲电压强度的增加,器件的电阻因 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的结晶而下降,后续达到其最低电阻值(SET 态)。当脉冲电压的强度继续增高时,器件电阻则开始上升,在电压强度超过 RESET 阈值电压后最终达到 RESET 的高阻态。如果增加脉冲的宽度,则可以获得更低的 SET 电阻(1000 ns 时约 $6\text{ k}\Omega$),这是由于更宽的脉冲可以得到结晶更为完全的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜^[82],从而得到更低阻值的 SET 态,并且 SET 和 RESET 电压值都同时相应的降低。而且因为随着脉冲宽度的增加,硫系化合物的结晶电流是会降低的^[83],因此在操作电流下降的同时就能获得更低的 SET 操作电压。

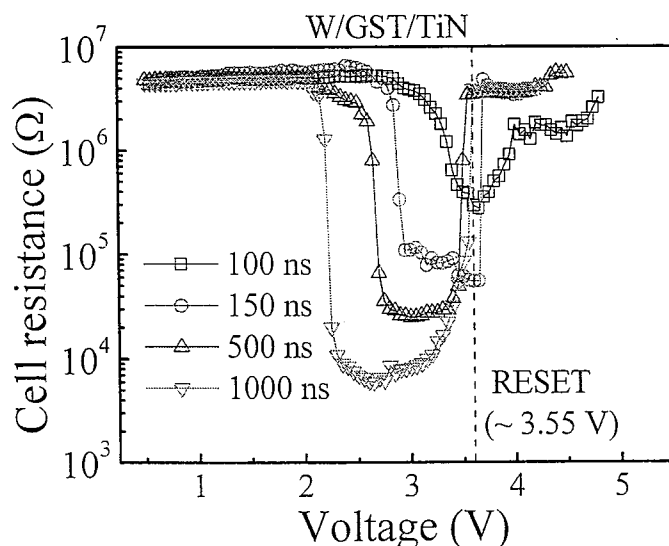


图 2.19 传统 PCM cell 的 R-V 曲线在不同脉冲宽度时的情形。

增加脉宽操作电压下降的现象在植入 WO_3 下加热层的 PCM cell 中同样出现。所不同的是在植入 WO_3 下加热层之后, PCM cell 的 RESET 操作电压由 3.55 V 下降至 3.05 V, 如图 2.19 与图 2.20 所示。

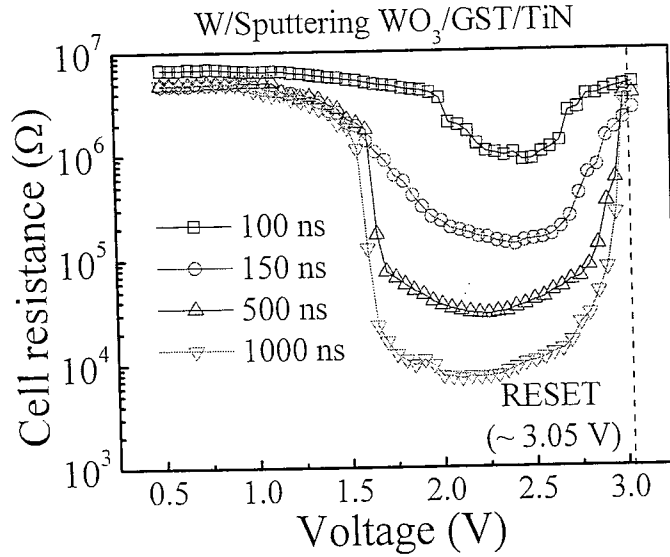


图 2.20 植入 10 nm 厚 WO_3 下加热层的 PCM cell 的 R-V 变化关系在不同脉冲宽度时的情形。

2.6 RESET 操作电压降低的理论分析

2.6.1 WO_3 下加热层的材料特性

之所以选择 WO_3 作为加热层材料的主要原因在于我们发现多晶态的 WO_3 材料具有很好的热稳定性, 合适的电阻率, 以及非常理想的热导率, 具体各物理特性数值见表 2.2。

WO_3 作为一种 n 型半导体材料具有很低的热导率(100~300 nm 厚的 WO_3 薄膜热导率为 $\sim 1.63 \text{ W/m}\cdot\text{K}$)^[84]。需指出的是热导率随着薄膜厚度的降低会更小。900 K 得到的多晶态 WO_3 薄膜的电阻率使用 Van der pauw 法测量大致为 $0.5 \Omega\cdot\text{cm}$ 。此外, 晶态 WO_3 具有很高的熔点($\sim 1743 \text{ K}$), 在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的熔点($T_{\text{melt}} \sim 900 \text{ K}$ ^[59])附近多晶态 WO_3 保持为很稳定的正交晶系相, 如图 2.11 所示。值得注意的是, 比较几种可能氧化物的生成焓值 O_3W (-842.9 kJ/mol)、 O_2Te (-322.6 kJ/mol)、 GeO (-261.9 kJ/mol)以及考虑与 O 原子成键的键强, O—W (~ 672

kJ/mol) 键的键强大于 O-Sb ($\sim 434 \text{ kJ/mol}$)、 O-Te ($\sim 376 \text{ kJ/mol}$) 和 O-Ge ($\sim 659 \text{ kJ/mol}$) 键的键强, WO_3 与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 中的 Ge、Sb、Te 等原子在高温情况下发生反应的可能不存在^[85]。也就是说 WO_3 在 PCM cell 的高温操作过程中 (RESET 操作) 中具有较好的热稳定性, 这对于保证器件良好的操作可靠性是有利的。

 表 2.2 fcc 相 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 与 W、TiN、多晶态 WO_3 、 SiO_2 的物理特性参数。

材料	电阻率	热导率	比热	熔点
	$\rho (\Omega \cdot \text{cm})$	$\kappa (\text{W/mK})$	$c (\text{J/gK})$	$T_m (^\circ\text{C})$
fcc- $\text{Ge}_2\text{Sb}_2\text{Te}_5$	0.4-1	$0.46^{[59]}$	0.202	610-627
$\text{W}^{[59]}$	$\sim 5.4 \times 10^{-6}$	174	0.132	3407
TiN	$\sim 5 \times 10^{-4}[64]$	$22^{[62]}$	$0.784^{[59]}$	$2950^{[59]}$
poly- WO_3	0.5	$1.63^{[84]}$	-	1470
$\text{SiO}_2^{[62]}$	10^9	1.4	1.05	1830

2.6.2 PCM cell 的 RESET 操作电压降低数值计算

前面已经指出本研究中使用的 PCM cell 采用 $0.18 \mu\text{m}$ CMOS 工艺制备, 得到的 W 电极的直径以及高度分别为约 260 nm 和约 700 nm。在光刻和刻蚀工艺后, 10 nm 厚的 WO_3 薄膜最终形成了边长约 600 nm 的正方形, 如图 2.17(b) 所示。150 nm 厚的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜, 经 N_2 气氛下 473 K 退火 1 分钟, 使其非晶态转变为晶态的 fcc 相, fcc 结构的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的电阻率大致为 $0.4 \Omega \cdot \text{cm} \sim 1 \Omega \cdot \text{cm}$ 。

通常, 在 $\text{W-Ge}_2\text{Sb}_2\text{Te}_5$ 界面出扩散的热量 P 由下式给出:

$$P = V^2 / (R_{\text{GST}} + \eta R_{\text{W}}), \quad (1)$$

其中 V 是 PCM cell 上的电压降, R_{GST} 和 R_{W} 各自为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层与 W 下电极的电阻, 此外, η 则定义为 W 电极的加热效率。为了熔化 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层, 必须提供 600 K 左右的温度升高:

$$\Delta T = T_{\text{melt}} - T_0 = R_{\text{th}}^{\text{total}} P, \quad (2)$$

其中 T_0 为室温, $R_{\text{th}}^{\text{total}}$ 为总热阻。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 WO_3 层的电阻可以用 $R = \rho \frac{d}{A}$ 关系

来得到, ρ 为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 WO_3 的各自电阻率, d 和 A ($600 \times 600 \text{ nm}^2$) 为各层薄膜对应的厚度和面积。计算得到的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层电阻大致为 $2 \text{ k}\Omega \sim 5 \text{ k}\Omega$ 。因此, 植入的 WO_3 层 ($\sim 138 \text{ }\Omega$) 不会显著的增加器件的 SET 态总电阻 ($R_{\text{ele}}^{\text{total}}$)。注意到传统的 PCM cell 中的 $R_{\text{ele}}^{\text{total}}$ 在 $6 \text{ k}\Omega$ 左右, 如图 2.19 所示。然而在植入 WO_3 层之后, 器件的 $R_{\text{th}}^{\text{total}}$ 却急剧增加了。各薄膜层的热阻都可以用 $R_{\text{th}} = \frac{1}{\kappa} \frac{d}{A}$ 来估计^[52], 其中 κ 为热导率。估计所得的 W 下电极的热阻为 75811 K/W , WO_3 层的热阻为 17041 K/W 。考虑到器件的 $R_{\text{th}}^{\text{total}}$ 等于由 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 热阻 ($R_{\text{th}}^{\text{GST}}$) 与加热层、电极热阻的并联 ($R_{\text{th}}^{\text{WO}_3} + R_{\text{th}}''$)^[52]:

$$\frac{1}{R_{\text{th}}^{\text{total}}} = \frac{1}{R_{\text{th}}^{\text{GST}}} + \frac{1}{R_{\text{th}}^{\text{WO}_3} + R_{\text{th}}''}, \quad (3)$$

其中 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 具有最大的热阻约 $9 \times 10^5 \text{ K/W}$, 因此 $R_{\text{th}}^{\text{total}}$ 的大小主要由加热层、电极的热阻所决定。联立上述方程(1)、(2)和(3), 很容易得出电压的表达式:

$$V = \sqrt{\frac{\Delta T}{R_{\text{th}}^{\text{total}}} \cdot R_{\text{ele}}^{\text{total}}}, \quad (4)$$

经计算可知, WO_3 植入后的 PCM cell 的 $R_{\text{th}}^{\text{total}}$ 是传统 PCM cell 的约 1.2 倍, 器件的 RESET 电压值理论上则应该降低 $\sqrt{1.2} \approx 1.1$ 倍, 此结果与我们的实验结果有很好的的一致性 ($\frac{3.55V}{3.05V} \approx 1.16$ 倍), 如图 2.19 和图 2.20 所示。考虑到几乎没有大幅度变化的器件 SET 态总电阻, 可以认为器件的 RESET 操作电流也有和电压一样的下降幅度。

一方面, 下加热层的高电阻可以促进 PCM cell 中更多的焦耳热生成, 条件是 PCM cell 由电流脉冲驱动。同时加热层的低热导率有助于抑制热量的扩散^[64, 66], 这两个因素都能使得操作电流降低。另一方面, 由(4)式可知, 即使器件总热阻增加了很多, 如果下加热层的高电阻使得器件的 SET 态总电阻大幅度增加, 反而会不利于在操作电流下降的同时保证操作电压也下降, 这能从参考文献 64 和 66 中的电阻-电流曲线中估算电压值获知, 如图 2.21(a)和(b)所示。因此, 应该合理的优化加热层材料的物理特性, 以便保证足够的电流下降的幅度来弥补潜

在的电压上升幅度。此外，SET 态总电阻的大幅度升高会不可避免的致使读操作中信号的强度减弱，一般要求 PCM cell 的 SET 态总电阻小于 $10\text{ k}\Omega$ 。所以，就电压脉冲驱动的 PCM cell 而言， WO_3 作为加热层应该更为适合，因其能同时降低操作电压与电流的强度。

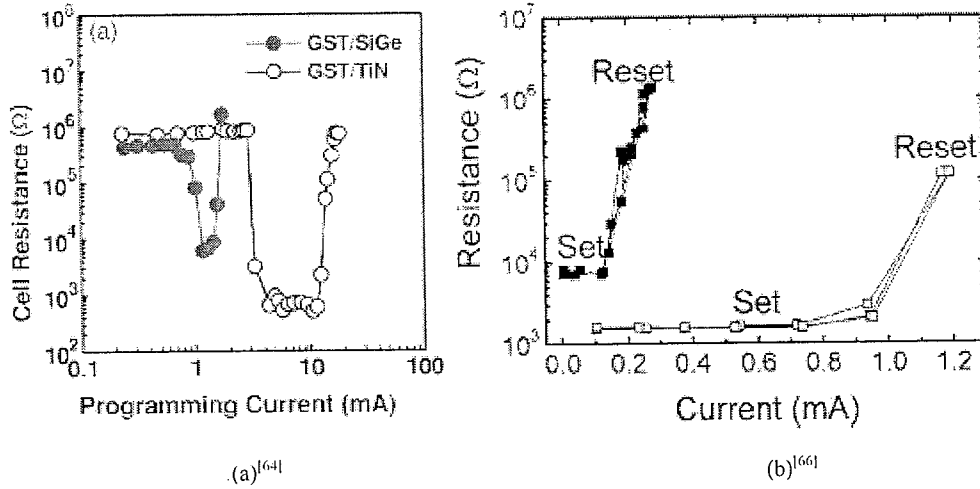


图 2.21 (a): 使用 poly-SiGe 下加热层, RESET 电流降低约 6 倍而 SET 态总电阻却升高了约 10 倍, (b): 使用 C_{60} 下加热层, RESET 电流降低约 4 倍而 SET 态总电阻也升高了约 4—5 倍。二者都说明在具备下加热层后并没有很好的降低 RESET 操作电压。

2.6.3 PCM cell 的 RESET 操作热学模拟

因为 PCM cell 中发生相变, 须经历产生焦耳热、热传导与发生相变三过程, 所以器件的模型包含电学模型、传热模型和相变模型。

当器件外加偏压时, 电流会流过器件产生焦耳热, 焦耳热的作用导致器件内部温度升高, 温度的升高会导致相变材料电导率发生改变(相变材料电阻率随温度变化), 相变材料的电导率应该看作是温度的函数。由欧姆定律 $J = \sigma \cdot E$, 且电场 $E = \nabla \cdot V$, 则焦耳热为:

$$Q = \frac{1}{\sigma} |J|^2 = \sigma |\nabla \cdot V|^2, \quad (5)$$

其中 σ 为电导率, E 为电场强度, V 为电压, $\nabla = \frac{\partial}{\partial x} + \frac{\partial}{\partial y} + \frac{\partial}{\partial z}$ 。

热量在 PCM cell 内部传导时应该遵循热传导方程:

$$\rho C_p \frac{\partial T}{\partial t} - \nabla \cdot (\kappa \nabla T) = Q, \quad (6)$$

其中 C_p 为比热容, ρ 为材料密度, κ 为热导率, T 为温度。

此外再将相变过程中吸收与释放潜热(Latent heat)的因素考虑进模型, 其中潜热用相变过程中随温度变化的焓值来表示 $\Delta H = \int_{-\infty}^{+\infty} \rho C(T) dT$, 焓值的变化为密度与热容的乘积。考虑微区相变概率, (6)式中的比热容则可以用有效比热容来替代, 有效比热容是相变体积分数(概率函数)、密度和比热容的函数。同样热导率也考虑进相变概率, 两相不同的热导率数值, 进而也可以用有效热导率代替。

上述偏微分方程要得到解析解是比较困难的, 我们使用数值计算的方法来求解这些偏微分方程。采用有限元方法将变分问题离散化, 以求出数值解。

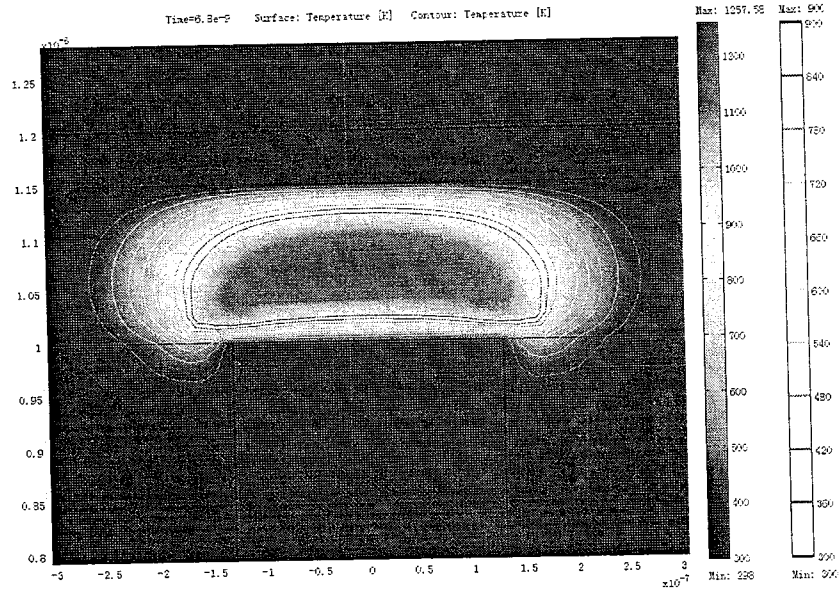


图 2.22 传统结构的 PCM cell 的热学模拟示意图, 在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内表现出蘑菇型的相变区域以及不同区域的温度梯度轮廓。

我们使用二维的有限元模型来模拟 PCM cell 的 RESET 操作中温度分布的情况, 如图 2.22 所示。所选用的材料参数与表 2.2 中各材料的物理参数一致。

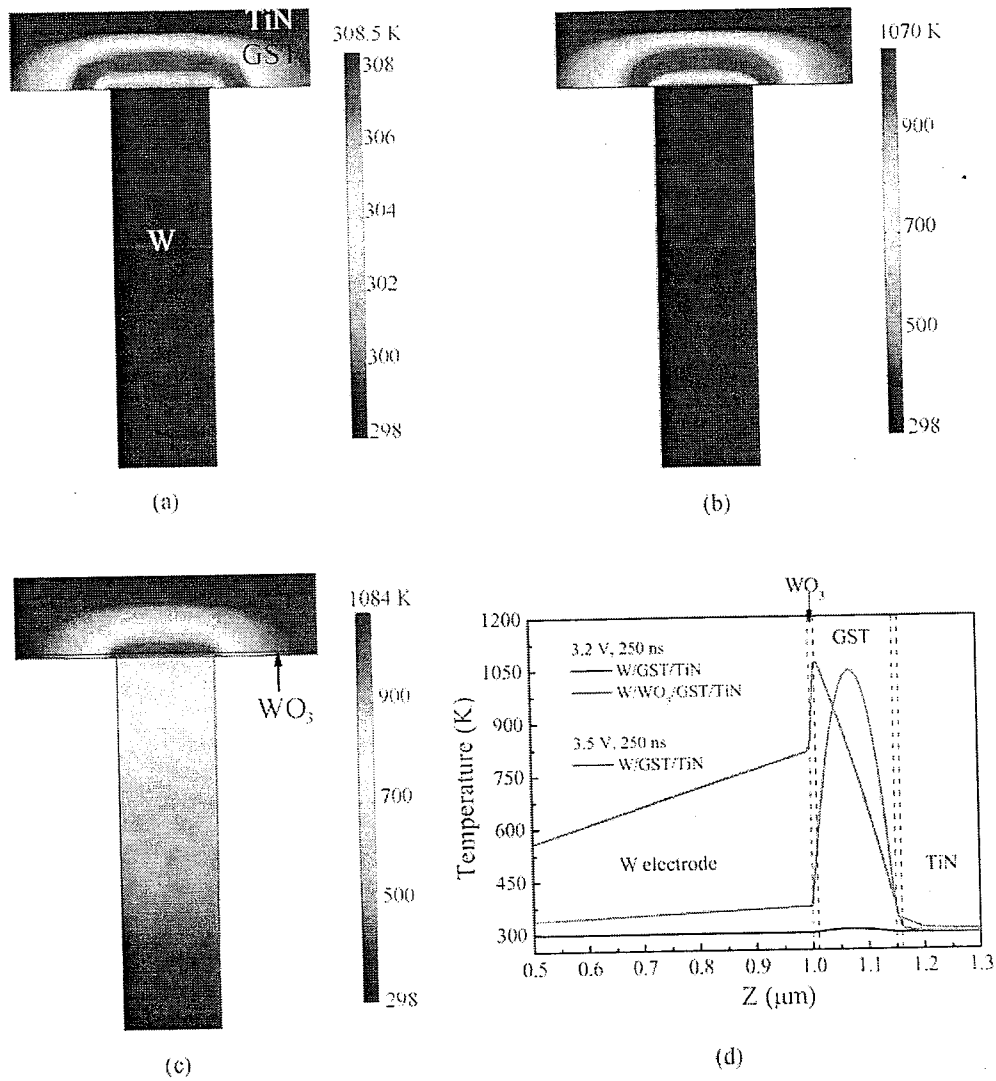


图 2.23 传统 PCM cell 的温度模拟示意图: (a) 3.2 V, 250 ns; (b) 3.5 V, 250 ns 以及植入 WO_3 加热层的 PCM cell; (c) 3.2 V, 250 ns; (d) RESET 过程中 PCM cell 轴截面处温度曲线图。

图 2.23 (a)–(c) 为通过计算得到的在 RESET 操作时各 PCM cell 对应的热量分布图。图 2.23(d) 为器件轴截面处的温度曲线图。图 2.23(a) 和 2.23(c) 中的 PCM cell 的操作电压脉冲为 3.2 V, 250 ns, 而图 2.23(b) 中的器件则是由 3.5 V, 250 ns 的电压脉冲驱动。因为 WO_3 很低的热导率(W 热导的 1%), WO_3 加热层有效的抑制了热量向底 W 电极扩散, 从而促成了较高的 RESET 温度, 比较图 2.23(a) 和 2.23(c) 可知, 并且使得 $Ge_2Sb_2Te_5$ 层内的热核位置由薄膜中部转移到 $Ge_2Sb_2Te_5$ – WO_3 界面附近, 如图 2.23(d) 所示。相反的, 如果要加热到大致相同的温度(1070

K~1084K), 传统的 PCM cell 则需要更大的操作电压, 因为在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ -W 界面处依然残留着晶态的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 区域, 如图 2.23(b)所示。

这些结果与图 2.3(b)中的结果是一致的, 残留在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ -W 界面处的晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 区域使得传统 PCM cell 在 RESET 过程中, 需要更高的电压来将并联的电学形式转化为串联的电学形式, 而将热核位置移到 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ - WO_3 界面上时, 界面附近的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 区域则能获得更多的热量以便更均匀的转化为非晶态。而且, 较低的 RESET 操作电压下, 蘑菇型的 RESET 区域明显减小, 预示着植入加热层能更有效的缩小相变所需区域, 在器件尺寸缩小的情形下, 更小的相变区域对于提高存储密度以及保证器件的写擦可靠性是有利的。

2.7 热氧化 WO_3 加热电极

既然植入 WO_3 下加热层能够有效的提高 PCM cell 的热效率从而降低 RESET 操作电压, 并且我们使用的 PCM cell 中的底电极就是 W 的圆柱型电极, 如果能够在 W 圆柱型电极的顶部也形成薄薄的一层多晶态 WO_3 , 则相比尺寸更大的通过溅射获得的下加热层, W 圆柱型电极顶部的多晶态 WO_3 薄膜可以很容易的减少 WO_3 与相变材料之间的接触面积, 从而减小热量在 WO_3 薄膜内部的横向扩散损失, 能更有效的将热量用于蘑菇型的相变区域, 期望能获得更低的 RESET 操作电压。

由于光刻线宽($\sim 2\ \mu\text{m}$)的限制, 我们不能通过溅射 WO_3 薄膜、退火、刻蚀的工艺在 260 nm 直径的 W 圆柱型电极顶部正好形成一样形状的圆形薄膜, 所以我们尝试使用在高纯氧气下退火的方法, 将 W 圆柱型电极顶部氧化来形成多晶态的 WO_3 薄膜。

2.7.1 热氧化法制备 WO_3 薄膜

首先在氧化硅片上沉积了约 200 nm 的 W 薄膜, 使用纯金属 W 靶在室温溅射, 溅射功率为 rf 150 W, Ar 50 SCCM。W 薄膜制备完成后使用丙酮、乙醇、去离子水先后清洗, 高纯氮气下吹干水分, 在烘箱中 80℃烘干 20 分钟。使用管式高温退火炉(L48 13II-1B/UM), 如图 2.24 所示, 对干净的 W 薄膜实现高温氧

化。此退火炉最高可升温至 1300°C ，我们预先将高纯 O_2 (3.5 Standard litre per minute at STP, SLM) 通入炉内高纯石英管中约 20 分钟以排尽石英管内的空气和其它杂质气体，通 O_2 的同时开始炉内升温，至 500°C 停止，保温 30 分钟以便在炉内中间部位形成一定区域的稳定温场，待温度稳定后，将 W 薄膜置于石英小舟内延石英管推入 500°C 的温场，待放置 1 小时后，将小舟拉出，取出样品。

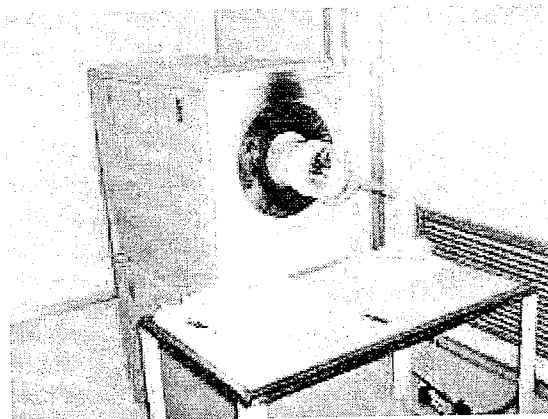


图 2.24 高温管式退火炉。

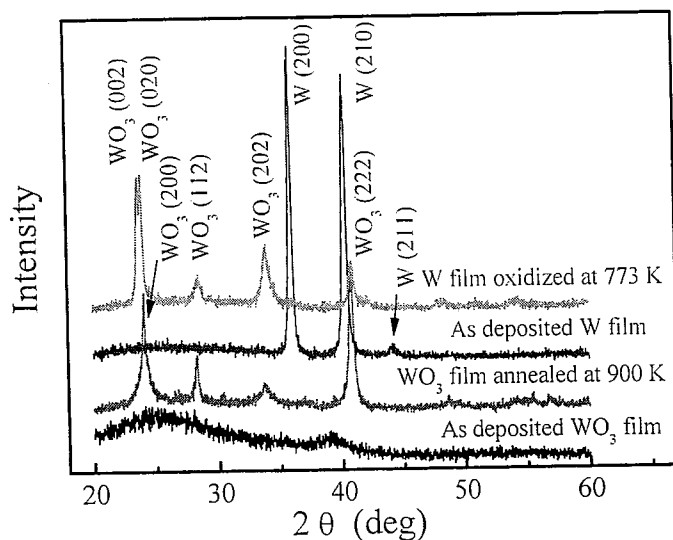


图 2.25 溅射法与热氧化法制备的 WO_3 薄膜以及沉积态 W 薄膜的 XRD 图。

为了确定上述纯 O_2 气氛退火实验后能在 W 薄膜上形成 WO_3 薄膜，对样品

进行了 XRD 检测, 如图 2.25 所示。发现经 773 K 纯 O_2 气氛退火后, W 薄膜转变成了正交晶系的 WO_3 薄膜, 这与我们通过溅射方法然后在 N_2 气氛下 900 K 退火获得的 WO_3 薄膜具有相同的结构。

2.7.2 PCM cell 内 W 底电极顶部的氧化

虽然在较大尺度的 W 薄膜上成功实现了热氧化制备 WO_3 薄膜, 但在小尺度的 W 底电极顶部热氧化的效果还不清楚, 尤其是 WO_3 的厚度需要确定。我们使用图 2.15 所示的中芯国际制备好的基片, 预先经过清洗工艺, 采用与氧化 W 薄膜同样的工艺, 在 773 K 高纯 O_2 的气氛下热氧化 1 小时。在氧化后样品的基础上制备了完整的 PCM 阵列, 其工艺步骤与本章 2.4 节中的介绍一致, 图 2.26 为热氧化法制备了 WO_3 加热电极的 PCM cell 的 TEM 截面图。

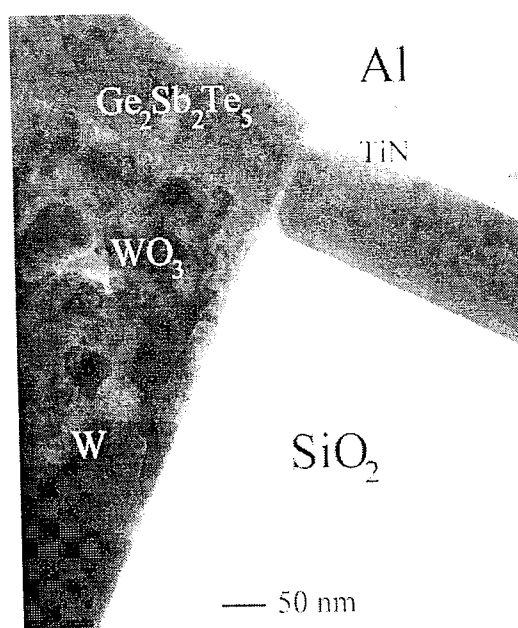


图 2.26 W 顶电极顶部氧化后的 PCM cell 截面示意图。

为了确定 PCM cell 内部 WO_3 薄膜的存在及其厚度, 我们采用 TEM 照片测量其厚度, 结合选区电子衍射(Selected-area electron diffraction, SAED)和 X 射线能量色散谱 EDS 来证实晶态 WO_3 的存在。由 TEM 截面照片(图 2.27)可发现 WO_3 薄膜与 W 电极存在明显的颜色上的差别, WO_3 薄膜厚度大致为 130 nm。

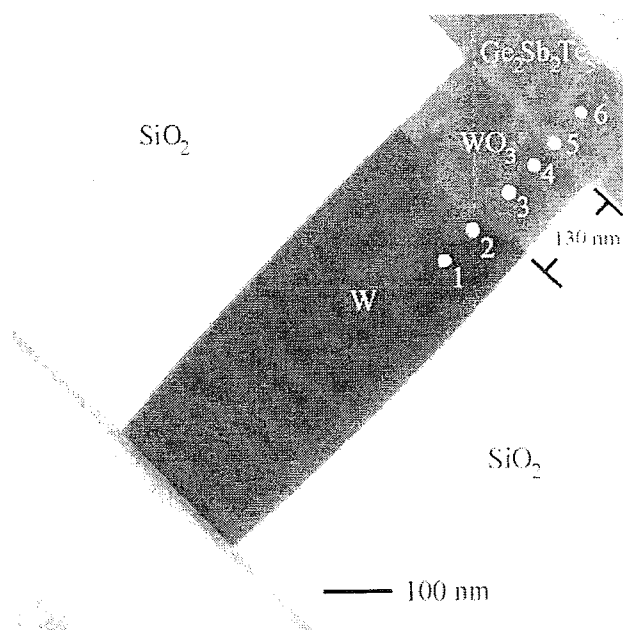


图 2.27 PCM cell 的 TEM 截面图用于估计热氧化的多晶态 WO_3 薄膜的厚度。

图 2.28 为在深色 W/潜色 WO_3 圆柱型电极上分别作的 SAED 花样，由差异明显的 SAED 花样可判知 W 圆柱型底电极在热氧化后转变成了多晶态的 WO_3 。

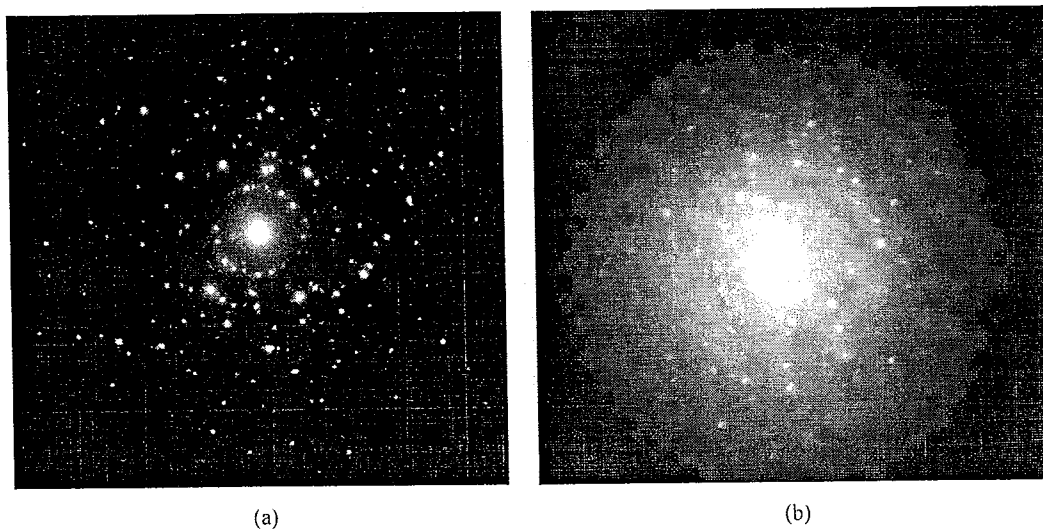


图 2.28 (a) W 和(b) WO_3 的 SAED 花样。

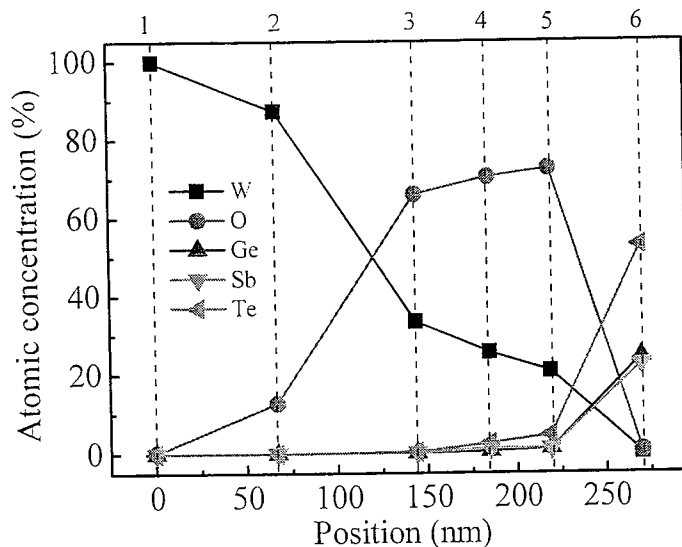


图 2.29 对应图 2.27 中 W/WO₃/Ge₂Sb₂Te₅ 结构上 1—6 点的 EDS 测量的元素含量。

结合 EDS 我们选取在 W/WO₃ 电极上以及 Ge₂Sb₂Te₅ 层内的 6 个点做了元素含量的半定量检测, 如图 2.27 中所示 1—6 点对应于图 2.29 中的 EDS 元素含量。1 和 2 点对应于 W 电极内部, O、Ge、Sb 和 Te 元素几乎没有发现, 3—5 点中则 O 含量明显增加, 判定为 WO₃ 的存在, 6 点则对应于 Ge₂Sb₂Te₅ 的元素含量, 其中 O 的含量比较低, 由此也可以证实 WO₃ 具有理想的热稳定性, 不会致使 Ge₂Sb₂Te₅ 内的 Ge 等元素发生氧化, 避免操作过程中 Ge₂Sb₂Te₅ 由于与扩散进去的氧的结合而器件电阻增大, 影响操作参数的一致性。

2.7.3 热氧化 WO₃ 电极 PCM cell 的电学测试与热学模拟

热氧化 W 圆柱型底电极顶部后的 PCM cell 的 R—V 曲线如图 2.30 所示。比较图 2.19 与图 2.20 可知, 热氧化工艺后 PCM cell 的 RESET 操作电压为 2.4 V, 相比传统 PCM cell 的 3.55 V 和 10 nm 厚 WO₃ 下加热层 PCM cell 的 3.05 V 都有了明显的降低。

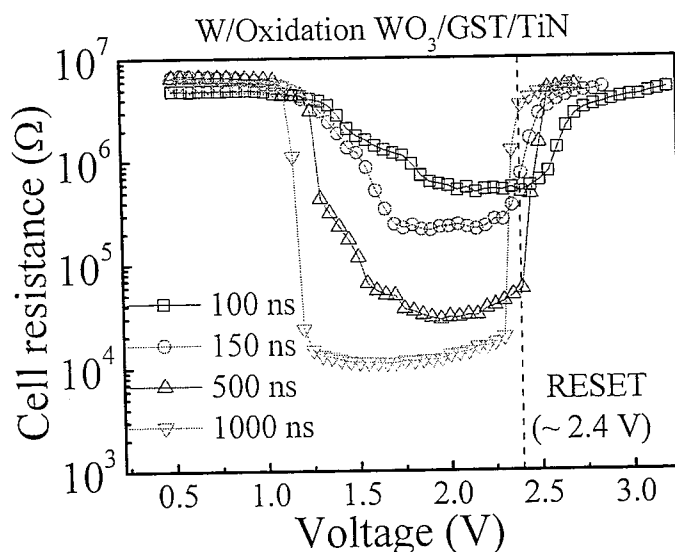


图 2.30 热氧化法制备 130 nm 厚 WO_3/W 电极的 PCM cell 的 R-V 变化关系在不同脉冲宽度时的情形。

多晶态 WO_3 材料的低热导率与适当的电阻率是 PCM cell 的 RESET 操作电压的降低的主要原因。采用本章 2.6.2 节中的数值计算公式，我们依然可以判定理论值与实验结果是否一致。须注意的是，此时的 WO_3 薄膜的厚度为 130 nm，而面积则为 $\pi \times (130\text{nm})^2$ ，因此相比溅射得到的 10 nm WO_3 薄膜，热氧化的 WO_3 薄膜具有很大的电阻 $\sim 12.2 \text{ k}\Omega$ 。与此同时，W 电极的尺寸也由 700 nm 缩短为 570 nm 左右，电阻也由 $0.71 \text{ }\Omega$ 减小到 $0.58 \text{ }\Omega$ 。变化了的数值也包括 W 电极的热阻，热氧化后为 61731 K/W ，热氧化的 WO_3 薄膜的热阻 (1502932 K/W) 远远大于溅射得到的 WO_3 薄膜 (17041 K/W)，这是由于前者更厚且具有更小的底面积。

结合(1)–(4)式，理论计算得到的 PCM cell 的 RESET 电压随 $\sqrt{R_{\text{ele}}^{\text{total}}/R_{\text{th}}^{\text{total}}}$ 降低的比例为 $1.5_{\text{传统型}}:1.4_{\text{溅射型}}:1.0_{\text{热氧化型}}$ ，与实验获得的各 PCM cell 的 RESET 电压比例很好的符合 ($3.55\text{V}:3.05\text{V}:2.40\text{V} \approx 1.5:1.3:1.0$)。

我们同样使用二维的有限元模型来模拟热氧化 WO_3 下加热电极对 PCM cell 的 RESET 操作过程的热学影响，如图 2.31 所示。

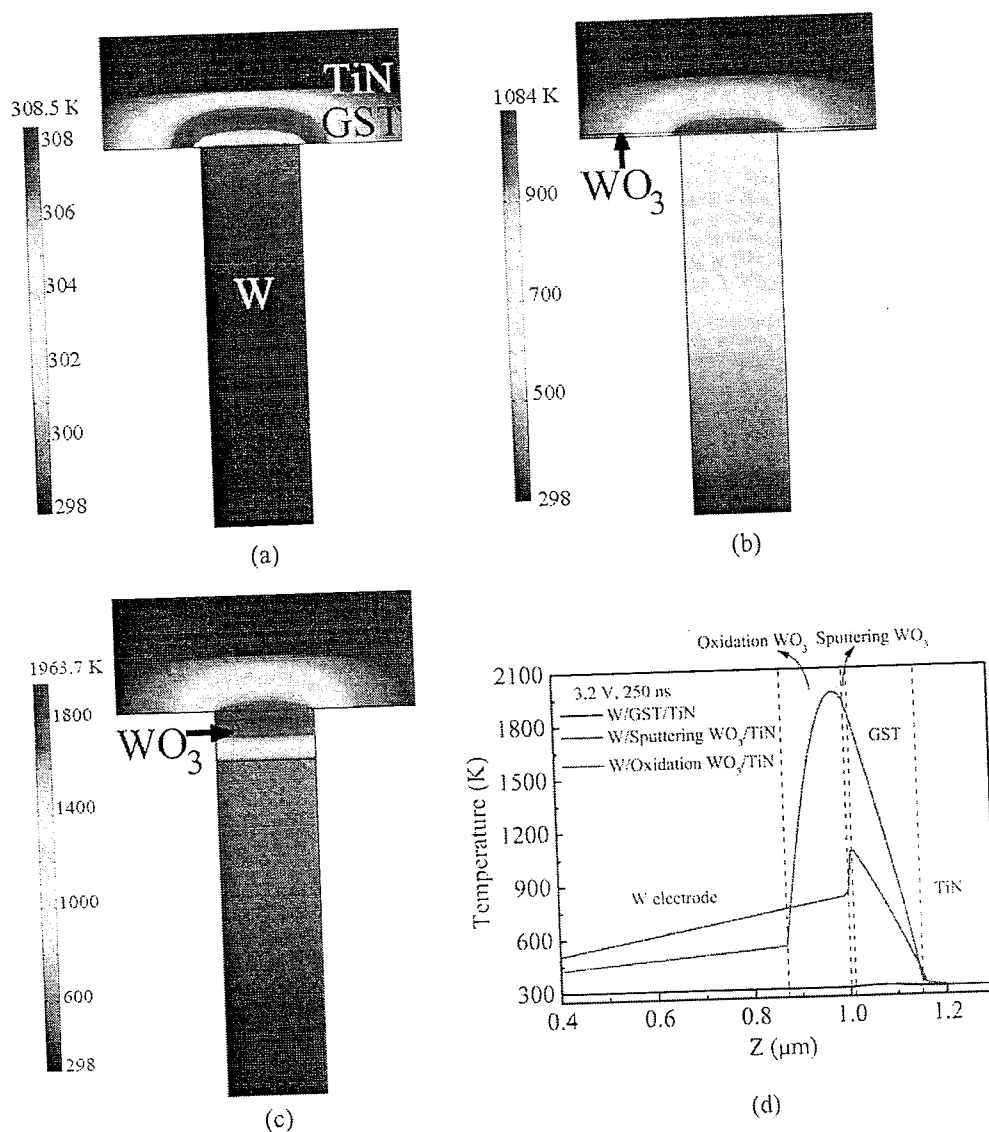


图 2.31 温度模拟示意图(3.2 V, 250 ns): (a)传统 PCM cell, (b)溅射法 WO_3 下加热层的 PCM cell, (c)热氧化法 WO_3 下加热电极的 PCM cell, (d) RESET 过程中 PCM cell 轴截面处温度曲线图。

在相同的脉冲电压驱动下(3.2 V, 250 ns), 热氧化法 WO_3 下加热电极的 PCM cell 能达到最高的 RESET 温度, 在 $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面上的温度相比溅射法 WO_3 下加热层的 PCM cell 升高了约 750 K, 比较图 2.31(a)–(c)可知, 具有多晶态 WO_3 下加热层或下电极的 PCM cell 在 $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面上就不存在残留 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 晶态区域的问题, 这是 RESET 电压能降低的主要原因, 对于下加热层 PCM cell, 热核位置靠近 $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面, 而对于下加热电极 PCM cell, 热核位置则进入了 WO_3 电极内部, 如图 2.31(d)所示。

合理的控制对 W 电极表面氧化的时间, 可以控制 WO_3 的厚度, 进而能有效控制 WO_3 层的电阻, 使得 PCM cell 的 SET 态总电阻低于 $10\text{ k}\Omega$, 如此对于防止 READ 过程信号减弱是有利的。

2.8 小结

本章主要介绍了多晶态 WO_3 材料作为 PCM cell 下加热层或下加热电极时对 PCM cell 的 RESET 操作电压降低的作用, 主要结论有:

- 1) 采用磁控溅射得到非晶态 WO_3 薄膜, 然后热处理为多晶态。以及使用磁控溅射 W 薄膜, 然后热氧化为多晶态 WO_3 薄膜, 两者虽然制备方法不同, 但能得到晶体结构类似, 电阻相当的多晶态薄膜。
- 2) 将磁控溅射法或热氧化法得到的多晶态 WO_3 薄膜作为加热介质植入 PCM cell 中, 与传统 PCM cell 比较, 发现改进后的 PCM cell 的 RESET 操作电压明显降低。
- 3) 多晶态 WO_3 材料之所以能作为有效的加热介质, 是由于其接近 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的低热导率, 以及其合适的电阻率。而且 WO_3 材料还具有相当理想的高温热稳定性, 取保器件具有良好的操作可靠性和使用寿命。
- 4) 通过电学热学结合的数值计算, PCM cell 改进前后理论电压降低的比率与实验获得的电压降低比率一致, 并结合二维有限元热学模型了解 PCM cell 中由于植入 WO_3 加热介质后的温场分布, 增温效应, 并指出 PCM cell 中 $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面上残留的多晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料由于能被有效的非晶化, 可使得器件 SET 态低阻能在较低的电压操作下降至 RESET 态高阻。

由于目前大多数半导体行业使用的电极材料均为 W 材料, 仅仅通过控制热氧化工艺来控制 W 电极顶部生成的多晶态 WO_3 介质的厚度和电阻率, 就可以在不增加其它光刻、刻蚀工艺的基础上, 获得具有 WO_3 加热介质的 W 电极, 考虑 WO_3 材料良好的热稳定性, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料不会在循环使用过程中由于氧化而发生电阻漂移, 使用后的 PCM cell 可望在降低 RESET 操作电压的同时获得稳定可靠的操作参数。

第三章 富硅型多晶态硅锑下加热层

3.1 引言

在没有加热层介质的情况下, PCM cell 中相变材料的相变热量主要来自于其自身的自加热机制, 这归因于 PCM cell 中的绝大部分的电阻和热阻都集中在相变材料上。然而在植入加热层之后, 加热层能产生热量, 阻止热量回流到底电极中, 并将热核位置移向加热层与相变材料界面处, 提高了加热效率, 但由此也引入了新的问题。加热层材料是否与相变材料甚至 CMOS 工艺兼容, 它们之间的界面须经受约 900 K 的高温反复作用, 加热层是否具有很好的热稳定性, 加热层与相变材料两者之间是否存在严重的元素扩散现象, 这些将是本章关注的重点。

众所周知, Si 材料的物理特性如电阻率、结晶温度^[86]、热导率^[87]都可以通过掺杂的方式有效控制其参数。我们选择包含 Si 与 Sb 两种元素的材料作为加热层材料, 因为此二种元素在 CMOS 工艺中已经使用成熟。通过调节二者的比例, 我们希望得到不同物理性能的 SiSb_x 薄膜, 用来研究其对 PCM cell 操作性能的影响。

3.2 实验介绍

SiSb_x 薄膜采用在室温下磁控溅射的方法制备于氧化硅衬底上, 薄膜制备时对 Si 靶材使用射频 rf 300 W 溅射, 对于 Sb 靶材则分别使用直流 dc 5 W、10 W 和 20 W 溅射, 溅射气体为高纯 Ar 50 SCCM。获得的薄膜使用 EDS 来标定组分, 分别得到 Si_9Sb 、 Si_8Sb_2 和 Si_7Sb_3 的非晶态薄膜。之所以使用这些 Si/Sb 元素配比的薄膜是考虑到 SiSb_x 薄膜在 Si 含量较多的情况下会具有良好的热稳定性, 而在 Sb 含量较多的情况下则会发生类似 GeSbTe 材料的相变过程^[76], 如图 3.1 所示, 这是作为加热层材料所不希望看到的。所有的非晶态富 Si 型 SiSb_x 薄膜都经过高纯 N_2 气氛下 973 K 退火 2 分钟, 使其非晶态结构转变为多晶态结构。退火后的样品使用 SEM 了解其表面形貌, 并使用原子力显微镜[Atomic Force Microscopy (AFM), 型号 Q-Scope 850, 如图 3.2 所示]了解薄膜的表面粗糙程度。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$

薄膜的制备方法与第二章交代的一致,不再赘述。X 射线光电子能谱成分深度剖析(XPS compositional depth analysis)用来了解 SiSb_x 薄膜与 $\text{Ge}_2\text{Sb}_2\text{Te}_3$ 薄膜之间界面的扩散情况。

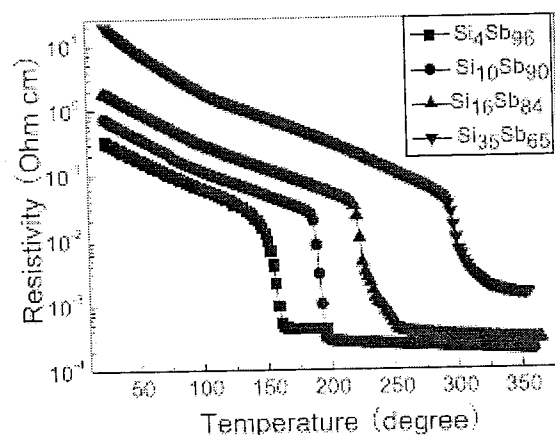


图 3.1 富 Sb 型 SiSb_x 材料的电阻率随温度变化关系^[76]。

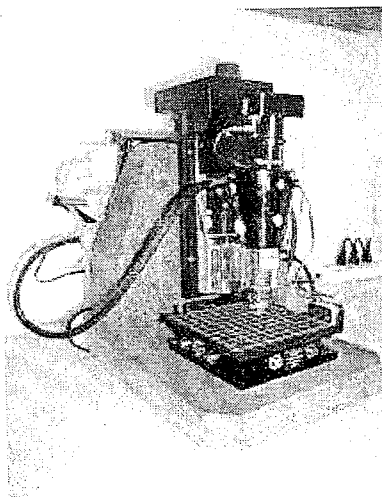


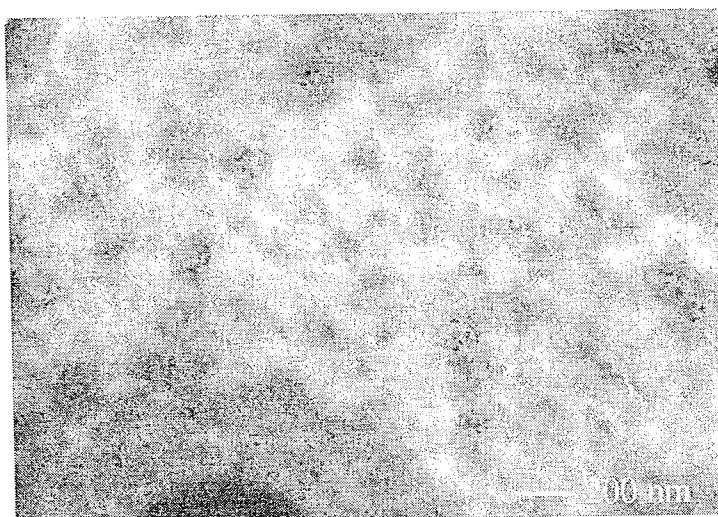
图 3.2 原子力显微镜。

3.3 多晶态富 Si 型 SiSb_x 薄膜表面形貌

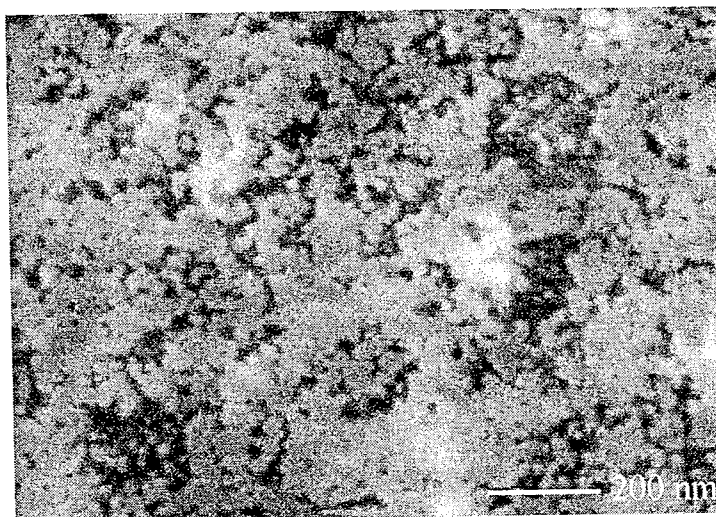
经 973 K 高温退火 2 分钟后, Si_9Sb 、 Si_8Sb_2 和 Si_7Sb_3 的多晶态薄膜的 SEM 表面形貌如图 3.3 所示。



(a)



(b)



(c)

图 3.3 经 973 K 退火后 SiSb_x 薄膜的 SEM 表面形貌照片(a) Si_9Sb 、(b) Si_8Sb_2 和(c) Si_7Sb_3 。

之所以选取 973 K 的温度对 SiSb_x 薄膜退火是考虑到 PCM cell 中 RESET 过程的最高温度就取决于相变材料的熔点，而通常使用的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的熔点大致为 900 K，故而加热层材料必须在 900 K 以上具有良好的热稳定性。随着 Si 含量的增高， SiSb_x 材料的结晶温度是增加的^[86]，如图 3.4 所示，由此图可知， Si_9Sb 的结晶温度接近 973 K，而 Si_8Sb_2 和 Si_7Sb_3 的结晶温度则大致为 873 K 和 753 K。在 973 K 的温度退火后，所有的薄膜都应该被转变为多晶态了。

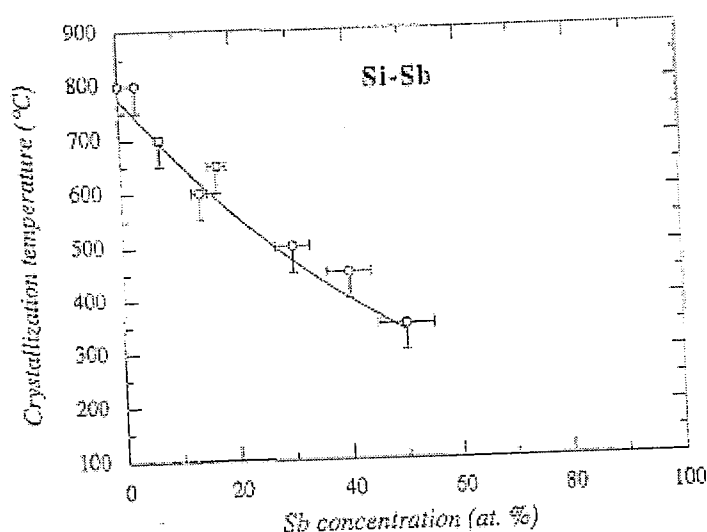


图 3.4 Si-Sb 二元化合物的结晶温度随 Sb 含量的变化关系^[86]。

在图 3.3 中可以发现，Si 含量最多的 Si_9Sb 薄膜具有很好的表面均匀性和一致性，而且表面平整度相比 Si_8Sb_2 和 Si_7Sb_3 薄膜则更佳。在 Si_8Sb_2 和 Si_7Sb_3 薄膜中已经出现明显的成分偏析所致的明暗不同区域，以及由于高温退火情况下薄膜应力释放所致的表面裂痕。由于在 PCM cell 的 RESET 过程中，900 K 的操作温度下要求加热层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层必须良好的接触，加热层表面形貌的剧烈变化以及由于应力释放导致的薄膜翘曲、脱附等必然会降低加热层/ $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间界面的可靠性，器件的操作一致性受到考验，器件的使用寿命将大为降低。因此我们倾向于使用表面相貌最好的 Si_9Sb 材料来作为加热层。

我们同时使用 AFM 来了解 Si_9Sb 薄膜结晶前后表面粗糙度的变化情况，如图 3.5 所示。经 AFM 测量，非晶态情况下 Si_9Sb 薄膜的表面粗糙度均方值偏差 [Root-Mean-Square (RMS) Deviation Value] 在 1.945 nm 左右，而 973 K 退火得到

的多晶态 Si_9Sb 薄膜的 RMS 偏差大致为 2.111 nm，二者变化不大，说明 Si_9Sb 薄膜在低于 973 K 的温度作用下，薄膜表面粗糙度不会有明显变化，这对于保证 Si_9Sb 与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 良好接触是有利的。

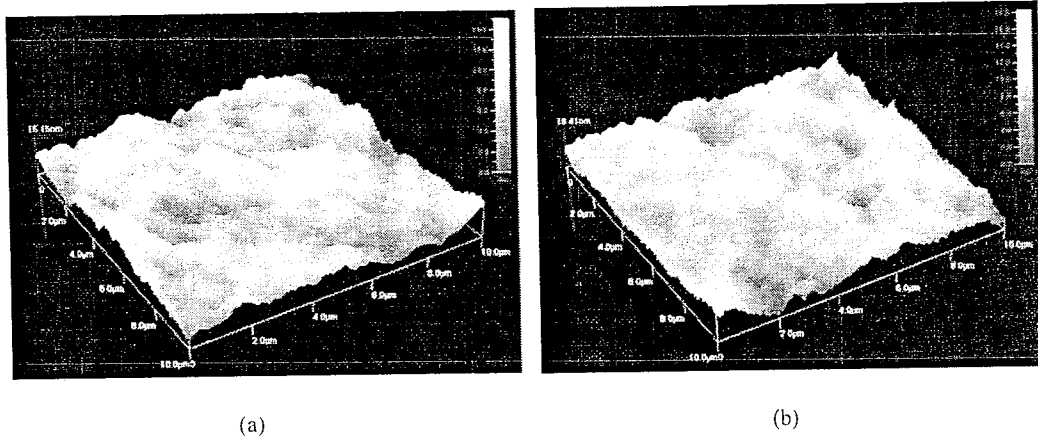


图 3.5 Si_9Sb 薄膜的 AFM 表面形貌图：(a) 非晶态、(b) 晶态。

3.4 多晶态富 Si 型 SiSb_x 薄膜的电阻率

100 nm 厚的 Si_9Sb 、 Si_8Sb_2 和 Si_7Sb_3 非晶态薄膜沉积在氧化硅衬底上，用图 2.10 所示的电阻测量平台完成对薄膜原位加热电阻变化的测量，结果如图 3.6 所示。

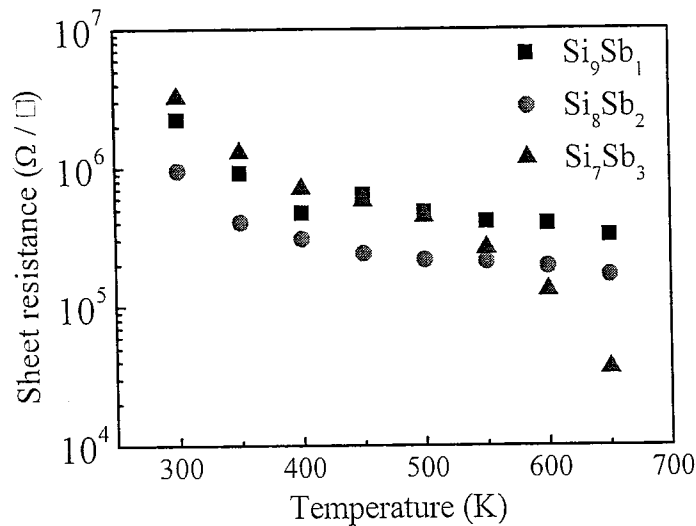


图 3.6 Si_9Sb 、 Si_8Sb_2 和 Si_7Sb_3 薄膜的电阻—温度变化关系。

观察发现, 富 Si 型 SiSb_x 薄膜随着温度升高电阻逐渐下降, 这与纯 Si 半导体薄膜的电阻特性相似, 在平台所能测量的范围内($<700\text{ K}$) Si_9Sb 和 Si_8Sb_2 薄膜没有明显的电阻陡然下降趋势, 非晶态富 Si 型 SiSb_x 薄膜的电阻率经计算在 $10-30\ \Omega\cdot\text{cm}$ 。973 K 温度时的薄膜电阻率采用四探针法测量, Si_9Sb 、 Si_8Sb_2 和 Si_7Sb_3 的多晶态薄膜的电阻率分别为 $0.095\ \Omega\cdot\text{cm}$ 、 $0.012\ \Omega\cdot\text{cm}$ 和 $0.004\ \Omega\cdot\text{cm}$ 。

3.5 $\text{Si}_9\text{Sb}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面的热稳定性

前面讨论已经了解到 Si_9Sb 有最好的薄膜热稳定性($\sim 973\text{ K}$), 但我们更关心一旦与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 接触后, 它们的界面在高温作用下是否会出现问题。图 3.7 给出了 $20\text{ nm TiN}/100\text{ nm Ge}_2\text{Sb}_2\text{Te}_5/60\text{ nm Si}_9\text{Sb}/\text{SiO}_2/\text{Si}$ 结构在 773 K 温度时 N_2 气氛下退火 10 分钟所得到的 XPS 深度成分分析图, 其中 Si_9Sb 已经预先在 973 K 的温度下退火至晶态。

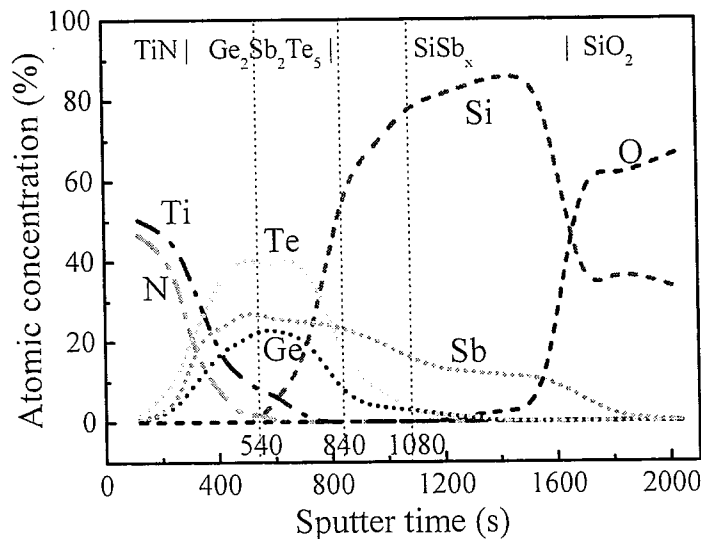


图 3.7 $\text{TiN}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Si}_9\text{Sb}/\text{SiO}_2/\text{Si}$ 结构的 XPS 深度成分分析图。

相比第二章给出的图 2.5 和图 2.6 中比较严重的元素互扩散情况, 图 3.7 中仅有少量的 Si 和 Sb 元素参与了 $\text{Si}_9\text{Sb}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面的互扩散, 且 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层与 Si_9Sb 层内都很好的保持了沉积时设定的元素百分比。我们选取了图 3.7 中虚线处所示的三个溅射时间点 540 秒($\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内)、820 秒($\text{Si}_9\text{Sb}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面

处)和 1080 秒(Si_9Sb 层内)来了解薄膜层内或界面上 Sb 和 Te 原子扩散与成键的情况, 如图 3.8 与图 3.9 所示。

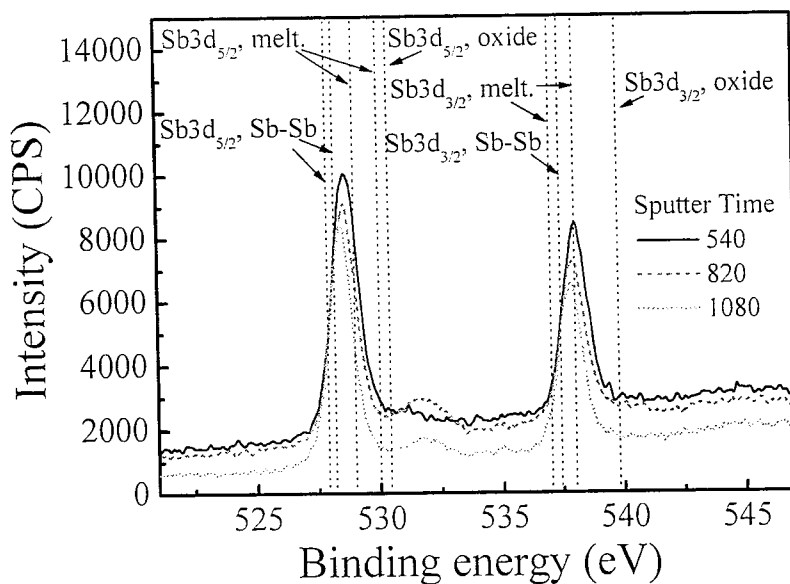


图 3.8 不同溅射时间的 Sb 3d 的 XPS 谱。

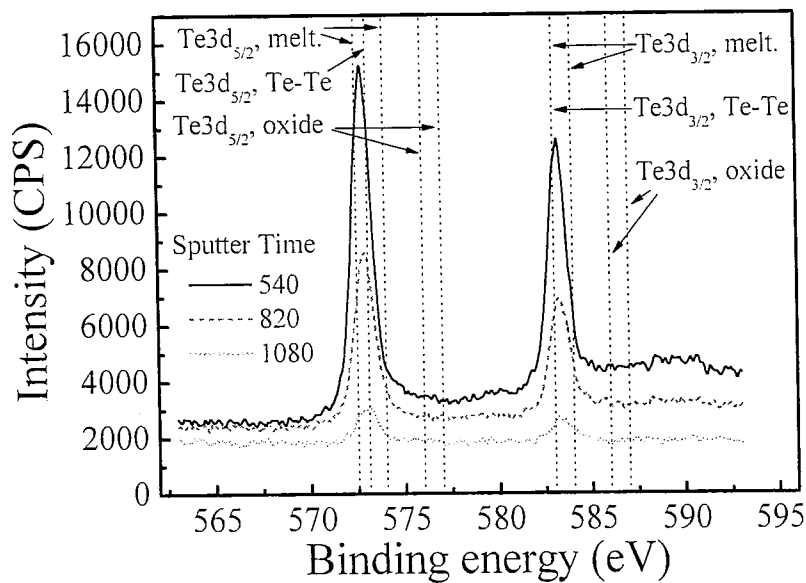


图 3.9 不同溅射时间的 Te 3d 的 XPS 谱。

Sb_2O_5 的 Sb $3d_{3/2}$ 和 $3d_{5/2}$ 结合能分别为 539.8 eV 和 530.4 eV, 而 Sb 金属键 (metallic bonding) 的 Sb $3d_{3/2}$ 和 $3d_{5/2}$ 结合能则分别在 537—538 eV 和 529—530

$\text{eV}^{[88, 89]}$ 。Sb 的非极性键(homopolar bonding, Sb—Sb)的 Sb $3d_{3/2}$ 结合能在 537.4 eV, $3d_{5/2}$ 结合能则可能为 527.9 eV 或 528.2 eV^[88, 89]。在图 3.7 中可以发现 Sb $3d_{3/2}$ 和 $3d_{5/2}$ 的峰顶随着溅射时间的增加由金属键型向非极性键型偏移。这说明在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内, Sb 主要与金属原子 Te 成键^[89], 而在 Si_9Sb 层 Sb—Sb 键则明显增多, 然而在 $\text{Si}_9\text{Sb}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面处则可能有大致相当的 Sb—Te 金属键和 Sb—Sb 非极性键存在。这一结果暗示界面处可能存在 Sb 的偏析以及 Si_9Sb 薄膜内部存在大量的 Sb 的晶粒。因为就整个的 Si—Sb 二元系统而言, 在任何 Sb 含量的 SiSb 材料中, 以 Si 和 Sb 各自结晶的形式而不是形成 Si—Sb 键的形式, 能获得更低的吉布斯自由能(Gibbs Free Energy)^[87], 如图 3.10 所示, 而吉布斯自由能越低则预示着化合物系统越稳定。因此我们相信, 在 Si_9Sb 薄膜中必然存在的是 Si 与 Sb 各自独立存在的结晶区域。

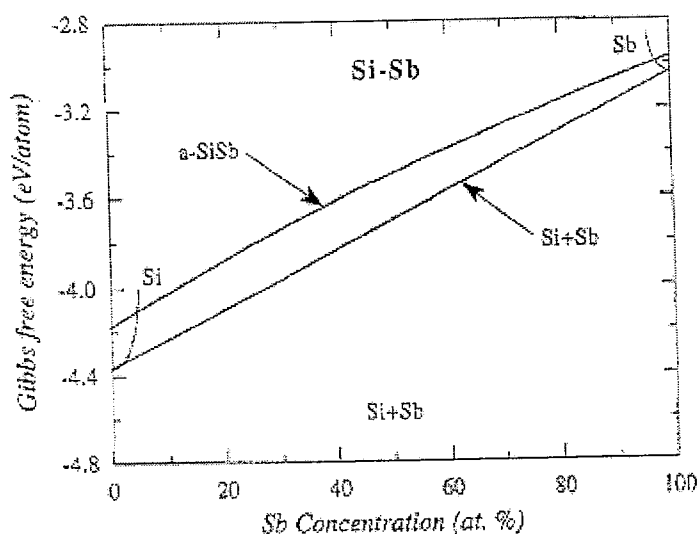


图 3.10 Si-Sb 二元系统吉布斯自由能随 Sb 含量变化的关系^[87]。

Te $3d_{5/2}$ 和 $3d_{3/2}$ 的氧化物键(Oxide bonding)结合能分别为 576—577 eV 和 586—587 eV, 而结合能在 572.5—574 eV 和 583—584 eV 范围的则属于 Te $3d_{5/2}$ 和 $3d_{3/2}$ 的金属键^[88, 89]。Te $3d_{5/2}$ 和 $3d_{3/2}$ 的非极性键(Te—Te)的结合能分别为 573.1 eV 和 583 eV^[88, 89]。随着溅射时间的增加, 可以发现 Te 的峰强明显减弱, 如图 3.9 所示, 而且 Te $3d_{5/2}$ 和 $3d_{3/2}$ 的峰顶由金属键结合能位置向非极性键结合能位置偏

移, 这说明了 Te 元素不可避免的在高温下会向界面偏析^[75]。

总的来说, Sb 和 Te 元素由 Si_9Sb 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的互扩散在高温情况下并不严重, 少量的 Te 偏析对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 本身就不可避免。而且即使 Si 和 Sb 少量扩散进入 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内, 它们也可以分别起到降低操作电流^[53]和提高相变速度的作用^[90], 这些对于 PCM cell 的操作都是有利的。因此, 基于上述分析, 我们认为具有良好热稳定性的多晶态 Si_9Sb 是可以考虑用作加热层材料的。

3.6 PCM cell 的电学性能和热学模拟

我们采用与第二章中已介绍的 PCM cell 制备流程相同的工艺制备了具有 10 nm 厚多晶态 Si_9Sb 下加热层的 PCM 阵列, 相变材料选用经退火为 fcc 相的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料, 与制备具有多晶态 WO_3 下加热层不同之处在于 Si_9Sb 的刻蚀选用了与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料相同的刻蚀气体 CF_4+Ar 。

PCM cell 的测试方法与第二章介绍的相同, 将植入了多晶态 Si_9Sb 下加热层的 PCM cell 与传统的 PCM cell 比较后可以发现, 如图 3.11 所示, 同样使用 500 ns 脉宽的电压脉冲, 植入 Si_9Sb 加热层后, PCM cell 的 SET 和 RESET 操作电压同时降低, 这都由于多晶态 Si_9Sb 材料合适的电阻率以及较低的热导率, 使得器件的热效率有所提高。

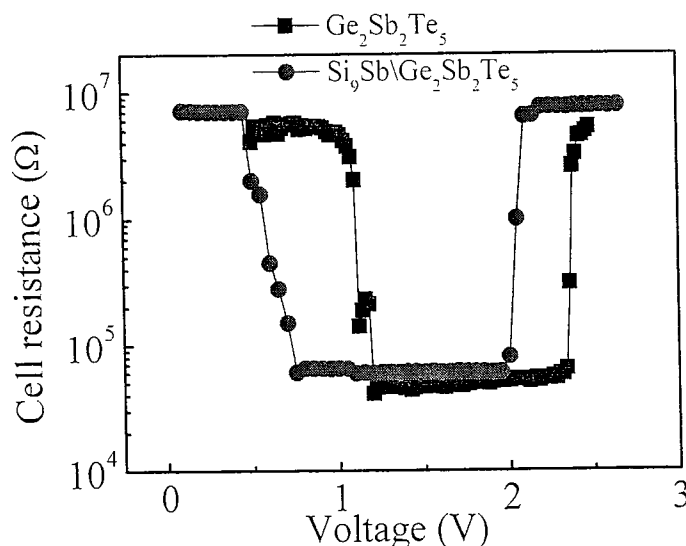
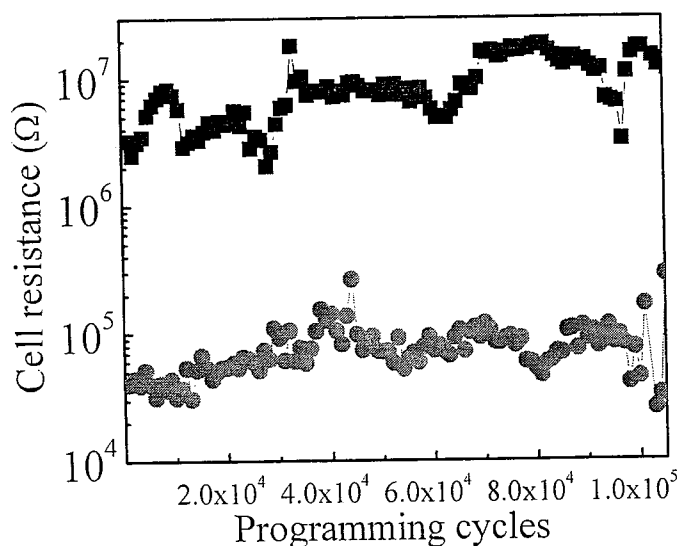


图 3.11 脉宽 500 ns 时, 传统 PCM cell 与植入多晶态 Si_9Sb 下加热层的 PCM cell 的 R-V 变化关系。


 图 3.12 植入多晶态 Si_9Sb 下加热层 PCM cell 的疲劳特性曲线。

在植入 Si_9Sb 加热层后, PCM cell 依然表现出良好的写/擦疲劳特性, 如图 3.12 所示, 在 10^5 次循环操作后, 器件的高低阻之间依然有约 100 的比例。这同样证明 Si_9Sb 材料具有较好的热稳定性, 能与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料兼容, 保证器件的使用可靠性。

前面在讨论 Sb 的 XPS 谱图时已经指出, Sb 被证实在 SiSb_x 材料中是独立形成结晶区域(晶柱)的, 考虑到纯金属 Sb 的热导率较低($<14 \text{ W/m}\cdot\text{K}$)^[91], Sb 掺杂的多晶态 SiSb_x 材料被确信具有相比多晶态 Si ($\sim 31 \text{ W/m}\cdot\text{K}$)^[64]要低的多的热导率。这种效果类似于将 Ge ($\sim 41 \text{ W/m}\cdot\text{K}$)^[87]掺杂入 Si 中导致的热导率大幅度降低的现象, 多晶态的 SiGe_x 材料就只有 $\sim 4.7\text{--}11.1 \text{ W/m}\cdot\text{K}$ 的热导率^[64], 接近块材的 SiSb 材料的热导率在 $\sim 15.2 \text{ W/m}\cdot\text{K}$ 左右^[87, 92], 另外如掺入少许 Mg 元素的 $\text{Mg}_2\text{Si}_9\text{Sb}$ 材料的热导率则降至 $3\text{--}4 \text{ W/m}\cdot\text{K}$ 范围^[93], 而且由于薄膜状态的热导率会更低, 因此多晶态的 10 nm Si_9Sb 下加热层具有较低的热导率, 能起到很好的防止焦耳热向底 W 电极扩散的作用, 从而能有效降低操作电压, 提高器件的热效率。

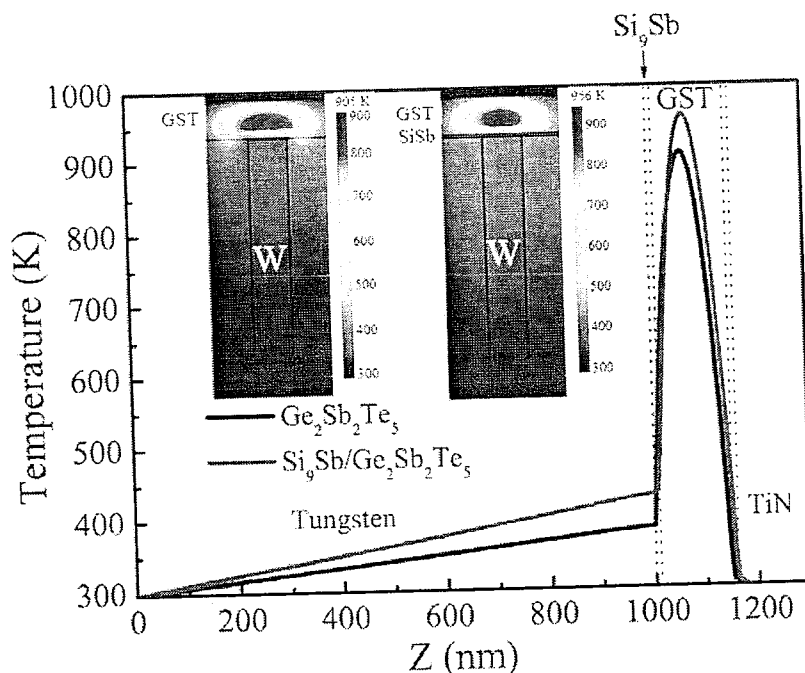


图 3.13 RESET 操作 2.5 V 电压情况时, 传统 PCM cell 与植入多晶态 Si_9Sb 下加热层 PCM cell 轴截面处温度曲线图。插图(左)为传统 PCM cell 的温场分布图, 插图(右)为植入多晶态 Si_9Sb 下加热层 PCM cell 的温场分布图。

同时我们采用二维有限元的方法对改进型和传统型的 PCM cell 的 RESET 过程进行了热模拟, 比较二者的温场分布和最高加热温度, 如图 3.13 所示。

在植入多晶态 Si_9Sb 下加热层后, PCM cell 的 RESET 过程中能将熔融温度提高约 50°C , 且相变区域由传统的蘑菇形转变为区域更小的椭圆形, 温场被局限在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内, 在临近底 W 电极和介质 SiO_2 的区域温场更为均匀。SET 过程也具有同样的温场分布, 由于温场的不均匀会导致晶粒生长速率的不均一, 从而会需要更多的结晶时间来完成 SET 过程^[65], 因此植入多晶态 Si_9Sb 下加热层后 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料能更好的结晶, 在相同的脉冲时间下, 只需较低的电压来达到低阻态, 如图 3.11 所示。

3.7 小结

本章主要介绍了富 Si 型多晶态 SiSb_x 材料作为 PCM cell 下加热层时对器件操作的影响, 主要结论有:

- 1) 研究了富 Si 型多晶态 SiSb_x 三种组分薄膜的热稳定性, 选取了 900 K 高温时表面形貌最好且表面粗糙度起伏不大的 Si_9Sb 材料作为加热层用材料, 此组分同时具有合适用作加热介质的电阻率。
- 2) 研究了多晶态 Si_9Sb 薄膜与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜在高温情况下的界面互扩散情况, 发现二者之间存在轻微的元素互扩散, 主要是 Si 和 Sb 元素参与, 发现 SiSb_x 薄膜内部单独存在 Sb 结晶, 致使界面处有一定含量的扩散 Sb 单质, 但总体来讲, Si_9Sb 薄膜依然表现出较好的高温热稳定性。
- 3) 植入多晶态 Si_9Sb 下加热层后, PCM cell 的 SET 和 RESET 操作电压都明显降低, 类相变材料 SiSb 具有较低的热导率, Sb 的掺入使其热导率明显低于多晶 Si 的热导率, 因此在抑制焦耳热扩散方面作用明显, 提高了器件的加热效率从而降低了能耗。此结果也经热学模拟验证, 改进后的 PCM cell 在 RESET 过程中有更高的加热温度, SET 过程中更为均匀的温场有利于 GeSbTe 材料的成核生长, 降低了结晶过程所需的能量, 从而能有效降低 SET 的操作功耗。

类相变材料的加热层有着电阻率和热导率方面的优势^[65, 71], 但选用的材料中 Sb 含量不能过多, 因为 Sb 本身不稳定, 有报道 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 在由非晶态至晶态转变的过程中, 在 573 K 就开始出现 Sb 含量损耗的现象^[94], 所以富 Sb 的相变材料如 $\text{Ge}_{15}\text{Sb}_{85}$ 或 $\text{Ge}_2\text{Sb}_{2+x}\text{Te}_5$ 等虽然有很快的相变速度, 但材料低下的稳定性是潜在的危险, 而含 Te 元素过多不但毒性大, 而且 Te 的偏析更为严重, 所以少 Sb 的相变材料, 若具有一定的热稳定性则是可以考虑用作加热介质的。

第四章 非晶态氮化锗硅上加热电极

4.1 引言

通过植入下加热层来抑制热量向底电极的扩散,并同时产生更多的焦耳热是提高 PCM cell 加热效率的有效方法,但应注意到依然有近 20%的热量是由相变材料层经上电极扩散出去的^[56],此部分热量并没有参与相变过程,而且由于上电极的尺寸明显大于底部 W 电极的尺寸,没有低热导的介质层 SiO_2 的阻挡,热交换的面积更大,热量流失也更显著。在我们的研究结果发表之前还没有关于 PCM cell 内部上电极材料的选取对器件操作功耗影响的报道,而我们选取非晶态的氮化锗硅(SiGe_xN_y)材料而不是多晶态的材料作为上加热电极则更具新颖性。

一般 PCM cell 中常使用的电极材料是 TiN,其具体的物理特性见表 2.2,这是由于 TiN 与 CMOS 工艺兼容,与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 等相变材料在高温下不会发生反应,有很好的抑制 Te 和 Sb 元素扩散的作用,和电极材料如 Al、Ag 和 W 等有良好的黏附性,并大多能形成良好的欧姆接触。虽然可以通过调节制备工艺中 Ti/N 的含量来获得适当的电阻率,以便在使用电流源的情况下产生更多的焦耳热,但 N 含量过多或 Ti 含量过多都不利于其与 GeSbTe 材料良好共处,两种元素高温时的扩散前者会增加 GeSbTe 的电阻,抑制其结晶过程使得操作参数漂移,而后的扩散则更直接会降低高低阻之间的分辨率,Ti/N 比例为 1:1 可能是最为理想的组分。此外 TiN 材料的热导率一般在 $15\text{--}28.9\text{ W/m}\cdot\text{K}$ ^[64],作为底加热层材料并不能很好的抑制热散失,此部分内容将在后面章节中讨论,相比之下 TiN 更适合作为上电极材料。

上电极只能在 GeSbTe 材料制备好之后再沉积,如果说下加热层为了获得合适的电阻与热稳定性,通常选取多晶态的材料,且多晶态的获得通常是在薄膜沉积时就将衬底温度升高至结晶温度之上或是在薄膜沉积完之后再高温退火处理,这样的制备方法对于获得多晶态的下加热层是可行的,但对于获得多晶态的上加热电极则很难。因为具有很好热稳定性的电极材料的结晶温度一般都超过 GeSbTe 材料的熔点($\sim 900\text{ K}$),在对其进行高温处理的同时可能导致下层 GeSbTe 材料的熔化,改变了相变材料的化学计量比,甚至潜在的元素偏析与分相等现象

[72, 73], 这都有损于 PCM cell 操作的良好性能。因此, 本章采用直接在 GeSbTe 相变层上制备非晶态 SiGe_xN_y 上电极层, 以了解其对 PCM cell 操作功耗的影响。

4.2 实验介绍

本章中使用的是 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 相变材料, 采用室温磁控溅射的方法制备, 溅射时采用 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 合金靶, 溅射功率为射频 rf 100 W, 溅射气体为 Ar 50 SCCM, 生长速率为 15 nm/min, 共制备了 200 nm, 初始制备的 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜为非晶态。 SiGe_xN_y 材料使用的是 Si 靶与 Ge 靶室温共溅射的方法制备, 溅射功率分别为 Si 靶射频 rf 50 W, Ge 靶直流 dc 100 W, 溅射气体为 Ar 30 SCCM + N_2 4 SCCM, 生长速率为 3—5 nm/min, 共制备了约 10 nm, 初始制备的 SiGe_xN_y 薄膜同样为非晶态。 PCM cell 的制备工艺与第二章介绍的大致相同, 10 nm 厚 SiGe_xN_y 薄膜在刻蚀时使用的是 CF_4 35 SCCM + O_2 3 SCCM 的气体刻蚀 10 秒, 200 nm 厚 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜刻蚀时使用的是 CF_4 10 SCCM + Ar 40 SCCM 的气体刻蚀 4 分 30 秒, 30 nm 厚 TiN 薄膜在刻蚀时使用的是 CF_4 20 SCCM + O_2 2 SCCM 的气体刻蚀 1 分钟。 PCM cell 的 I—V、R—V 以及疲劳特性测试使用 Keithley 2400 数字信号源以及 Agilent-4155B 参数分析仪测量。

4.3 PCM cell 的电学性能和热学模拟

图 4.1 给出了植入 SiGe_xN_y 上电极的 PCM cell 结构示意图和 SEM 照片。

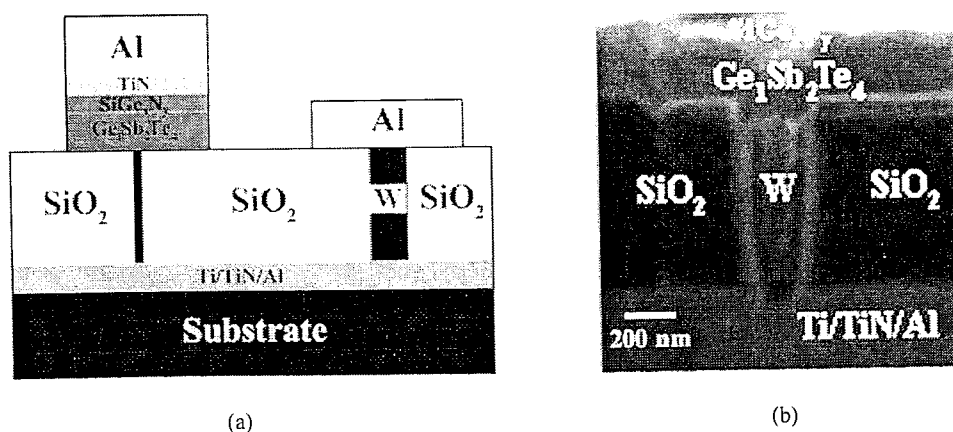


图 4.1 具有 SiGe_xN_y 上电极的 PCM cell 截面(a)示意图和(b)SEM 照片。

PCM cell 使用的依然是 $0.18\ \mu\text{m}$ 的 CMOS 工艺制备的基片, 具有 $260\ \text{nm}$ 直径的 W 底电极为上部的相变材料传输焦耳热。器件的 $R-V$ 关系曲线采用电压脉冲扫描获得, RESET 过程中使用脉宽 $20\ \text{ns}$ 的脉冲, SET 过程中使用脉宽为 $300\ \text{ns}$ 的脉冲。

图 4.2 给出了传统 PCM cell 和具有 SiGe_xN_y 上加热电极 PCM cell 的 $I-V$ 曲线, 所有的曲线与图 1.21 中典型的 PCM cell 的 $I-V$ 曲线关系一样具有负微分电阻区域。

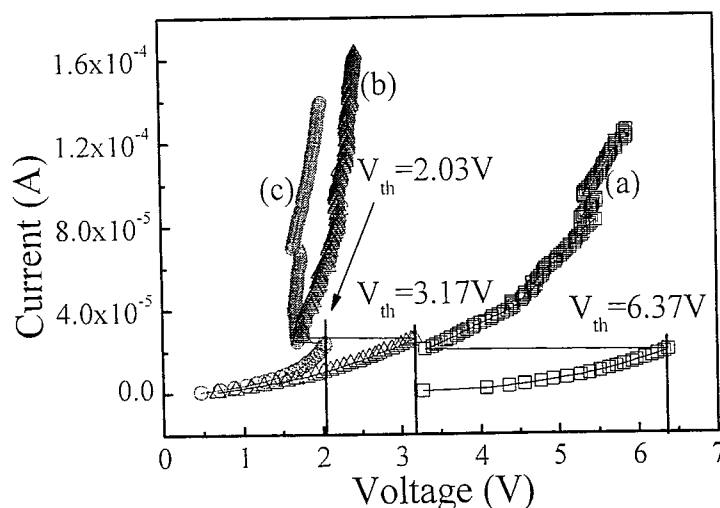


图 4.2 PCM cell 的 $I-V$ 曲线: (a) 具有非晶态 SiGe_xN_y 上加热电极时, (b) 无 SiGe_xN_y 上加热电极时以及 (c) 晶态 SiGe_xN_y 上加热电极时。

由于初始制备的 SiGe_xN_y 和 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜都为非晶态, 当我们用 dc 直流加载在 PCM cell 上时, 器件呈现的并不是近似线性欧姆类型的 $I-V$ 关系 (传统 PCM cell 中使用 fcc 相 GeSbTe 薄膜时应得到此类 $I-V$ 关系曲线), 而是出现了 SET 过程的阈值电压 (V_{th}), 此后非晶态的 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜转变为多晶态, 但 V_{th} 值较高为 $6.37\ \text{V}$, 如图 4.2(a) 所示。如此高的 V_{th} 主要归因于非晶态 SiGe_xN_y 的高电阻率, 后续将有讨论。同样的现象可以在 $R-V$ 曲线中观察到, 如图 4.3(a) 所示, 缓慢的电阻下降出现在一个很高的外加电压脉冲作用下。其后的 RESET 过程, 如图 4.4(a) 所示, 将此 PCM cell 的低电阻态转变向高阻态。我们发现, 在经过这第一次的 SET-RESET 循环操作后, SET 和 RESET 的操作阈值电压都同时显著

的降低到 2.03V 和 3.04V，如图 4.2—4.4 中曲线(c)所示。

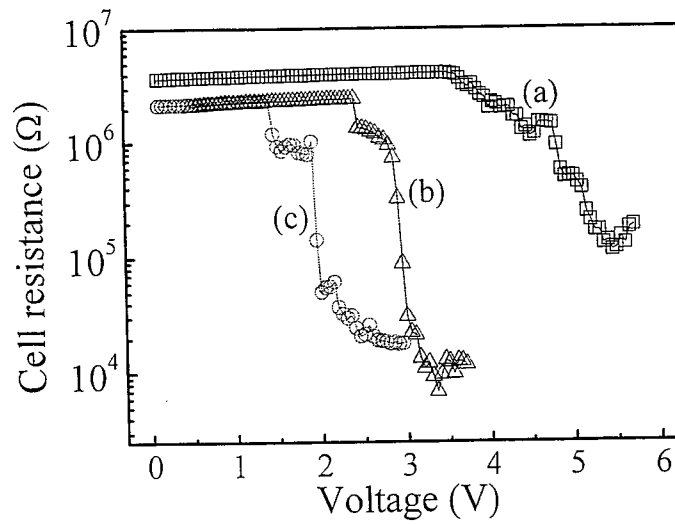


图 4.3 PCM cell 在 SET 过程中的 R-V 曲线: (a)具有非晶态 SiGe_xN_y 上加热电极时, (b)无 SiGe_xN_y 上加热电极时以及(c)晶态 SiGe_xN_y 上加热电极时。

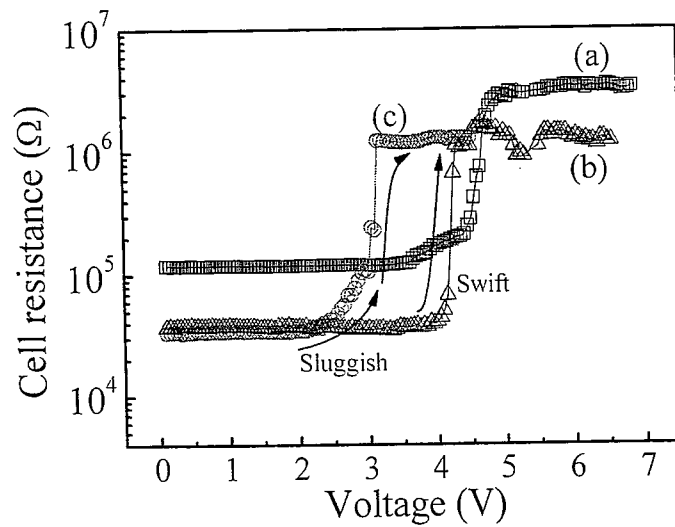


图 4.4 PCM cell 在 RESET 过程中的 R-V 曲线: (a)具有非晶态 SiGe_xN_y 上加热电极时, (b)无 SiGe_xN_y 上加热电极时以及(c)晶态 SiGe_xN_y 上加热电极时。

由表 4.1 给出的物理参数可知, $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 的结晶温度远远低于 SiGe_xN_y ,

而 SiGe_xN_y 的熔点则远远高出 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 。因此当 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 在 RESET 过程中被熔化的同时, SiGe_xN_y 不是被同时熔化而是被同时的晶化, 这是由于 SiGe_xN_y 的结晶温度恰好略低于 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 材料的熔点。在第一次 RESET 操作过后, SiGe_xN_y 薄膜的不可逆晶化降低了此加热电极的电阻从而使得更多的电压降作用在 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜上, 进而起到了降低整个器件操作电压的作用。

表 4.1 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 、 SiGe_xN_y 和 TiN 的物理特性参数。

材料	结晶温度 T (K)	熔点 T_m (K)	电阻率 ρ ($\mu\Omega\text{cm}$)	比热 c (J/g K)	热导率 κ (W / m · K)
$\text{Ge}_1\text{Sb}_2\text{Te}_4$	404~473 ^a	887 ^b	$10^6\sim10^7$ (非晶态)	0.202 ⁱ (非晶态)	0.17 ⁱ (非晶态)
			$10^3\sim10^4$ (晶态)	0.202 ⁱ (晶态)	0.5 ⁱ (晶态)
SiGe_xN_y	800~823 ^c	937~1412 ^d	$\sim4\times10^{7e}$ (非晶态)	0.31~0.7 ^f	-(非晶态)
			$\sim10^{4e}$ (晶态)		<6.28~9.3 ^g (晶态)
TiN	-	3223	498 ^h	0.784 ⁱ	22 ⁱ

^a 见参考文献 95。

^b 见参考文献 16。

^c 假设比 SiGe_x 的参数略高, 见参考文献 96 和 97。

^d 假设比 SiGe_x 的参数略高, 见参考文献 98。

^e 用四探针法测得。

^f 假设与 SiGe_x 的参数相同, 见参考文献 99。

^g 用热反射法测量见参考文献 92, 并见参考文献 99。

^h 见参考文献 64。

ⁱ 见参考文献 62。

我们认为整个相变区域附近材料的热导率是可以左右整个器件热消耗和 RESET 过程淬火速率的。我们使用的 PCM cell 具有一个很大的底 W 电极(直径 260 nm), 却只有很薄的相变材料层(200 nm $\text{Ge}_1\text{Sb}_2\text{Te}_4$), 相比一些 PCM cell 所具有的小直径 W 电极(<100 nm), 本文所采用的 PCM cell 结构中被认为具有更大的相变区域, 以及相比更短的上电极与热核中心之间的距离。如图 4.5 所示给出了 50 nm、150 nm 以及 200 nm 传统 PCM cell 在热模拟的 RESET 过程中 GeSbTe 非晶态区域基本覆盖底 W 电极时所具有的相变区域形状。由此可知, 随着 GeSbTe 薄膜厚度降低, 相变区域已经不足起初认为的蘑菇型, 整个 GeSbTe

薄膜纵向上基本都要参与相变，如图 4.5(a)所示，如此在 TiN/GeSbTe 界面处的热量散失则愈发突出。

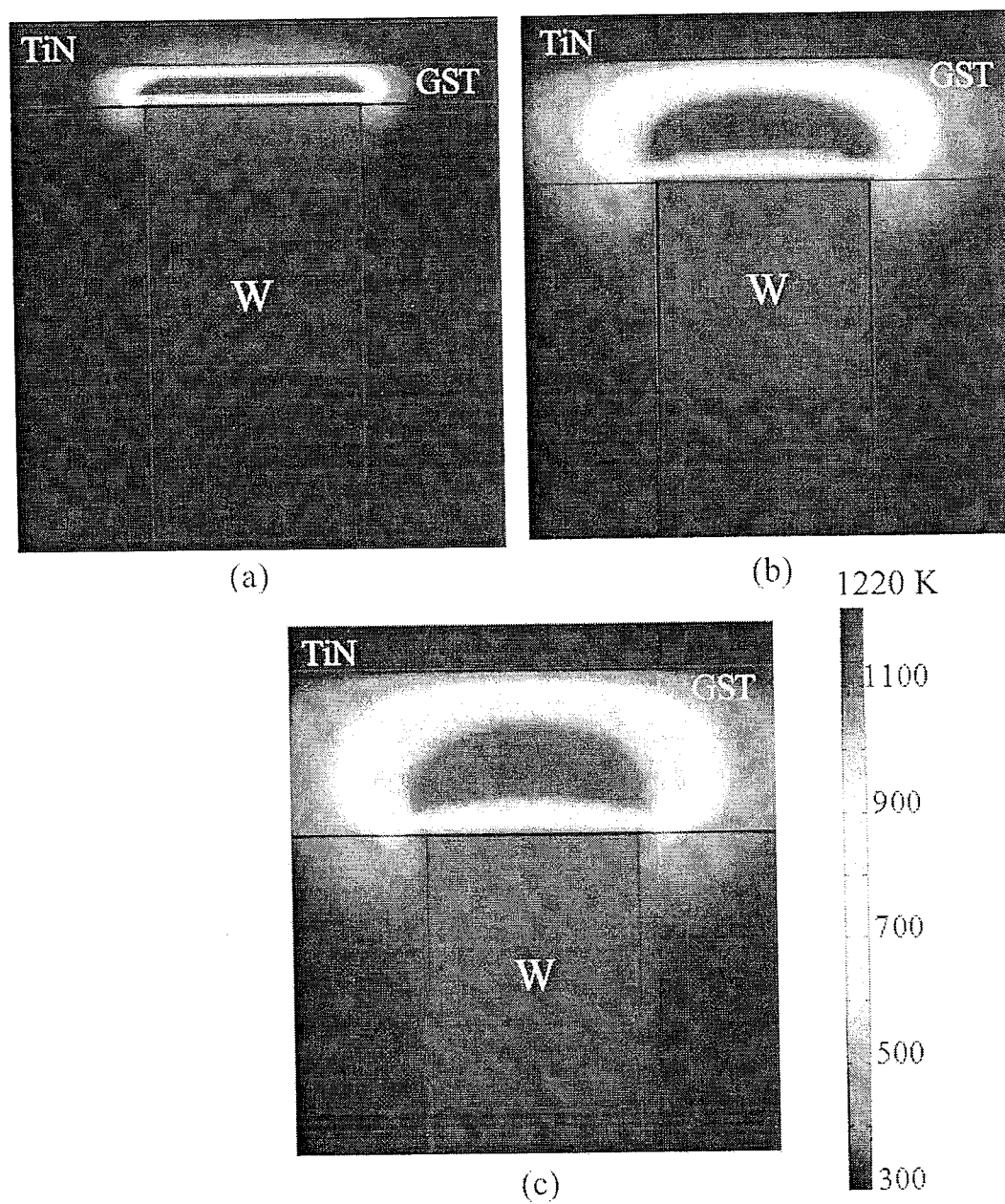


图 4.5 不同 GeSbTe 厚度的传统 PCM cell 的 RESET 过程中热模拟温场分布图：(a) 50 nm、(b) 150 nm 以及 (c) 200 nm。

因此上电极材料的热效应成为器件 SET 与 RESET 操作过程中影响热扩散的决定性因素。换句话说，对于植入的上加热电极，太小的热导率会妨碍热量

从相变层中快速的扩散，这会延长晶态到非晶态迅速转变的时间。类似的，太大的热导率则会不利于有效的将热量集中在相变层中，这样必然会需要额外的能量提供，以弥补散失掉的热量。因此，适中热导率的上加热层被认为有可能同时提高 SET 和 RESET 的操作。

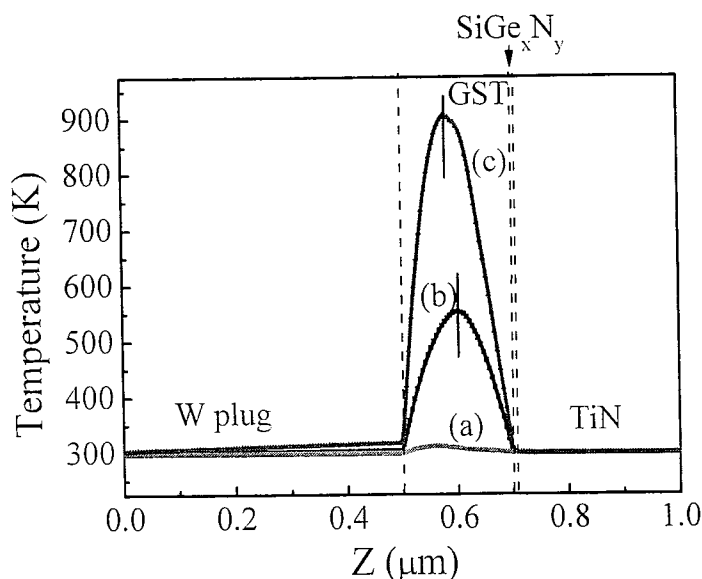


图 4.6 RESET 电压为 3.5V 时 PCM cell 轴截面位置的温度曲线分布图：(a)具有非晶态 SiGe_xN_y 上加热电极时，(b)无 SiGe_xN_y 上加热电极时以及(c)晶态 SiGe_xN_y 上加热电极时。

氮化锗(Ge_3N_4)以及氮化硅(Si_3N_4)的热导率在 $45\sim 250 \text{ W/m}\cdot\text{K}$ 左右^[100], 远远大于多晶态锗硅 ($\text{Si}_{1-x}\text{Ge}_x$) 材料的热导率 [$\kappa \approx (4.6 + 8.4x) \text{ W/m}\cdot\text{K}$, $0.2 < x < 0.85$]^[99], 氮掺杂的晶态 $\text{Si}_{1-x}\text{Ge}_x$ 材料中可能存在的 $\text{Si}-\text{N}$ 和 $\text{Ge}-\text{N}$ 键对于适当提高其热导率是有帮助的。如表 4.1 所示, 相比 TiN 的高热导率($22 \text{ W/m}\cdot\text{K}$)^[62], 晶态 SiGe_xN_y (Ge 含量约 55%) 具有略低的热导率 ($\kappa_{\text{SiGe}} < \kappa_{\text{SiGeN}} < 6.28\sim 9.3 \text{ W/m}\cdot\text{K}$)。对于 PCM cell 功耗降低的问题, 如图 4.2—4.4 中曲线(b)和(c)所示, 可以用以下模型解释, 我们认为上部晶态 SiGe_xN_y 加热电极的适当热导率使得它在 TiN 电极和 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 层内的相变区域之间起到了类似热阻挡层的作用, 在 SET 和 RESET 过程中实现了更为有效的焦耳加热。对于 SET 过程, 晶态 SiGe_xN_y 比 TiN 能更有利于将热量集中于 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 层内, 从而降低了 SET 过程的操作电压, 而对于需要快速热扩散的 RESET 过程而言, 相比晶态

SiGe_xN_y, TiN 的略高的热导率似乎更利于热量迅速从 Ge₁Sb₂Te₄ 层内撤离。因此晶态 SiGe_xN_y 的略低热导率会导致缓慢的电阻上升现象(淬火时间的延长, Sluggish resistance climb), 如图 4.4 中曲线(c)所示, 而在图 4.4 中曲线(b)中则不很明显(Swift resistance climb)。

我们同样使用二维有限元热学模拟研究了上加热层对于 PCM cell 的热效应。图 4.6 给出了 PCM cell 轴心位置的温度曲线分布图。有趣的是, 使用晶态 SiGe_xN_y 上加热电极除了能得到更高的加热温度, 相变层中的热核位置也更靠近底电极方向, 这证明晶态 SiGe_xN_y 上加热电极对于在 Ge₁Sb₂Te₄ 层中更好的实现热聚集是有利的。

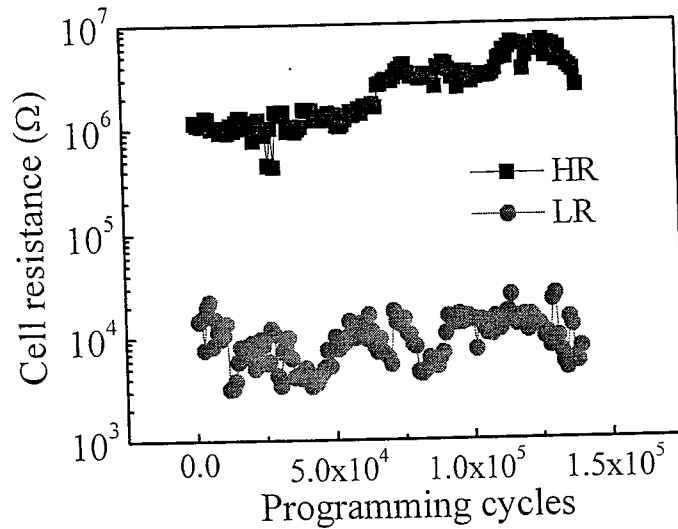


图 4.7 具有晶态 SiGe_xN_y 上加热电极时 PCM cell 的循环操作疲劳特性。

此外, 在加上此晶态 SiGe_xN_y 上加热电极后, PCM cell 依然显示出良好的循环操作疲劳特性(>10⁵ 次循环), 如图 4.7 所示。低阻态保持在 10⁴ Ω 量级, 而高阻态维持在 10⁶ Ω 水平, 保证了 PCM cell 应用所需的高数据分辨率。

4.4 小结

本章主要介绍了使用非晶态 SiGe_xN_y 材料作为 PCM cell 上加热电极时对器件操作的影响, 主要结论有:

- 1) 当对初始制备的 PCM cell 进行直流 dc 扫描时, 由于 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 与 SiGe_xN_y 薄膜均为非晶态, 虽然器件表现出电压的 snap-back 现象, 但阈值电压很高, 这说明在非晶态 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜晶化的过程中, 非晶态 SiGe_xN_y 薄膜的高电阻导致器件 SET 操作电压过高。
- 2) 在经过一个高 RESET 操作电压作用后, 器件由 $\sim 10^5 \Omega$ 的“SET”低阻态转变为高阻态, 伴随着此过程中 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜的非晶化, 非晶态 SiGe_xN_y 薄膜则转变为低阻值的晶态, 而且由于 PCM cell 操作最高温度低于的 SiGe_xN_y 材料的熔点, 晶态的 SiGe_xN_y 薄膜在后续的操作中不会可逆转变为非晶态。
- 3) 使用了此晶态 SiGe_xN_y 上加热电极后, PCM cell 的 SET 和 RESET 操作电压都明显降低, 这是由于晶态 SiGe_xN_y 上加热层相比 TiN 更低的热导率, 有利于将焦耳热集中在 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 层内以便获得较低的操作功耗。而另一方面由于热量不能迅速撤除, 则使得 RESET 过程中的淬火时间有所增加。经热学模拟后发现植入晶态 SiGe_xN_y 上加热电极后, PCM cell 在 RESET 过程中有更高的加热温度。此外, 经疲劳测试, 改进后的 PCM cell 有 $>10^5$ 次的循环使用寿命。

GeSbTe 材料在结晶—非晶的过程中密度会发生变化(7%—9%)^[101, 102], 进而 GeSbTe 的体积在相变过程中也在不停的发生变化, 因此 GeSbTe 薄膜与其四周的材料的良好接触是十分重要的。PCM cell 内部 GeSbTe 薄膜多填充在主要由 SiO_2 介质环绕的凹槽中, 底 W 电极与其接触面积很小的情况下, 接触面积较大的上电极与 GeSbTe 之间的良好接触则尤为重要。 GeSbTe 体积收缩可能使其与上电极脱附, 造成断路, 而且局部的接触空洞, 更便利了 Te 元素的逃逸, 在 GeSbTe 薄膜厚度降低的情况下, 界面所需承受的热效应增加, 合适的上电极同样需承担热阻层的作用, 并且希望它有一定的热稳定性。目前关于上电极这些方面的研究还未见报道。

第五章 晶态二氧化锡下加热层

5.1 引言

第二章至第四章介绍了三种 PCM cell 用的加热层, 改进后的 PCM cell 都不同程度的降低了操作功耗, 而且都表现出较理想的疲劳特性。在选取加热层材料的时候通常首先考虑此种材料的电阻率、热导率、比热、结晶温度、熔点等物理参数(具体要求在第二章中已交代), 能同时满足这些要求的材料本不会很多, 已报道的这方面材料(见表 2.1)在 PCM cell 操作中大多仅关注功耗降低这方面。由于加热层在 PCM cell 操作过程中本身就要承受比 GeSbTe 材料熔点还高的温度, 并非是加热层材料具有很高的熔点或结晶温度就说明它具有很好的热稳定性, 相变材料活泼的特性要求加热层材料还具有抑制 Sb、Te 元素扩散、不与 GeSbTe 在高温时发生固相反应的特点。

本章主要介绍一种新型下加热层材料晶态二氧化锡(SnO_2)在 PCM cell 应用中喜忧参半的表现, 主要集中在讨论 SnO_2 与 GeSbTe 之间界面上所发生的问题。

5.2 实验介绍

非晶态的 SnO_2 薄膜采用室温磁控溅射的方法制备, 薄膜制备时对高纯 Sn 靶使用直流 dc 22 W 溅射, 溅射时使用 Ar 50 SCCM+ O_2 15 SCCM 的气体, 生长速率约为 3—4 nm/min。非晶态 SnO_2 薄膜经 N_2 气氛保护下高温快速退火后形成晶态, 使用 XRD 来了解薄膜的结晶情况。在玻璃衬底上制备了 150 nm 厚的 SnO_2 薄膜经不同温度退火后测量了它们的电阻率。PCM cell 内部使用了 10 nm 的晶态 SnO_2 下加热层, 相变材料采用 Ge、Sb 和 Te 三靶共溅射获得 150 nm 厚的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜, 薄膜在进行相变操作前已转变为 fcc 相。为了比较晶态 SnO_2 下加热层对于 PCM cell 功耗降低和疲劳特性的影响, 同时也制备了植入了 10 nm 厚 TiN 下加热层的 PCM cell。另外, XPS 深度成分剖析被用来了解 SnO_2 薄膜与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜之间界面的扩散情况。

5.3 SnO₂ 薄膜的 XRD 与电阻率

初始制备的 SnO₂ 薄膜为非晶态，经过 5 分钟高温退火处理后薄膜转变为多晶态，属于四角晶系，如图 5.1 所示。可以发现在 773 K 至 973 K 的温度范围内 SnO₂ 薄膜的结晶程度几乎没有明显变化，XRD 谱图中几个主要的衍射峰的峰强和半高宽都没有显著增高或缩小。这说明仅仅就晶态 SnO₂ 薄膜而言，在这一敏感温度区间(多数相变材料的熔点在此区间内)，薄膜自身不会随着温度变化表现出明显的微观结构的变化，在晶粒没有快速生长的前提下，薄膜表面形貌不会发生剧烈变化，这点对于 SnO₂/Ge₂Sb₂Te₅ 薄膜界面的良好接触是有利的。

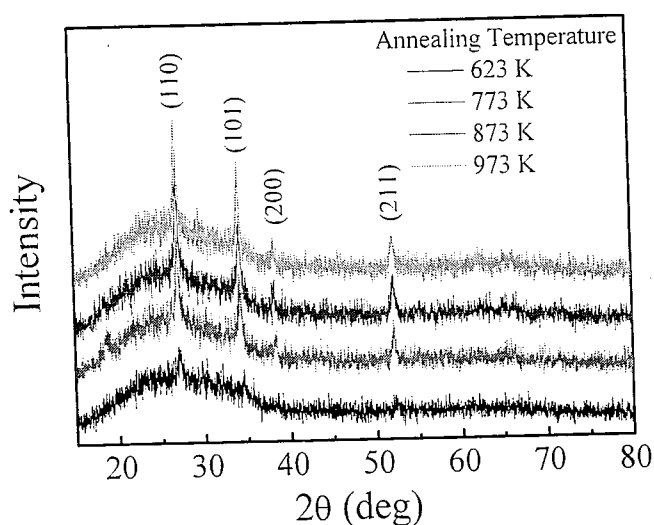
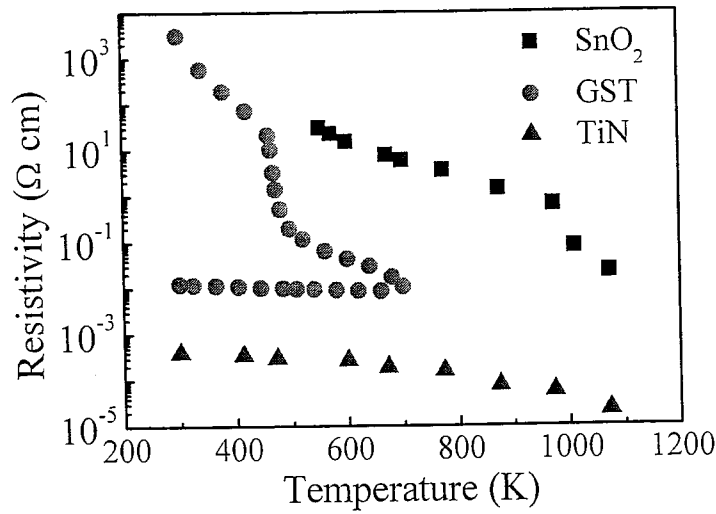


图 5.1 SnO₂ 薄膜 673 K—973 K 退火的 XRD 谱图。

随着退火温度的升高，SnO₂ 薄膜的电阻率呈逐步下降的趋势，如图 5.2 所示，在 873 K—973 K 时，电阻率为 $1.4\text{--}0.65\ \Omega\cdot\text{cm}$ ，在同温度区间内 TiN 的电阻率则为 $7.5\times 10^{-5}\text{--}5.6\times 10^{-5}\ \Omega\cdot\text{cm}$ 。制备 PCM cell 时，将 Ge₂Sb₂Te₅ 薄膜在 500 K 的温度下退火 2 分钟，形成 fcc 相之后其电阻率约为 $0.1\ \Omega\cdot\text{cm}$ 。由此结果可预知，TiN 过低的电阻率在产生焦耳热方面与 SnO₂ 不能匹敌，而且 SnO₂ 材料的 $1\ \Omega\cdot\text{cm}$ 左右的电阻率正好满足加热层材料电阻率的要求。


 图 5.2 SnO₂、Ge₂Sb₂Te₅ 和 TiN 薄膜电阻率随温度变化关系。

5.4 PCM cell 的电学性能

图 5.3(a)给出了 PCM cell 的截面示意图。比较使用 SnO₂ 与 TiN 下加热层的 PCM cell 的 R—I 曲线可知,如图 5.3(b)所示,前者的 SET 和 RESET 操作电流都明显降低,在 1000 ns 脉宽条件下,RESET 电流从~10 mA 降低至~2 mA,这都归因于晶态 SnO₂ 材料相比 TiN 更高的电阻率和更低的热导率。SnO₂ 作为一种 n 型半导体材料,其 40—50 nm 厚薄膜的热导率为<~7 W/m·K^[103],且热导率对于更薄的薄膜则更低,而 TiN 的热导率在 15—28.9 W/m·K 左右^[64],因此晶态 SnO₂ 加热层能比 TiN 更好的抑制焦耳热向底 W 电极的扩散。同时,TiN 相比 fcc 相 Ge₂Sb₂Te₅ 材料很低的电阻率使得 PCM cell 在使用 TiN 下加热层时更多的是依靠自身的自加热机制来完成相变过程,TiN 本不能提供很多的焦耳热,而晶态 SnO₂ 加热层较高的电阻率则能有助于产生足够的焦耳热以促进 Ge₂Sb₂Te₅ 层内的相变。PCM cell 操作电流的平方是与器件内部总的电阻和热阻的乘积呈反比的趋势,因此,晶态 SnO₂ 加热层高的电阻率和低的热导率能同时提高器件的总电阻和总热阻,从而得到更低的操作电流,获得功耗上的降低。

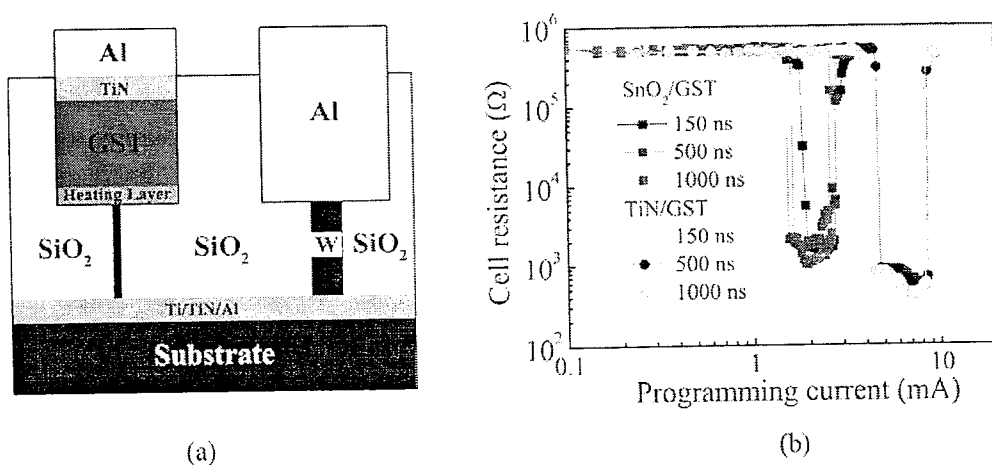


图 5.3 (a) PCM cell 的截面示意图, (b) 不同操作脉宽情况时植入晶态 SnO_2 与 TiN 下加热层 PCM cell 的 $R-I$ 曲线。

虽然植入晶态 SnO_2 下加热层比使用 TiN 下加热层能更有效的降低 PCM cell 的操作功耗, 但前者却不能带给 PCM cell 足够的使用寿命。植入晶态 SnO_2 下加热层的 PCM cell 表现出远比使用 TiN 下加热层的 PCM cell 少很多的循环操作次数, 如图 5.4 所示。

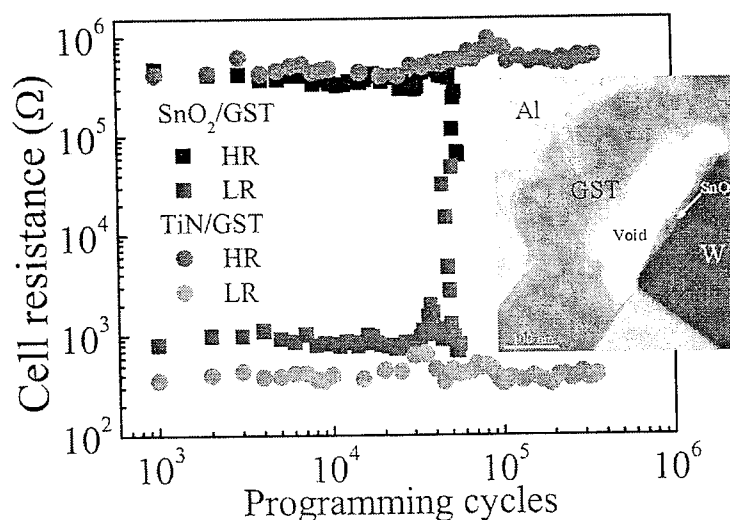


图 5.4 植入晶态 SnO_2 与 TiN 下加热层的 PCM cell 的疲劳特性曲线。插图为植入晶态 SnO_2 下加热层的 PCM cell 循环操作多次失效后的 TEM 截面照片。

使用 TiN 加热层时, PCM cell 在 $\sim 4 \times 10^5$ 次写/擦循环操作后依然能保持高低阻值之间足够的分辨率(约 10^3), 然而对于使用 SnO_2 加热层的 PCM cell, 高低阻在 10^4 次循环后开始出现明显波动和漂移, 分辨率逐渐减小, 当达到 $\sim 6 \times 10^4$ 次循环时, 高低阻则完全并入同一阻值, 器件已不能继续正常操作。此现象说明晶态 SnO_2 加热层虽能起到降低操作功耗的作用却不能保证器件的可靠使用寿命。

5.5 $\text{SnO}_2/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 与 $\text{TiN}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面的热稳定性

在其它结构相同的情况下, 两器件在疲劳特性上反差明显的表现自然应归结于下加热层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间可能发生的某些导致器件不稳定的因素上。XPS 深度成分剖析是了解多层薄膜之间相互影响的一个不错的检测手段, 我们制备了 20 nm TiN/150 nm $\text{Ge}_2\text{Sb}_2\text{Te}_5$ /70 nm $\text{SnO}_2/\text{SiO}_2/\text{Si}$ 结构, 在 573 K 和 773 K 分别 N_2 气氛下退火 5 分钟, 以便同时了解 TiN 和 SnO_2 材料与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料接触时界面所能发生的问题。图 5.5 和图 5.6 分别为 573 K 和 773 K 时该结构的 XPS 深度剖析图。比较图 5.5 与图 5.6 可知, 在 573 K 时 TiN/ $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 与 $\text{SnO}_2/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面的元素互扩散情况还不严重, 然而在 773 K 时则有大量的 Sn 和 O 元素扩散进入 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层, 相比之下, TiN/ $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面在此温度的扩散现象没有很明显的恶化。

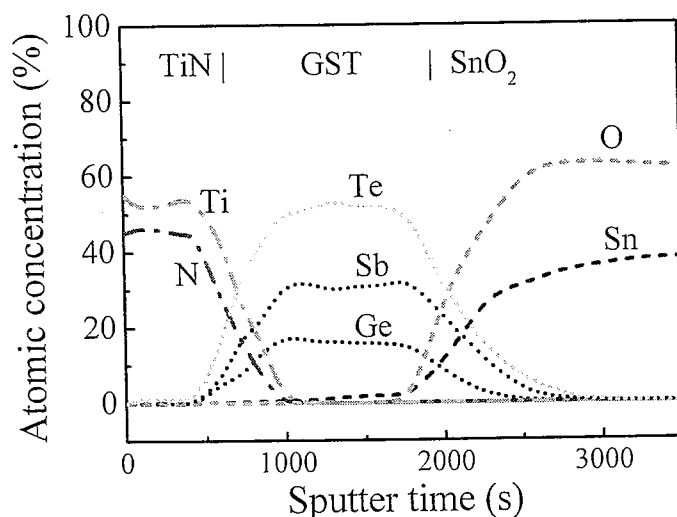


图 5.5 573 K 时 TiN/ $\text{Ge}_2\text{Sb}_2\text{Te}_5$ / $\text{SnO}_2/\text{SiO}_2/\text{Si}$ 结构的 XPS 深度剖析图。

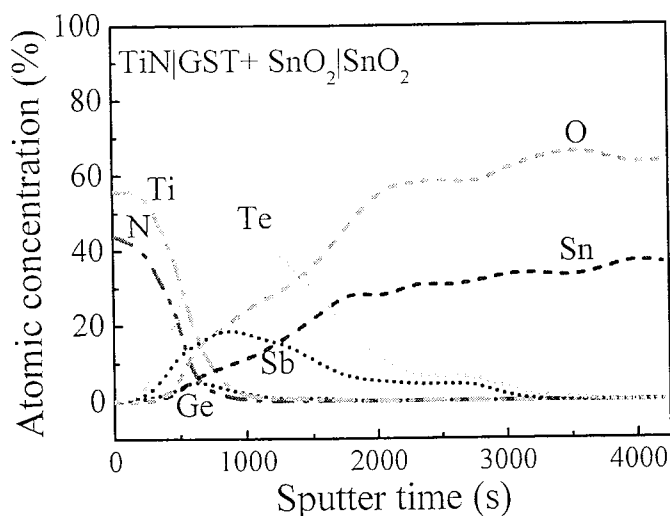
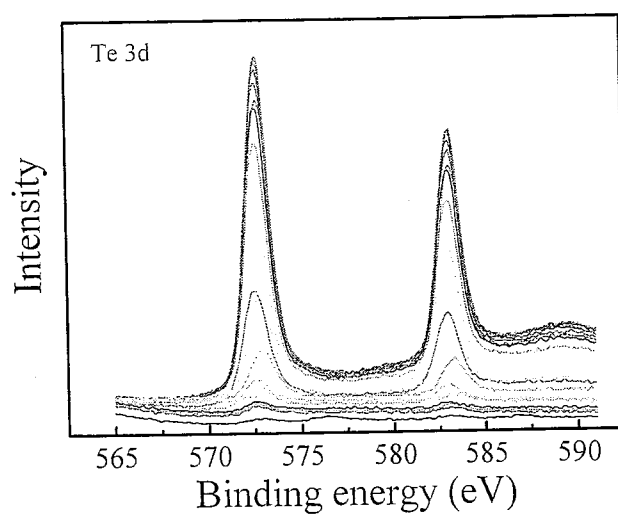


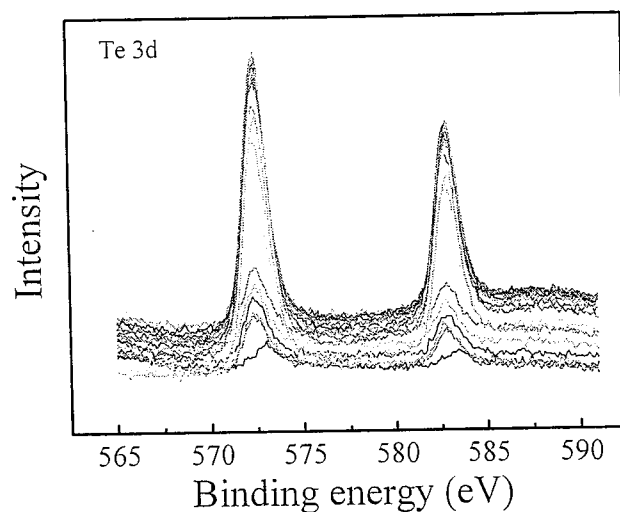
图 5.6 773 K 时 TiN/Ge₂Sb₂Te₅/SnO₂/SiO₂/Si 结构的 XPS 深度剖析图。

通常在 Ge₂Sb₂Te₅ 材料中, Te 元素具有相比 Ge 和 Sb 元素更低的熔点和更高的蒸气压, 因此 Te 是最容易挥发、扩散到边界处或与金属电极反应的元素^[74, 75]。而 Ge 则是三种元素中被认为最稳定的, Ge 含量的增多能促进 GeSbTe 材料的化学稳定性的提高。但我们发现相比图 5.5 中低温时的情况, 在图 5.6 中并非是 Te 元素而是 Ge 元素的含量急剧减少了。比较几种氧化物的生成焓值大小: O₂Te (-322.6 kJ/mol)、O₂Sn (-577.6 kJ/mol)以及 GeO₂ (-580.0 kJ/mol)^[85]; 并且考虑金属氧化物的键强: O—Ge ($\sim 689 \text{ kJ/mol}$)、O—Sn ($\sim 531.8 \text{ kJ/mol}$)和 O—Te ($\sim 376 \text{ kJ/mol}$)^[85]; 可以得出以下结论: 当 SnO₂ 与 Ge 元素在一起时, 高温情况下会倾向于反应形成生成焓更低的 GeO₂, 而 Te 元素与 SnO₂ 的反应在化学动力学的角度上是不成立的, 同时, O-Ge 最大的键强说明 O 更倾向于与 Ge 而不是 Sn 或 Te 形成稳定的氧化物。而一旦 GeO₂ 形成后, 由于其在超过 700 K 的温度时表现极其不稳定, 分解为易挥发的 GeO, 所以也就不奇怪为什么在图 5.6 中 Ge 含量很少而 Te 含量较多了。

图 5.7(a)和(b)比较了两温度下 Te 元素的 XPS 谱, 每条曲线都对应于图 5.5 和图 5.6 中的一个溅射时间点。观察可知, 773 K 退火处理后, Te 3d 除了峰强比 573 K 时有所降低之外, 3d_{5/2} 与 3d_{3/2} 的结合能峰位都几乎没有变化, 这进一步说明 Te 在高温退火后没有参与界面的固相反应。



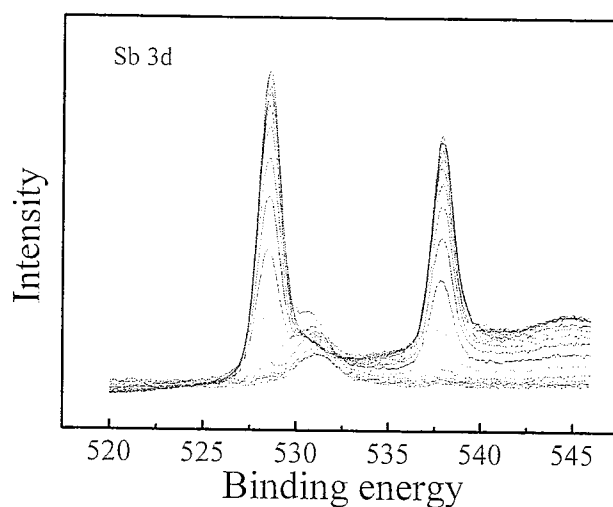
(a)



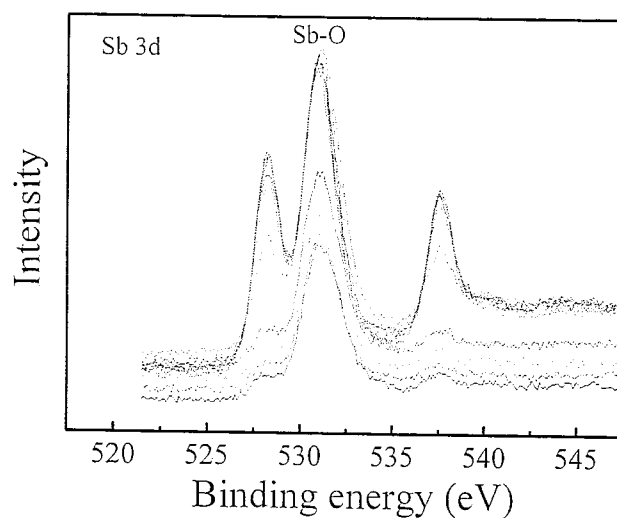
(b)

图 5.7 Te 3d 的 XPS 谱: (a)573 K 和(b)773 K。

由于 Ge 的流失很严重, 已经不能在 773 K 时在 $\text{SnO}_2/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面出得到 Ge 的信息。然而 Sb 3d 的 XPS 谱所反应出来的则是与 Te 3d 的谱截然不同的信息, 如图 5.8(a)和(b)所示。在 573 K 时, Sb 3d 的结合能峰位与第三章中图 3.8 所标注的位置几乎一致, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内 Sb 元素并没有因为与其它元素成键而导致其结合能的变化, 然而在 773 K 的时, 可以观察到明显的 Sb—O 强峰出现, 说明 Sb 与 SnO_2 中的 O 成分反应而结合。



(a)



(b)

图 5.8 Sb 3d 的 XPS 谱: (a)573 K 和(b)773 K。

我们有理由相信，在经过 $\sim 10^5$ 次写/擦循环操作后，PCM cell 内部的 $\text{SnO}_2/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面处会发生同样严重的互扩散现象，界面上的不稳定必然会导致器件操作参数的漂移直至最后器件失效。原本的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜逐渐转变为一种缺 Ge、富 O 且掺有一定 Sn 元素的硫系化合物。这种对相变材料组分的剧烈改变也会致使 PCM cell 高低阻之间分辨率发生波动，随着循环次数的增加，原本设定好的操作参数自然不能够满足对器件完成充分的 SET 和 RESET 操作。此外，由于 GeO 这一易挥发的氧化物的生成，在器件内部必然形成诸多空洞或通

道, 如图 5.4 中插图中失效 PCM cell 的 TEM 照片所示, 这样会造成 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料与周边介质层或电极的不良接触, 电学上的断路则容易发生, 器件当然会立刻失效。

5.6 小结

本章主要介绍了使用晶态 SnO_2 材料作为 PCM cell 下加热层时对器件操作的影响, 主要结论有:

- 1) 晶态 SnO_2 材料具有比 TiN 更低的热导率和更高的电阻, 相比使用 TiN 作为下加热层, SnO_2 下加热层能更有效的降低 PCM cell 的操作功耗。
- 2) 晶态 SnO_2 虽然具有很高的熔点, 满足 PCM cell 中约 900 K 的高温操作需要, 但由于其在高温作用下会与 GeSbTe 材料中的 Ge 和 Sb 发生固相反应, 致使 GeSbTe 材料的组分完全发生变化, 影响 PCM cell 操作参数的一致性, 固相反应生成的 GeO 极易挥发, 导致器件早期失效。相比而言, 虽然 TiN 下加热层不能在功耗降低上优于晶态 SnO_2 下加热层, 但其热稳定性却优于后者。

可见为 GeSbTe 类材料选择合适的加热介质需着重考虑它们之间的热稳定性问题, 以得到疲劳特性优良的器件。 SnO_2 作为加热层材料对于含有 Ge 或多 Sb 的材料似不合适, 对于以 Sn 和 Te 为基础的相变材料则更为合适。

第六章 PCM cell 三级电阻态的实现

6.1 引言

PCM 将数据态存储在硫系化合物相变材料不同量级的电阻态中，在 READ 过程中为了有明显的信号差别，要求不同存储态之间有足够的电阻差异，而类似 GeSbTe 材料在高低阻之间往往有 10^3 大小的分辨率，这就为实现多个电阻态提供了足够的电阻空间。如果能在器件单元中实现多个电阻态，则数据存储就不仅仅只包含“0”和“1”两个态，整个器件的数据存储量就能大幅度增加。因此 PCM 多级存储(Multilevel data storage)方面的研究正日益成各研发小组关注的焦点。以下先介绍已报道的在 PCM cell 中实现多级存储的几种不同方法。

6.1.1 多层相变材料薄膜结构

硫系化合物相变材料的一个主要特点在于它能够通过改变元素配比来获得不同的物理性能。由于 PCM cell 中需使用焦耳热来诱导相变，而相变材料晶态与非晶态的获得与材料本征的结晶温度与熔化温度密切相关，通过调节相变材料中的某些元素含量或是掺杂其它元素可以起到调节材料高低阻量级，改变结晶温度和熔化温度，加快或减慢相变速度的效果。如 GeSbTe 合金中，结晶速度主要由 Sb_2Te_3 部分决定，因为它具有比 GeTe 更快的结晶速度，故而材料的结晶温度主要由 Sb_2Te_3 的含量决定，而 GeTe 的熔化温度则高于 Sb_2Te_3 ，因此材料的熔点则主要依靠 GeTe 的含量决定^[104]。如果将 GeTe 的 Ge 元素换成 Si 或 Sn 元素，考虑到 Si—Te (452 kJ/mol)、Ge—Te (397 kJ/mol)以及 Sn—Te (359.8 kJ/mol)递减的键强^[104, 105]，Si 的掺入能提高 GeSbTe 相变材料的熔点，改善非晶态薄膜高温情况下的数据保持能力，但可能使结晶速度变慢或结晶温度上升，而 Sn 的掺入则能降低 GeSbTe 材料的熔点亦能加快材料的结晶速度。其它类似掺入 N、O、 SiO_2 、In、Ag、Au、Al、Cu、Sb、Se、Ga 等元素都能对相变材料某方面的性能进行改进。

如果将不同组分的相变材料(具备一定的物理性能差异)制备成堆垛型的多

层薄膜，且这些不同的相变材料能够实现有序的相变，反映在器件的电阻上则先后得到不同量级的电阻态。一旦能够有效的控制这些电阻态，便能在单一器件中获得存储超过两个数据态的能力。

Y. F. Lai 和 J. Feng 等人通过使用掺入 Si 元素的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料搭配，或直接使用 SiSbTe 系列的材料制备了多层薄膜结构的 PCM cell [106-108]。他们发现掺入 Si 后 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的结晶温度由 163°C 升高至 274°C ，高低阻值也都升高了约一个数量级，由此可以通过逐步增大操作电流，将焦耳热依次分配在 $\text{Si}_x\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜层中，保证它们先后结晶，从而实现在 SET 过程中出现一个中间电阻态。类似的原理也应用于使用 SiSbTe 系列材料的三层薄膜结构中，如图 6.1 所示，通过热学模拟显示操作电流先后对三层薄膜加热，由此在单一 PCM cell 中可望获得至少 4 个数据存储态^[107]。但这些报道都主要集中在对于器件 SET 过程的讨论，而 SET 过程中获得的多个电阻态能否在 RESET 过程中重现并未见说明。

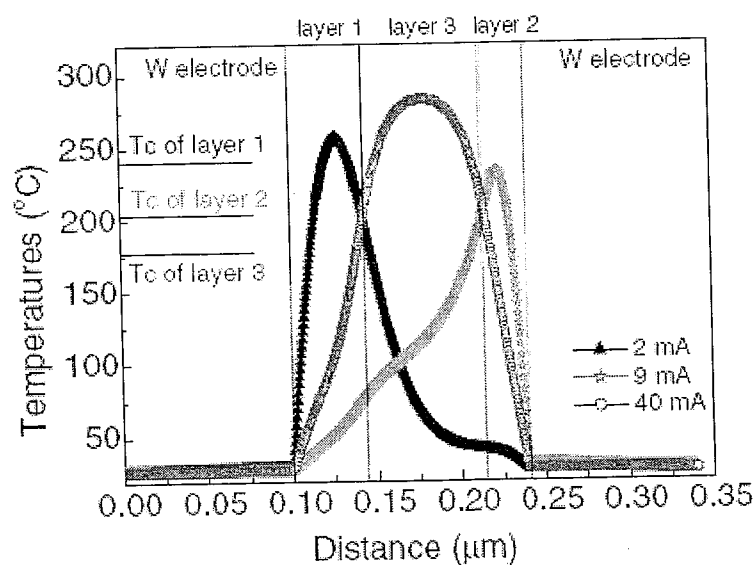


图 6.1 PCM cell 轴截面处热学模拟温度曲线图：三层不同 Si、Sb 含量的 SiSbTe 薄膜用于单一 PCM cell 中实现电流的依次加热以获得先后结晶的效果，实现多级存储^[107]。

K. A. Campbell 等人使用 Ge-Chalcogenide 和 Sn-Chalcogenide 材料制备的双层结构同样也观察到了 I-V 曲线中的多个电压 snap back 现象，预示着有两个以

上的负微分电阻区域,也就有潜在的两个以上电阻态^[109, 110]。但文献中并没有报道 $R-V$ 或 $R-I$ 的关系曲线,也就无法知道是否能用脉冲操作获得可靠的多个电阻态。

另外一种不同于 T 型 PCM cell 结构的侧向(Lateral)电极加热的 PCM cell 结构也被用来实现多电阻态,其 PCM cell 中使用了两层 SbTeN 相变薄膜^[111],之间用 TiN 隔开,如图 6.2(a)所示。当使用底部的侧向 TiN 电极加热时,与 TiN 接触区域的 SbTeN 率先晶化,此晶化区域仅作用于局限在下两层 TiN 最临近区域所含的 SbTeN 材料,而晶化后的 SbTeN 区域与下两层 TiN 电极一起为电流提供了低阻通道,于是同样的晶化过程和晶化区域出现在上两层 TiN 最临近区域。由此便在同一种材料搭建的双层结构中实现了依次结晶的过程,也被认为具有多级存储的潜质,如图 6.2(b)所示,与前述文献一样,此法也仅仅报道了 SET 过程,没有 RESET 的结果。

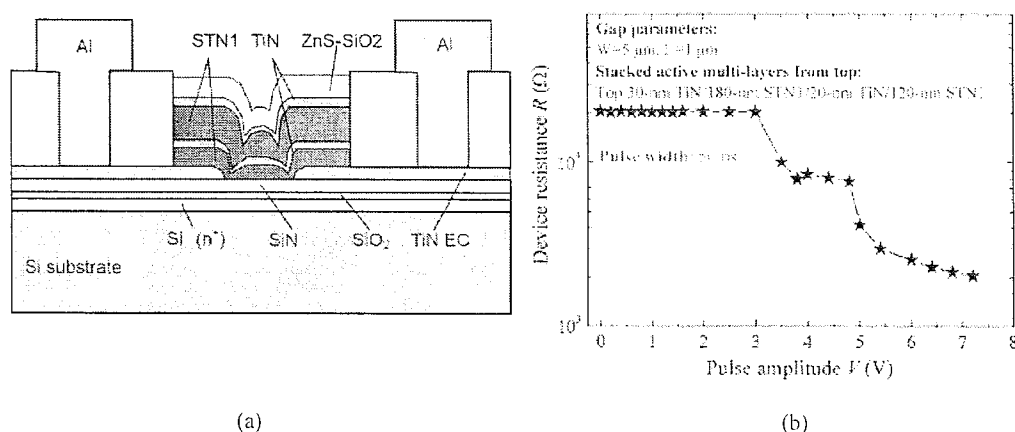


图 6.2 (a) 侧向加热的双层 SbTeN 薄膜结构的 PCM cell 截面示意图, (b) 此 PCM cell 的 SET 过程 $R-V$ 曲线^[111]。

6.1.2 单层相变薄膜结构

由于相变材料完全非晶态与完全多晶态之间的电阻差异在几个数量级,通过控制 PCM cell 的操作参数,逐步逐级实现相变材料电阻的变化也被认为是获得多电阻态的有效方法。Ovonyx 公司于 1999 年发布的技术报告中就首先指出,通过控制施加电流的强度,每 10 个脉冲为一组,可以逐步升高晶态相变材料的电阻至高阻态^[112],如图 6.3 所示。

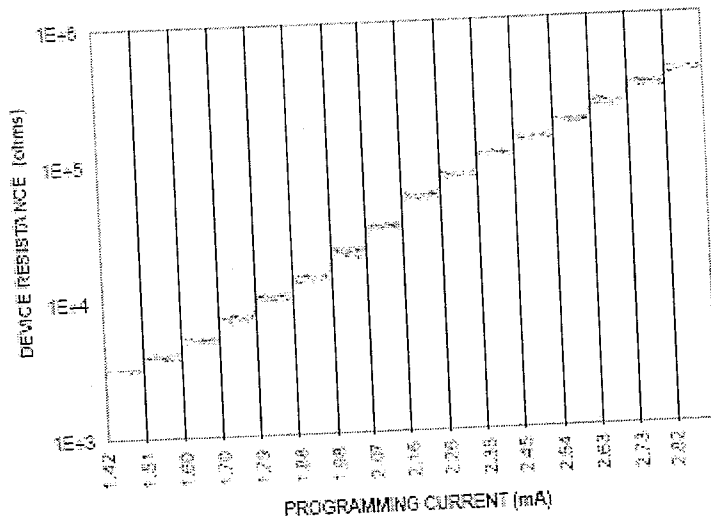


图 6.3 单一相变材料中控制脉冲电流的强度来获得数个电阻态^[112]。

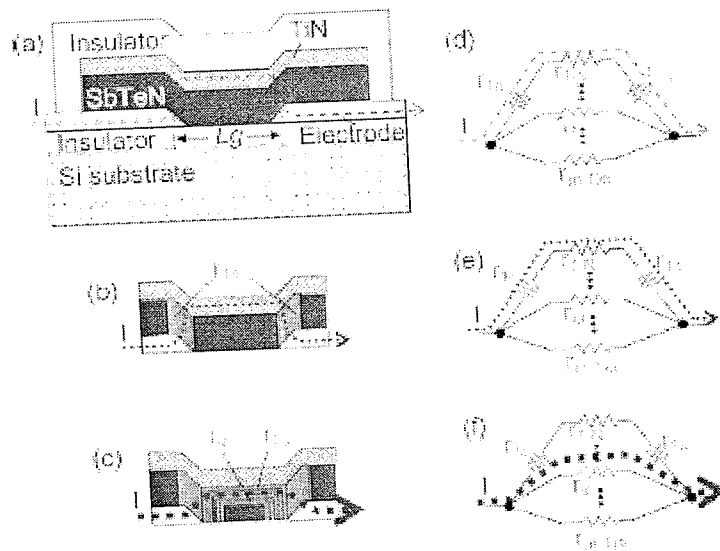


图 6.4 侧向加热的 PCM cell 中通过控制电流增加幅度来获得逐步扩大的 SbTeN 结晶区域, 从而实现多级存储^[117]。

通过调节操作脉冲, 可以有效控制 $\text{SeSbTe}^{[113]}$ 、 $\text{GeSbTeN}^{[114]}$ 、 $\text{SiSbTe}^{[115]}$ 等相变过程相比 GeSbTe 更缓慢的材料中的相变区域, 相变区域体积的逐步变化会带来器件电阻的逐步变化, 以此来实现多电阻态的获得。Y. Yin 等人使用图 6.2(a) 中同样的侧向加热的 PCM cell 结构, 使用单层的 SbTeN 材料, 通过多级调节外加电流的强度, 在 SbTeN 层内实现了结晶区域的相应多级扩大, 如图 6.4 所示,

并声称由于电流的调节幅度可以十分微小，则结晶区域的扩大亦相应的逐渐变化，以此可以得到数量可观的电阻态^[116, 117]。

另一种关于单层薄膜获得三个电阻态用于存储的机理解释则在于 GeSbTe 基材料在微观结构上存在三个不同的相，即非晶态、面心立方相 fcc 以及六方相 hex，这三个不同的结构具有三个不同量级的电阻态，使用足够的电流，在 SET 过程中便可以使非晶态相变材料依次达到 fcc 相和 hex 相^[118, 119]。

6.1.3 纳米线结构

此结构的独特之处在于将两种不同物理性能的可变材料($\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 GeTe)制备成同芯纳米线，此结果发表在 Nano Letters 杂志上^[120]，如图 6.5 所示。在操作此纳米线时，里外两种材料形成电学上的并联结构，内芯 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 纳米线先于外壳 GeTe 纳米线完成相变，此有序的相变过程保证了中间态电阻值的出现，其 SET-RESET 曲线呈现出较好的三存储态，分辨率明显。

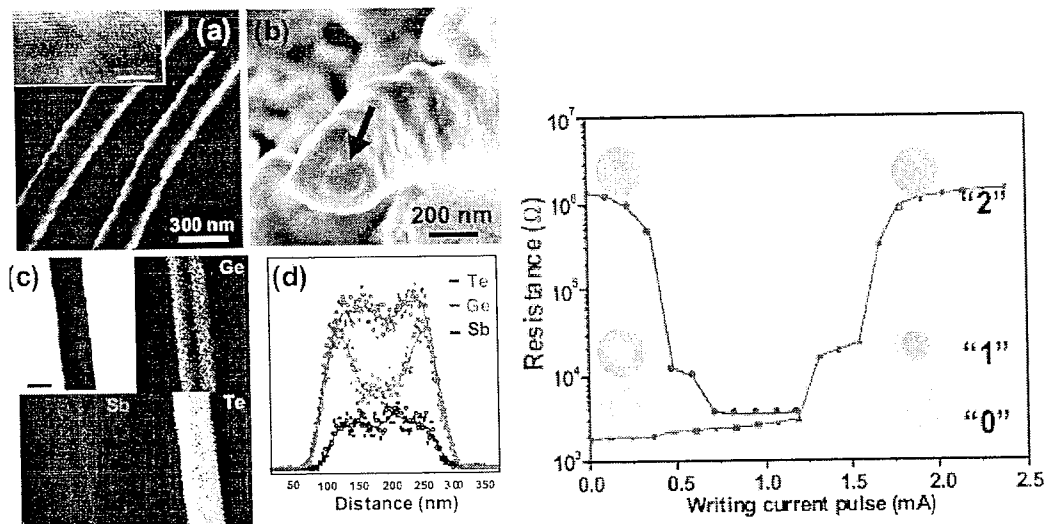


图 6.5 (左) $\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{GeTe}$ 同芯纳米线的 TEM 结构照片、EDS 谱以及 (右) SET-RESET 操作的 R-I 曲线

[120]。

6.1.4 平面多通道结构

虽然此结构的提出者 Y. Yin 并没有按照设想制备出 PCM cell，但给出的理论模拟结果却证实此结构也不失为在单一相变材料中实现多值存储态的一种方法

[121], 如图 6.6(a)所示。将相变材料薄膜制备在两电极薄膜之间, 但电极对之间的间隔是长短不一的, 如此便造成了多组区间电场强度不一的电极对。距离较短的电极对之间的相变材料能获得较大的电流驱动, 从而能率先发生相变, 其它通道上的相变材料则依次发生电阻变化, 由此则能获得多个可控的电阻态, 如图 6.6(b)所示。

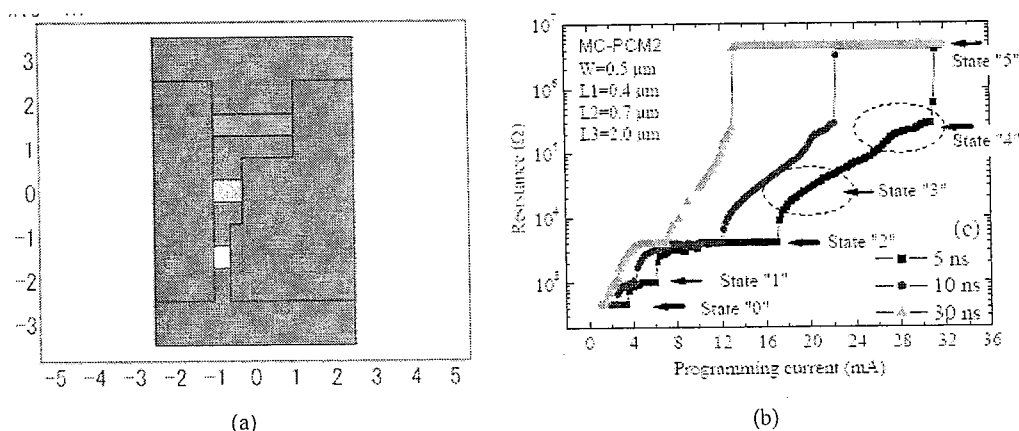


图 6.6 (a)平面多通道结构 PCM cell 示意图, (b)器件模拟所得 R-I 曲线图^[121]。

6.1.5 其他多级存储结构与机理

S. Lee^[122]等人就在使用 Ge 掺杂的 SbTe 材料的上下界面上制备了不同 Ti 含量的 TiN 电极, 且由于工艺上处理的不同, 这两个界面有着不同程度的缺陷态, 在对器件使用正负向的偏压时, 会出现不同大小的阈值电压, 分别对应 p 型和 n 型的 SET-RESET 过程, 其对应高低阻也不相同, 由此便得到 4 个不同的数据存储态。

而富 Sb 的 GeSbTe 材料也被报道在正负偏压作用下, 且偏压强度不超过相变阈值电压时, Sb 原子在 GeSbTe 材料中形成灯丝电流通道(current filament), 通道的通与断就造成了材料在相差约 1000 Ω 的高低阻之间变换^[123]。此现象类似于 Programmable metallization cell (PMC)中使用 Ag 离子在 GeSe 等材料中形成 filament 来造成电学上的通断。如果将材料本身非晶态与晶态相变所致的高低阻考虑进来, 则器件可以获得 4 个存储态。而将 GeSbTe 材料夹在 AlO_x/Al 电极之间所观察到的正负偏压下不同的电阻变化情形, 以及出现中间电阻态的结果, 也被用 GeSbTe 材料中树枝状灯丝电流通道(dendrite filament)的形成与破坏机制来

解释^[124]。

本论文主要研究使用本章 6.1.1 节中相似的多层薄膜堆垛的方法来考证在单一 PCM cell 中可否实现多值存储。

6.2 实验介绍

我们采用磁控溅射的方法在 $0.18\ \mu\text{m}$ CMOS 工艺的中芯基片上制备 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 薄膜。磁控溅射时使用多靶磁控溅射仪(型号: ULVAC MLH-263, 如图 6.7 所示), 极限真空度可达 $1 \times 10^{-5}\ \text{Pa}$, 衬底可加温至 200°C 。溅射时使用 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 的合金靶材, 溅射是都使用射频 rf 200 W 功率, 本底真空度达到 $7 \times 10^{-4}\ \text{Pa}$, 溅射气体为 Ar 20 SCCM, 溅射气压为 0.14 Pa, 薄膜生长速率约为 0.5 nm/s, 初始获得的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 薄膜为非晶态结构。TiN 薄膜的制备则采用 Ar 20 SCCM+N₂ 20 SCCM 的溅射气氛, 溅射气压控制在 0.36 Pa, 对 Ti 靶使用射频 rf 400 W 功率溅射, 薄膜沉积速率为 2 nm/min。PCM cell 制备工艺和电学性能测量手段在第二章已介绍, 不再赘述。

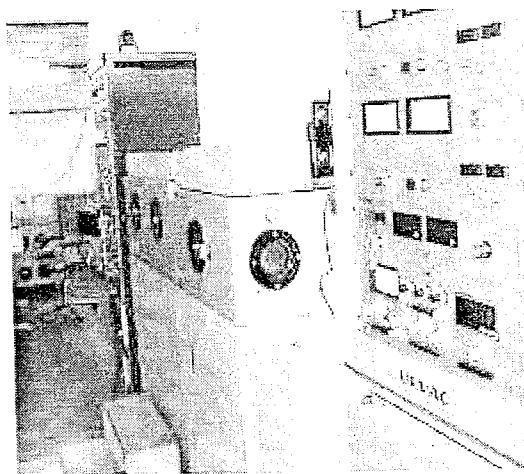


图 6.7 多靶磁控溅射仪。

通过调节 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 薄膜的生长时间, 我们制备了不同厚度的双层薄膜结构的 PCM cell。单层 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 薄膜结构的 PCM cell 也一并制备用来与双层结构进行比较, 图 6.8 给出了 PCM cell 的截面示意图, 具体结构参

数见表 6.1。

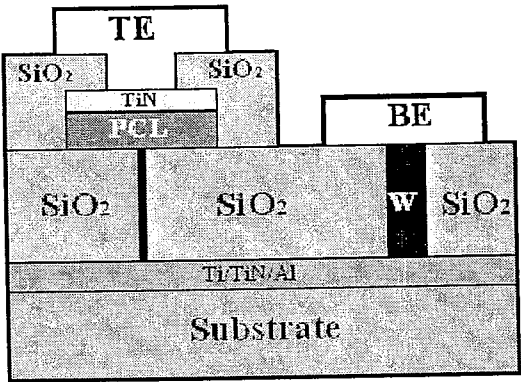


图 6.8 单层与双层 PCM cell 截面示意图，PCL 为 Phase change layers 缩写，TE 和 BE 分别代表上、下电极。

表 6.1 单层与双层 PCM cell 结构参数。

PCM cell 具体结构	PCL 厚度 (nm)	TiN 厚度 (nm)	TE/BE 厚度 (nm)
1) W/Ge ₂ Sb ₂ Te ₃ /TiN/Al	90	20	300
2) W/Sb ₂ Te ₃ /TiN/Al	90	20	300
3) W/Ge ₂ Sb ₂ Te ₃ /Sb ₂ Te ₃ /TiN/Al	30/60	20	300
4) W/Sb ₂ Te ₃ /Ge ₂ Sb ₂ Te ₃ /TiN/Al	30/60	20	300

6.3 PCM cell 的电学性能与热学模拟计算

作为具有单层相变材料的 PCM cell 通常只能观察到一个微分负阻区域，如图 6.9 中实心图标曲线所示，I—V 曲线在经过 A 点或 B 点的阈值电压(V_{th})后迅速抵达低电压大电流区域，这预示着此类器件只存在两个电阻态，高阻非晶态和低阻多晶态。这点同样可以在图 6.10 中实心图标曲线所示的 R—V 曲线可知，单层结构仅仅可以获得高阻态 $\sim 10^6 \Omega$ 和低阻态 $\sim 10^3 \Omega$ 两个数据存储态。然而在双层结构中则发现了两个微分负阻区域，如图 6.9 中空心图标曲线所示，I—V 曲线都存在中间的拐点 b 点或 e 点，因此我们认为在双层结构中可能隐藏着电阻分两步变化的现象。

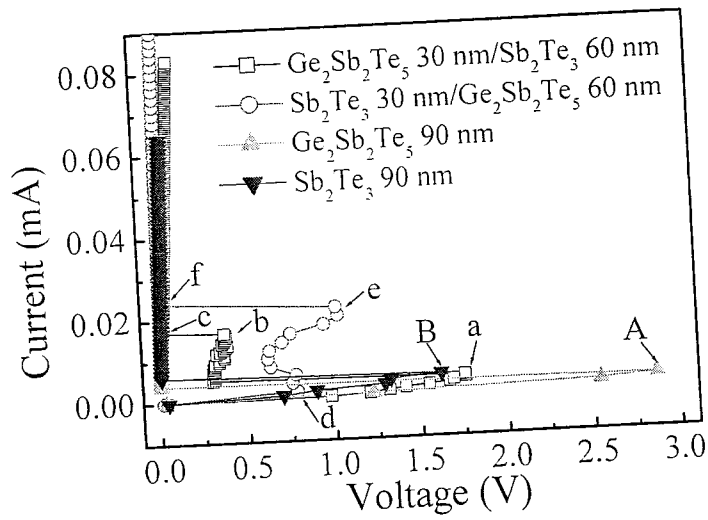


图 6.9 单层与双层结构的 PCM cell 的 I-V 曲线。

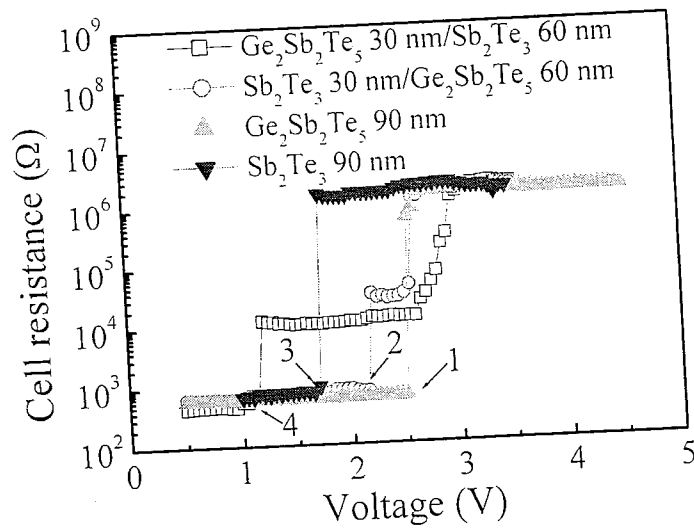


图 6.10 单层与双层结构的 PCM cell 的 RESET 过程的 R-V 曲线。

我们很容易从图 6.9 中空图标曲线所对应点(a—f)的电流与电压值来推算出当时它们各自对应的器件电阻值。具体数值为：点 a (1.75 V, 0.0045 mA)、点 b (0.37 V, 0.0165 mA)以及点 c (0.027 V, 0.0175 mA)，点 d (0.78 V, 0.002 mA)、点 e (1.01 V, 0.022 mA)和点 f (0.018 V, 0.026 mA)。计算所得电阻的变化为：由初始的 $10^6 - 10^5 \Omega$ 降至 $10^4 \Omega$ 最终减小到 $10^3 - 10^2 \Omega$ 。由于初始相变材料薄膜为非晶态，此电阻下降的过程代表了 SET 操作，同样在图 6.10 中空图标曲线所示的双

层结构的 PCM cell 的 RESET 过程中可以获得量级一致的三个电阻态, 随着外加电压的增加, 器件依次经历了 $10^3-10^2 \Omega$ 、 $10^4 \Omega$ 和 $10^6-10^5 \Omega$ 三个电阻台阶。三个电阻态之间的分辨率都大于 10, 在数据存储时可被用于各自代表数据“0”、“1”和“2”态。

观察图 6.9 中曲线可以发现, A 点 V_{th} (2.86 V) 比 B 点 V_{th} (1.62 V) 高, 而相应的 a 点 V_{th} (1.78 V) 比 d 点 V_{th} (0.78 V) 高。 V_{th} 的不同与 $Ge_2Sb_2Te_5$ 和 Sb_2Te_3 两种材料的物理特性以及器件内部两种材料薄膜的厚度有着密切的关系。因为 Sb_2Te_3 相比 $Ge_2Sb_2Te_5$ 材料有着更低的结晶温度, 见表 6.2。这也就不难理解单层 Sb_2Te_3 基 PCM cell 在晶化相等体积的区域时需要比单层 $Ge_2Sb_2Te_5$ 基 PCM cell 更少的能量。

表 6.2 $Ge_2Sb_2Te_5$ 和 Sb_2Te_3 材料的物理特性参数。

相变材料	结晶温度 T_c (K)	熔点 T_m (K)	比热 C (J/cm ³ K)	热扩散系数 D (cm ² /s)	热导率 κ (W/mK)	熔化潜热 ΔH_f (kJ/mol)
$Ge_2Sb_2Te_5$	424-447 ^a	905 ^b	1.2 ^c	0.0045 ^d	0.19 ^e	14.7 ⁱ
					(非晶态)	
					0.57 ^e	
Sb_2Te_3	363-373 ^f	889 ^g	1.02 ^h	0.016 ^h	-	j
					(非晶态)	
					1.6 ^h	
					(多晶态)	

^a 见参考文献 125。

^b 见参考文献 112。

^c 见参考文献 58。

^d 见参考文献 126。

^e 见参考文献 127。

^f 见参考文献 128。

^g 见参考文献 129。

^h 见参考文献 130。

ⁱ 见参考文献 131。

^j 假设与 $Ge_2Sb_2Te_5$ 的数值相同。

由于图 6.9 中的 a 点的 V_{th} 相比 A 点明显降低且仅略高于 B 点。这说明双层结构似乎相比单层结构更有利于降低 PCM cell 的操作功耗。此结果不但与双层结构中 Sb_2Te_3 材料较低的结晶温度和较快的结晶速度有关，也与薄膜层之间的界面热阻的存在^[132]，以及双层结构较低的有效热导率有关^[133]。因为相变材料薄膜层的有效热导率的降低会减小器件内部热量的扩散并将更多的热量积聚在相变材料层内，因此器件工作时的操作电压或操作脉冲的脉宽得以降低。 $Ge_2Sb_2Te_5$ 和 Sb_2Te_3 双层结构的结晶情况我们可以通过二维有限元的热学模拟来了解，如图 6.11 所示。

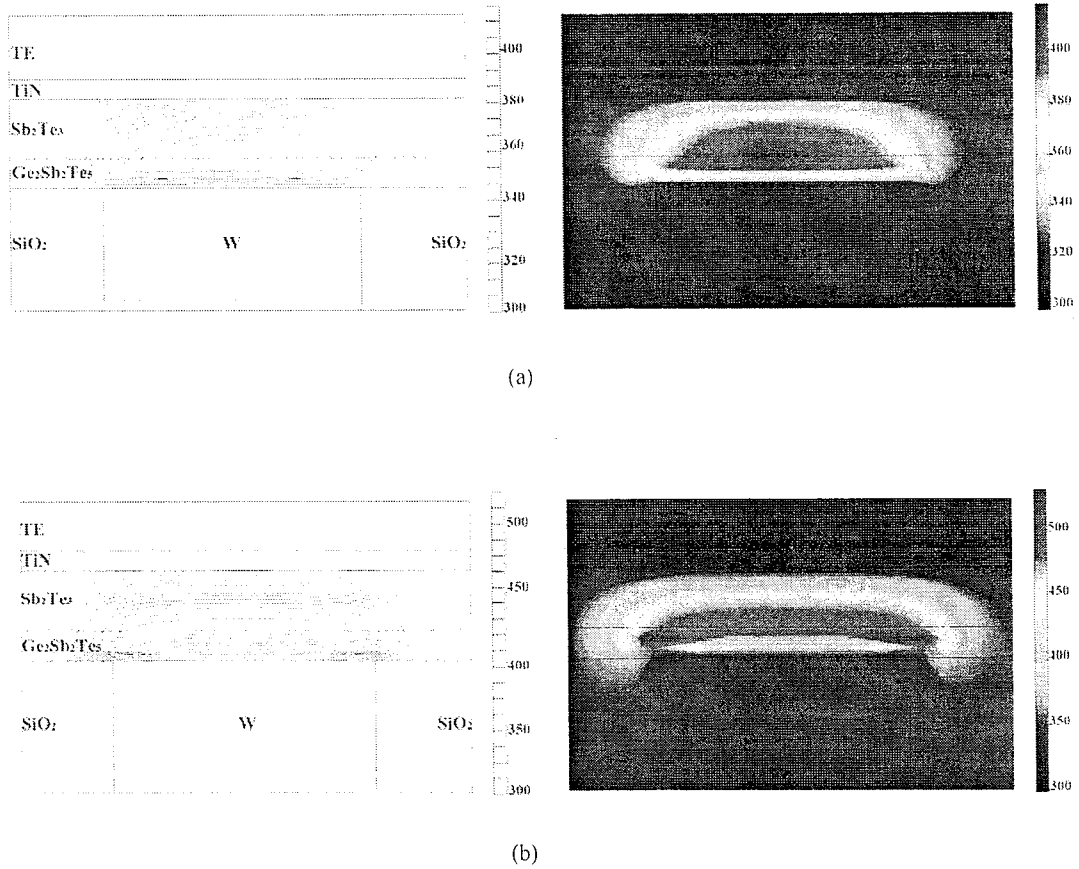


图 6.11 W/ $Ge_2Sb_2Te_5$ / Sb_2Te_3 /TiN/Al 结构 PCM cell 的 SET 过程温场分布图：(a) $t=30$ ns 时、(b) $t=150$ ns 时。

通过选取的两个时间点 30 ns 和 150 ns 可以发现，随着 SET 操作时间的推移，器件内部热核的最高温度随着升高，且最初的热核位于 $Ge_2Sb_2Te_5$ / Sb_2Te_3 界面处，大部分位于 Sb_2Te_3 层内，如图 6.11(a)所示，此处的温度在 373 K—424 K 之间，

高于 Sb_2Te_3 材料的结晶温度但同时低于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的结晶温度, 相反, 在 150 ns 时, 热核的位置则转移到 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内, 最高的温度已超过 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的结晶温度。因此我们认为, 在双层结构的 PCM cell 的 SET 过程中, Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层可以依次结晶, 器件便能在完全非晶态与完全多晶态之间获得第三个状态。考虑到 $\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{Al}$ 结构具有比 $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Al}$ 结构更薄的 Sb_2Te_3 层, 这也可以解释在首先对 Sb_2Te_3 晶化的过程中, 为什么前者的 V_{th} (d 点: 0.78 V) 要低于后者的 V_{th} (a 点: 1.78 V)。

图 6.12(b)和(d)给出了单层与双层结构 PCM cell 在 RESET 过程中的相变有效区域的热学模拟示意图。因为 PCM cell 内部相变材料层中的热扩散长度 (Thermal diffusion length) $L_{\text{th}} = \sqrt{D\tau}$, 其中 D 为热扩散系数 ($D_{\text{Ge}_2\text{Sb}_2\text{Te}_5} = 0.0045 \text{ cm}^2/\text{s}$ 、 $D_{\text{Sb}_2\text{Te}_3} = 0.016 \text{ cm}^2/\text{s}$, 见表 6.2), τ 为热扩散时间。因此热量在 90 nm 相变材料层中的扩散时间不会超过 18 ns。则热量在双层结构中的扩散时间可认为会进一步缩短。

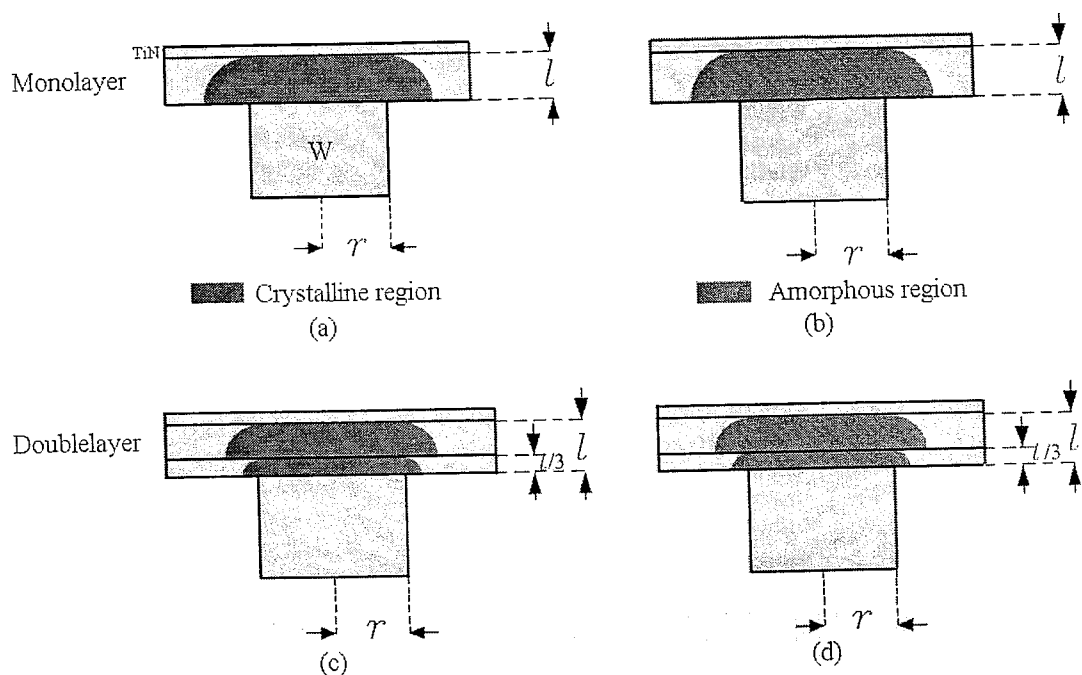


图 6.12 相变有效区域示意图: (a)单层结构 SET 过程、(b)单层结构 RESET 过程、(c)双层结构 SET 过程以及(d)双层结构 RESET 过程。

考虑到 PCM cell 在完成 SET 和 RESET 操作时使用的时间都大于 18 ns，因此我们假设相变薄膜层内的有效相变区域为各层相变薄膜上下界面之间的圆台区域。此假设与第四章中图 4.5 所热学模拟处的不同厚度 GeSbTe 薄膜 RESET 过程时的温场情形一致，相变薄膜在很薄且底电极尺寸较大的情况下，相变薄膜层上下界面之间的区域几乎都参与了相变。相应的 SET 过程时的晶态区域如图 6.12(a)和(c)所示。由于晶态区域较低的电阻，在 RESET 过程中，外加偏压主要作用在晶态区域而不是周边的非晶态区域，因此我们假设 RESET 过程中相变的区域与 SET 时的区域是一致的，如图 6.12(b)和(d)所示。

在这个简单的模型中我们假设在 PCL 与 SiO₂ 界面上的热扩散与在 PCL 内部的扩散是大致相等的，这也基于相变材料与 SiO₂ 材料都具有非常低的热导率，PCM cell 上部的 TiN 和 Al 电极的高热导率使得热量主要向器件顶部扩散，侧向扩散的比例相对要小的多。以此我们可以简化 PCL 内部相变有效区域的体积计算方法。PCL 内部的有效相变区域的体积为：

$$V = \frac{\pi}{3} \cdot L \cdot [r^2 + r \cdot (r + L) + (r + L)^2], \quad (1)$$

其中 r 为底 W 电极半径， L 为各 PCL 的厚度。由此可得单层结构中的有效相变区域体积为 $8.85 \times 10^{-15} \text{ cm}^3$ ，双层结构中 30 nm 厚 PCL 内有效区域则为 $1.99 \times 10^{-15} \text{ cm}^3$ ，同理 60 nm 厚 PCL 内有效区域为 $4.88 \times 10^{-15} \text{ cm}^3$ 。

当需要熔化特定体积的相变材料时，所提供的能量包括将这些材料的温度升高至熔点的热量以及熔化过程中所需要的潜热。因此 PCL 内部用于熔化相变材料的热量为：

$$Q_{reset} = C \cdot V \cdot \Delta T + \Delta H_f \cdot V, \quad (2)$$

其中 C 是材料的比热 ($C_{\text{Ge}_2\text{Sb}_2\text{Te}_5} = 1.2 \text{ J/cm}^3\text{K}$ 、 $C_{\text{Sb}_2\text{Te}_3} = 1.02 \text{ J/cm}^3\text{K}$)， ΔH_f 是相变材料的熔化焓变 ($\Delta H_{f, \text{Ge}_2\text{Sb}_2\text{Te}_5} = 14.7 \text{ kJ/mol} = 88 \text{ J/cm}^3$ ，假设 $\Delta H_{f, \text{Ge}_2\text{Sb}_2\text{Te}_5} \approx \Delta H_{f, \text{Sb}_2\text{Te}_3}$)， $\Delta T = T_m - 300 \text{ K}$ 。计算可知，对于单层结构 Ge₂Sb₂Te₅ 和 Sb₂Te₃ 相变薄膜的 PCM cell， Q_{reset} 分别为 $7.21 \times 10^{-12} \text{ J}$ 和 $6.14 \times 10^{-12} \text{ J}$ 。由于 Sb₂Te₃ 材料更低的熔点，它会首先被非晶化，如果我们仅考虑 RESET 过程中的这第一个电阻上升阶段，且认为 Ge₂Sb₂Te₅ 层内的温度此刻是稳定的保持在与 Sb₂Te₃ 层内温度大致相当的水

平, 则随着温度继续的升高, 热量则开始储存于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内以促使其熔化。

$\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{Al}$ 结构的 Q_{reset} 大致为 $4.85 \times 10^{-12} \text{ J}$ ($1.38 \times 10^{-12} \text{ J}$ 用于熔化 Sb_2Te_3 层而 $3.47 \times 10^{-12} \text{ J}$ 进入 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内), $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Al}$ 结构的 Q_{reset} 大致为 $4.80 \times 10^{-12} \text{ J}$ ($3.38 \times 10^{-12} \text{ J}$ 用于熔化 Sb_2Te_3 层而 $1.42 \times 10^{-12} \text{ J}$ 进入 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内), 后者在完成第一步 RESET 电阻上升需要的能量比前者略低。

进一步考虑由底 W 电极传输给整个相变区域的 RESET 操作能量为:

$$Q_{\text{total}} = U^2 \cdot t / R, \quad (3)$$

其中 U 是 PCM cell 外加偏压, t 是电阻变化前所需的工作时间, 电阻 R 设定在实验值 $\sim 10^3 \Omega$ 。对于图 6.10 中点 1 (2.5 V, 400 ns)、点 2 (2.15 V, 230 ns)、点 3 (1.7 V, 140 ns) 以及点 4 (1.15 V, 130 ns), 计算所得 Q_{total} 分别为 $2.5 \times 10^{-9} \text{ J}$ 、 $1.1 \times 10^{-9} \text{ J}$ 、 $0.4 \times 10^{-9} \text{ J}$ 以及 $0.29 \times 10^{-9} \text{ J}$ 。由此可得各结构的 Q_{reset} 在 Q_{total} 中所占的比例分别为: 单层 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 PCM cell 为 0.28%、单层 Sb_2Te_3 薄膜 PCM cell 为 1.54%、双层 $\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 结构 PCM cell 为 0.44% 以及双层 $\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3$ 结构 PCM cell 为 1.65%。所有这些比例与 S. M. Sadeghipour 等人计算所得的结果一致^[56], 他们发现 T 型 PCM cell 中, 用于操作相变材料层内有效区域相变的能量仅为外加总能量的 0.2~1.4%。因此我们认为本节内容中假设的这个 RESET 过程热量计算的模型是值得信赖的。

在此基础上, 将热导率的因素考虑进模型中, 我们可以定性的得出与前面一致的结论即 $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Al}$ 结构具有相比 $\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{Al}$ 结构略低的 RESET 电压和更短的 RESET 操作时间。图 6.13 给出了梯度界面热导率变化模型(Graded interface model of thermal conductivity change)^[132]。梯度界面的形成被认为在薄膜层沉积过程中损耗了部分低热导率(Low κ)层内的界面区域^[132]。根据这一点, $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Al}$ 结构的有效热导率 κ_{el} (考虑进 W、PCL 和 TiN 层)为:

$$\frac{1}{\kappa_{\text{el}}} = \frac{V_{1/3-\text{GST}} - V_1}{K_{\text{GST}}} + \frac{V_{2/3-\text{ST}} - V_2}{K_{\text{ST}}} + \frac{V_{\text{TiN}}}{K_{\text{TiN}}} + \frac{V_1}{K_1} + \frac{V_2}{K_2}, \quad (4)$$

见图 6.13(b)所示。同理, $\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{Al}$ 结构的有效热导率 κ_{e2} 为:

$$\frac{1}{K_{e2}} = \frac{V_{1/3-ST}}{K_{ST}} + \frac{V_{2/3-GST} - V_1 - V_3}{K_{GST}} + \frac{V_{TiN}}{K_{TiN}} + \frac{V_1}{K_1} + \frac{V_3}{K_3}, \quad (5)$$

见图 6.13(a)所示。其中 $V_{1/3-GST}$ 、 $V_{2/3-GST}$ 、 $V_{1/3-ST}$ 、 $V_{2/3-ST}$ 以及 V_{TiN} 分别为各层的体积分数。此外 V_1 、 V_2 和 V_3 分别为 $\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3$ 、 $\text{Sb}_2\text{Te}_3/\text{TiN}$ 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 各界面的体积分数。 κ_1 、 κ_2 和 κ_3 则为对应界面的热导率。

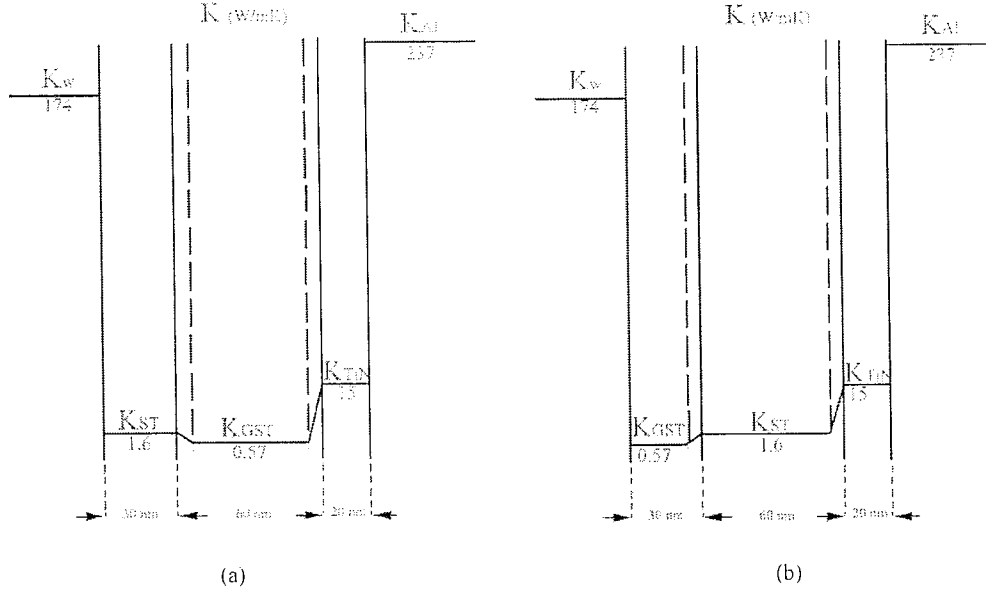


图 6.13 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 Sb_2Te_3 和 TiN 薄膜形成梯度薄膜时示意图。热导率的线性变化用界面上的直线来表示。

由于 V_i/K_i ($i=1, 2$, and 3) 的值可以由 $\frac{V_i}{K_m - K_d} \ln\left(\frac{K_m}{K_d}\right)$ 计算得到，其中 κ_m 和

κ_d 分别为界面两侧薄膜的热导率。依据以上梯度界面热导率变化模型，我们可以计算并比较两种双层结构各自的有效热导率，如图 6.14 所示。很明显， κ_{e1} 要大于 κ_{e2} ，这也就意味着在 $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Al}$ 中有着比 $\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{Al}$ 结构更快的热扩散速率，这对于 RESET 过程是有利的，而且前者在完成第一步 RESET 电阻上升时需要的能量较低，因此前者(130 ns)需要比后者更短的 RESET 操作时间(230 ns)。

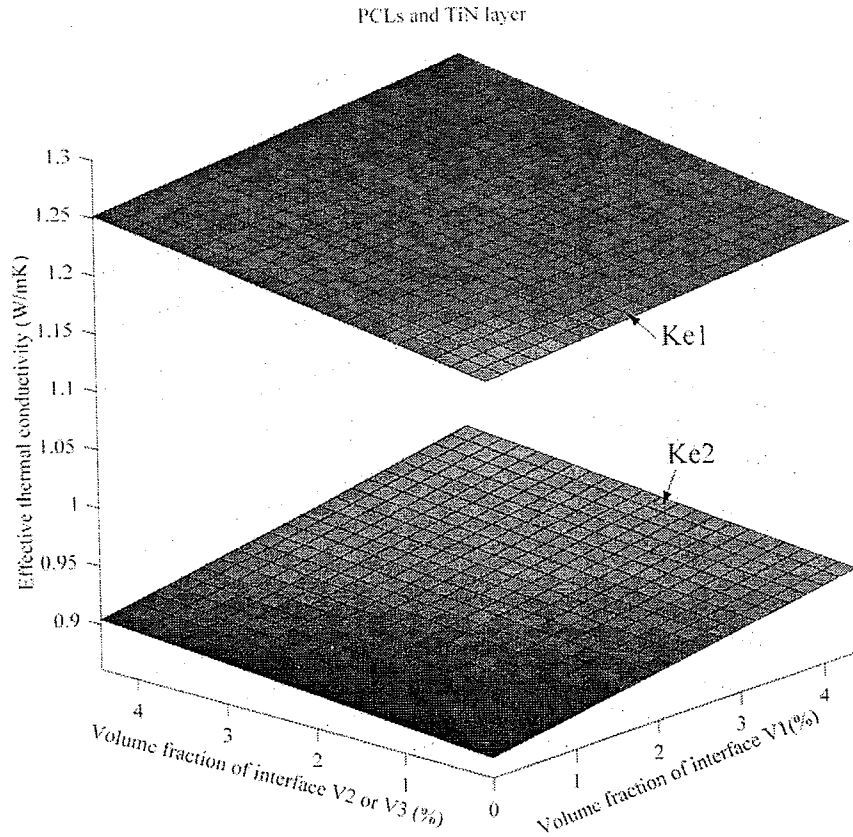


图 6.14 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 Sb_2Te_3 和 TiN 薄膜形成梯度薄膜时的有效热导率, κ_{e1} 为 $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}$ 结构

的有效热导率, κ_{e2} 为 $\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 结构的有效热导率。

6.4 小结

本章主要介绍使用 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 与 Sb_2Te_3 材料的双层薄膜结构 PCM cell 所获得的三级电阻态现象, 主要结论有:

- 1) 在使用 $\text{W}/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}$ 与 $\text{W}/\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 结构的 PCM cell 中均发现了具有两个微分负阻区域的 I-V 曲线图, 相应的在器件 RESET 过程 R-V 曲线呈现出三电阻态。
- 2) 比较双层结构和单层结构的 SET 阈值电压发现, 双层结构的阈值电压偏低, 这与结构中使用了 Sb_2Te_3 这种结晶温度较低速度较快的材料有一定的关系, 通过对双层结构进行热学模拟发现 Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的依次结晶是在 SET 过程中出现两个微分负阻区域即有中间电阻态出现的原因。

- 3) 通过建立简单的热学模型计算相变材料层内的有效相变区域, 考虑总的器件使用能量以及使用梯度薄膜热导率变化模型, 对单层和双层结构的能量需求进行了比较。

正如本章 6.1.1 节中所指出的, 许多的文献工作报告了堆垛结构能形成中间电阻态, 但大多没有给出 RESET 过程的 $R-V$ 曲线关系, 因此本章的主要研究工作都就所测得的 RESET 关系曲线进行评估, 而对于中间电阻态的获得以及中间电阻态稳定性的研究则在后面一章中详细介绍。

第七章 中间电阻态稳定性研究

7.1 引言

在第六章中已介绍使用薄膜堆垛形式可获得超过两个数据存储态,且不去考虑参考文献中报道的 PCM cell 多级数据存储能力的优劣,我们发现对于中间电阻态(多指三级数据存储态)稳定性的研究还未见报道。为此,本章考察了使用一系列操作参数[电压脉冲强度、脉宽、操作循环次数(一个循环代表 SET-RESET 或 RESET-SET 操作)]对于具有双层硫系化合物($\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$)结构 PCM cell 的影响。我们发现三级数据存储态并不是能够随意得到的,而是需要在特定的操作条件下才能实现。此外,在 Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料层之间的互扩散被证明明显地破坏了中间电阻态的稳定性。为此我们考虑在 Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料层之间植入一种扩散阻挡层来观察其对中间电阻态稳定性的改进作用。

7.2 实验介绍

具有双层相变材料薄膜结构的 PCM cell ($\text{W}/45 \text{ nm } \text{Sb}_2\text{Te}_3/45 \text{ nm } \text{Ge}_2\text{Sb}_2\text{Te}_5/20 \text{ nm TiN}$)使用磁控溅射的方法制备,各层薄膜的制备工艺与第六章介绍的相同。为了与双层结构比较,单层的相变材料薄膜结构的 PCM cell ($\text{W}/90 \text{ nm } \text{Ge}_2\text{Sb}_2\text{Te}_5/20 \text{ nm TiN}$)也一并制备。所不同的是,第六章所有结构的 PCM cell 中相变材料薄膜都是非晶态的,而此处, Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料薄膜都在 N_2 气氛下于 673K 下退火 10 分钟以将它们的初始非晶态转变为多晶态。器件的 $I-V$ 、 $R-V$ 以及循环操作特性测试使用 Keithley 2400 数字信号源以及 Agilent-4155B 参数分析仪测量。相变材料薄膜层之间的互扩散现象使用 XPS 深度成分剖析来表征。

7.3 PCM cell 的电学性能

图 7.1 给出了所制备 PCM cell 的截面示意图和 SEM 照片。其结构与第六章介绍的一致。图 7.2 则比较单层与双层结构 PCM cell 的 $I-V$ 曲线的不同。此类

曲线使用传统的 dc 扫描模式获得。随着电流强度的增加, PCM cell 的电阻开始缓慢的降低。在低压时电阻表现为高阻态($\sim 10^6 \Omega$)。当电压达到阈值电压(V_{th})时, 电学的突然转变(electrical switching)发生, 伴随着电压值的突然减小(snap-back), 电流强度突然升高。在单层结构的 PCM cell 中, 通常只有一个 snap-back 存在, 器件电阻由高阻态(HR)转变为低阻态(LR), $10^3 \sim 10^4 \Omega$ 。然而在双层结构的 PCM cell 中却发现了两个电压的 snap-back, 这预示着器件操作过程中可能存在另外的一个中间电阻态, $10^5 \sim 10^6 \Omega$ 。此中间态可以被用来作为第三个数据存储态—“2”。

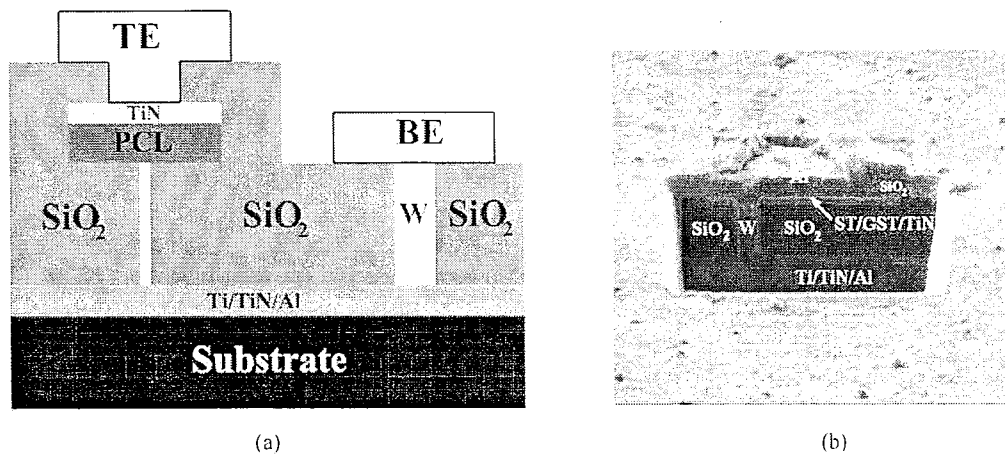


图 7.1 双层相变材料薄膜结构的 PCM cell 截面示意图(a)以及 SEM 照片(b)。

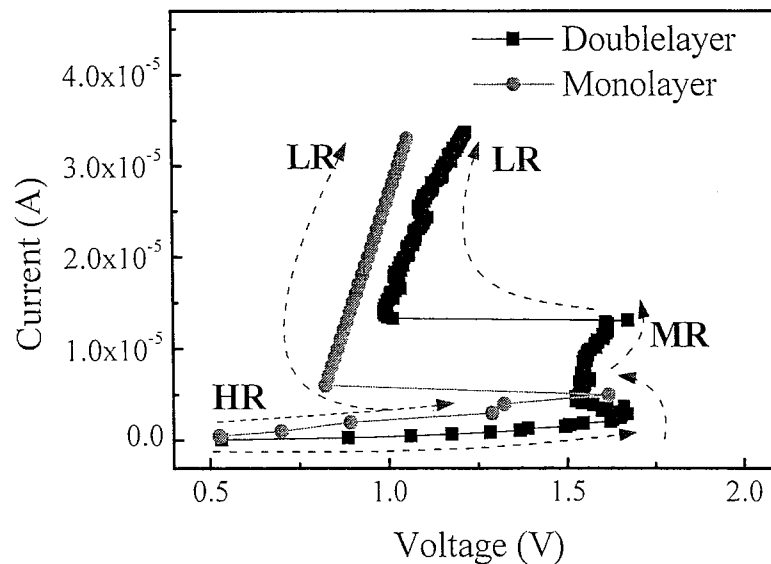
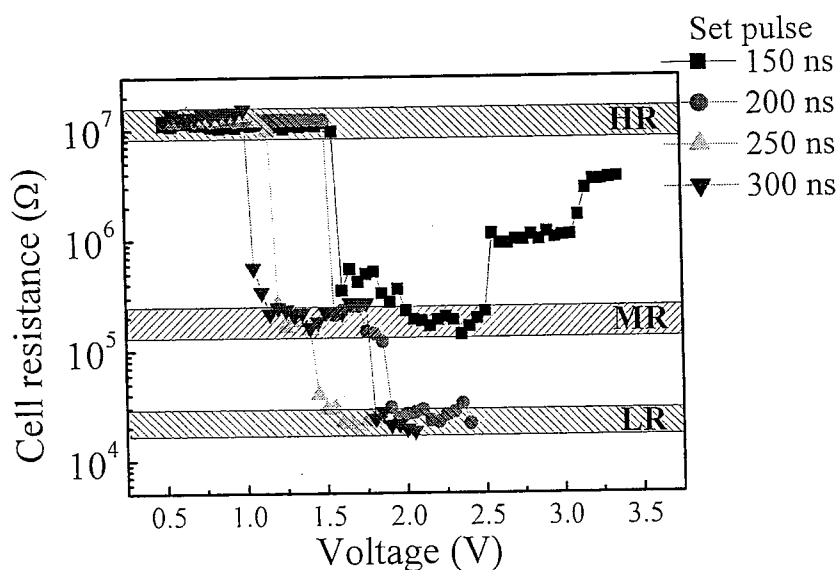
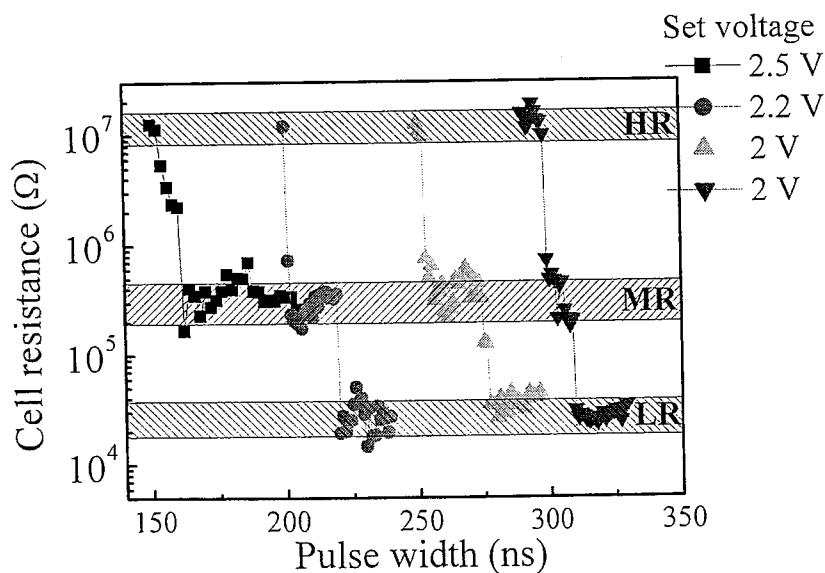


图 7.2 单层与双层结构 PCM cell 的 I—V 曲线图。

若要将此中间存储态用于数据存储,要求此电阻态应该是可操作的、稳定的以及可靠性高的。如图 7.3(a)和(b)所示,电压脉冲在短脉宽条件下(如 150 ns)已经可以在 2 V 左右将 HR 转变为 MR,但 LR 态却不能达到。在较宽的脉冲作用下(200—300 ns),器件则能够由 MR 迅速抵达 LR 态,而且 HR—MR 操作的 SET 电压值也随之减小。因为随着脉冲宽度的增加,硫系化合物的结晶电流呈下降趋势^[83],因此在操作电流下降的同时就能获得更低的 SET 操作电压。



(a)



(b)

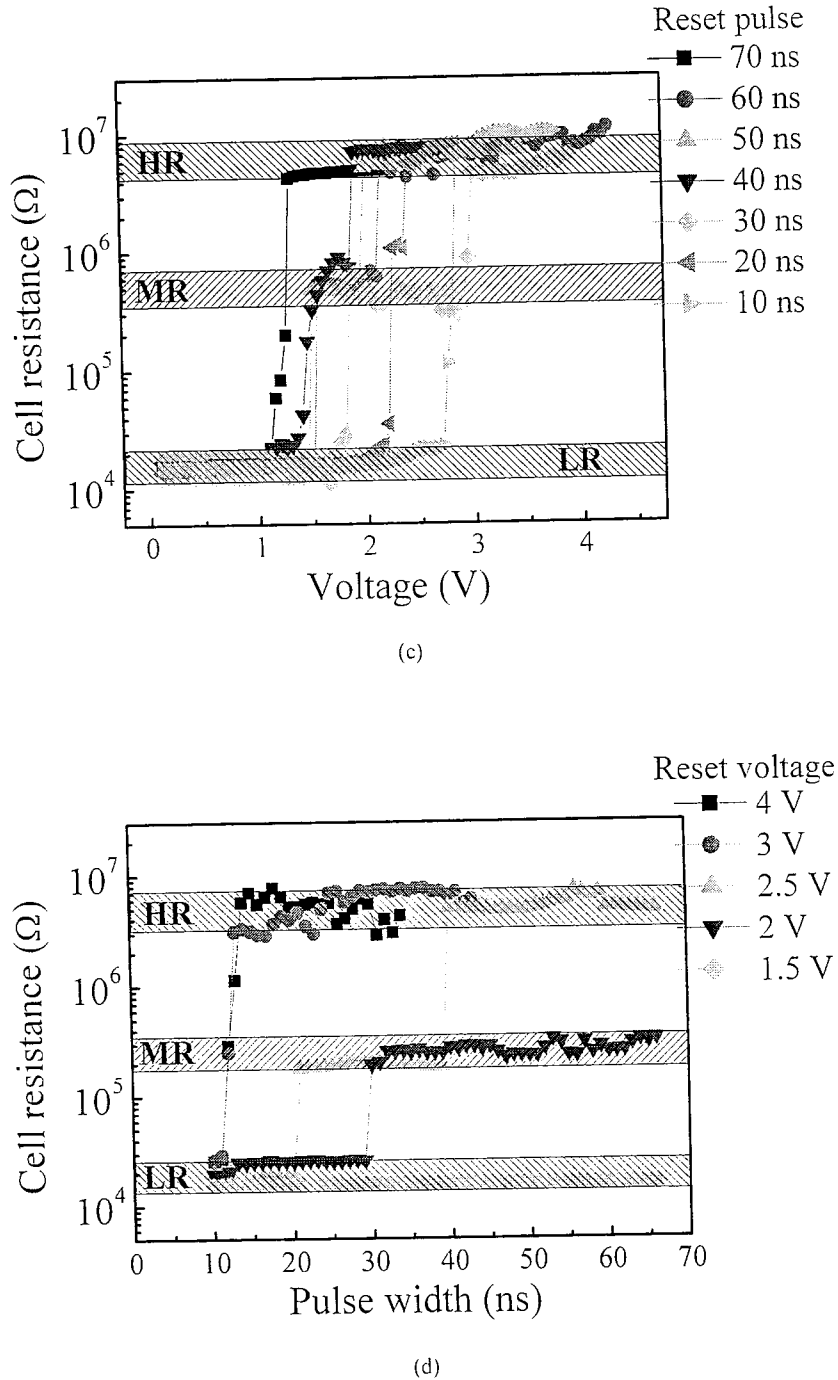


图 7.3 双层相变材料薄膜结构 PCM cell 的 R-V 曲线: (a)不同 SET 脉宽, (b)不同 SET 电压, (c)不同 RESET 脉宽以及 (d)不同 RESET 电压。

进一步来说, 当使用 300 ns 的 SET 脉冲时, 我们能获得最宽的中间电阻态台阶, 如图 7.3(a)所示, 这就为中间数据态的存储提供了一个足够的电压操作区间(接近 0.7 V)。宽的电压操作区间对于中间电阻态操作的可控性与可靠性是有

利的。

与此同时,我们发现脉冲宽度和强度同时决定了 RESET 过程中中间电阻态的出现。当我们从 10 ns 为起点来增加脉冲宽度,中间电阻态在 30 ns 时开始出现[最宽的可操作电压区间,如图 7.3(c)所示],但其后随着脉冲宽度的增加,中间电阻态台阶逐渐变窄最后在 70 ns 彻底消失。同样值得注意的是,RESET 的操作电压值随着脉冲宽度的增加也在减小。这一结果表明,当操作电压脉冲脉宽较窄时,则需要较高的电压强度来将相变薄膜层内的相变区域加热到熔点以激发相变。然而在较低的电压条件下(如 1.5 V),电阻的升高现象并没有发生,当电压强度增加到 2—2.5 V 时,一个稳定的 MR 台阶出现了,如图 7.3(d)所示。但 LR 却能在更高的电压时(3—4 V),跳过 MR 直接转变到 HR 态。

已经有报道指出,阈值转变现象(threshold switching effect)可以被看作是半导体薄膜层内发生的一种电学现象,此类现象存在两种互竞争的机制:1) 场激发辅助下的载流子浓度决定的产生机制,2) 与之竞争的缺陷捕获载流子的复合机制^[134]。我们认为对于类 p 型半导体 Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$,由碰撞电离所致的载流子产生与缺陷捕获的载流子复合机制,同样在电压的 snap-back 现象中起了主导作用^[50]。因为 Sb_2Te_3 材料(300 K 时为 0.21 eV)^[135]相比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料(300 K 时为 0.5-0.79 eV)^[136]具有更窄的带隙,因此前者应该需要更少的能量来激发二次电子以填满所有的缺陷态。所以, Sb_2Te_3 相比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 更容易将其电子的伪费米能级移近导带底。所以一旦达到 V_{th} ,相比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$, Sb_2Te_3 能在更低的外加偏压作用下出现 snap-back 现象。另外, Sb_2Te_3 有比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 更快的结晶速度和更低的结晶温度^[16](见表 6.2)。考虑到这些因素,我们认为 Sb_2Te_3 会比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 需要更少的能量来促使 SET 过程中的结晶。换句话说,增加脉宽以降低脉冲电压强度的操作方式对于确保在 Sb_2Te_3 层中率先实现结晶而不导致 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层完全晶化是很有帮助的。其后随着电压强度的增加, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层则可以完成后续的结晶过程。这种有序的结晶过程对于实现一个稳定的 MR 态是有利的,如图 7.3(a)所示。考虑到 Sb_2Te_3 (889 K)^[129]具有与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (905 K)^[112]接近的熔点,在高强度电压脉冲或长脉冲(低压)作用下,将会很难分辨其熔化的顺序。因为使用高偏压或加热长时间可能会同时熔化两晶态层,致使器件电阻值直接从 LR 跳过 MR 直接抵达 HR 态,如图 7.3(c)和 7.3(d)所示。适中的电压强度(至少大于

Sb_2Te_3 的 RESET 操作电压)和合适的脉冲宽度是有利于形成稳定的 MR 台阶的。

值得指出的是, 理想化的结晶或熔化有序过程在实际操作时并不容易获得。因为当热量在初始集中于下部硫系化合物层以促发相变时, 一部分热量会扩散至上层。有理由推断上层薄膜内部的某些微观区域也会发生潜在的相变, 而这可能会模糊三个电阻态之间的分辨率。反之, 减少对于上部相变薄膜的热干扰对于形成一个稳定且宽的 MR 台阶是有利的。所以说, 具有显著物理特性(如结晶温度、熔化温度, 热导率和电阻率)差异的硫系化合物材料是可以考虑被用于实现多级存储的。同时, 通过掺杂以有效且灵活的改变材料的物理特性正是硫系化合物的优点。基于这些性能有别的材料, 采用合适的操作参数将可以在更大的操作范围内实现对 MR 态便利的有效控制。此外 MR 态可靠性的改进同样与各层硫系化合物材料的稳定性的提高密切相关。

7.4 中间电阻态的稳定性

图 7.4 给出了各电阻态的循环操作的疲劳特性。MR 态在 $1 \times 10^5 - 1.5 \times 10^5$ 次操作后开始不稳定, 其后电阻只能在 HR 和 LR 之间变换。

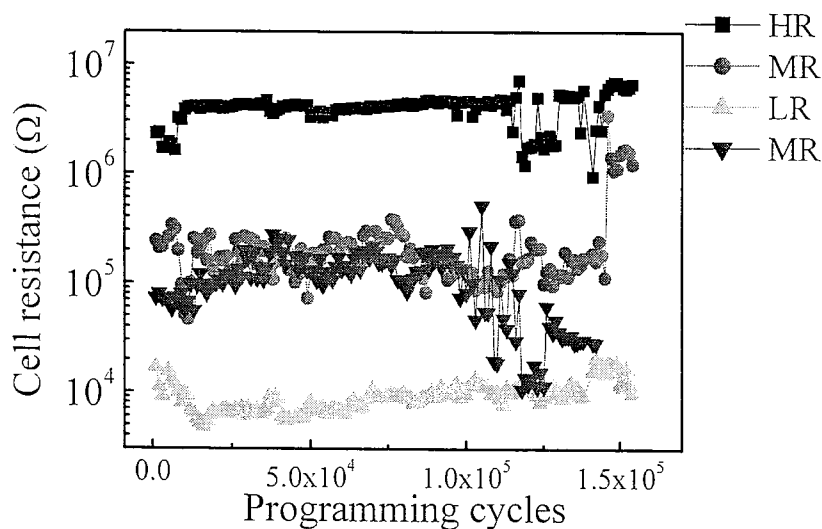
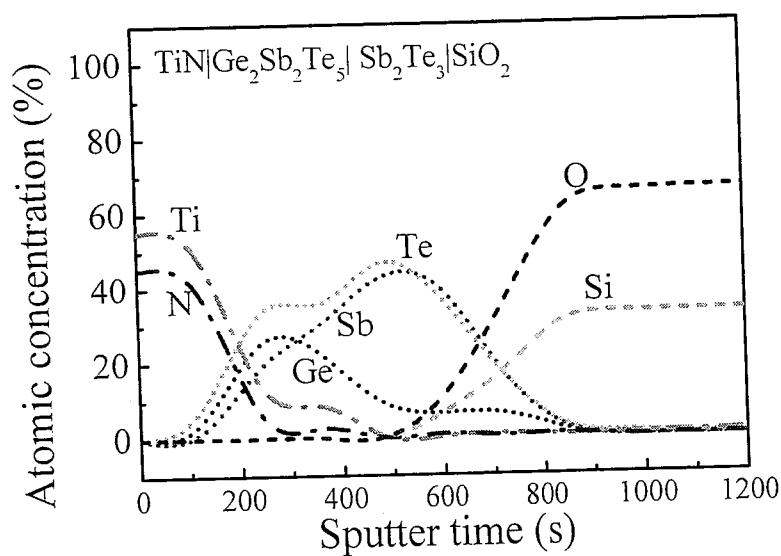
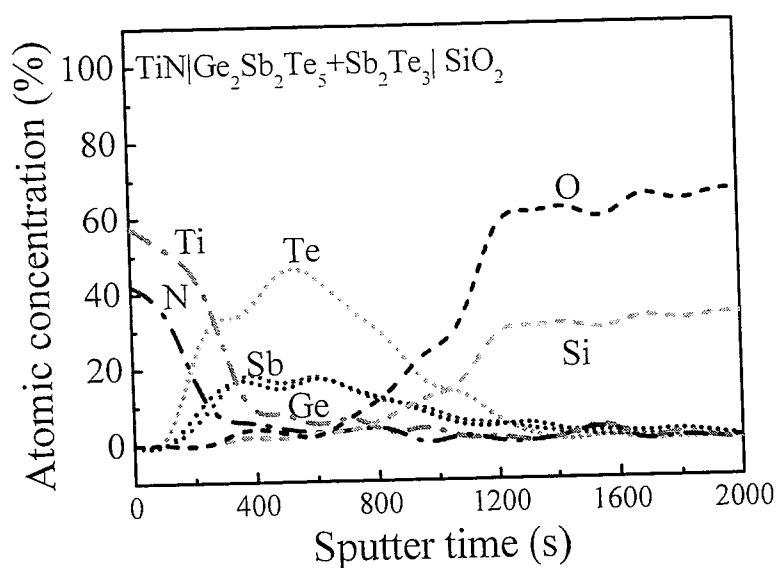


图 7.4 双层结构 PCM cell 的循环操作疲劳特性曲线。HR 和 MR 态之间的循环使用 2 V 脉高、300 ns 脉宽测试 SET 过程, 3 V 脉高、30 ns 脉宽测试 RESET 过程; MR 和 LR 态之间的循环使用 1.7 V 脉高、300 ns 脉宽测试 SET 过程, 2 V 脉高、50 ns 脉宽测试 RESET 过程。



(a)



(b)

 图 7.5 TiN/Ge₂Sb₂Te₅/Sb₂Te₃/SiO₂/Si 结构的 XPS 深度剖析谱: (a) 673 K 和(b) 873 K。

图 7.5(a)和(b)为 TiN/Ge₂Sb₂Te₅/Sb₂Te₃/SiO₂/Si 结构的 XPS 谱的深度剖析曲线, 分别为在 N₂ 气氛下于 673K 和 873K 退火 10 分钟。轻度的互扩散在 673K 时已经出现。这时的 PCM cell 依然可以实现三级存储机制。但在 873K 时(略低于熔点)两层薄膜之间发生严重的互扩散, 致使两层薄膜转变为单一的非化学计

量比的硫系化合物层。也就是说, 当对 PCM cell 循环操作接近 10^5 次后, 两层薄膜之间必然会有互扩散现象发生。此类非化学计量比的硫系化合物薄膜, 同其它单层薄膜一道一般只能表现出两个电阻态, LR 和 HR 态, 稳定的 MR 态则基本不能得到。

7.5 TiN 防扩散薄层

既然 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 薄膜层之间的元素互扩散会导致中间电阻态的循环操作疲劳特性不佳, 那么在此两层相变材料之间植入一种抑制互扩散的材料薄层应该是解决此问题的可行方法。Y. F. Lai 等在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Si}_x\text{Ge}_2\text{Sb}_2\text{Te}_5$ 两层薄膜之间就植入了 5 nm 厚的 W 薄层以抑制 Si 元素在两层之间的扩散^[106], 但本研究小组发现 W 电极通过溅射法沉积在相变材料层(Sb_2Te_3)之上时, 它们之间的界面会出现严重的脱附、分层(Delamination)现象^[137], 如图 7.6 所示。而且证实在 Sb_2Te_3 与 W 之间再加入一层 TiN 则会很好的解决此问题。因此我们选择 2—3 nm 厚 TiN 薄层作为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 两层材料之间的抑制扩散层。这也考虑到 TiN 本身具有较好的热稳定性, 不与相变材料发生反应, 且电阻率较低不会大幅度提高器件的电阻, 还具有一定的热导率, 不会妨碍热量在两层薄膜之间的传输。

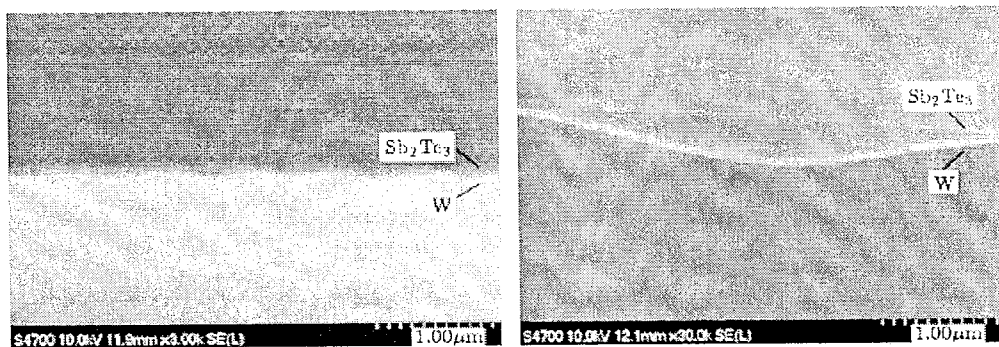


图 7.6 W 与 Sb_2Te_3 之间接触不好出现脱附现象的 SEM 照片^[137]。

我们同样使用 XPS 深度成分剖析来了解 TiN 作为防扩散层的功效如何, 见图 7.7。相比同退火条件所得的结果[图 7.5(b)], 植入 TiN 后 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 Sb_2Te_3 层之间的元素互扩散现象, 特别是 Ge 元素的扩散有了很好的抑制。

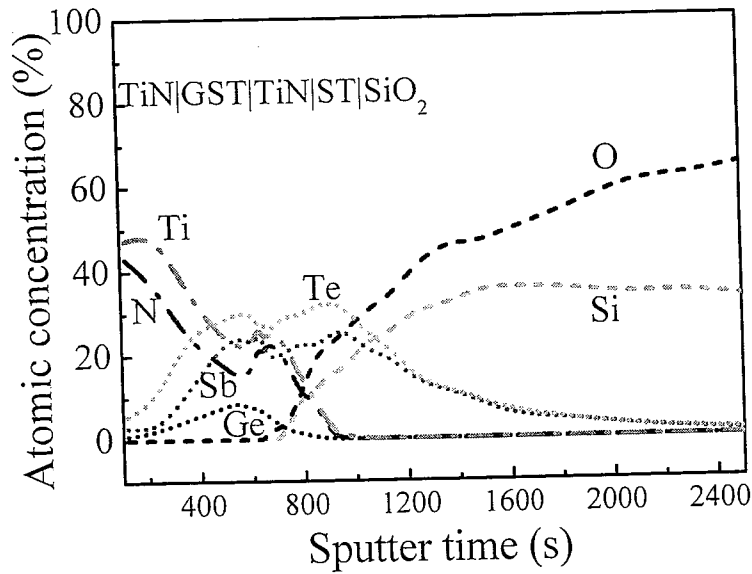


图 7.7 TiN/Ge₂Sb₂Te₃/TiN/Sb₂Te₃/SiO₂/Si 结构 873 K 退火的 XPS 深度剖析谱。

既然 TiN 的植入能有效抑制两层相变材料之间的互扩散，自然还希望了解 TiN 的植入是否会影响 PCM cell 原本具有的三态数据存储的性能，图 7.8 给出了植入 TiN 前后 PCM cell 的 SET 和 RESET 操作时的 R-V 曲线比较，可以发现植入 TiN 并没有影响中间电阻态的获得。

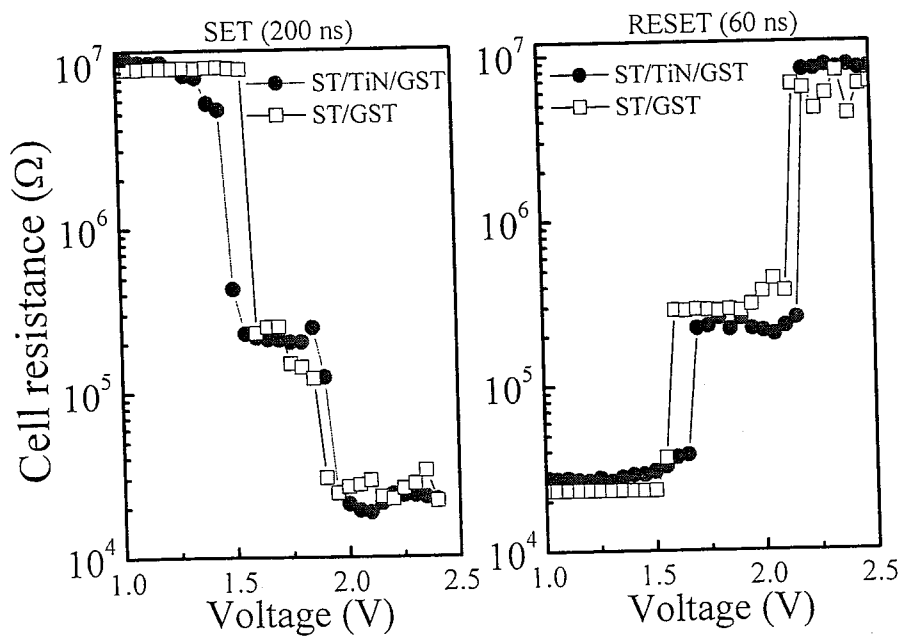


图 7.8 植入 TiN 防扩散层前后 PCM cell 的 SET(左)和 RESET(右)操作 R-V 曲线比较。

比较图 7.4 与图 7.9 中所得 PCM cell 在植入 TiN 防扩散层前后的疲劳曲线可知，中间电阻态在循环操作中数值平稳，而且寿命大大增加至约 8×10^5 次循环。而且 HR 和 LR 也都相对更加稳定。由此可见 TiN 防扩散层对于双层结构器件各电阻态的稳定性起到了促进作用。

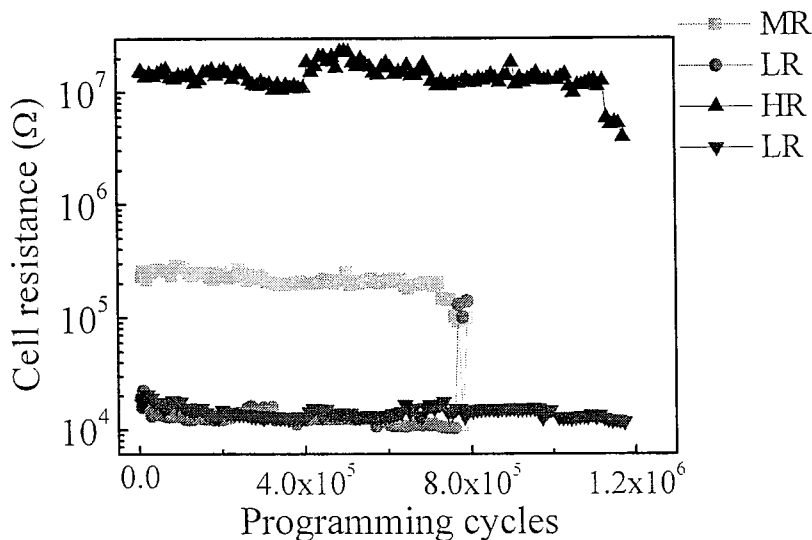


图 7.9 植入 TiN 防扩散层后的双层结构 PCM cell 的循环操作疲劳特性曲线。HR 和 LR 态之间的循环使用 2.2 V 脉高、200 ns 脉宽测试 SET 过程，2.8 V 脉高、60 ns 脉宽测试 RESET 过程；MR 和 LR 态之间的循环使用 1.8 V 脉高、200 ns 脉宽测试 SET 过程，2 V 脉高、60 ns 脉宽测试 RESET 过程。

我们使用 TEM 来观察 $\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 结构在结晶过程中界面上发生的情况，如图 7.10 所示。观察 420 K 和 460 K 退火的样品 TEM 截面照片可以发现，420 K 时， Sb_2Te_3 层内已经充分结晶，有许多深黑色结晶区域分布在 TiN 薄层左侧，而在右侧的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内则几乎还是非晶态，仅在靠近 TiN 薄层的界面处有零星的深黑色结晶微区。而在 460 K 时， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层内则已经有大量结晶区域出现。约 40 K 的结晶温度差，说明 TiN 的植入并没有影响 Sb_2Te_3 层和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层的先后结晶，这对于保证中间电阻态的获得是必要的。

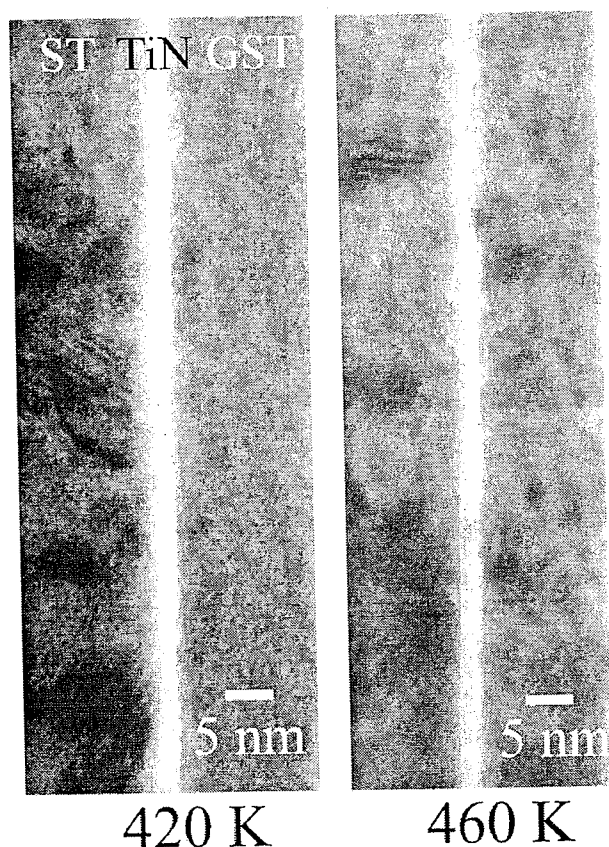


图 7.10 $\text{Sb}_2\text{Te}_3/\text{TiN}/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 结构在 420 K 和 460 K 时的 TEM 截面照片。

7.6 小结

本章主要介绍了 $\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 双层结构 PCM cell 中间电阻态产生与稳定的机制以及中间电阻态不稳定因素的解决办法，主要结论有：

- 1) $\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 双层结构 PCM cell 中能获得较稳定的中间电阻态，但此电阻态并不是随意可以获得的，调节的操作参数对于获得稳定且可控的中间电阻态是必要的。
- 2) Sb_2Te_3 层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间高温时的元素互扩散是 PCM cell 在 RESET 操作时中间电阻态消失的主要原因。互扩散导致两层性能差异的相变材料逐渐融合成非化学计量比的硫系化合物层，类似单层结构的 PCM cell，一般只能得到高、低两个阻态，中间电阻态则无法有效获得。
- 3) 我们选用 TiN 薄层植入 Sb_2Te_3 层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间作为扩散阻挡层，在高温下起到了很好的抑制元素扩散的作用，而且植入此防扩散层后器

件的三态存储特性并没有消失，并且使得中间电阻态的稳定性获得了很好的提高，循环操作疲劳特性显示其使用寿命增加了 6 倍。

第八章 总结

近些年来,相变存储器作为最有希望的下一代非易失性存储器取得了长足的发展。国际上的半导体行业巨头如 Intel、Samsung、IBM 等都在大力推进相变存储器的研制工作,本课题小组联合中芯国际集成电路制造有限公司、Silicon Storage Technology 公司、南京大学、复旦大学、上海交通大学等多家制造企业与研发高校在国内率先开展了对相变存储器从相变材料研发、器件制备与表征、芯片集成、电路设计、器件模拟等多方面的工作。

本论文主要集中于相变存储器低压、低功耗、高存储密度、器件可靠性方面的研究,取得了以下创新性结果:

- 1) 研究并开发了使用与 CMOS 工艺兼容的多晶态 WO_3 纳米薄膜作为下加热层与下加热电极的 PCM cell。发现多晶态 WO_3 材料作为性能优异的加热介质是由于其接近 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的低热导率,有效抑制了热量向底电极的扩散,降低了器件功耗;并且多晶态 WO_3 材料还具有相当理想的高温热稳定性,与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 等相变材料在高温情况下不会发生元素互扩散或固相反应,有利于提高器件循环操作时的可靠性。通过电学热学结合的数值计算,证实 PCM cell 改进前后理论电压降低的比率与实验获得的电压降低比率一致。结合二维有限元热学模型研究了 PCM cell 中植入 WO_3 加热介质后的温场分布与增温效应,并说明 PCM cell 中 $\text{WO}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 界面上残留的多晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料在 RESET 过程能被有效的非晶化,可使得器件 SET 态低阻能在较低的电压操作下升至 RESET 态高阻。
- 2) 研究了富 Si 型多晶态 SiSb_x 三种组分纳米薄膜的高温热稳定性,选取了 900 K 时表面形貌最好且表面粗糙度起伏不大的 Si_9Sb 薄膜作为 PCM cell 用下加热层。发现多晶态 Si_9Sb 薄膜与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜在高温情况下的界面存在轻微的元素互扩散现象,主要是 Si 和 Sb 元素参与。发现 SiSb_x 薄膜内部单独存在 Sb 结晶,致使界面处有微量的扩散 Sb 单质,但总体上来讲,证明了 Si_9Sb 薄膜具有较好的高温热稳定性。植入多晶态 Si_9Sb

下加热层后, PCM cell 的 SET 和 RESET 操作电压都明显降低, 类相变材料 SiSb 具有较低的热导率, Sb 的掺入使其热导率明显低于多晶 Si 的热导率, 因此在抑制焦耳热扩散方面作用明显, 提高了器件的加热效率从而降低了能耗。此结果也经热学模拟验证, 改进后的 PCM cell 在 RESET 过程中有更高的加热温度, SET 过程中更为均匀的温场有利于 GeSbTe 材料的成核生长, 降低了结晶过程所需的能量, 从而能有效降低 SET 的操作功耗。

- 3) 率先进行了对 PCM cell 内部上加热电极的研究。使用非晶态 SiGe_xN_y 材料作为 PCM cell 上加热电极以研究其对器件功耗的影响。发现对初始制备的 PCM cell 进行直流 dc 扫描时, 由于 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 与 SiGe_xN_y 薄膜均为非晶态, 虽然器件表现出电压 snap-back 现象, 但阈值电压很高, 这主要是由于非晶态 SiGe_xN_y 薄膜的高电阻导致器件 SET 操作电压偏高。在经过一个高 RESET 操作电压作用后, 器件由 $\sim 10^5 \Omega$ 的“SET”低阻态转变为高阻态, 伴随着此过程中 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 薄膜的非晶化, 非晶态 SiGe_xN_y 薄膜则转变为低阻值的晶态, 而且由于 PCM cell 操作最高温度低于的 SiGe_xN_y 材料的熔点, 晶态的 SiGe_xN_y 薄膜在后续的操作中不会可逆转变为非晶态。此晶态 SiGe_xN_y 上加热电极使得 PCM cell 的 SET 和 RESET 操作电压都明显降低, 这都归功于晶态 SiGe_xN_y 材料相比 TiN 材料更低的热导率, 有利于将热量保留在 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 层内以便获得较低的操作功耗。而另一方面热量经晶态 SiGe_xN_y 上电极不能迅速撤除, 则使得 RESET 过程中的淬火时间有所增加。经热学模拟后发现植入晶态 SiGe_xN_y 上加热电极后, PCM cell 在 RESET 过程中有更高的加热温度, 且经疲劳测试, 改进后的 PCM cell 有 $>10^5$ 次的循环使用寿命。
- 4) 研究了使用晶态 SnO_2 材料作为 PCM cell 下加热层时对器件操作的影响。发现晶态 SnO_2 材料具有比 TiN 更低的热导率和更高的电阻, 相比使用 TiN 作为下加热层, SnO_2 下加热层能更有效的降低 PCM cell 的操作功耗。晶态 SnO_2 虽然具有很高的熔点, 满足 PCM cell 中约 900 K 的高温操作需要, 但由于其在高温作用下会与 GeSbTe 材料中的 Ge 和 Sb 发生固相反应, 致使 GeSbTe 材料的组分完全发生变化, 影响 PCM cell

操作参数的一致性，固相反应生成的 GeO 极易挥发，导致器件早期失效。相比而言，虽然 TiN 下加热层不能在功耗降低上优于晶态 SnO_2 下加热层，但其热稳定性却优于后者。

- 5) 在使用 $\text{W/Ge}_2\text{Sb}_2\text{Te}_5/\text{Sb}_2\text{Te}_3/\text{TiN}$ 与 $\text{W/Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}$ 结构的 PCM cell 中均发现了具有两个微分负阻区域的 $I-V$ 曲线图，这预示着存在高低阻态之外的第三电阻态，相应的在 PCM cell 的 RESET 过程证实了三电阻态的存在。比较双层结构和单层结构的 SET 阈值电压发现，双层结构的阈值电压偏低，这与结构中使用了 Sb_2Te_3 这种结晶温度较低速度较快的材料有一定的关系，通过对双层结构进行热学模拟发现 Sb_2Te_3 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料的依次结晶是在 SET 过程中出现两个微分负阻区域的主要原因。通过建立简单的热学模型计算相变材料层内的有效相变区域，计算总的器件外加能量以及使用梯度薄膜热导率变化模型，对单层和双层结构的能量需求进行了比较。
- 6) 证实 $\text{Sb}_2\text{Te}_3/\text{Ge}_2\text{Sb}_2\text{Te}_5$ 双层结构 PCM cell 中能获得较稳定的中间电阻态，就中间电阻态的产生与稳定机制进行了解释。指出此中间电阻态并不是随意可以访问的，调节适中的操作参数对于获得稳定可控的中间电阻态是必要的。发现 Sb_2Te_3 层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间高温时的元素互扩散是 RESET 操作时中间电阻态消失的主要原因，互扩散导致两层物理性能差异的相变材料逐渐融合成非化学计量比的单层硫系化合物层，此时的 PCM cell 只能得到高、低两个阻态，中间电阻态则无法有效获得。选用 TiN 薄层植入 Sb_2Te_3 层与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层之间作为扩散阻挡层，在高温下起到了很好的抑制元素扩散的作用，植入此防扩散层后器件的三态存储特性并没有消失，并且使得中间电阻态的稳定性获得了很好的提高，循环操作疲劳特性显示其使用寿命增加了 6 倍。