

分类号_____

密级_____

UDC _____

编号_____

中国科学院研究生院 博士学位论文

应变硅材料和三维相变存储工艺研究

刘旭焱

指导老师 _____ 刘卫丽 研究员

_____ 宋志棠 研究员

申请学位级别 _____ 博 士 _____ 学科专业名称 _____ 微电子学与固体电子学

论文提交日期 _____ 2011 年 5 月 _____ 论文答辩日期 _____ 2011 年 5 月

培养单位 _____ 中国科学院上海微系统与信息技术研究所

学位授予单位 _____ 中国科学院研究生院

答辩委员会主席 _____ 郑柏存 教授

**Study of Strained Si on SGOI and 3-Dimensional PCM
Processing Technology**

Xuyan Liu

Directed by: Prof Weili Liu

Prof Zhitang Song

应变硅材料和三维相变存储工艺研究

刘旭焱 (微电子学与固体电子学)

指导老师: 刘卫丽 研究员, 宋志棠 研究员

摘 要

随着微电子工业中器件特征尺寸的不断缩小和栅氧厚度的不断减薄, 现有的体硅材料和工艺正接近它们的物理极限。应变 Si 因为它可以通过提高载流子迁移率而极大的提高器件运行速度并且和传统体硅工艺兼容等优势而迅速成为研究热门; 同时, 三维集成电路工艺因其能使单位面积芯片上器件集成度成倍提升而受到极大重视。本论文基于此开展了一系列研究工作, 获得的主要结果如下:

(1) 提出了 Ge 浓缩后退火工艺的改进, 获得了组分更加均匀、位错密度极低的超薄 SGOI 材料, 首次解决了浓缩工艺中 Ge 聚集的问题; 利用 Ge 浓缩技术成功制备具有不同 Ge 组分的超薄 SGOI 衬底材料, 首次掌握了 Ge 组分可控的浓缩方法。

(2) 探索了应变硅材料的制备方法。使用超高真空电子束蒸发 (UHVEBE) 在 SGOI 衬底上初步获得晶格质量良好的应变硅, 应变度为 0.7%, 但应变硅薄膜并不完整; 随后采用超高真空化学气象沉积 (UHVCVD) 在较低的温度下获得了完整的应变硅薄膜, 应变度达到 1%, 相应应力 1.7GPa。制作了一批 6 寸应变硅圆片, 表征显示圆片应变硅薄膜表面平整均匀, 粗糙度低于 1nm, 符合半导体器件的制备标准。

(3) 研究了应变硅的尺寸效应, 发现应变硅材料在尺寸缩小到 300nm 以下时发生应力弛豫, 由于实际衬底超薄 SiGe 层的牵制作用, 应力弛豫相对较小; 表征了关键的器件制备工艺对应变稳定性的影响, 结果表明栅氧化、离子注入与退火工艺处理后应变 Si 应力弛豫并不明显。

(4) 针对 sSOI、SOI 和 SGOI 三种衬底, 分别进行了 n 型和 p 型 MOSFET 原型器件制备, 并进行了电学测试。结果表明, sSOI 器件中电子和空穴有效迁移率比超薄 SOI 衬底分别提高 50%和 40%。

(5) 探索了实现三维相变存储的方法, 利用 SOI 的特征, 使用腐蚀自停止技

术结合低温等离子体活化键合法,首次实现单晶硅二极管到含金属字线的绝缘介质层上的转移。

(6) 基于低温等离子键合技术,采用硼氢共注入的 Smart-Cut 方法,在 300 °C 以下实现了单晶硅二极管的转移并获得了 $0.35 \text{ mA}/\mu\text{m}^2$ 的驱动电流密度。初步制备了 1D1R 的存储单元结构,为高密度三维相变存储器的开发打下了工艺基础。

关键词: 绝缘体上锗硅 (SGOI); 应变硅 (strained Si); 低温等离子体键合; 相变存储器 (PCM); 三维存储

Study of Strained Si and 3-Dimensional PCM Processing Technology

Xuyan LIU (Microelectronics and Solid State Electronics)

Directed by Prof. Weili LIU and Prof. Zhitang SONG

Abstract

With the scaling down of feature size in microelectronics industry, the silicon material and traditional process are approaching their physical limits. Strained Si has becoming one of the hotspot of studies, because of improvement of device performance that due to the enhanced carrier mobilities. Meanwhile, as a result of supplying higher density and lower interconnect delay, 3D-IC technology has attracted increasing attention. The main results of the works in this thesis are summarized as follows:

(1) Proposing and implementing an amelioration of post-annealing in N_2 ambient for Ge condensation technology, and then ultra-thin SGOI with more uniform Ge profile and low dislocation density was fabricated. The Ge accumulation problem in Ge condensation technology was firstly solved. Using this technique, different Ge concentration SGOI materials were fabricated, and we gained the SGOI fabrication method by Ge condensation with a controllable Ge composition.

(2) Exploring the epitaxial method of strained Si on SGOI. Strained Si was preliminarily obtained on SGOI by UHVEBE and had a plain strain about 0.7%. The high resolution TEM photograph showed a good crystal lattice, but the strained Si film was not continuous. The continuous strained Si film was fabricated by UHVCVD at a low temperature. The strain degree reached 1% and the relevant stress was 1.7 GPa. On that basis, a batch of 6" strained Si on SGOI wafers was fabricated. Characterization revealed that the strained Si film had a uniform thickness and a smooth surface (RMS roughness < 1 nm).

(3) The dimensional effect of strained Si was evaluated. When the patterned

strained Si size scales down to <300 nm, strain relaxation occurs. However, strain relaxation was small, because the ultrathin virtual substrate SGOI supplied an interlocked impact. For device fabrication, key processes including gate oxidation, ion implantation and RTP (Rapid Thermal Process) were handled to investigate the strain stability of strained Si film, respectively. UV-Raman spectra indicated that the strain relaxation was not obviously.

(4) Based on the studies above, n- and p- MOSFETs were fabricated on three substrates: strained Si, SOI and SGOI. Electrical tests indicated that the electron and hole mobility values in the strained-Si MOSFET's are enhanced by 50% and 40% compared to devices fabricated in the control samples (SOI) and bulk Si.

(5) In order to realize the 3D PCM, a method named self-stopped etch technique was developed, which used the properties of SOI structure. Combined with the low temperature plasma-activated wafer bonding technique, single crystal diode arrays were firstly transferred to the SiO₂ surface with metal word lines (WL) and small W plug arrays inbedding, which was used here to simulate the IC chip.

(6) Plasma activation and B⁺/H⁺ co-implantation are used in wafer bonding and Smart-Cut to transfer the single crystal diode layer at a low temperature (<300 °C) instead of more than 450 °C. Single crystal diode arrays are then fabricated and tested. A drive current density of 0.35 mA/μm² is gained. At last, the 1D (diode) 1R (phase change material resistance) memory cell arrays are fabricated, which lays the foundation for the development of high density 3D PCM.

Keywords: SiGe-on-Insulator (SGOI), strained Si, Low temperature plasma activated bonding, phase change memory (PCM), 3D memory

目 录

摘 要	I
Abstract.....	III
第一章 前言	1
§ 1.1 引言	1
§ 1.2 基于 SOI 的应变 Si 技术	2
§ 1.2.1 SOI 技术.....	2
§ 1.2.2 SiGe 技术	5
§ 1.2.3 应变 Si 技术.....	6
§ 1.2.3.1 应变 Si 基本原理	7
§ 1.2.3.2 应变 Si 的优势	10
§ 1.2.3.3 获得应变 Si 的方法	11
§ 1.2.3.4 应变 Si 的发展现状	14
§ 1.3 三维相变存储工艺	15
§ 1.3.1 三维集成概述	15
§ 1.3.2 三维集成中的键合工艺	18
§ 1.3.2.1 键合的分类	18
§ 1.3.2.2 直接键合的原理	19
§ 1.3.2.3 直接键合晶圆的要求	21
§ 1.3.3 相变存储器	22
§ 1.3.4 三维相变存储技术	23
§ 1.4 本论文工作	25
第二章 用于应变硅外延的 SGOI 材料制备	27
§2.1 SGOI 的制备方法	27
§2.1.1 注氧隔离 (SIMOX) 法	27
§2.1.2 晶圆键合法	28
§2.1.3 Ge 浓缩法.....	29
§2.2 后退火工艺优化制备 SGOI.....	30

§2.2.1 背景	30
§2.2.2 实验流程	32
§2.2.3 材料表征	33
§2.2.3.1 AFM 测试	33
§2.2.3.2 X 射线四晶衍射	35
§2.2.3.3 TEM 观察	38
§2.2.3.4 Raman 测试	40
§2.2.4 结果分析	40
§2.3 Ge 组分可控的 SGOI 制备研究	41
§2.3.1 实验过程	41
§2.3.2 结果与分析	42
§2.4 本章小结	44
第三章 SGOI 上应变 Si 材料的制备和表征	45
§ 3.1 引言	45
§ 3.2 应变硅材料的制备探索	45
§ 3.2.1 电子束蒸发(EBE)制备应变硅材料	45
§ 3.2.1.1 实验流程	45
§ 3.2.1.2 样品表征	46
§ 3.2.1.3 应变平台与薄膜不完整	49
§ 3.2.1.4 原因分析与解决方法	51
§ 3.2.2 UHVCVD 制备应变硅材料	53
§ 3.2.2.1 实验流程	53
§ 3.2.2.2 表面形貌	53
§ 3.2.2.3 晶体质量	54
§ 3.2.2.4 元素分布	56
§ 3.2.2.5 应变测量与分析	57
§ 3.3 六英寸 sSOI 晶圆制备与表征	58
§ 3.3.1 制备方法	58
§ 3.3.2 sSOI 晶圆表征	59

§ 3.3.2.1 SEM 观察和 AFM 测试	59
§ 3.3.2.2 sSOI 样品 XRD 曲线	61
§ 3.3.2.3 sSOI 截面 TEM 观察	62
§ 3.3.2.4 sSOI 晶圆 Raman 表征	63
§3.4 本章小结	65
第四章 应变硅尺寸效应以及 MOSFET 的制备和表征	66
§ 4.1 应变 Si 尺寸效应	66
§ 4.1.1 背景	66
§ 4.1.2 实验过程	67
§ 4.1.3 Raman 表征与分析	68
§ 4.2 主要器件工艺对应变的影响	71
§ 4.3 N/P MOSFET 器件制备	73
§ 4.4 器件测试与结果分析	74
§ 4.5 本章小结	76
第五章 三维相变存储工艺的研究	77
§ 5.1 引言	77
§ 5.2 低温等离子活化键合	79
§ 5.2.1 低温等离子活化 Si-W 键合	80
§ 5.2.2 低温等离子活化 Si-小电极样品键合	84
§ 5.3 利用腐蚀自停止技术转移单晶二极管	85
§ 5.3.1 腐蚀自停止技术方案	85
§ 5.3.2 实验过程	87
§ 5.3.3 测试与分析	89
§ 5.4 利用改进型智能剥离技术实现低温三维堆叠	90
§ 5.4.1 智能剥离(Smart-Cut)	91
§ 5.4.2 实验过程	91
§ 5.4.3 结果与分析	95
§ 5.4.3.1 转移薄膜表征	95
§ 5.4.3.2 纳米电极上的单晶二极管	97

§ 5.4.3.3 二极管电学测试	99
§ 5.4.4 相变存储单元结构的实现	102
§ 5.5 可用于三维相变存储的 PCM-SiO ₂ 键合	103
§ 5.6 本章小结	106
第六章 总结	108
参考文献	110
发表学术论文目录	122
致谢	124
个人简历	125

第一章 前言

§ 1.1 引言

自 1947 年晶体管的发明以来,微电子产业的发展日新月异,极大地改变了世界的面貌,微电子产品已经使用到生产生活的方方面面。正如最近美国工程技术界评出 20 世纪世界最伟大 20 项工程技术成就中第 5 项电子技术时谈到,“从真空管到半导体、集成电路已成为当代各行各业智能工作的基石。”2010 年半导体工业全球产值高达 2980 亿美元,比 2009 年增长了 31%,保守预计 2011 年这个数字将达到 3218 亿美元[1]。一直以来,芯片制造业遵循摩尔定律向大尺寸晶圆、更小特征尺寸和高密度方向不断发展。随着芯片制造技术进入到 90nm 节点并不断推进到 65nm、45nm 甚至于 32nm,经典的 MOSFET 等比例缩小技术遇到了光刻工艺限制、栅氧厚度极限以及漏电流增大等种种障碍[2],迫切需要新材料、新工艺、新结构的开发来保证微电子工业的持续发展。

结合各种新技术比如应变硅、高 k 栅介质和难熔金属栅等, Intel 在 2007 年推出 45 nm 芯片[3, 4],又在 2009 年推出新一代 32 nm 芯片组产品[5],目前,22nm 芯片的推出正在进行中[6]。MOSFET 等比例尺寸缩小的纳米化进程,一些传统工艺逐渐被抛弃,如果要维持摩尔定律,必须要从材料、工艺和器件结构上进行创新。在材料创新方面提出如:“衬底工程”中的 SOI (Silicon-On-Insulator)、SiGe、应变硅[7, 8]以及混晶技术[9, 10];还有沟道材料选择更高迁移率的 Ge 材料或 III-V 族材料,如 InSb, InGaAs 和 InAs 等[11]。在集成工艺方面,研究者们提出了一种三维(3D)的芯片集成结构,将多层 CMOS 芯片利用硅通孔(Through-Silicon Vias, TSV)技术进行立体集成,从而可以极大的提高芯片工作带宽和存储器容量[12, 13]。不过 TSV 技术存在着工艺复杂度增加、高成本、穿孔造成的面积浪费以及功耗的平衡和芯片散热等问题。总的来说,衬底材料的革新主要是为了提高速度和减少漏电,而 3D 集成技术主要是可以大大提高芯片集成密度。

结合课题组 SOI 和相变存储器的优秀研究基础[14, 15],本论文的主要工作将涉及 SOI 上的应变硅技术和三维相变存储工艺,分别从高速和高密度两个技术推动角度来展开研究工作。为了获得更好的性能,二者的一个共同特征是绝缘层上

实现单晶材料的堆叠。本章将首先简单介绍这几项技术,回顾近年来的研究进展,然后引出本论文的具体工作内容。

§ 1.2 基于 SOI 的应变 Si 技术

集成电路(IC)特征尺寸缩小到纳米尺度后,必须采取措施提高沟道内载流子迁移率,以弥补沟道高掺杂引起的更显著的库仑相互作用,以及栅介质变薄引起的有效电场强度提高和界面散射增强等因素带来的迁移率退化。最新的国际半导体产业技术发展蓝图(ITRS)2009 预测[16],未来几年内仍然会广泛应用应变硅(Strained Silicon)技术来提高沟道迁移率,后续可能会选择更高迁移率的 Ge 或 III-V 族材料,如图 1.1 所示;同时,SOI 技术的各种优势也使其被 ITRS 列入未来几年继续使用的技术之一。

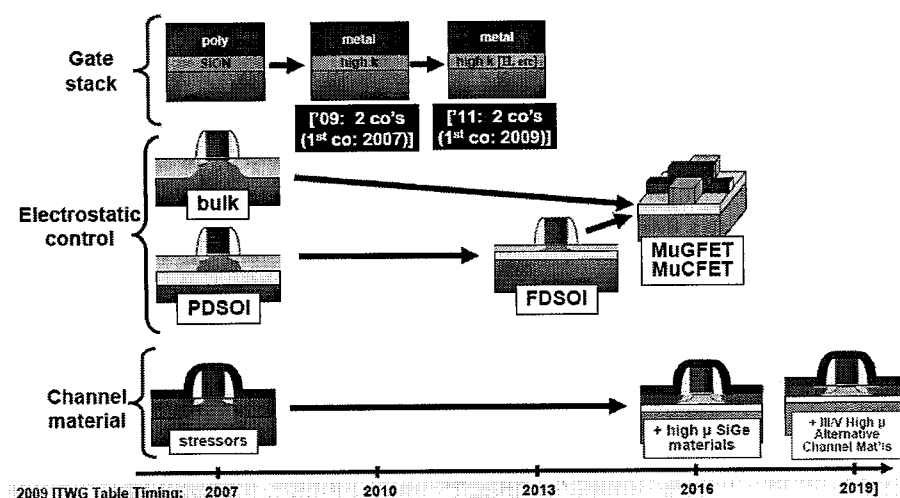


图1.1 ITRS2009给出的未来器件栅材料、器件结构及沟道材料

§ 1.2.1 SOI 技术

SOI (Silicon-on-Insulator)指的是绝缘层上的硅。与体硅材料相比较,SOI 具有许多独特的优越性。SOI技术被国际上公认为“二十一世纪的硅集成电路技术”,它是一种在硅材料与硅集成电路巨大成功的基础上出现的、有独特优势、能突破硅材料与硅集成电路限制的新技术[17]。其基本结构如图 1.2 所示[18]。

由于减少了寄生效应，SOI 具有许多体硅不可比拟的优点：

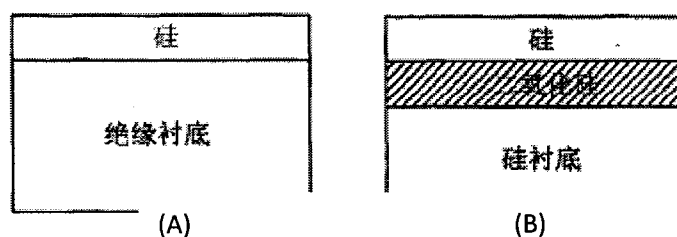


图 1.2 SOI 材料基本结构示意图

(1) 降低短沟道效应

短沟道效应是器件尺寸的减小引起的二级效应，可能导致阈值电压减小，亚阈特性退化和热载流子效应，从而引起器件性能的严重退化。薄膜全耗尽 SOI MOS 比体硅器件有更小的亚阈值斜率，有利于减小短沟道效应等小尺寸器件的二级效应，提高器件性能。

(2) 消除 Latch-up(闩锁)效应

Latch-up 效应是体硅 CMOS 结构固有的一个负面效应，它是由 CMOS 结构内部存在的 PNP 管触发的，其原理如图 1.3：

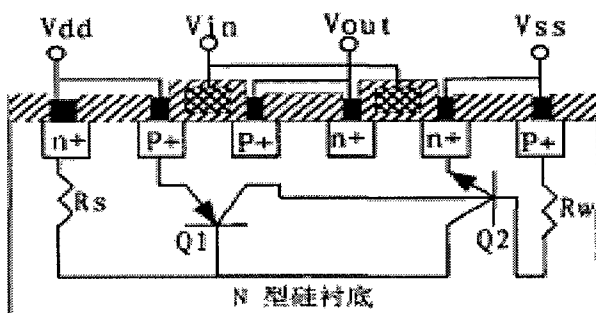


图 1.3 P 阱 CMOS 的 Latchup 效应产生原理图

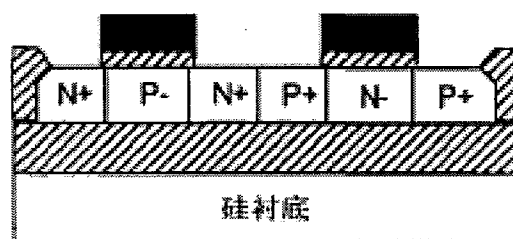


图 1.4 SOI CMOS 剖面结构

而采用 SOI 结构可以很好的消除 Latch-up 效应，图 1.4 是一个用 SOI 材料制作的 CMOS 的剖面结构，由于制作器件的硅膜和衬底之间有 SiO_2 完全隔离，使每个晶体管都完全与周围的器件隔离，从而根本上消除 Latch-up 效应。

(3) 降低源漏极电容，提高工作速度

在体硅 CMOS 中，MOS 管源、漏区和衬底形成 PN 结电容。随着器件尺寸的减小，衬底掺杂浓度的提高，PN 结电容加大，这将增大电路的负载电容，影响电路的工作速度。在 SOI CMOS 中，MOS 管源、漏区的 PN 结电容被源、漏区和衬底之间的氧化层电容取代，且由于掩埋二氧化硅比较厚，这个寄生电容

远小于 PN 结电容。另外 SOI CMOS 电路中连线和衬底间的寄生电容也由于增加了二氧化硅层而减小。表 1.1 比较了 $0.6\mu\text{m}$ 工艺的 SOI CMOS 和体硅 CMOS 中的一些寄生电容, 说明 SOI CMOS 工有利于减小寄生电容, 因而有利于提高电路的工作速度。

表 1.1 SOI CMOS 和体硅 CMOS 电容比较

电容类型	SOI	体Si	$C_{\text{SOI}}/C_{\text{体Si}}$
栅电容	36.6fF	37.6fF	0.97
NMOS管漏区寄生电容	9.5fF	18.9fF	0.50
PMOS管漏区寄生电容	7.6fF	21.6fF	0.35
多晶硅—衬底电容($10\mu\text{m}^2$)	0.43fF	0.98fF	0.44
第一层Al—衬底电容(1mm)	72.6fF	123.2fF	0.59
第二层Al—衬底电容(1mm)	63.9fF	98.4fF	0.65

(4) 低功耗

CMOS 电路工作时的动态功耗 $P=fC_LV_{DD}^2$, 由于 SOI CMOS 比体硅 CMOS 有更小的寄生电容, 因而在同样速度下将有更低的功耗。另外, SOI CMOS 电路中极大地减小 PN 结漏电和值漏电, 可以降低电路的备用功耗。因此 SOI CMOS 更适合于低电压工作。用 50nm 的薄膜 SOI 材料制作的 CMOS 分频器电路在 1V 电源电压下工作频率可达到 1.2GHz , 功耗只有 50W , 它的功耗—延迟乘积比 ECL 和砷化镓 HBT 还要小。

(5) 抗辐照

空间的辐照会影响电路的正常工作, 严重时会导致电路失效, 造成可怕的后果。由于 SOI 器件中的二氧化硅掩埋层把器件的有源区和衬底隔离, 粒子在衬底中激发的电子—空穴对不能被器件搜集, 不会影响器件的正常工作。由于 SOI CMOS 的抗辐照性能及适应于各种恶劣工作环境的特性, 使它更适合在航空航天等军事电子应用领域。

(6) 工艺简化并与传统硅工艺具有良好兼容性且集成

SOI CMOS 比体硅 CMOS 结构简单, 工艺上由于减少了器件隔离的步骤而大大简化, 而且由于没有闩锁效应, 可以进一步缩小器件之间的距离。在体硅 CMOS 反相器中 NMOS 管和 PMOS 管之间必须有一定的距离, 而在 SOI CMOS

中,反相器中的 NMOS 管和 PMOS 管的漏区可以直接靠在一起,因此在同样工艺水平下,SOI CMOS 可以比体硅 CMOS 有更高集成密度。同时,由于其 Si-SiO₂ 的多层薄膜结构便于有源器件层的堆叠,从而可以实现超高密度的三维集成电路。

当前 SOI 的主要制备方法有注氧隔离(SIMOX-Separation by Implantation of Oxygen)[19]、智能剥离(Smart Cut)[20]、键合背面腐蚀(BESOI-Bonding and Etch back)[21]、NanoCleave 技术[22]、外延层转移(ELTRAN-Epitaxial Layer TRANSfer)[23]以及 Simbond 技术[24]等。

§ 1.2.2 SiGe 技术

SiGe 就是利用同为 IV 族的 Si 和 Ge 形成金刚石结构的合金材料,如图 1.5 所示,利用其与 Si 集成工艺兼容的特征,提高 Si 集成电路中器件和电路的性能。

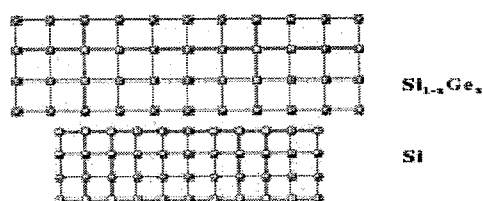


图 1.5 Si 与 SiGe 晶格示意图

表 1.2 Si、Ge 材料主要参数

项目	Si	Ge
晶格常数	5.431Å	5.658Å
直接带隙	3.4eV	0.8eV
间接带隙	1.12eV	0.66eV
介电常数	11.7	16.2
纵向电子有效质量	0.92m ₀	1.59 m ₀
横向电子有效质量	0.19 m ₀	0.08 m ₀
重空穴有效质量	0.54 m ₀	0.33 m ₀
轻空穴有效质量	0.15 m ₀	0.043 m ₀
电子迁移率	1450cm ² /V·s	3900 cm ² /V·s
空穴迁移率	450cm ² /V·s	1900 cm ² /V·s

(1) Si 和 Ge 的一些基本参数

表 1.2 为 Si 和 Ge 的一些主要参数[25],其中, Si 的导带极小值位于 X 点,

为 6 重简并；而 Ge 导带极小值位于 L 点，为 8 重简并。但它们的价带极大值都位于布里渊区中心 Γ 点，价带同时也具有简并度即含有轻、重空穴。另外它们在价带下面附近都含有自旋轨道分裂引起的带结构。价带、导带的能带结构及其在 k 空间的形状决定了材料的带隙大小和有效载流子质量。Si 的间接带隙大小为 1.12 eV，而 Ge 为 0.7 eV；这就决定了可以利用 Si 和 Ge 来形成具有带阶的能带结构。

(2) SiGe 合金材料及其应用

Ge 是 Si 的完全固溶元素，可以任意比形成合金材料 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x \leq 1$)。合金材料依然可以保持金刚石结构，其晶格常数近似为 Si、Ge 晶格常数随 x 变化的线性插值。能带结构方面，在低 Ge 组分时，导带结构类似于 Si，而高 Ge 组分时类似于 Ge，转变点在 $x=0.85$ 。

HBT(异质结双极晶体管)以及基于 HBT 的 SiGe BiCMOS 是 SiGe 当前商业应用的最主要的形式。因为 SiGe HBT 以及其集成到 Si CMOS 工艺中形成的 SiGe BiCMOS 技术使得硅基器件能够与 III-V 化合物半导体相竞争从而进入高频应用领域 [26]。

(3) SGOI (SiGe-on-insulator)

SiGe 材料的不利之处在于，由于晶格失配产生的位错将成为漏电流的通道，SGOI(绝缘体上的锗硅)新结构则结合了 SOI 和 SiGe 两种先进技术的优势，大大减少漏电，同时也产生了一些新的特性。众所周知，体硅材料上的 Si 基能带工程已经发展多年，SGOI 的出现将 Si 基能带工程拓展到了 SOI 衬底材料上，使得器件速度、功耗等性能大为提高，器件设计的灵活性也大大增强。更为引人关注的是，由于晶格结构的完全兼容性，SGOI 成为当前热门的应变硅技术的理想衬底材料。

§ 1.2.3 应变 Si 技术

应变硅是利用通过外延生长或者其它工艺的方法改变晶体的晶格结构而产生应力，从而达到改善器件性能的一种新方法。在沟道方向，晶体结构中产生的张力可以提高电子迁移率，而压力可以提高空穴迁移率，因此可以将这两种应力分别用于 NMOS 和 PMOS。图 1.6 即为一个典型的应变硅晶体管结构示意图[27]。

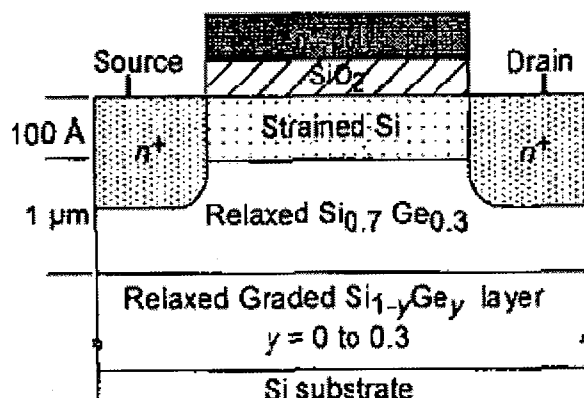


图 1.6 典型的应变硅晶体管结构示意图

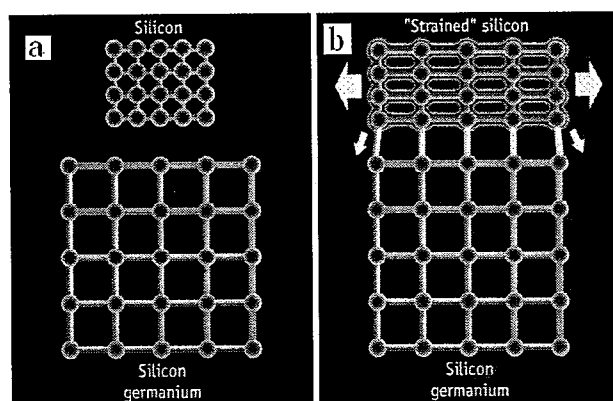


图 1.7 应变硅形成过程原子结构示意图

§ 1.2.3.1 应变 Si 基本原理

应变Si的实质是指硅晶格经过四方畸变，在某一晶格平面内具有双轴张应变的薄层单晶Si，图1.7是应变Si晶格形成的示意图。应变Si的最主要贡献在于提高MOS器件沟道载流子迁移率，其原理分析如下：

迁移率一般可以定义为[28]:
$$\mu = \frac{q\tau}{m^*} \quad (1-1)$$

其中 $1/\tau$ 为散射几率， m^* 为载流子有效质量， q 为电子电荷。要增加迁移率，就需要降低载流子有效质量和(或)散射几率。对具有张应变的Si沟道中的电子而言，目前认为有效质量和散射几率共同降低促进了迁移率的提高[29]；而对于空穴，主要是应变引入的能带分离导致空穴有效质量下降，从而提高迁移率[30]。

(1) 电子迁移率：室温下体硅导带为六重简并能谷，如图1.8，六重简并能谷

具有相同的能量，如图1.8中 Δ_6 。沿 k_x , k_y 方向有效质量相同，称为横向有效质量 $m_t=0.19m_0$ ，相应沿 k_z 方向为纵向有效质量 $m_l=0.98m_0$ ，其中 m_0 为自由电子质量。则电子有效质量 m_n^* 为[31]:

$$m_n^* = 3\left(\frac{1}{m_l} + \frac{2}{m_t}\right)^{-1} \quad (1-2)$$

在应变Si中，由于应力作用硅导带六重简并能谷分裂成两组[32]，如图1.8：一组是能量低于原来能谷的二重简并能谷，另一组是能量高于原来能谷的四重简并能谷。二重简并能谷能量 Δ_2 ，沿着 k_z 方向；四重简并能谷能量 Δ_4 ，沿着 k_x , k_y 平面。一方面，六重简并能谷分裂为低能谷 Δ_2 和高能谷 Δ_4 后，非等价能谷之间的散射几率降低，整体电子散射几率因能谷分裂而降低；另一方面，二重简并能谷能量更低，意味着多数电子将优先占据二重简并能谷，意味着有更多的具有面内横向有效质量和面外纵向有效质量的电子，结合公式(1-2)可知，有效质量 m_n^* 将减小；两方面的因素共同导致电子迁移率的增大。

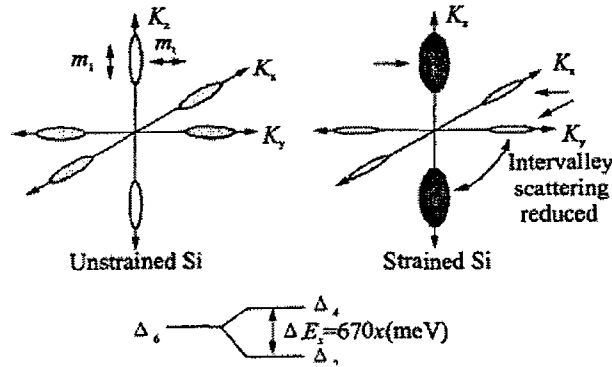


图 1.8 体硅和应变 Si 等能面结构示意图

(2) 空穴迁移率：对于空穴，由于硅价带结构比较复杂，价带的弯曲也使得在不同应变下(双轴张应变、单轴压应变)表现不同。室温下普通体Si材料中，空穴主要占据两个能带：重空穴带和轻空穴带。应变下价带能带分裂为：轻空穴带能量升高成为最高价带(空穴会优先占据，轻空穴增加，整体有效质量减小)，重空穴带能量降低成为第二价带。图1.9中给出三种最常见应变[30]：(001)平面双轴张应变、(001)、(110)纵向单轴压应变的重空穴和轻空穴 k 空间等面示意图，计算表明应力会改变价带等能面的形状，形成扭曲的价带，使得空穴在 k 空间中重新分布，且空穴沿不同方向的有效质量呈现高度各向异性。要获得沟道面内高空穴迁移率，就必须降低轻空穴带中空穴的面内有效质量，即沿沟道方向 $\langle 110 \rangle$ 价带

等能面的宽度要窄。如图1.9(c)、(d)所示,单轴(001)、(110)压应变比双轴张应变可以更有效降低沟道平面内空穴有效质量(比双轴张应力低40%以上)[29]。

在应变下空穴逐渐占据顶部能带,在应变小于1 GPa时,空穴谷间散射很难降低,因为1 GPa应力引入的能带分裂小于光学声子能 ~ 60 meV[33]。因此在低应变下,要获得高的空穴迁移率,只能在器件沟道平面内降低空穴有效质量。如果应力在大于1 GPa的情况下,则可以加大能级分裂,降低声子散射从而提高空穴迁移率,为了说明其机理,图1.10给出了简化示意图。

除面内有效质量外,态密度也是重要因素。纵向单轴压应力作用下,与图1.9(d)的(110)硅片相比,图1.9(c)中(001)硅片在沟道平面内有更高的二维态密度,使轻空穴带内保持高空穴浓度。因此,(001)硅片上纵向单轴压应力对空穴迁移率的增强效果更好。在图1.9(b)中所示双轴张应力下,轻重空穴带的能级分裂会使迁移率增强。然而实际应用中发现随着垂直电场增加,轻重空穴带分裂受到量子力学限制作用而明显减小,空穴迁移率增加幅度会降低。而对于单轴压应力,空穴迁移率在高电场下仍能保持较大的提升。这也是目前单轴应变在工业中被广泛采用的重要原因。

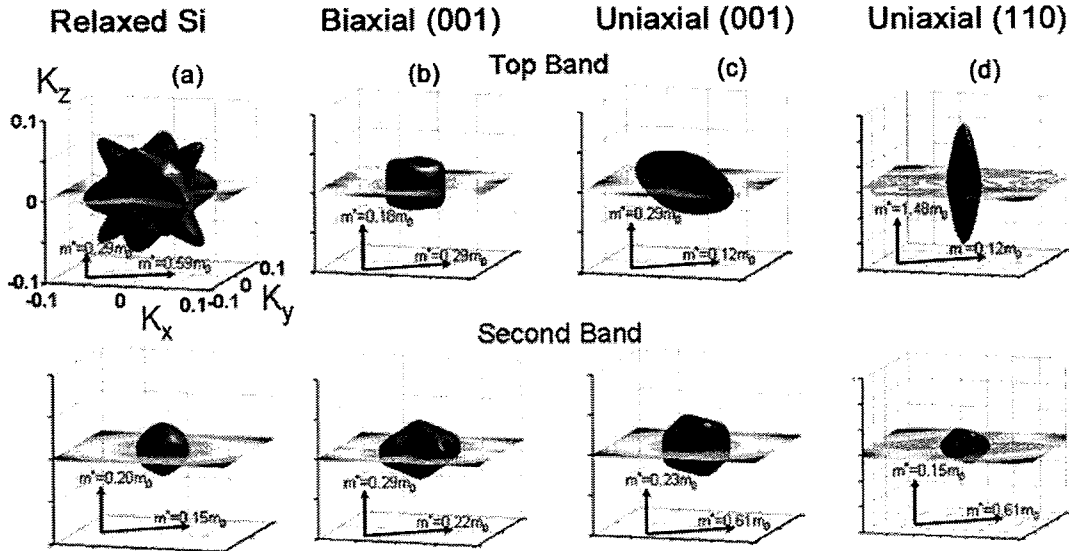


图 1.9 空穴价带及等能面示意图: (a) 无应变; (b) 双轴张应变; (c) (100) 硅片上纵向单轴压应变; (d) (110)纵向单轴压应变

此外,通过载流子在普通体Si和应变Si晶格中的传输示意图(图1.11)[14],可以更加形象地认识到应变Si具有较高载流子迁移率的原因。通过在硅中增大应力而使硅原子之间的距离增大,从而减少了载流子流动的障碍,而使载流子的迁移

更为顺畅，从而使其迁移率得到提升。

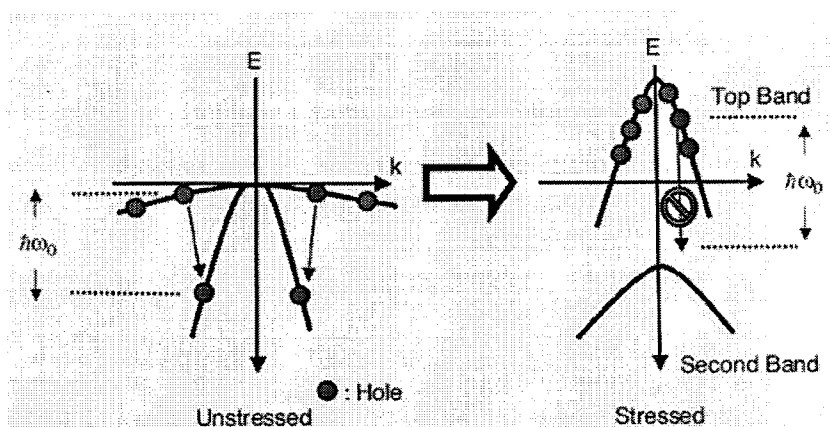


图1.10 空穴谷间声子散射过程简化示意图，要抑制散射需要增加应变使能级分裂大于光学声子能60 meV

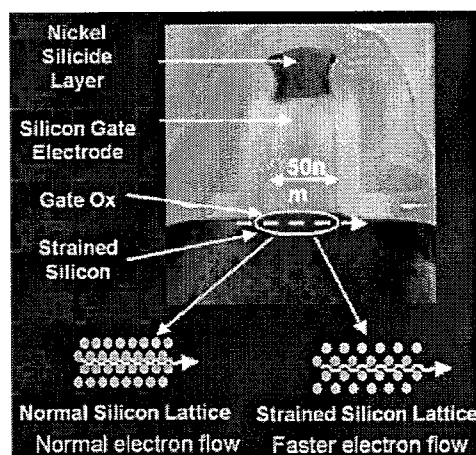


图 1.11 载流子在普通 Si 和应变 Si 的传输示意图

§ 1.2.3.2 应变 Si 的优势

应变 Si MOS 器件的优势主要体现在以下三个方面：

(1) 载流子迁移率的提高。相关因素已在前文阐述。

(2) 跨导的增加。为了评估应变 Si MOS 器件性能的好坏，我们还可以将其与体 Si MOS 器件的跨导 g_m 进行比较。从图 1.15 可以看出[34]，Ge 组分为 0.2 的弛豫 SiGe 层上制作的应变 Si NMOSFET 同对体 Si NMOSFET 器件相比较，应变 Si MOS 器件的跨导 g_m 增加 50% 以上。此外，跨导也随着应变 Si 层中张应变的增加而增加。

(3) 电流驱动能力的增加。图 1.16 是沟道长度为 $0.25\mu\text{m}$ 应变 Si MOS 器件

在阈值电压不同下漏电流与归一化栅极电压的关系曲线[35]。从此图可以看出，采用应变 Si 技术后，器件的电流驱动特性显著地增强。

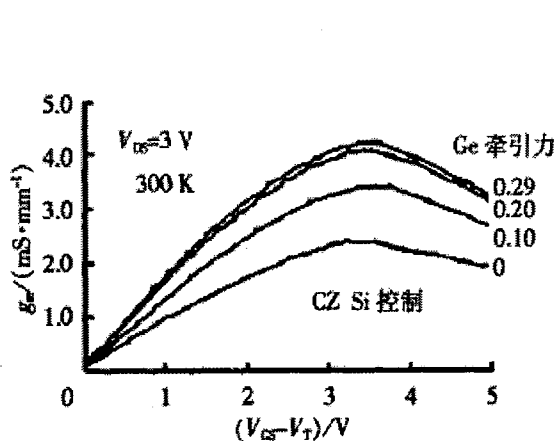


图 1.15 应变 Si MOS 器件与体 Si 跨导比较

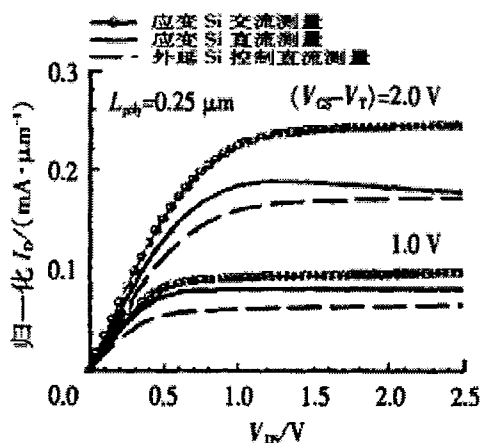


图 1.16 应变 Si MOS 器件电流驱动特性

§ 1.2.3.3 获得应变 Si 的方法

目前应力产生的途径多种多样，总的说来，应变 Si 大致可以分为两类：双轴张应变和单轴张/压应变。双轴应变即在沟道平面内的两个方向(X轴和Y轴方向)上均存在相同的应变；单轴应变是指在沟道方向的单一应变，实际上在双轴应变的Z方向自然存在单轴应变，若以Z方向作为沟道方向，则器件自然利用的是单轴应变。如果按应变存在的范围来划分：一是全局应变 Si，即在整个 Si 片表面形成一层均匀的应变 Si 层，一般就是双轴张应变；另一类是局部工艺致应变 Si，即仅在晶体管的沟道区内存在应变，其他地方没有应变，这种工艺致应变利于在沟道形成单轴应变。

(1) 全局应变(双轴)产生方法：

在双轴应变中，较早开发的是采用 Si/SiGe 的异质结构，由于 Si 材料和 SiGe 材料晶格常数的差异，在这种结构中，或者是在 Si 层中产生张应力，或者是在 SiGe 层中产生压应力，从而可以使电子和空穴的迁移率均增大。先前的技术中，在硅衬底上首先外延生长 Ge 组分渐变的过渡缓冲层，然后生长固定组分的弛豫 SiGe 层，最后生长应变硅层，如图 1.17 所示。该方法缺点是：外延成本很高；在过渡缓冲层外延完成后要增加一次化学机械抛光，以改善表面粗糙度；并且因为组分渐变 SiGe 层通过位错来释放各层晶格应力，从而导致最终 SiGe 层的缺陷密度

偏高。

另一种方法是利用Ge浓缩技术制备绝缘体上应变Si(sSOI)，该技术最早由日本Toshiba 公司的T. Tezuka 等人[36]于2001 年提出的，其基本过程如图1.18所示：

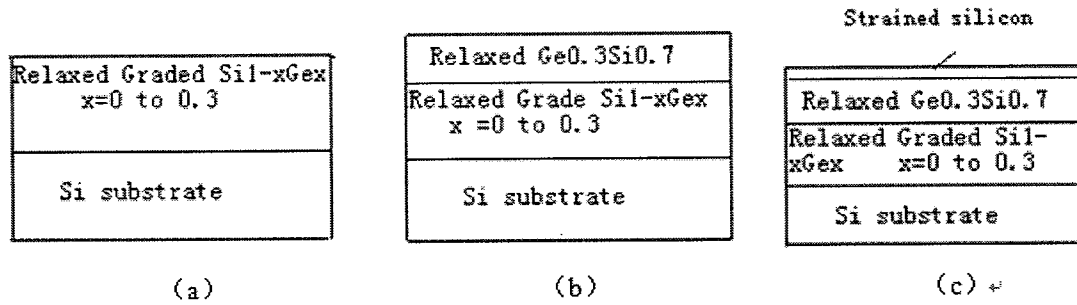


图 1.17 利用 Ge 组分渐变法外延制备应变硅

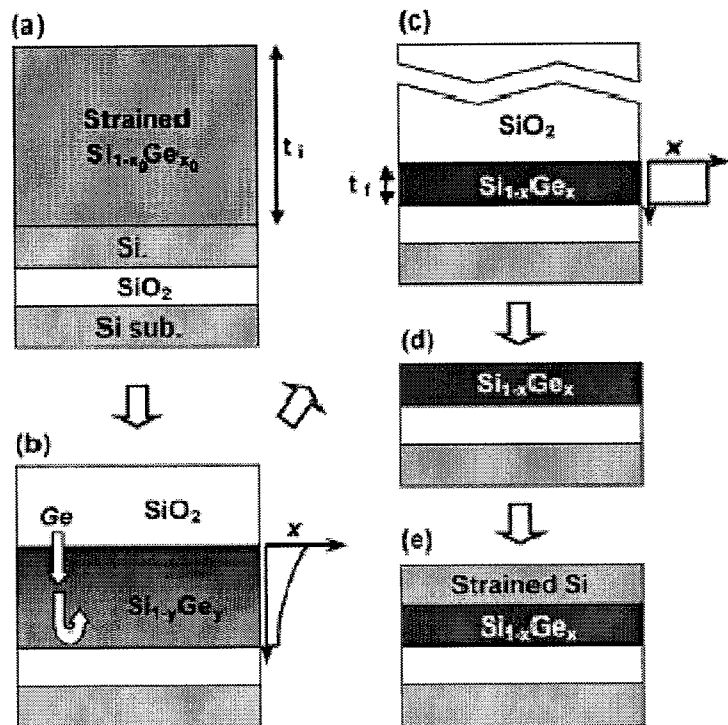


图1.18 Ge浓缩技术制备弛豫SGOI及sSOI工艺流程。

(a) 在超薄SOI 上外延生长厚度为 T_i ，Ge 组分为 x_0 的 $\text{Si}_{1-x_0}\text{Ge}_{x_0}$ 薄膜；

(b) 氧化浓缩：将整个晶片在氧气气氛中，超过 $1000\text{ }^\circ\text{C}$ 的高温下氧化退火。氧化过程中，由于 SiO_2 的Gibbs自由能比 GeO_2 低[37]，从而使Si在 SiGe 氧化过程中更易被氧化，那么Si不断的替代 GeO_2 中的Ge而生成 SiO_2 ，Ge则会被排斥出来并向下层Si中扩散。同样，因 SiO_2 对Ge的排斥作用，顶部生成的 SiO_2 和SOI的埋层 SiO_2 阻止了Ge元素的上下扩散，所以Ge元素在新形成的 SiGe 层中得到浓缩，

组分逐渐升高；同时，高温可以使SiGe层在接近玻璃融化态的SiO₂粘滞层上滑移而释放了SiGe层中产生的应力[38]，避免位错在单晶SiGe层表面的产生；最后获得弛豫SiGe层厚度为 T_f ，其中新的SiGe层中Ge的组分 x 为 $x_0(T_i/T_f)$ [14]；

(c) 利用BOE溶液或者稀释HF溶液去除表面SiO₂；

(d) 利用外延技术在弛豫SiGe上外延应变Si材料，应变Si中应力大小取决于SiGe层中Ge组分。

利用Ge浓缩技术可以获得得Ge组分较高，分布均匀的SGOI材料，解决了一直困扰SGOI应用中Ge组分过低的难题。

此外，还有注氧隔离法(SIMOX)[39]，以及键合转移(Wafer bonding and Layer transfer)[40]实现无Ge应变硅，从而可以避免Ge原子的扩散带来的负面影响。

(2) 局部应变(单轴)产生方法：

局部方案指通过增加或改进工艺仅在沟道处引入应力的方法。应力盖帽层(Stressed Liner)[41]、嵌入式源漏工程(S/D Engineering)[42, 43]、浅沟槽隔离(STI)[44]、侧墙、硅化物和绝缘夹层等工艺都可以在硅沟道中引入应力，下面简单介绍几种方法：

(a) 氮化硅盖帽层引入应力

其示意图如图 1.19 所示，维持常规工艺一直到形成源漏硅化物之后，淀积一层含有应力的 Si₃N₄ 盖帽层，根据不同管子需要而通过工艺控制其为张应力或是压应力。

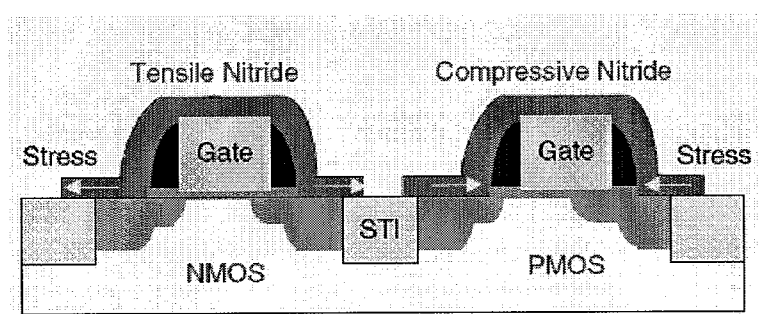


图 1.19 Si₃N₄ 盖帽工艺

这种方法中首先在晶圆中均匀沉积张应力氮化物(提高n沟道迁移率)，利用光刻去除在PMOS晶体管上氮化物；再均匀沉积压应力氮化物(提高p沟道迁移率)，同样光刻去除n沟道器件区域的薄膜，最终实现如图 1.13 所示结构。

类似的，一种可以提高n沟道晶体管性能10%的应力记忆技术(SMT)[45]被

报道, 该技术主要特征是将应力盖帽层在源漏退火前作为牺牲层引入, 主要步骤为: ①多晶硅栅非晶化注入; ②多晶硅栅上沉积高应力氮化硅; ③多晶硅栅在源/漏注入后退火时再结晶; ④去除氮化硅。最终部分“被记忆”的应力将会保留在多晶硅栅和沟道内。

这种方法主要是在源区和漏区选择性外延应变 SiGe, 由于 SiGe 和 Si 具有一定的晶格失配, SiGe 对沟道区的 Si 在垂直面上有拉伸作用, 从而在沟道方向产生单轴压应力, 提高空穴的迁移率。此方法最早由 Intel、德州仪器, 应用材料公司提出, 后续又有 IBM, 台积电和 Freescale 等公司的报道[29]。

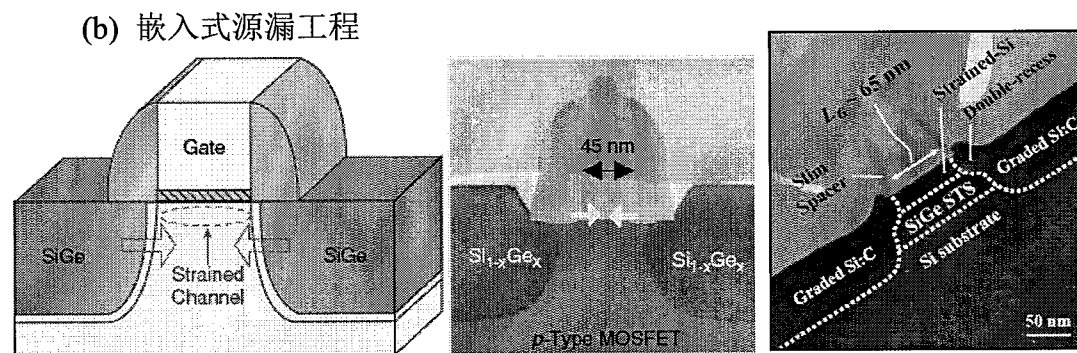


图 1.20 嵌入式源漏形成的应变硅沟道

这种方法所得到的结构如图 1.20 所示, 形成 PMOS 的主要工艺步骤为: ①常规工艺制作器件; ②自对准刻蚀掉源漏区部分硅; ③选择性外延原位掺杂 SiGe 来形成源漏。而在 NMOS 器件中, 如果将在源区和漏区选择性外延 SiGe 改为选择性外延 SiC, SiC 对沟道方向的 Si 有拉伸作用, 可以在沟道内形成单轴张应力[46]。

另外, 浅沟隔离技术(STI)也是引入局部应力的一种很重要的技术, 这方面的研究也有一定成果[44, 47]。

目前应变Si技术本身也存在很多问题, 一般的结构中应变Si/SiGe界面寄生沟道会限制空穴迁移率提高; 较高的介电常数和SiGe较低带隙容易造成高泄漏电流和结电容; SiGe材料以及SOI结构本身具有热导率较低的固有缺陷。

§ 1.2.3.4 应变 Si 的发展现状

应变Si最初是由AT&T Bell实验室的Fitzgerald在1991年提出, 随后于1998年成立了第一个专门从事应变硅技术的Amberwave公司, 将应变硅技术推向商业化。

Intel在90nm工艺产品中首次采用了应变Si, 至2010年初推出的32nm芯片中已经运用到了第四代应变硅技术。IBM则结合使用了SOI和应变Si技术, 利用SOI上的应变Si来改进其产品性能。同样, AMD公司也在90nm技术节点时开始全面使用应变硅技术, 而法国Soitec SA公司于2004年底与ASM International NV合作首次制造出300mm的绝缘体上应变硅(sSOI)晶圆, 并在2006年7月, 宣布其应用于65纳米线宽以下制程的sSOI晶圆已经上市, 并成为业界首款量产的应变硅衬底。Soitec总裁A.-J. A.-Hervé表示: “最新一批绝缘层上硅衬底, 目标锁定网络处理、运算、游戏及高阶无线产业内的高阶应用, 而对这些应用来说, 速度及极低功率十分重要。除了让芯片制造商可以更进一步扩大其产品的效能与功率优势, 我们新的绝缘层上应变硅将是未来的可延伸平台。”

台积电在90nm工艺中采用的应变硅技术有效降低了14%的栅极漏电流; 联华电子(UMC)则在70nm工艺中使用了应变硅, 提升电路速度10%。

近些年来国内一些研究机构比如清华微电子所、中科院微电子所等也开始在应变Si领域开展研究, 主要在改进外延手段和表征方法上做了一定工作。

随着32 nm以下技术节点的到来, 工艺致应变产生单轴应变硅的方法已经不能满足发展需要, 能够更大的提升器件性能的双轴应变硅技术, 结合全耗尽SOI技术, 已经开始进入工业应用。应变Si的原理并不复杂, 但是如何在工艺过程中实现应变Si结构, 将其整合到如今的集成电路工艺中并保持其良好的电学性能是关系到应变Si能否推进集成电路产业跨越式发展的关键问题。本论文中, 在单晶质量良好的弛豫SGOI衬底上外延制备应变Si, 并通过场效应管器件制备进行性能验证, 为国内应变Si技术的发展打下一定的基础。

§ 1.3 三维相变存储工艺

§ 1.3.1 三维集成概述

随着集成电路(IC-Integrated Circuits)不断发展, 随着集成度不断提高, 每片上的器件单元数量急剧增加, 芯片面积的增大和单元间连线的增长既影响电路工作速度又占用很多面积, 严重限制了集成电路进一步提高集成度和工作速度。在Intel 32 nm 芯片中已有9层铜布线, 辅助以低 k 介质层来降低RC延迟[5]。当特

征尺寸进一步缩小,由于可以成倍提高集成度并通过层间直接互连降低 RC 延迟,3D IC 将替代平面型 IC 而为产业的发展打开新的空间,如图 1.21 所示[48]。

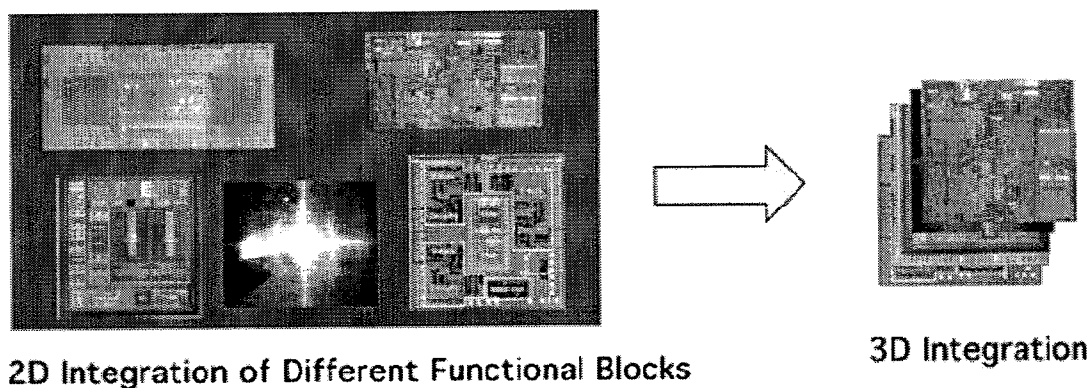


图 1.21 传统二维芯片和新型三维芯片对比示意图

从总体上看,推动三维集成技术发展的关键因素包括以下几个方面:

- (1) 系统的外形体积: 缩小系统体积、降低系统重量并减少引脚数量的需求;
- (2) 性能: 提高集成密度, 缩短互连长度, 从而提高传输速度并降低功耗;
- (3) 大批量低成本生产: 降低工艺成本, 如混合技术等;
- (4) 新应用: 如超小无线传感器系统等。

3D 集成当前主要有三种方案: 一种是封装级 (Packaging), 即芯片与芯片 (Chip-to-chip) 通过外部连线进行集成, 如图 1.22 所示, 这种方案已经被使用在了某些高端消费品上, 但是它只是把多个芯片封装成为一个整体而已, 并不是真正意义上的三维集成; 第二种是利用硅通孔 (Through Silicon Via, TSV) 技术的晶圆级 3D 集成, 即芯片与晶圆 (Chip-to-wafer), 晶圆与晶圆 (Wafer-to-wafer) 集成, 如图 1.23 所示, 这种方法受到业界的广泛重视并且已经获得了部分应用; 第三种则是片上 3D 集成 (3D System on Chip, 3D SoC), 如图 1.24 所示, 这种技术难度较大, 目前尚处于实验室研究阶段。[48]

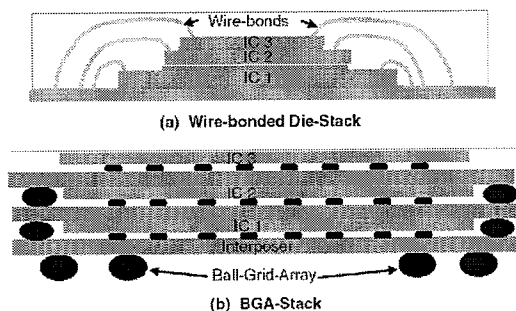


图 1.22 三维芯片封装

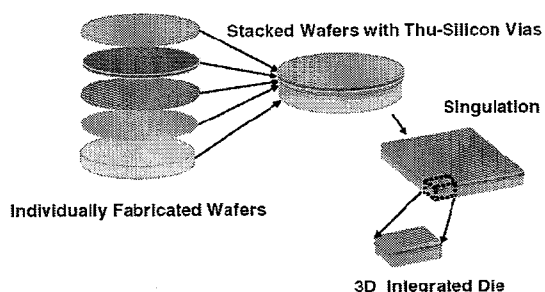


图 1.23 晶圆级三维集成示意图

为了获得具有优良电性能的高密度互连,当前主流的三维集成工艺是硅通孔(Through Silicon Via, TSV)技术。其架构如图 1.25 所示,其中,利用在过孔中填充金属如 W 或是 Cu 进行垂直互联,从而实现垂直系统集成(Vertical System Integration, VSI)。

垂直系统集成(VSI)的实现可以采用标准的硅晶圆工艺(主要是生产线的后道工艺)对带有可以自由定位硅通孔的堆叠型减薄器件衬底(Si)进行粘接和高密度垂直片内布线。采用 VSI-TSV 方法可以将互连线缩至最短,而且还可实现最充分的 z 轴连接。目前业内已公认 TSV 技术具有多种潜在优势,主要包括:

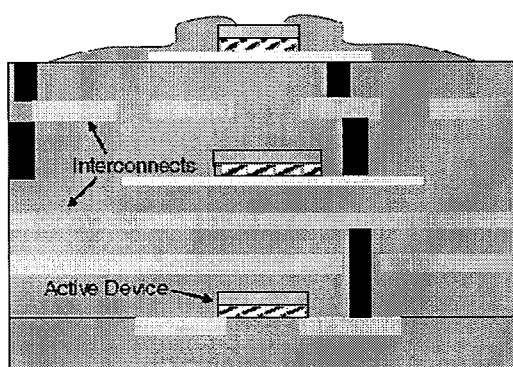


图 1.24 3D System on Chip

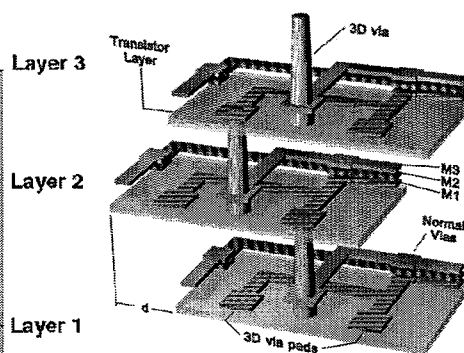


图 1.25 硅通孔技术 (TSV) 示意图

(1) 连接长度可以做得很短,只相当于芯片的厚度,因此在对功能部件单元进行堆叠处理时就可以用垂直堆叠的方法取代水平堆叠,充分发挥这种技术所具有潜力,显著降低部件单元之间的平均互连长度;

(2) 可以实现高密度、大纵宽比连接,从而完全可以在硅片内部插入极其复杂的多芯片系统,其实际封装密度要比目前采用的高级 PCB-MCM 好许多倍;

(3) 可以将平面外的逻辑功能部件拉得更为接近以避免 RC 长延迟和面内互连等问题。

当然,这种技术也存在着一些缺点:随着层数增加良率下降;过孔的电阻和空洞;芯片散热问题等。

无论是 3D SoC 或者是采用 TSV 技术集成,在很多情况下会用到晶圆键合来实现。根据键合面的选择一般有 Face-to-Face 和 Face-to-Back 两种,其中 Face-to-Face 键合会具有更小的过孔间距。此外也根据 Via 在芯片工艺中的顺序分为 Via-first 和 Via-last 类型[13, 48]。

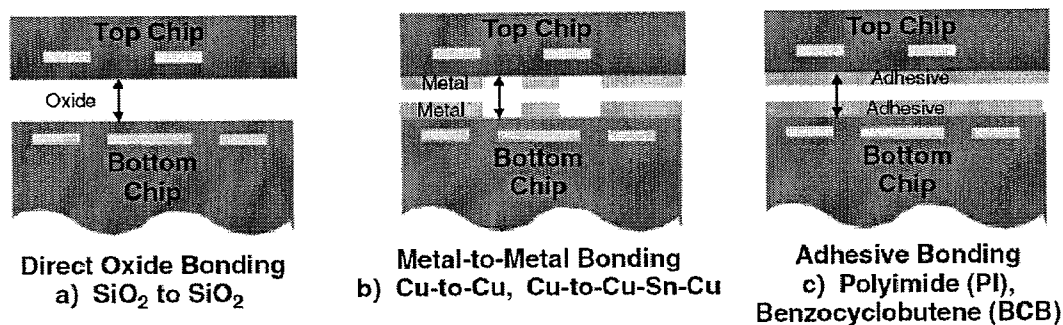


图 1.26 根据键合中间材料不同 3D 集成分类 (a) 氧化物间键合; (b) 金属间键合; (c) 粘合材料键合[48]。

3D 集成中使用的晶圆键合法, 根据界面材料的不同, 键合种类一般有三种, 分别为 Si 及其氧化物间的键合、金属键合以及粘合材料中间层键合, 如图 1.26 所示。

§ 1.3.2 三维集成中的键合工艺

由于 IC 芯片中含有大量对温度敏感的器件结构和电路结构, 过高温度处理会造成杂质扩散、金属线变形等, 引起器件性能劣化和失效。因而具有较高工艺温度的单晶外延法难以用来进行三维集成, 而低温键合工艺则成为高性能三维集成的首选。

最早关于固体粘合现象的描述是在 1792 年, Desagulier 发现将两个铅球挤压后可以牢固的粘合在一起[49], 但是这种粘合是在较强的塑性变形下完成的。晶圆直接键合法是在 1985-1986 年间, 由 IBM 和的 Lasky 和 Toshiba 的 Shimbo 等研究人员提出, 硅晶圆键合的目的是为了替代厚单晶硅外延生长工艺, Si-SiO₂ 或 SiO₂-SiO₂ 键合则可以用来制备获得 SOI 结构。

§ 1.3.2.1 键合的分类

(1) 直接键合(Direct bonding): 两个平整光滑的表面在室温下依靠表面层吸附的官能团或原子, 在范德瓦耳斯力的作用下相互吸引而初步结合, 再通过一定温度的退火形成键能更强的化学键而完成键合。该方法所针对的材料非常广泛, 一般可以是单晶, 多晶或非晶; 也可以是有机或者无机材料; 同样根据键合材料的相同与否, 称为同质键合或异质键合。

(2) 熔融键合(Fusion bonding): 常用于金属键合, 将材料结合面固定, 然后在选定温度进行退火, 使表面原子迁移并最终重组成键, 一般有金属扩散键合, 金属共晶键合等, 有时在表面起伏或存在颗粒的条件下都可以进行键合。在当前以 Cu 互连为主导的技术中, 由于仅需解决对准问题并提供一定的键合条件(温度、真空度、压力)即可实现三维堆叠, Cu-Cu 类键合被广泛研究并逐步使用[50]。这里通过金属进行芯片键合并实现电学连接的方法, 实际上是一种变相 Via-first 的 TSV 技术。这种方法的缺点在于, 为了保证足够的键合强度, 必须确保表面用于键合的金属占据足够的面积, 同时, 对真空度的要求也给工艺带来了一些麻烦。

(3) 粘合材料中间层键合(adhesive bonding): 借助粘合材料作为中间层来实现芯片层之间的键合, 考虑到工艺兼容性问题, 当前采用的粘合材料多数选用聚合物, 如聚酰亚胺(Polyimide, PI) 或者苯丙环丁烯(Benzocyclobutene, BCB)。这种键合的原理一般认为是分子和静电吸附、扩散和机械嵌合以及化学键的混合作用。这种方案具有一个特殊的优点, 就是可以进行键合和解键合, 从而实现超薄片的堆叠[51]。但是, 它 also 存在着易沾污、表面态增多等不利因素。

§ 1.3.2.2 直接键合的原理

本论文将利用键合转移单晶二极管结合相变材料来实现三维存储, 采用的主要方法是直接键合法, 下面介绍直接键合的原理。

亲水性直接键合原理示意图如图 1.27 所示[52]:

(1) 晶圆表面准备: 亲水性键合的晶圆表面在清洗处理后, 表面会稳定的吸附羟基官能团(-OH)或水分子, 如图 1.27(a)所示;

(2) 预键合: 室温下, 当两个圆片表面相互靠近到一定距离时, 羟基团或顶层水分子之间会形成氢键。不过键合能此时仅有 $\sim 100 \text{ mJ/m}^2$ 左右, 界面示意图见图 1.27(b);

(3) 退火: 室温键合能很弱, 为增强键合结合力需要进行退火。随着温度的升高(室温- 150°C), 界面处水分子扩散, 羟基团运动增加, 氢键增多, 键合面积增大, 晶圆间距离缩短; 在 150°C 到 300°C 之间, 氢键的硅烷醇之间开始大量

发生聚合反应，生成水和硅氧键，其中界面反应如下：

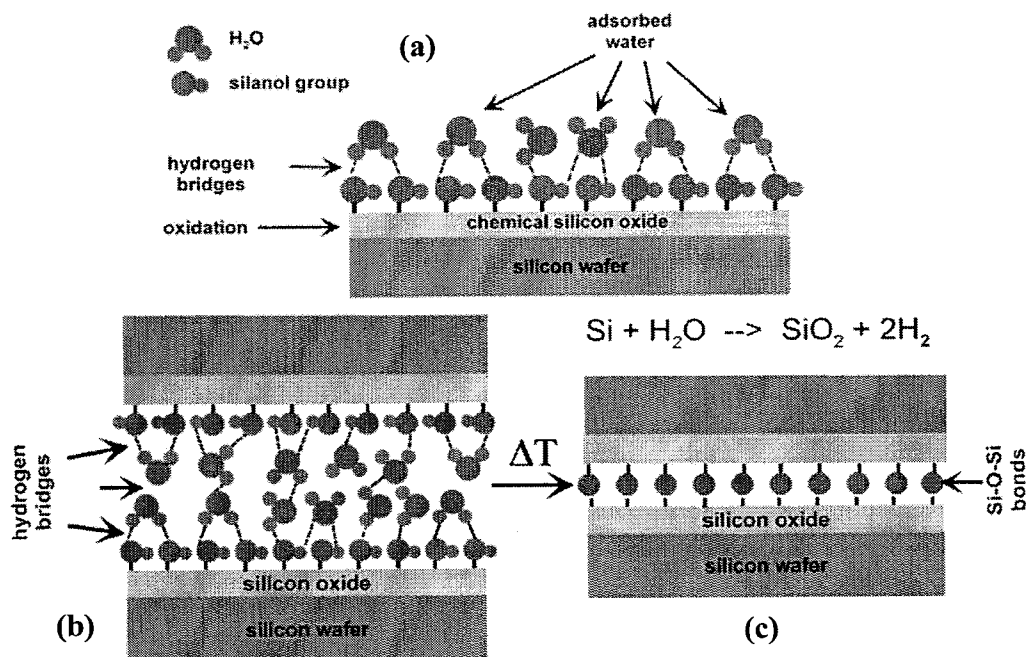
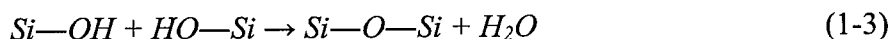


图 1.27 (a) 亲水性晶圆表面，吸附大量羟基官能团及水分子；(b)亲水性 Si-Si 室温键合界面，键合能仅 150 mJ/m²；(c) 完成退火，键合能增强至 2000 mJ/m² 以上。

当氢键开始被 Si-O-Si 键代替时，键合能出现迅速增加，因为硅氧共价键的结合能远比氢键牢固；300 °C-800 °C 退火期间，从图 1.28 可以得知，键合强度的变化并不明显，主要是因为(1-3)实际上是一个可逆反应，由于界面大量水分子使反应趋于平衡；当温度高于 800 °C 以后，界面反应成为(1-4)，高温下水分子扩散速度增加并与硅衬底反应形成氧化硅：



反应产物 H₂ 则在 900 °C 以上时从体硅或界面扩散出去。退火温度超过 1000 °C 后，界面 SiO₂ 产生粘滞流动，从而进一步消除了键合界面的微间隙，邻近原子间相互反应产生共价键，最终完成键合强度的增强，如图 1.27(c)。以硅材料为例，根据室温(Room Temperature, RT)至不同温度退火时键合能变化如图 1.28 所示。

疏水性直接键合的原理有所不同，主要是依靠 Si-H 官能团随温度升高而不断增加的界面反应[52]，从图 1.28 可以看出其在 550°C 才能获得亲水性键合在

200°C 的键合强度，鉴于三维工艺对温度的要求（400°C 以下），我们将主要集中于研究和使用的亲水性键合。

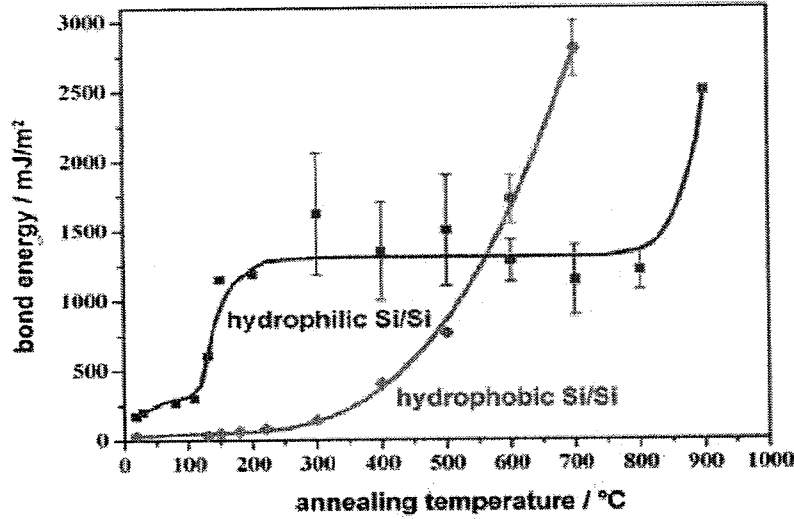


图 1.28 亲水性和疏水性 Si-Si 键合能随退火温度的变化[53]。

§ 1.3.2.3 直接键合晶圆的要求

半导体领域中直接键合技术对晶圆要求十分苛刻，主要体现在以下三个方面：

(1) 平整度和光滑度：平整度一般指晶圆厚度均匀性及表面起伏情况，常用三个参数来表征，即总体厚度差异 TTV (Total Thickness Variation)，翘曲度(Warp)和弓形度(Bow)。一般尺寸越大，相应 TTV 和 Warp、Bow 数值会略大。而光滑度是指晶圆微观的粗糙度，常用均方根 RMS(Root Mean Square) 粗糙度来表征。工业级生产应用直接键合时，要求为：TTV≤3 μm，Bow/Warp≤30 μm；RMS<0.5 nm。

(2) 洁净度：要获得成功的键合，晶圆表面需要完全的清洁，期望仅仅官能团吸附在表面。表面沾污或颗粒的存在会严重影响键合能和键合面积。一般，在晶圆厚度为 t_w ，杨氏模量为 E ，一个直径为 $2h$ 的颗粒会在键合界面引入直径 $2R$ 的空洞，则存在以下关系[52]：

$$R = \left(\frac{0.67 E t_w^3}{\gamma} \right)^{1/4} h^{1/2} \quad (1-5)$$

其中 γ 是晶圆键合能，这就是说在厚度 525 μm 的 4 英寸 Si-Si 键合中，一个直

径 $1\text{ }\mu\text{m}$ 的颗粒将会导致比它本身大 5000 倍的空洞($\sim 0.5\text{ }\mu\text{m}$)。晶圆表面的有机沾污也会成为退火中界面气泡的聚集中心, 导致大量的退火气泡产生。因此, 洁净的晶圆和高级别净化室是晶圆键合的基本要求。

(3) 表面活化处理: 直接键合的晶圆一般会经过湿法化学处理或表面等离子体活化处理以促进键合。针对不同晶圆湿法化学处理可以有效提高键合能, 可采用稀释的氨水[54], HNO_3/HF 溶液[55]等。其优点是成本低, 工艺简单, 但是化学腐蚀往往容易造成表面粗糙度变差, 大尺寸晶圆处理不均匀等。而等离子体表面活化属于干法处理, 能够均匀提高晶圆表面悬挂键密度, 促进晶圆键合, 但是也可能在晶圆表面引入沾污, 使表面易形成微观吸附中心, 导致界面退火反应产物聚集并成为退火气泡。

§ 1.3.3 相变存储器

在半导体工业的迅猛发展中, 存储器一直占据着 IC 市场的最大份额, 在半导体存储器中, 主导市场多年的三种存储器技术为 DRAM、Flash(闪存)和 SRAM, 但随着工艺技术节点推进至 32nm 以下, 目前这三种存储器技术都已经接近各自的基本物理极限, 各种新型存储技术的研发就在这种背景下被提出, 以更高密度、更大带宽、更低功耗、更短延迟时间、更低成本和更高可靠性为目标, 这些新技术包括磁阻存储器(MRAM)、铁电存储器(FRAM)、相变存储器(phase change memory, PCM)等。其中, PCM 的制造工艺较为简单, 且与 CMOS 工艺兼容, 尤其在高速、高密度、低成本上的优势更为突出, 随着最近几年的研究开发, PCM 已经被公认为下一代最有希望的存储器之一。

PCM 最早源于 Ovshinsky 在 20 世纪 60 年代末提出的 Ovshinsky 电子效应[56]。后续研究发现, 这类材料在热诱导下能够发生非晶和多晶之间的可逆相变, 其非晶体和晶体状态呈现不同的反光特性和电阻特性, 因此可以利用非晶态和晶态分别代表“0”和“1”来存储数据[57]。PCM 技术具有良好的尺寸缩小特性, 相变物理性质显示工艺制程有望升级到 5 nm 节点以下, 有可能把闪存确立的低成本和高密度存储的速度延续到下一个十年周期。

PCM 是一种基于电阻的非挥发性存储器, 利用电产生的焦耳热使相变材料在晶态(低阻)与非晶态(高阻)之间相互转换实现数据的写入与擦除。如图 1.29 所

示，其操作过程一般认为在 SET（设定）过程中，施加一个弱而宽的电脉冲对相变材料进行加热，使其获得高于结晶温度而又低于熔点的温度，相变材料就会结晶形成具有较低电阻率的多晶态；而在 RESET（重新设定）过程中，

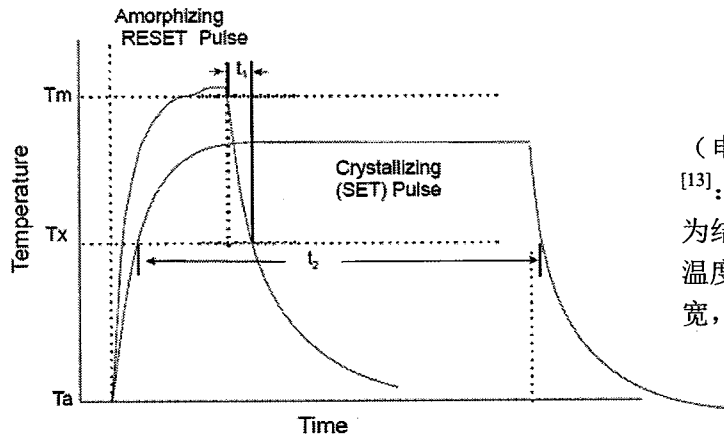


图 1.29 相变过程时间（电流脉宽）-温度关系^[13]：Ta 为环境温度，Tx 为结晶温度，Tm 为融化温度，t₁ 为 RESET 脉冲脉宽，t₂ 为 SET 脉冲宽度

则需要施加一个强而窄的电脉冲进行加热，使温度高于材料熔点以打断多晶材料中原有的化学键，随后经过一个快速冷却的淬火过程使熔化状态材料中的原子来不及重新成键排列，形成了短程有序长程无序的非晶态，而这种非晶态相对于多晶态具有较高的电阻率。而在 READ（读取）过程中，电脉冲强度很弱，并且读取时间很短，所以不足以引起相变材料中的任何相变，故读取时并不会破坏其中存储的信息。

§ 1.3.4 三维相变存储技术

业界认为存储器是 3D-IC 最主要的应用领域之一，并在未来几年会成为最大的增长动力来源。韩国三星公司报道了 DRAM 和 NAND-FLASH 上的 3D 开发，如图 1.30 所示；美国 Sandisk 公司则提出了矩阵 3D 存储器，如图 1.31 所示。

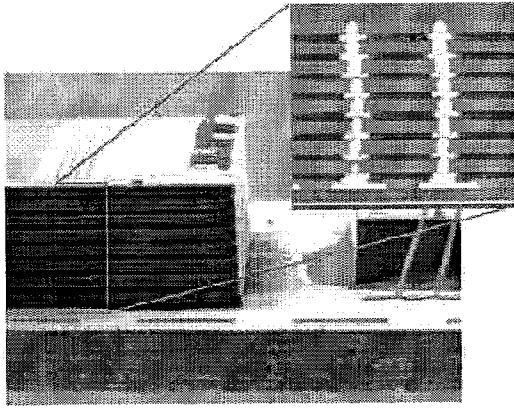


图 1.30 三星公司的 3D NAND FLASH

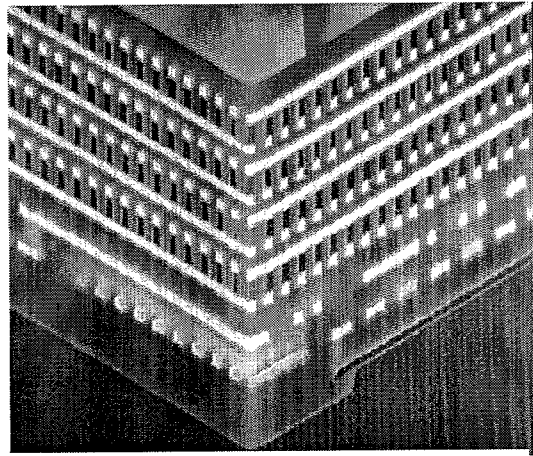


图 1.31 Sandisk 公司的 matrix 3D memory

而对于 PCM 来说,除了单元尺寸的缩小,通过三维立体堆叠的实现,PCM 存储器的存储密度将得到成倍的增长。除了上节所述优势外,PCM 较为简单的器件结构也将使其在 3D 集成电路应用中具有优势。因此,三维立体堆叠 PCM (3D-PCM) 是高密度 PCM 发展的重要方向。

当前 3D-PCM 以及与其较为相似的三维电阻转换存储器(3D-RRAM)的开发主要有以下几种方案:

(1) Intel 和 Numonyx 在 2009 年提出了可堆叠的采用 Ovonic Threshold Switch(OTS)选通的新型器件结构,如图 1.32(a)所示,这种器件结构非常简单,利用一层 OTS 材料代替晶体管作为选通管来实现存储单元结构[58],将被进一步应用到立体堆叠 PCM 的开发中;

(2) 在 2008 年的 IEDM 会议上,三星报道了 3D 的 RRAM,并且实现了器件的两层立体堆叠,具有重要的意义[59]。如图 1.32(b)所示,他们采用金属氧化物形成的二极管作为选通器件驱动 RRAM 单元,形成二极管结构的金属氧化物分别为 n 型 InZnO 和 p 型 CuO ,两者之间形成 PN 结,而电阻转化单元则为 NiO ;

(3) 复旦大学的 Ji Zhang 等[60],提出了 1TXR 的三维 RRAM 结构,即使用一个晶体管驱动和控制多个电阻存储单元,如图 1.32(c)所示。

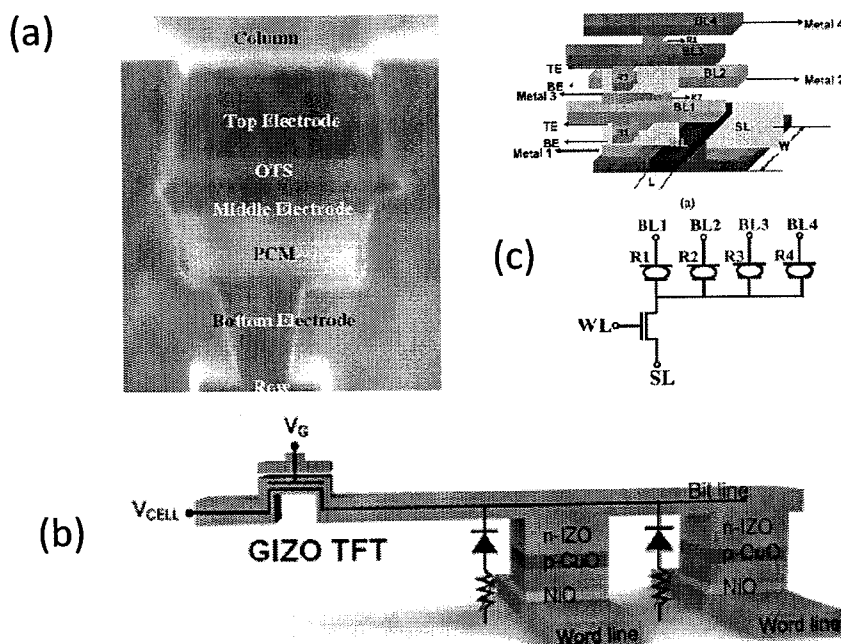


图 1.32 各种 3D 电阻存储器 (a). Intel 和 Numonyx 的 OTS-PCM 结构; (b). 三星的 1D1R 结构 3D RRAM; (c). 复旦大学的 1TXR 结构 3D RRAM

这些方案各有其在三维堆叠上的优势, 然而, OTS 材料因其复杂的组分, 在电学特性和疲劳特性上存在着不确定性, 而且根据报道, 它和金属氧化物二极管的开关比(ON/OFF ratio)都较低(三到四个数量级), Off 电流偏大, 而常规晶体管开关比一般为 7 个数量级, 普通硅 PN 结二极管则可达 8 个数量级。同时, 1TXR 的结构相比 1T1R 提高了集成度, 但是也大大降低了单元设计的灵活性并对晶体管提出了更高的要求。

§ 1.4 本论文工作

基于上述未来微电子技术发展所需应变 Si 技术和三维存储工艺研究背景, 本论文主要进行了以下工作:

在第二章我们首先进一步改进 SGOI 的两步退火浓缩工艺, 获得了组分均匀的优质超薄 SGOI 衬底材料; 并使用 Ge 浓缩技术成功制备了具有不同 Ge 组分的 SGOI 材料, 掌握了 Ge 组分可控的浓缩工艺。

在第三章, 首先在基于 Ge 组分 0.18 的 SGOI 衬底上使用电子束蒸发外延生长获得应变 Si 材料, 顶层 Si 应变达到 0.7%; 通过不断的工艺优化, 采用超高真空化学气象沉积法在较低温度下制备获得了应变为 1% 的完整应变硅单晶薄膜,

应力值达 1.7GPa，并在此基础上进一步制备获得了厚度均匀、表面平整的 6 英寸全局应变硅圆片(sSOI)，为全耗尽应变硅器件制备打下了坚实基础。

第四章中，为了研究应变硅材料的工艺稳定性，首先表征了应变硅的尺寸效应，发现应变硅材料在尺寸缩小到 300nm 以下时发生应力弛豫，由于实衬底超薄 SiGe 层的牵制作用，直径 150nm 应变硅岛的应力弛豫仅为约 15%；在器件制备工艺方面，选择氧化，离子注入和快速退火等关键工艺处理，紫外 Raman 检测结果表明关键工艺后应变 Si 应力弛豫约 7-9%；在上述研究基础上，针对 sSOI 和 SOI 衬底，进行了 MOSFET 原型器件的制备，根据电学测试结果对 sSOI MOSFET 迁移率进行计算，并与超薄 SOI 衬底器件对比，结果表明，sSOI 器件中电子和空穴有效迁移率比超薄 SOI 衬底分别提高 50%和 40%，显著提高了器件性能。

第五章中，探索了实现三维立体相变存储工艺的方法，首先使用键合加腐蚀自停止方案初步实现了单晶 Si 二极管到含有字线以及电极阵列的绝缘层上的转移；之后改进方案，利用 B^+/H^+ 共注入的智能剥离法在低于 300℃的温度下实现了单晶 Si 二极管的转移，检测发现底电极与二极管对准和接触良好，二极管特性曲线明显，2V 时驱动电流密度达 $0.34 \text{ mA}/\mu\text{m}^2$ ，开关比为 10^2 ，漏电流较大，虽然二极管的工艺参数需要进一步改进，但是工艺探索解决了键合以及电极与二极管接触的问题，为三维存储的实现打下了坚实的基础。

最后，第六章中对整个研究工作进行了系统的总结。

第二章 用于应变硅外延的 SGOI 材料制备

除了外延制备全局应变 Si 这一重要应用之外, SGOI 还具有其他重要用途。从第一章图 1.1 中 ITRS 2009 给出的未来技术路线图可以看出, 高迁移率 SiGe 和 Ge 因其在空穴迁移率上有着非常大的提升空间, 都是未来极具潜力的半导体材料。而结合了 SOI 优势的 SGOI 技术, 不仅是制备 GOI (Ge-on-Insulator) 和应变 Si 材料的优良衬底, 其本身也因将来高迁移率 SiGe 的应用而具有广阔的发展前景。因此, 高质量的弛豫 SGOI 的制备相当关键。

§2.1 SGOI 的制备方法

在 SGOI 材料的制备上, 主要分为两大类, 一类是基于 Ge 组分梯变 SiGe 层外延法, 另一类则是基于高温氧化 Ge 浓缩工艺。主要方法有: 注氧隔离、晶圆键合(背刻蚀、智能剥离)、外延生长法等。

§2.1.1 注氧隔离 (SIMOX) 法[61, 62]

注氧隔离 (SIMOX) 技术是目前制备传统 SOI 材料最成熟的工艺之一, 如图 2.1 所示, 用 SIMOX 制备 SGOI 薄膜材料, 首先在单晶硅衬底上外延生长一定厚度组分渐变的 SiGe 层, 再外延生长固定组分的弛豫 SiGe 薄膜, 以减小 SiGe 层与 Si 衬底之间的晶格失配和由此引起的穿透位错密度;

然后用大束流注氧机在上述样品的 SiGe 渐变层中或弛豫 SiGe/Graded SiGe 界面处注 O^+ , 形成一高浓度的含氧层;

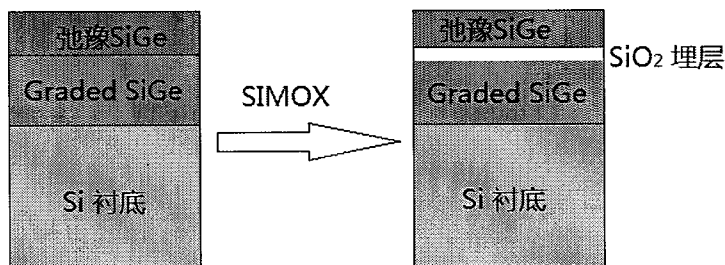


图2.1 SIMOX制备SGOI工艺

接着对注氧样品进行高温($>1300^{\circ}\text{C}$)长时间(>5 小时)退火, 使富氧区中注入

的氧原子与硅原子相互反应, 形成 SiO_2 绝缘埋层, 同时, 消除表面 SiGe 层中的缺陷, 促进表面 SiGe 层的固相再结晶和完全弛豫化;

最后进行清洗和化学机械抛光(CMP), 改善表面, 获得可做进一步器件加工的 SGOI 薄膜材料。

这种制备方法由于大束流注氧机的使用和长时间高温退火使其成本很高, 又因为 SiGe 合金的熔点随着 Ge 含量增加而降低, 它和高温退火间的矛盾导致 Ge 含量的限制, 一般在 14%。

§2.1.2 晶圆键合法[63]

(1) 晶圆键合与背刻蚀(Wafer Bonding and Etch Back)[64, 65]

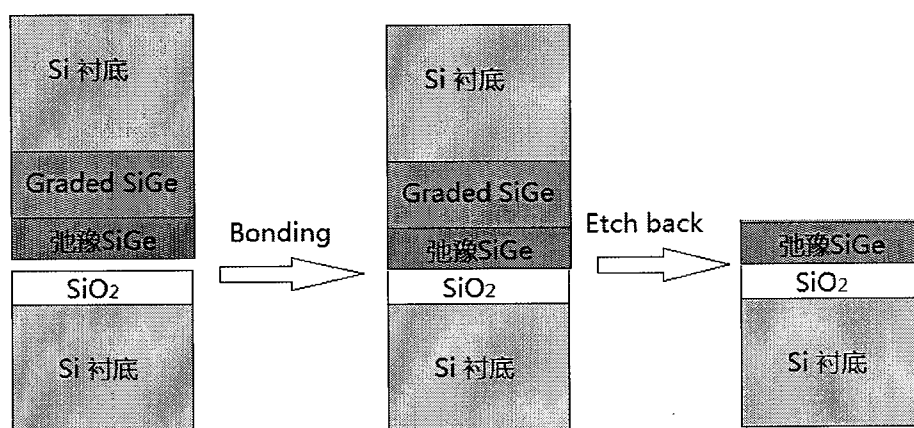


图2.2 晶圆键合与背刻蚀制备SGOI工艺

这种方法制备 SGOI 材料主要有材料生长、键合和背刻蚀三个步骤, 如图 2.2 所示。

首先, Si 衬底上外延生长组分渐变 SiGe 过渡层和固定组分的弛豫 SiGe 层等多层结构的外延片, 经表面抛光处理后, 与另一片表面有均匀热氧化层 SiO_2 的 Si 片进行键合, 热处理后结合可选择性湿化学腐蚀和化学机械抛光等手段, 去掉原 SiGe 外延片上多余的硅衬底和 SiGe 过渡层部分, 从而得到高质量的 SGOI 材料。

用晶圆键合与背刻蚀技术可以制备出高质量的 SGOI 材料, 但是背面减薄技术相当繁琐费时, 而且造成 Si 片浪费, 提高了成本; 同时, 选择性腐蚀剂对 Ge 组分限制较大(20%), 而且组分渐变 SiGe 层会导致较多位错的产生。

(2) 智能剥离(Smart-Cut)技术[66]

智能剥离(Smart—cut)是由 Bruel 等人最早提出用于制备 SOI 材料的技术。法国 SOITEC 公司拥有该技术的专利,并用它批量化生产传统的 SOI 材料。它与晶片键合与背刻蚀技术的工艺路线相似,主要包括材料生长、外延片注氢、晶片键合、两步法退火和化学机械抛光等步骤,如图 2.3 所示。

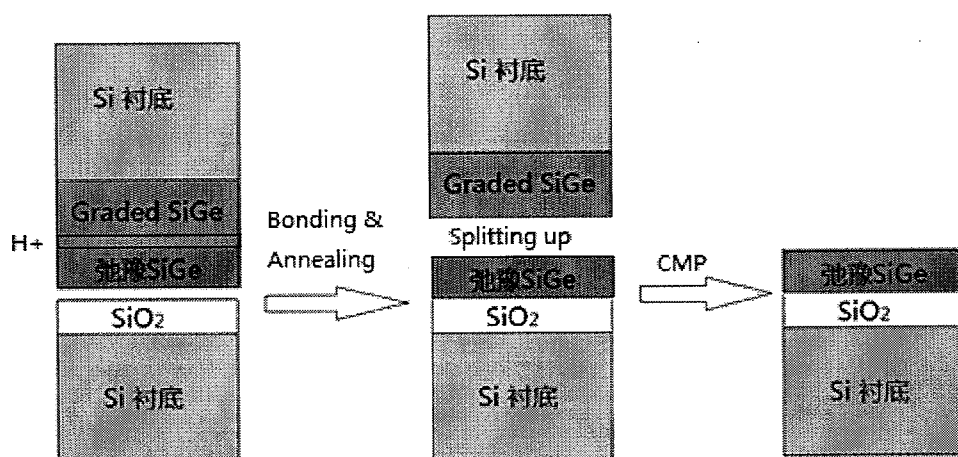


图2.3 Smart-Cut技术制备SGOI工艺

智能剥离技术避免了费时并难以进行产品质量控制的背刻蚀(Etch back)步骤,还可以重复利用键合后剩下的硅片,因而大大提高了SGOI晶片的生产效率和原材料利用率,对降低制造成本和将来实现产业化应用非常有利。

以上三种方法的共同之处在于,均使用了较厚的组分渐变SiGe层的外延,不利于控制成本和提高薄膜质量。

§2.1.3 Ge 浓缩法

2001年日本的T.Tezuka等人提出Ge浓缩技术,在第一章1.2.3节中全局应变硅的制备方法里已有所介绍。该技术的提出解决了Ge组分过低的难题,对于将来SiGe器件,Ge器件以及当前热门的应变硅技术都具有战略性的意义。但是,此技术也有一定缺陷,如氧化初期GeO的挥发,以及氧化中混合氧化物的生成等,鉴于此,中国科学院上海微系统与信息技术研究所提出了改良工艺[67],即在SOI上外延SiGe之后,再增加外延一层Si盖帽层,之后对SOI上三明治结构Si/SiGe/Si进行高温氧化浓缩,利用额外的Si盖帽层保证表面SiO₂的首先形成,从而避免了Ge的损失;此外,增加了900℃的N₂后退火工艺以使Ge元素分布

均匀。

本章中，在课题组研究基础之上，我们进一步改善了 Ge 浓缩的后退火工艺以消除 Ge 元素在界面或是薄膜中央的聚集现象，提高晶格质量；并通过系列实验掌握了制备所得 SGOI 材料在一定范围内 Ge 组分可控的浓缩工艺。

§2.2 后退火工艺优化制备 SGOI

§2.2.1 背景

Y.S. Lim 等人在 2001 年报道的 Ge 浓缩在 900℃ 对 Graded SiGe 进行氧化退火，如图 2.4 所示[68]，即使经过了 2 小时的 N₂ 中 900℃ 后退火工艺，Ge 元素在上下界面处聚集的现象仍然明显，并且 Ge 元素在整个 SiGe 层中分布不均匀，而这些都会导致位错密度的增大。

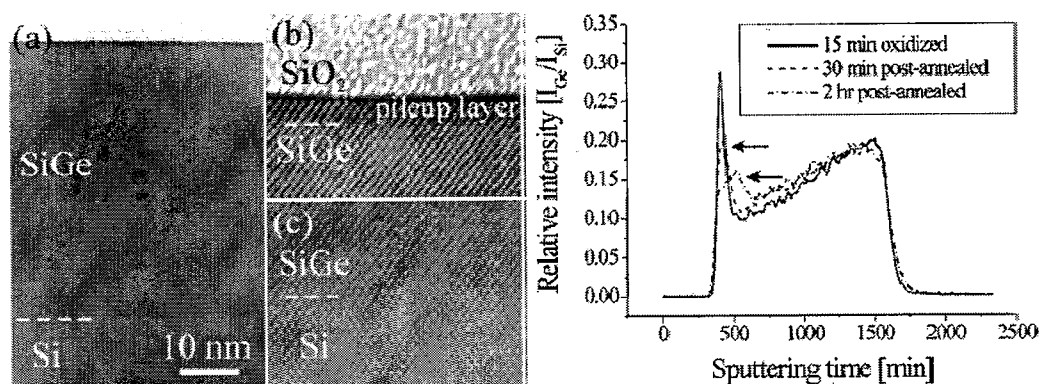


图 2.4 对组分渐变 SiGe 在 900℃ 进行浓缩的样品[68]

在上文介绍的 Di.Z.F 等的改良 Ge 浓缩方案中[67]，采用了 1150℃ 的高温对 SOI 上三明治结构 Si/SiGe/Si 进行氧化浓缩，并加以 N₂ 气氛中 900℃ 的后退火以改善 Ge 元素在 SiGe 层中的分布。图 2.5 是所得的 SGOI 中 Ge 元素分布图，相比 Y.S. Lim 等人的结果，Ge 元素的均匀性大大提高，Ge 的平均组分也有所上升，但是仍然可以发现 Ge 元素在 SiGe 层中会有不同程度的富集。

Ge 元素的富集将会导致晶格质量变差，表面 Ge 组分不确定性增大，而且会由于 Graded SiGe 的存在产生较多位错，稳定性差并且不利于应变硅的外延生长。

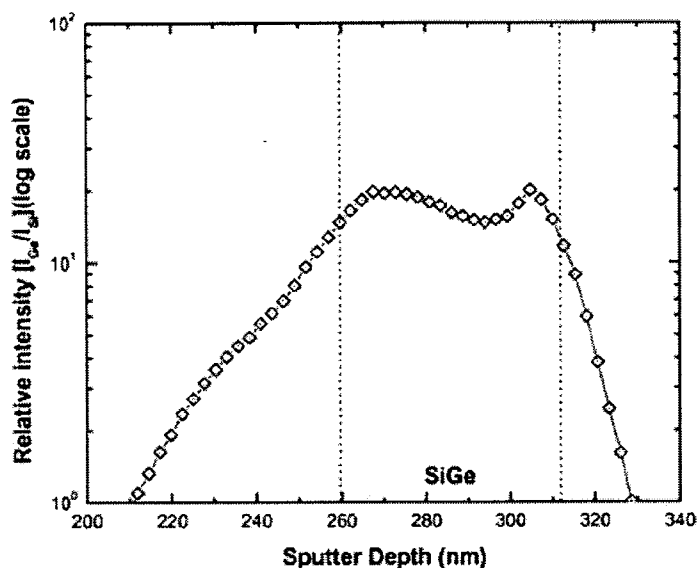


图 2.5 改良 Ge 浓缩方案所得 SGOI 的元素分布[67]

为了改善这种情况,我们通过查阅文献,得知在 800°C 以上高温时, Ge 在 Si 内的扩散系数,随温度的升高而迅速变大,如图 2.6 所示[69]。通常 Ge 浓缩是采用 900°C 后退火来使 Ge 分布均匀,我们发现在 1000°C 时 Ge 的扩散系数要比 900°C 时候提高一个数量级;同时,从 Si-Ge 相图(图 2.7)来看,在 Ge 组分小于 70% 的时候,均可以进行 1000°C 的后退火,且不会因为达到材料的熔点,而产生一些不可预料的晶格破坏结果。于是,我们依此设想做了一组对比实验。

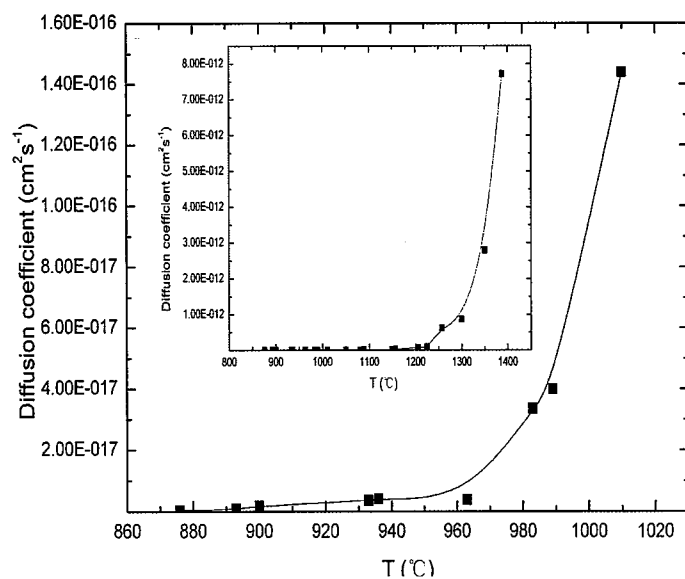


图 2.6 Ge 在 SiGe 中的扩散系数随温度变化趋势

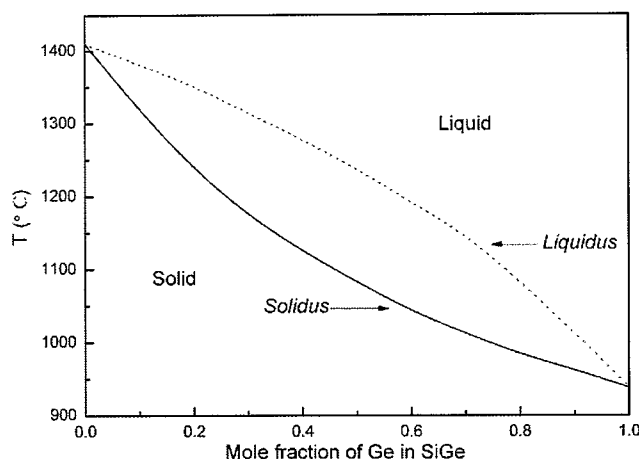


图 2.7 SiGe 合金相图

§2.2.2 实验流程

首先需要说明的是, 本论文中有关 SiGe 和应变 Si 的实验, 均基于“容忍型”衬底的概念而选择超薄的 SOI 衬底作为外延基片, 因为大部分应变将从超薄 SOI 的顶层 Si 释放, 从而可以降低外延 SiGe 层的位错密度[14]。具体实验中外延 SiGe 厚度则由浓缩工艺及最终对应变硅应力要求决定。

采用超薄 SOI 片, 顶层 Si 厚度 $55 \pm 10 \text{ nm}$, 均匀性: $\pm 5 \text{ nm}$; 掺杂为 P/Boron, 电阻率为 $10 \sim 20 \Omega \cdot \text{cm}$, 埋氧层厚度: $375 \pm 10 \text{ nm}$ 。

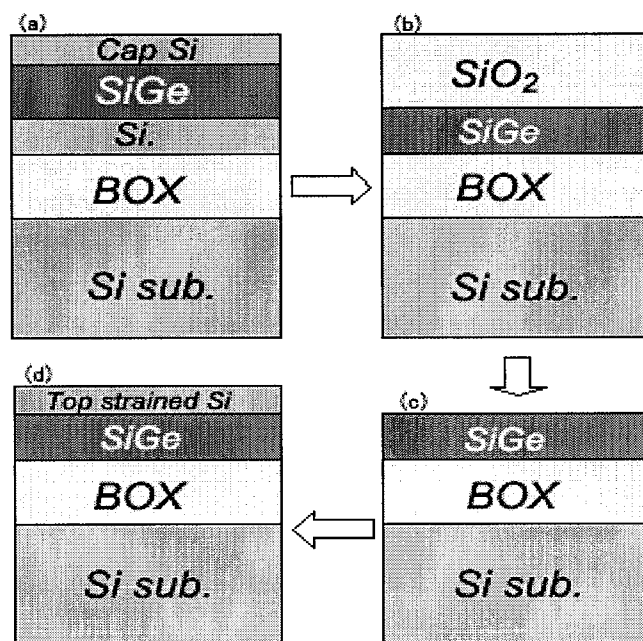


图 2.8 Ge 浓缩法制备 SGOI 以及外延 sSi 流程示意图

对比样品的制备步骤如下(如图 2.8 所示):

(1) SOI 片经过严格的 RCA 1 号液和 2 号液的清洗, 并利用稀释 HF 溶液处

理达到表面吸 H 的疏水状态,然后在超高真空化学气相沉积(Ultra High Vacuum Chemical Vapor Deposition, UHVCVD)系统外延 160 nm $\text{Si}_{0.85}\text{Ge}_{0.15}$ 和 20 nm Si 盖层。在 SiGe 层上加 20 nm 的 Si 盖层,可以防止 Ge 在浓缩工艺中向表面的扩散损失;此时的样品记为原始样品(Sample O);

这里需要说明的是,本论文中的不同批次实验,由于实验条件的变化等客观因素影响,浓缩前初始样品的参数(如 Ge 组分、SiGe 厚度等)未能保持完全一致,但是每一批次的实验保持初始样品参数相同,因而并不会对实验结论的获得造成影响。

(2) Ge 浓缩氧化工艺:在专用的石英管高温退火炉中,通入高纯 O_2 流量 4 SLM;升温至 1100°C ,干氧氧化 2 小时,氧化结束,缓慢降低温度;

(3) 经过上述工艺的三个样品,分别选用不同的后退火工艺处理,如表 2.1 所示,样品 A 不再增加退火;样品 B 放入高纯 N_2 气氛的退火炉中, 900°C 退火 3 小时, N_2 流量 7SLM;样品 C 则在同样的高纯 N_2 气氛中 1000°C 退火 2 小时;

(4) 利用稀释 HF 溶液漂洗去除表层氧化层,得到 SGOI 结构。

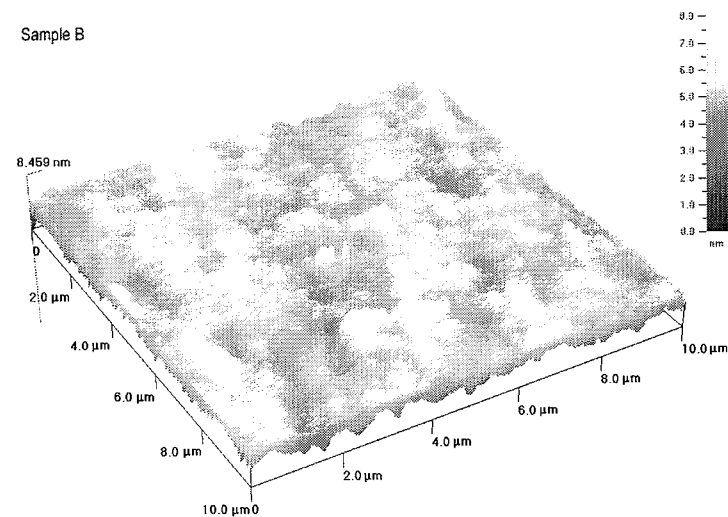
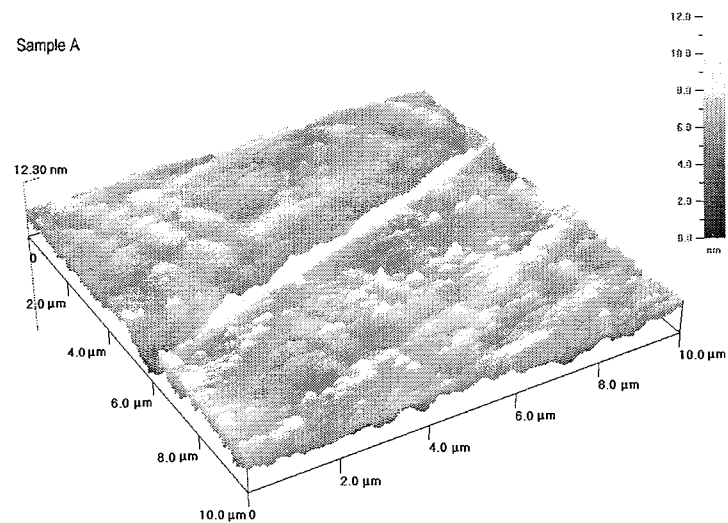
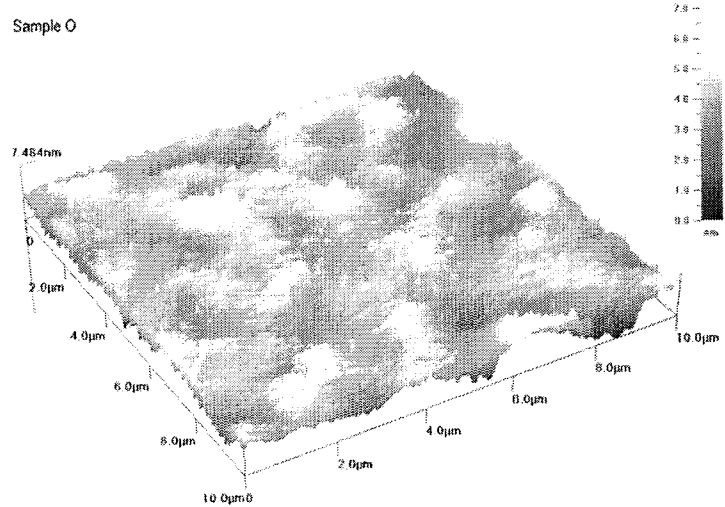
表 2.1 Ge 浓缩样品的不同后退火工艺处理

Samples	Oxidation	Post annealing
Sample A	$\text{O}_2, 1100^\circ\text{C}, 120 \text{ min}$	No
Sample B	$\text{O}_2, 1100^\circ\text{C}, 120 \text{ min}$	$\text{N}_2, 900^\circ\text{C}, 180 \text{ min}$
Sample C	$\text{O}_2, 1100^\circ\text{C}, 120 \text{ min}$	$\text{N}_2, 1000^\circ\text{C}, 120 \text{ min}$

样品自表面向下各层依次为 SiGe/Buried Oxide/Si substrate。对得到的 SGOI 样品,使用原子力显微镜(Atomic Force Microscope, AFM)进行表面平整度的检测,采用 X 射线四晶衍射(XRD)和高分辨透射电子显微镜(HR-TEM)检查材料品格质量,并利用 TEM 设备自带的空间分辨率可达 1nm 的能谱(Energy Dispersive Spectroscopy, EDS)分析样品的元素组分与分布;实质上,为了寻找更多的对比证据,这批样品后来在表面上外延了一层超薄的单晶应变 Si,并利用紫外 Raman 能谱检测其应变量,关于应变 Si 制备和表征的研究将在下一章中进行详细阐述。

§2.2.3 材料表征

§2.2.3.1 AFM 测试



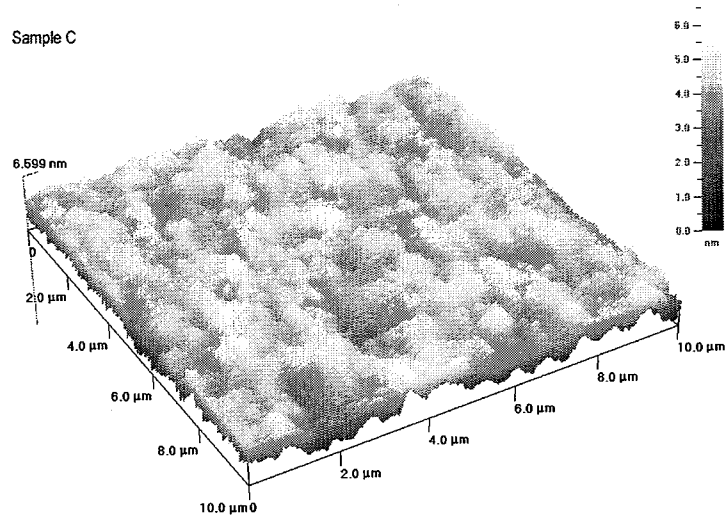


图 2.9 各样品的 AFM 表面形貌图 (O)浓缩前三明治结构样品; (A)无后退火的 SGOI 样品; (B)900℃后退火的 SGOI 样品; (C)1000℃后退火的 SGOI 样品

AFM 于 1986 年由诺贝尔奖得主 Binnig 等人发明，它的原理主要是依靠微小探针针尖与样品表面微弱的原子间作用力的变化来表征样品表面形貌。如图 2.9 的 AFM 三维图所示，浓缩前样品 O 的均方根(RMS)粗糙度为 0.737nm，未经后退火处理的 SGOI 样品 B 表面 RMS 为 1.112nm，经过 900℃和 1000℃后退火的样品 B 和样品 C 的 RMS 分别为 0.937nm 和 0.878nm。可见，后退火工艺对样品表面平整度的提高有重要意义，且使用 1000℃后退火工艺的样品 C，其 RMS 比样品 B 略低一些。另外，在样品 A 上可以观察到一定的 cross-hatch 现象，通常认为这是 SiGe 层应力释放产生位错导致[70]，而在样品 B 和 C 中，并没有明显的 cross-hatch 出现，说明后退火工艺可以帮助消除缺陷，改善晶格质量。

§2.2.3.2 X 射线四晶衍射

X 射线多晶衍射是表征晶体结构的有力工具，它具有无损检测和快速准确的优点，是最常用的表征材料结构的方法。经过多块单晶单色仪后的单色 X 射线平面波在完整晶体中的 Bragg 衍射角非常窄，对晶格变化非常敏锐，广泛应用于外延单晶、超晶格等样品的晶格应变和晶格完整度方面的研究。SiGe 薄膜由于元素组分和晶格应力的双重变化影响通常较难检测，因为对晶格常数的变化非常敏锐，X 射线多晶衍射成为表征单晶 SiGe 薄膜质量的重要手段。通过对实验曲线的拟合，可以推算薄膜应变、组分以及厚度等多方面信息。本论文所用的多晶

衍射是在 Philips X' Pert MRD 四晶衍射仪上进行, X 射线的单色性比一般双晶衍射仪有较大提高, 因而也具有更高的测量精度。

(1) X 射线四晶衍射原理及相关计算方法

所谓四晶衍射, 是指从 X 射线管发射出来的 X 射线, 经过两组以(+n, -n)排列的单晶 Ge(220)单色仪后, 得到单色性、准直度非常高的 X 射线, 以一定角度入射样品表面, 并以探测器收集衍射信号。

XRD 测量的基础为 Bragg 定律:

$$2d\sin\theta = n\lambda \quad (2-1)$$

其中, d 为衍射晶面间距, θ 为 Bragg 衍射角, n 为衍射级数, λ 为 X 射线波长。对于普通 Si(004)衍射来说, 用 Cu $K_{\alpha 1}$ 作为射线源, 则 $\lambda=1.54\text{\AA}$, $4d_{004}=d_{001}=5.431\text{\AA}$, Bragg 衍射角 $\theta=34.56^\circ$ 。

λ 在测量中是个常量, 式 2-1 实际上就是 d 和 θ 的关系, 对于发生了四方晶格畸变的单质 Si 来说, XRD(004)衍射可以直接测出晶格应力:

$$a_0 = a_{\parallel} + \frac{1-\nu}{1+\nu}(a_{\perp}) \quad (2-2)$$

其中 a_0 为体 Si 的晶格常数 $5.431\text{\AA}$, 垂直方向晶格常数 $a_{\perp} = d_{001}$, Si 的泊松比 $\nu=0.278$, 那么, 测试获得 Bragg 衍射角 θ , 即可以计算得到平面方向晶格常数 $a_{\parallel}$, 那么 Si 晶格应变变量即可以由以下公式计算:

$$\varepsilon_{\parallel} = \frac{a_{\parallel}-a_0}{a_0} \quad \varepsilon_{\perp} = \frac{a_{\perp}-a_0}{a_0} \quad (2-3)$$

计算结果为正表示张应变, 结果为负则表示压应变。

而对于 SiGe 来说, 式 2-2 仍然适用, 只是晶格常数和泊松比不再是常量, 而是与 Ge 组分 x 相关的变量, 根据 Vegard 定律, 使用线性内插法, 可以知道 SiGe 的有效晶格常数(a_r)为:

$$a_r = a_{\text{Si}} + (a_{\text{Ge}} - a_{\text{Si}})x = 5.431 + 0.2268x (\text{\AA}) \quad (2-4)$$

同样地, 利用线性内插法可以推算 SiGe 的泊松比[71]:

$$\nu = 0.278 - 0.005x \quad (2-5)$$

将式 2-4 和 2-5 代入式 2-2, 由于 $a_{\perp}$ 可以由测量(004)衍射获得, 便得到了一个含有两个变量($x, a_{\parallel}$)的关系式, 仍然需要其它测试手段的辅助才能确定 SiGe 层的平面晶格参数 $a_{\parallel}$ 以及 Ge 组分 x , 从而根据式 2-3 来计算应变。

(2) 对比样品的 XRD 结果

如图 2.10 中所示, 浓缩前的样品 SiGe 峰型非常尖锐, 晶格质量很高, 浓缩后的样品 A、B、C 的 SiGe 峰都出现了不同程度的展宽, 在没有经过后退火处理的样品 A 和经过 900℃ 后退火处理的样品 B 中, SiGe(004) 衍射峰附近出现了明显的伴峰, 整个 SiGe 峰表现为一个峰包, 这种现象说明 SiGe 层晶格质量有所下降, 实质上, 是 Ge 组分有梯度分布才形成多峰相伴而成峰包, 对于改进工艺的 1000℃ 后退火的样品 C, 则并未见明显的伴峰, 而且 SiGe 主峰相对较为尖锐, 说明 SiGe 薄膜晶格质量良好, Ge 的组分比较均匀。需要说明的是, 图中最高主峰为衬底 Si(004) 的衍射峰, 其右侧伴峰为 SGOI 上外延的应变硅衍射峰。

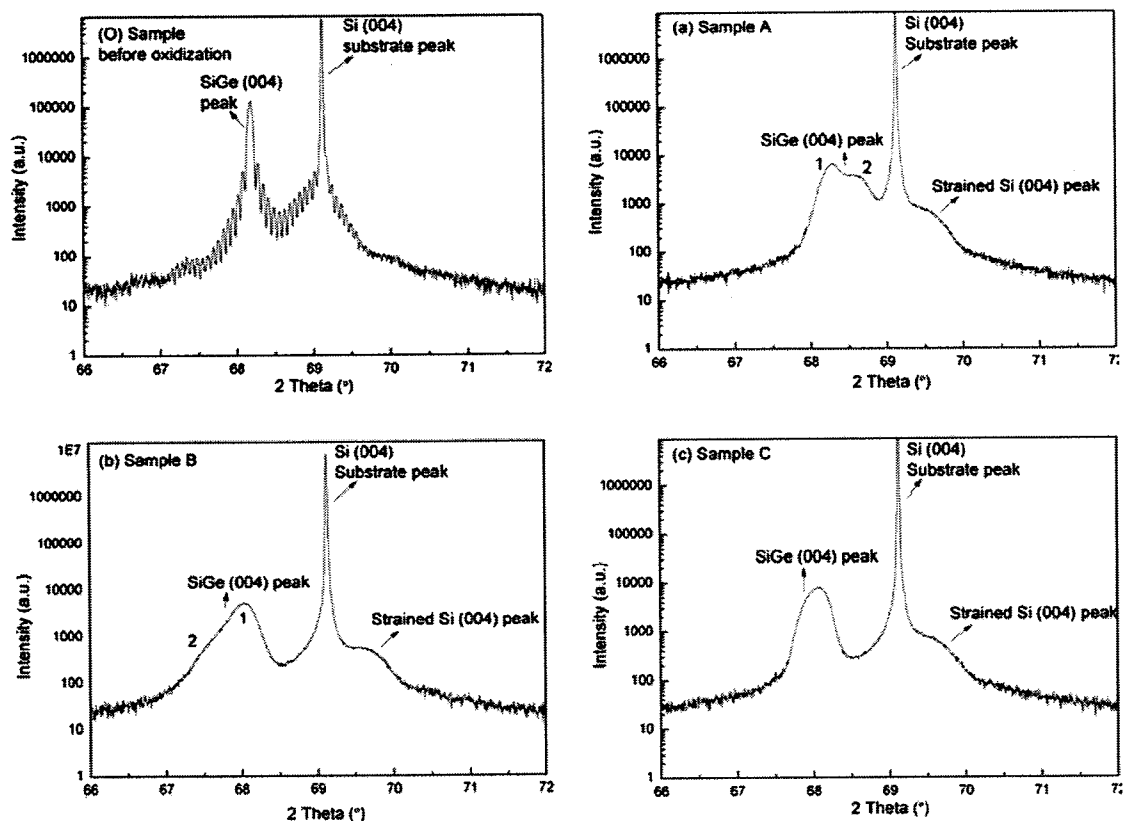


图 2.10 不同浓缩样品的 XRD 图 (O) 浓缩前样品 (a) 无后退火处理的浓缩样品 SGOI (b) 900℃ 后退火的 SGOI (c) 1000℃ 后退火的 SGOI

(3) XRD 结果分析

浓缩前的 Si/SiGe/Si 结构样品, SiGe 层共格生长在 SOI 的顶层 Si 上, XRD 测得 SiGe 峰位 $2\theta = 68.1875^\circ$, 那么根据 Bragg 公式 2-1 可以计算得到垂直方向晶格常数为 $a_{\perp} = 5.495 \text{ \AA}$, 假设 SiGe 完全在 Si 上共格生长, 那么平面方向晶格常数 $a_{\parallel} = a_{\text{Si}} = 5.431 \text{ \AA}$, 将 $a_{\perp}$ 和 $a_{\parallel}$ 以及式 2-4、2-5 代入式 2-2 计算可得 Ge 组分 x 为 16%, 这与实验设计 (15%) 基本相符。同时, 若以浓缩后的 SGOI 样品中 SiGe 层应力完

全弛豫[72]来计算的话, 样品 A 与 B 由于伴峰影响, 定性分析其为 Ge 组分不均所致, 相关计算较为困难, 而对于样品 C 来说, 假设 SiGe 层应力完全弛豫, 则可同样根据上述公式进行计算可得 Ge 组分为 28%, 有待进一步测试对比。

§2.2.3.3 TEM 观察

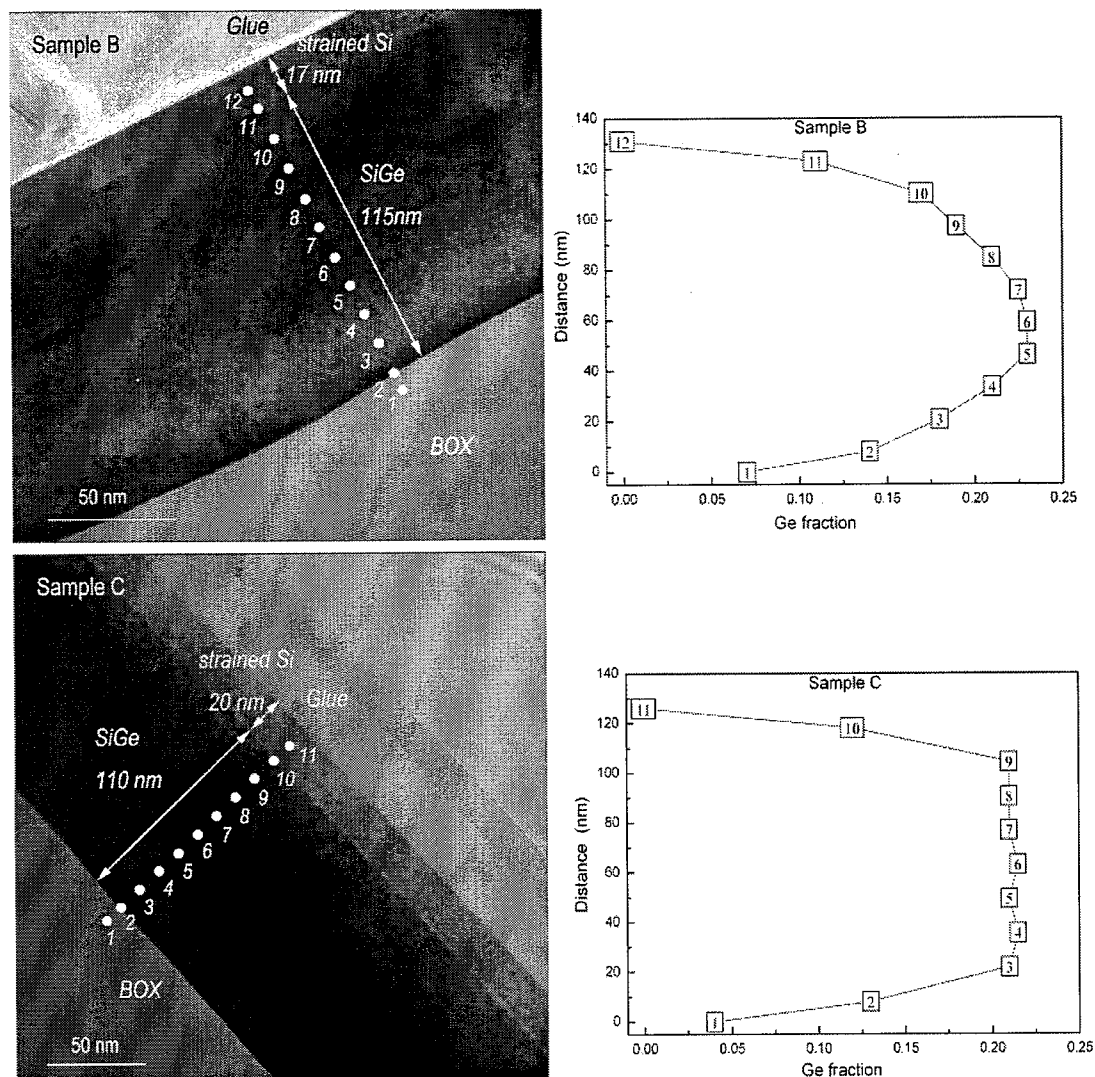


图 2.11 不同后退火工艺 SGOI 样品(含顶层 sSi)的 TEM 照片以及相应 EDS 能谱所得 Ge 元素分布

从图 2.11 的 TEM 结果来看, 浓缩 2 小时的样品, SiGe 的厚度从 158nm 降低到了 110nm 附近, 假设 Ge 在退火过程无损失, 那么理想的均匀 Ge 组分应当为 $15\% \times \left(\frac{158}{110}\right) = 21.5\%$. 从 EDS 结果来看, 采用 900℃ 后退火的样品 B, 其 Ge 组分呈现了中间高两边低的梯度分布, Ge 原子的富集却出现在了中间, 与之前

研究人员报道的富集在两端界面有所不同,这种现象的原因不甚明确,推测可能跟退火过程中升降温度的速率有一定关系;改良后退火工艺的样品 C, Ge 组分 21.5%, 几乎达到完美的均匀程度,这对于晶格质量、弛豫程度以及其上外延应变硅的应变变量至关重要。此外,我们注意到,前述 XRD 对样品 C 的 Ge 组分的推算出现了较大的误差,这主要是因为浓缩后样品的晶格不可避免的存在着一些损伤,在 XRD 图谱中就可以看到浓缩后样品的 SiGe 峰形比浓缩前样品展宽许多,这给衍射峰的定位和计算都带来了较大的误差。

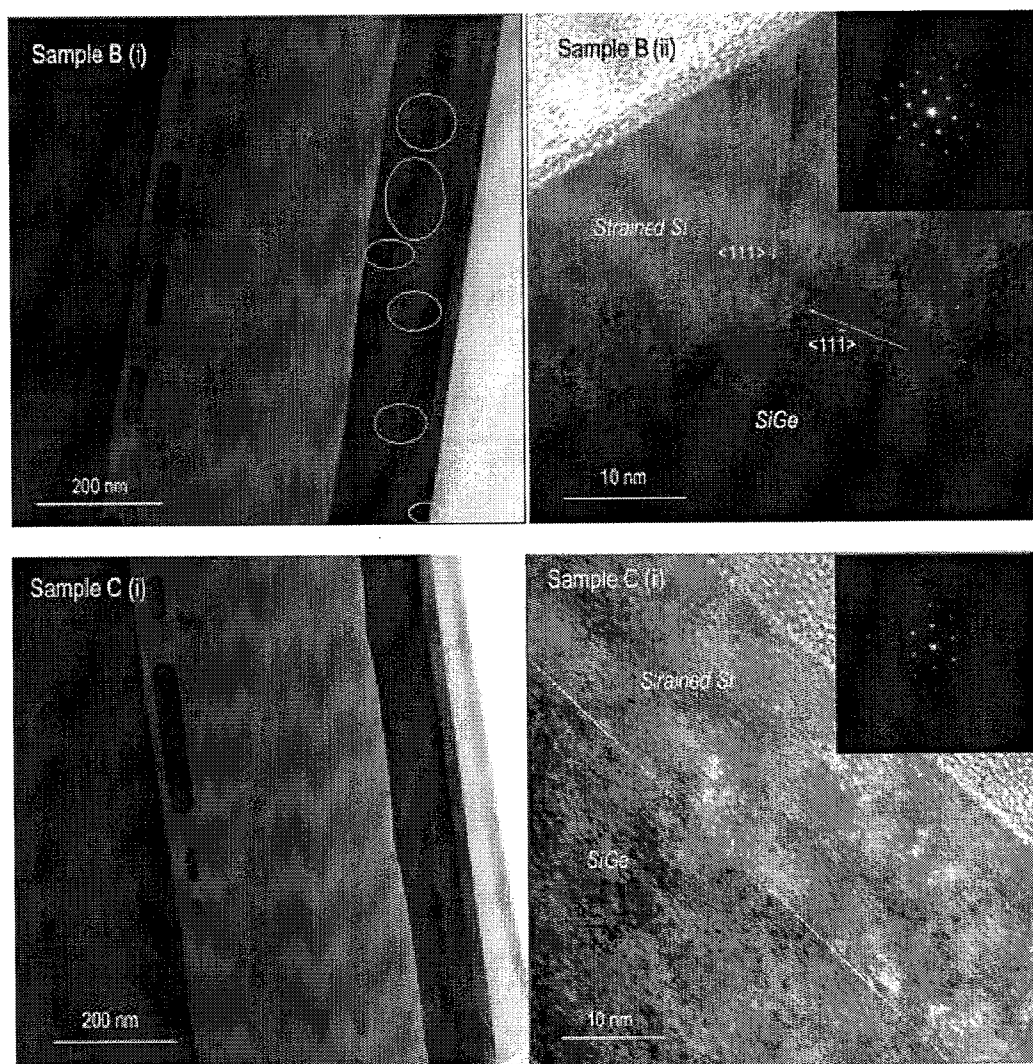


图 2.12 不同后退火工艺 SG01 样品(含顶层 sSi)的高分辨 TEM 观察以及电子衍射谱

同时,我们对样品 B 和样品 C 进行了高分辨 TEM 的观察,从图 2.12 中可以看出,改良工艺的样品 C 视野中几乎未观察到位错出现,说明其具有极低的缺陷密度,而样品 B 中则出现了较多的位错,这些位错多数沿 $\langle 111 \rangle$ 方向发展;表层已经外延的应变硅的质量和位错情况也说明改良工艺确实获得了更加优质

的 SGOI 衬底, 而 Ge 组分渐变会因为应力在 SiGe 层内释放, 从而导致较多位错的产生。此外, 电子衍射花样也显示了所制备样品为质量较好的单晶材料。

§2.2.3.4 Raman 测试

Raman 谱技术是一种非破坏性的、无损伤的光学探测方法。从原理上讲, 非弹性散射的 Raman 散射光常常携带了固体中的各种元激发(声子、电磁激发、磁振子、电子激发和等离激元等) 的状态, Raman 频移代表了元激发的能量, 只要其能量在 Raman 技术的可测范围(以波数表示大致在 $10\sim 3000\text{ cm}^{-1}$) 内就有可能用 Raman 光谱进行研究^[40]。特别是 Raman 散射包含有晶格振动的信息, 晶体的不完整性、缺陷、应力、应变都将可能引起拉曼特征谱的变化。

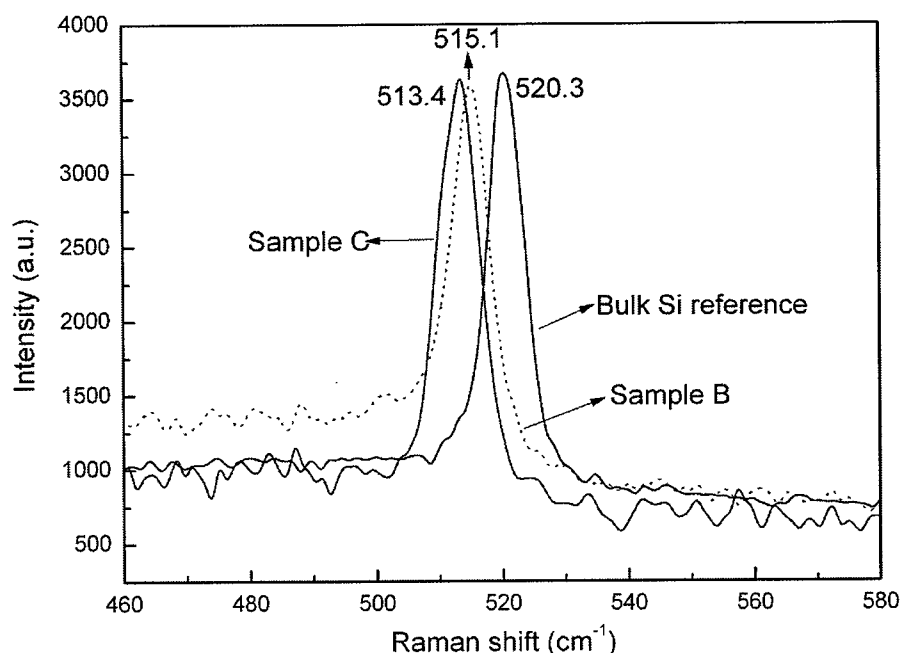


图 2.13 不同后退火工艺 SGOI 样品的顶层 Si 拉曼测试

图 2.13 是应用紫外拉曼(UV-Raman)对不同后退火温度的两个样品顶层外延的薄 Si 层进行的测试, 325nm 波长的紫外激光对 Si 的穿透深度仅为 5-10nm, 因而测试几乎不受衬底干扰, Raman 峰向波数减小方向的偏移量越大, 说明 Si 晶格的应力越大, 关于 Raman 的分析将在下章详细阐述。此处也间接证实了改良的 1000°C 后退火工艺促使 Ge 分布均匀从而使 SiGe 层表面 Ge 组分提高, 可以帮助获得应力相对较大的应变硅材料。

§2.2.4 结果分析

以上结果证实了 1000℃ 的 N_2 后退火可以显著提高浓缩后 Ge 元素分布在 SiGe 层中的均匀性,其原因主要是在 800℃ 以上高温,Ge 在 Si 中的扩散系数(D)会随着温度上升而呈现越来越快的增大,如图 2.6 所示,1000℃ 下 Ge 的 D 值比 900℃ 时候增大将近 100 倍。Di 等人[67]曾提出了 Ge 浓缩中 Ge 原子运动模型,其中认为,因为 SiO_2 (-856.3eV)比 GeO_2 (-521.4eV)的 Gibbs 生成自由能低很多,而使得在 SiGe 的氧化过程中 Si 更为活波,它会优先与 O 元素发生反应,Ge 元素则会从生成的 SiO_2 中排挤出来在顶部的氧化物界面处聚集,并向下扩散消除了原先 SiGe/SOI 间界面,将 SOI 的顶层 Si 转变成新形成的 SiGe 层。此时继续保持在高温状态下,由于 Ge 在 SiO_2 中的扩散系数非常低,Ge 原子则在上下氧化物界面之间扩散,在界面处会因为扩散突然截止而产生富集现象。本实验通过提高了后退火温度而改进了 Ge 的分布,实际上跟 Ge 原子在 SiGe 层中聚集和扩散之间的竞争有关[73]。在氧化过程中,Ge 原子持续的向 SiGe 下界面扩散而导致下界面 Ge 的聚集,而在 N_2 后退火过程中,Ge 原子在 SiGe 层中持续扩散,因上下氧化物界面的屏蔽作用,会导致 Ge 的聚集效应在上下界面和中间会比较集中,提高了退火温度之后,Ge 的扩散系数增加百倍,扩散作用远远大于聚集,那么 Ge 原子的分布就会更加的均匀,从而几乎消除了 Ge 原子的聚集效应。另外,从图 2.7 的 Si-Ge 相图上来看,21.5%左右 Ge 组分的 SiGe 熔点高于 1200℃,所以 1000℃ 后退火不会造成晶格的融化破坏,但是在 1050℃(SiO_2 熔点 1710℃ 的 61.4%)以上,埋氧层 SiO_2 会开始变得粘滞,具有一定的流动性[74],这在氧化浓缩的时候可以帮助实现无缺陷产生的应力释放,但在元素分布均匀化的后退火中,则可能导致 Ge 原子向 SiO_2 中的扩散增加,并使 SiGe 表面粗糙度增大。

总之,氧化浓缩制备 SGOI 工艺中的 N_2 后退火步骤,采用 1000℃ 高温可以在 Ge 原子扩散和聚集之间获得一个最佳平衡点,从而制备得到组分均匀,位错密度极低的 SGOI 材料,为应变硅的制备打下了坚实基础。

§2.3 Ge 组分可控的 SGOI 制备研究

§2.3.1 实验过程

与上述浓缩实验类似,先在超薄 SOI 上依次外延 SiGe 层(Ge%=15%)和 Si

盖层作为初始样品，实验样品结构 Si (20nm)/Si_{0.85}Ge_{0.15} (100nm)/(50nm)SOI，其中 SOI 埋氧层厚度为 150nm。经过标准清洗之后，分为多个样品，分别进行 20min、40min、60min、70min、80min、100min、120min 以及 150min 的浓缩实验，所有样品均在 1150℃ 进行氧化浓缩，在浓缩后都进行了 N₂ 气氛中的后退火以改善 Ge 元素分布。

所得样品采用四晶衍射 XRD 进行测试，Ge 组分则结合 XRD 结果和其他测试手段(Raman、AES 等)得出。

§2.3.2 结果与分析

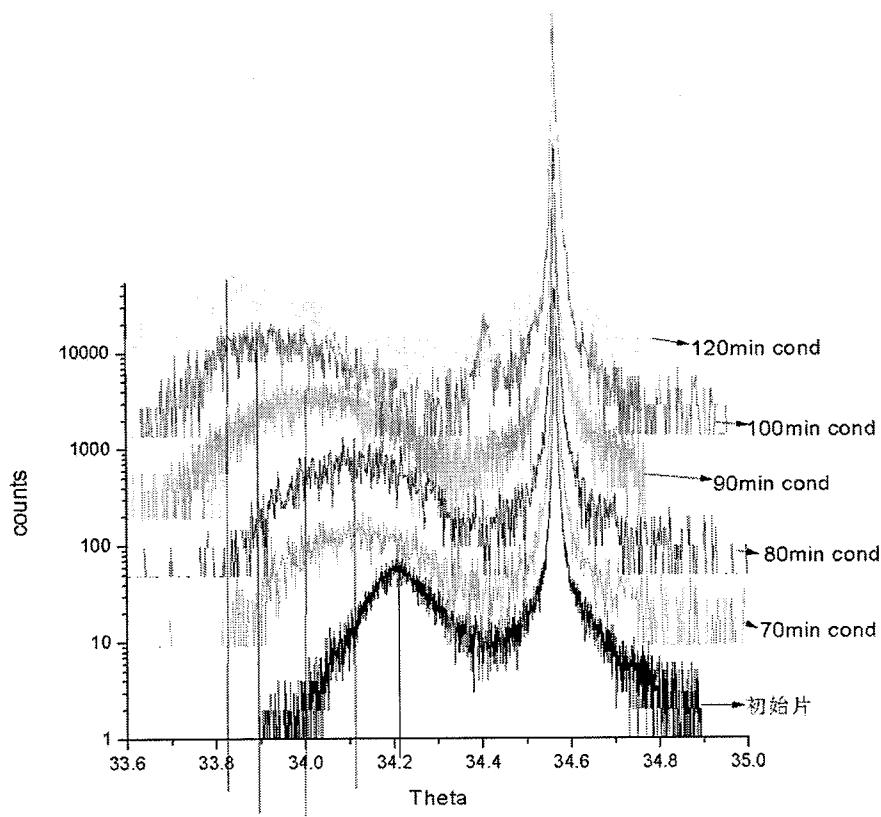


图 2.14 不同浓缩时间的 SGOI 样品 XRD 摇摆曲线

图 2.14 是浓缩时间在 70min 和 120min 之间样品的四晶衍射 XRD 摇摆曲线，从图中可以看出，随着浓缩时间的增加，SiGe 峰位不断的向 Bragg 角减小的方向移动，定性显示了 Ge 组分随氧化时间增大的趋势。根据 Bragg 公式 2-1 可以知道，SiGe 的晶格常数随着衍射角的减小而变大，也就是说 Ge 的组分在不断增加；同时，浓缩样品的 SiGe 峰宽度除了比初始样品有所展宽，增加浓缩时间的

样品，峰宽并未明显增大，说明所得 SiGe 晶格质量良好。

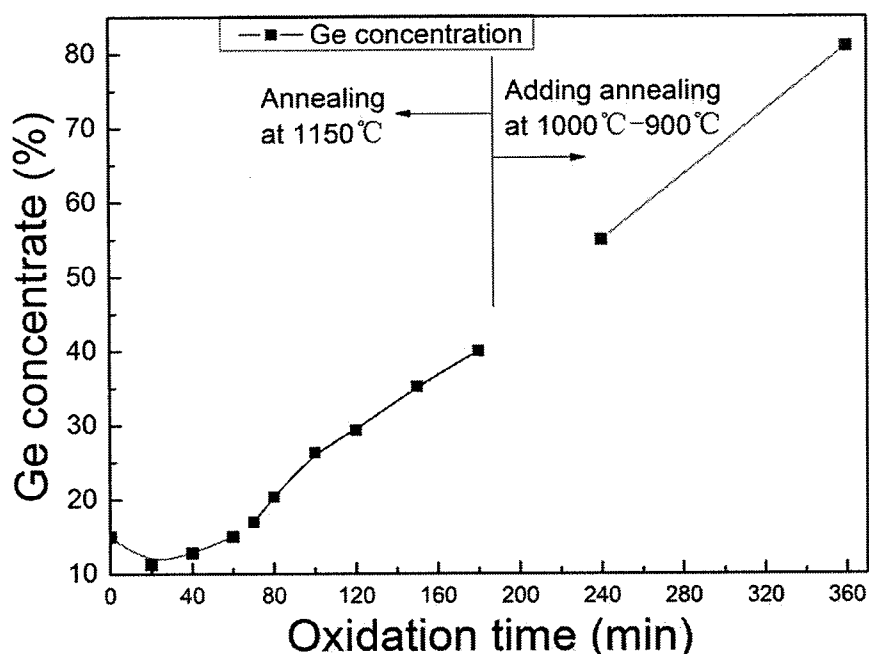


图 2.15 Ge 组分与浓缩时间的关系

实际上，经历 2.5 小时浓缩的样品，Ge 组分在 35% 左右，从图 2.7 的 Si-Ge 相图得知，1150℃ 已经接近组分为 35% 的 SiGe 的熔点，因此，如果在原温度上增加浓缩时间，就会由于 SiGe 的融化而产生不可预料的破坏性后果，这时候，需要降低氧化温度，分步进行浓缩来继续提高 SiGe 层中的 Ge 组分，实验小组使用这种降低氧化温度分步浓缩工艺获得了高 Ge 含量的 SGOI 样品[75]，主要是在 1150℃ 氧化 2.5 小时之后，依次降低温度到 1000℃、900℃ 进行 1~3 小时的氧化，以保证氧化过程中，温度处于所得 SiGe 的熔点之下。这步实验最后得到的 SGOI，从厚度变化来分析，Ge 有了一定程度的损失，增加 1 小时氧化的样品 Ge 组分为 55%，增加 3 小时氧化的样品 Ge 组分为 81%。实际上，如果氧化过程中 Ge 无损失，那么 Ge 组分升高的速率会随着样品层的原来越薄而变得更快，Ge 的氧化和扩散损失刚好使得浓缩曲线保持了近似线性的规律。而 81% 的组分已经非常接近类 Ge 的临界组分 85%，对于 SiGe 材料的研究以及基于 SiGe 的应变 Si、Ge 的外延具有重要意义。同时，考虑到高温氧化具有一定的可选温度范围(如 900℃-1200℃)，本实验选用了 1150℃ 的初始温度，如果因实验设计或者客观条件而改变初始氧化温度，需根据氧化速率对上述模型进行相应调整，但结果并不影响相同实验方案所得组分变化趋势。

§2.4 本章小结

本章进一步改进了 SGOI 制备的 Ge 浓缩技术，制备了不同组分的 SGOI 材料并发现了一定的浓缩规律，所获得的主要成果有：

- (1) 基于浓缩后 SiGe 中 Ge 原子聚集的现象，改进 N_2 后退火工艺温度至 $1000^{\circ}C$ ，经过对比实验和多种手段的表征，证实了 $1000^{\circ}C$ 的后退火工艺可以消除 Ge 聚集现象，从而大大提高 SGOI 晶体质量；
- (2) 分析了提高 N_2 后退火温度对改善浓缩所得 SGOI 质量的原因，主要是因为两侧具有扩散阻挡层的高温条件下，Ge 原子的扩散和聚集效应竞争的结果，由于 Ge 在 $1000^{\circ}C$ 下在 Si 中的扩散系数要比在 $900^{\circ}C$ 下高将近 100 倍，使其扩散效应大于聚集，因而获得了非常均匀 Ge 分布的 SGOI 材料；
- (3) 制备了一系列不同氧化浓缩时间的 SGOI 样品，发现其经过一定时间的氧化浓缩，Ge 组分恢复原有外延 SiGe 中组分之后，SiGe 中的 Ge 组分会随着浓缩时间的增加而呈近似线性的增加，经过特殊的工艺控制，这种线性趋势可以保持到高达 81% 的 Ge 组分浓度。这样就掌握了一定范围内，Ge 组分可控的 SGOI 制备方法。

第三章 SGOI 上应变 Si 材料的制备和表征

§ 3.1 引言

绝缘体上应变硅 (strained-Si On Insulator, sSOI) 结合了应变硅和 SOI 衬底的双重优点, 如降低短沟道效应、消除 Latch-up 效应、抗辐照以及较高的迁移率和驱动能力等。当前引入应变一般可以分为两类: 全局应变和局部应变。全局应变晶圆中, 一般利用可以共格生长的优势, 在弛豫的 SGOI 衬底上外延应变 Si, 或者将在外延在弛豫 SiGe/组分渐变 SiGe 上的应变 Si 通过键合转移到绝缘衬底上而形成 sSOI。局部应变主要是工艺致应变, 如第一章应变 Si 的制备方法里所介绍, Intel 采用氮化硅盖帽层为 NMOS 产生张应变, 使用嵌入式 SiGe 源漏来使 PMOS 沟道产生压应变; 应用材料(AM)和德州仪器(TI)也利用嵌入式 SiGe 源漏; IBM 则分别采用压应变的 Si_3N_4 和张应变 Si_3N_4 来实现不同的沟道应变; 意法半导体利用浅沟道隔离(STI)来对沟道区产生压力从而使其发生应变等。局部工艺致应变已在日新月异的微电子工业中被大量采用, 而全局应变晶圆的研究和应用尚且较少, 因此, 本论文工作主要是实现弛豫 SGOI 上的全局应变 Si 薄膜。

§ 3.2 应变硅材料的制备探索

§ 3.2.1 电子束蒸发(EBE)制备应变硅材料

在 SGOI 制备的研究基础上, 出于设备方便考虑, 首先采用了超高真空电子束蒸发外延法制备应变 Si 薄膜。

§ 3.2.1.1 实验流程

在前一章实验研究基础上, 使用 Ge 浓缩方法制备的 SGOI 衬底样品, 在去除了顶层热氧化层之后, 进行严格的外延前清洗。为了避免氨水对 Ge 的腐蚀, 使用浓 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=3:1$ (体积比)代替半导体标准清洗中所用以氨水为主的一号液(RC1), 二号液(RC2)仍然按标准使用, 其比例为 $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ 。最后使用稀释的 HF 溶液去除样品表面自然氧化层, 并且使表面富氢和纯化, 阻止离子

的重新沾污。

将清洗好的 SGOI 样品放入 UMS 500P 超高真空电子束蒸发的预真空室内，在薄膜沉积主腔体本底真空达到 10^{-7} Pa 后，将样品传送入主腔体。升高衬底温度到 800°C ，保持 5 分钟对表面进行脱 H 处理，然后以 $1\text{\AA}/\text{s}$ 的速率沉积厚度 20nm 左右的应变 Si 薄膜，薄膜的沉积速率和厚度可以通过设备自带的石英晶振仪精确控制。

§ 3.2.1.2 样品表征

所测试样品为：浓缩前样品 SiGe 层 Ge 组分为 15%，厚度 90nm ，应变 Si 样品的衬底 SGOI 由 2 小时 1150°C 氧化浓缩获得。

(1) TEM 观察

图 3.1 对比了浓缩前初始样品和最终获得应变 Si 样品的 TEM 照片。由图中可以得知，所获得的应变 Si 薄膜厚度为 17nm ，样品各层之间界面清晰、陡直，从高分辨照片来看，应变 Si 完全以共格方式生长，Si/SiGe 间界面连续，视野中未观察到位错出现，说明样品具有优异的晶体质量。同时，TEM 照片所展示的浓缩前初始样品的 Si/SiGe/Si 结构界面相当清晰，样品晶格清晰，质量完好。

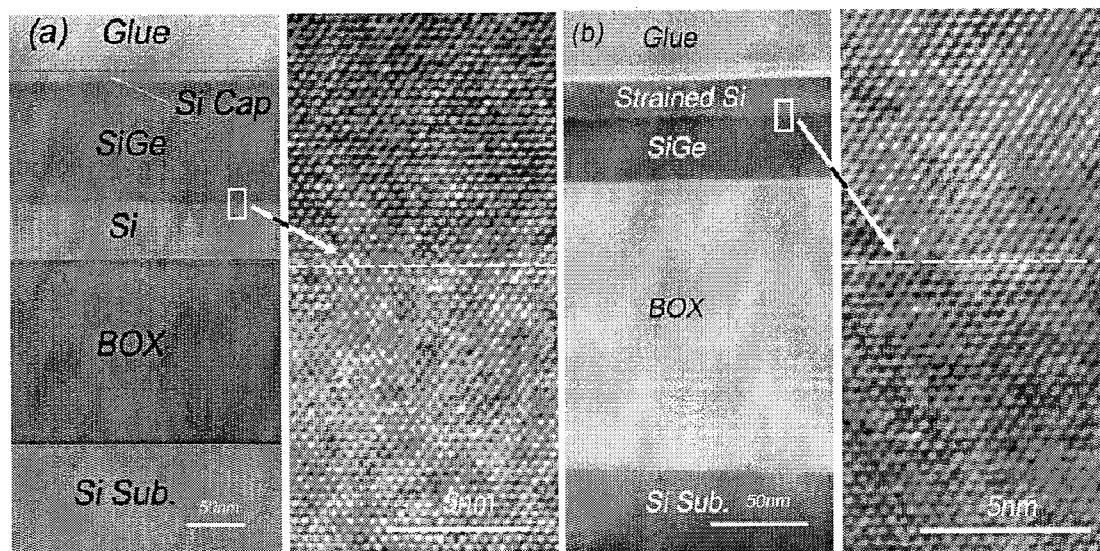


图 3.1 浓缩前初始样品(a)和最终应变 Si 样品(b)的 TEM 观察

值得注意的是，此次实验浓缩前样品顶层 Si 盖层偏薄，仅为 7nm ，因而浓缩中 Ge 组分控制需要根据样品参数做相应调整。浓缩前后，SiGe 层厚度由 90nm 变为 45nm ，由此推算浓缩后 SiGe 层 Ge 组分应为 30%。

(2) 二次离子质谱(Secondary Ion Mass Spectroscopy, SIMS)

二次离子质谱(SIMS)借助入射离子的能量将样品表面原子或分子溅射入真空,同时由质谱仪测量所发射的二次离子质量,从而检测元素的组分与分布,是常用的表面分析手段,具有很高的灵敏度和准确度。为了研究元素分布,对浓缩前初始样品和最终获得应变 Si 样品进行了 SIMS 深度分析,如图 3.2 所示,其中

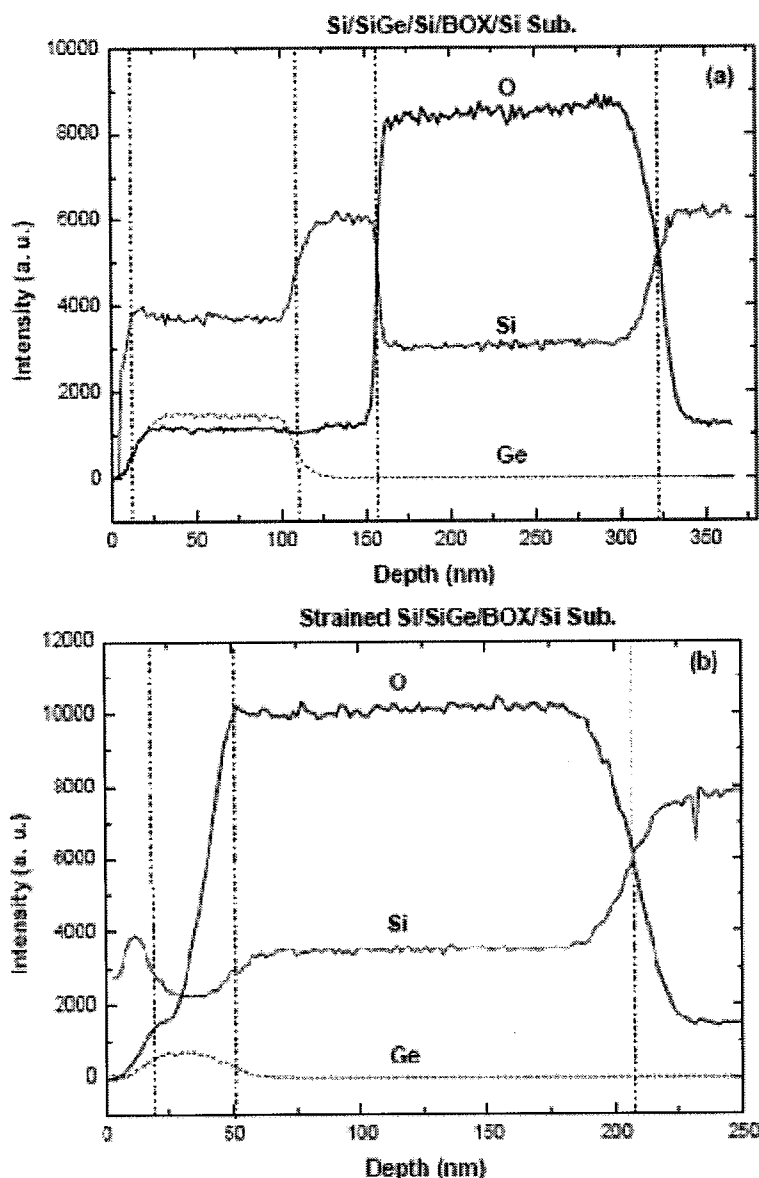


图 3.2 浓缩前初始样品(a)和最终应变 Si 样品(b)的 SIMS 分析

横坐标已经根据离子溅射速率换算成样品自表面向下的深度值,浓缩前初始样品(a)各界面之间相当清晰和陡直,且各层组分都十分均匀;应变 Si 样品亦可以观察到分层,只是 SiGe 层上下界面处 Ge 组分较低,顶层应变 Si 层看起来有 Ge 的扩散进入。这种现象的产生一方面与本次 SIMS 测量精度和误差稍大有关,另

一方面, 我们认为与温度有关, 关于这一点, 将在下文中阐述。

(3) 紫外拉曼(UV-Raman)测试

实验采用了激发光源为 325 nm 的紫外激光进行 Raman 测试, 因为它对 Si 和 SiGe 材料的穿透深度仅为 5-10 nm, 可以有效避免衬底对表层信号的干扰, 提高测量的灵敏度和可靠性。图 3.3 是应变 Si 样品的 Raman 图谱, 图中普通体 Si 的 Raman 谱作为对比。图中的 Raman 峰均对应于 Si-Si 振动模式 LO 声子(纵向光学声子)频移, 即应变 Si 中的 LO 声子。

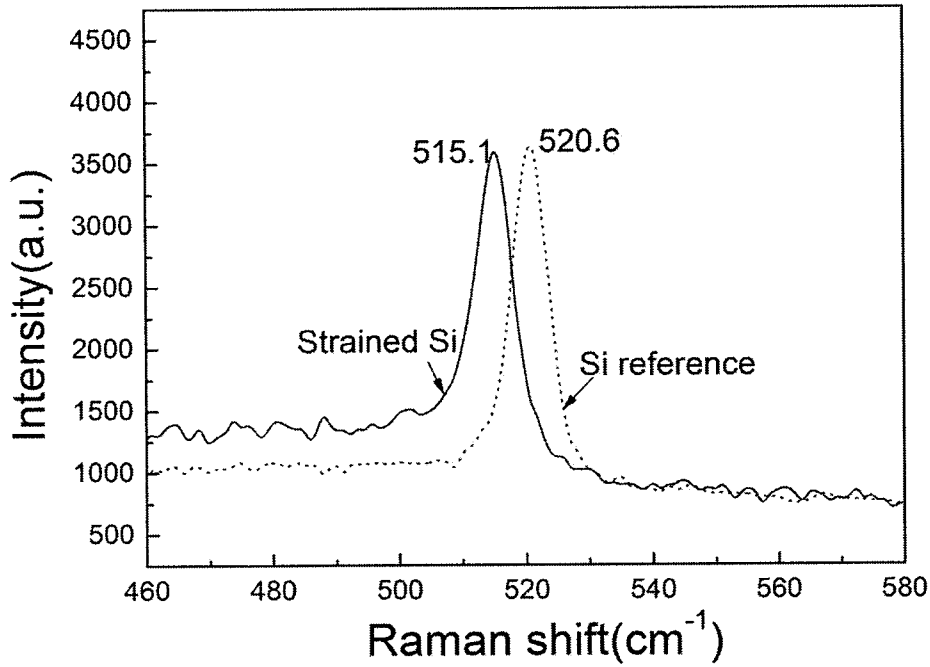


图 3.3 应变 Si 样品的紫外 Raman 图谱

应变 Si 的 Raman 峰(Si-Si mode)位置从体 Si 的 520.6 cm^{-1} 移到了 515.1 cm^{-1} , Raman 位移为 -5.4 cm^{-1} , 表明外延的顶层 Si 中产生了双轴张应变。平面应变变量则可以通过下面公式 3-1 求得[76-78]:

$$\Delta\omega_{\text{Si-Si}}^{\text{strained-Si}} = \omega_{\text{Si-Si}}^{\text{strained-Si}} - \omega_{\text{Si-Si}}^{\text{bulk-Si}} = b_{\text{Si-Si}}^{\text{strained-Si}} \times \epsilon^{\text{strained-Si}} \quad (3-1)$$

$$\epsilon^{\text{strained-Si}} = -0.00123\Delta\omega_{\text{Si-Si}}^{\text{strained-Si}}$$

其中 $\Delta\omega_{\text{Si-Si}}^{\text{strained-Si}}$ 为 Raman 峰位移量, $\epsilon^{\text{strained-Si}}$ 是顶层应变 Si 应变变量,

$\omega_{\text{Si-Si}}^{\text{strained-Si}}$ 和 $\omega_{\text{Si-Si}}^{\text{bulk-Si}}$ 分别是应变 Si 和体硅的 Raman 散射峰位, 应变频移系数

$b_{\text{Si-Si}}^{\text{strained-Si}} \sim 784 \text{ cm}^{-1}$, 可以计算得知, 应变硅中张应变为 0.7%.

此外, 应力大小和 Raman 位移的关系式[79, 80]

$$\sigma = -2.09 \times 10^8 \Delta\omega \text{ (N} \cdot \text{m}^{-2}) \quad (3-2)$$

式中, σ 为应力大小, 单位是 $\text{Pa} = \text{N} \cdot \text{m}^{-2}$, 为正值时是张应力, 为负值时候是压应力, $\Delta\omega$ 为 Raman 位移量。由此可以计算得知张应力为 1.13 GPa。

由此可见, 利用高真空电子束蒸发, 在 800℃ 外延初步获得了单晶应变硅薄膜材料, 含有 0.7% 的应变变量, 张应力大小为 1.13 GPa。

§ 3.2.1.3 应变平台与薄膜不完整

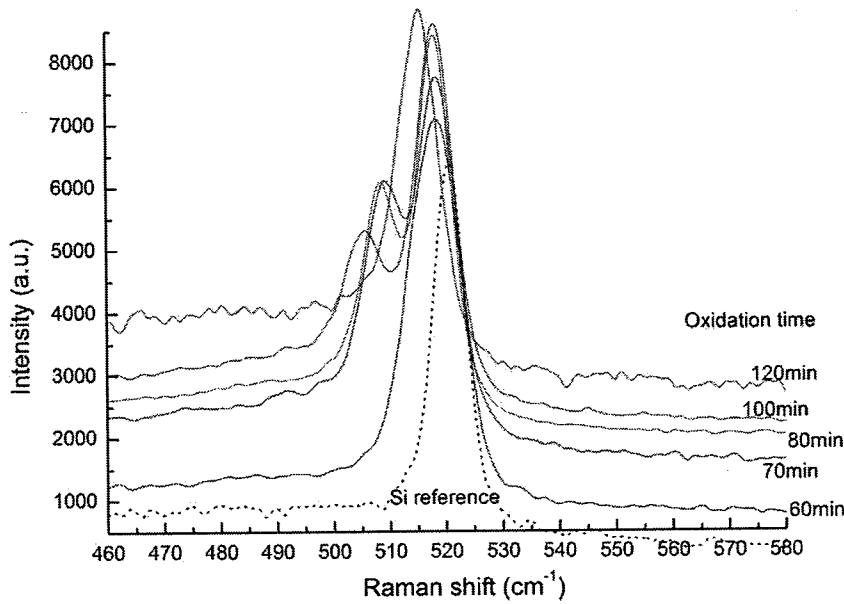


图 3.4 不同浓缩时间的 SG01 衬底上应变 Si 的 Raman 光谱

对于上文所测试的应变 Si 样品, 结合实际衬底 SiGe 的 Ge 组分来计算的话, 假如应变 Si 为完全共格生长无弛豫, 那么实际上 0.7% 的应变变量仅仅对应 17% 的 Ge 组分, 这与 TEM 对 Ge 组分的推断(30%)相去甚远; 同时, 从图 3.2 的 SIMS 结果也发现外延应变 Si 的 SiGe 表面, Ge 组分偏低。因此我们推测样品应变度较低的原因可能是表面 Ge 损失和应变 Si 薄膜出现了应力弛豫两方面所致。与此同时, 对于在不同的浓缩时间所得 SG01 上外延的一批应变 Si 样品进行了 UV-Raman 测试, 其光谱如图 3.4 所示。

虚线为普通体 Si 参考样品的光谱, 可以看到, 衬底为 2 小时浓缩的样品应变相对较大, 而 60 分钟到 100 分钟的样品, 其顶层 Si 的 Raman 峰位却保持一致, 这是其一; 其二, 几个样品在波数 510 cm^{-1} 附近出现了额外的 Raman 峰,

经过对应，这些额外的 Raman 峰是 SiGe 样品中的 Si-Si 振动模信号[77]，这表明实衬底 SiGe 在 Raman 测试中被检测到。

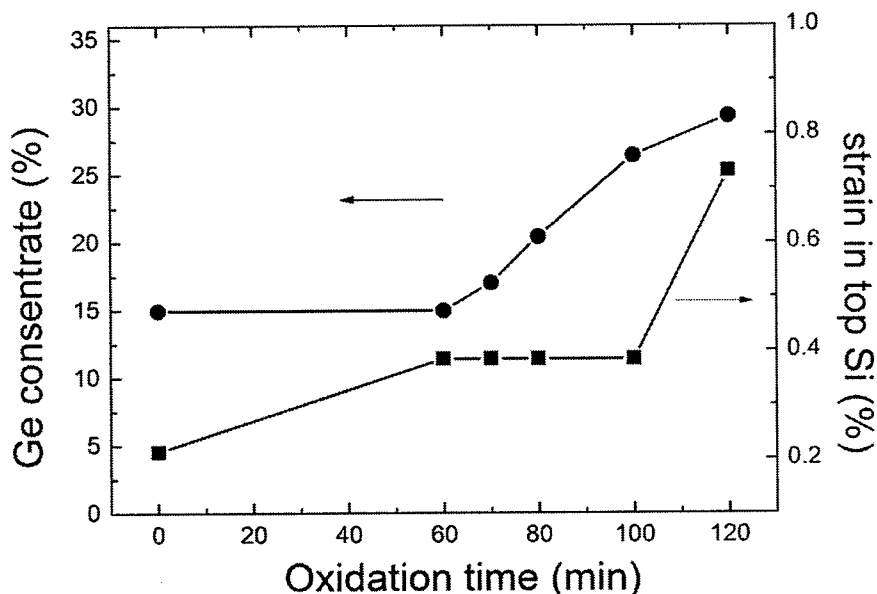


图 3.5 应变 Si 样品应变量、衬底 Ge 组分与浓缩时间的关系

统计其应变与衬底 Ge 组分关系如图 3.5 所示，衬底 SiGe 中 Ge 组分随着浓缩时间的增加呈近似线性增加，而 60min 到 100min 四个样品，在最终外延的应变 Si 样品的应变测量上，却出现了应变平台。

这个特殊的现象促使我们去寻找原因，对样品的 TEM 结果重新进行了细致的观察发现在 TEM 检测图片中，有少数几张显示了表层应变硅具有部分缺失，如图 3.6 中画圈的地方所示，于是我们对样品表面进行了扫描电子显微镜 (Scanning Electron Microscope, SEM) 观察和 AFM 检测，发现所得的应变硅薄膜不完整，如图 3.7 所示。两小时浓缩的样品，应变 Si 薄膜表现为连续面积稍大的片状，这也是 TEM 能够测到完整结构以及 UV-Raman 没有在此样品上测到 SiGe 信号的原因；而在其它样品中，多数出现了如同图 3.7(b) 中的尺度为 200-500nm 的单晶硅岛。

实际上，图 3.4 中衬底 SiGe 信号被穿透深度不超过 10nm 的 UV-Raman 检测到，已经暗示了应变 Si 薄膜的不完整。正是薄膜的不完整，一方面造成在高温外延中 Ge 的挥发损失，另一方面，纳米尺度的应变 Si 岛可能发生了应变弛豫，这些原因造成了前面出现的应变平台。

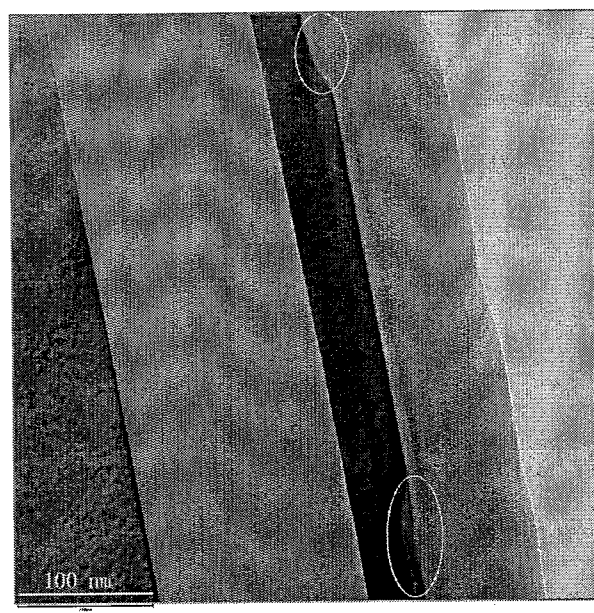


图 3.6 衬底为 2h 浓缩 SG01 的应变 Si 样品 TEM 图片

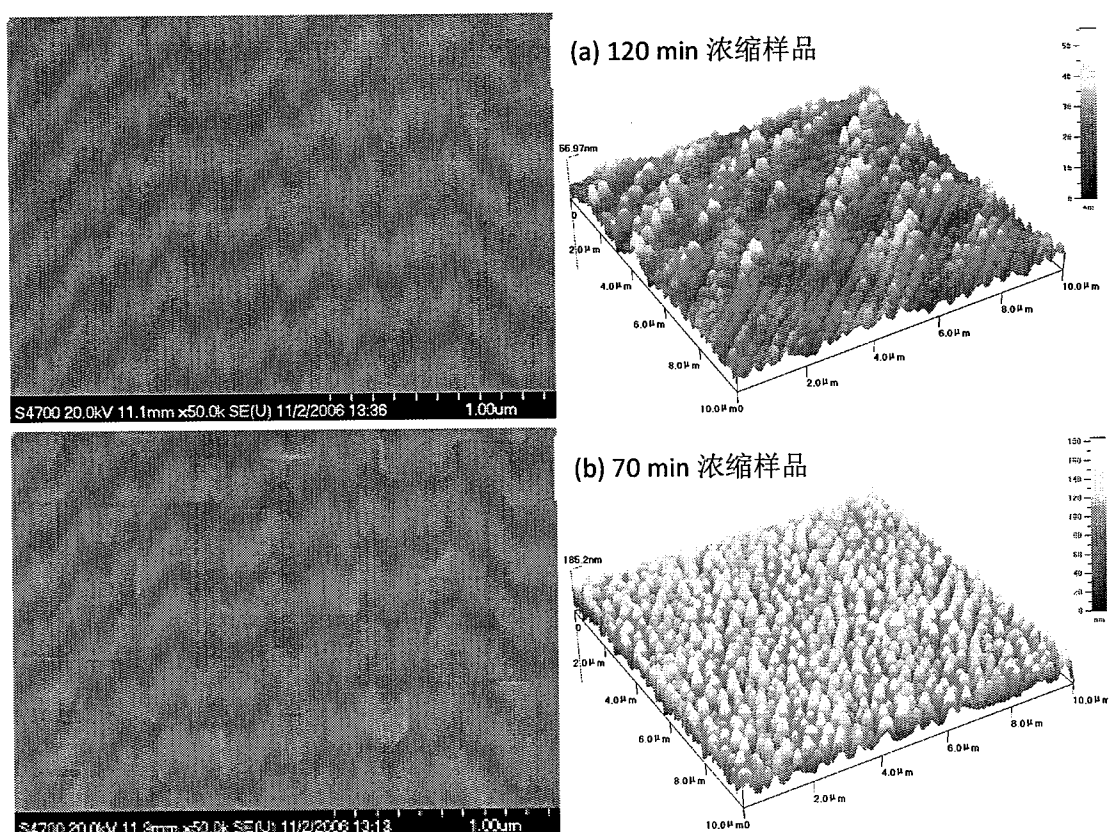


图 3.7 衬底分别为 2 小时(a)和 70min(b)浓缩的应变 Si 样品表面 SEM&AFM 观察

§ 3.2.1.4 原因分析与解决方法

为了获得薄膜完整的高质量应变 Si，对于上述现象提出了如下分析：

(1) Ge 在高温下易扩散, 图 3.8 为 Ge 在 Si 表面的扩散系数[81], 结合前一章中 Ge 在 Si 中的扩散系数讨论, 我们认为在 800℃ 的应变 Si 外延过程中, SiGe 表面无保护状态导致靠近上表面的 Ge 原子较容易因为扩散而逃逸, 这就造成了表面 Ge 组分的下降和分布不均匀, 从而严重影响了应变 Si 的外延生长;

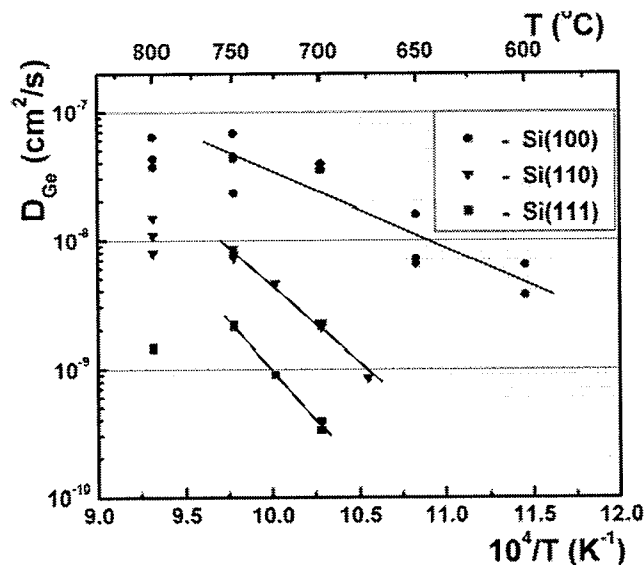


图 3.8 Ge 在 Si 表面的扩散系数[81]

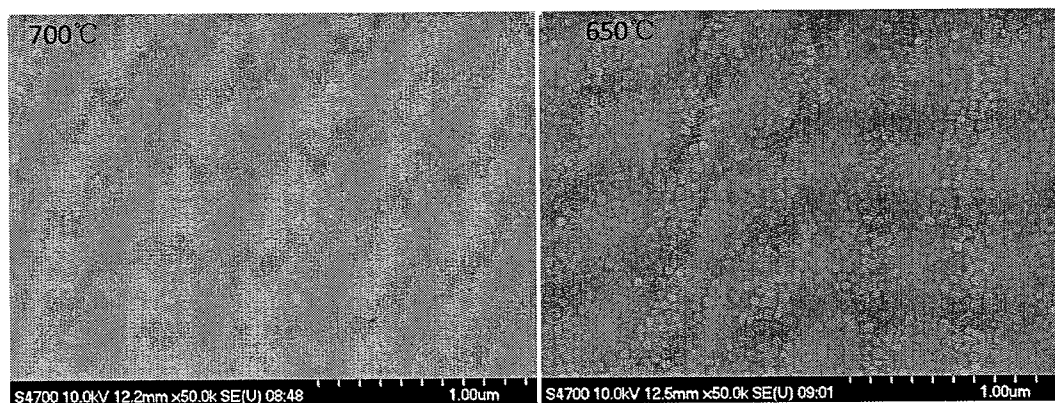


图 3.9 低于 800℃ 的 EBE 外延 Si 之 SEM 观察

(2) 电子束蒸发外延时, Si 原子是以团聚的方式在 SiGe 表面堆叠, 这一程度上也为应变 Si 岛的形成提供了便利。需要注意的是, 不同 Ge 组分上纳米尺度的 Si 岛应变量相同, 也预示着应变 Si 可能存在纳米尺寸效应。

根据以上分析, 我们认为应当采用较低的温度进行应变 Si 的外延, 来避免 Ge 损失和外延薄膜不完整的情况出现。

图 3.9 是利用 EBE 在单晶 Si 片上进行低于 800℃ 的外延实验所得样品的 SEM 观察图片, 样品处多晶态, 结果表明 EBE 的外延手段在低于 800℃ 的温度下,

要外延获得完整的单晶 Si 薄膜极为困难。而 UHVCVD 在较低温度下的 Si、SiGe 外延技术已经很成熟，我们决定与其他研究单位合作，选用 UHVCVD 来进行 SGOI 上应变 Si 的低温外延。

§ 3.2.2 UHVCVD 制备应变硅材料

§ 3.2.2.1 实验流程

使用 Ge 浓缩法超薄 SGOI 衬底制备，本次实验所用初始片结构为 (20nm)Si/(110nm)Si_{0.9}Ge_{0.1}/(50nm)Si/(150nm)SiO₂/Si substrate, 其中 SiGe 层 Ge 组分为 10.41%。样品经过 1150℃ 高温氧化浓缩退火 2h 并经过后退火处理，形成的 SiO₂/SiGe/SiO₂/Si sub 结构材料经过顶层 SiO₂ 去除和外延前的严格清洗，在 UHVCVD 设备中外延顶层 Si。外延使用 Si₂H₆ 气体，衬底温度 550℃，本底真空 1.3×10^{-7} Pa，生长速率 1nm/min, 时间设定 30min。

为了检测所得应变 Si 薄膜完整性和表面平整度，分别对样品进行了 SEM 和 AFM 的表面观察；使用卢瑟福背散射沟道谱(RBS/C)和 TEM 检测晶体质量，并利用 SIMS 和 UV-Raman 对样品元素分布和应变进行了表征。

§ 3.2.2.2 表面形貌

首先，我们使用扫面电子显微镜(SEM)观察了样品的表面，如图 3.10 所示，可以发现本次样品并未出现图 3.7 中的片状或是岛状 Si 薄膜，视野中样品表面干净、完整。原子力显微镜扫描显示样品表面最大起伏约为 9nm，RMS 粗糙度为 1nm，和图 3.7 相比，具有非常大的改善。虽然比传统使用的体 Si 材料表面粗糙度略高，但这是在整個工艺过程没有任何抛光的步骤下，所得到的较为平整的应变 Si 表面，基本达到了器件的制备标准。

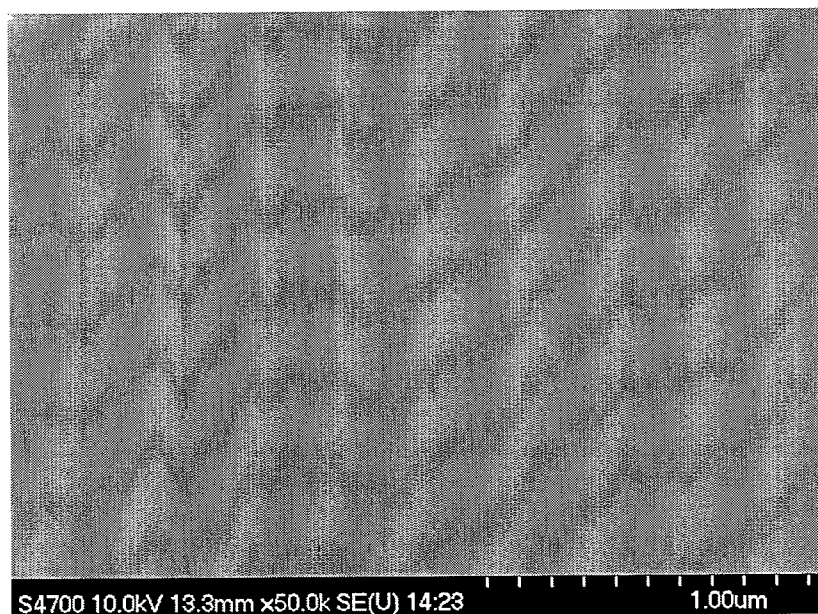


图 3.10 UHV CVD 外延 sSi 表面的 SEM 图像

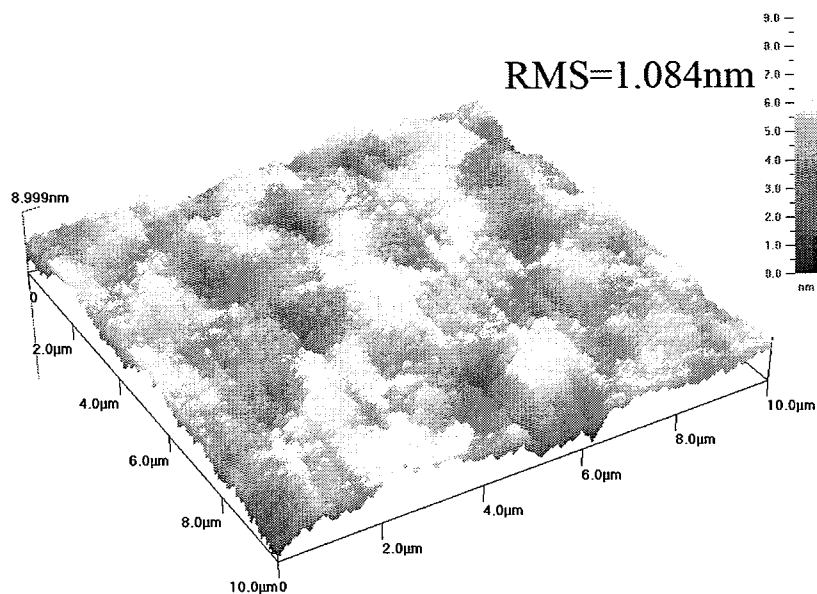


图 3.11 应变 Si 样品的 AFM 表面形貌图

§ 3.2.2.3 晶体质量

为了精确测量 sSOI 中各层膜厚，利用 TEM 进行截面观察，结果如图 3.12 所示。其中 SiGe 层厚度~45 nm，应变 Si 厚 25 nm，比预期的 30 nm 厚度略低。各层界面清晰陡直，晶格完整，具有很好的晶体质量，视野内没有观察到位错和缺陷。另外，从 SiGe 层厚度变化来推算，Ge 平均组分应在 25.4% 左右。

为了进一步研究所得 sSOI 材料晶体质量，对样品进行了卢瑟福背散射/沟道

谱(RBS/C)分析。RBS/C 是一种表面与薄层分析的手段, 具有简单可靠、无需标准样品以及非破坏性等特点, 在固体物理、表面物理以及材料科学方面得到了广泛应用。

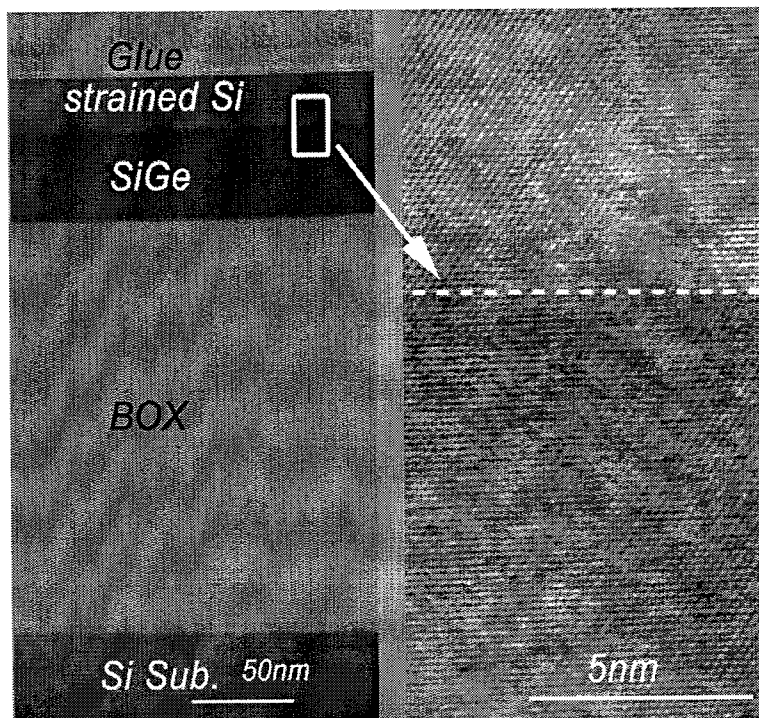


图 3.12 应变 Si 样品的截面 TEM 照片

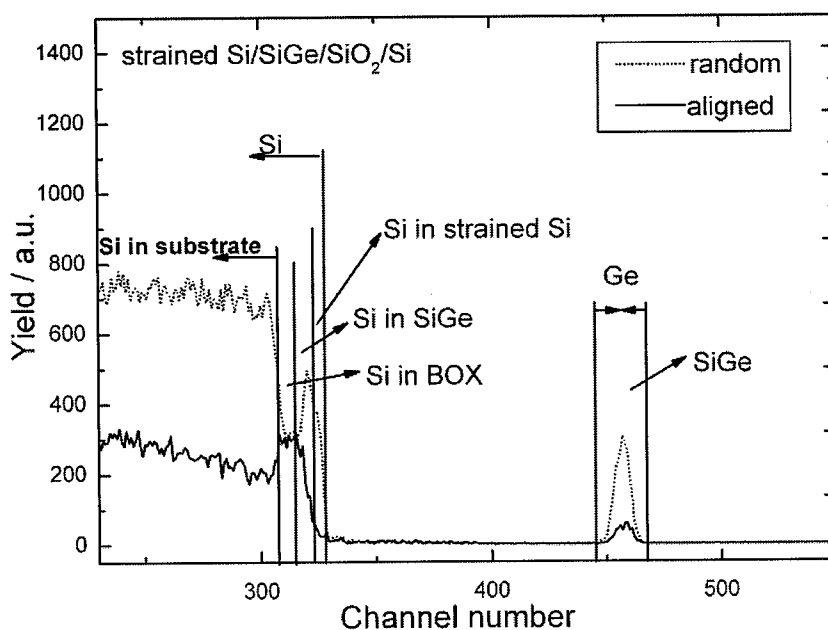


图 3.13 应变 Si 样品的 RBS/C 谱

对于 Si/SiGe 材料体系来说, 由于 Ge 原子量比 Si 大很多, 所有在 RBS/C 谱中 Ge 信号会与衬底 Si 信号发生分离。沟道谱可以反映多层样品原子排布状态(单

晶质量)、原子位置(如空隙、替位)甚至组分、厚度等许多信息。实验采用 2MeV He⁺ 的离子束对样品进行检测,所得图谱如图 3.13 所示,分离出来的位于 450-470 之间的峰即为样品中的 Ge 信号,主要来自于衬底 SiGe 层,其最高沟道产额与随机产额比为 12%,两侧较低沟道处产额比则在 5%以下,这说明 SiGe 层单晶质量尚属良好,沟道谱正中的尖峰表明 SiGe 层中间地带存在缺陷,但在靠近顶层 Si 的界面处缺陷大大降低。

对比 Si 原子的随机谱和沟道谱,从沟道 326 向 0 方向依次反映了顶层应变 Si、SiGe 中的 Si、SiO₂ 中的 Si 以及衬底 Si 的信息,如图中所标识,沟道 325 附近沟道谱较平缓,说明应变 Si 层位错密度极低,沟道产额与随机产额比平均在 7%,是一个比较理想的值,显示了顶层 Si 较好的单晶质量;接下来是略宽的 SiGe 层,其沟道谱在靠近 SiGe 与埋氧层界面时,迅速增大,说明 SiGe/SiO₂ 界面还是相当陡直的,而在 SiO₂ 区域,沟道随机产额比基本上为 1,显示了 SiO₂ 的非晶状态;衬底单晶硅的谱强度逐渐增加是因为随着深度的增加入射粒子能量逐渐降低,散射截面增大造成的。

§ 3.2.2.4 元素分布

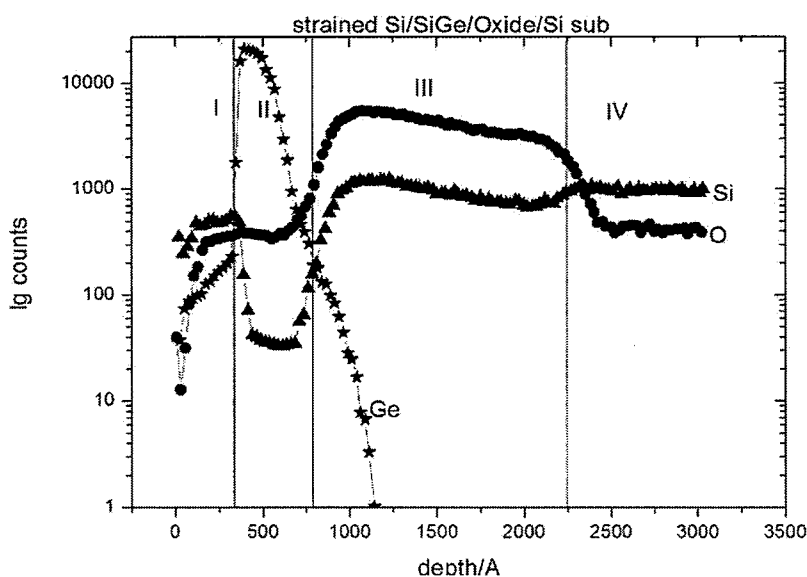


图 3.14 应变 Si 样品的 SIMS 深度分析

图 3.14 为应变 Si 样品的 SIMS 深度分析图,可以看到 I 区为表面的应变 Si 层, Si 信号在一定宽度内较为平整,说明其具有良好的晶格质量,仅有微量 Ge 扩散进入,且可以观察到 Si/SiGe 界面非常陡直, Ge 组分相对处于平均较高的水

平，由于测量条件的设置影响，整体 Si 信号偏低，而且因为使用了 O 离子源对元素的测量有一定干扰，所以 O 的分布存在较大误差，总体上，各元素的分布趋势可以作为分析的重要参考。

§ 3.2.2.5 应变测量与分析

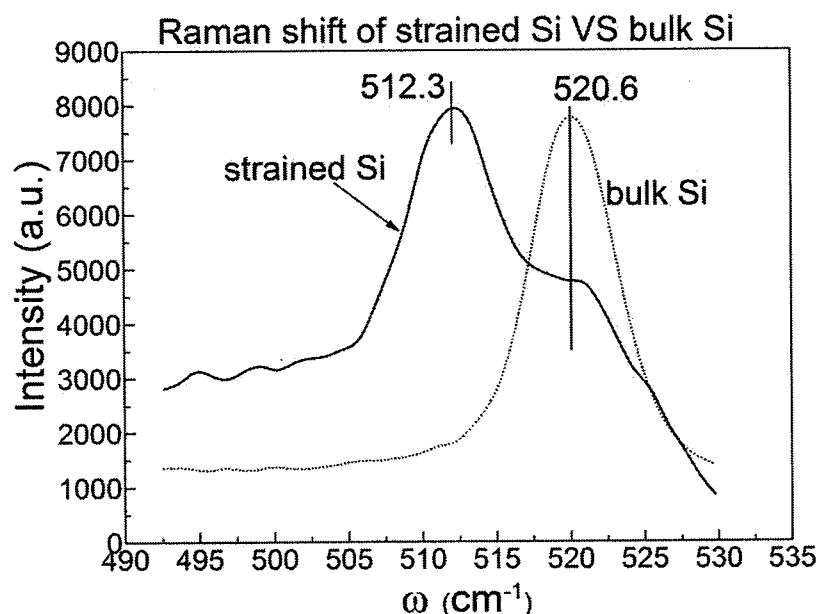


图 3.15 应变 Si 样品表面的 Raman 谱

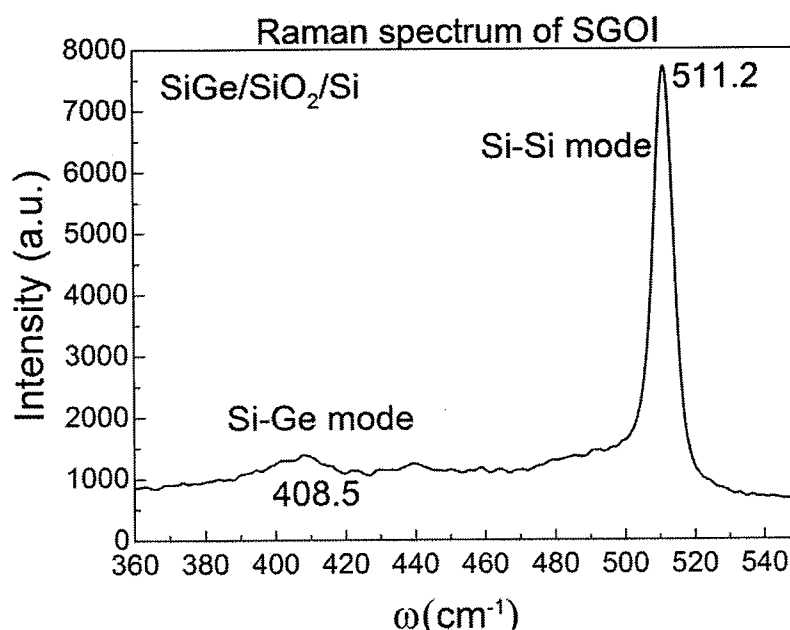


图 3.16 衬底 SGOI 的 Raman 谱

样品中的应力采用 UV-Raman 进行测试，图 3.15 为应变 Si 样品的 Raman 光谱，虚线是标准体 Si 材料的 Raman 谱，应变 Si 样品的 Raman 峰偏移到了 512.3cm^{-1} ，

其右侧的伴峰则是因为测试样品较小,测试区域包括了侧边而测到少量衬底信号所致,其峰位与体 Si 峰位完全一致。同样地,利用式 3-1,计算得知样品顶层 Si 中应变量为 1.06%,应力值则达 1.7GPa。

在成功获得了具有较高应力的完整应变 Si 薄膜后,对其衬底 SGOI 也进行了 Raman 测试,以检测其元素组分和应力,如图 3.16 所标示,图中两个主要峰位分别是 SiGe 晶格中的 Si-Si 振动模和 Si-Ge 振动模信号,实际上,在 440cm^{-1} 附近还有一个较弱的峰,对应的是 Si 原子在特殊的 Ge 环境中的振动模式[82]。对于 SiGe 来说,多个 Raman 峰不仅可以推算晶格应变,还可以对 Ge 的组分进行计算,主要依据以下公式[82]:

$$\begin{cases} \omega_{\text{Si-Si}} = 520.2 - 62x - 815\varepsilon_{\parallel} \\ \omega_{\text{Si-Ge}} = 400.5 + 14.2x - 575\varepsilon_{\parallel} \\ \omega_{\text{Ge-Ge}} = 282.5 + 16x - 385\varepsilon_{\parallel} \end{cases} \quad (3-3)$$

其中, $\omega_{\text{Si-Si}}$ 、 $\omega_{\text{Si-Ge}}$ 、 $\omega_{\text{Ge-Ge}}$ 分别是 SiGe 材料中 Si-Si、Si-Ge 以及 Ge-Ge 振动模对应的 Raman 峰位, x 为 Ge 组分, $\varepsilon_{\parallel}$ 即为样品的平面应变变量。通常,在 Ge 组分相对较低的 SiGe 中,由于 Ge-Ge 信号很弱,一般取用前两者峰位数据即可得出计算结果,取 $\omega_{\text{Si-Si}} = 511.2\text{ cm}^{-1}$ 、 $\omega_{\text{Si-Ge}} = 408.5\text{ cm}^{-1}$ 代入式 3-3 进行计算可以得到: $x=24.9\%$, 平面应变 $\varepsilon_{\parallel}=-0.07\%$ (压应变)。即 SiGe 衬底中残余了 0.07% 的压应变,几乎完全弛豫,同时 24.9% 的 Ge 组分与前文 TEM 分析中推算结果(25.4%)也比较一致。根据顶层 Si 应变变量来推算,仍然假设 Si 完全共格生长在 SiGe 上,那么 1.06% 的应变对应了 25.2% 的 Ge 组分,这也与上述对 SiGe 层组分推算相吻合。这些结果共同说明了外延应变 Si 后, SiGe 衬底的元素分布仍然十分均匀,这对于应变 Si 层的稳定性和应力保持具有重大意义。

总体看来,相比在体硅衬底上生长厚弛豫 SiGe 缓冲层工艺,其表面粗糙度最好的报道也达到 $\sim 5\text{ nm}$ [83],而本文制备的应变 Si 样品薄膜完整、晶格良好, RMS 粗糙度低于 1 nm ,可满足器件制备与外延要求。

§ 3.3 六英寸 sSOI 晶圆制备与表征

§ 3.3.1 制备方法

在前述研究基础上,采用顶层Si厚度 52.2 ± 1.1 nm 的商用超薄6寸SIMOX SOI片(埋层SiO₂厚度 376.2 ± 0.1 nm),在上面依次外延150 nm Si_{0.85}Ge_{0.15}和20 nm Si后进行实验,样品制备步骤如图3.17所示:

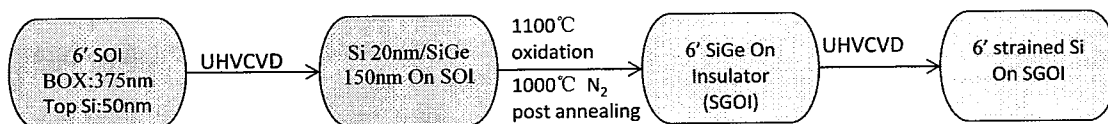


图3.17 六寸sSOI晶圆制备过程示意图

(1) 衬底 SGOI 制备: 6 寸样品放入专用高温石英管退火炉中 1100 °C 干氧氧化 2-3.5 小时(部分样品增加 1000 °C 干氧氧化), O₂ 流量 4 SLM, 随后缓慢降温至 1000 °C 高纯 N₂ 退火 2 小时, N₂ 流量 7 SLM;

(2) 利用稀释的 HF 酸漂洗去除表层氧化层, 得到弛豫 SGOI 结构基底, 经过清洗, 最后用 UHVCVD 进行 P 型掺杂外延应变硅, 设定厚度为 20 nm(部分样品设定 30、50、100nm 不等), 外延温度 500 °C。

6 寸 SGOI 衬底晶圆以及最后获得的应变 Si 晶圆的光学照片如图 3.18 所示, 可见除了边缘以外, 样品色度一致, 说明相应薄膜厚度非常均匀。

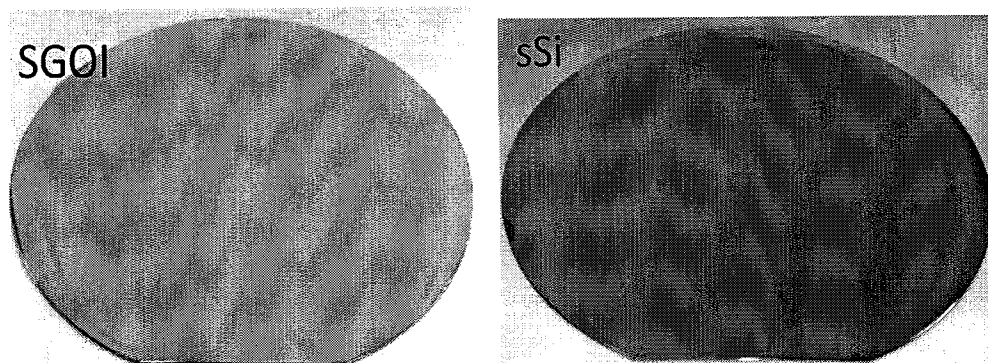


图 3.18 六寸衬底 SGOI 晶圆和 sSOI 晶圆照片

所制备绝缘体上应变 Si 六寸晶圆 (sSOI) 结构为 strained-Si/SiGe/BOX/Si 衬底。对得到的 sSOI 样品, 利用 SEM 和 AFM 进行表面检测, 选取样品利用 TEM 进行截面观察, 检查材料晶格质量, 利用设备自带 EDS 检测 SiGe 层组分; 最后使用紫外 Raman 谱检测顶层应变硅应变变量。

§ 3.3.2 sSOI 晶圆表征

§ 3.3.2.1 SEM 观察和 AFM 测试

首先使用 SEM 对样品多个区域进行详细观察,其中一张照片如图 3.19 所示,视野中均未发现有任何薄膜不连续的现象,样品表面干净、完整。

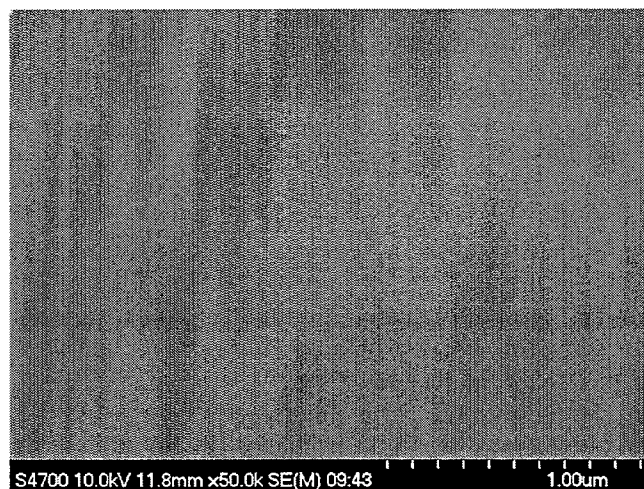


图 3.19 sSOI 晶圆的 SEM 照片

对制备的 sSOI 晶圆进行表面 AFM 扫描,检测表面微区平整度,典型的一个结果如图 3.20 所示。样品表面 RMS 粗糙度为 0.73 ± 0.08 nm,各点之间偏差很小,分布十分均匀。同时由于顶层应变 Si 为大面积完整薄膜,在应力过高时出现相互交错的 Cross-hatch,造成应力的部分释放。对于外延工艺中温度、时间等因素进行一些微小的调整,以及辅助于其他手段如化学机械抛光(CMP)降低 SGOI 衬底表面粗糙度均有助于降低这种 Cross-hatch 现象。

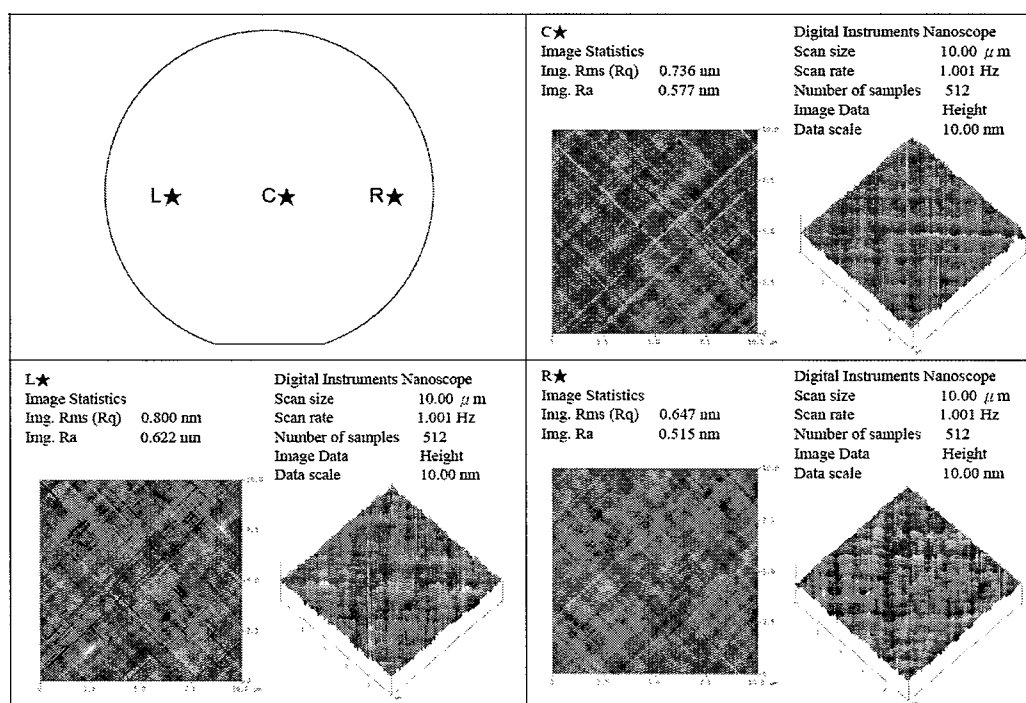


图 3.20 sSOI 晶圆的 AFM 多点扫描

§ 3.3.2.2 sSOI 样品 XRD 曲线

表 3.1 部分 sSOI 晶圆的工艺参数及测试结果

样品	S-1	S-2	S-3	S-4	S-5	S-6
氧化浓缩时间	2h	2.5h	3h	3.5h	3h 1100℃ +1h 1000℃	3h 1100℃ +2h 1000℃
2 θ (SiGe)	68.043	67.883	67.800	67.483	67.353	67.038
Ge%	22%	25.3%	27.1%	33.7%	36.4%	43.1%
sSi 厚度	20nm	50nm	100nm	30nm	20nm	20nm
应变(Raman)	0.94	0.7	0.6	0.89	1.29	1.35

图 3.21 为部分 sSOI 晶圆的 XRD 测试曲线, 相应样品的工艺参数如表 3.1 所示, 通过工艺的控制, 我们获得了不同衬底 Ge 组分的应变 Si 晶圆, 随着浓缩时间增加, SiGe(004)峰不断向 θ 角减小的方向偏移, 由此计算出来的 Ge 组分呈近似线性的增大, 同时可以看到, SiGe 峰宽几乎一直保持良好的较窄状态, 只有样品 4 略有展宽, 这是因为在 3.5 小时的 1100℃退火中, Ge 组分逐渐升高导致 SiGe 熔点降低接近 1100℃, 从而使晶格造成了轻微的破坏所致。

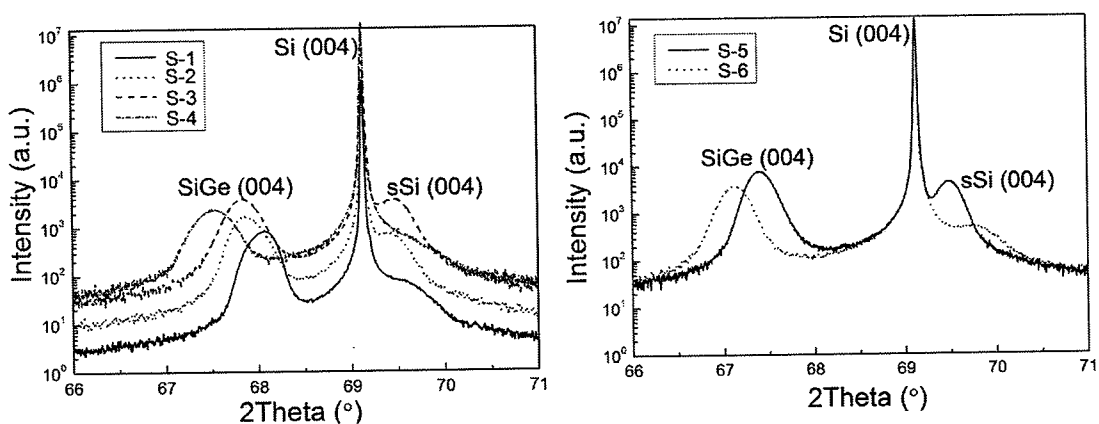


图 3.21 部分 sSOI 晶圆的 XRD 摇摆曲线

在主峰衬底 Si(004)峰的右侧, 出现了明显的伴峰, 这是由于应变 Si 晶格在平面方向展宽而在垂直方向被压缩从而使(004)晶面间距变小, 导致衍射角增大, 由此也可得知, 衍射角越大, 应变 Si 中的张应力也就越大。从图中可以看到, 对于应变 Si 厚度较为接近的 1、4、5、6 号样品来说, 应变 Si 峰位的偏移符合

预期。但是样品 4 的应变 Si 伴峰不是很明显，这仍然跟 1100℃进行了过量的氧化时间有关，衬底质量下降会直接影响到顶层外延应变 Si 薄膜的单晶质量，所以在衬底晶圆的制备上，温度和浓缩时间的控制至关重要。

§ 3.3.2.3 sSOI 截面 TEM 观察

选取了 1 号样品进行 TEM 分析，观察结果如图 3.21 所示，其中 SiGe 层平均厚度 95 nm，应变 Si 厚 20 nm，各层间界面平直清晰，视野内无位错和缺陷。高分辨照片和电子衍射图像显示各层晶格完整，具有很好的晶体质量。图中椭圆圈标识为 SOI 埋氧层中的 Si 岛，这是由于 SIMOX 工艺中，在埋氧层(Buried Oxide, BOX)下界面处氧剂量降低所致[84]，由于 Si 岛集中于底部 50nm 区域内，对于 375nm 厚的 BOX 来说并不会造成漏电。

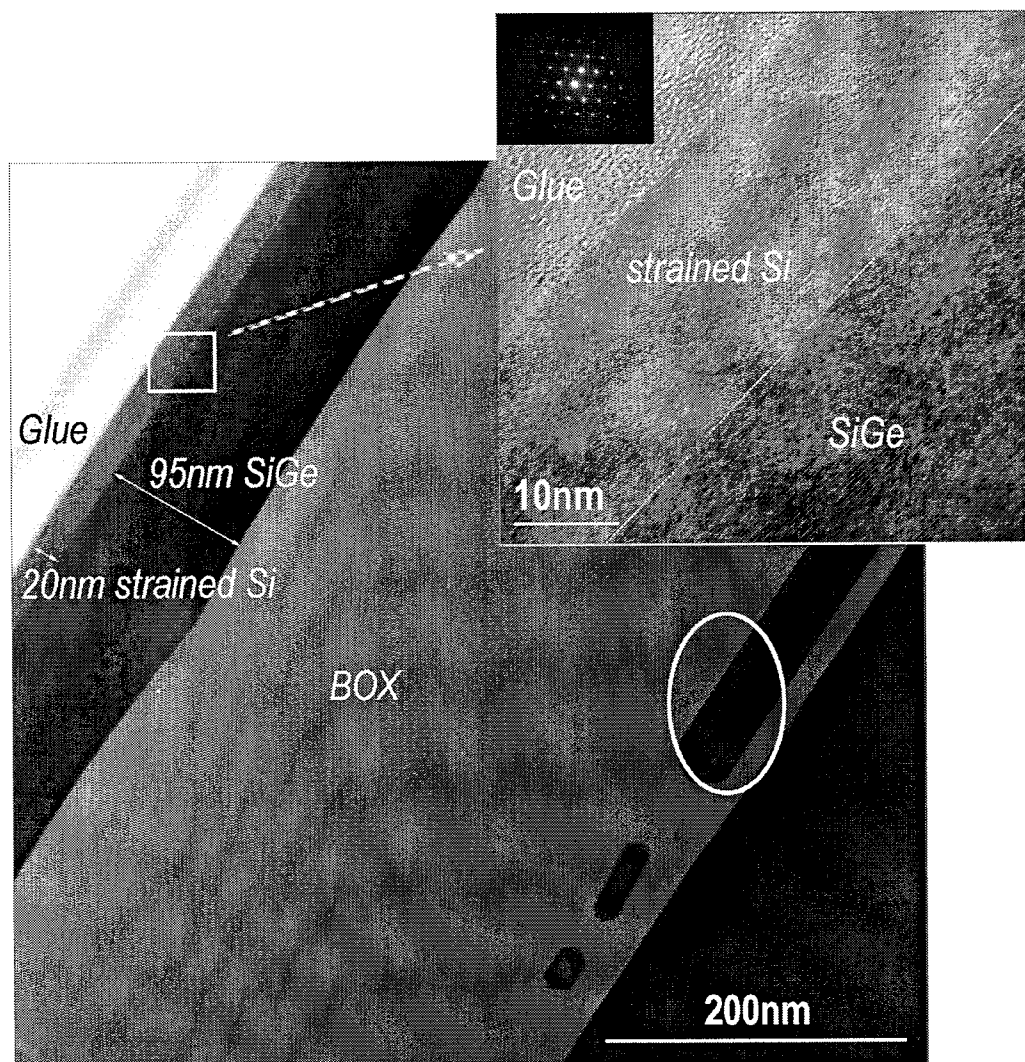


图 3.22 应变 Si 样品 TEM 观察图像

§ 3.3.2.4 sSOI 晶圆 Raman 表征

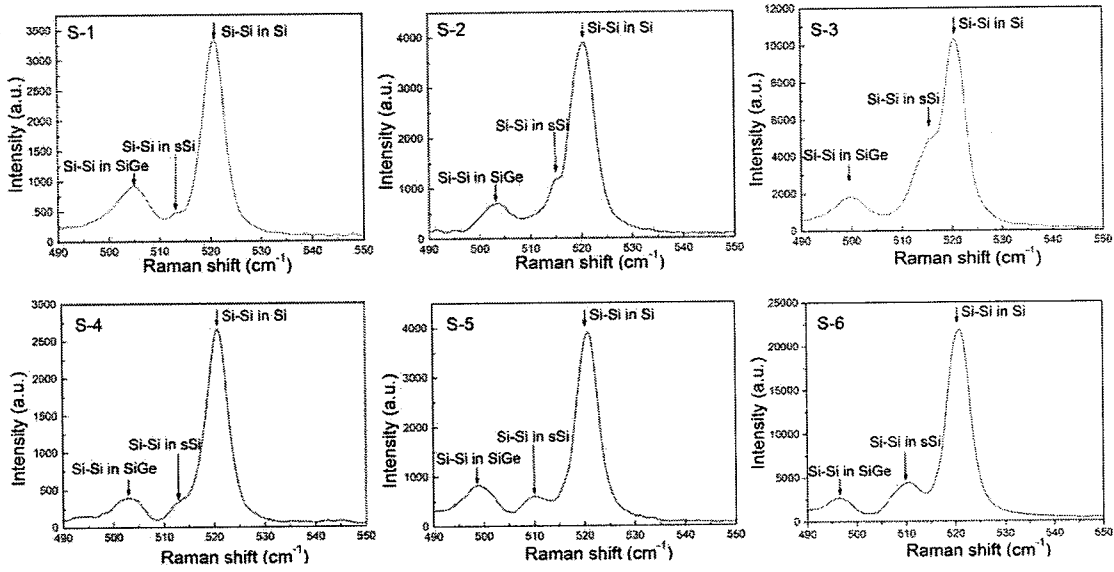


图 3.23 各应变 Si 样品的可见光 Raman 光谱

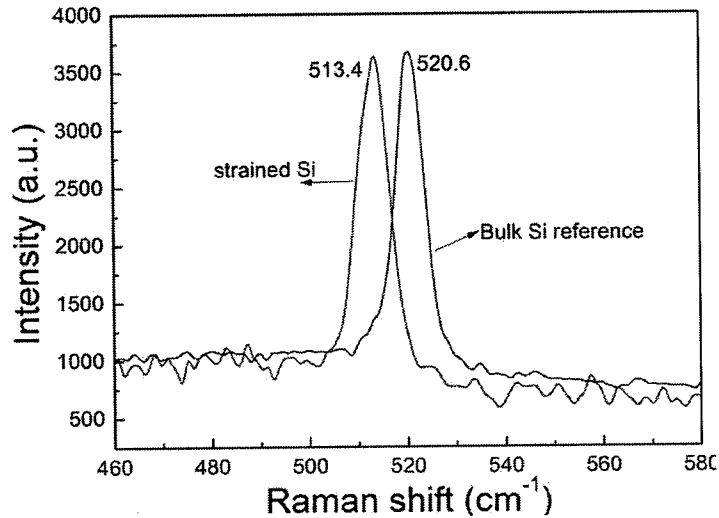


图 3.24 样品 1 的紫外 Raman 光谱

为了显示样品完整信息,图 3.23 给出了样品 1-6 的可见光 Raman 光谱。SiGe 中 Si-Si 信号峰的偏移以及顶层应变 Si 信号峰的偏移规律,与 XRD 推论结果相一致,除样品 2、3 外,应变 Si 的 Raman 峰随衬底 Ge 组分增大而向左偏移,也就是应变增大。结合图 3.24 所示的紫外 Raman 光谱检测,计算样品 1 的张应变为 0.94%,应力值 1.56GPa,其他样品的应变值列于表 3-1 中,其中应变最大的样品应变达到 1.35%,应力值高达 2.2GPa。

从 XRD 和 Raman 测试结果来看,样品 2、3 的应变反而比样品 1 减少了,从表 3-1 注意到,这两个样品的应变 Si 厚度远大于其它样品,这预示着临界厚

度也是影响应变 Si 样品应变稳定性的重要因素。在 SiGe 衬底上生长 Si, 如果晶格失配量比较小, 生长在衬底 SiGe 上的第一个原子层的晶格就会和衬底相匹配, 从而产生应变。这样就会形成一个赝晶的异质结构界面, 从而使得应变层的面内 (in-plane) 晶格常数被迫与衬底一致。当外延层的厚度逐渐增加, 应变势不断的增大将会限制外延层的厚度, 超过这一厚度就会释放外延层和衬底之间产生的应变能, 产生失配位错来释放外延层中的应变, 这个厚度称为临界厚度(h_c)。对于 SiGe 系统来说这种位错是 $a/2\langle 110 \rangle 60^\circ$ 型。大量的失配位错产生的缺陷将会影响材料的电学、光学和热学特性, 降低器件的性能。Vandermerwe 等人[85, 86]提出了热动力平衡模型, 认为通过产生周期排列的位错能使系统总能量最低, 所得临界厚度为:

$$h_c = \frac{19}{16\pi^2} \left(\frac{1+\nu}{1-\nu} \right) \left(\frac{b}{f} \right) \quad (3-4)$$

其中, ν 为外延层泊松比, b 为滑移距离 Burgers 矢量(对于 Si 来说, $b=0.4\text{nm}$), $f=0.0417x$ 为晶格失配度, 简化上式可得: $h_c = 2.0429/x \text{ nm}$ (3-5)

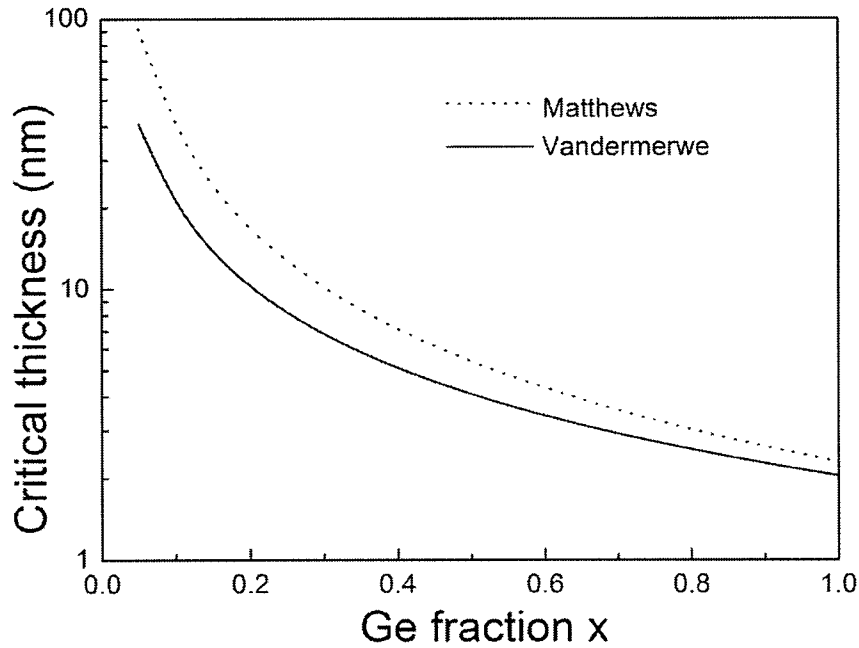


图 3.25 弛豫 SiGe 上外延应变 Si 临界厚度理论推算

Matthews 等[87-89]则采用一个等价的能提供螺位错增殖的力平衡方法推算临界厚度:

$$h_c = \frac{1}{\pi f} \cdot \frac{1-\nu \cos^2 \theta}{(1+\nu \cos \theta)} \left[\ln \left(\frac{h_c}{b} + 1 \right) \right] \quad (3-6)$$

其中 θ 为位错线与其 Burgers 矢量夹角, 对于 Si/SiGe 体系来说, $\theta=60^\circ$, 代

入相关参数，上式可简化为： $h_c = 2.2969x^{-1.2326} \text{ nm}$ (3-7)

图 3.25 即是用上述两种模型所得的应变 Si 临界厚度理论值，从我们整个实验来看，Matthews 等人的模型与实验结果更为接近。那么，我们的样品应变 Si 厚度均已等于或超过临界厚度，尤其是样品 2 和 3 的应变 Si 薄膜厚度分别超过理论临界厚度约 4 倍和 9 倍，因而发生了应变弛豫从而导致测量所得应力值下降，样品 1 则基本上与其所对应的临界厚度相当，其他几个样品则要超过相应临界厚度 1~2 倍，也就是说，在超过临界厚度约 3 倍之内，应变 Si 层中几乎不发生明显的应力弛豫，此前亦有报道[90]称在 SOI 上获得超过理论临界厚度 14 倍的应变 Si 薄膜，仍然能够保持应变不发生弛豫。至于应变在超临界厚度的薄膜中保持的机理以及规律，还需要更多更深入的研究来查明。

§3.4 本章小结

在 SGOI 衬底的制备研究基础之上，进行了应变 Si 材料的外延，所获得主要成果有：

- 1) 探索了使用超高真空电子束蒸发外延在 800℃初步制备了应变 Si 材料，Raman 测量其应变达到 0.7%，应力为 1.13GPa；
- 2) 分析了不同 Ge 组分衬底上外延的应变 Si 出现应变平台的原因，发现由于过高的外延温度导致应变 Si 薄膜不完整，出现了片状和岛状分布，从而导致衬底表面 Ge 损失和顶层 Si 应变弛豫。因而改用超高真空化学气象沉积 (UHVCVD) 进行 550℃低温外延应变 Si，获得了完整的应变 Si 薄膜材料，表征显示薄膜完整，表面平整，RMS 粗糙度为 1nm；应变 Si 层晶格质量良好，位错较低，应变达到 1.06%，相应应力为 1.7GPa；
- 3) 在上述基础上，进行了 6 寸 sSOI 晶圆的制备，利用 UHVCVD 在更低的 500℃下外延获得了完整的 6 寸应变 Si 晶圆，薄膜分布均匀，TEM 观察样品晶格质量完好，视野中未发现位错，AFM 显示表面平均粗糙度低至 0.7nm，且多点测量结果较为均匀，完全达到半导体器件制备标准；获得了最高 1.35% 的应变量，应力值高达 2.2GPa；同时，对多个不同样品进行的分析发现，超越临界厚度会导致应力一定程度的弛豫，但是在超过临界厚度 3 倍以内的样品应力保持良好。

第四章 应变硅尺寸效应以及 MOSFET 的制备和表征

研究应变Si材料,是为了提高器件运行速度,从而推动IC产业的进一步发展,而应力的存在是提高载流子迁移率的最重要因素,所以应力在器件制备工艺中的保持情况至关重要,本章对应变Si的尺寸效应以及关键制备工艺对应变的影响进行了研究,在此基础上制备了基于sSOI衬底的MOSFET并进行了器件性能表征。

§ 4.1 应变 Si 尺寸效应

§ 4.1.1 背景

几十年来,微电子工业依赖尺寸等比例缩小不断推进产业发展,器件特征尺寸如今已经达到最小 30nm 的水平,作为新型衬底的应变 Si 材料,研究其小尺寸化以后的应力变化就具有相当重要的参考意义。

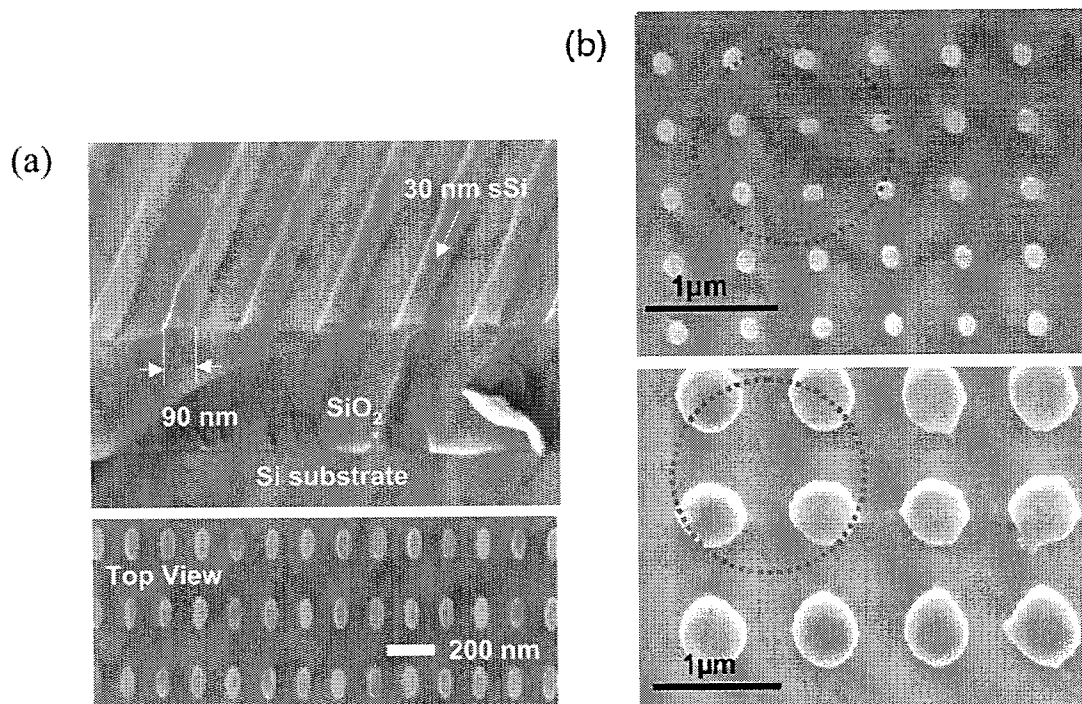


图 4.1 文献报道的纳米图形化应变 Si

来自 Intel 的 Lei 等研究者使用 UV-Raman 研究了不含 SiGe 的绝缘体上应变 Si 薄膜(30nm)的纳米尺度效应,如图 4.1(a)所示[91],分别测量了 90nm 宽的应变 Si 线条和 80nm×170nm 的应变 Si 岛应力情况,结果发现在任一方向上尺度小于 170nm 以后的应变 Si 层应力会完全弛豫;德国的 Himcimschi 等则是在衬底含有

较厚的组分渐变 SiGe 层的应变 Si 样品上, 制作了 100nm-500nm 不等的圆形 Si 岛, 见图 4.1(b)[92], 结果发现 500nm 的 Si 岛应力弛豫 37%, 而 100nm 的 Si 岛应力弛豫则高达 75%; 同时还有其他一些科研机构做了类似研究[93, 94]。由于本论文所得应变 Si 晶圆结构与上述报道均不相同, 其应力保持情况也有区别, 于是我们对按照本论文方法所制备的应变 Si 样品进行了纳米图形化后应力变化的实验研究。

§ 4.1.2 实验过程

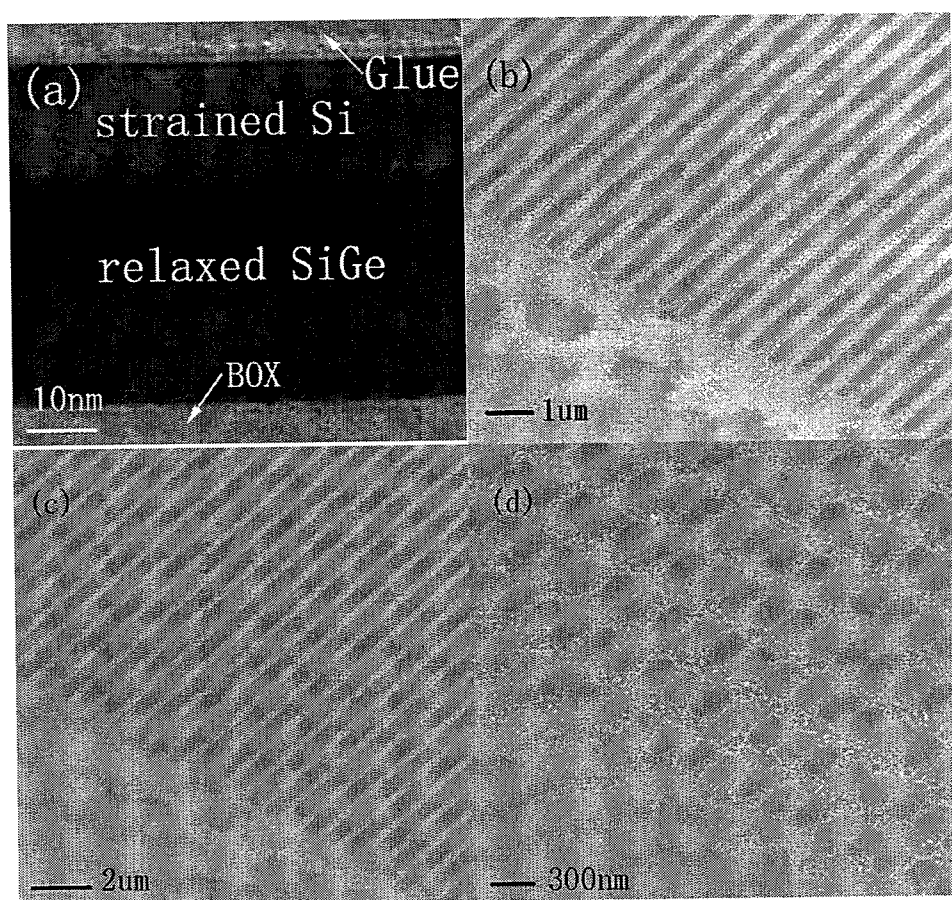


图 4.2 应变 Si 样品(a)TEM 截面照片以及部分图形化应变 Si(b)150nm 宽线条(c)300nm 宽线条(d)150nm×300nm 岛

首先利用改进工艺氧化浓缩获得弛豫 SGOI 衬底, 再使用 UHVCVD 在 500°C 外延应变 Si, 在之前研究基础上, 对工艺做了适当调整与优化, 最终所得应变 Si 样品如图 4.2(a)所示, 应变 Si 厚度为 15nm, 基本上与衬底 SiGe(Ge 组分 30.8%) 上应变 Si 临界厚度相当[95], 以避免应变 Si 厚度超过临界厚度引起的应变弛豫。

借助电子束曝光(Electron-Beam Lithography ,EBL)技术和反应离子刻蚀(Reactive-Ion Etching, RIE)分别在 $100\mu\text{m}$ 见方的曝光场里制备了一系列不同尺寸的纳米图形, 分别为线条(长 $50\mu\text{m}$): 500nm 、 300nm 、 200nm 、 150nm ; 方形岛: $150\text{nm}\times 150\text{nm}$ 、 $150\text{nm}\times 300\text{nm}$ 、 $200\text{nm}\times 200\text{nm}$ 、 $200\text{nm}\times 400\text{nm}$ 。图 4.2(b-d)显示了部分纳米图形化的样品 SEM 照片, 白色残留区域经能谱测量并无 Ge 元素出现, 说明除了图形以外, Si/SiGe 层已经刻蚀干净, 残留区域是对 SiO_2 的刻蚀条件没有优化所致。整体上, Si/SiGe 纳米图形比较均匀。所有样品采用紫外 Raman 光谱来表征其应力变化。

§ 4.1.3 Raman 表征与分析

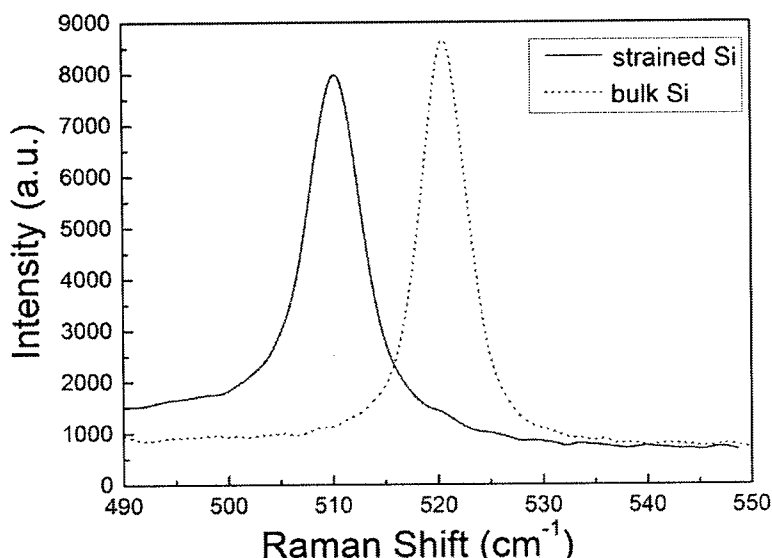


图 4.3 完整应变 Si 薄膜的 Raman 光谱

图形化之前的应变 Si 样品的 UV-Raman 光谱如图 4.3 所示, 应变 Si 的 Raman 峰比体 Si 向波数减小的方向偏移了约 10 cm^{-1} , 由式 3-1 计算得知样品的应变为 1.27%; 同时, 对纳米图形化的样品也进行了 UV-Raman 检测, 如图 4.4 所示为其中 $150\text{nm}\times 150\text{nm}$ 硅岛的 Raman 谱, 图中标注各峰中, E 为标准体 Si 的 Raman 峰, D 为本次样品衬底 SGOI 的 Si-Si mode 峰, C 为 $150\times 150\text{nm}$ 岛阵列样品的应变 Si 的 Raman 峰, 从其曲线可以观察到, 在主峰 C 左右各有一个伴峰, 分别与 D、E 峰位吻合, 说明这两个伴峰来自于衬底 SiGe 和 Si 的 Si-Si mode 信号, 因纳米图形化的样品结构为 Si/SiGe, 所以在最小直径为 $1\mu\text{m}$ 的圆形测试区域

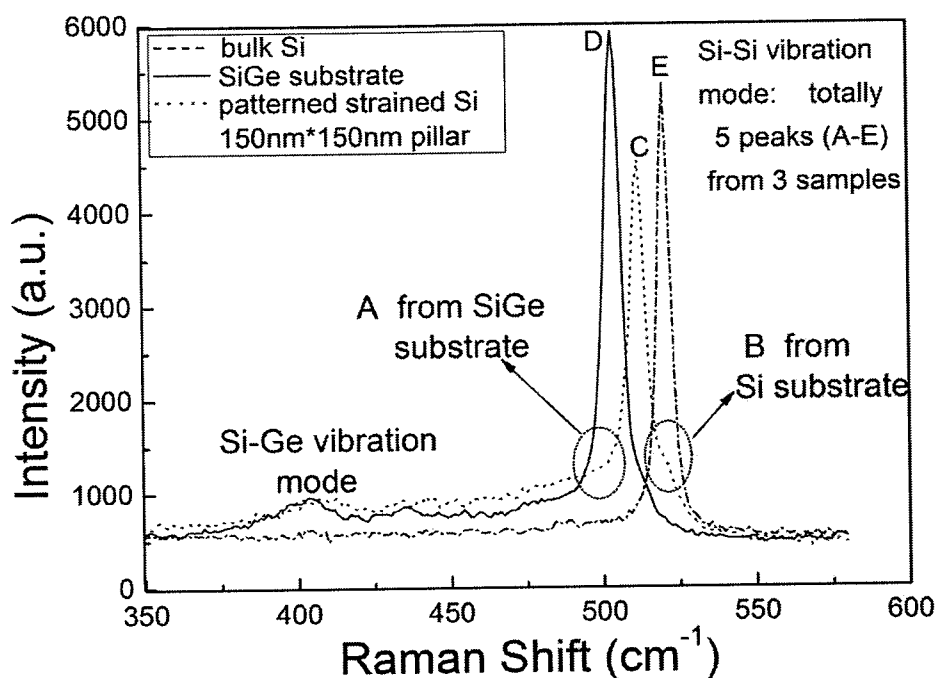


图 4.4 紫外 Raman 谱: 150nm×150nm 岛

表 4.1 纳米图形化应变 Si 弛豫情况

Raman results of the patterning strained silicon with different scale			
Pillar/stripe (nm)	Raman shift (cm ⁻¹)	relaxation	Strain
Bulk Si	520.6	—	—
Strained si without pattern	510.3	0	1.27%
150×150	511.6	13.4%	1.10 %
200×200	511.2	8.67%	1.16%
150×300	510.9	6.3%	1.19 %
200×400	510.6	3.15%	1.23%
150	511.0	7.1%	1.18 %
200	510.6	3.15%	1.23 %
300	510.3	0	1.27 %
500	510.3	0	1.27%

中难免会从侧面收集到 SiGe 的信号, 这也可以从 400cm⁻¹ 附近 Si-Ge mode 峰位

的吻合得到证明；同时因为 SiO_2 对于紫外 Raman 透明，测试也收集到了少量 Si 衬底的信号。所有样品的应变与弛豫数据列在表 4.1 中。

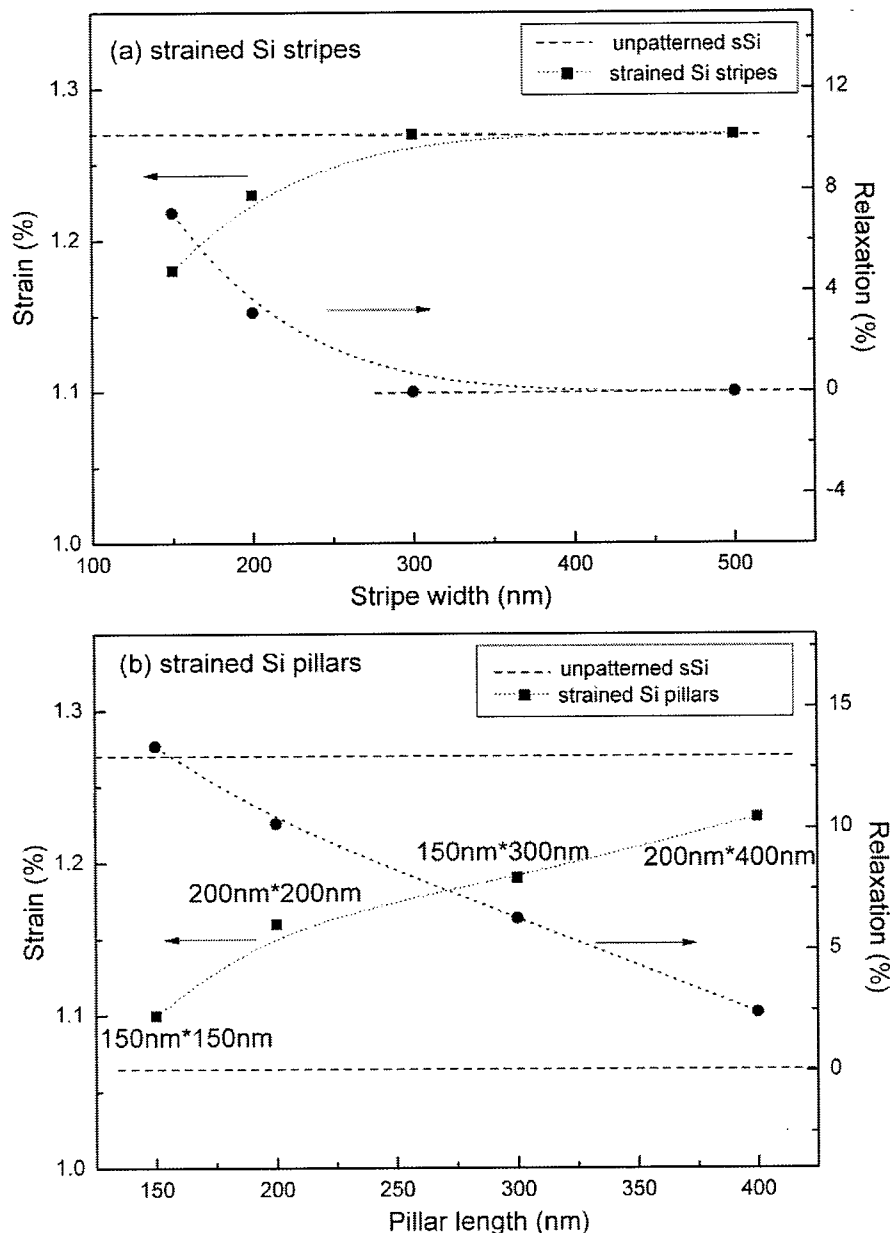


图 4.5 纳米图形化样品的应变弛豫情况

纳米尺寸的线条和岛阵列样品的应变弛豫情况本别如图 4.5(a)和(b)所示，从图 4.5(a)可以看出，线条尺寸在 300nm 时候保持原来应变无弛豫，200 nm 和 150 nm 的样品分别发生了 3.15%和 7.1%的弛豫；再看图 4.5(b)，200 nm×400 nm 样品的弛豫度与 200 nm 线条相同，而 150 nm×300 nm 样品的弛豫度(6.3%)也与 150 nm 线条(7.1%)接近，这说明弛豫在较短的尺度上发生，而在大于 300 nm 尺度方向上应力仍然保持，这个趋势和此前文献报道的实验和模拟结果一致[91, 96]；

更小尺寸的样品则应变弛豫相应较大, 150 nm×150 nm 样品应变弛豫为 13.4%, 好于文献[91-93]中的结果。经过分析, 我们认为这主要是跟应变 Si 的材料结构有关, 文献[91]中材料结构为, 应变 Si 被转移到 SiO₂ 上, 称为直接在绝缘体上的应变 Si(SSDOI), 它在尺度过小的时候, 应变能释放; 文献[92, 93]采用的结构为 sSi/弛豫 SiGe/组分渐变 SiGe 结构, SiGe 层达到数微米厚; 而本文采用的结构为 sSi/超薄弛豫 SiGe-OI, 超薄的衬底 SiGe 使用改进的 Ge 浓缩技术制备, 通过不断调节和改良工艺, 获得的 SiGe 衬底应变完全弛豫, 且具有极低的位错密度, 这种情况下, 在尺度缩小到一定程度, 顶层 Si 中应力有弛豫的趋势, 这种趋势势必对弛豫的 SiGe 晶格造成压应力, 相互牵制的作用使得顶层应变 Si 中的应变弛豫变缓, 另外, 具有较厚组分渐变 SiGe 层的样品, 在 SiGe 层中存在着较高的位错密度, 这些位错的存在则大大降低了样品顶层 Si 的应变保持力, 而本文实验样品不存在这样的问题, 所以应变保持程度远好于上述其他结构样品。

§ 4.2 主要器件工艺对应变的影响

在器件制备过程中, 需要经历多步骤工艺处理, 这些工艺是否对应力产生影响变得非常重要, 我们对一些经过关键的工艺处理前后的样品作了测试。

栅氧制作是 MOSFET 制备中最重要的工艺之一, 根据前述材料制备和表征经验可知, 样品经过高温长时间氧化势必会造成应变弛豫产生位错和 Ge 扩散, 于是我们选择低温 780 °C 干氧氧化 30 min; 同样, 考虑到温度影响, 器件制备工艺中的高温过程主要就是杂质激活的千度快速退火, 于是对样品进行了 1020 °C 30s 的快速热退火(RTP)处理; 另外, 离子注入可能对晶格造成一定的影响, 从而可能引起应变弛豫; 所以, 我们选择样品, 分别对这三项关键工艺作了单独处理和 Raman 测试, 其结果如图 4.6 所示。

从图中可以看出, 经过氧化、RTP 和注入&激活处理之后的应变 Si 样品, 其 Raman 峰出现了微量的偏移, 这个偏移量中包含了一定的测量误差, 如果严格按照峰位来计算的话, 样品的应变弛豫度分别为 7%、9%、9%。从后两者结果可以发现, 应变弛豫主要和温度有关, 温度越高, 弛豫相对较大。因为在高温下, 顶层应变 Si 与其下的弛豫 SiGe 层热失配会造成局部应力以缺陷的释放[97]。值得注意的是, 经过离子注入&RTP 工艺后, 应变 Si 中 Si-Si 振动模 Raman 散射

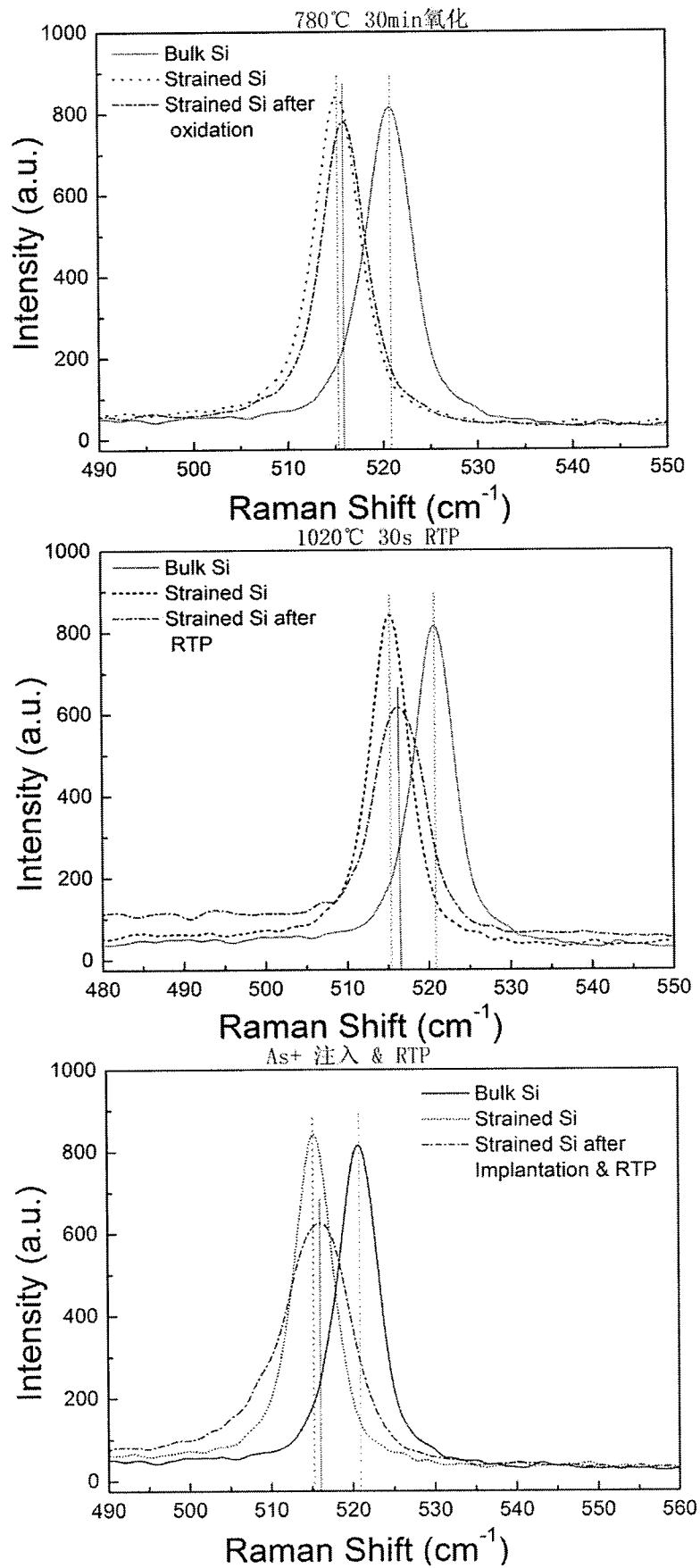


图 4.6 关键工艺对应变弛豫的影响

峰有所展宽。这是因为离子注入后晶格完整性受到一定程度的破坏，质量下降，从而导致 Raman 峰展宽[98]。

总之，主要的工艺步骤对应变 Si 应力影响较为不明显，这对 MOSFET 器件制备非常有利。同时，注意降低热预算是防止应变发生较大弛豫的重要方法。

§ 4.3 N/P MOSFET 器件制备

为了对比，我们选择三种超薄衬底进行器件制备：SOI，SGOI，sSOI（应变 1.0%），器件均为全耗尽器件。由于制备工艺在同组研究人员论文中已经有详细说明[99]，本文不再详述。图 4.7 为部分器件单元的俯视图。由于工艺条件限制，所有器件栅长一律选择 $3\mu\text{m}$ ，更小尺寸的器件有待进一步研究。图 4.8 为制备完成的一个应变 Si MOSFET 的 TEM 截面观察照片[100]，可以看到，栅氧厚度偏薄，为 1nm，但是氧化硅薄膜十分完整，靠近栅氧处的应变 Si 成份单一，晶格也保持良好。在器件制备后，各层界面清晰。

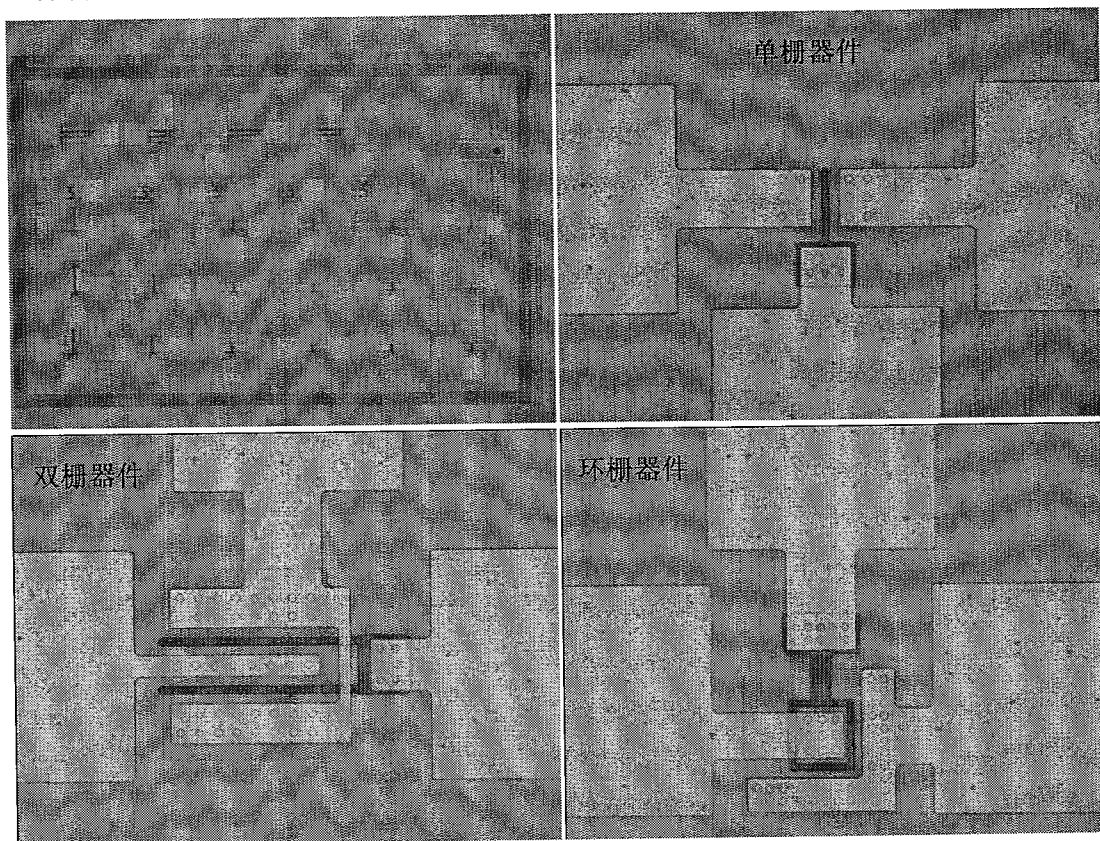


图 4.7 MOSFET 器件单元俯视图

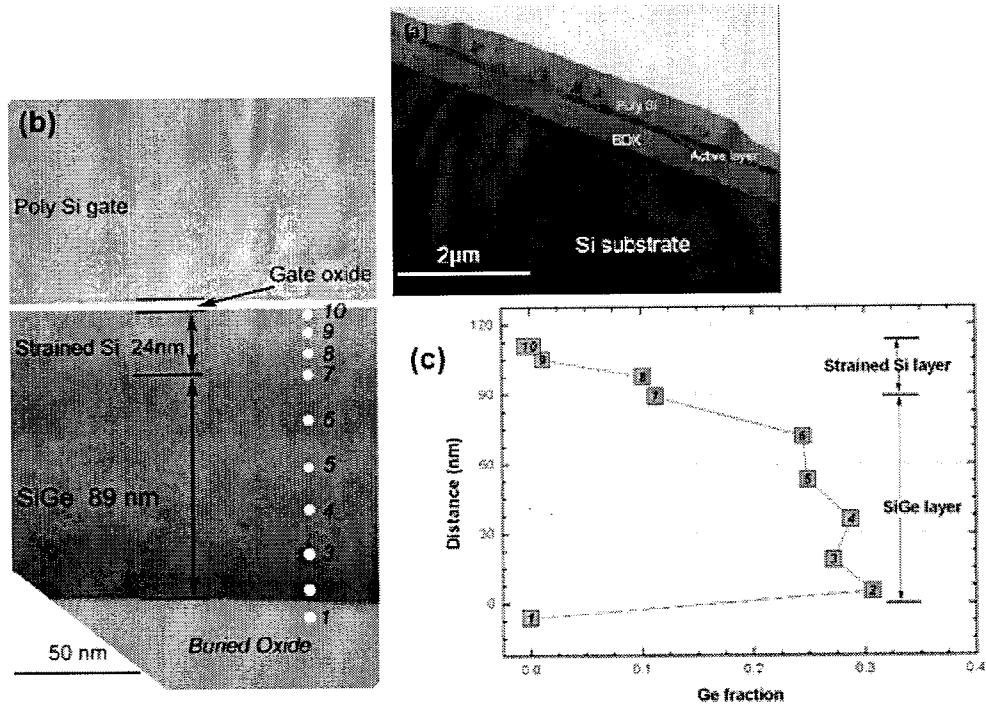


图 4.8 应变 Si MOSFET 截面 TEM 观察与元素分布分析

§ 4.4 器件测试与结果分析

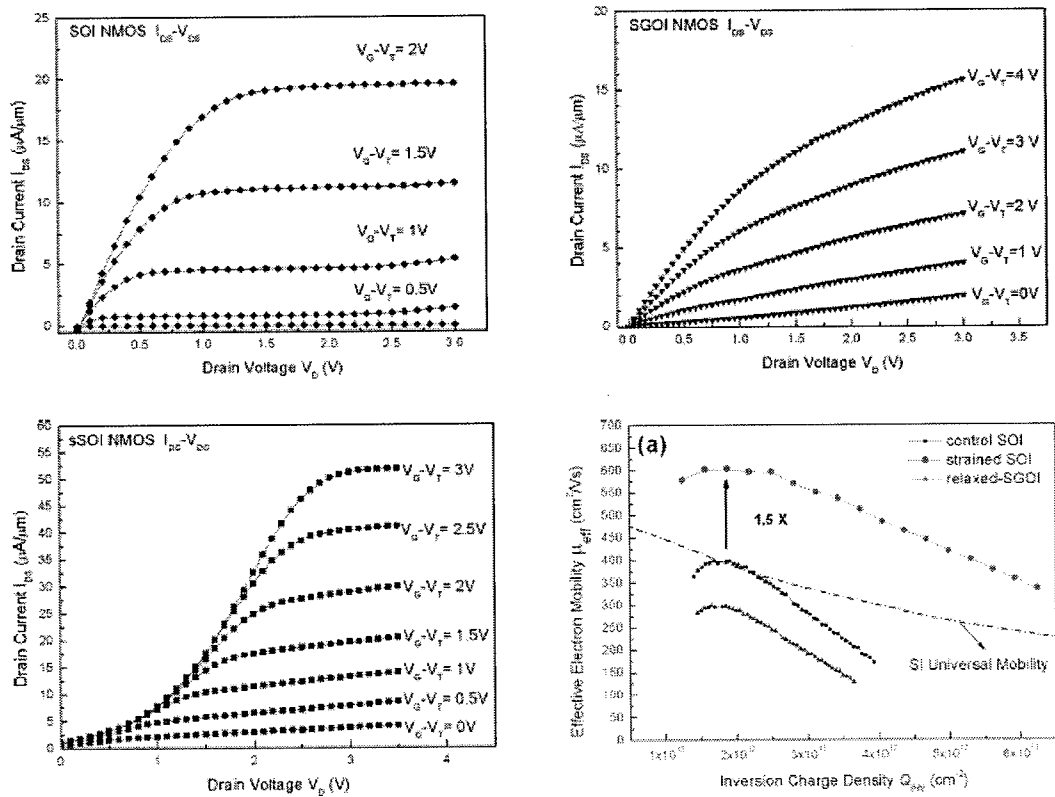


图 4.9 SOI、SGOI、sSOI 三种衬底上 NMOS 特性曲线和电子迁移率

对三种不同衬底上制备的 n-/p-MOSFETs, 我们利用 Keithley 4200 进行输入输出特性曲线测试, 并结合 C-V 曲线提取了迁移率[100]。如图 4.9、图 4.10 所示, 结果发现应变 Si 器件具有最高的驱动电流密度, sSOI n-MOSFET 器件电流密度比超薄 SOI 衬底器件有 47%左右的提高, sSOI p-MOSFET 器件电流密度比超薄 SOI 衬底器件有 59%左右的提高, 应变硅中电子和空穴迁移率的提高是电流密度增加的主要原因[101, 102]; 相比超薄 SOI 而言, 电子有效迁移率有 50% 的提高, 空穴迁移率有 40% 的提高; 遗憾的是, 从器件开关比(I_{ON}/I_{OFF})来说, SOI 器件最高, 为 10^6 , sSOI 最低, 仅 10^3 - 10^4 左右, sSOI 器件漏电流偏大, 分析其原因, 沟道区应变 Si/SiGe 界面处累积的少量缺陷可能成为漏电通道, 导致较大的漏电流[103]。这说明, 在实际的应用中可能需要避免应变 Si/SiGe 界面, 同时, 在以后的器件制备中, 衬底精确的掺杂和栅氧化层厚度控制是调节阈值电压首要考虑的因素。

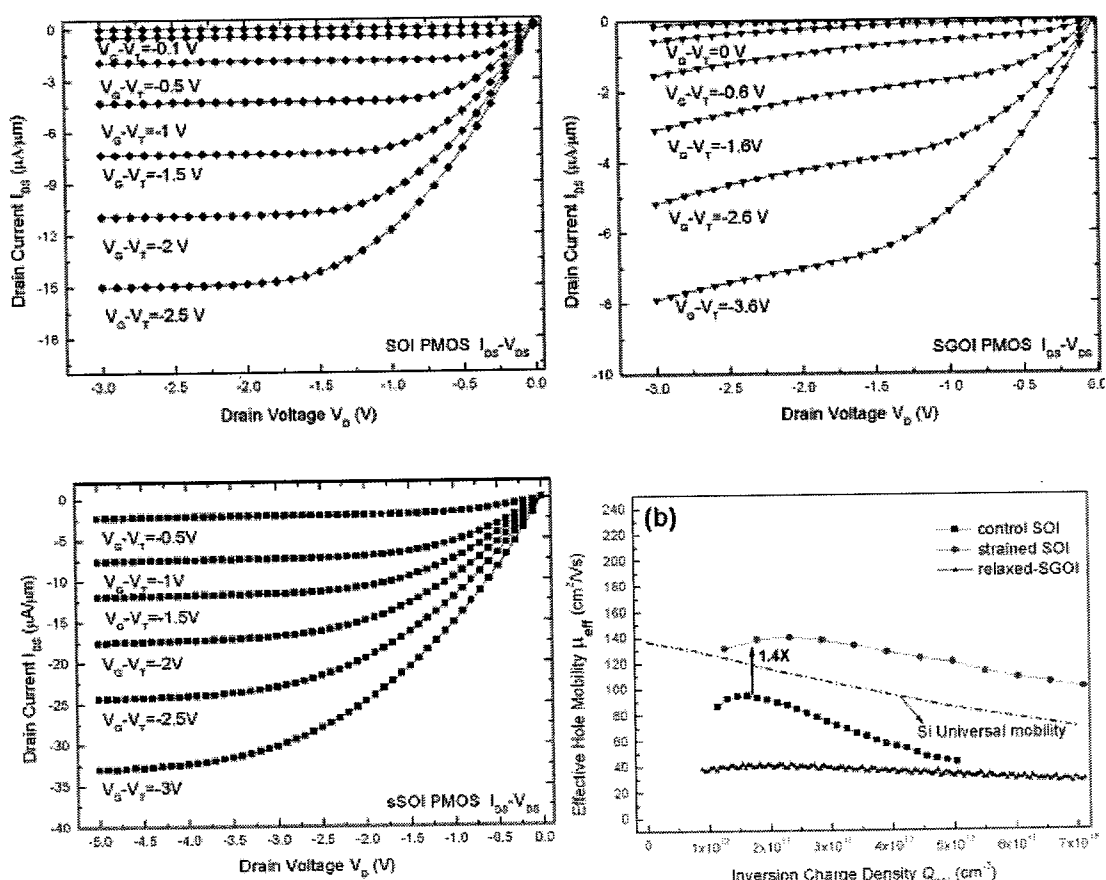


图 4.10 SOI、SGOI、sSOI 三种衬底上 PMOS 特性曲线和空穴迁移率

§ 4.5 本章小结

本章主要着眼于高性能应变 Si 器件制备, 进行了应变 Si 纳米尺寸化效应研究, 以及关键制备工艺对应变的影响的研究, 研究小组制备了系列 MOSFET 器件并进行性能表征, 获得以下结论:

(1) 应用本文方法制备的应变硅在 300 nm 尺寸以下开始发生应力弛豫, 但弛豫度远小于无 Ge 应变硅或者具有 Ge 组分渐变层 SiGe 衬底的应变硅材料;

(2) 研究了低温栅氧化、高温快速热退火以及离子注入对应变的影响, 发现这几项关键工艺引起的应变弛豫并不明显, 其中, 温度对应变弛豫的影响略占主要因素;

(3) 初步完成了基本的应变硅原型器件制备, 并根据 sSOI, SOI 和 SGOI 衬底 n-/p-MOSFET 测试结果得知, sSOI 衬底中电子和空穴有效迁移率比超薄 SOI 衬底分别提高了 50%和 40%。

第五章 三维相变存储工艺的研究

§ 5.1 引言

随着半导体工业的制备技术和工艺达到几十纳米量级, 平面 IC 更高密度的实现越来越困难, 三维电路(3D IC)是最有前景的解决方法之一[104]。同时, 在相变存储器(PCM)中, 由于相变材料具有非常良好的尺寸缩小特性[105], 可以降低功耗和实现高密度存储, 并且相变存储还具有非易失性、高速、数据保持力好以及与传统 CMOS 工艺兼容等优点, 被认为最有可能成为未来主流的存储器产品[106]。

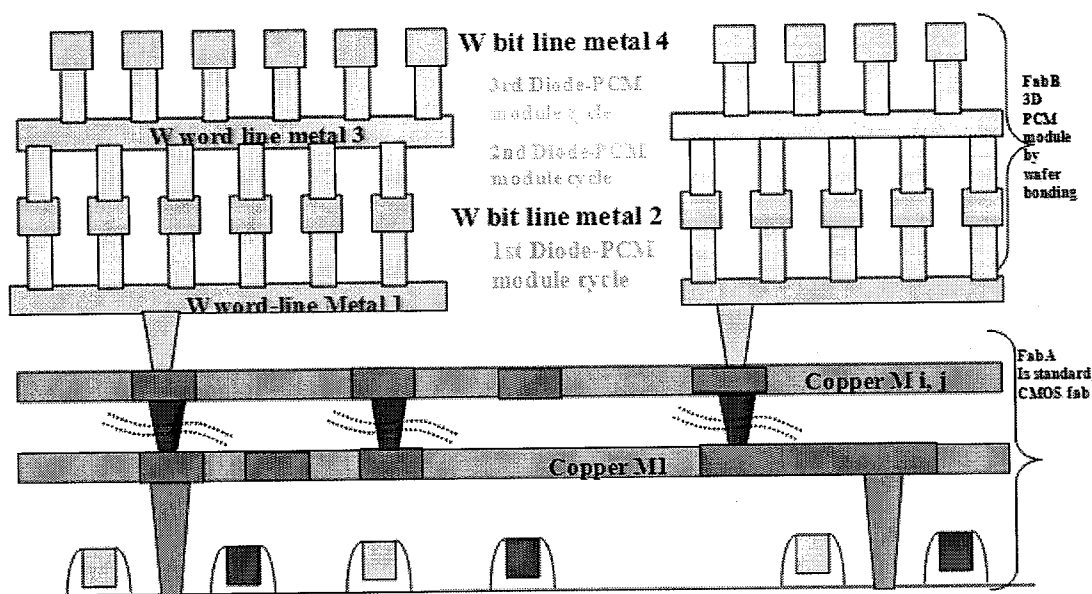


图 5.1 三维相变存储结构示意图

随着相变存储器技术的深入研究, 相变单元尺寸不断缩小, 相应的外围电路面积大大增加, 这就大大影响了高密度存储的实现, 并对外围电路的设计提出了更为苛刻的要求。针对这个问题, 课题组提出了一种三维 PCM 实现方法, 如图 5.1 所示:

相变存储单元阵列在外部电路上方堆叠, 这样外围电路(包括选址电路、驱动电路等)就不再对芯片面积产生额外影响, 存储单元阵列就可以布满整个芯片, 再加上多层堆叠, 能够大大提高存储密度。为了达到最优性能, 我们选择单晶二极管作为选通管来进行堆叠, 因已有电路(外围电路以及下层存储阵列电路)在高

温下性能将退化失效，所以整个三维工艺必须在低于 400℃ 下完成[107]。

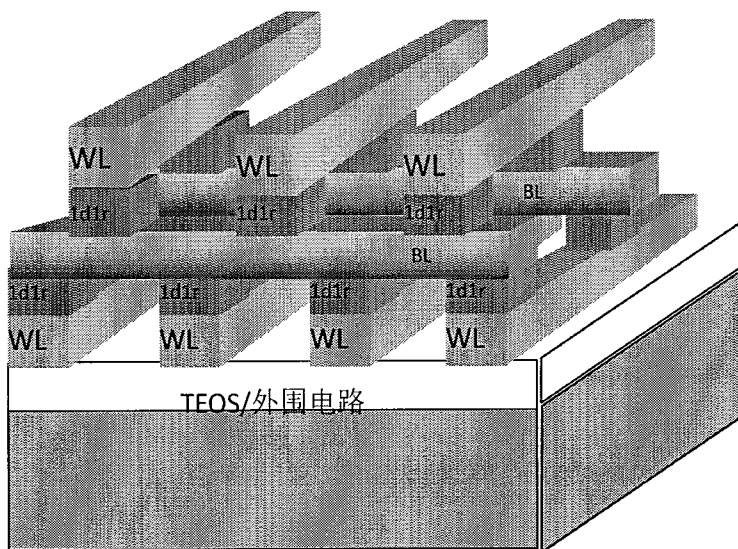


图 5.2 三维相变存储示意图

图 5.2 是本方案的三维示意图，与 Intel[58]、三星[106]以及 Ovonyx[108]公司的三维存储方案相比，本方案的优势在于：

(1) 使用单晶 Si 二极管：Intel 采用了 OTS 材料，如第一章 1.3.4 小节所介绍，它因为材料组成复杂，在电学特性和疲劳特性上存在着不确定性，且开关比只有三到四个数量级；Ovonyx 使用再结晶技术形成多晶二极管，开关比也较低；三星虽然采用了单晶二极管，但是使用了选择性外延(SEG)法制备，工艺复杂、成本较高，且外延单晶 Si 的温度难以降低到 500℃ 以下。本文方案使用低温键合转移法制备立体单晶 Si 二极管阵列，从而避免了高温对外围电路的影响；

(2) 使用金属字线：Ovonyx 和三星均采用了重掺杂 Si 作为字线，会导致线电阻相对增加。

在课题组前期研究基础上[109]，本文的 3D 方案，主要是利用低温键合法，将含有外围电路以及嵌入式字线结构的 Si 片，与表面有 PN junction 结构的 Si 片 face-to-face 进行键合。然后将 PN 层转移，并利用光刻、刻蚀等制备立体二极管(D)阵列，再通过相变材料(作为电阻储存单元——R)的沉积和电极制作，实现立体相变存储单元阵列，结合位线和字线制备以及表面平坦化工艺，重复上述过程，即可以实现 1D1R 存储单元的多层堆叠，从而实现高密度的三维相变存储。其关键工艺步骤有：

(1) 键合要求两片样品表面平整度高，翘曲度非常小，由于 PN 层可以在 Si

片或者 SOI 片上外延或者注入获得, 平整表面较易获得; 含外围电路和字线的样品, 我们在前期实验中, 略去外围电路的标准 CMOS 工艺制作, 以中芯国际标准 $0.18\mu\text{m}$ 工艺制备的含有埋层公共电极和嵌入 SiO_2 层中的小型 W 电极(直径 260nm)阵列来模拟标准 IC 基片进行实验, 样品结构示意图如图 5.3 所示, 埋层公用电极模拟 IC 字线, 引出的小电极阵列可以作为存储单元的下电极, 其中还可以引出公用电极以方便后期测试。整个小电极样品表面使用化学机械抛光 (CMP) 处理, 以确保平整;

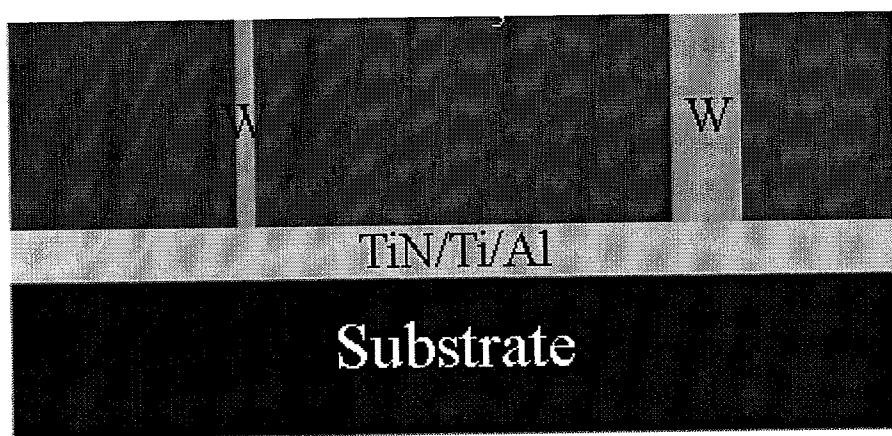


图 5.3 小电极阵列样品示意图

(2) 键合工艺必须保证原有电路不受影响, 因为原有电路含有大量对温度敏感的器件单元和金属线等, 过高的温度($>400^\circ\text{C}$)会导致掺杂扩散、器件失效以及金属线膨胀变形甚至熔化等问题, 而传统的键合工艺需要千度高温退火来获得可供后续工艺处理的键合强度[110], 无法与三维工艺兼容。在课题组对低温键合的研究基础上[111], 我们采用了低温等离子体活化键合技术, 可以在 300°C 以下获得较高键合强度, 从而避免了高温退火工艺对电路造成的破坏;

(3) PN 层转移方法, 首先需要保证工艺温度不能高于 400°C , 其次需要尽可能的保持良好的晶格质量, 并尽量降低成本和工艺复杂度。本文使用了两种转移方案进行探索: 腐蚀自停止工艺和改良 Smart-Cut 技术。

§ 5.2 低温等离子活化键合

由于小电极样品表面, SiO_2 仍然占据大部分面积, 我们的键合强度主要依赖于 Si- SiO_2 键合, 而存储单元则依赖于小电极 W 与 Si 的键合接触。图 5.4 给出了部分材料之间的键合情况[112]:

TABLE I.1 Experimental Results of Bondability of Various Material Combinations (Bonding Material A to Material B)^a

Material A	Material B		Material B = Material A
	Quartz Glass	Hydrophilic Si	
Metal			
Ta (poly* layer on Si)	++	++	++
Ti (poly* layer on Si)	ok	ok	-
W (poly* layer on Si)	Local weak bond under pressure	Local weak bond under pressure	-
Cu poly	+	+	N/A
Semimetal	+	+	N/A
Bi poly			
Semiconductor	++	++	++
Si			
Ge	++	++	++
B (poly* layer on Si)	+	+	+
GaAs	++	++	++
InP	++	++	++
Superconductor	+	+	-
YBa ₂ Cu ₃ O ₇₋₈ (polycrystalline)			
Oxide			
SrTiO ₃	++	++	+
ZrO ₂ Y ₂ O ₃	++	++	+
Ferroelectric			
BaTiO ₃ (poly*)	+	+	+
LiNbO ₃	+	+	+
Fluoride			
BaF ₂	++	+	+
CeF ₃ (on glass)	+	+	+
Nitride			
Si ₃ N ₄ (poly* layer on Si)	+	+	-
AlN (polycrystalline)	+	+	-
Carbide			
B ₄ C (polycrystalline)	+	+	N/A
Diamond	+	+	Very weak
Insulator			
ZnSe (polycrystalline)	++	++	++

^a+: Polycrystalline; ++: very good; +: good; -: no bond; N/A: not investigated.

图 5.4 部分材料之间的键合情况[112]

由图 5.4 可以得知, Si-SiO₂ 之间键合力可以很强, 而 Si-W 间则会形成较弱的键合。随着等离子体活化技术的应用, 已经可以在较低温度下获得很高的 Si-SiO₂ 键合强度[113], 可以推测, 等离子体活化可能对加强 Si-W 间的键合强度具有积极作用。

§ 5.2.1 低温等离子活化 Si-W 键合

我们在 Si 片上使用磁控溅射依次沉积了 10 nm TiN/100 nm W 薄膜，TiN 薄膜作为中间层，可以增强 W 薄膜的粘附力，使用 Si 片和表面沉积了 W 薄膜的样品进行键合实验，样品的清洗过程如下：

- (1) 丙酮超声 5 min，去离子水冲洗；
- (2) 乙醇超声 5min，去离子水冲洗；
- (3) W 薄膜样品在去离子水中放置，Si 片则分别经过 1 号液和 2 号液的标准清洗。

清洗后的样品，放入 EV Group 的等离子体活化设备(EVG 810)里面进行室温等离子体活化。为了表征样品表面的亲水性程度，我们对不同活化条件的样品进行了接触角(Contact Angle, CA)，测试设备为 Ramé-hart Model 200 Standard Contact Angle Goniometer。

接触角 β 测试的原理如图 5.5 所示，接触角是测量液体与固体表面之间的夹角 β ，液滴滴在材料表面时，为了使表面张力为零，液滴将扩散以达到力的平衡。平衡态时，固-汽界面能 γ_{sg} ，固-液界面能 γ_{sl} 和液-汽界面能 γ_{lg} 必须满足 T. Young 方程[114]：

$$\gamma_{sg} - \gamma_{sl} - \gamma_{lg} \cos \beta = 0 \quad (5-1)$$

采用水作为液体材料，接触角 β 即可表征材料表面亲水性。 β 越小，亲水性越好，表面能相应越高； β 越大，疏水性越好，水在材料表面更容易聚成水珠。

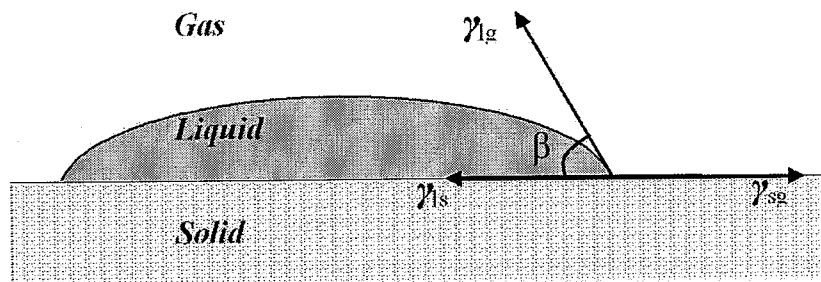


图 5.5 亲水性测试中接触角 β 测量示意图：平衡态时，固-汽界面能 γ_{sg} ，固-液界面能 γ_{sl} 和液-汽界面能 γ_{lg} 满足 T. Young 方程 $\gamma_{sg} - \gamma_{sl} - \gamma_{lg} \cos \beta = 0$ 。

W 薄膜样品的接触角测试结果如表 5.1 所示。

样品同时也分别使用了 O^+ 和 Ar^+ 等离子体处理，由于氧化会生成金属氧化物，从而给电学上的连通带来很大不确定性，而 Ar^+ 处理后的样品表面粗糙度升

高(如图 5.6 所示),不利于键合,实际上, O^+ 和 Ar^+ 等离子对材料具有一定刻蚀作用[115]。

表 5.1 使用 N^+ 等离子体活化处理的 W 薄膜样品表面接触角变化

等 离 子 活 化	不处理	N^+ , 20s 100/75W	N^+ , 25s 100/75W	N^+ , 30s 100/75W	N^+ , 40s 100/75W	N^+ , 30s 50/25W
CA(°)	22.5	5.6	4.1	<3	表面损 伤	4.9

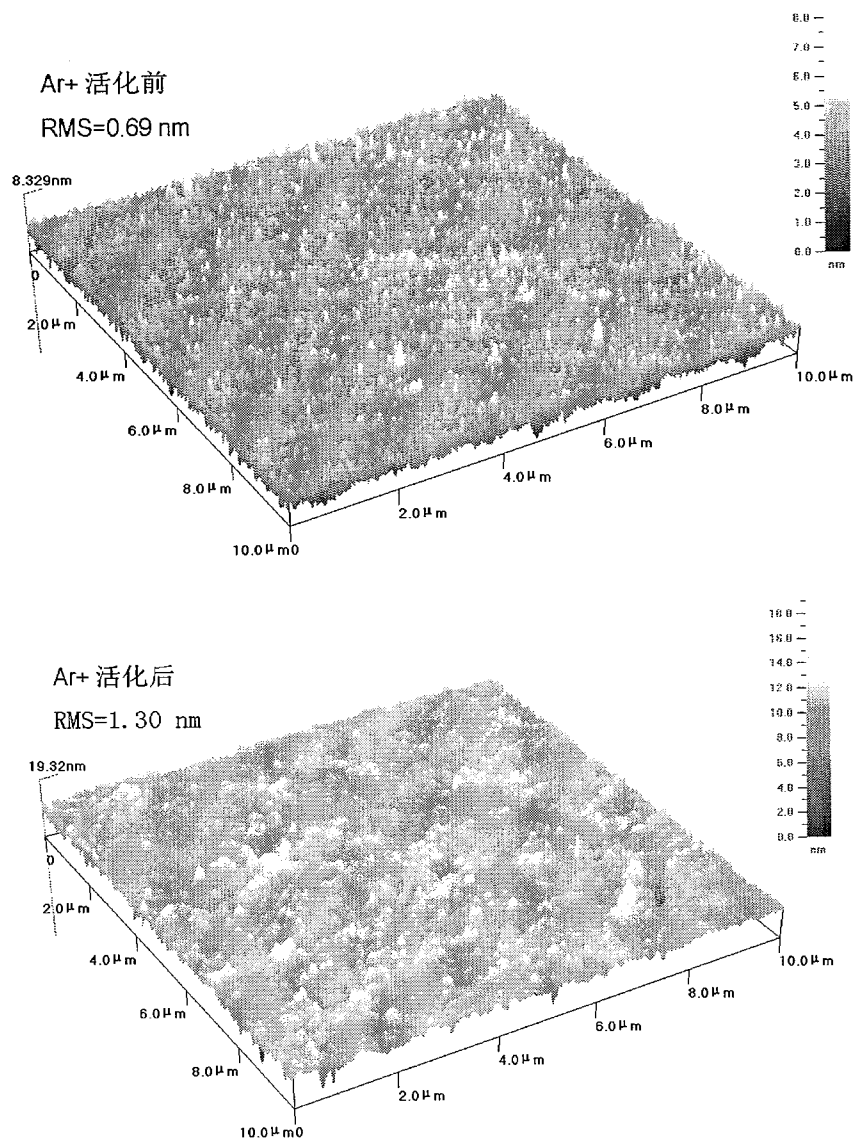


图 5.6 Ar^+ 等离子活化前后 W 样品的表面 AFM 形貌图

因此,实验主要采用 N^+ 等离子体活化。从表 5.1 可以看出使用 N^+ 等离子体活化 30s 的样品表面接触角最小,而处理时间过长则会导致表面的破坏。于是,

实验采用的参数为: N^+ plasma, 0.4mbar, 上下电极功率 100W/75W, 活化 30s。

这里需要说明的是, 在本论文的工艺探索中, 考虑到条件和成本限制, 所有样品均采用了 $3\text{ cm} \times 2.5\text{ cm}$ 的方形小片进行。由于小型样品无法在机台上使用兆声水处理, 活化后的样品放入去离子中进行超声, 使表面吸附足够的羟基; 然后将两个甩干的样品键合, 键合过程中施加 20 N 的压力保持 90 s。为了加强键合强度, 键合片放入低真空退火炉, $300\text{ }^{\circ}\text{C}$ 退火 2 小时, 真空退火有利于键合界面间气体的挥发逃逸。因为金属对红外线不透明, 键合样品无法通过红外(IR)灯进行观察, 采用了超声扫描显微镜(SAM)对样品进行了测试。

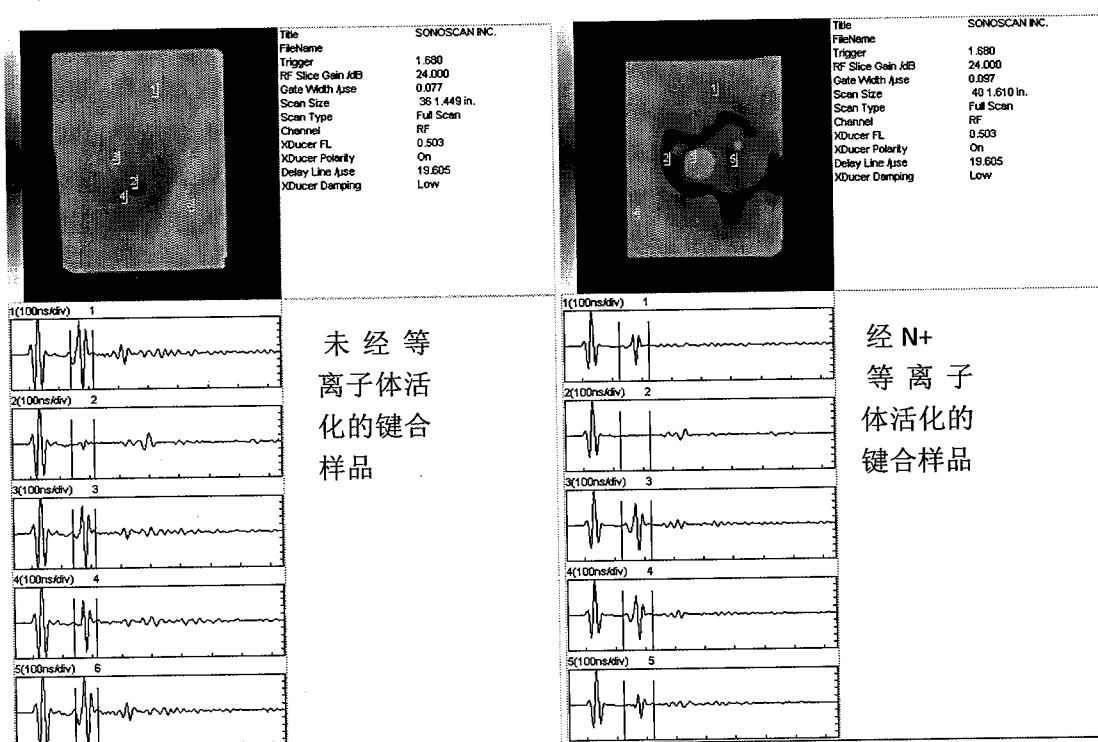


图 5.7 Si-W 键合样品的 SAM 测试结果

如图 5.7 所示, SAM 的主要原理是利用压电换能器将电信号转换成高频声波信号, 由于界面空洞部分的声阻与键合部分不同, 声波穿过空洞和键合部分时损耗也不同, 反映到图像中即为明暗差异, 其中白色区域为空洞, 信号峰强烈; 黑色区域为键合良好的区域, 如图中的 2 号点, 信号平直无峰。图 5.7 左图为未经等离子体活化处理的 Si-W 小片键合结果, 估算键合成功面积约 1%, 右图为经过 N^+ 等离子体活化后键合的样品, 估算键合成功面积约 11%。上述结果说明:

(1) Si-W 可以接触良好并成键。这一点十分关键, 因为这直接关系到立体存储单元的电学导通性, 由此可以预见, 在之后的单晶二极管转移实验中, 在

Si-SiO₂ 的键合强度作用下, Si-W 的电学导通将不存在太大问题;

(2) 经过等离子体活化处理后, 键合成功面积得到极大提高。由于键合对表面洁净度的要求非常苛刻, 一颗微小的颗粒都会导致很大的键合空洞, 在一般实验室条件下, 尤其是小片的键合难度很大, 本实验结果的趋势说明了 Si-W 键合有望在超高洁净度的环境里实现大面积键合成功。

§ 5.2.2 低温等离子活化 Si-小电极样品键合

在绝缘介质 SiO₂ 面积占表面积约 75% 的嵌入式小电极样品上, 进行了与 Si 片键合的实验。在键合前, 对小电极样品表面多点进行了 AFM 测试, 结果如图 5.8 所示, 活化前后, 样品表面粗糙度均在 6~7 Å 之间, 各点均匀, 表面平整, 符合键合要求。

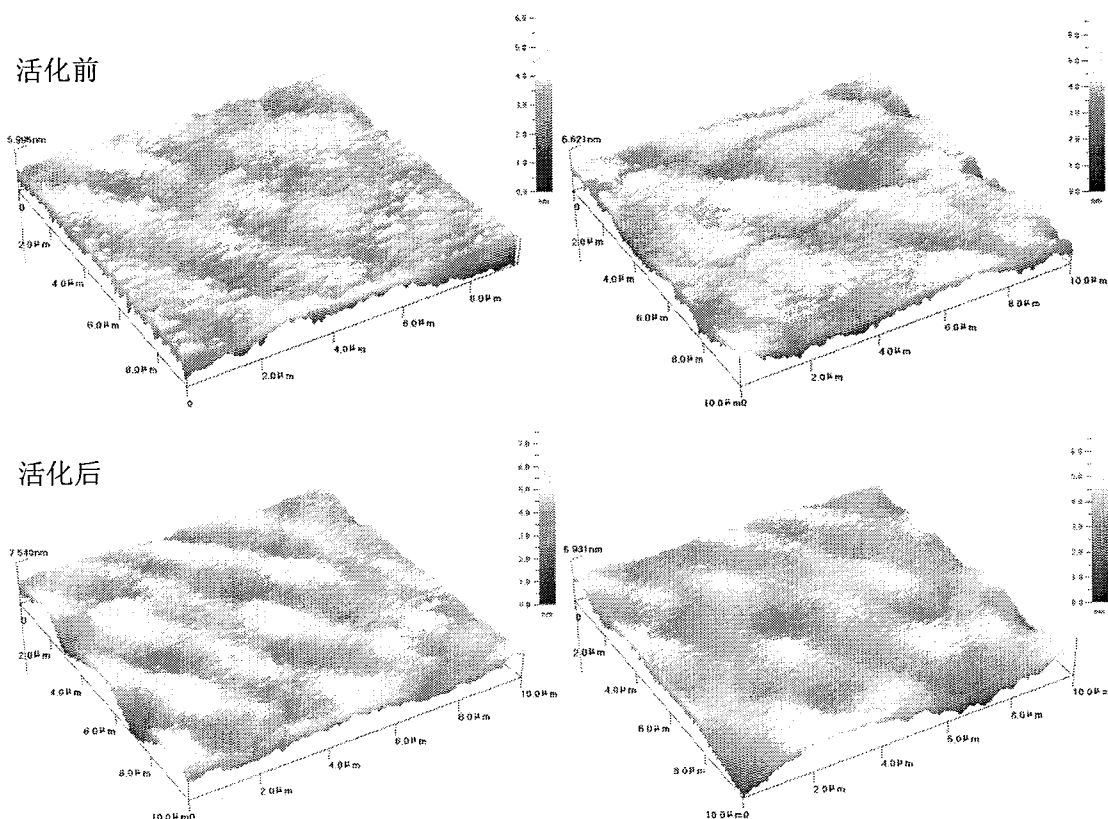


图 5.8 N⁺ 等离子体活化前后小电极样品表面 AFM 形貌

键合实验步骤为:

- (1) 丙酮超声清洗 5 min, 去离子水冲洗;
- (2) 乙醇超声清洗 5 min, 去离子水冲洗;
- (3) 为了避免酸碱液对金属的腐蚀, 小电极样品放置在去离子水中, Si 片则

使用标准 1 号液和 3 号液进行清洗;

- (4) 所有样品放入等离子体活化腔体, 进行 N^+ , 30 s 的活化处理;
- (5) 样品放入去离子水中, 超声处理 5 min;
- (6) 将两个甩干的样品进行键合, 键合过程中施加 20 N 的压力保持 90 s;
- (7) 为了加强键合强度, 键合片放入低真空退火炉, 300 °C 退火 2 小时。

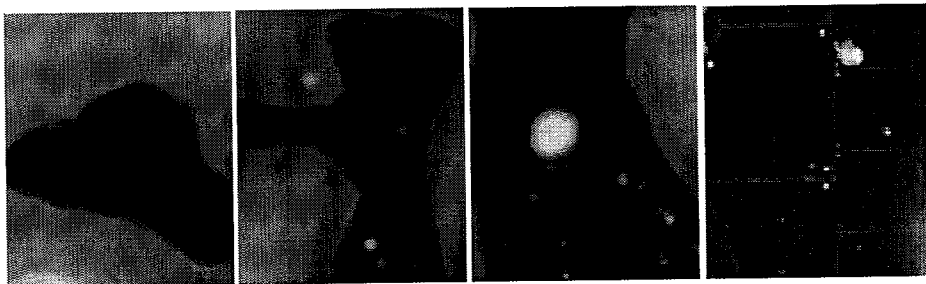


图 5.9 小电极样品-Si 键合片 SAM 测试图 (样品大小均为 2.5 cm X 3 cm)

同样, 由于小电极样品埋层金属的存在, 键合样品无法进行红外观察, 使用 SAM 对部分样品进行了测试。如图 5.9 所示, 经过对环境、清洗、活化、甩干以及键合步骤方面大量的调整和优化工作, 使小型片子的键合成功面积从最初较小的 30% 提升到 90% 以上, 在后面两张图中, 白色区域为键合过程中的颗粒沾污所致。在第一章 1.3.2.3 小节提到过, 一个直径 1 μm 的颗粒将会导致比它本身大 5000 倍的空洞($\sim 0.5 \text{ cm}$), 所以, 在键合过程中, 环境的洁净度至关重要。实际上, 我们使用四寸 Si/SiO₂ 晶圆, 在经过严格的清洗和优化的键合工艺后, 已经实现了圆片的完全键合[99], 因此, 基本掌握了 3D 实验方案中的键合工艺。

§ 5.3 利用腐蚀自停止技术转移单晶二极管

§ 5.3.1 腐蚀自停止技术方案

由于外延单晶无法在非晶或者多晶材料上实现, 在含有金属字线的绝缘介质层上, 无法通过外延来获得单晶 Si, 而且外延温度很难低于 500 °C; 传统的 Smart-Cut 工艺需要上千度的退火来加强键合强度和消除缺陷[20]。而这些方法都超过了三维 PCM 要求的温度上限(400 °C), 考虑到 SOI 结构的特殊性, 我们提出了腐蚀自停止的工艺来转移单晶 Si 二极管。

腐蚀自停止工艺, 主要是利用 SOI 结构中的埋氧层 SiO₂ 作为阻挡层, 使 KOH 溶液对 SOI 衬底的腐蚀自动停止, 再漂洗去氧化层即可在低温下完成单晶层转移。

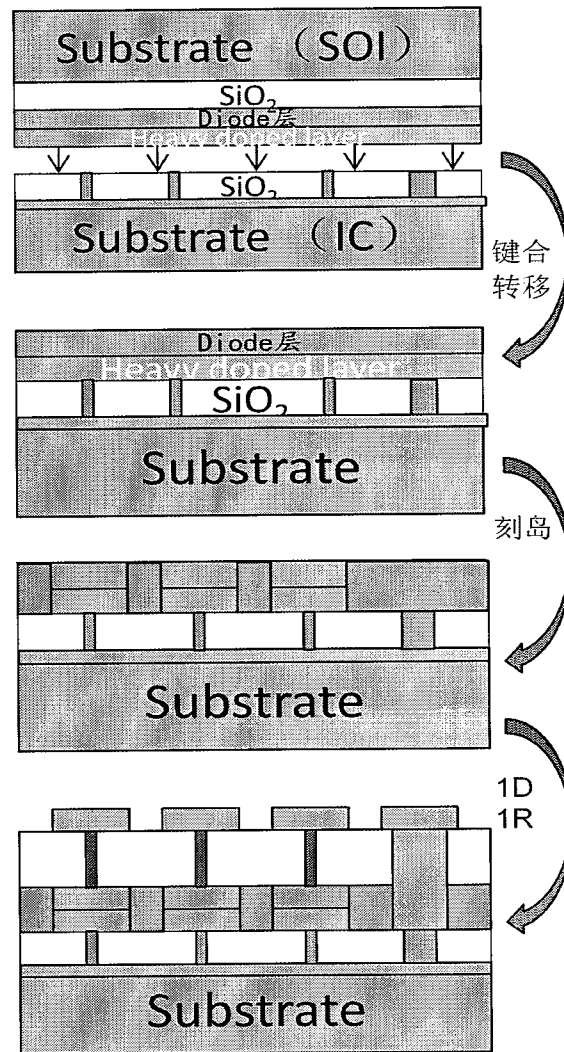


图 5.10 腐蚀自停止工艺实现立体存储单元流程图

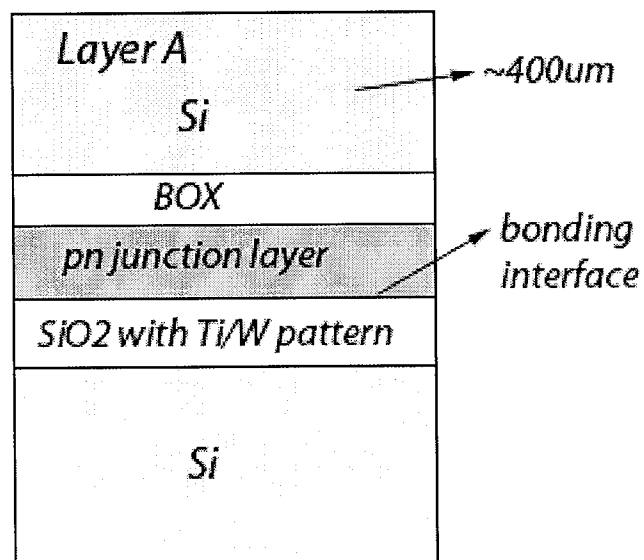


图 5.11 SOI-小电极样品键合后结构示意图

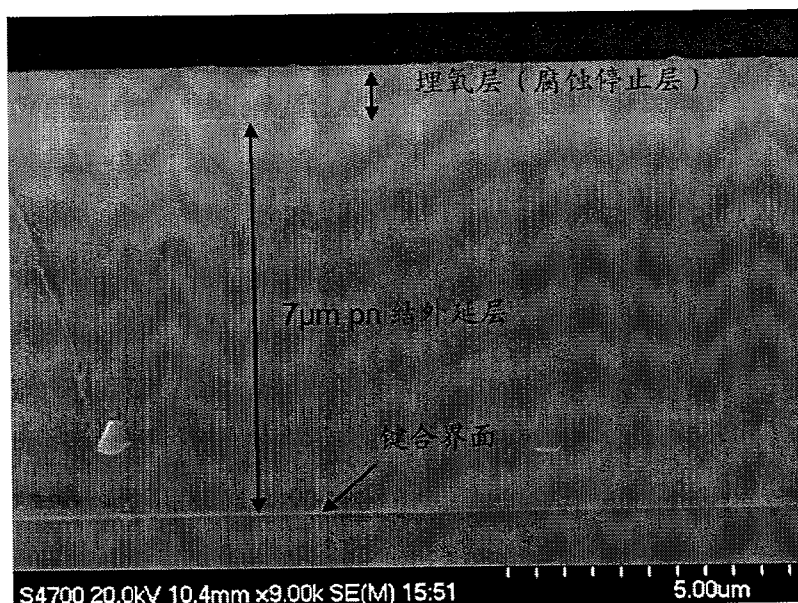


图 5.12 腐蚀自停止后样品截面图

§ 5.3.2 实验过程

SOI 样品表面依次具有 $5\mu\text{m}$ 厚的 P 型掺杂 Si 外延层和 $2\mu\text{m}$ 厚的 N 型掺杂 Si 外延层，埋氧层(BOX)厚度为 $1\mu\text{m}$ 。键合后的样品结构如图 5.11 所示，首先我们使用石蜡、光刻胶等对键合片的原小电极样品背面进行保护，然后，将其放在 70°C ，40%的 KOH 溶液中进行化学腐蚀，腐蚀速率 $\sim 20\mu\text{m}/\text{min}$ ，然而，多次实验表明，背面保护层在热的 KOH 溶液中很快脱落，即使 SiO_2 层也难以起到保护作用，除非淀积极端致密的非常厚的 Si_3N_4 才能起到保护效果，但是这就大大增加了工艺复杂度和成本，于是我们使用化学机械抛光的粗抛法，先将样品进行粗抛减薄，减薄到了一定程度，再将样品放入 KOH 腐蚀液进行腐蚀，腐蚀自动停止在 SOI 外延片的埋氧层上，这时候肉眼可以观察到光亮的埋氧层表面，其截面 SEM 照片如图 5.12 所示，可以观察到键合界面紧密，转移的 PN 层薄膜厚度均匀。最后用稀释的 HF 溶液漂洗掉埋氧层，最终实现了外延层的转移，如图 5.13 所示。

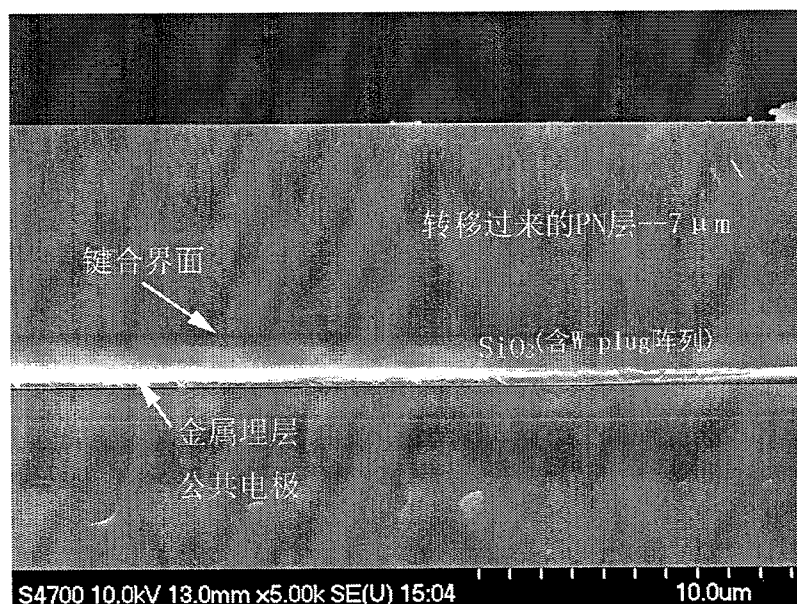


图 5.13 腐蚀自停止法转移单晶 PN 层

对样品用 AFM 进行表面形貌表征, 如图 5.14 所示, 此时的样品表面即为原 SOI 片的顶层 Si 与埋氧层界面, 可以看到, 转移后的薄膜表面比较平整。

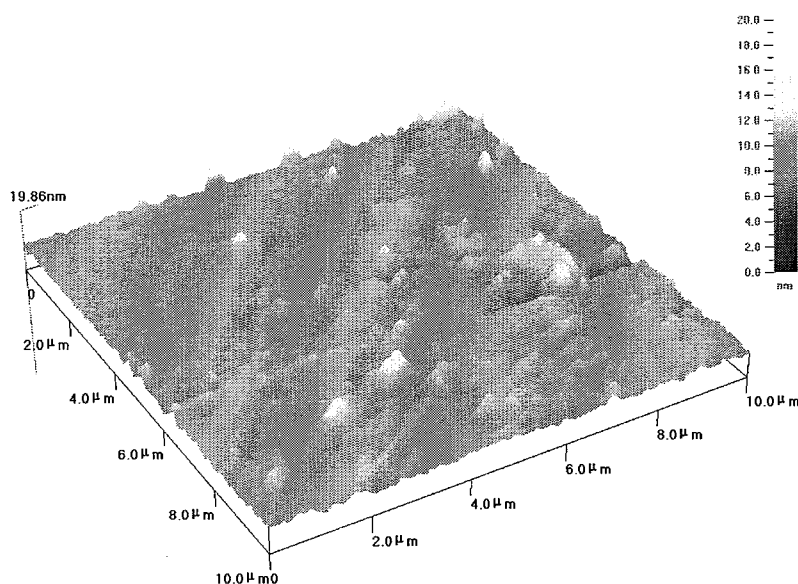


图 5.14 腐蚀自停止工艺转移的 PN 二极管层 Si 表面 AFM 形貌

在此基础上, 样品经过甩胶、曝光、光刻和刻蚀等步骤, 制备了小电极样品上的单晶立体二极管阵列, 如图 5.15 所示, Si 岛大小为 $5\mu\text{m} \times 5\mu\text{m}$, 在每个测试场四角, 引出了电极阵列与底部公共电极相连以方便测试。

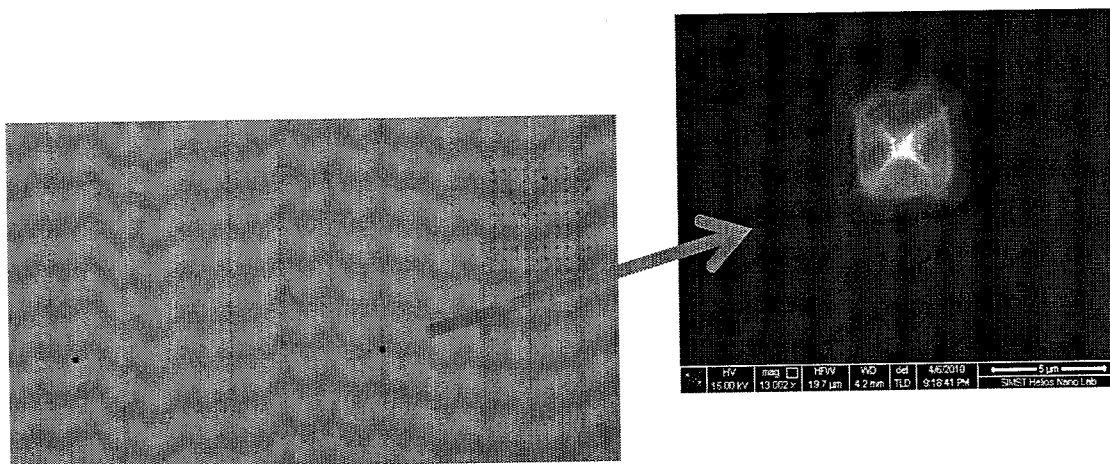


图 5.15 转移制备的单晶二极管

§ 5.3.3 测试与分析

借助聚焦离子束设备上搭载的微小探针台对二极管单元进行了测试，如图 5.16 所示，遗憾的是，最终转移的二极管单元并未测通。

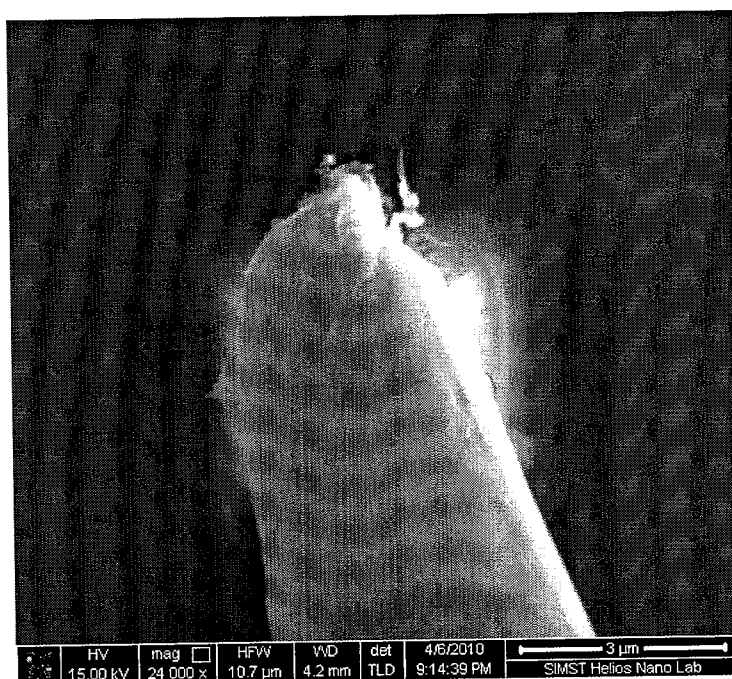


图 5.16 使用 FIB 搭载的微小探针进行二极管电学测试

(1) 原 SOI 片顶层 PN 层设计存在缺陷，尤其是与 W 小电极接触的一面，没有形成重掺杂层，从而导致金半接触，严重影响了二极管单元的测试；

(2) 原 SOI 片顶层 PN 层太厚 ($7\ \mu\text{m}$)，在制备二极管 Si 岛的时候，刻蚀时间很长，可能对 Si 岛以及引出底电极产生不利影响；

(3) 腐蚀工艺中, 样品长时间浸泡在热的强碱溶液中, 可能对样品中各界面以及金属造成腐蚀破坏。

总的来说, 腐蚀自停止工艺可以在 300°C 以下的低温下实现单晶二极管的转移, 但是这种工艺存在诸多缺陷:

- (1) 转移成功率低;
- (2) 减薄均匀性难以控制;
- (3) SOI 片以及外延成本较高;

(4) 湿法腐蚀背面难以保护, 且长时间热碱溶液的浸泡将对样品已有电路结构造成很大破坏。

鉴于这些情况, 我们探索了新的方法来实现单晶二极管的低温三维转移。

§ 5.4 利用改进型智能剥离技术实现低温三维堆叠

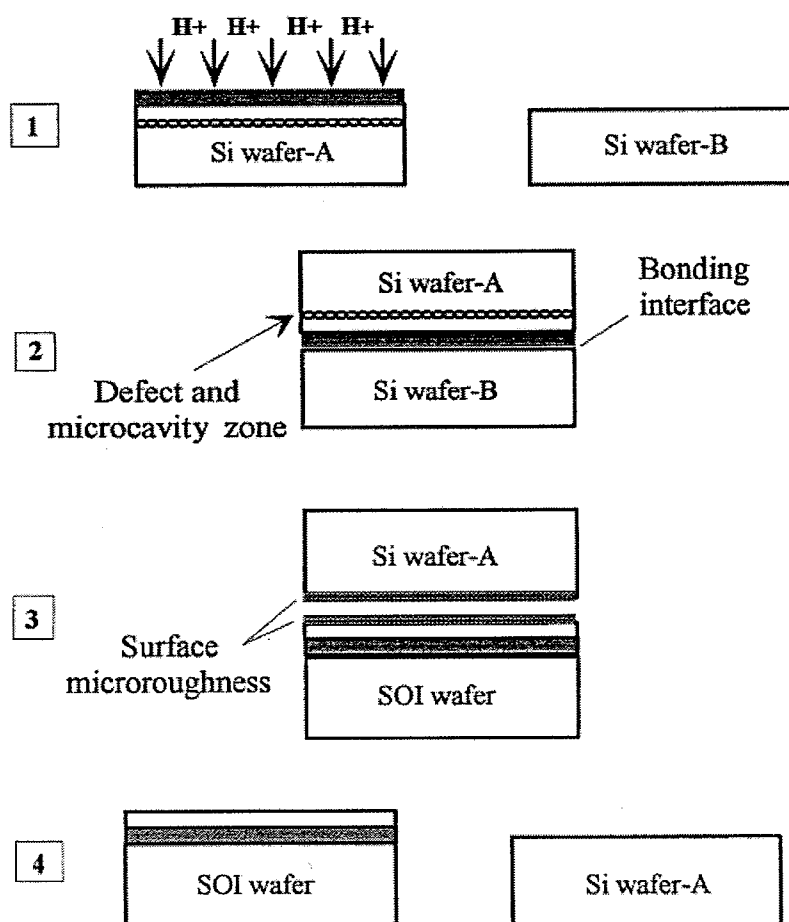


Fig. 1. Principle of the Smart-Cut process.

图 5.17 传统标准 Smart-Cut 工艺流程[20]

§ 5.4.1 智能剥离(Smart-Cut)

智能剥离技术于 1995 年被报道[20, 116, 117], 这种技术主要是利用氢或者惰性元素进行一定剂量的离子注入, 在离子射程附近区域集中, 受热后形成气泡层, 从而发生薄膜分离。传统 Smart-Cut 制备 SOI 结构的标准流程如图 5.17 所示[20], 首先在 Si 片 A 上进行 H^+ 注入, 然后与 Si 片 B 键合, 低温退火加强键合强度, 升温至 $500\text{ }^{\circ}\text{C}$ - $550\text{ }^{\circ}\text{C}$, H^+ 结合形成 H_2 , 从而在离子聚集层形成气泡层, 使键合片裂开, 完成单晶 Si 薄膜转移到另一片晶圆上, 最后升温至 $1100\text{ }^{\circ}\text{C}$ 进行高温退火处理, 进一步加强两片晶圆之间键合强度, 并消除晶格缺陷。剥离后的样品表面 RMS 粗糙度常常在 10 nm - 12 nm 之间[49], 需要 CMP 进行平坦化处理, 可使表面 RMS 粗糙度降低到 0.5 nm 以下。

通过单独注氢引入剥离的 Smart-Cut 技术已有大量的报道[118, 119], 实验证明在 $300\text{ }^{\circ}\text{C}$ 以下, 氢聚合体不会分解, 也不会晶圆表层下形成气泡。注入剂量为 $5\times 10^{16}/\text{cm}^2$ 时, 在临界温度 $420\text{ }^{\circ}\text{C}$ 以下不会形成表面能观察到的剥离小坑, 因此, 低温下完成键合并制成 SOI 材料的报道较少。Tong 等人[120, 121]提出了一种低温智能剥离的方法: 将原先的氢注入工艺替代为首先通过硼离子预注入引入一层缺陷层, 然后再进行氢注入。利用这种方法, K.Henttinen 等人[122]在 $200\text{ }^{\circ}\text{C}$ 成功制备得到 SOQ (Silicon-On-Quartz glass) 结构的材料。在此背景下, 课题组的 Xiaobo Ma 等结合了等离子体低温键合的方法, 利用 B/H 共注入技术在 $300\text{ }^{\circ}\text{C}$ 以下的低温下制备了 SOI, 并研究了低温退火过程中, 氢气泡的形成与剥离, 气泡密度与退火温度、注入硼剂量关系等问题, 以及共注入后低温剥离制成 SOI 顶层硅质量、缺陷密度[123-125]。

在本课题组研究基础上, 通过改良工艺, 可以将传统 Smart-Cut 的 $550\text{ }^{\circ}\text{C}$ 退火温度降低到 $300\text{ }^{\circ}\text{C}$ 以下, 从而使改良的 Smart-Cut 技术可以用于低温三维相变存储工艺。

§ 5.4.2 实验过程

实验的工艺流程示意图如图 5.18 所示, 通过引入缺陷层, 使退火剥离温度大大降低。首先在表面具有二极管结构层的 Si 片中注入 B^+ 离子, 从而在二极管

结构层下方重掺杂区域形成缺陷层，然后注入 H^+ 至此区域， H^+ 将由于缺陷层的吸附作用而聚集，随后模拟 IC 基片的含有小电极阵列样品与经过 B/H 注入的样品进行 face-to-face 键合，经过低温 200°C -- 300°C 的退火加强键合强度，并在 250°C -- 300°C 实现剥离，完成单晶二极管层的转移。剥离剩余的 Si 片经过化学机械抛光之后仍然可以回收再利用。

转移的单晶二极管层，通过光刻、刻蚀制备了小电极 W 上的二极管阵列。本实验中 Si 片上二极管层通过离子注入实现，注入和退火参数使用 Synopsys 的 Sentaurus 工具进行模拟。

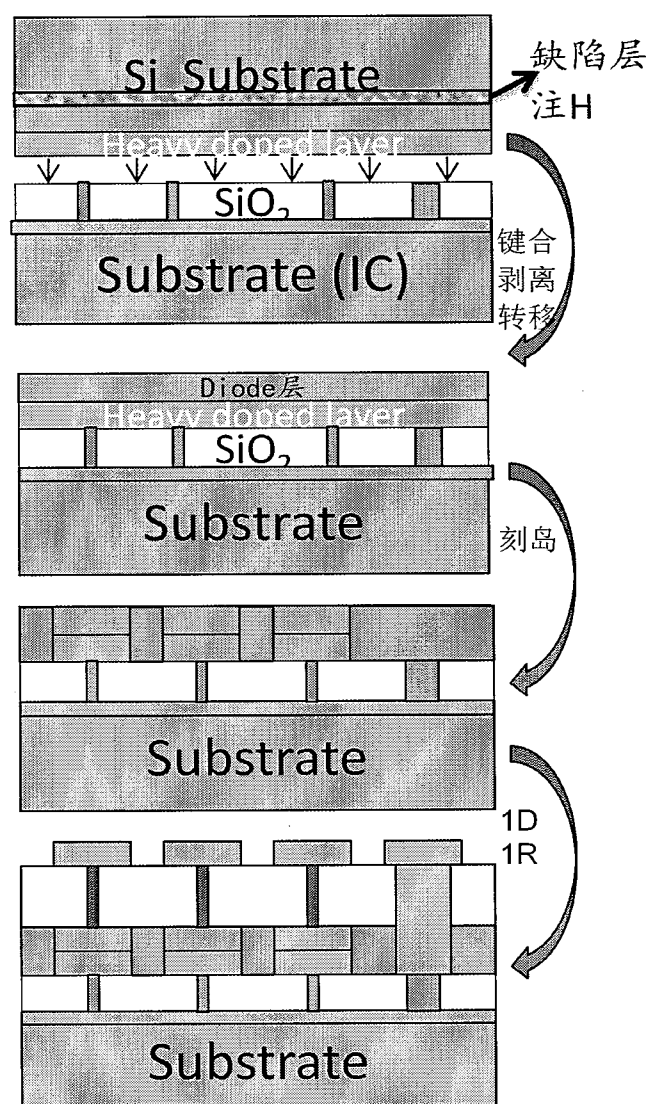


图 5.18 使用改良 Smart-Cut 方法进行三维存储工艺开发流程示意图

(1) PN 结二极管

经过大量模拟与调整, PN 结二极管的杂质分布如图 5.19 所示, PN 结形成在离表面 420 nm 附近, 表层 100 nm 以及距表面 600 nm 以下分别形成重掺杂层, 分别能够和上下电极形成欧姆接触。

注入参数选择:

第一步: 500 keV 注 B 剂量 $3\text{e}15\text{ cm}^{-2}$

400 KeV 注 P 剂量 $5\text{e}13\text{ cm}^{-2}$

15 KeV 注 P 剂量 $4\text{e}14\text{ cm}^{-2}$

第二步: 1000 °C 退火 30 s

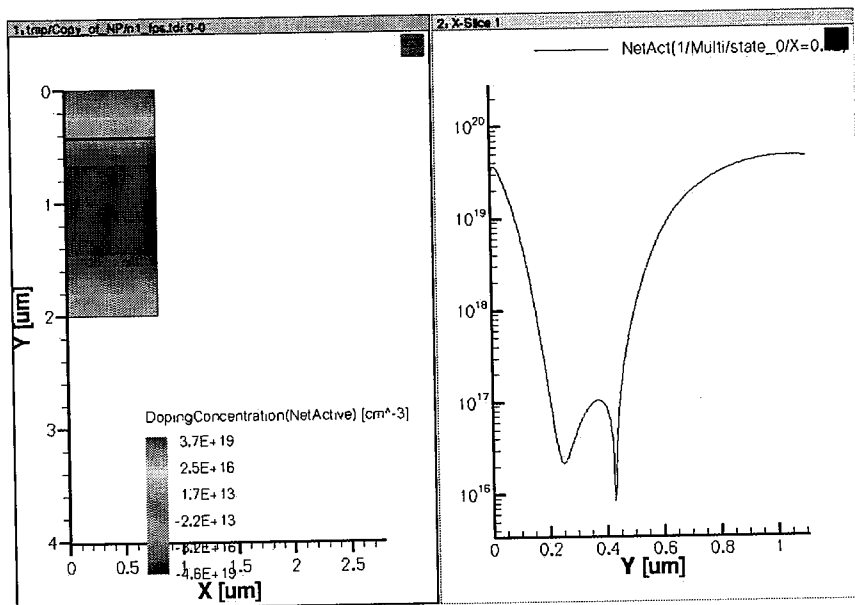


图 5.19 Si 片上 PN 结二极管杂质分布模拟图

最后所得样品模拟结果为: P+区浓度为 $3\text{e}19\text{ cm}^{-3}$, N-区浓度为 $1\text{e}17\text{ cm}^{-3}$, 对结面积为 $1\mu\text{m}^2$ 的 PN 结二极管来说, 2V 时候的理想驱动电流可达 10 mA, 理论击穿电压为 7V。

同时, 对于 B^+/H^+ 的注入, 使用 SRIM 软件进行了模拟, 结果如图 5.20 所示, 可以看到, 两种离子的分布峰值位于 $1\mu\text{m}$ 附近, 结合上述 PN 结模拟结果, 可以保证剥离界面上下 300 nm 均为 p 型重掺杂以便于上电极的连通, 并且注意到, B^+/H^+ 的分布对于结深在 420 nm 附近的二极管性能不会产生影响。

注入参数选择:

450 KeV 注 B 剂量 $1\text{e}14\text{ cm}^{-1}$

120 KeV 注 H 剂量 $4.5 \times 10^{16} \text{ cm}^{-2}$

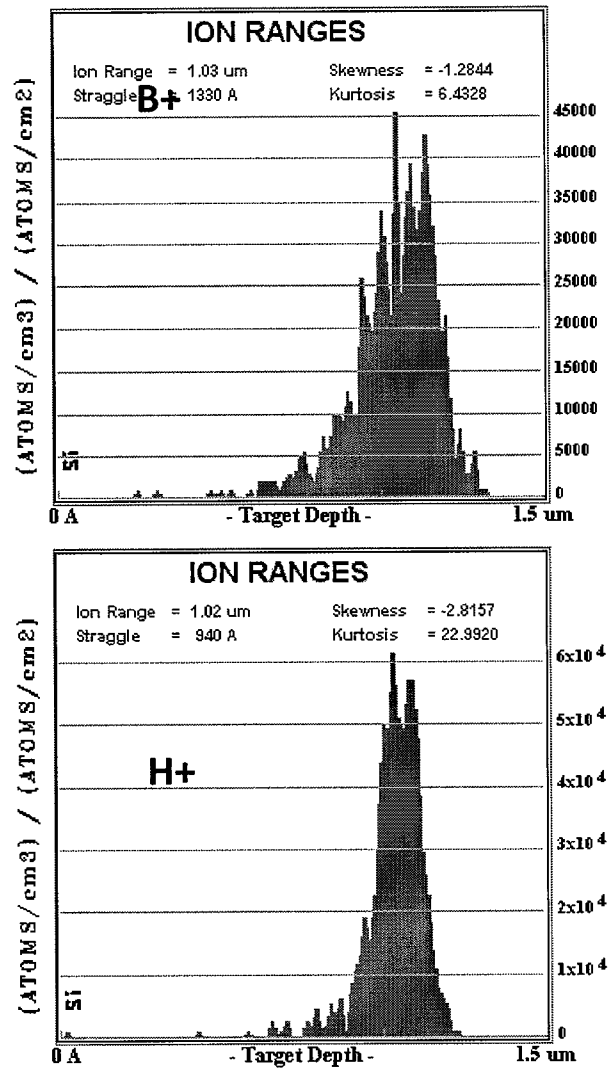


图 5.20 B/H 注入的 SRIM 模拟结果

(2) 肖特基(Schottky)二极管

肖特基二极管相比于硅 PN 结二极管具有更加简单的结构,它的基本原理是:在金属和非重掺杂半导体的接触面上形成势垒,对流过二极管的电流进行控制,阻挡反向电压。这种器件是由多数载流子导电的,其主要特点是具有较低的正向压降 (0.3 V 至 0.6 V),所以,它具有更快的反应速度和较大的驱动电流,且受尺寸缩小的影响较小。此外,由于其结构简单,制造成本也相对较低,它的缺点则是反向漏电流比 PN 结二极管偏大。

同样地,我们设计了肖特基二极管的工艺,其模拟结果如图 5.21 所示,表层形成较低掺杂,为 10^{16} cm^{-3} 量级,为和金属接触形成肖特基二极管做准备;在

距表面 400 nm 以下区域形成 $3 \times 10^{19} \text{ cm}^{-3}$ 的重掺杂区以方便后期电极的欧姆接触。根据条件便利, 采用了 P 型掺杂。

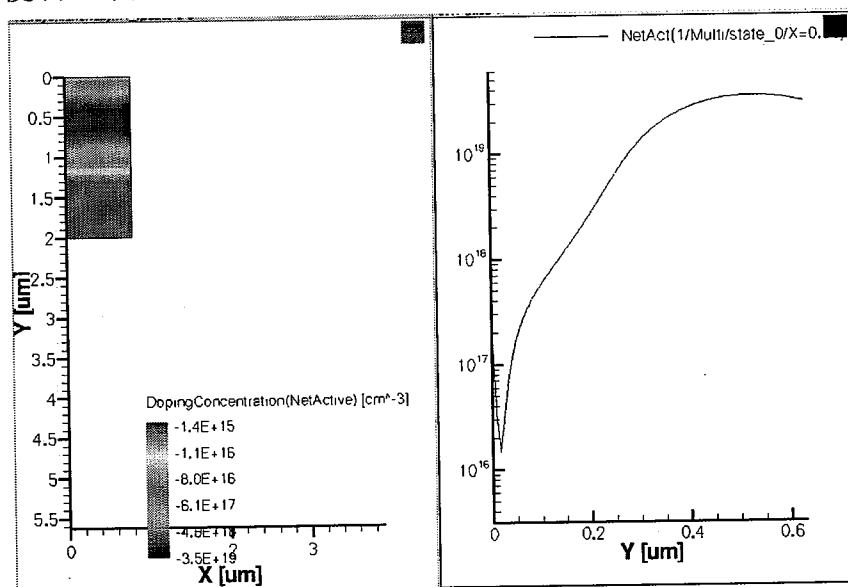


图 5.21 肖特基二极管的设计掺杂模拟曲线

设计参数为:

25 KeV 注 P, 剂量为 $1.7 \times 10^{12} \text{ cm}^{-2}$

200 KeV 注 B, 剂量为 $1.5 \times 10^{15} \text{ cm}^{-2}$

1000 °C 5 s 退火;

180 KeV 注 B, 剂量 $1 \times 10^{14} \text{ cm}^{-2}$

60 KeV 注 H, 剂量 $4.5 \times 10^{16} \text{ cm}^{-2}$

缺陷区深度位于 500 nm 附近, 从而可以保持剥离后的表面重掺杂。

§ 5.4.3 结果与分析

经过注入在 Si 片形成二极管层, 并用 B^+/H^+ 共注入的方法形成可剥离层, 经过低温退火加强键合强度之后, 升温至 300°C 完成剥离和单晶薄膜转移。转移后样品分别使用 AFM 和 SEM 对表面形貌和截面结构进行了观察, 并制备了小电极上的单晶二极管阵列, 分别借助表面电极覆盖和 FIB 搭载的微型探针平台对转移的二极管进行了测试。

§ 5.4.3.1 转移薄膜表征

首先用 AFM 测试了剥离后样品表面的三维形貌图, 如图 5.22 所示, RMS 粗糙度为 3.80 nm, 比腐蚀自停止工艺略差, 但好过传统的 Smart-Cut 剥离后未经抛光前的结果(10 nm~ 12 nm)[49]。剥离后的样品经过化学机械抛光, 粗糙度可以降低到 0.5 nm 以下, 即可以达到器件制备标准。

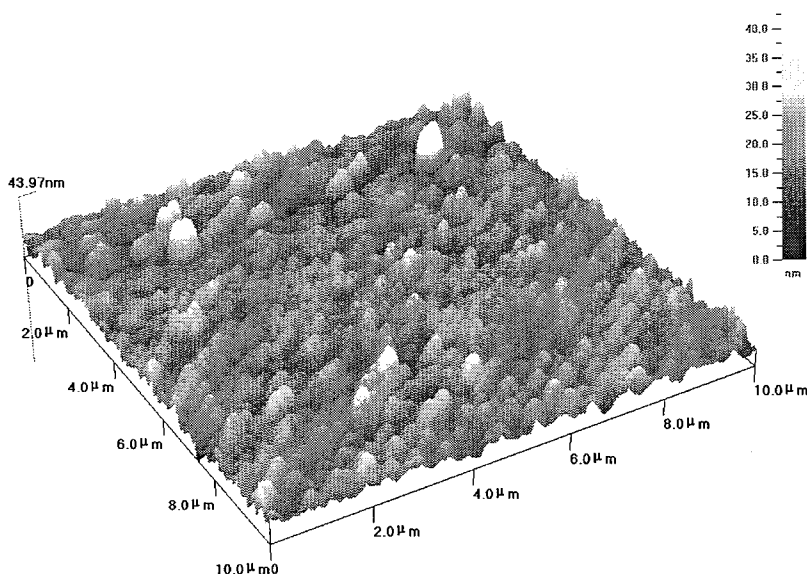


图 5.22 低温剥离转移 PN 结二极管表面 AFM 形貌图

图 5.23 为转移成功样品的 SEM 表面照片, 可见, 表面有明显的气泡剥离留下的痕迹, 但是表面仍然均匀。

从图 5.24 的 SEM 截面图来看, 转移过来的单晶薄膜厚度较为均匀, 为 950 nm, 符合设计预期。键合界面非常紧密, 没有观察到空隙存在。

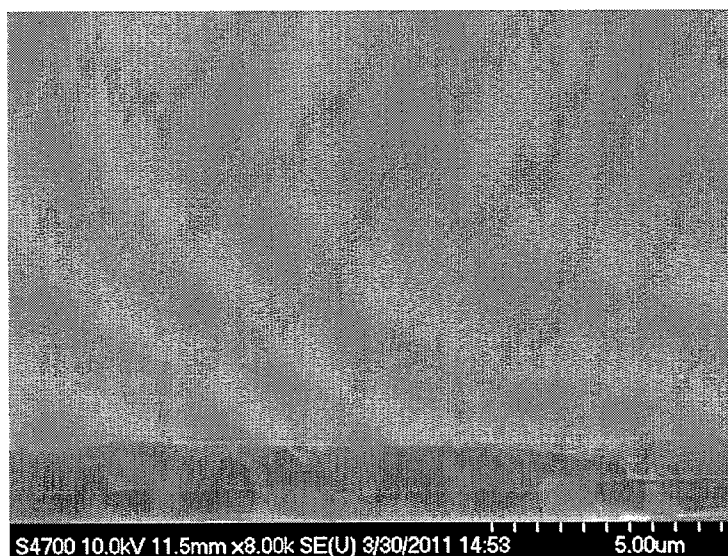


图 5.23 SEM 表面观察剥离后样品表面

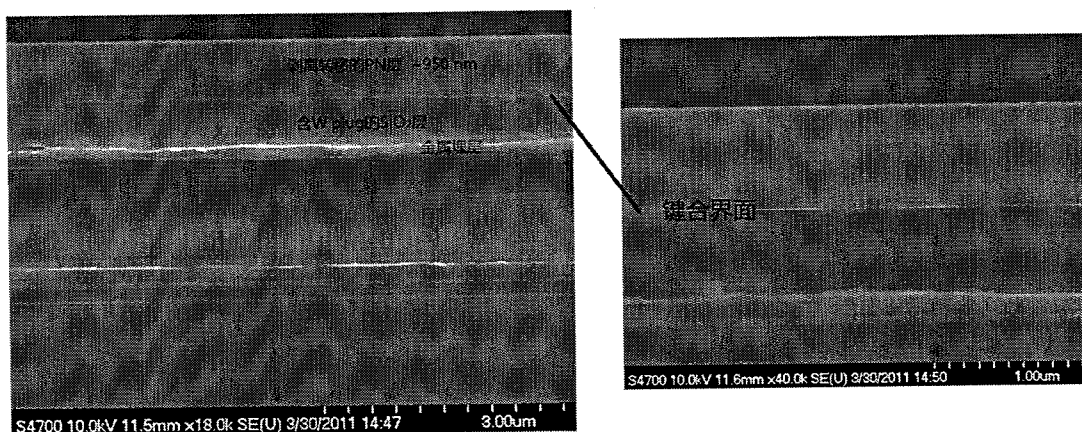


图 5.24 剥离转移样品截面 SEM 观察

§ 5.4.3.2 纳米电极上的单晶二极管

利用光刻和反应离子刻蚀(RIE), 在转移了 PN 层的小电极阵列样品上, 制备了单晶二极管阵列。

如图 5.25 所示, 在实验探索阶段, 为了简化工艺和方便测试, 制备的单晶二极管 Si 岛尺寸为 $5\mu\text{m} \times 5\mu\text{m}$, PN 岛平行间距为 $100\mu\text{m}$ 到 $200\mu\text{m}$ 不等。图 5.26 为制备了顶层电极并且引出了底电极的样品表面图片。

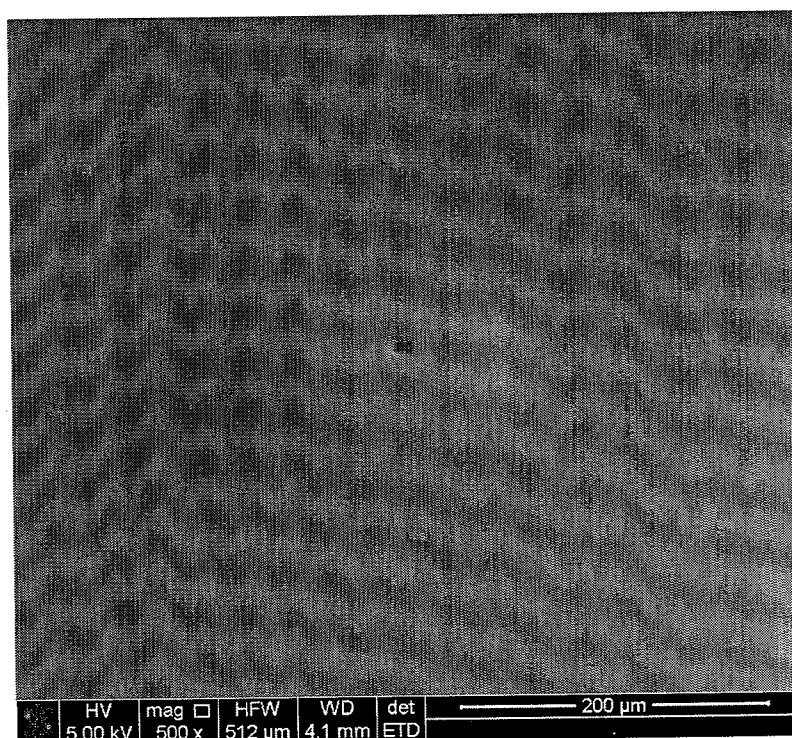


图 5.25 纳米小电极阵列上制备的单晶二极管阵列

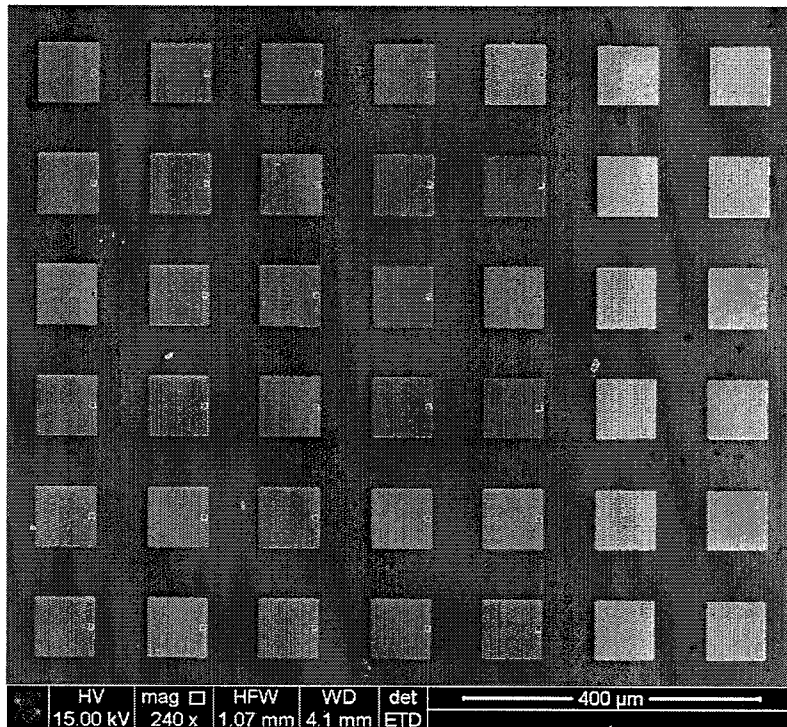


图 5.26 制备了顶电极的单晶二极管阵列

为了观察底层纳米 W 电极与键合转移的 Si 层是否紧密接触，我们使用聚焦离子束(FIB)对 PN 岛进行了加工，首先从正面对图 5.25 正中央的 PN 岛进行了离子刻蚀，以检验纳米电极是否和 PN 岛对准，结果如图 5.27 所示，纳米电极在 PN 岛的中央清晰可见，证明纳米电极和 PN 岛对准良好。

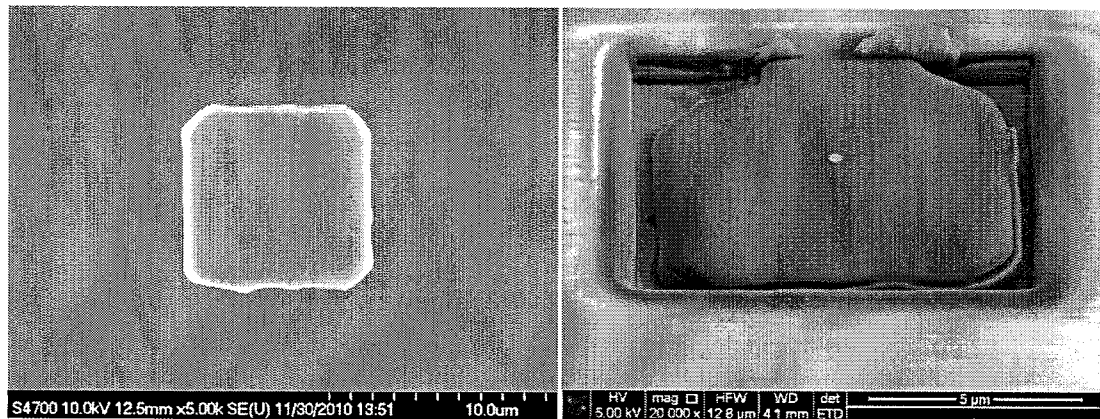


图 5.27 对 PN 岛进行 FIB 加工和观察

为了更进一步观察纳米电极与 PN 岛接触情况，我们使用 FIB 进行了切面加工，获得样品结构的剖面图如图 5.28 所示：

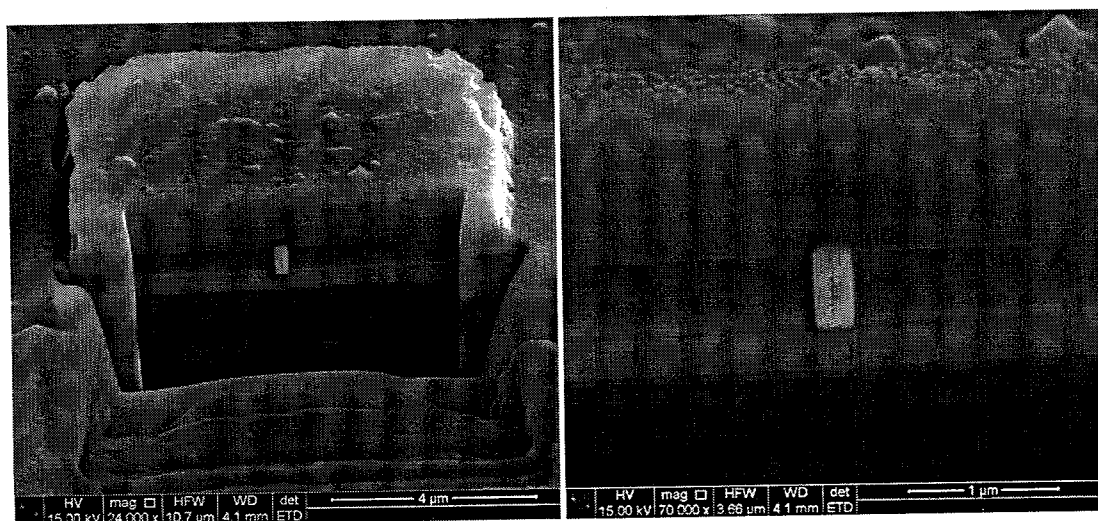


图 5.28 纳米电极-PN 岛结构的纵切面观察

图中，顶层为测试用的 Al 电极，接下来就是 PN 层，厚度约 $1\mu\text{m}$ ，纳米 W 电极清晰可见，且电极与上层通过键合转移来的 PN 层 Si 接触良好、紧密。界面略有模糊，这是在键合后退火过程中，W-Si 相互少量扩散所致，W-Si 之间的扩散甚至于形成合金，更加有利于电极和二极管的电学接触和导通。

§ 5.4.3.3 二极管电学测试

利用 Keithley 2602A 测试台对首批转移制备的单晶二极管岛进行了 I-V 测试，如图 5.29 所示，二极管电流密度偏小，但其特性曲线趋势正常，漏电流比较大， $-10\text{V}/10\text{V}$ 开关比也仅有 10 倍，性能较差。但是，从电学结果上来看，键合界面处的小型电极 W 金属和 Si 是导通的，这就印证了前面的 FIB 对样截面的观察结果，证明我们的键合和转移工艺，是成功的。

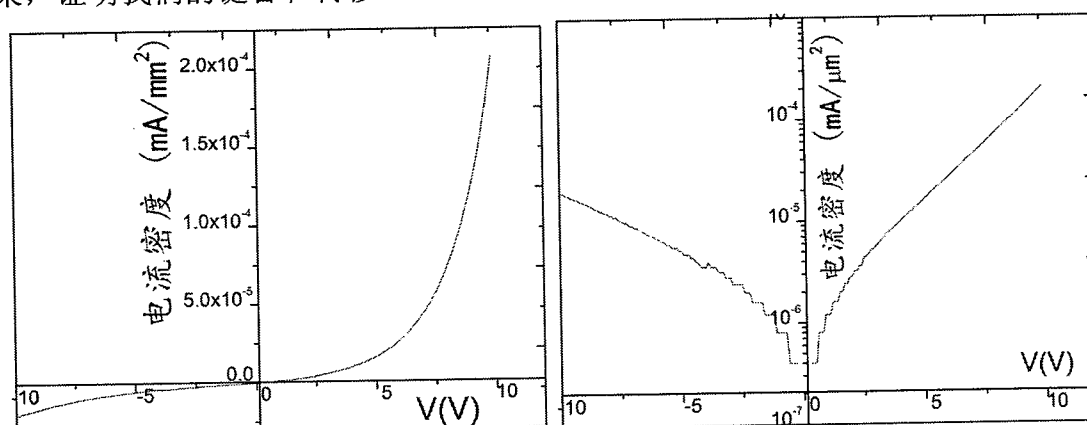


图 5.29 首次实验的二极管特性曲线

我们分析了二极管性能差的原因，分别对引出底部公共电极之间、键合转移后样品表面(即原注入样品重掺杂埋层)、键合转移之前样品表面(即和 W 电极接触的 N^+ Si 表面)进行了测试。结果如图 5.30 所示，发现底电极导通良好、键合转移后样品顶层导通良好，而键合转移之前顶层原本应是 N^+ 区则电阻非常大。我们进一步做了 SIMS 测试，证实了原注入样品顶层 N^+ 区缺失，如图 5.31 所示。

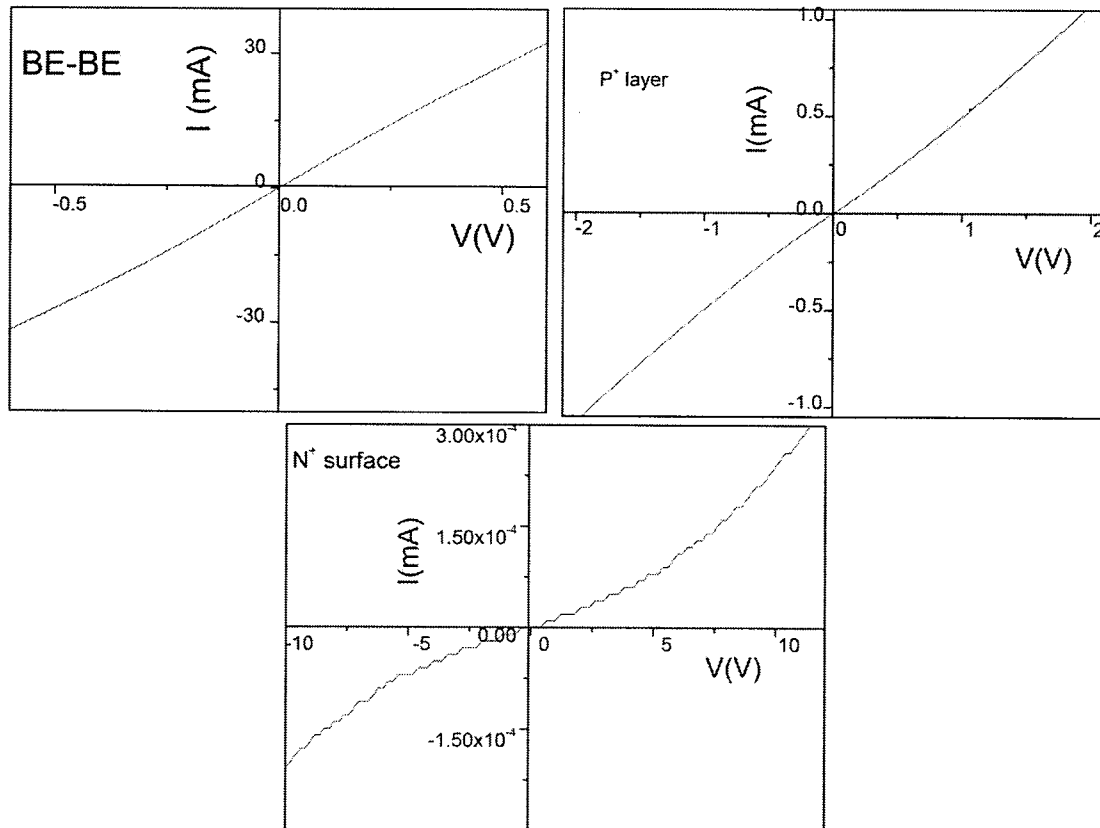


图 5.30 首次转移二极管失效测试

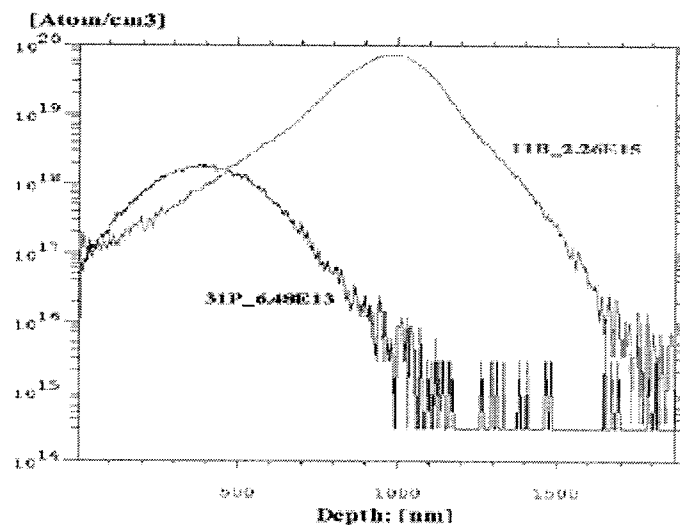


图 5.31 键合前注入样品的 SIMS 测试

SIMS 测试结果显示，二极管层硼和磷掺杂均正常，和前期模拟结果吻合。但是顶层磷重掺杂层缺失，这说明是前期注入工艺出了故障。经过参数调试后注入样品的 SIMS 结果如下图 5.32 所示：

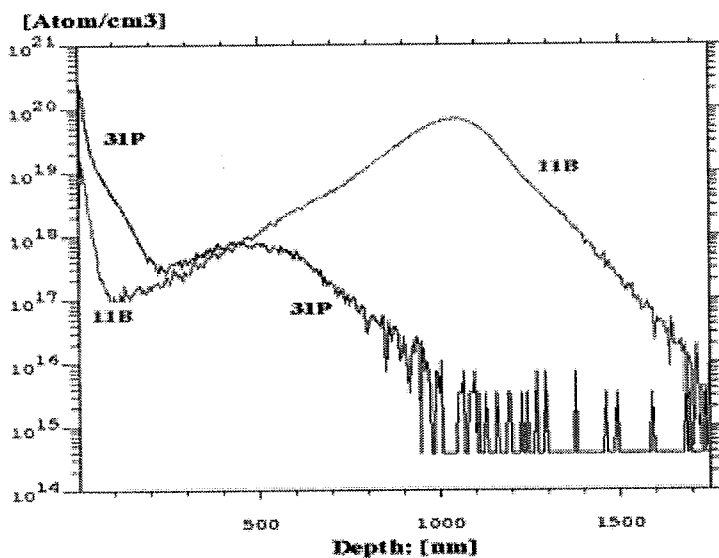


图 5.32 经过调试后注入样品的杂质分布图

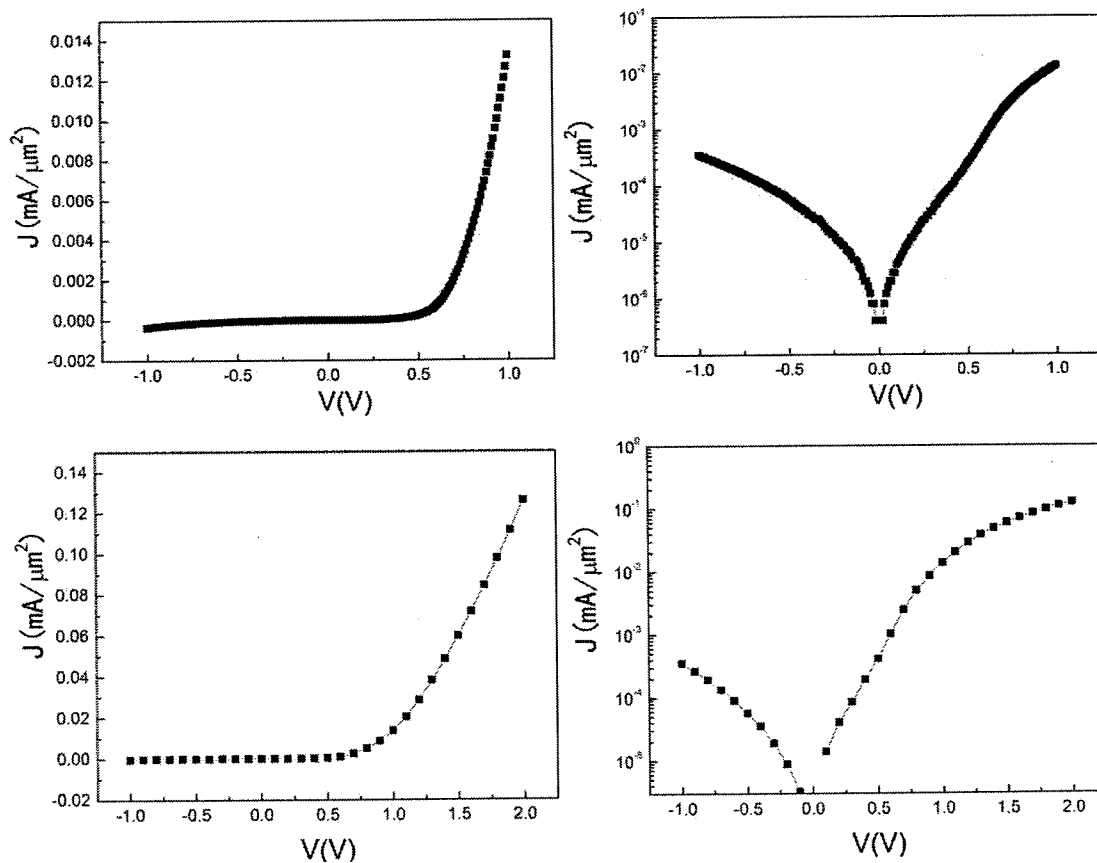


图 5.33 注入调试后立体二极管特性曲线图

可见，样品二极管耗尽层位于 300 nm-500 nm 之间，埋层 P^+ 重掺位于 $1\mu m$

附近, 顶层 N^+ 也基本正常, 值得注意的是, 顶层 B 的掺杂也有一个突然增大, 这可能与后期的 B^+/H^+ 共注入有关, 不过, 由于和 N 型掺杂相差一个数量级, 所以并不影响顶层重掺杂结果。

同样地, 此次样品经过清洗、键合、剥离转移二极管层到含小电极阵列的样品上, 光刻、RIE 制作单晶二极管阵列, 进行电学测试, 其中, 面积为 $25\mu m^2$ 的二极管测试结果如图 5.33 所示, 所得曲线为典型的二极管特性曲线, 二极管在 2V 电压下的驱动电流密度为 $0.13\text{ mA}/\mu m^2$, 远远好于第一次实验探索结果。遗憾的是, 二极管漏电流较大, $-2V/2V$ 开关比略大于 10^2 , 远未达到理想状态(10^8 以上)。同时, 利用 FIB 搭载微型探针测试台, 对结面积为 $1\mu m^2$ 的 PN 结二极管进行了电学测试, 如图 5.34 所示, 2V 时二极管驱动电流密度为 $0.35\text{ mA}/\mu m^2$, 3V 时电流密度为 $0.68\text{ mA}/\mu m^2$, 比结面积为 $25\mu m^2$ 的二极管大, 但是反向漏电流也较大, 从对数坐标图可以看出, $-3V/3V$ 开关比仅有 10 倍。

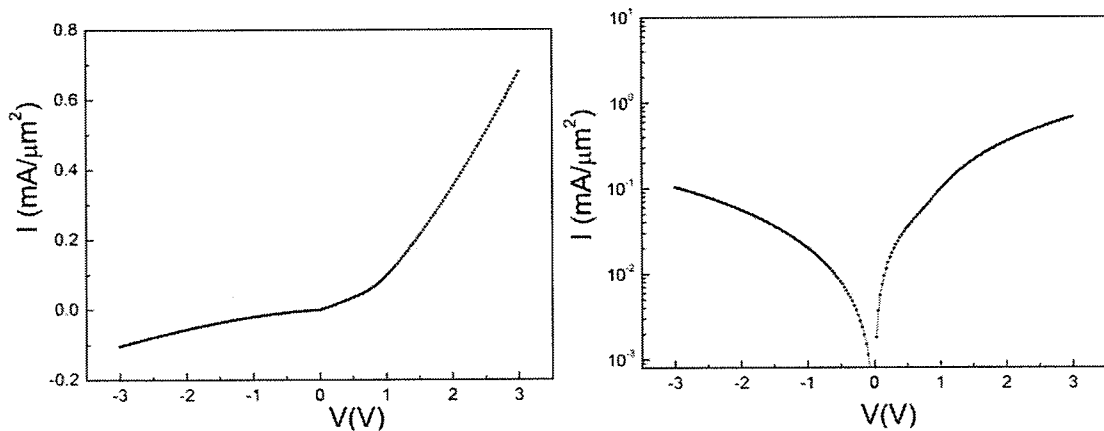


图 5.34 结面积为 $1\mu m^2$ 的二极管特性曲线

总之, 单晶二极管的转移实验探索, 获得了完好的键合界面, 成功转移了单晶 PN 结二极管层, 模拟字线引出的小电极与键合转移的 PN 结构 Si 层接触良好, 得到了标准的二极管特性曲线。不足之处在于, 二极管驱动电流密度偏小, 漏电流较大, 开关比偏低, 这些问题还需要在将来系列工艺的不断优化中得到解决。

§ 5.4.4 相变存储单元结构的实现

在前述单晶 Si 二极管阵列转移的基础上, 使用磁控溅射(PVD)法淀积了 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜, 扫面电子显微镜对截面的观察如图 5.35 所示, 可见 GST 薄膜厚度约 90nm, 与转移制备的二极管形成了垂直的双层 1D1R 结构。工艺条件的优

化与电学性能测试实验正在进行。

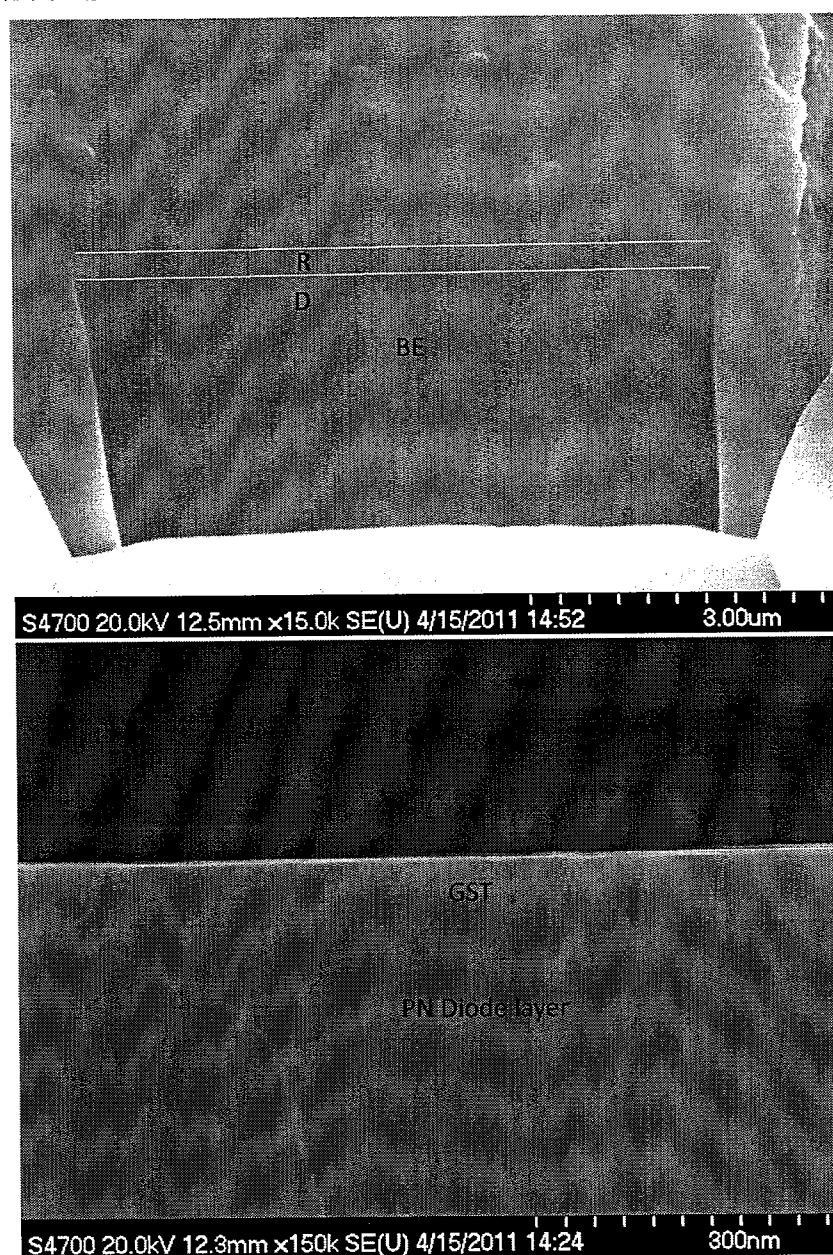


图 5.35 沉积了 GST 后的二极管-相变材料结构 SEM 观察

§ 5.5 可用于三维相变存储的 PCM-SiO₂ 键合

以上工艺是通过先转移垂直单晶二极管,再通过一系列工艺加载相变材料来实现存储单元的三维堆叠。为了简化工艺,我们提出了一种新的键合方案,如图 5.36 所示,方案 A 为在小型 W 电极上方填入相变材料,再与可剥离二极管层的 Si 片键合,转移单晶二极管,形成 1D1R 结构,这种方案键合强度主要来源于 Si-SiO₂ 键合,强度很高,可靠性强,小型电极可作为纳米加热电极使相变材料

发生相变，大大简化了 3D 工艺。遗憾的是，由于条件所限，当前并未开展方案 A 的实验。

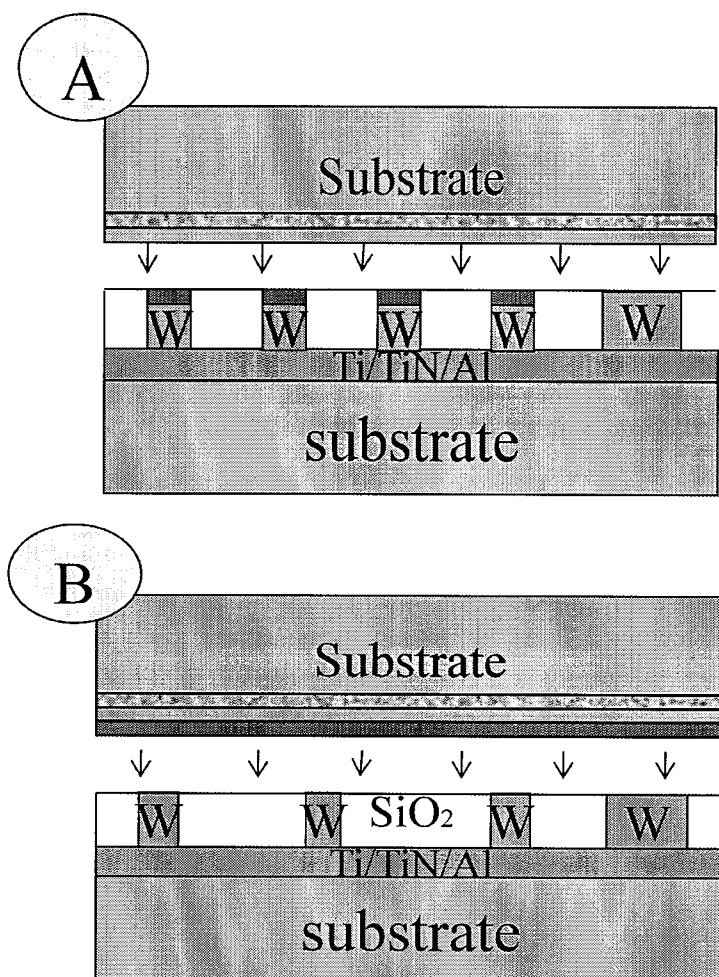


图 5.36 新的键合方案实现 3D 1D1R 结构

方案 B 则是，在将要被转移的二极管层顶层沉积一层相变材料，再与含有小型电极阵列的 IC 模拟基片进行键合，相变材料层与单晶二极管层同时转移，并制备存储单元阵列。此方案也可以大大简化工艺，但是难点在于，相变材料普遍较软，难以提供较高的键合强度。我们对方案 B 进行了初步的实验探索，为了尽可能的提高成功率，我们首先选用了最成熟的相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (以下简称 GST) 进行实验。

首先使用磁控溅射(PVD)在 Si 片上沉积了 150nm GST，样品经过 200°C 1s 快速热退火(RTP)处理使 GST 多晶化，利用 AFM 测试了其表面形貌，如图 5.37 所示：

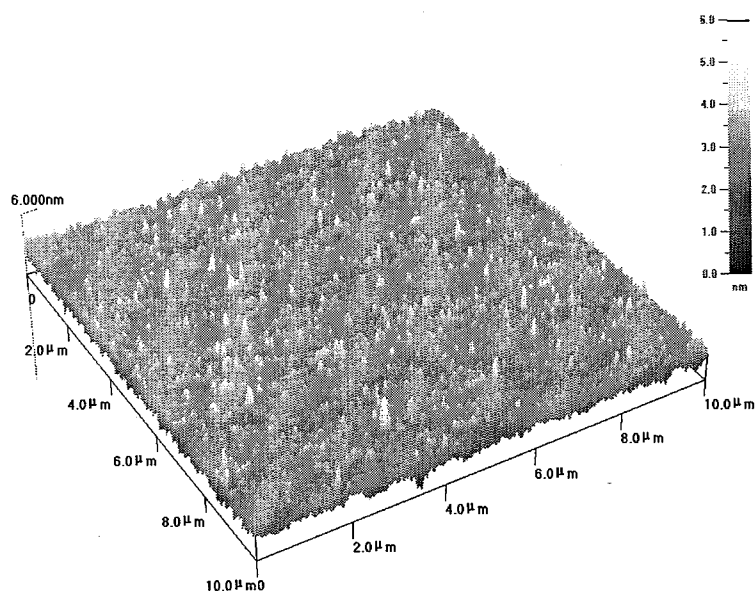


图 5.37 经过 RTP 的 GST 薄膜表面形貌

从 AFM 的三维形貌来看, 沉积的 GST 薄膜经过 RTP 后, 表面非常均匀平整, RMS 粗糙度为 0.7nm, 符合键合要求。接下来, 在有机溶剂清洗之后, 我们对 GST 薄膜使用了不同条件的等离子体活化处理, 并测试了接触角, 结果如表 5.2 所示:

表 5.2 不同等离子体活化处理的 GST 薄膜亲水角

处理	Without plasma	N+ 20s 100/75W	N+ 25s 100/75W	N+ 30s 100/75W	N+ 30s 50/25W	O+ 15s 100/75W	O+ 15s 100/75W	Ar+ 20s 100/75W
亲水角 CA(°)	62.7	13.8	11	Surface damaged	13.2	3	2	Surface damaged

接触角测试显示等离子体活化处理可以显著增加 GST 亲水性, 在氮等离子体处理 25s 之后, GST 亲水角由 62.7°减小到 11°, 而在氧等离子体活化之后, 亲水角则减小到 2°, 为了防止氧化造成电极与相变材料绝缘, 我们选用氮等离子体活化处理的样品进行了键合实验。取表面沉积了 GST 薄膜的样品与表面为氧化硅的 Si 片进行键合, 300℃退火加强键合强度, 随后切开观察键合面, 发现样品分离, 但是约 120nm GST 转移成功, 如图 5.38 所示, 顶层为转移过来的 120 nm GST 材料。

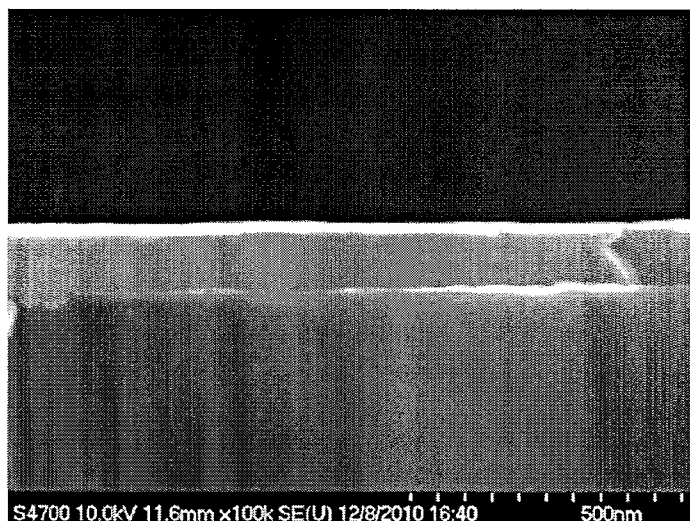


图 5.38 键合转移的 GST 薄膜截面 SEM 照片

实验说明, GST-SiO₂ 可以进行键合, 但 GST 较软, 无法提供必要的机械支撑, 将来可用掺杂方式或者其它相变材料甚至其它电阻转换存储材料进行探索, 以实现工艺大为简化的三维存储。更为有效的方法仍然是前面提出的方案 A, 利用成熟的 Si-SiO₂ 键合工艺获得较高的键合强度, 同时利用小电极和纳米尺度的相变材料单元实现存储, 既可以大大简化 3D 工艺, 又可以提高存储单元的性能。

§ 5.6 本章小结

为了实现垂直互连的高速高密度存储, 对三维相变存储工艺进行了探索。

- (1) 在不高于 300℃ 的低温下利用腐蚀自停止工艺成功转移单晶二极管层并制备了立体二极管阵列, 但是由于工艺因素, 并未测得二极管性能;
- (2) 为了降低成本和工艺复杂度, 提高成功率, 采用 B⁺/H⁺ 共注入的智能剥离法, 在不高于 300℃ 低温下成功转移二极管层到 IC 模拟基片上, 并制备了立体单晶二极管阵列, 二极管 Si 岛和底电极 W 对准良好, 且 W-Si 接触紧密, 电学测试显示底电极与键合转移的 Si 导通;
- (3) 经过工艺优化, 初步使用键合转移的方法在含有金属电极的绝缘材料商获得了具有典型特性曲线的二极管阵列, 所得二极管最大驱动电流密度(2V) 为 0.35 mA/μm², 二极管开关比为 10²。二极管性能以及漏电问题需要进一步的优化工艺来解决。
- (4) 在单晶 Si 二极管转移的基础上, 初步制备了 1D1R 的存储单元结构。

(5) 提出可以大大简化三维工艺的含相变材料的键合方案，并进行了初步的探索，发现相变材料可以和 SiO_2 进行键合，但是相变材料薄膜本身粘附力以及硬度需要改善。

第六章 总结

本论文针对微电子发展中遇到的高速和高密度瓶颈问题,选择了前沿的研究课题——高迁移率应变 Si 技术和三维相变存储工艺,结合我们承担的国家集成电路重大专项、国家 973&863、国家自然科学基金以及上海青年科技启明星计划等国家任务,开展了绝缘体上应变 Si 材料生长及 MOSFET 器件制备以及低温三维相变存储工艺等方面研究。与现有文献报道相比,本论文主要取得了以下创新性的研究成果:

(1) 提出了 Ge 浓缩后退火工艺的改进,通过 1000 °C 的 N₂ 后退火处理,利用 Ge 原子在高温下的扩散效应和聚集效应之间的平衡原理,消除了 Ge 浓缩工艺一直无法解决的 Ge 原子在层中的聚集现象,获得了组分更加均匀、位错密度极低的超薄弛豫 SGOI 材料。利用 Ge 浓缩技术我们成功制备了具有不同 Ge 组分的超薄 SGOI 衬底材料,发现经过一定的退火工艺控制,Ge 组分与氧化时间基本上呈近似线性的关系,从而掌握了 Ge 组分可控的浓缩方法,为应变 Si 的外延制备打下了良好的衬底基础。

(2) 分别探索了超高真空电子束蒸发(UHVEBE)技术和超高真空化学气象沉积法(UHVCVD)在 SGOI 材料上制备应变硅材料。首先探索性的使用 UHVEBE 在超薄 SGOI 衬底上初步获得应变硅材料,外延温度为 800°C, Raman 光谱分析其应变度为 0.7%, TEM 显示晶格质量良好。但是发现用 UHVEBE 外延所得应变硅薄膜并不完整,分析原因为外延温度过高所致,主要与 Ge 在 SiGe 表面的扩散系数随温度上升而较大有关,并且 UHVEBE 外延中 Si 原子是以团聚的方式在表面堆积,因而容易造成薄膜不完整。同时发现, UHVEBE 在低于 800°C 时候外延无法形成 Si 单晶,在这些分析基础上,选用 UHVCVD 在较低的温度(550°C)下外延获得了完整的应变硅薄膜,应变度达到 1%,应力值相应为 1.7GPa,分析应变 Si 的实际衬底 SiGe 处于完全弛豫状态。在此基础上,利用 UHVCVD 低温外延法制作了一批完整的 6 寸应变硅晶圆,系统的表征显示圆片应变硅薄膜表面平整、均匀, RMS 粗糙度低于 1nm,基本符合半导体器件的制备标准。获得了最大达 1.35% 的应变值,相应的应力值达到 2.2 GPa,是目前报道的全局应变 Si 中应变最大的。同时,对多个不同样品进行的分析发现,超越临界厚度会导致应

力一定程度的弛豫，但是在超过临界厚度 3 倍以内的样品应力保持良好。

(3) 研究了应变硅的尺寸效应，发现本文制备的应变硅在 300 nm 尺寸以下开始发生应力弛豫，150 nm $\times$ 150 nm 应变硅岛的应力弛豫仅为约 13.4%。由于实际衬底超薄 SiGe 层的低缺陷密度和应力牵制作用，纳米图形化的应变 Si 弛豫度远小于无 Ge 应变硅或者具有 Ge 组分渐变层 SiGe 衬底的应变 Si 材料；为了表征关键器件制备工艺对应变稳定性的影响，选用栅氧化，离子注入和快速退火等关键工艺分别处理，紫外 Raman 检测结果表明关键工艺后应变 Si 应力弛豫较为不明显。

(4) 在上述研究基础上，课题组针对 sSOI、SOI 和 SGOI 三种衬底，初步完成了基本的应变硅原型器件制备，并根据 sSOI, SOI 和 SGOI 衬底 n-/p-MOSFET 测试结果得知，sSOI 衬底中电子和空穴有效迁移率比超薄 SOI 衬底分别提高了 50%和 40%，说明应变 Si 可以显著提高器件性能，提高电路驱动能力。

(5) 探索了实现三维相变存储工艺的方法，利用 SOI 材料的特征，使用腐蚀自停止技术结合低温等离子体活化键合法，首次实现单晶硅二极管到含金属字线的绝缘介质层上的转移，并且制备了立体二极管阵列。

(6) 基于低温等离子体键合技术，采用硼氢共注入的 Smart-Cut 方法，在 300 °C 以下实现了单晶硅二极管的转移，提高了转移成功率，并且降低了晶圆材料成本；在含有金属字线以及嵌入式小电极 W 阵列的绝缘介质层上，制备了单晶 Si 二极管阵列，借助聚焦离子束和扫描电镜观察得知，嵌入式电极 W 与键合转移的 Si 二极管对准和接触良好，界面无空洞；对二极管的电学测试显示 W-Si 导通良好，并获得了 0.35 mA/ μm^2 (2V)的驱动电流密度，二极管开关比为 10^2 。二极管性能以及漏电问题需要进一步的优化工艺来解决。在此基础上，结合相变材料制备了 1D1R 的存储单元结构，从而为高密度三维相变存储器的开发打下了一定的工艺基础。