

密级:_____

中国科学院研究生院

博士学位论文

平面型相变存储器的制备及性能研究

作者姓名: _____ 杜小锋

指导教师: 刘卫丽 研究员 中科院上海微系统与信息技术研究所

宋志棠 研究员 中科院上海微系统与信息技术研究所

学位类别: _____ 工学博士

学科专业: _____ 微电子学与固体电子学

培养单位: _____ 中国科学院上海微系统与信息技术研究所

二〇一二年五月

Lateral Phase Change Memory Fabrication and
Scaling Property Studies

By
Xiaofeng Du

A Dissertation Submitted to
Graduate University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Doctor of Engineering

Shanghai Institute of Microsystem and Information
Technology, Chinese Academy of Sciences
May, 2012

致谢

首先,我要把最真诚的感谢送给我的导师刘卫丽研究员和宋志棠研究员。感谢恩师五年来的悉心培养和言传身教,以及在科研工作上对我不遗余力地支持、引导和帮助。感谢刘老师将我一步步引入科研的殿堂,教会我如何去解决科研问题,刘老师孜孜以求的精神,忘我的工作热情,敏锐的科研洞察力、高尚的人格魅力都使我受益匪浅;感谢宋志棠研究员,宋老师不仅具有高瞻远瞩的学术眼光、严谨求实的治学风格,而且具有广阔的科研思路,他高尚的科研道德和人格魅力都给我留下了深刻的印象,并将使我终生受益。在此,学生向两位老师表示最诚挚的感谢和最崇高的敬意。

感谢宋三年副研究员,感谢其对我科研工作的指导和在学位论文撰写过程中的帮助。感谢张挺博士对我博士论文的选题提供的建议,并在实验过程中一步步指导我,让我少走了很多弯路。感谢吕士龙博士,没有他在 FIB 实验方面给予的帮助,我不可能完成我的博士论文。

感谢刘波老师、吴良才老师、饶峰老师、王良咏老师、成岩博士后、陈后鹏老师、陈小刚老师、蔡道林老师、王莉莉老师在工作中的关心和指导。感谢我的师兄马小波博士,刘旭焱博士,是他们在我研究生初期教会了我科研的基本知识和技能。

感谢实验室工作人员席韩在 FIB 实验的帮助;薛维佳在 EBL 实验的帮助;郭晓慧在 SEM 实验的帮助;沈勤我老师在电子束蒸发实验的帮助;姚栋宁在 RIE 和 RTP 实验的帮助;殷伟君在磁控溅射实验的帮助;郑浩在电学表征实验的帮助;丁惠凤在光学曝光实验的帮助,徐彦华和戴洁艳在日常工作上的帮助。

感谢实验室李学来博士、龚岳峰博士、富聪博士、丁晟博士、顾怡峰博士、程丽敏博士、彭程博士、何敖东博士、刘燕博士、吕业刚博士、任堃博士、周夕淋博士、朱敏博士、李俊涛博士、张徐硕士、许林海博士、宏潇博士、李喜博士等在学习生活上的帮助。

感谢研究生部余翔波老师和邵天浩老师的辛勤付出,感谢中国科学院上海微系统所给我提供了优越的研究环境,也感谢中国科学院研究生院。

最后，我还要感谢我的家人，是他们多年来的鼓励和支持才使得我能顺利完成学业。

平面型相变存储器的制备及性能研究

杜小锋 (微电子学与固体电子学)

指导老师: 刘卫丽 研究员, 宋志棠 研究员

摘要

随着半导体技术和手持终端的发展,人们对更快速度、更大容量和更低功耗的存储器的需求越来越迫切。相变存储器是利用电脉冲产生的热量使存储介质在多晶态(低阻)和非晶态(高阻)之间相互转换实现信息的写入和擦除操作的一种新型存储器技术。由于其在读写速度、读写次数、数据保持力和与 CMOS 工艺兼容等方面具有诸多优势,被认为是下一代主流存储器的有力竞争者。纳米材料由于其在尺寸上的固有特征,与同等组分的体材料相比会具有不同的性质。为了确保相变存储器在纳米尺寸下正常工作,非常有必要研究其材料和器件在纳米尺寸下的性能。本文正是围绕纳米尺寸相变存储器的制备和电学性能展开研究,取得了以下几个方面的成果:

1. 提出了一种制备平面型相变存储器的新方法,这种方法基于聚焦离子束(FIB)定点沉积硬掩膜后刻蚀获得纳米图形,大大简化了不同尺寸纳米器件的制备工艺;开发了平面相变存储器的制备工艺,包括使用电子束曝光(EBL)和紫外曝光相结合的方法制备具有纳米尺寸的间隙电极和微米尺寸的测试电极、相变材料沉积和 FIB 制备硬掩膜等。
2. 验证了使用 FIB 电子束辅助沉积 SiO_2 作为硬掩膜的可行性,并使用 SiO_2 硬掩膜基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料制备了 100 nm、200 nm 和 400 nm 宽度的线形结构平面相变存储器器件。 I - V 和 R - V 电学表征结果表明器件单元可以在高阻和低阻之间实现可逆相变,高低阻值相差四个数量级;对不同线宽的器件电学性能比较,发现器件的阈值电流、阈值电压、SET 电压和 RESET 电压都随着器件线宽的减小而减小。
3. 验证了使用 FIB 电子束辅助沉积 C-Pt 薄膜作为硬掩膜的可行性,基于 C-Pt 硬掩膜制备了 50~400 nm 宽度的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的线形结构平面相变存储器器件,并

进行了电学表征。

4. 为了进一步研究相变存储器器件功耗随尺寸的变化情况,使用有限元模拟的方法对器件操作过程中 RESET 电流进行了模拟,结果表明 RESET 电流随着相变材料区域的横截面积的减小而减小,随着相变材料区域的长度的减小而增大。
5. 制备了桥型结构的平面相变存储器器件,其中电极部分采用中芯国际 $0.13\ \mu\text{m}$ 工艺制备,相变材料及其图形化采用 FIB 沉积 SiO_2 硬掩膜图形制备;并对获得的电极和器件进行了电学表征。该方法可以应用于研究新型相变材料和制备较大阵列器件。

关键词: 相变存储器(PCM), 线形平面相变存储器, 桥型平面相变存储器, 硬掩膜, 聚焦离子束(FIB)

Lateral Phase Change Memory Fabrication and Scaling Property Studies

Xiaofeng Du (Microelectronics and Solid State Electronics)

Directed by Prof. Weili LIU and Prof. Zhitang SONG

Abstract

With the development of semiconductor technology and handheld devices, people require a memory with the advantages of faster speed, larger capacity and lower power consumption. Phase change memory (PCM), in which Joule heating is used to switch a phase change material between the polycrystalline (low resistance) and amorphous (high resistance) states, is regarded as a promising candidate because of its advantage of nonvolatility, high speed, low power consumption and compatibility with complementary metal-oxide-semiconductor (CMOS) technology. Because nanoscaled material would have very different properties from bulk material of the same composition, both the scaling properties of the phase change materials and the scaling properties of PCM devices need to be considered in order to ensure that PCM can work perfectly as the size of the cell is scaled down. This work studies the fabrication and characterization of nano-scaled lateral phase change memory devices, and the following achievements are obtained:

1. A new lateral phase change memory fabrication method was proposed. This method is based on the focused ion beam (FIB) deposited hard mask to obtain nano-scaled patterns and greatly simplifies the fabrication process of different size devices. The fabrication process of lateral phase change memory device was developed, including the hybrid lithography (electron beam lithography to fabricate the nano-scaled electrode gap and UV lithography to fabricate the micro-scaled test electrode), the deposition of phase change material and the deposition of hard mask using FIB.

2. The etching selectivity between FIB-SiO₂ and phase change material was studied by a reactive ion etching (RIE) experiment to ensure FIB-SiO₂ can be used as a hard mask in the device fabrication process. Phase change line memory devices with the width of 100 nm, 200 nm and 400 nm were fabricated successfully based on Ge₂Sb₂Te₅ material. The I - V and R - V characteristics demonstrate that the devices can be switched between amorphous and polycrystalline states, and the resistance ratio between the RESET and the SET states was about four orders of magnitude. Comparing different width devices, we can find the threshold current (I_{th}), threshold voltage (V_{th}), RESET voltage and SET voltage decrease with the width of the device.
3. The etching selectivity between FIB deposited C-Pt and phase change material was studied. Phase change line memory devices with the width from 50 nm to 400 nm were fabricated and the electrical properties were studied.
4. A three-dimensional simulation is introduced to further study the power consumption with the size of phase change line memory. The results show that the RESET power consumption scales consistently with the cross-sectional area ($W \times H$) of the phase change line, but increase as the line length (L) decreases.
5. Bridge structure lateral phase change memory devices were fabricated. The electrode was fabricated using SMIC 0.13 μm technology, and the phase change material was patterned by FIB deposited SiO₂ mask. The electrical properties of the electrode and the phase change memory devices were performed. The electrode samples and the device fabrication method can be used to study new phase change material and the fabrication of a larger array devices.

Keywords: Phase change memory (PCM), line structure PCM, bridge structure PCM, hard mask, focused ion beam (FIB)

目录

致谢.....	I
摘 要.....	III
Abstract.....	V
目录.....	VII
第一章 绪论.....	1
1.1 引言.....	1
1.1.1 一种通用型存储器?	1
1.1.2 FLASH 存储器.....	2
1.1.3 几种新型非易失性存储器.....	4
1.2 相变存储器.....	7
1.2.1 相变存储器概述.....	7
1.2.2 相变存储器材料研究.....	12
1.2.3 相变存储器结构研究.....	14
1.3 平面相变存储器.....	17
1.4 相变存储器尺寸缩小特性研究.....	20
1.5 本论文的主要研究内容.....	23
第二章 平面型相变存储器制备工艺.....	26
2.1 平面相变存储器的制备方法.....	26
2.1.1 平面相变存储器的制备方法介绍.....	26
2.1.2 一种新型平面相变存储器制备方法.....	28
2.1.3 版图设计.....	30
2.2 平面相变存储器制备工艺流程.....	30
2.3 电子束曝光.....	34
2.3.1 电子束曝光系统.....	34
2.3.2 电子束曝光理论.....	35
2.3.3 纳米电极的电子束曝光研究.....	38

2.4 光学曝光.....	40
2.5 相变材料沉积.....	41
2.6 FIB 硬掩膜层沉积	43
2.6.1 FIB 系统	43
2.6.2 FIB 辅助化学气相沉积	45
2.7 反应离子刻蚀.....	47
2.8 本章小结.....	49
第三章 采用 SiO ₂ 硬掩膜的器件制备和表征.....	50
3.1 SiO ₂ 硬掩膜可行性验证	50
3.2 基于 GST 材料的器件制备	51
3.3 GST 材料器件电学测试	53
3.3.1 电学测试系统.....	53
3.3.2 100 nm 宽度单元测试	54
3.3.3 200 nm 宽度单元测试	58
3.4 线形平面相变存储器尺寸缩小特性.....	60
3.5 基于 Si ₃ Sb ₂ Te ₃ 材料的器件	62
3.5.1 Si ₃ Sb ₂ Te ₃ 材料沉积	62
3.5.2 Si ₃ Sb ₂ Te ₃ 器件制备	63
3.5.3 Si ₃ Sb ₂ Te ₃ 器件电学表征	63
3.6 本章小结.....	65
第四章 采用 C-Pt 硬掩膜的器件制备和表征.....	67
4.1 C-Pt 硬掩膜可行性验证	67
4.2 器件制备结果.....	69
4.3 基于 GST 材料的器件表征	70
4.3.1 电学测试结果.....	70
4.3.2 线形平面相变存储器尺寸缩小特性.....	74
4.4 有限元模拟.....	75
4.5 本章小结.....	83
第五章 桥型结构平面相变存储器.....	84

5.1 桥型结构平面相变存储器电极制备工艺.....	84
5.2 电极表征.....	86
5.3 桥型器件制备流程.....	88
5.4 桥型器件电学表征.....	89
5.5 本章小结.....	92
第六章 总结	93
参考文献.....	95
发表学术论文和专利目录.....	108
个人简历.....	111

第一章 绪论

1.1 引言

1.1.1 一种通用型存储器？

计算机存储系统具有层次性的结构，从 CPU 中的寄存器（Register），静态存储器（SRAM），主内存（DRAM），到外部存储（Flash，Hard Disk），每层存储器的数据存取时间、数据传输带宽和容量都是不同的。但都遵从一个原则，就是速度越快，则成本越高，容量越小。表 1.1 列出了不同层次存储器的读写速度、功耗、成本等数据^[1]。

表 1.1 不同存储器的读写速度、功耗、成本等数据

特性	SRAM	DRAM	NAND	MLC NAND	HDD
非易失性	否	否	是	是	是
写延迟	8 ns	~20-50 ns	~100 μ s	~800 μ s	~10 ms
写功耗		~0.1 nJ/b	0.1-1 nJ/b	<1 nJ/b	>10 nJ/b
读延迟	8 ns	50 ns	10~25 μ s	25-50 μ s	~10 ms
读功耗		~0.1 nJ/b	<< nJ/b	<< nJ/b	>10 nJ/b
功耗		~W/GB	~100 mW/die	~100 mW/die	~10 W
待机功耗		~W/GB	<<0.1 W	<<0.1 W	<10 W
循环次数	不限	不限	10^5 - 10^4	10^4 -?	不限
数据保持力		ms	>10 年	>10 年	>10 年
成本	最高	高	略高	中	低

正是由于现有计算机及移动电子设备中多层存储器的架构，导致了我们必须速度，易失性，功耗和存储容量之间做出选择。下图 1.1 列出了过去十几年中 CPU 处理速度和 HDD 硬盘的发展速度^[2]，多核 CPU 与之前的 CPU 相比处理速度提高了 175 倍，而 HDD 的性能只有 1.3 倍的提升，完全不能满足 CPU 处理速

度对数据吞吐量的要求。那有没有一种集高速度、高容量和低功耗于一体并且非易失性的存储器呢？如果真的存在这样一种存储器，我们的电子设备存储架构将会彻底改变，我们就可以在数秒内启动我们的计算机而无需等待，我们就可以在我们的移动设备上观看高清电影。Wuttig^[3]认为这种通用型的存储器必须这些特征：首先，这种存储器必须是是非易失性的，即在断电的情况下数据能够继续保存，这样才能在加电时无需重新装载数据；其次，这种存储器的存储密度必须非常高，即器件的缩小特性好，在纳米尺寸下能够继续使用，这样才能在移动设备的体积受限时保存大量数据；再次，这种存储器的存储单元读、写和擦的速度必须足够快，使用在移动设备上时在保证高速的同时还要保持低功耗，因为移动设备对功耗的控制是有严格要求的；最后，也是最重要的是这种存储器必须足够便宜，只有成本低才有市场。

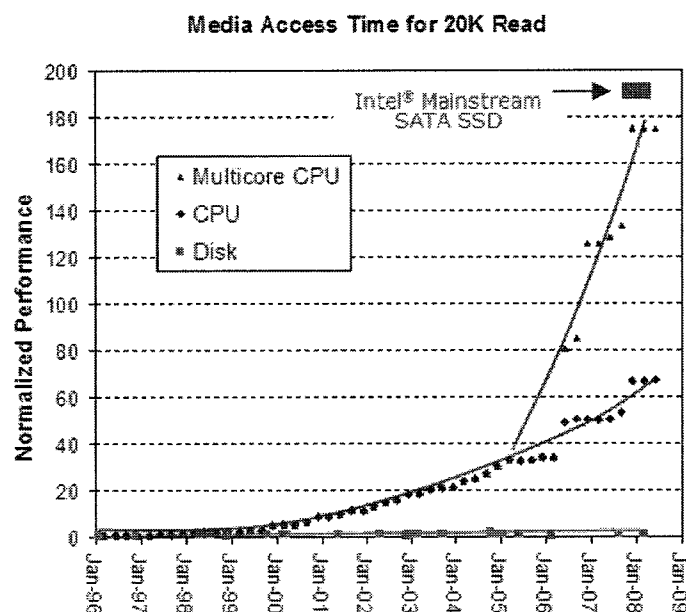


图 1.1 CPU 和 HDD 标准化性能比较^[2]

1.1.2 FLASH 存储器

按照断电后数据能否继续保存，半导体存储器可以分为易失性和非易失性存储器(NVM: Non-Volatile Memory)。诸如 DRAM、SRAM 这类存储器即为易失性存储器，当供电电源关闭时其内保存信息随即丢失；EPROM、Flash 等为非易

失性存储器，在断电时不会丢失内容。随着手机和其他便携电子设备的发展，非易失性存储芯片应用已经渗透到现代人类生活的方方面面。今后几年便携电子系统对非易失性存储器的要求会更高，数据存储应用需要写入速度极快的高密度存储器，而代码执行需要存储器的随机访问速度更快^[4]。

Flash 存储器是舛冈富士雄博士在 1984 年于东芝公司工作时发明的。舛冈博士在 1984 年的加州旧金山 IEEE 国际电子元件大会 (International Electron Device Meeting, IEDM) 上发表了这项发明。Intel 于 1988 年推出了第一款商业性的 NOR Flash 芯片；东芝在 1989 年的国际固态电路学会 (ISSCC) 上发表了 NAND Flash^[5]。

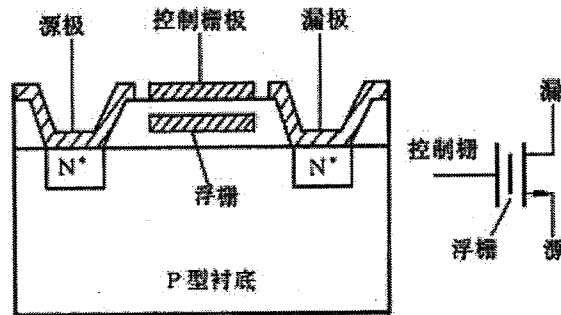


图 1.2 Flash 存储器结构示意图

Flash 存储器的每一个存储单元即为一个标准的 MOSFET，不过它具有两个栅极。如图 1.2 所示，同其他 MOS 晶体管一样，在顶端的是控制栅 (Control Gate)，但在它下方则是一个以氧化物层与周围绝缘的浮栅 (Floating Gate)。由于浮栅在电气上是受绝缘层隔离的，所以可以通过控制注入浮栅电荷数量，调节 MOSFET 的阈值电压 (V_T)。逻辑上，当 Flash 单元在默认状态下，读取电压大于 V_T ，MOS 管开启，代表二进制代码中的“1”值；当浮栅中存有电荷时，MOS 管的阈值电压增大，读取电压小于 V_T ，MOS 管关闭，对应于逻辑“0”^[5]。

经过二十多年的发展，Flash 已经成为最为成熟的非易失性存储器。Flash 制造技术已经进入了 28 nm 工艺，但随之而来的漏电、误码、成本上升等问题成为了很大的挑战，表 1.2 列出了目前 Flash 存储器发展的困境。存储器应用领域的扩大和 Flash 的极限，给了其他存储器历史性的发展机遇。

表 1.2 Flash 存储器的困境^[4]

存在问题	细节	应用限制
高写入电压	NOR: 7~9 V NAND: 17~19 V	难以应用到嵌入式存储领域
低写入速度	NOR: 1 μ s/bit NAND: 1 ms/page	不能用作随机存储器
低循环次数	10^5 次	不适用于高频次读写应用
尺寸极限	由于相邻单元电荷干扰 尺寸很难缩小到 $F < 30$ nm	可以采用多层和垂直 MOS 结构
工艺复杂高成本	浮栅制备复杂	难以应用到嵌入式存储领域

1.1.3 几种新型非易失性存储器

铁电存储器^[6,7]

1952 年贝尔实验室的 J. R. Anderson 首次提出铁电存储器(FeRAM)的概念,引起国际上的有关专家的极大兴趣。但当时的简单整列存储器无法解决存储单元信号干扰的问题,而且是采用铁电单晶,其厚度太大,无法在硅集成电路的标准电压下工作,所以一直未能实用化。1993 年美国的 Ramtron 公司才成功地开发出第一批存储密度为 1~64 kb 的 FeRAM 商用产品。

铁电存储器由于具有非挥发性、低功耗、高读写次数、高存储速度、抗辐照等突出优点,在计算机、航空航天和军工等领域具有较广阔的应用前景^[8-16]。其存储原理是基于铁电材料的高介电常数和铁电极化特性,当前应用于存储器的铁电材料主要为钙钛矿结构系列。铁电存储器按照工作模式可以分为破坏性读出(DRO)和非破坏性读出(NDRO)两种。DRO 模式是利用铁电薄膜的电容效应,以铁电薄膜电容取代常规的存储电荷的电容,利用铁电薄膜的极化反转来实

现数据的写入与读取^[13]。FeRAM 基于 DRO 工作模式，在数据读出后需重新写入数据，所以 FeRAM 在信息读取过程中伴随着大量的擦除/重写的操作。NDRO 模式存储器以铁电薄膜来替代 MOSFET 中的栅极 SiO₂ 层，通过栅极极化状态实现对来自源漏电流的调制，根据源漏电流的相对大小即可读出所存储的信息，而无需使栅极的极化状态反转，因此它的读出方式是非破坏性的。基于 NDRO 工作模式的铁电场效应晶体管（FeFET）是一种比较理想的存储方式。

FeRAM 存在的主要问题是存储密度低、使用有毒的含铅铁电材料。而 FeFET 概念的提出至今已有 50 年了，但一直都未能得到理想的器件，最主要的原因是器件的保持性差（即剩余极化强度随时间的延长而减小，以致器件无法正常区分二进制中的“0”和“1”两种状态）的缺点，目前最长的保持时间是 37 天，远未达到实际应用的标准。因此目前还处于实验室研究阶段，没有产品上市。

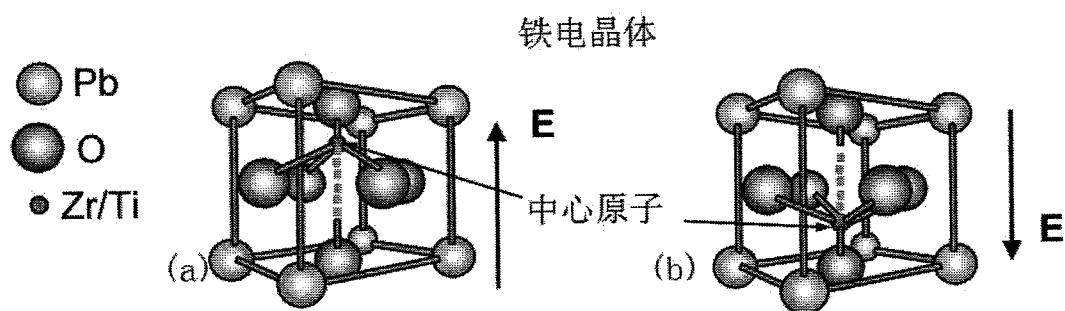
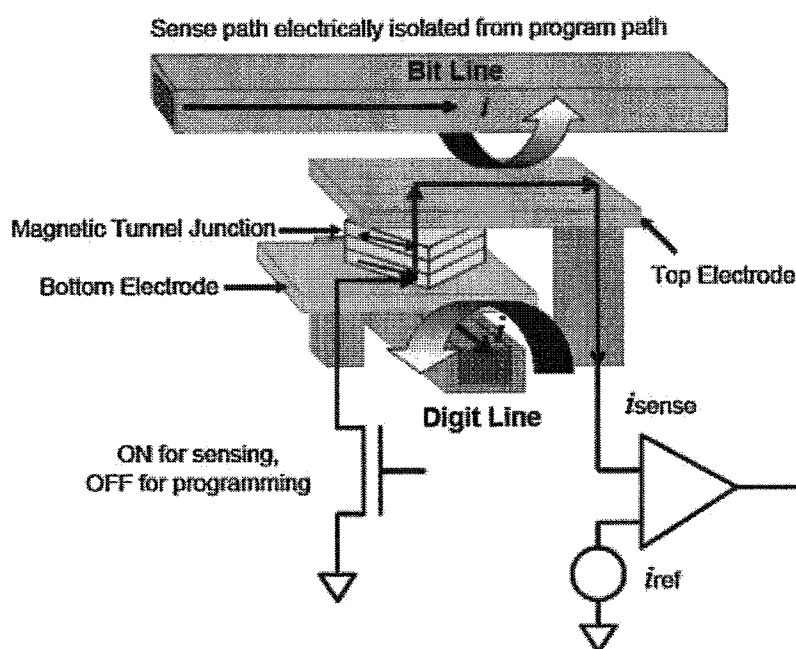


图 1.3 铁电材料存储原理 (a) 中心原子在上为“1”存储态，
(b) 中心原子在下为“0”存储态^[7]

磁性存储器^[7 17]

Baibich 等人于 1988 年在测量 Fe/Cr 多层膜时，发现在 4.2K 的低温下，[Fe(3nm)/Cr(0.9nm)]₆₀ 多层膜的电阻值在外场作用下降低了 50%，即使在 300 K，电阻值也下降了 17%。这比各向异性磁阻（AMR: anisotropic magnetoresistance）效应所引起的磁阻变化要大得多，因此称为“巨磁阻（GMR: giant magnetoresistance）效应”，其产生机制是由于外磁场引起的磁结构变化。

图 1.4 MRAM 器件结构图^[4]

磁随机存储器（magnetic RAM, MRAM）的发展与磁阻效应的发展息息相关，它通过控制铁磁体中的电子旋转方向来达到改变读取电流的大小，从而使其具备二进制数据存储能力。两个磁性层被一个非磁性层隔开而形成的“铁磁体/非磁体/铁磁体”磁三明治结构是实现 MRAM 器件的最核心组件。在 MRAM 发展初期所使用的 GMR 元件操作需要较大电流，这成为无法突破的难点，因此无法达到高密度存储器的要求。与 GMR 不同的另一种结构是磁性隧道结 (MTJ)，其使用绝缘层而不是金属层来隔开两层磁性材料，其器件结构如图 1.4 所示。MTJ 元件由磁场调制上下两层磁性层的磁化方向成为平行或者反平行来建立两个稳定状态，在反平行状态时通过此元件的电子会受到比较大的干扰，因此反映出较高的电阻；而在平行状态时电子受到的干扰较小得到相对低的阻值；以此记录“0”和“1”信号^[18-25]。

具有非挥发性、无限读写周期、快速读写时间是 MRAM 技术的主要优势。但为了进一步提高其存储密度，MRAM 还存在一些挑战。首先，磁存储位（GMR bit）在长宽尺度上向纳米级发展，磁单元的自旋电子特性将会发生深刻的变化，比如磁电阻效应降低，静磁耦合增强，翻转特性变差等等；其次，随着存储密度

增加, 相邻磁存储位之间的干扰将会增加, 位线电流对相邻的字线电路也存在电磁干扰, 热效应也可能引起此单元局部磁矩的翻转; 另外就是 MRAM 的存储位的开关磁场、电阻、磁电阻值的均匀性需要进一步优化。

电阻存储器

电阻存储器 (resistance random access memory, RRAM) 是基于一些介质材料的电诱导阻变效应发展起来的非挥发存储器。它以简单的 MIM (metel-insulator-metal) 电容结构为功能器件。电容结构中间的绝缘层就是具有电诱导阻变特性的材料。所谓电诱导阻变效应是指材料的电阻会在特定外加电信号下发生变化。而且材料阻值变化后不会因电信号的撤除而恢复, 所以这种阻态的变化是非挥发的。这种可逆的阻值变化是 RRAM 的工作基础。

RRAM 的读写机制比较简单, 采用 1D1R (一个二极管和一个电阻存储器) 或 1T1R (一个晶体管和一个电阻存储器) 的结构, 利用写/擦电压改变材料的阻值大小, 然后用一个适当的小电压读取存储的信息即阻值的大小。RRAM 所用的阻变材料有很多种, 如二元金属氧化物、钙钛矿结构三元化合物、硫系化合物、有机半导体, 其中二元金属氧化物因其组成结构简单, 与传统 CMOS 工艺相兼容而成为 RRAM 的主流研究领域。

RRAM 作为非挥发性存储技术的研究起步较晚, 虽然其具有低操作电压、低功耗、高速、结构简单和与传统 CMOS 工艺兼容等优点^[26-33], 但对 RRAM 阻变机制的认识仍然存在很大分歧, 没有统一的理论解释, 这在很大程度上影响了对其进一步的研究和应用。

1.2 相变存储器

1.2.1 相变存储器概述

历史概述

相变存储器 (PCM: phase change memory) 的基础是 20 世纪 60 年代 J. F. Dewald 和 S. R. Ovshinsk^[34]在硫系化合物中发现的可逆相变现象^[35]。硫系化合物是由元素周期表第 VIA 和第 VIB 族元素组成的合金, 在室温条件下, 这些合金的

非晶态和晶态都十分稳定；当加热时，硫系化合物可以从非晶态变为晶态或者从晶态变为非晶态。非晶和多晶结构的相变材料的光学反射率和电阻率有很大的差异，所以就可以用这两种差异来实现数据“0”和“1”的存储^[3]。利用光致相变前后硫系化合物的光学反射率的差异进行存储的数据光盘已经得到了广泛应用，但利用电学操作的相变存储器在近几年才得到了广泛关注。这是因为在在半导体技术发展初期，对相变材料进行电学操作所需的功耗过大，相变存储器并不具有实用价值。而随着半导体工业技术发展到深亚微米、纳米尺度，相变存储器中相变材料发生相变所需的电压和功耗得到了大大降低，可与现有的 CMOS 相匹配，并且与现有主流半导体存储技术相比，其优势愈加明显^[36-47]。

下表列出了上文中提到的 MRAM，FRAM 和 PCM 与传统非易失性存储器 FLASH 的性能比较。新型的非易失性存储器各自具有不同的优势，而其中 PCM 的高速、高密度、低成本和工艺简单的优势尤为明显，并且其尺寸缩小性能很好，随着半导体工艺的进步，其优势将更加明显。另外 PCM 所具备的多级存储功能所带来的成本降低也是其受到青睐的重要原因，被认为是最有潜力的下一代非易失性存储器。

表 1.3 多种非易失性存储器性能比较^[48-49]

性能	FLASH	FRAM	MRAM	PCM
尺寸	7-11F ²	>20 F ²	>20 F ²	4~8 F ²
尺寸缩小	一般	差	差	好
读/写次数	10 ⁶ /不限	10 ¹² /10 ¹²	10 ¹² /不限	10 ¹² /不限
写/擦/读时间 /ns	10 ³ /10 ⁶ /60	80/80/80	30/30/30	10/50/20
功耗	高	中等	中等	低
多级存储	是	否	否	是
成本	低	高	中等	低

工作原理

如图 1.5 所示为相变存储器的基本结构，其包括一个上电极和一个下电极，及夹在中间的相变材料层；下电极通常采用高电阻、小尺寸的圆柱形电极与相变材料相接。相变存储器的基本原理是利用电学作用下产生的焦耳热使相变材料（如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ）在非晶态（高阻）和多晶态（低阻）之间相互转换，以两种状态时不同的电阻值来记录信息。不同于 DVD 等光学存储介质中使用激光脉冲来使材料的微观结构发生转变，操作相变存储器的是电脉冲。

如图 1.6 所示，通过对器件施加一个较长时间、强度中等的电脉冲，电能转化为焦耳热，对非晶态相变材料加热，使其温度升高到结晶温度（ T_c ）以上、熔化温度（ T_m ）以下，并保持一定的时间，从而使材料结晶，这个过程通常被称为设置（SET）操作。如施加一个强度更高但作用时间更短的的脉冲于器件，在焦耳热的作用下，晶态的相变材料温度升高到材料熔点，晶态的长程有序遭到破坏，经过一个快速的热量释放过程（淬火，降温速率超过 10^9 K/s ），材料由熔融态直接变为非晶态，这个过程被称为重置（RESET）操作。数据的读取（READ）操作是通过测量相变材料的电阻值实现的，此时所加的脉冲信号强度很弱，使相变材料保持在结晶温度之下，避免激发材料相变，确保读出已存储的信息。

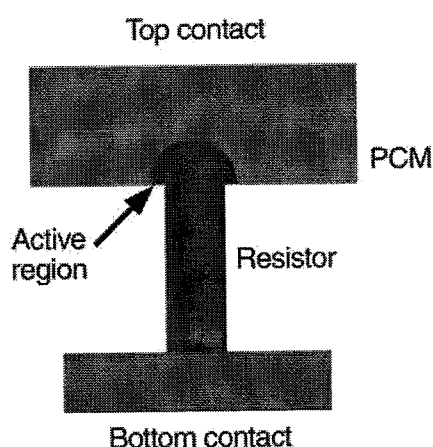
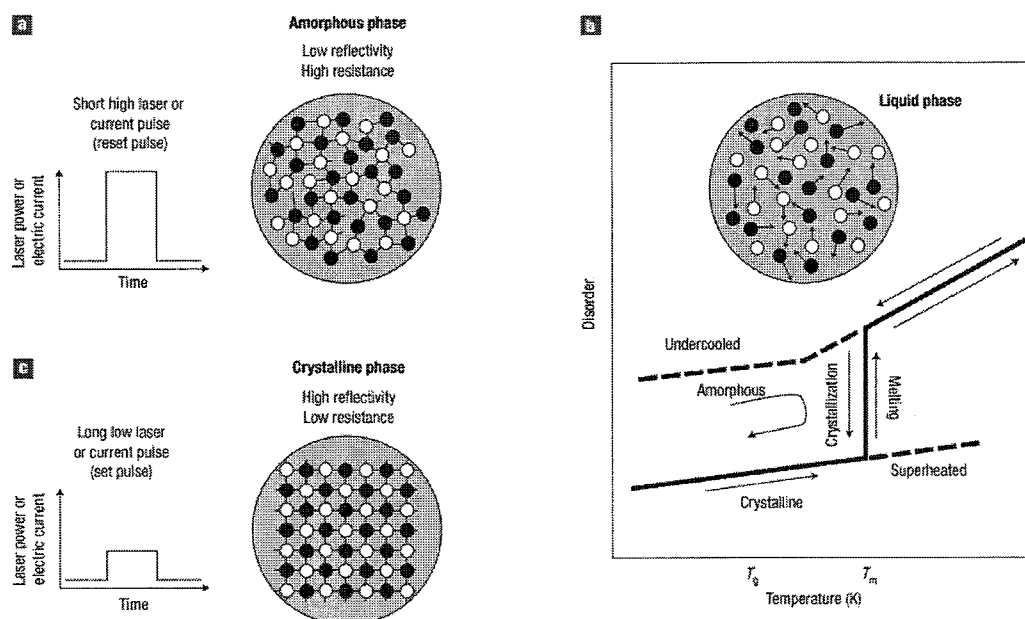
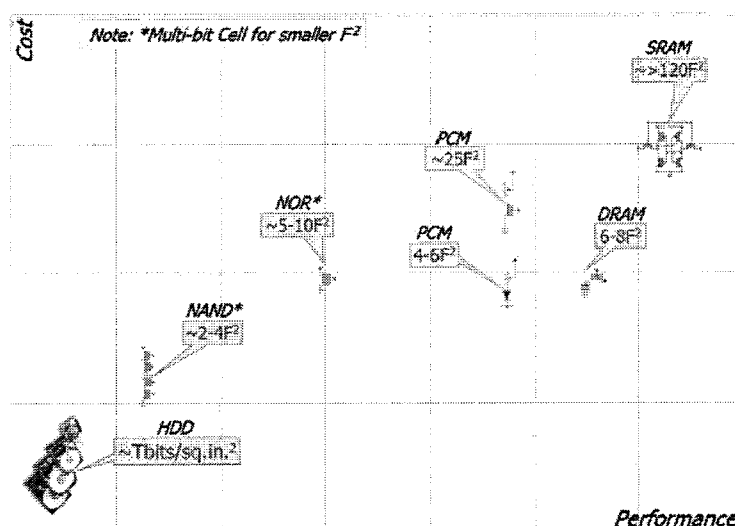


图 1.5 相变存储器结构示意图^[50]

图 1.6 相变存储器 RESET 和 SET 操作示意图^[51]

应用前景

图 1.7 传统分级存储体系和相变存储器的性能、成本比较^[52],

F 代表最小的光刻尺寸

图 1.7 列出了相变存储器与主流分级存储器体系中的各种存储器在性能和成本上的比较^[52]。由于相变存储器与 SRAM, DRAM, NOR 和 NAND Flash 在性能和成本上是可比较的,这就使相变存储器替代它们成为一种通用的存储设备成

为了可能。Burr 等人的文章^[52]讨论了相变存储器替代 SRAM, DRAM, NOR 和 NAND Flash 的可能性。

SRAM 通常使用在 CPU 片上作为高性能的缓存。通常 SRAM 单元由 6 对 CMOS 场效应管组成,这也导致了其面积消耗达到了 $120 F^2$ 。片上的 SRAM 的运行速度跟 CPU 的速度相当,访问速度一般小于 10 ns。尽管相变存储器为非易失性,而且单元面积可以做到 $4 F^2$,但 SRAM 如此高的操作速度是难以企及的。这是由于相变存储器的操作时间受到 SET 过程,即相变材料结晶速度的限制,通常 SET 过程所需脉冲宽度为 50~500 ns。另外,理论上 SRAM 的操作次数是无限的,其替代品的读写次数应该达到 10^{18} 次以上,而由于相变存储器操作过程中的电迁移会导致器件失效,相变存储器的最好读写次数才达到 10^{12} 次^[53]。因此,相变存储器作为 SRAM 的替代者是不完备的,需要在性能和疲劳次数上进一步提升。

相变存储器与 DRAM 的存取时间相当,都为几十个纳秒,而且其读写次数与 DRAM 相当。DRAM 作为一种易失性存储器,需要重复的加电来保存数据,还有其寻址方式都会导致 DRAM 的功耗较高。尽管相变存储器的 RESET 过程功率消耗也很高,但依然低于 DRAM,这在移动手持设备中有很大的优势。目前 DRAM 的单元面积为 $6 F^2$,而采用二极管作为选通管的相变存储器已经可以做到 $5.8 F^2$ ^[54]和 $4 F^2$ ^[55],而且相变存储器的缩小特性也要优于 DRAM。但 DRAM 作为一种成熟的存储器技术,在计算机系统中已经存在了几十年,相变存储器要取代其位置尚需时日。

Flash 存储器分为两种, NOR 和 NAND,其结构如下图 1.8 所示。NOR Flash 中各个单元分别享有字线和位线,而 NAND Flash 中数个单元串联,因此 NAND Flash 的存储密度更大,而 NOR Flash 可以随机访问。由于 NOR Flash 随机访问速度快(几十个纳秒)但擦写慢(10 μ s),所以其在嵌入式系统中用以存储需要频繁读取但修改较少的程序数据。NOR Flash 的单元面积为 $10 F^2$,擦写次数为 10^5 次,相变存储器与之相比都有很大优势。另外,45 nm 节点一下,NOR Flash 的缩小也存在很大问题,而相变存储器则表现更好。所以,毫无疑问,替代 NOR Flash 将是相变存储器发展的突破口。

NAND Flash 由于其结构特征, 单元面积可以达到 $4F^2$, 而且到 22nm 尺寸节点, 其依然保持良好的性能。多级存储 (MLC) 和三维集成技术进一步提高了 NAND Flash 的存储密度。由于其甚高的存储密度, 使每位 (bit) 的陈本降到极低, 现在用 NAND Flash 制备的固态硬盘 (SSD) 已经开始替代 HDD。相变存储器虽然在操作速度和读写次数上优于 NAND Flash, 但在密度和陈本还需进一步加强才有可能替代 NAND Flash。

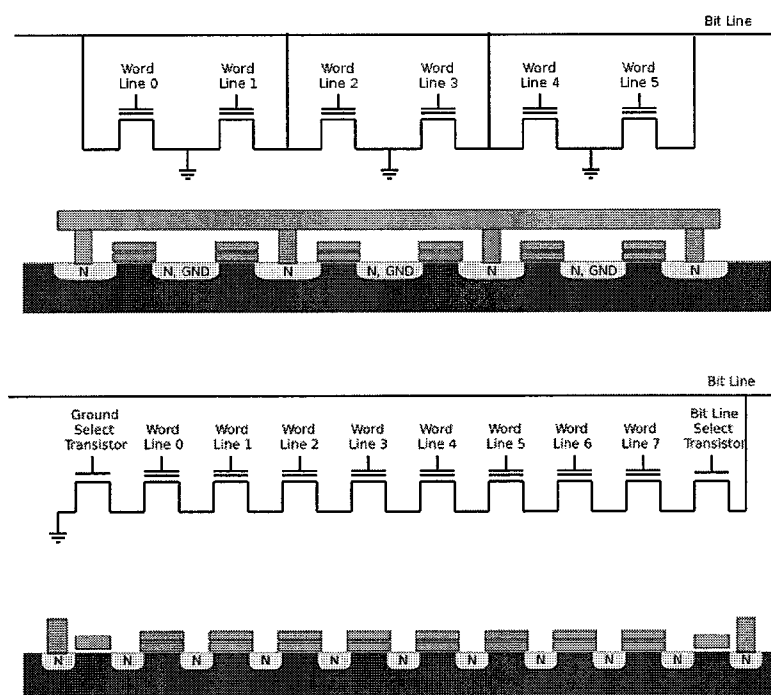


图 1.8 NOR Flash 和 NAND Flash 结构图^[5]

1.2.2 相变存储器材料研究

相变材料作为相变存储器的存储介质, 其性能优劣直接关系到器件特性的好坏。有很多种材料都存在多晶态和非晶态, 但并不是所有的材料都适合做相变存储器材料。用于相变存储器中的相变材料, 必须要满足多个条件:

- 1) 晶化时间短。对于相变存储器来说, 在操作过程中, SET 操作的时间一般较长, 是制约相变存储器速度的最关键因素。SET 操作的时间和相变材料的晶化时间有关, 相变材料的晶化时间越长, SET 操作的时间越长。

- 2) 熔点低。熔点低意味着晶态向非晶态转变时需要的能量小, 以满足存储器的低功耗要求。
- 3) SET 态和 RESET 态的电阻率差异大。可使存储器具有较高的噪声容限, 足以区分“0”态和“1”态。
- 4) 材料的非晶态在常温下要非常稳定。相变存储器在室温或较高温度下的数据保存寿命取决于相变材料的非晶态热稳定性。非晶态热稳定性越好, 数据保存寿命越长, 而要获得较好的非晶态热稳定性, 要求相变材料具有较高的晶化温度和较大的晶化激活能。
- 5) 晶态和非晶态相互转换的操作次数多。这意味着相变存储器的可擦除次数高, 抗疲劳性好。
- 6) 相变前后的体积变化小。影响相变存储器的循环次数的因素很多, 其中之一是相变材料在相变前后的体积变化。如果体积变化太大, 可能导致相变材料和与其接触的电极材料发生剥离, 导致器件失效。
- 7) 在纳米尺寸保持良好的性能。确保相变存储器的高密度要求。

很明显, 很多材料不能都满足上面的所有要求。数十年来, 人们对相变材料进行了大量的实验和理论研究。目前研究较多的是硫系化合物, 所谓硫系化合物是指介于金属与非金属之间的半导体化合物, 硫系元素是指在元素周期表中的第 VIA 族元素, 如氧、硫、硒、碲等 (如下图 1.9 所示^[51])。

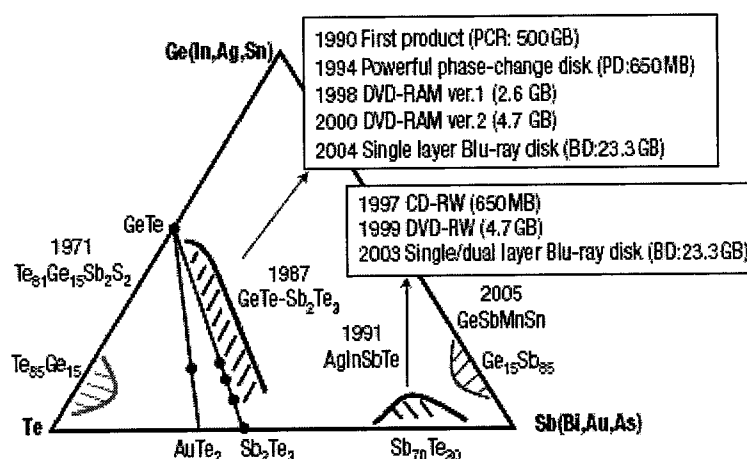


图 1.9 相变材料合金的三元相图

如上图 1.9 所示, Ge-Sb-Te 系列合金是目前研究最多, 最为成熟的相变材料。在 GeSbTe 合金中, 综合性能比较优异的是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 GeSb_2Te_4 , 基于这两种材料制作的薄膜已经被广泛应用于可重复擦写的相变光盘中, 同时这些材料也具有很好的电学性能, 非常适合用于相变存储器。其晶化速率快 (ns 量级), 非晶态和晶态之间的电阻率差异大, 非晶态与晶态之间具有较好的可逆性。GeSbTe 这一体系材料, 通过掺杂 N^[56]、Sn^[57]、Bi^[58]和 In^[59]等元素对材料的特性有较大的提升。

二元相变材料 Sb-Te 具有较快的晶化速率, 但是其较低的晶化温度无法保证器件具有足够的数据保持力, 同时它过低的晶态电阻率也不利于 RESET 电流的降低。通过在 Sb_2Te_3 中掺杂 N 可以改善薄膜的热稳定性, 降低器件的功耗^[60], 掺杂 Si 可以提高晶态电阻, 降低熔点, 使器件具有更小的 RESET 电流。其他研究小组对掺杂 Ag^[61]、In^[62]、Ge^[63]等元素掺杂的 Sb_2Te_3 材料也进行了研究。

另外, 近来发现的 Ge 掺杂的 Sb 材料具有相变速度快的特征^[64]。与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的成核生长机制相比, GeSb 的结晶机制是晶粒生长机制, 其晶化速率可达 5ns; 掺杂 GeSb 材料的晶化温度比传统 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 高约 100℃。此种材料不含硫系元素, 成为了另外一种相变材料体系。

1.2.3 相变存储器结构研究

作为下一代的主流存储器, 相变存储器要具有高速、高密度和低功耗的特征。这就需要从相变材料和器件结构两个方面来综合改进。研究表明, 相变存储器的相变区域越小, 发生相变所需的功耗就越低^[65], 下图 1.10 为 T 型结构中 RESET 电流随相变区域的底电极接触面积变化的模拟曲线。目前研究的比较多的相变存储器结构包括经典的 T 型结构、 μ -Trench 结构、边缘接触性结构和平面结构等。研究这些结构的目的是主要是在缩小单元尺寸的同时减小相变区域的体积, 达到降低功耗的目的。

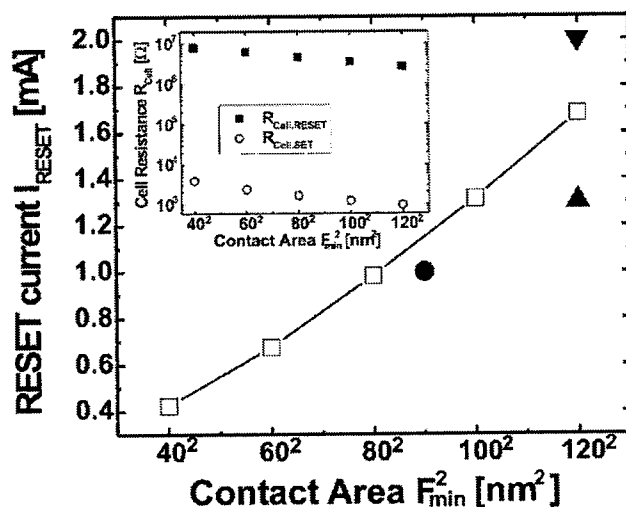


图 1.10 T 型结构中 RESET 电流随底电极接触面积变化的模拟结果^[65]

1. T 型结构

T 型结构是目前研究最为广泛的器件结构，基本结构由底电极、相变材料层和顶电极组成，如图 1.11 所示，其制备工艺比较简单，成本较低。目前，多数公司的相变存储器产品即是采用了此种结构或其改进形式。这种结构采用先进的光刻工艺通过缩小底部电极的方法来达到减小相变区域体积的目的，进而降低器件的操作电压、电流和功耗。其改进结构包括：a) 通过在电极和相变材料之间增加过渡层的方式，降低热量的损失和促使高温区域移动到加热电极和相变材料界面位置，以使器件具有更高的加热效率获得更低的操作功耗^[66-69]；b) 改变底电极形状，减小电极和相变材料的接触面积，获得高的加热效率，如环状电极^[54 70]结构和针状电极^[71 43 72]结构。

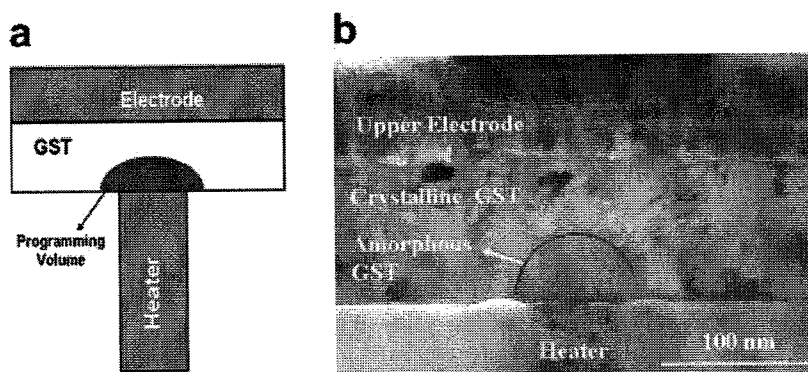


图 1.11 T 型结构原理图和 TEM 图^[73]

2. μ -Trench 结构

ST Microelectronics 于 2004 年提出了一种新型的相变存储器结构, μ -Trench 结构^[74-75]。其 3D 原理图如下图 1.12 所示, 相变材料沉积区域位于垂直的半金属加热电极和 μ -Trench 沟槽之间。由于可以通过侧墙厚度来控制相变材料的体积获得更小的加热电极和相变材料接触面积, 同样在 90 nm 工艺条件下, 与传统结构的 $\sim 3000 \text{ nm}^2$ 电极接触面积相比, μ -Trench 结构的电极接触面积为 $\sim 400 \text{ nm}^2$, RESET 电流由 700 μA 降到 400 μA 。

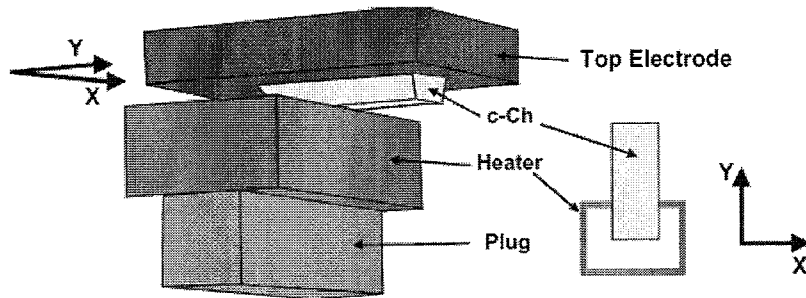


图 1.12 μ -Trench 结构 3D 原理图^[76]

3. 边缘接触型结构

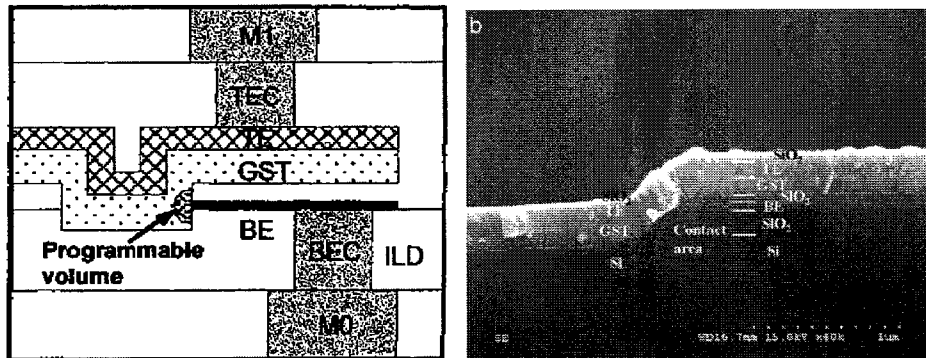


图 1.13 (左图) 边缘接触结构原理图^[77], (右图) SEM 图^[78]

在 T 型结构中, 电极和相变材料的接触面积由底电极的尺寸决定; 而在边缘接触结构中接触面积由底电极的厚度决定。所以这种结构的优点就是不需要利用最先进的半导体光刻工艺而通过控制沉积底电极的厚度而获得更小的加热电极接触面积, 其结构如图 1.13 所示。在 Samsung 2003 年的研究结果中^[77], 采用

0.24 μm 工艺获得了 4000 nm^2 的接触面积, 与采用 70 nm 工艺的 T 型结构接触面积相当。其 RESET 电流为 0.2 mA, SET 电流为 0.13 mA, 远小于当时已公布的其他数据。

4. 其他结构

基于扫描探针显微技术 (SPM) 的数据存储技术由于能够实现纳米尺度的信息存储, 也被应用到了相变存储器技术中。利用在原子力显微镜 (AFM) 的针头上施加电信号, 对相变材料薄膜进行晶化和非晶化的编程操作, 可以实现数据的存储^[79]。虽然这种结构可以实现超高结构的存储密度, 但其制造工艺与目前的半导体工艺不兼容而且制备速度很慢。

另外, 由于 GST^[80], GeTe^[81], Sb₂Te^[81]等多种相变材料的纳米线被制备出来, 通过在其两端沉积电极材料就可以形成器件结构。这种纳米线器件的操作功耗很低, 但很难将其制备成较大阵列, 更不用说应用到存储芯片中了。

作为本论文主要工作的平面相变存储器将会在下一节中介绍。

1.3 平面相变存储器

2005 年 Philips 在 Nature 上发表了线形结构的相变存储器 (Phase-change line memory) 的制备和性能研究结果^[82], 其结构示意图和 SEM 图分别如下图 1.14 所示。这种结构的显著特点是可以通过控制相变材料层的沉积厚度来获得纳米尺寸的相变区域单元, 文中测试单元横截面积最小为 400 nm^2 。在传统的 T 型结构中, 对电极材料的要求较高: 要有合适的电导率和热导率、高温稳定性、不能与相变材料发生反应、并且与相变材料层要有较好的粘附性; 而在此种结构中对电极材料的要求则较低, 因为其较大的尺寸可以在编程过程中一直保持在较低温度。线形结构相变存储器的另外一个优点是相变材料完全由介质层包裹, 与 T 型结构中相变材料接触的电极材料相比, 介质层的热导率更低, 这就可以大大减小相变过程中的热损耗进而获得更小的操作电流和功耗。尽管在 μ -Trench 结构和边缘接触式结构中也可以获得纳米尺寸的相变区域, 但线形结构的平面相变存储器工艺更简单, 所需额外的光刻更少。

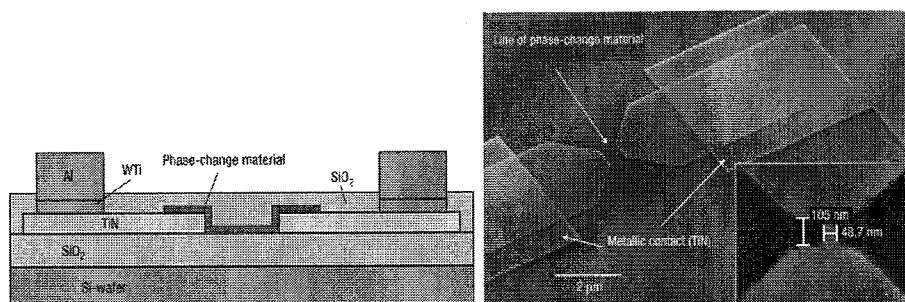


图 1.14 线形结构平面相变存储器：（左图）原理图，（右图）器件 SEM 照片

2006 年 IBM 等公司在 IEDM 会议上发表了基于 GeSb 材料的桥型平面相变存储器结构（Phase-change bridge memory），其结构图和 SEM 分别如下图 1.15 所示^[64]。与前面的线形结构不同，这种结构中两个电极通过一个绝缘层分隔开来，两个电极之间的距离靠的非常近，以获得一个合理的阈值电压。这种结构中两个电极之间的间隙确定“桥”的长度 L ，沉积在平整电极表面的相变存储材料厚度确定“桥”的高度 H ，进一步的光刻确定“桥”的宽度 W 。因此这种桥状结构可以通过控制相变材料层的厚度 H 来获得极小横截面积的相变区域，文中通过控制相变材料层厚度为 3 nm 获得了横截面积为 60 nm^2 的器件单元，RESET 电流小于 $100 \mu\text{A}$ 。

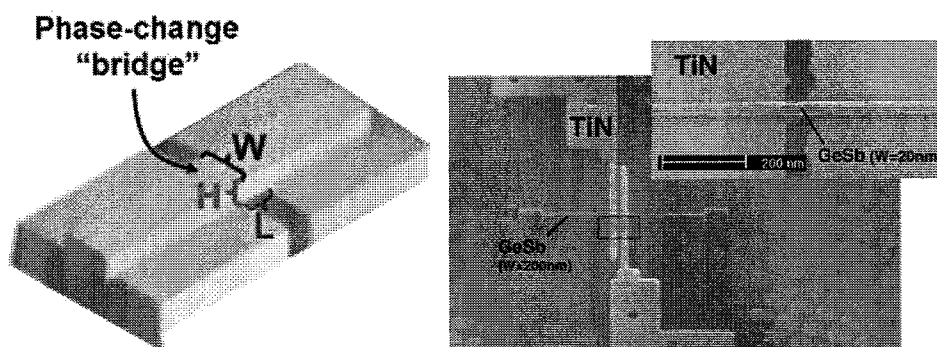


图 1.15 桥式结构平面相变存储器原理图（左图）和器件 SEM 照片（右图）

另外，其他研究小组也通过不同的工艺制备了平面相变存储器单元。下图 1.16 为 Zhang J.Y. 等人通过传统光刻的“牺牲侧墙”工艺制备的纳米尺寸的电极间隙^[83]，在间隙上通过沉积相变材料层后光刻获得平面相变存储器单元。在研

究了在 88 nm 宽度的电极间隙上制备的器件后,他们发现器件的操作电压和功耗都有了极大的降低。

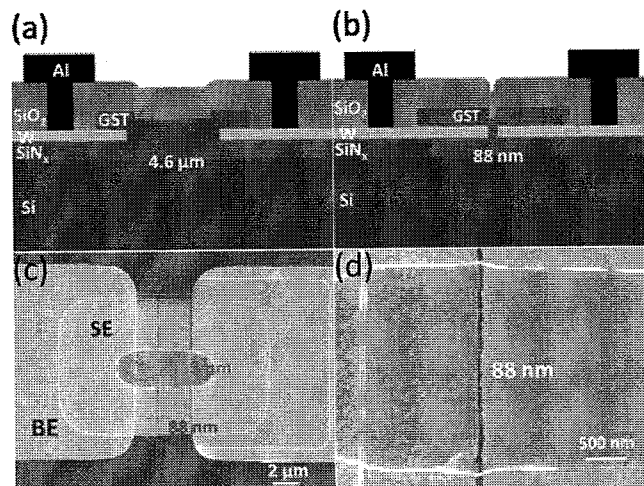


图 1.16 传统光刻工艺 (a) 和“牺牲侧墙”工艺 (b) 制备的不同线形平面相变存储器示意图; 88 nm 电极间隙器件低倍 (c) 和高倍 (d) 电子显微镜照片

2010 年的 IEDM 大会上, NXP-TSMC 研究单位公布了他们使用 65 nm 的标准 CMOS 工艺基于掺杂的 Sb_2Te 材料制备的平面相变存储器及其性能^[84], 如下图所示。测试到的器件的疲劳参数达到了 10^9 次, RESET 和 SET 之间的电阻值相差两个数量级, RESET 操作电流为 400 μA , 电压小于 1.5 V。由于较小的操作电流, 这种平面结构的相变存储器在对器件高性能和高密度要求不高的嵌入式应用中大有可为。另外, 平面结构的相变存储器与 T 型结构相比较在制备工艺上更加简单, 在本文中只使用了额外的 3 层光刻板来定义相变区域就完成了器件的制备, 而无需调整后续的工艺步骤和参数。

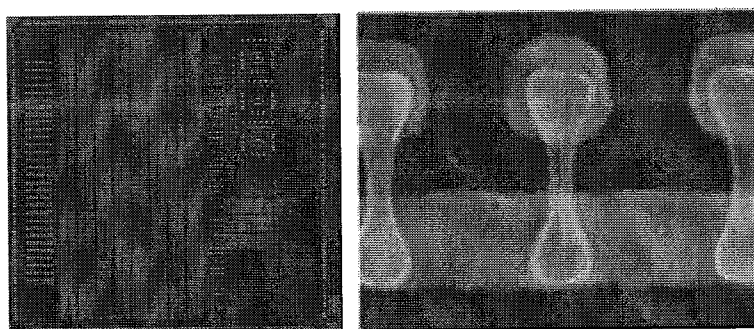


图 1.17 65 nm CMOS 工艺制备的平面相变存储器芯片显微镜照片 (左图) 和器件 SEM 图 (右图)

由于平面相变存储器在覆盖钝化层之前，相变材料平面覆盖在电极之上，更有利于研究相变材料的特性。Castro 等人通过平面相变存储器研究了相变存储器中的汤姆森热电效应（Thomson thermo-electric effect）^[85]，发现热电效应导致 RESET 过程中相变材料的熔化区域向阳极移动，所以器件中阳极结构的设计会对编程过程产生一定的影响。Kim 等人^[86]和 Meister 等人^[87]观察并研究了相变存储材料在电操作过程中的迁移现象。Yin 等人^[88-90]研究了使用平面结构制备的多级存储相变存储器。

1.4 相变存储器尺寸缩小特性研究

半导体技术的发展就是半导体器件按照摩尔定律缩小的历史。相变存储器作为一种新型的存储技术，在实际应用之前必须研究其缩小特性，以保证能在后继的数代工艺中持续使用。

表 1.4 部分相变材料参数对相变存储器性能的影响

相变材料参数	对相变存储器性能影响
结晶温度和热稳定性	数据保持力 SET 功耗
熔化温度	RESET 功耗
晶态和非晶态电阻	开关比 SET 和 RESET 电流
阈值电压	SET 电压和读电压
晶态和非晶态热导率	SET 和 RESET 功耗
结晶速度	SET 操作脉宽（功耗） 操作速度
淬火速度	RESET 操作脉宽（功耗）

众所周知，纳米材料与体材料相比在特性上有很大的不同。比如一般纳米材料的熔点低于同等组分的体材料，这是因为在纳米材料中表面原子数量跟体内原

子相比大大增加。对相变存储器缩小特性的研究,首当其冲的就是对相变材料纳米特性的研究。上表 1.4 列出了相变材料参数对相变存储器性能的影响^[52]。

研究人员已经对 1D (纳米薄膜)^[52 91 92 79], 2D (纳米线)^[80 81 93]和 3D (纳米颗粒)^[94 95]的多种相变材料特性进行了研究。Raoux 等人^[92]在研究 GeSb 薄膜时发现, GeSb 的结晶温度随着薄膜厚度的减小而增加。GeSb 材料膜厚在小于 20 nm 时, 结晶温度比较厚的膜和体材料更高, 在 1.3 nm 的 GeSb 薄膜中, 结晶温度达到了 300 °C, 比厚膜的 235 °C 高出很多。根据此结果, 在相变存储器缩小到更小尺寸后, 其数据保持能力将会得到提升, 因为对应的相变材料结晶温度得到了提升。另外在对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的研究中发现, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的 fcc 相在膜厚为 20 nm 时依旧存在, 但在膜厚小于 3.6 nm 时将不复存在。另外, 膜厚小于 2 nm 时在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料中没有观察到相变现象。值得一提的是, 结晶温度跟相变材料的组分大大相关, 比如纯 Sb 材料的结晶温度低于室温, 但当掺入少量的 Ge 时所形成的 $\text{Ge}_x\text{Sb}_{1-x}$ 材料的结晶温度将会高于室温, 而高 Ge 组分的 GeSb 材料结晶温度可达 500 °C^[52 96]。

使用金属诱导气-液-固法 (metal-catalyst-mediated vapor-liquid-solid) 方法, 研究人员已经生长出了 GST^[80], GeTe^[81], Sb_2Te_3 ^[81]等多种相变纳米线。通过这种方法生长出来的相变材料为单晶态, 通过 FIB 在纳米线两端沉积金属来形成器件进行测量。Lee 等人^[93]研究了 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 纳米线结晶温度随加热速率的变化, 发现结晶激活能从直径为 190 nm 的纳米线的 2.34 eV 降为 20 nm 直径的纳米线的 1.9 eV, 图 1.18 为其制备的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 纳米线器件和 $I-V$ 测试曲线。而 Yu 等人^[97]在 GeTe 和 Sb_2Te_3 纳米线中并没有观察到结晶温度随尺寸变化的现象。

图 1.19 展示了使用电子束曝光、化学方法和自组装等多种方式制备的相变材料纳米颗粒^[52]。通过对这些纳米颗粒的研究, 发现较大尺寸的颗粒结晶温度与体材料相当, 而小于 10nm 的较小颗粒结晶温度与体材料相比结晶温度或增或减, 没有确定的规律。

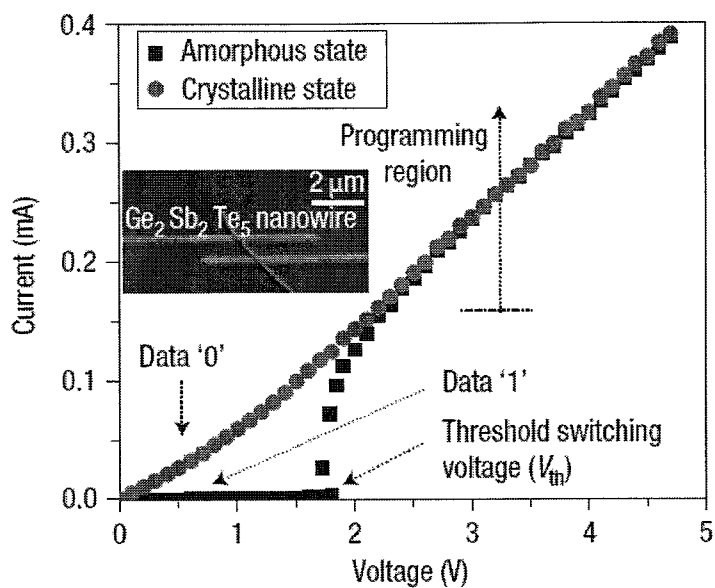


图 1.18 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 纳米线器件及其 I - V 测试曲线^[93]

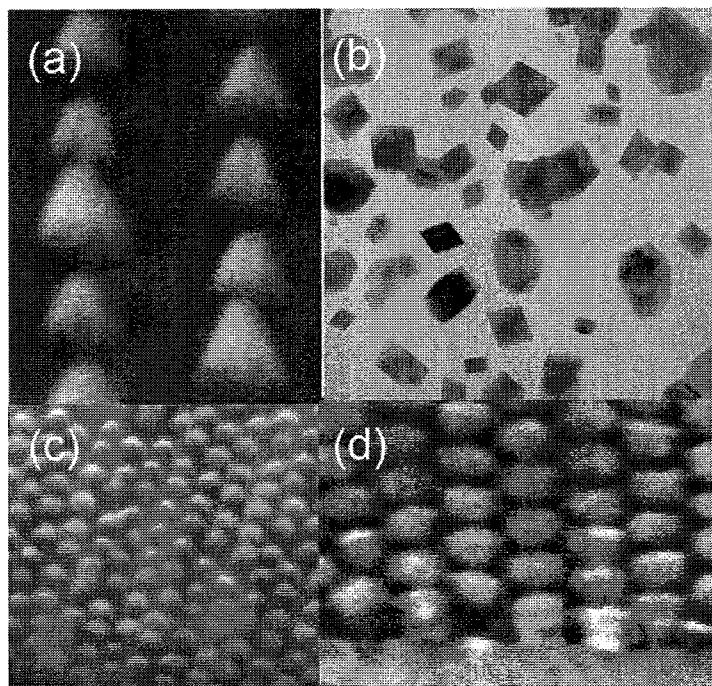


图 1.19 通过不同方法制备的相变材料纳米颗粒^[52]

除了对相变材料的缩小特性研究之外，直接对相变存储器器件进行研究，会得到更直观的信息。获得小尺寸相变区域存储器的方法有两种，一种是缩小与相

变材料接触的电极的面积,另一种是通过填孔等方式缩小相变材料的体积。下图 1.20 给出了 RESET 电流随相变存储器底电极面积 (BEC) 变化的曲线^[35], 图中包含了不同研究小组和不同器件结构的实验数据, α ($\alpha=1/F$, F 为特征尺寸) 为缩小因子。从图中可以看出 RESET 电流随 BEC 尺寸缩小的斜率基本在 $1/\alpha$ 和 $1/\alpha^2$ 曲线之间。

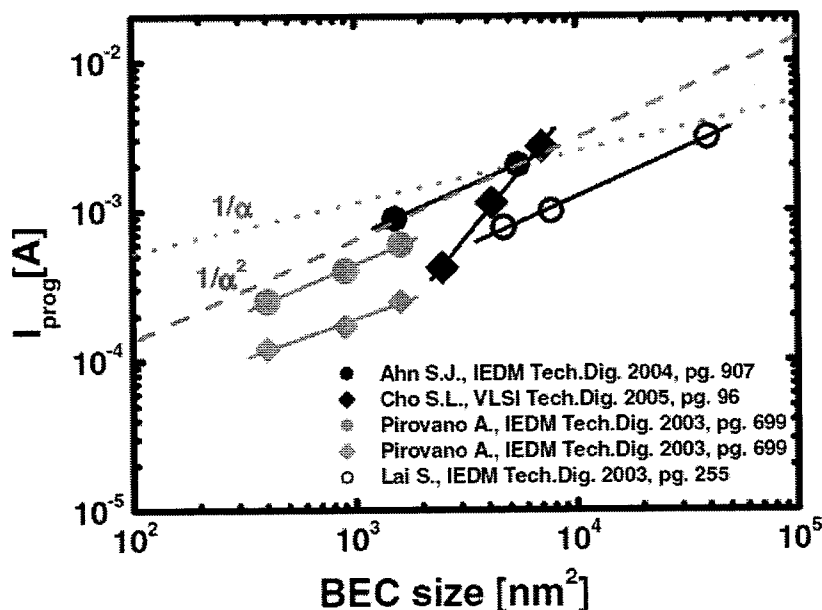


图 1.20 RESET 电流随相变存储器器件底电极尺寸变化曲线

通过对相变材料和器件缩小特性的研究,一般情况下材料结晶温度随尺寸的减小而升高,这对器件的数据保持力是有利的;材料熔化温度随尺寸的减小而减小,这有利于降低 RESET 电流和功耗;无论在晶态还是非晶态电阻都随器件尺寸减小而增加,这也有利于降低器件功耗^[52]。

1.5 本论文的主要研究内容

自闪存 (Flash) 技术问世以来,半导体制造技术在“摩尔定律”的推动下已经经过了数个节点,但其基于浮栅晶体管的架构一直没有多大的改变。随着半导体工艺进入亚 20 nm 阶段,闪存技术能否满足工艺需求继续等比缩小下去,成为其面临的最严峻挑战。对现有存储技术的挑战对新型存储器而言则是机遇。相变

存储器的原理是利用电脉冲产生热量使存储介质在多晶态（低阻）和非晶态（高阻）之间相互转换实现信息的写入与擦除的，由于其在读写速度、读写次数、数据保持力，与 CMOS 工艺兼容等方面有着诸多优势，被认为是下一代主流存储器的有力竞争者。而平面型相变存储器由于其工艺简单，易于集成，将在对密度要求不高的嵌入式领域中有很大的应用前景。

纳米材料由于具有比表面积大，表面能高等特点，与同等组分的体材料相比也会具有不同的性质。为了确保相变存储器能在纳米尺寸下正常工作，我们必须研究其材料和器件的纳米尺寸效应。针对相变材料薄膜，纳米线，纳米颗粒，器件单元的纳米特性，不同研究单位已经做了工作。Lee 等人^[93]研究了 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ （GST）纳米线的存储性能，结果表明其在非易失性，快速反转，尺寸缩小，低功耗等方面都可以满足对下一代非易失性存储器的要求。但是这些纳米线是通过金属诱导气-液-固法生长的，并不与现在的半导体工艺兼容。Lankhorst 等人^[82]提出了一种平面线形相变存储单元，这种单元结构简单，与传统的“蘑菇形”相变存储器相比操作电流更小，功耗更低。另外，Chen 等人^[64]提出了一种桥式平面相变存储器，并在此结构上实现了相变区域横截面积为 60 nm^2 的单元结构。这两种平面结构提供了一种研究纳米尺寸相变材料和器件的途径。

正是基于上述相变存储器在新型存储器领域的优势和其在纳米尺寸性能研究方向的迫切性的背景，本论文主要进行了以下工作：

在第二章我们介绍了一种制备平面相变存储器的新方法，这种方法基于 FIB 定点沉积硬掩膜，在制备不同尺寸纳米器件方面具有很大的便利性；并开发了器件的制备工艺，包括电子束曝光，紫外曝光，相变材料沉积，FIB 制备硬掩膜等等。

在第三章，首先我们设计了反应离子刻蚀实验来验证 FIB 电子束辅助沉积 SiO_2 作为器件制备过程中硬掩膜的可行性，在得到肯定的结果后，我们使用 SiO_2 作为硬掩膜基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 制备了 100 nm ， 200 nm 和 400 nm 宽度的线形器件并进行了电学表征， $I-V$ 和 $R-V$ 测试结果表明，器件的阈值电流、阈值电压、SET 电压和 RESET 电压都随着器件宽度的减小而减小。另外我们还使用 SiO_2 作为硬掩膜基于 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 相变材料制备了线形平面相变存储器器件。

第四章中,同样的我们设计了反应离子刻蚀实验研究了 FIB 电子束辅助沉积 C-Pt 作为器件制备过程中硬掩膜的可行性,由于 C-Pt 薄膜中含有大量的 C 元素和 O 元素,其并不导电,所以在器件操作过程中电流就不会通过掩膜层流失,另外相变材料与 C-Pt 的刻蚀速率比也较高,适合于作为硬掩膜材料。在此基础上我们制备了 50~400 nm 宽度的线形平面相变存储器器件,并进行了电学表征。为了进一步研究器件功耗随尺寸的变化情况,我们使用有限元模拟的方法对器件 RESET 过程进行了功耗模拟,结果表明 RESET 电流随着相变材料区域的横截面积($W \times H$)的减小而减小,这是由于随着横截面积的减小相变材料的电阻增大,对于同样大小的电流脉冲产生的焦耳热更多,相变材料更容易达到熔化温度;器件 RESET 电流随相变材料区域长度 L 的减小而增大,这是因为相变材料的热导率远小于电极材料的热导率,在相同大小电流脉冲作用在相变材料上时,相变材料融化区域在长的器件中被更好的隔离,焦耳热通过电极的损耗更少。

第五章中,我们制备了另外一种平面相变存储器,即桥型结构平面相变存储器。其中电极部分是基于中芯国际 0.13 μm 的工艺制备,相变材料及其图形化依旧是采用 FIB 硬掩膜的方法。这一章中,我们首先对中芯国际制备的电极样品进行了 SEM 表征和电学表征,然后在其上沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料后,通过 FIB 沉积 SiO_2 制备了桥型结构的平面相变存储器单元并进行了电学表征。

最后,第六章中对整个研究工作进行了系统的总结。

第二章 平面型相变存储器制备工艺

2.1 平面相变存储器的制备方法

2.1.1 平面相变存储器的制备方法介绍

Lankhorst 等人^[82]制备线形平面相变存储器的方法为：在 6 寸的晶圆上氧化生成 500 nm 厚度的 SiO_2 层；通过溅射的方法沉积 50 nm 厚度的 TiN 层，并用电子束曝光（EBL）和反应离子刻蚀（RIE）的方法图形化形成电极图形；去除残余光刻胶，沉积相变材料，并使用 EBL 和 RIE 的方法图形化相变材料；使用等离子增强化学气相沉积（PECVD）生长 100 nm 厚度 SiO_2 绝缘层；使用光学光刻的方法在 SiO_2 上刻孔到 TiN 层；去除光刻胶后，沉积 50 nm 厚度 TiW 和 500 nm 厚度 Al，并光刻形成测试电极。最终形成的器件结构如第一章中图 1.14 所示，可以看出 Lankhorst 等人的制备方法中，大量使用了电子束曝光来获得纳米尺度的器件尺寸。

Chen 等人制备桥型结构相变存储器的步骤如下图 2.1 所示^[98]。电极材料依旧使用了 TiN，因为 TiN 的热稳定性好，与 CMOS 工艺兼容，并且与相变材料层不反应。通过大马士革工艺制备了 TiN 电极，电极之间的 SiO_2 隔离采用 248 nm KrF 光刻技术获得，间隙距离 40~200 nm，在小的间隙制备时对光刻胶边缘进行了修整，以保证平整。随后在 TiN 电极上沉积相变材料层，相变材料层的厚度最薄到 3 nm，并立即覆盖了一层 5~10 nm 的 SiO_2 层以防止氧化。相变材料层宽度的定义使用了基于负胶的电子束曝光技术，但随后的刻蚀并没有使用传统的基于氟化物的反应离子刻蚀方法，而是使用了不是标准半导体制造工艺的离子铣方法，理由是可以减小刻蚀过程中对相变材料的损伤。刻蚀完成后立即沉积了 5 nm 的 SiO_2 氧化层防止相变材料氧化。随后沉积了较厚的氧化硅钝化层和制备了测试电极。在 Chen 等人的制备方法中，依然使用了电子束曝光的技术来获得纳米尺寸的相变材料宽度。他们通过控制相变材料层厚度为 3 nm，获得了横截面积为 60 nm^2 的桥式结构平面相变存储器^[64]。

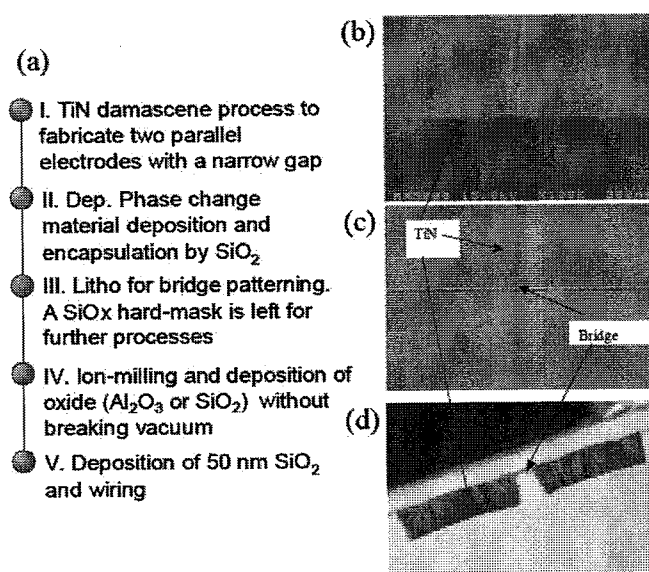


图 2.1 (a) 桥型相变存储器的制备流程, (b) CMP 后 TiN 电极剖面的电子显微镜照片, 电极间隙为 40 nm, (c) 桥型器件平面 SEM 照片, (d) 器件剖面 TEM 照片, 相变材料层为 5 nm 厚 $\text{Ge}_2\text{Sb}_2\text{Te}_5$

在 Zhang 等人的文章中介绍了一种不采用电子束曝光制备平面相变存储器的方法^[83]。这种工艺是基于传统 CMOS 工艺中的“牺牲侧墙” (sacrificial spacer) 技术获得小于光刻尺寸的电极间隙的。器件制备的流程如下图 2.2 所示。首先, 采用低压化学气相沉积方法 (LPCVD) 沉积 200 nm 富氮的 SiN_x 层作为作为隔离层; 采用 LPCVD 方法沉积 450 nm 厚度多晶硅并图形化; 再沉积 SiO_2 层, 氧化硅层的厚度决定了侧墙的宽度, 也就是后继电极的间隙; 去除多晶硅层后形成侧墙并沉积钨电极材料; 在 HF 酸中超声剥离氧化硅侧墙形成纳米尺寸电极间隙; 最后沉积相变材料并图形化, 制备电极引线后形成器件。可以看出, 虽然这种方法可以制备出纳米尺寸的电极间隙, 并且没有采用电子束曝光技术, 但是其工艺步骤繁多。最终他们使用此种方法获得了相变区域长度为 88 nm, 宽度为 3 μm 的平面相变存储器器件, 并进行了电学表征。

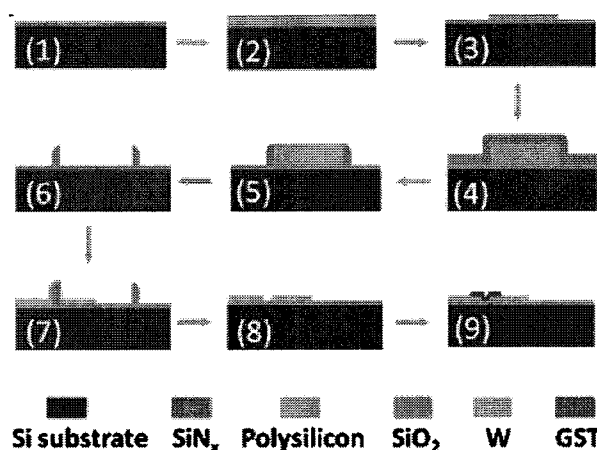


图 2.2 “牺牲侧墙”技术制备平面相变存储器

2.1.2 一种新型平面相变存储器制备方法

本文中，我们设计了一种易于缩小的线形平面相变存储器单元，并开发了其制备工艺。这种线形相变存储器的基本概念是通过电子束曝光来定义一个小的电极间隙，在沉积相变材料后通过聚焦离子束辅助沉积不同尺寸的硬掩膜材料（可以是 SiO_2 或者 C-Pt 薄膜），经刻蚀后形成器件。由于 FIB 定点沉积硬掩膜的优势，可以很容易的获得不同尺寸的平面相变存储器器件。

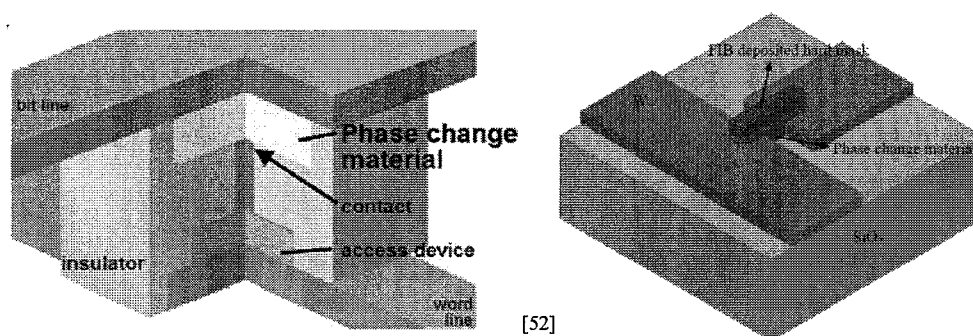


图 2.3 T 型结构（左图）和平面结构（右图）相变存储器示意图

如上图 2.3 所示，这种线形的平面结构跟传统的 T 型结构相比，制备工艺更简单，因为器件为为横向结构，无需使用先进的光学光刻工艺来形成底电极，也不存在填孔的问题。而且相变区域的体积容易控制，更易于缩小，这对于我们研

究器件和材料的缩小特性时是非常有用的。器件功能区域的几何定义如下图 2.4

(a) 所示：器件中相变区域的厚度 H 由相变材料的沉积厚度决定，(b) 图为器件制备过程中获得的 100 nm 厚度 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜电子显微镜照片，通过控制沉积材料的时间和速率，可以很容易将 H 降低到纳米尺寸；相变区域的最大宽度 W 由 FIB 沉积硬掩膜的尺寸决定，而由于 FIB 定点沉积的特性， W 也可以控制在纳米尺寸，(c) 图为我们样品制备过程中获得的 100 nm 宽度的 SiO_2 硬掩膜电子显微镜照片，实际上在本实验中 SiO_2 掩膜的宽度可以做到 20 nm 以下；相变区域的最大长度 L 通过电子束曝光的钨电极间隙决定，电子束曝光的分辨率也是优于现有的紫外曝光分辨率的，(d) 图为我们样品制备过程中获得的 60 nm 宽度电极间隙的电子显微镜照片。

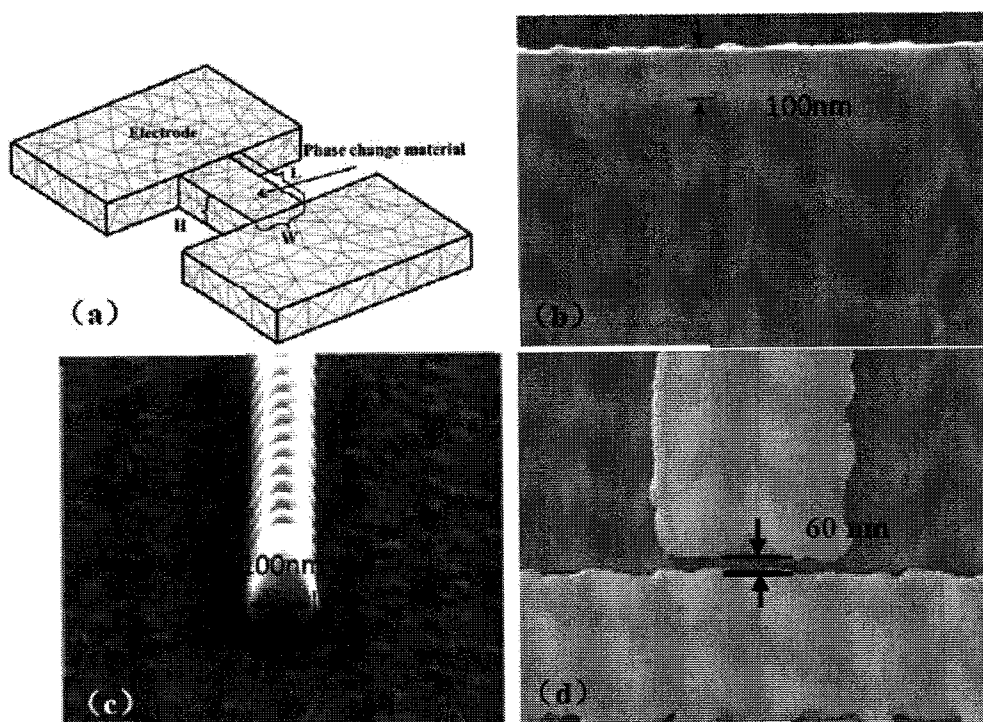


图 2.4 (a) 线形平面相变存储器功能区域几何定义，(b) 相变材料厚度定义相变区域 H 值，(c) FIB 沉积硬掩膜宽度定义相变区域 W 值，(d) 电子束曝光纳米电极间隙定义相变区域 L 值

2.1.3 版图设计

在上述结构中我们使用电子束和紫外光源混合曝光的方法来获得 W 电极图形，并设计了相应的版图来实现不同的图形。电子束曝光是为了制备纳米尺寸的电极间隙和紫外曝光时的对准标记；紫外曝光是为了制备微米尺寸的测试电极和引线。其版图设计分别如下图所示，图 2.5 (a) 中标记出的电极间隙即是控制相变存储器相变区域长度 L 的位置，在紫外曝光过程中需要将图 2.5 (b) 中的对准标记与图 (a) 中的对准标记对齐以到达连通的目的。在版图 (b) 中考虑到紫外曝光精度的限制在连接器件的引线起始端尺寸较大，降低了对准的要求，提高了对准过程的容错率。

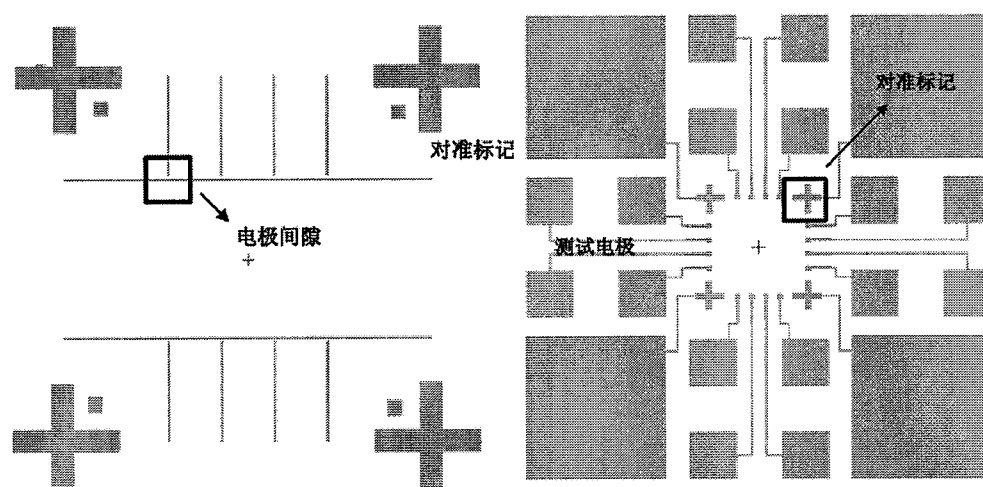


图 2.5 (a) 电子束曝光版纳米电极版图；(b) 紫外曝光测试电极和引线版图

2.2 平面相变存储器制备工艺流程

图 2.6 为本文平面相变存储器器件制备流程示意图：(a) 在 SiO_2 衬底上沉积一层 W 电极材料；(b) 用电子束曝光方法形成纳米尺寸电极间隙；(c) 沉积相变材料层；(d) FIB 定点沉积图形化的硬掩膜层；(e) 反应离子刻蚀将硬掩膜图形转移到下面的相变材料层。具体制备工艺步骤和参数如下：

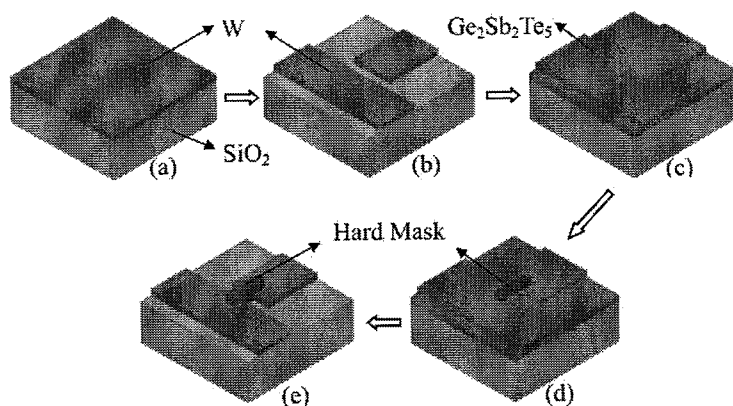
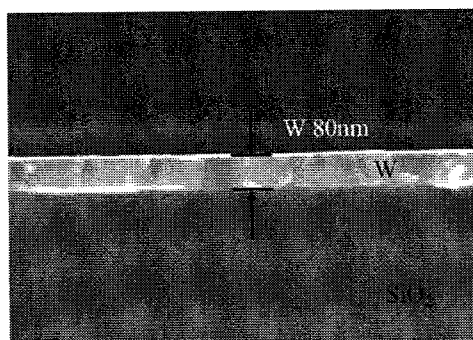


图 2.6 平面相变存储器制备流程示意图

- 1) 衬底准备和清洗。采用 SiO_2 衬底, SiO_2 厚度为 500 nm, 通过热氧化生长; 清洗主要去除灰尘颗粒、有机和无机物污染:
 - a) 丙酮溶液中超声清洗 5 分钟, 去离子水清洗;
 - b) 乙醇溶液中超声 5 分钟, 去离子水清洗, N_2 吹干;
 - c) 在 120°C 烘箱内烘干 20 分钟, 去除水气。
- 2) 在氧化硅衬底上沉积 W 电极材料。之所以选择 W 作为电极是因为 W 电极在相变存储器研究中已经广泛使用。工艺参数如下: 磁控溅射 W 靶, 室温, 本底真空为 $2.0 \times 10^{-4} \text{ Pa}$, 功率为 DC 150 W, 气体流量为 Ar 50 SCCM, W 层薄膜厚度根据溅射时间控制。图 2.7 为 SEM 表征其中 W 电极厚度 80 nm 的样品, 其表面完整光洁。

图 2.7 W 电极材料沉积后 SEM 图

- 3) 电子束曝光纳米图形。
 - a) 旋涂光刻胶 SU8: 转速 2500 rpm, 旋涂时间 30 sec;
 - b) SU8 光刻胶前烘: 热板 95 °C, 时间 2 min, 自然冷却;
 - c) 电子束曝光, 具体曝光工艺将在本章第三节详述;
 - d) SU8 光刻胶后烘: 热板 90 °C, 时间 10 min, 自然冷却;
 - e) SU8 光刻胶显影: 显影液采用丙酮, 显影时间约为 1 min 30 sec, 可根据显影图形增减; 样品显影后立即置于去离子水中漂洗, 再用 N₂ 吹干;
 - f) 镜检: 显微镜下观察显影图形是否达到要求。
- 4) 紫外曝光电极图形, 此过程中需要将电极图形与电子束曝光中所形成的纳米图形对准, 具体流程如下:
 - a) 旋涂光刻胶 SU8: 转速 2500 rpm, 旋涂时间 30 sec;
 - b) SU8 光刻胶前烘: 热板 95 °C, 时间 2 min, 自然冷却;
 - c) 紫外曝光, 曝光时间为 12 sec, 具体曝光工艺将在本章第四节详述;
 - d) SU8 光刻胶后烘: 热板 90 °C, 时间 10 min, 自然冷却;
 - e) SU8 光刻胶显影: 显影液采用丙酮, 显影时间约为 1 min 30 sec, 根据显影图形增减; 样品显影后立即置于去离子水中漂洗, 再用 N₂ 吹干;
 - f) 镜检: 显微镜下观察显影图形是否达到要求。
- 5) W 电极 RIE 刻蚀。刻蚀气体为 SF₆, 气体流量为 20 SCCM, 气压为 40 mTorr, 功率 40 W, 刻蚀时间为 90 秒。
- 6) W 电极图形刻蚀后去光刻胶: SU8 是化学放大光刻胶, 曝光后用常见的去胶方法很难去除残留光刻胶, 而由于 W 耐高温耐氧化, 我们使用 O₂ 和 N₂ 的混合气体等离子体去除 SU8 光刻胶, 等离子体去除时间约为 1 min 30 sec。
- 7) 样品清洗。主要为去除样品在 RIE 刻蚀和暴露空气下表面所产生的颗粒和有机物:
 - a) 丙酮溶液中强超声清洗 5 分钟, 去离子水清洗;

- b) 乙醇溶液中强超声 5 分钟，去离子水清洗， N_2 吹干；
- c) 在 120°C 烘箱内烘干 20 分钟，去除水气。
- 8) 相变材料沉积。本实验中使用的相变材料包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Si}_3\text{Sb}_2\text{Te}_3$ ，均采用磁控溅射沉积。
- 9) FIB 硬掩膜沉积。使用 FIB 辅助沉积 SiO_2 （第三章）和 C-Pt（第四章）纳米图形作为后继刻蚀相变材料的硬掩膜，图形位置以横架在 W 纳米电极间隙两端为准。
- 10) 相变材料刻蚀。其中 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的刻蚀气体为 CF_4 (15 SCCM)+Ar (35 SCCM)，气压为 50 mTorr，功率 200 W，刻蚀速率约为 100 nm/min，刻蚀时间根据薄膜厚度而定。
- 11) 钝化层沉积，可以选择 SiO_2 或者 Si_3N_4 。

至此，我们完成了整个线形平面相变存储器阵列的制备。制备过程中，我们控制纳米电极的间隙、硬掩膜的宽度和相变材料的厚度，获得了不同尺寸的相变单元尺寸。如下图 2.8 所示，（a）为我们获得相变存储器阵列的显微镜照片，并示意出了器件单元位置；（b）图为获得的基于 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 材料 100 nm 宽度原型器件电子显微镜照片。

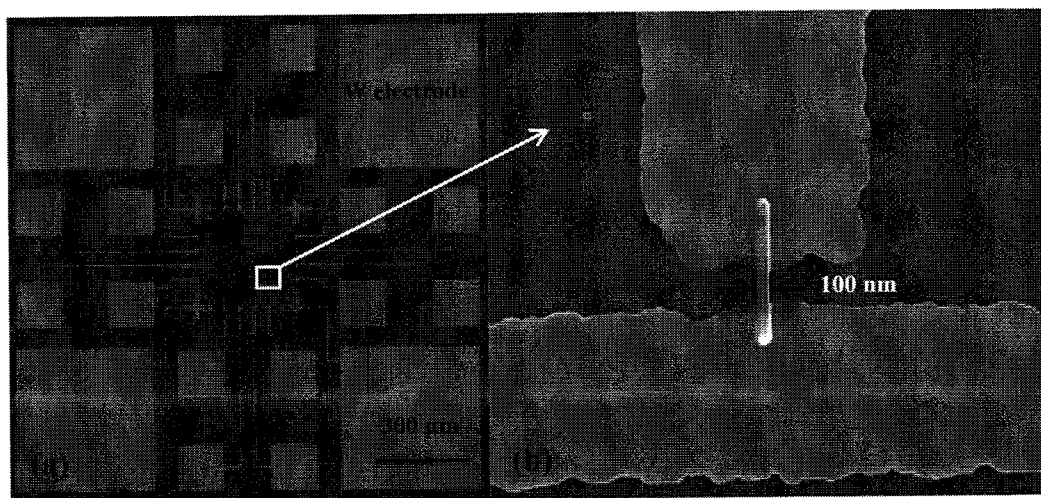


图 2.8 （a）线形相变存储器阵列光学显微镜照片，
（b）基于 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 材料 100 nm 宽度原型器件电子显微镜照片

2.3 电子束曝光

2.3.1 电子束曝光系统

电子束曝光技术是在计算机控制下,利用聚焦的加速电子束在涂有抗蚀剂的晶片上直接刻写或投影曝光图形的技术。它是在扫描电子显微镜(SEM)的基础上发展起来的,其研究和发展始于20世纪60年代初。1960年,由联邦德国杜平根大学的G. Mollenstedt和R. Speidel首次提出利用电子显微镜在薄膜上制备高分辨率的图形。1965年T. H. P. Chang在剑桥大学研制成功世界上第一台飞点扫描电子束曝光机,并由剑桥仪器公司作为商品投入市场。电子束曝光可以在计算机控制下直接产生所要求的图形,且修改容易,制作周期短,因此被广泛应用于光掩膜、X射线掩膜的制作,它已成为微电子产业制作掩膜版的主要手段。电子束曝光技术的缺点是其生产率较低,为了提高生产率,人们作出了巨大努力,如采用高亮度阴极、高速度工件台和高灵敏度感光胶,研制成形电子束系统、投影电子束系统等^[99-103]。

一台典型的电子束曝光系统的电子光学镜筒主要由以下几个部件组成:

- 1) 电子枪:由阴极、栅极和阳极组成。其功能为产生电子束。由于静电场(实际上是一个静电透镜)的作用,电子束会聚成一个最小截面后又发散。这一最小截面称为交叉斑。
- 2) 电子束对中系统:为了电子束的对中,在电子光学镜筒中往往多处设置机械和电对中(常采用电磁线圈来实现)装置。
- 3) 束闸:与束闸控制电路配合,完成电子束的通断功能。
- 4) 透镜:用于电子束的聚焦等。
- 5) 扫描偏转器:与偏转放大电路、图形发生器和数模转换器等控制部件配合,完成电子束的定位和作图功能。

由于扫描电子显微镜的工作方式与电子束曝光机十分相近,因此,从20世纪60年代开始,就有人提出将SEM改装成电子束曝光机。近20年来随着计算机技术的飞速发展,将SEM改装为曝光机的工作取得了重要进展。本文中使用的电子束曝光系统是由Hitachi公司的S-3000系列扫描电子显微镜(SEM)改装,

在此基础上加装纳米图形发生器、高精度定位工作台、高速束闸系统而来。本系统中的图形发生器是由中科院电工研究所生产的 DY-2000 型通用纳米图形发生器；工件台为 Feinmess Dresden 公司的 KDT-105-50-PM 型精密定位工件台；束闸则是中科院电工研究所自行研制的高速束闸系统。图 2.9 为本文使用的电子束曝光系统，表 2.1 为 S-3000 型扫描电子显微镜的基本性能参数。

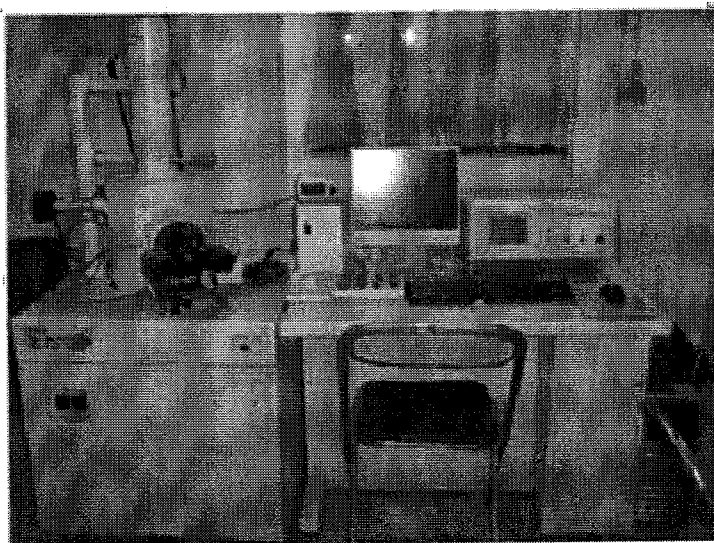


图 2.9 电子束曝光系统

表 2.1 S-3000 型扫描电子显微镜的基本性能参数

电子发射源	钨灯丝
电子发射方式	热阴极
分辨率	3 nm
样品尺寸	150 mm
真空要求	< 1 Pa

2.3.2 电子束曝光理论

电子束曝光的最大特点是其分辨率极高。经过几十年的发展，其分辨率已经由初期的几百纳米发展到目前的几个纳米，这主要得益于电子束的束斑越来越小。

电子束曝光系统的加速电压 V_a 通常在 10~50 kV 之间,考虑了相对论效应修正后,加速电压为 V_a 的电子束波长 λ 为

$$\lambda = \frac{12.25}{\sqrt{V_a} \sqrt{1+0.978 \times 10^{-6} V_a}} \quad (2-1)$$

式中, V_a 的单位为 V, λ 的单位为 Å。加速电压为 50 kV 的电子束,其相应的电子束波长为 0.055 Å^[99]。如此短的波长,使它在曝光衍射效应可以忽略不计。它的图形分辨率主要取决于束斑尺寸和电子束在感光材料内的散射效应。电子束曝光的极限分辨率通常认为是 3~8 nm。

电子是具有一定质量的粒子。曝光时,一定能量的入射电子会和抗蚀剂中的原子发生碰撞从而产生能量和方向的变化。碰撞过程中,入射电子的部分能量会传递给抗蚀剂,造成抗蚀剂发生化学变化(交联与裂解),曝光和未曝光的抗蚀剂在显影液中的溶解度不同,从而得到所需图形。

由于散射,入射电子束中的一些电子偏离原来的方向导致电子的空间分布发生变化。根据其特性分为前散射电子、背散射电子和二次电子^[104],如下图 2.10 所示。

- 1) 前散射电子:通常是指电子束进入衬底前在抗蚀剂中受到散射而横向展宽的电子。前散射电子的范围与电子束的能量和抗蚀剂的厚度密切相关。电子束的能量越高,抗蚀剂的厚度越小,前散射的范围越小。
- 2) 背散射电子:是指入射电子在抗蚀剂、衬底表面以及衬底中受到大角度散射又重新返回到抗蚀剂中的电子。背散射电子的范围和数量与电子束的能量和衬底材料密切相关。一般来讲,电子束能量越高,背散射电子能达到的范围越大;衬底材料密度越大,背散射电子数量越多。
- 3) 二次电子:是指入射电子与抗蚀剂中的电子发生非弹性散射激发所形成的“新电子”,其能量一般在 2~50 eV 之间。通常抗蚀剂的化学键变化主要由这些低能二次电子引发,其范围基本在电子运行轨迹的 10 nm 范围内。

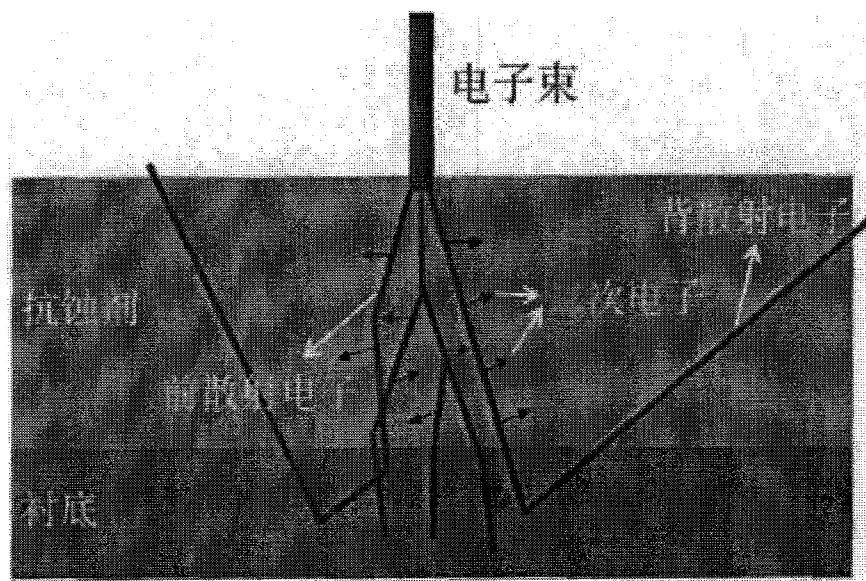


图 2.10 电子束在抗蚀剂中的散射^[104]

为了准确的描述电子在固体中的散射现象，许多学者进行了大量的研究工作。Monte Carlo 计算方法是模拟电子与固体相互作用的一个非常重要的方法。其特点是在计算机上利用随机数对物理和数学问题的概率模型进行模拟，然后加以统计处理。图 2.11 为不同能量电子束入射硅衬底的 Monte Carlo 电子散射轨迹^[105]。

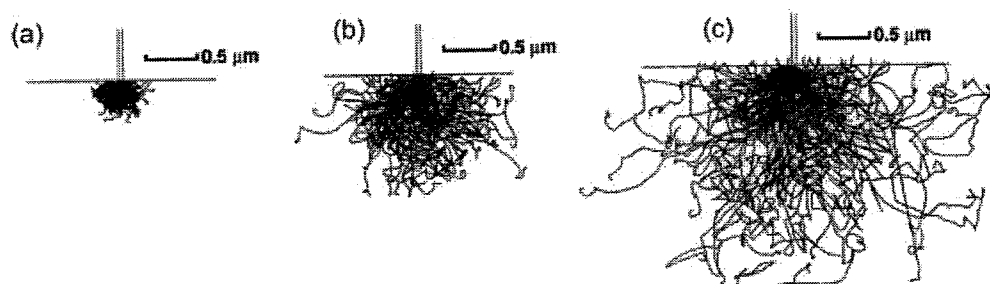


图 2.11 Monte Carlo 方法模拟不同能量电子束入射硅衬底时的电子散射轨迹

电子束曝光中邻近效应是由于散射导致电子束展宽，从而导致曝光剂量分布不均匀而造成的。邻近效应可以分为内邻近效应和外邻近效应。内邻近效应是指同一个曝光结构中心区域所接收电子能量高于边界所接受电子能量的现象；而外邻近效应是指所设计结构之间的的曝光不均匀。为了校正邻近效应从而得到预期

的图形，发展除了多种电子束曝光邻近效应的校正方法，包括：曝光剂量校正、图形尺寸补偿校正和背景补偿曝光等^[105]。

2.3.3 纳米电极的电子束曝光研究

我们使用 MicroChem 公司生产的 SU8-2035 负胶来电子束曝光产生纳米尺寸电极。SU8 使用环戊酮稀释，比例为 SU8:环戊酮=1:50，充分搅拌后静置 72 小时使用。在 2500 rpm 转速涂胶 30 秒时，SU8 的胶厚大约为 700 nm，具体涂胶工艺在上节有详述。

本实验中，我们使用的电子束曝光设备工作电压设置为 30 KV，灯丝电流为 50 μA ，工作距离为 6.1 mm。我们通过改变电子束流和剂量研究了其对曝光效果的影响。曝光图形为宽度为 200 nm 的线条，我们以曝光束流为 10 pA、11 pA、13 pA 和 15 pA，曝光剂量分别为 2 $\mu\text{C}/\text{cm}^2$ ，3.5 $\mu\text{C}/\text{cm}^2$ ，5 $\mu\text{C}/\text{cm}^2$ ，7 $\mu\text{C}/\text{cm}^2$ 的参数设置进行了正交实验。

曝光结果显示，束流与剂量增加时图形线宽增加，同时图形边缘锯齿增多更加不规则。下图 2.12 给出了（a）束流为 10 pA，剂量为 3.5 $\mu\text{C}/\text{cm}^2$ ；（b）束流为 15 pA，剂量为 7 $\mu\text{C}/\text{cm}^2$ ；（c）束流为 10 pA，剂量为 7 $\mu\text{C}/\text{cm}^2$ 时所获得线条的 SEM 图形，并分别表示出了线条的宽度。由于随着束流的增大，电子束斑增大，导致了图形的扩大；另外，随着剂量的增加，入射电子和背散射电子数量增加，也是导致图形展宽的原因。

在工作电压设为 30 KV，灯丝电流为 50 μA ，工作距离为 6.1 mm，束流为 10 pA，剂量为 3.5 $\mu\text{C}/\text{cm}^2$ 的条件，我们对所设计的不同尺寸线条在曝光后的尺寸通过 SEM 进行了测量，如下表 2.2 所示。从中可以看出不同尺寸的图形都有一定的展宽。

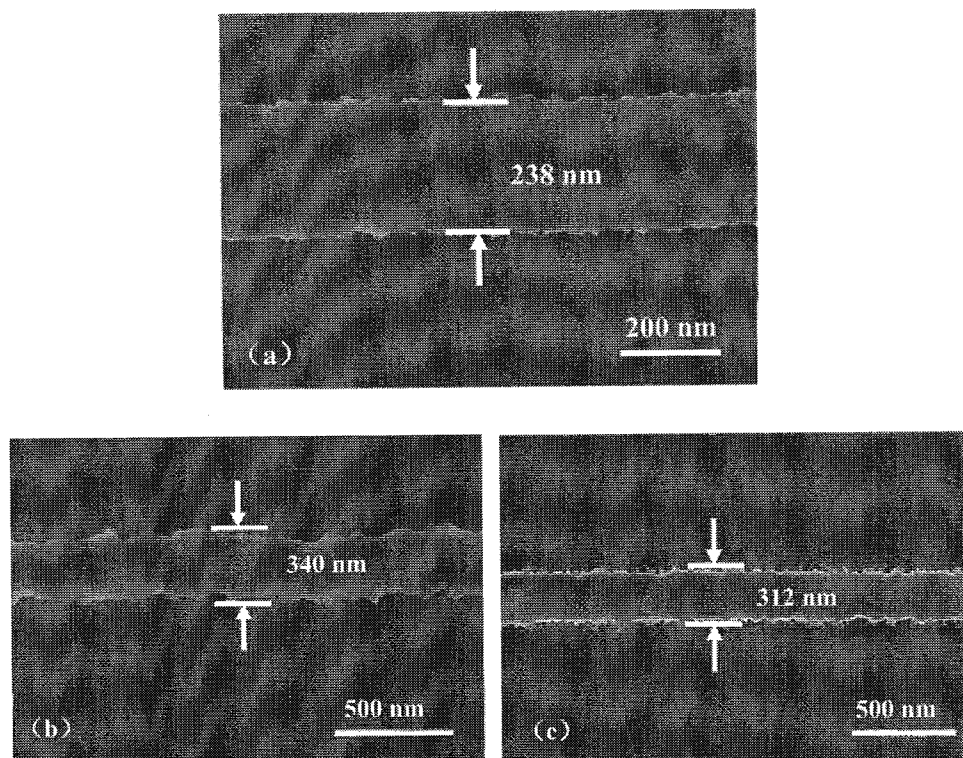


图 2.12 (a) 束流 10pA, 剂量为 $3.5\mu\text{C}/\text{cm}^2$, (b) 束流 15pA, 剂量为 $7\mu\text{C}/\text{cm}^2$,
(c) 束流 10pA, 剂量为 $7\mu\text{C}/\text{cm}^2$ 时所获得 W 电极线条的 SEM 图形

表 2.2 不同尺寸线条在曝光前后比较

设计尺寸	800 nm	400 nm	200 nm	100 nm
测量尺寸	897 nm	522 nm	238 nm	126 nm

在器件制备过程中, 我们使用电子束曝光来定义相变区域的长度, 但由于曝光过程中电极的展宽效应, 所获得的电极间隙尺寸并不会与预期设置的值相同, 这无疑增加了工艺的难度。为了解决此问题, 我们对器件的版图进行了修正, 就是曝光版图电极间隙比目标值增加增大~30%, 最终我们获得了电极间隙尺寸基本可控的工艺参数。下图为我们获得不同尺寸间隙的纳米电极 SEM 图片。

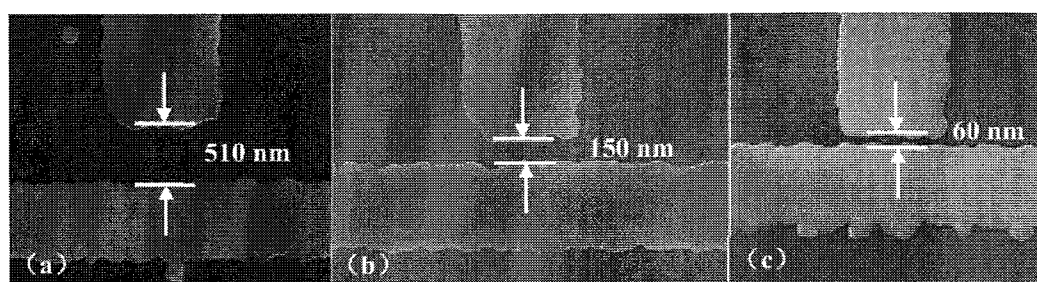


图 2.13 电子束曝光获得的不同尺寸间隙的 W 纳米电极 SEM 照片

2.4 光学曝光

电子束曝光由于是使用电子束线扫描的方式曝光，在生产率上一直远低于常规光学曝光，这是阻碍它在规模生产中使用的主要原因。为了使我们的器件能够进行电学测试，我们必须将包含器件单元的纳米电极部分通过引线连接到一个较大的电极上。这个电极的尺寸至少为几十个微米的大小，以方便测试探针的接触。紫外曝光使用微系统所内工艺线曝光机台（Karlsuss 曝光机，波长 400 nm），如下图，最小曝光尺寸约为 3 μm 。

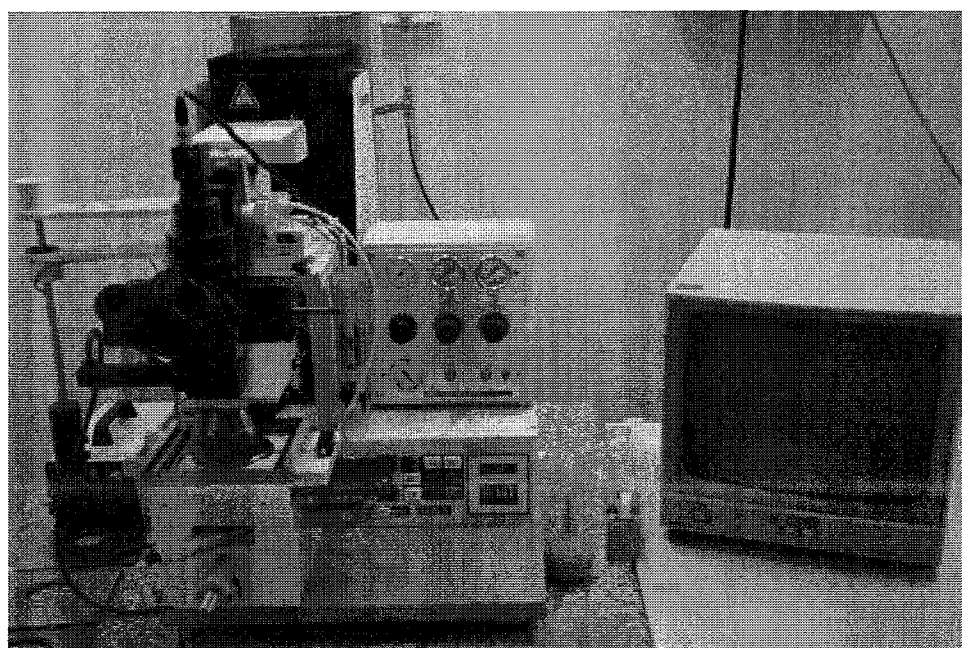


图 2.14 Karlsuss 曝光机

如 2.2 节中工艺流程所述，在电子束曝光完成显影之后，我们再在样品之上旋涂一层 SU8 光刻胶，进行光学曝光。为了前后两次曝光图形的对准，我们在电子束曝光的过程中就制备了对准标记。对准标记包括四个大十字标记用以粗对准，和十字标记旁的点对准标记用以精确对准。套刻显影完成后的图形显微镜照片如下图 2.15 所示。

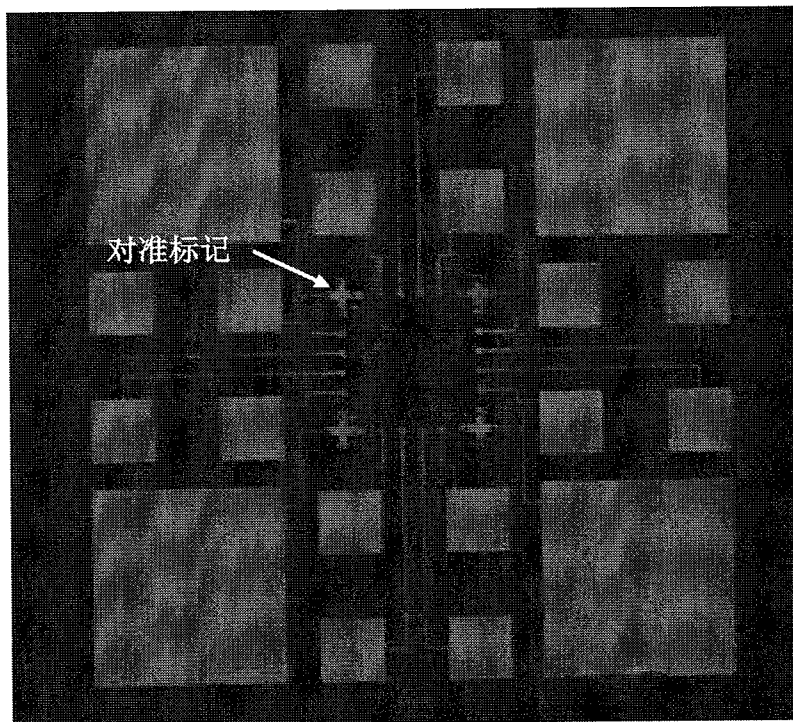


图 2.15 光学曝光显影完成后的电极显微镜照片

在两次光刻完成之后进行 W 电极图形的刻蚀，残余的 SU8 光刻胶使用等离子体去除，具体工艺在本章第二节中有介绍。

2.5 相变材料沉积

本文中所使用的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料是在 JGMF500 的多功能等离子体系统上磁控溅射方法制备，如下图 2.16 所示。该系统由送样室、溅射室、真空系统、电源系统和冷却系统等部分组成。进样室配备有进样杆，可以在不破坏真空的情况下进行送样和取样操作；溅射系统可以同时进行四靶共溅射，方便合金材料和掺杂材料的沉积；真空系统可使溅射室的本底真空达到 10^{-5} Pa；配备有两个射频

电源和三个直流电流，在溅射金属元素时，由于直流溅射具有较大的溅射速率，优先采用直流溅射，而溅射绝缘材料时，应当用射频电流源。



图 2.16 多靶位磁控溅射系统

GST 溅射采用 3 英寸的纯 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 合金靶材，衬底温度为室温，溅射过程中通冷却水冷却。溅射速率约为 15 nm/min ，材料的厚度主要通过溅射时间来控制。溅射过程的一些主要参数如下表所示。

表 2.3 GST 溅射参数

	本底真空	溅射功率	气体流量	溅射气压
$\text{Ge}_2\text{Sb}_2\text{Te}_5$	$2.0 \times 10^{-4} \text{ Pa}$	DC 50 W	Ar 50 sccm	0.21 Pa

薄膜制备完成后，组分的表征方法是采用扫描电子显微镜（S-4700）配备的 X 射线能量色散谱（EDS: Energy dispersive X-ray spectroscopy，型号 Oxford INCAEnergy）来标定。由于 X 射线对薄膜样品具有一定的穿透性，在 EDS 测试出的薄膜成分中会含有衬底的信息。为此，我们在铝箔上沉积了需要表征组分的薄膜，EDS 测试后扣除 Al 的组分得到一个比较少受衬底影响的结果。薄膜厚度的表征通过 SEM 观察样品剖面多点测量，其精度可达到几个纳米。

在制备器件单元过程中，有部分样品为了增加电极和相变材料的导电性，我们在沉积了 GST 材料后又继续使用磁控溅射沉积了 20 nm 的 TiN 材料。TiN 在高纯氩气和高纯氮气的气氛下溅射 Ti 靶制备，主要参数如下表所示。

表 2.4 TiN 溅射参数

	本底真空	溅射功率	气体流量	溅射气压
Ti 靶	2.0×10^{-4} Pa	DC 200 W	Ar 32 sccm N ₂ 32 sccm	0.22 Pa

但由于 TiN 和相变材料之间有一定的应力，黏附力比较差，样品制备完成后光学显微镜观察发现薄膜表面开裂，如下图 2.17 (a) 所示。因此在沉积 TiN 过程中我们对样品衬底进行了原位加热 180 °C，使薄膜间的应力在较高的温度下得到了一定的释放。得到的样品在显微镜下观察如图 2.17 (b) 所示，薄膜表面较为完整。

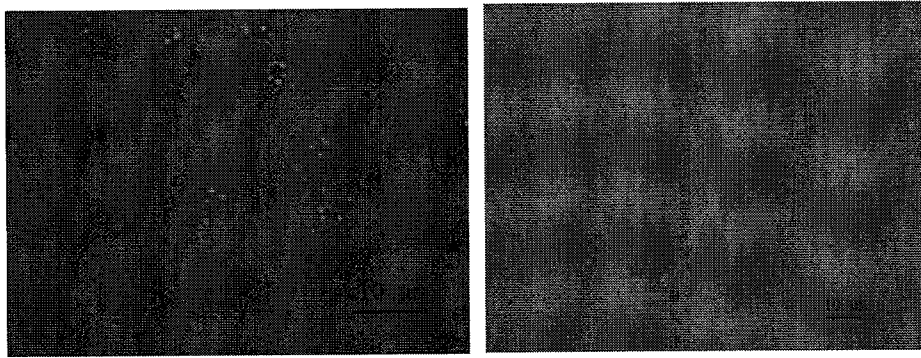


图 2.17 (a) 室温沉积 TiN/GST 薄膜 (b) 180 °C 原位加热沉积 TiN/GST 薄膜
光学显微镜照片

2.6 FIB 硬掩膜层沉积

2.6.1 FIB 系统

聚焦离子束 (FIB: Focused ion beam) 集微分析和微加工于一体，被广泛应用于半导体集成电路设计、生产和研发工作中。1978 年 R. L. Seliger 等人建立了第一台 Ga 液态金属离子源 (LMIS: liquid-metal ion sources) 的 FIB 系统，是 FIB 技术实用化的开始^[106-108]。

聚焦离子束系统主要可以分为离子源、离子束聚焦/扫描系统和样品台三个部分^[109 110]。离子源是产生离子束的装置，Ga 由于具有低熔点（29.8℃）、低蒸汽压和抗氧化能力强等优点，是最常用的液态金属源。典型的液态金属离子源系统主要由发射极、液态金属储存池以及离子引出电极组成。在外加电场（ $>10^{10}$ V/m）作用下，液态金属在电场力作用下形成一个极小的尖端（尖端只有约 2 nm），液态金属表面的金属离子以场蒸发的形式逸出表面，产生离子束流。离子束聚焦/扫描系统一般由双电磁透镜系统和一系列的偏转电极构成。样品台位于离子柱下，包括样品台、探测器、气体注入系统等其他附件。样品台可以多维旋转，本实验中使用的 Helios 600 配有 SiO₂ 和 Pt 等材料的有机气态源。

聚焦离子束被广泛应用于半导体集成电路设计、生产和研发工作中。其应用领域主要包括：显微成像、离子束刻蚀、反应离子束刻蚀、离子束辅助薄膜沉积和离子注入等。微区定位的 Pt 薄膜 FIB 诱发金属有机物化学气相淀积是 FIB 在集成电路产业和研发中最主要的应用之一，用这种手段进行失效分析后的线路修正，或者测试结构的制备，能大大缩短产品的研发和生产周期。



图 2.18 FEI 公司生产的 Helios 600 双束系统

本文中使用的 FIB 系统为 FEI 公司生产的 Helios 600 双束系统，如上图 2.18 所示。聚焦离子束-电子束（FIB-SEM）双束系统具有独立的 SEM 和 FIB 系统，

充分发挥了聚焦离子束和电子束的长处,电子束用于成像定位,离子束用于加工,成为了目前 FIB 发展的一个重要趋势。另外,离子束成像衬度大,但对样品损伤较大且分辨率低;电子束成像分辨率高、对样品损伤小,但衬度相对低;两者结合可获得材料更准确的样品信息。

2.6.2 FIB 辅助化学气相沉积

FIB 的一个主要应用就是用来在特定区域沉积金属或介质薄膜,其机理是在高能离子束的作用下进行化学气相沉积反应。沉积过程就是高能离子束作用吸附在样品表面的单层反应有机气体分子分解成易挥发和不易挥发的部分,前者被真空泵抽走,后者则在 FIB 轰击区域形成薄膜沉积。沉积过程分为三个步骤,首先有机分子在基底表面吸附;其次在一系列的级联碰撞过程中,入射离子把大部分动能传给了基底表面的有机分子,有机分子发生分解;最后分解后的非挥发性产物或者一些尚未完全分解的基团被沉积在基底上,挥发性产物被真空系统排出^[111]。下图 2.19 为聚焦离子束辅助沉积过程原理图^[112]。

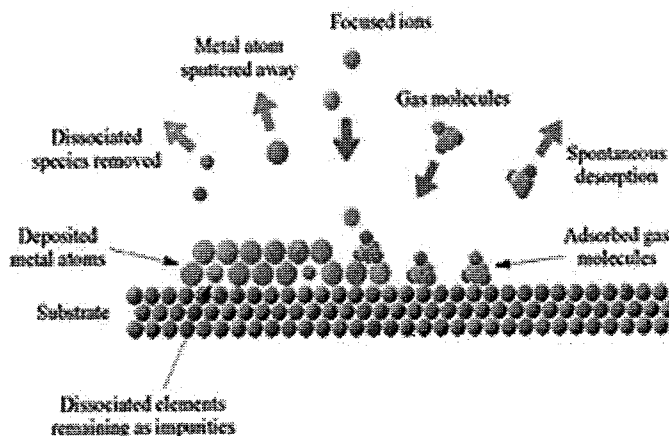


图 2.19 聚焦离子束辅助沉积原理

聚焦离子束的沉积速率与粒子束流、有机气体分子束流、溅射气体和基底表面的黏附系数等有关系。粒子束流较低时,有机气体分子不能完全分解,沉积速率较低;随着束流的增大,分解效率增高,沉积速率也得到提升。但过大的束流

导致粒子轰击效果增强,会使刚刚沉积的薄膜中的原子重新溢出表面,所以过大的束流反而会减缓沉积速率。在沉积过程中选择合适的离子束流是至关重要的。

聚焦离子束的束流强度一般认为呈高斯分布,

$$J(x,y) = \frac{I}{2\pi\sigma^2} \exp\left(-\frac{x^2+y^2}{2\sigma^2}\right) \quad (2-2)$$

式中 I 为离子束总电流, σ 为标准差, $J(x,y)$ 为在点 (x,y) 的离子密度^[113]。我们一般采用半高宽 (FWHM, 最大束流的 50%) 来描述离子束束斑的大小, 实际离子束的轮廓可以通过模拟或者实验获得。由于聚焦离子束束流强度呈高斯分布的特性, 在辅助沉积过程中, 所获得的图形并不会与设计的图形完全相同, 而是会有一定的展宽。这也在我们后续的采用 C-Pt 作为硬掩膜刻蚀 GST 的实验中得到了验证。

我们在 SiO_2 衬底上磁控溅射生长了 100 nm 厚度的 GST 薄膜, 再使用 FIB 在 GST 薄膜上沉积 150 nm 厚度, $1\mu\text{m}$ 直径的 C-Pt 圆形图案, 经过刻蚀 ($\text{CF}_4:\text{Ar}=10:40$, 80 mTorr, 200 W, 60 s) 后 SEM 表征如下图所示。由于沉积 C-Pt 掩膜层的展宽, 而且掩膜层本身比较厚, 所得到的 GST 膜图形的直径并不是 $1\mu\text{m}$ 的圆形图案, 而是展宽到了直径为 $1.4\mu\text{m}$ 左右。如图 2.20 所示, 顶层较小圆形为刻蚀后残余 C-Pt 掩膜层, 下层较大圆形为得到的图形化 GST 相变材料。

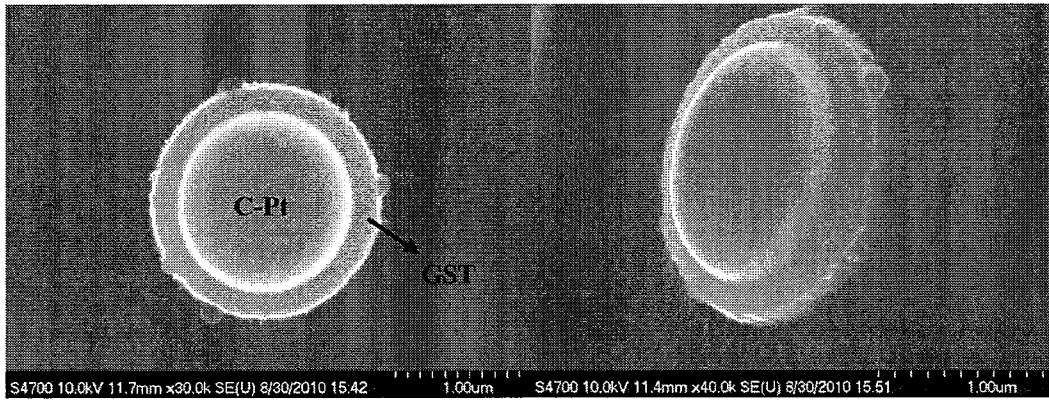


图 2.20 FIB 在 GST 上沉积 C-Pt 图形作为硬掩膜刻蚀后 SEM 照片

(a) 俯视图和 (b) 侧视图

本文中使用 FIB 沉积 SiO_2 和 C-Pt 薄膜作为硬掩膜制备平面相变存储器的研究工作, 正是基于 FIB 可以在计算机控制下直接产生所要求的图形, 且容易修改

的定点微区沉积特性。我们只需控制沉积过程中掩膜的尺寸,就可以获得不同宽度的相变存储器器件,大大简化了工艺的复杂度,更容易研究不同尺寸器件的电学特性,下图 2.21 为我们使用 C-Pt 作为掩膜层制备的 50 nm~400 nm 不同宽度的线形平面相变存储器器件。关于沉积 SiO_2 和 C-Pt 薄膜作为硬掩膜制备平面相变存储器的研究工作,我们会在后继的章节进行详细介绍。

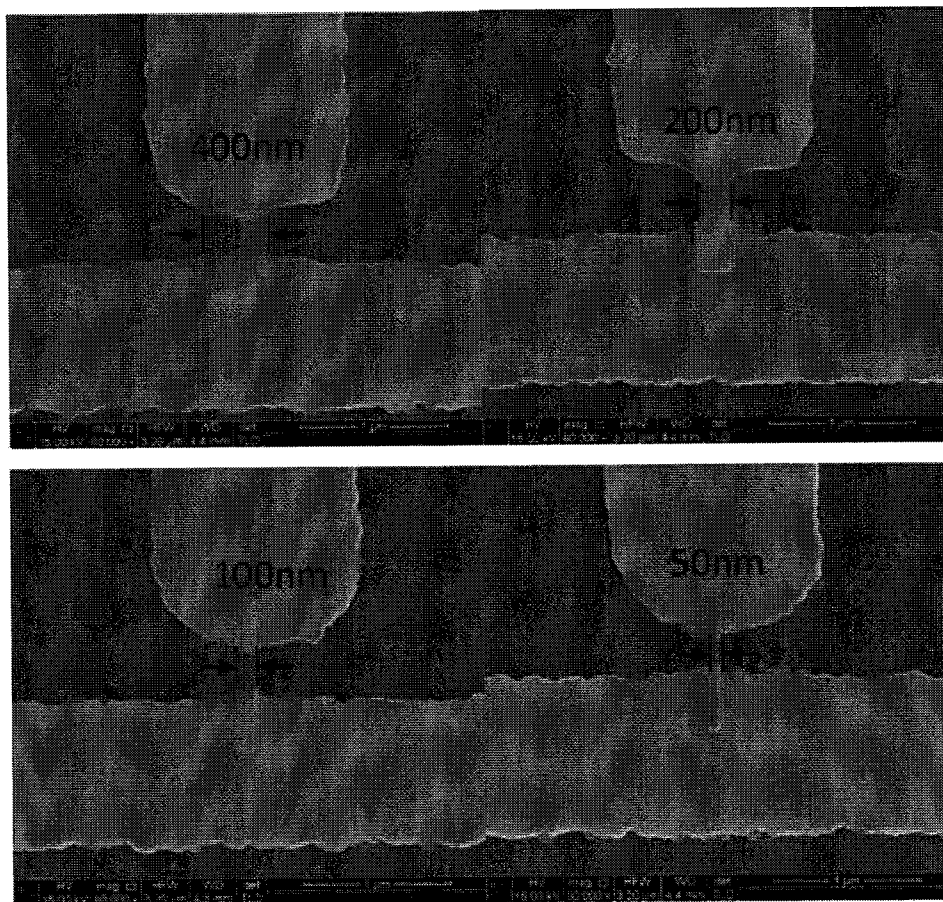


图 2.21 使用 C-Pt 作为硬掩膜制备的不同宽度相变存储器器件

2.7 反应离子刻蚀

反应离子刻蚀 (RIE) 是随着对材料刻蚀的高选择比和各向异性而发展的。反应离子刻蚀中导入腔体的气体必须由等离子体分离成可化学反应的元素,这些元素扩散并吸附在刻蚀材料表面,与样品发生化学反应。反应生成物的脱附是反应离子刻蚀得以继续的前提条件,如果生成物为气态,很容易被真空泵吸出;如

果生成物的挥发性很差，那就会吸附在刻蚀样品的表面，使得刻蚀难以进行^[7]。

针对相变材料的等离子体刻蚀，已经有很多研究单位做了工作。比如 GST 材料的刻蚀就使用了 Cl_2/Ar , CHF_3/Ar , CF_4/Ar , HBr/Ar , CHF_3/O_2 和 $\text{CHF}_3/\text{Cl}_2/\text{Ar}$ 等气体^[52]，并对刻蚀所用气体组分、气压和功率对刻蚀速率和刻蚀剖面的影响进行了系统研究。

本实验中采用的是 Oxford 80plus 反应离子刻蚀系统，最大可放置 4 寸样品，配备 600 W 功率的 RF 电源，最大刻蚀气体流量为 100 sccm，可同时通入 4 路气体，反应腔的最小气压可达到 1×10^{-4} Pa，配备的刻蚀气体有： CF_4 、 CHF_3 、 SF_6 、Ar 和 O_2 。基于此机台，本课题组的研究人员针对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Si}_{1.2}\text{Sb}_2\text{Te}$ 材料的刻蚀进行了系统研究^[114-116]。

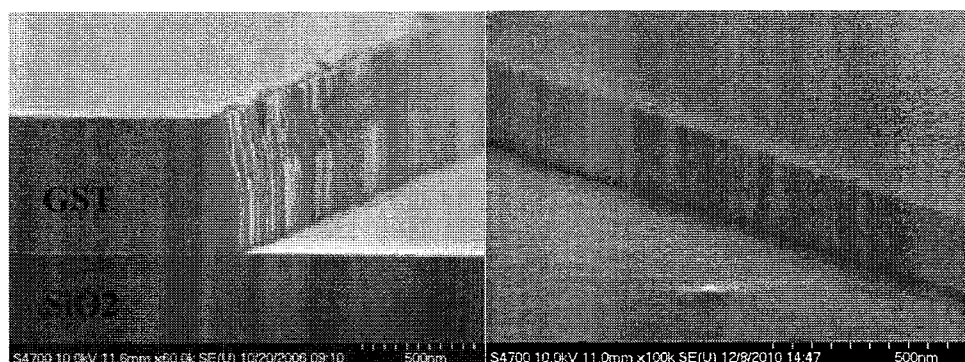


图 2.22 CHF_3/O_2 刻蚀 GST 剖面图^[115]（左图），（b） CF_4/Ar 刻蚀 $\text{Si}_{1.2}\text{Sb}_2\text{Te}$ 剖面图^[116]（右图）

本文中反应离子刻蚀工艺主要针对 W 电极材料， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料和 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 相变材料，刻蚀参数如下表 2.5 所示。

表 2.5 W、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 的反应离子刻蚀参数

	刻蚀气体/sccm	刻蚀功率/W	刻蚀气压/mTorr	刻蚀速率 nm/min
W	$\text{SF}_6=20$	40	40	50~60
$\text{Ge}_2\text{Sb}_2\text{Te}_5$	$\text{CF}_4:\text{Ar}=15:35$	200	50	~100
$\text{Si}_3\text{Sb}_2\text{Te}_3$	$\text{CF}_4:\text{Ar}=20:30$	200	80	~110

2.8 本章小结

本章在研究平面相变存储器的制备工艺基础上，提出了一种利用 FIB 沉积硬掩膜制备器件的方法，并开发了其制备工艺。

(1) 调研了已有文献中几种平面相变存储器的制造方法，设计了一种利用 FIB 沉积硬掩膜制备器件的方法（这种方法在制备不同尺寸纳米器件方面有很大的便利性），并绘制了器件制备过程中使用的版图；

(2) 细化了平面相变存储器的制备流程，在工艺流程中将电子束曝光和传统紫外曝光相结合，以获得纳米尺寸电极间隙的同时可以制备出微米尺寸的用以电学测试的电极；

(3) 研究了电子束曝光制备纳米电极的工艺，讨论了不同束流和剂量对曝光图形的影响，并制备了不同间隙尺寸的纳米电极，最小可以达到 60 nm；

(4) 研究了紫外曝光工艺，完成了电子束曝光和光学曝光的套刻，获得了完整的供平面相变存储器制备使用的电极样品；

(5) 研究了磁控溅射沉积相变材料工艺，并通过原位加热的方法解决了 TiN 和 GST 相变材料层之间的黏附力问题；

(6) 研究了 FIB 辅助化学气相沉积工艺，并验证了使用 FIB 沉积 C-Pt 薄膜作为硬掩膜刻蚀后相变材料层的展宽问题。

第三章 采用 SiO₂ 硬掩膜的器件制备和表征

3.1 SiO₂ 硬掩膜可行性验证

我们设计了反应离子体刻蚀 (RIE) 实验来研究相变材料和 FIB 沉积的 SiO₂ 之间的刻蚀选择比, 以确定 SiO₂ 是否适合作为器件制备过程中的硬掩膜。

实验中使用 FEI 公司的 Helios 600 双束系统, 该系统集成的聚焦离子束和扫描电子显微镜可以聚焦在同一点。SiO₂ 沉积过程中, 工作台处于室温、 10^{-5} Torr 的真空环境下, 电子束能量为 5 KeV, 束流为 0.34 nA, 束斑大小为 5 nm。基于 FIB 微区原位加工的优势, 可以很容易的获得纳米尺寸的 SiO₂ 图形。通过控制沉积时间, 最终获得 200 nm 厚度的 SiO₂ 纳米线条。沉积完成后, 我们利用反应离子刻蚀对样品进行了 60 s 的刻蚀, 使用的是 CF₄:Ar=15:35 sccm 混合气体, 功率 200W, 气压 50 mTorr。

具体实验步骤如下:

- 1) 样品准备和清洗, 采用 SiO₂/Si 衬底, SiO₂ 厚度为 500 nm, 热氧化生长; 清洗主要去除灰尘颗粒、有机和无机污染:
 - a) 丙酮溶液中超声清洗 5 分钟, 去离子水清洗;
 - b) 乙醇溶液中超声 5 分钟, 去离子水清洗, N₂ 吹干;
 - c) 在 120 °C 烘箱内烘干 20 分钟, 去除水气。
- 2) GST 薄膜沉积: 采用磁控溅射单靶 Ge₂Sb₂Te₅, 本底真空为 2×10^{-4} Pa; Ar 流量 50 sccm; 溅射气压 0.21 Pa; 溅射功率 DC 50 W; 溅射时间 6 min, 膜厚约为 100 nm。
- 3) FIB 沉积 SiO₂ 图形: 我们使用 FIB 沉积了厚度约为 200 nm 厚度的 SiO₂ 纳米线条, 这些纳米线条将作为下一步刻蚀过程中的硬掩膜, 如下图 3.1 (a) 所示。沉积电压设置为 5kV, 束流 0.34 nA。
- 4) 刻蚀 GST: 我们使用 CF₄ 和 Ar 为 15:35 的混合气体, 50 mTorr 的气压, 200 W 功率在 Oxford 80 plus 的等离子体刻蚀 (RIE) 设备中对样品进行了 60 s 的刻蚀。

5) SEM 表征: 比较图 3.1 (a) 和图 3.1 (b), 我们发现, 经过刻蚀后, SiO_2 的纳米线条被完全转移到了下层的 GST 薄膜上。而 SiO_2 的厚度则由原来的 199 nm 减小到 153 nm。从这个结果, 我们就可以确定, FIB 沉积的 SiO_2 与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的刻蚀速率比约为 1:2, SiO_2 薄膜可以在制备平面相变存储器的过程中作为硬掩膜。而残余的 SiO_2 并不需要去除, 因为其可以作为相变材料的保护层。



图 3.1 (a) FIB 沉积 SiO_2 纳米线条 SEM 图及厚度尺寸,
(b) $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 刻蚀后纳米线条 SEM 及厚度尺寸

3.2 基于 GST 材料的器件制备

在第一章中我们已经提到, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 是目前业界中使用最多的相变存储器材料, 已经被广泛应用于可重复擦写的相变光盘中和一些公司的相变存储器样片中。同时 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 料也具有很好的电学性能, 非常适合用于相变存储器。其晶化速率快 (ns 量级), 非晶态和晶态之间的电阻率差异大, 从非晶态到晶态 (六方结构) 的薄膜电阻率差异约为 5 个数量级, 非晶态与晶态之间具有较好的可逆性。因此基于上一章中的工艺流程, 我们首先制备了基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料的平面器件。

下图 3.2 (a) 为我们制备的相变存储器阵列的显微镜照片，包括外围微米尺寸测试电极；3.2 (b) 图为放大的 (a) 图中采用电子束曝光获得的纳米电极的电子显微镜照片。

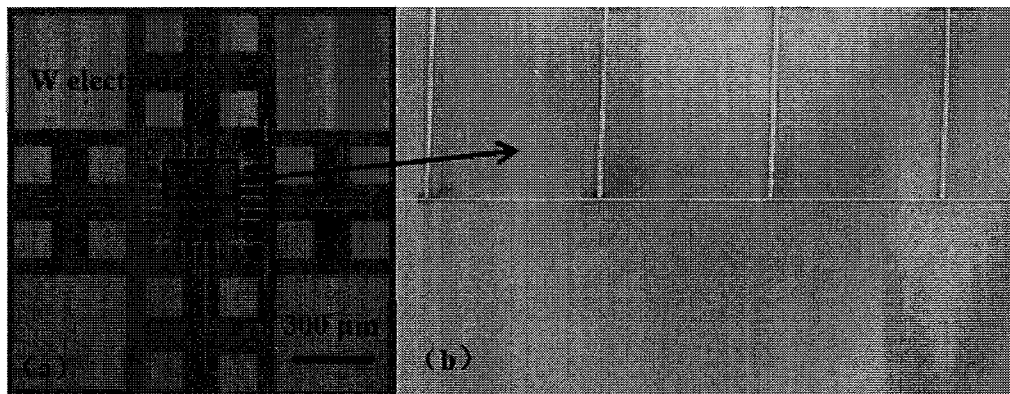


图 3.2 (a) 相变存储器阵列的光学显微镜照片 (b) 采用电子束曝光获得的纳米电极的电子显微镜照片。

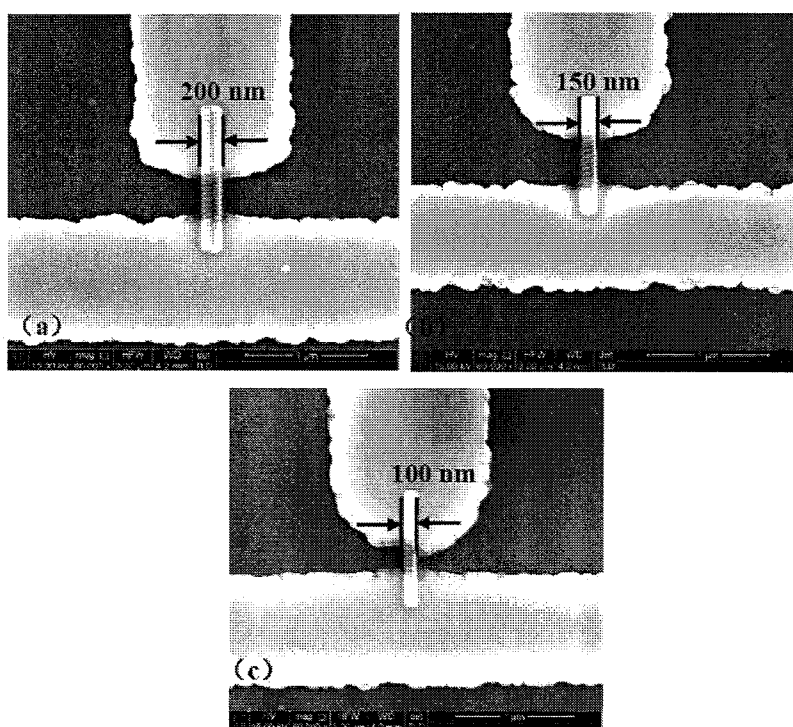


图 3.3 不同宽度线形平面相变存储器电子显微镜照片

(a) 200 nm, (b) 150 nm, (c) 100 nm

器件制备过程中我们通过控制 FIB 沉积硬掩膜的尺寸大小, 获得了不同宽度的平面相变存储器器件。电子显微镜照片如上图 3.3 所示 (a) 200 nm, (b) 150 nm, (c) 100 nm。

3.3 GST 材料器件电学测试

3.3.1 电学测试系统

相变存储器器件的电学性能测试主要包括电阻测试、直流特性测试、脉冲扫描测试、疲劳特性测试, 我们采用实验室自行设计搭建的电学测试系统完成, 如图 3.4 所示。该系统由控制计算机、脉冲信号发生器(美国 Agilent, 81104A 型)、数字信号发生器(美国 Keithley, 2400 型)、微控探针台(美国 Cascade, RHM-06 型)、控制卡(ADLINK, PCI7250 数字 I/O 卡)、GPIB(台湾泓格, PCI-488 型)以及转换连接部件构成。微控探针台用于实现被测器件电极通过探针引出, 经过切换与接线盒与数字信号源表连通。主控计算机通过 GPIB 卡完成对数字源表和脉冲信号发生器的控制和读数, 同时通过控制卡实现切换盒通路选择的实时控制。通过在主控计算机上编程软件可实现上述各种性能的测试。

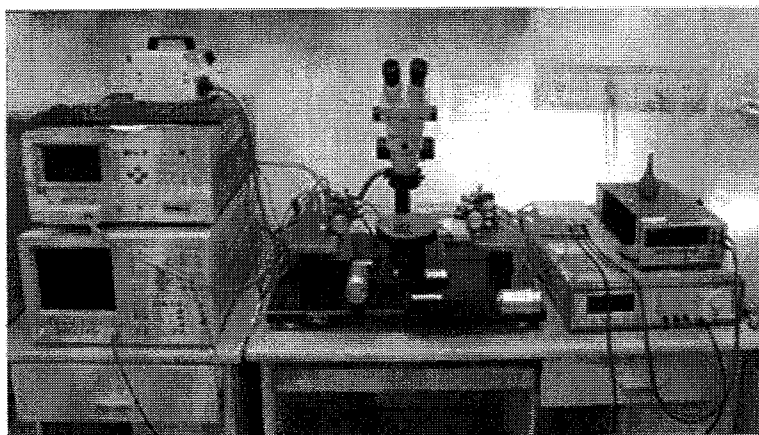


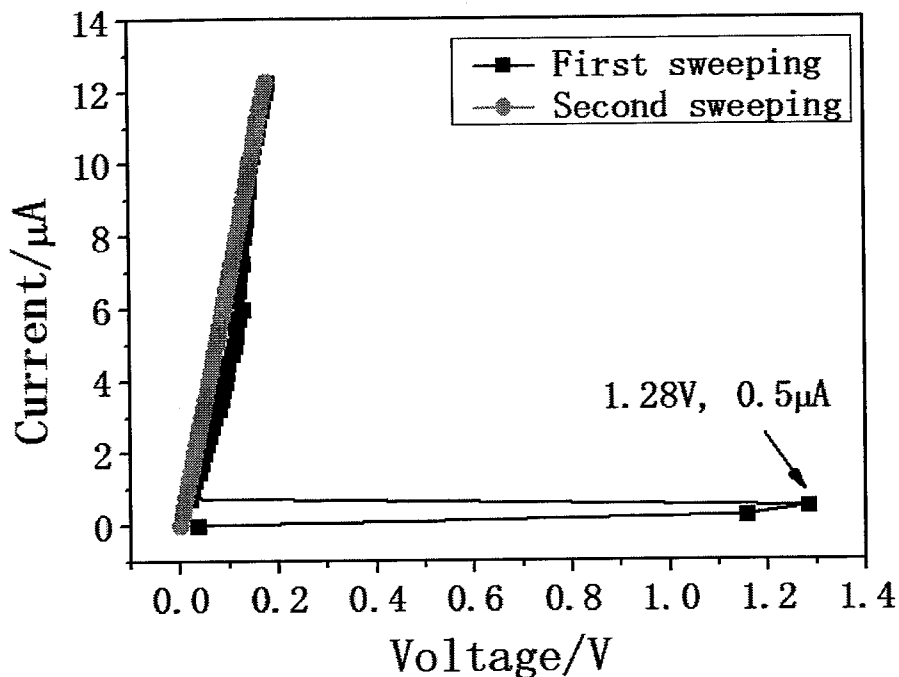
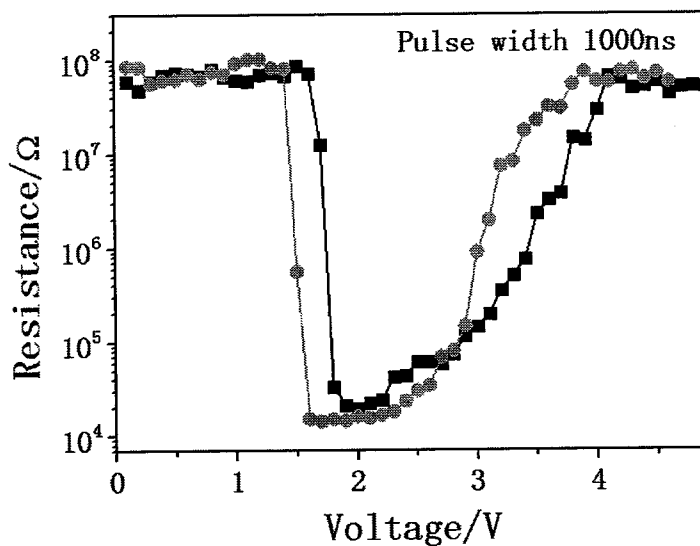
图 3.4 电学测试平台

脉冲信号发生器可以以单通道和双通道两种模式产生单一脉冲或连续脉冲信号, 目的是对器件单元进行写擦操作, 电流脉冲信号的高度范围是 0~400 mA,

电压脉冲信号的高度范围是 0~10 V，脉冲信号的宽度为 6.25 ns~999.5 s。数字信号源的功能是提供电流或电压信号源来测试相应的电压、电流、电阻，其中电流信号源的范围是 50 pA~1.05 A，电压信号源的范围是 5 μ V~210 V；相应的测试电流范围为 10 pA~1.055 A；测试电压范围是 1 μ V~211 V，测试电阻的范围是 100 $\mu\Omega$ ~211 M Ω 。微控探针台主要由样品台、探针、光学显微镜、微控旋钮和真空泵等组成，其主要功能是提供放置样品的平台和引入脉冲信号与测量信号并施加到样品上。GPIB 卡主要完成对脉冲信号发生器和数字信号源的控制和数据的采集。控制卡镶嵌在计算机的 PCI 插槽中，利用其中的继电器和外部切换盒电路控制脉冲信号发生器和数字信号源与微控探针台连接。计算机上的操作界面可以控制 GPIB 卡和控制卡的工作，而且可以即时地显示所采集到的数据和相关曲线，同时还能保存所采集到的数据，以便作其他处理。

3.3.2 100 nm 宽度单元测试

我们对 100nm 宽度器件进行了电学测试，其中 I - V 测试曲线如下图 3.5 所示。 I - V 测试是以等步长递增的方式向器件单元输入恒定电流，并在各电流值点测试器件两端的电压，所形成的电流-电压关系曲线就是器件的 I - V 特性曲线。由于在电学测试之前，器件没有经过任何的热学或者电学处理，器件中相变材料的初始状态为非晶态，测试方式是在器件两端加电流测电压。由图可见，第一次电流扫描时，随着施加电流的增加，电压先是急剧增加，但当电流值到达某一临界点时，电压突然减小。这意味着器件中相变材料 Ge₂Sb₂Te₅ 从非晶态向多晶态的转化。当材料转化为多晶态后器件处于低阻态，随着施加电流的增加电压缓慢增加。由 I - V 曲线可以看出基于 Ge₂Sb₂Te₅ 的 100 nm 宽度平面相变存储器单元的相变阈值电流为 0.5 μ A，阈值电压为 1.28 V。第二次电流扫描时由于相变材料已经处于多晶态，扫描曲线与第一次扫描后半段基本重合，呈现出典型的欧姆特性。

图 3.5 100 nm 宽度器件 I - V 测试曲线图 3.6 100 nm 宽度器件在 1000 ns 宽度脉冲电压操作时的 R - V 测试曲线

相变存储器从高阻转化为低阻的过程称为 SET 过程；从低阻回到高阻的过程称为 RESET 过程。SET 过程是施加一个宽而弱的电脉冲，当相变材料的温度升高到晶化温度以上、熔点以下时，材料开始成核结晶，从高阻转化为低阻。RESET 过程为施加一个强而窄的电脉冲，将材料温度升高到熔点以上，随后经过一个淬

火过程，使其迅速非晶化，从低阻转化为高阻。我们对器件单元施加恒定宽度脉冲电压信号后，研究了其电阻随脉冲电压高度的变化。其中使用 Agilent 4155B 脉冲信号发生器产生高度递增，宽度恒定的脉冲信号施加于器件两端，在每次脉冲信号过后，使用 Keithly 2600 产生 0.1 V 的电压去测试器件的电阻并记录。如上图 3.6 所示，我们使用 1000 ns 宽度的脉冲信号对器件完成了 SET 和 RESET 操作。在 SET 过程中，当电压值较低时，器件电阻值保持在 $7.5 \times 10^7 \Omega$ 左右，但当电压值超过 1.6~1.8 V 时，器件电阻值骤降至 $2 \times 10^4 \Omega$ 左右，这是由于较长的电压信号加热相变材料达到了晶化温度之上，促成了材料的成核结晶，使器件电阻值降低。在 RESET 过程中，初始时电阻值恒定在低阻态，当电压超过 3.5 V 时，器件阻值升高到 $10^7 \Omega$ 以上，器件处于高阻态。这是由于较高的 RESET 电压供给了相变材料熔化的足够温度，使相变材料熔化后淬火处于非晶态。在操作过程中，器件的高阻和低阻态之间阻值相差近四个数量级。

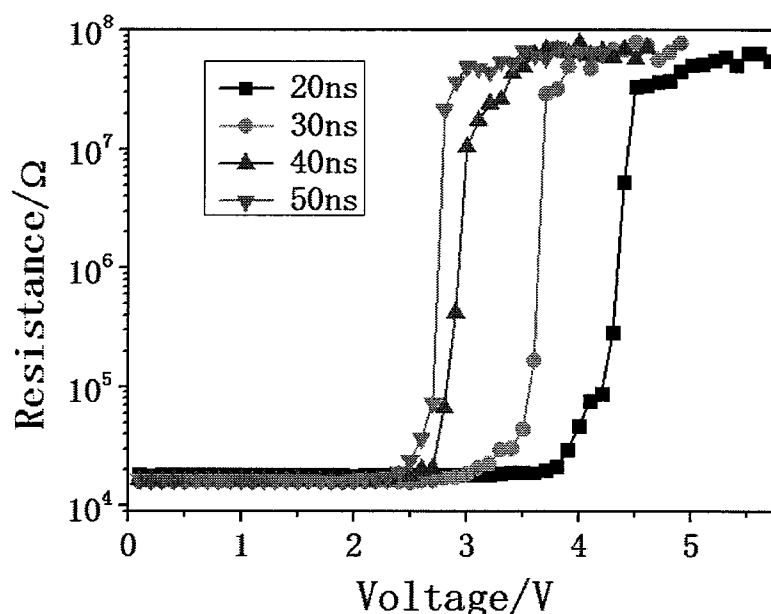


图 3.7 不同脉宽的电压对 100nm 宽度器件的 RESET 操作

上图 3.7 为我们使用不同宽度的电压脉冲对器件进行 RESET 操作的曲线。由图中可以看出分别使用 50 ns、40 ns、30 ns 和 20 ns 宽度的脉冲操作器件时 RESET 电压分别为 2.9 V、3.3 V、3.7 V 和 4.5 V，RESET 电压随着脉冲宽度的增加而减小。这是由于在相同电压下当脉冲宽度较小时，短时间内产生的焦耳热无法将相

变材料加热到融化温度之上，当脉冲宽度达到一定宽度之后，才有足够的加热时间可以使材料熔化，经淬火后从多晶材料转化为非晶态晶。

在相变存储器中，器件的操作速度主要由 SET 操作的时间决定，SET 过程所施加的电压脉冲宽度和下降沿都要宽于 RESET 过程。这是因为相变材料的结晶需要一个过程，在相变材料被加热到结晶温度之上后开始成核生长，在此期间此温度需要一直保持。下图 3.8 为我们使用不同宽度的电压脉冲对器件进行 SET 操作的曲线。由图中可以看出分别使用 4000 ns、3000 ns、2000 ns 和 1000 ns 宽度的脉冲操作器件时 SET 电压分别为 1.1 V、1.3 V、1.4 V 和 1.6 V，SET 电压随着脉冲宽度的增加而减小。其原因也是在相同电压下当脉冲宽度越大时产生的热量越大，相变材料更容易被加热到需要的温度。

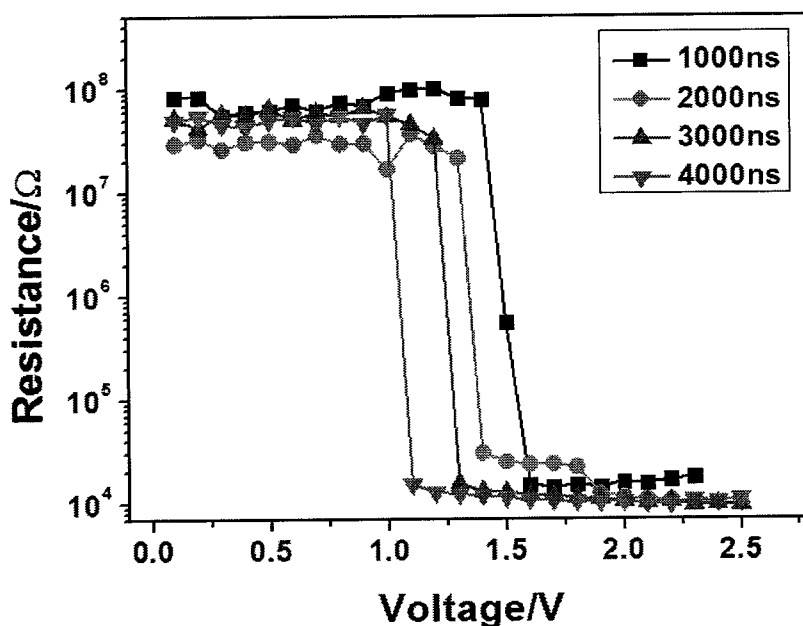


图 3.8 不同脉宽的电压对 100nm 宽度器件的 SET 操作

由前面的测试可以看出，器件的 RESET 和 SET 过程中，施加的电压脉冲宽度越大其对应的操作电压值就越低。其实，在电压脉冲施加过程中的热方程可以简略表示为如下公式^[7]：

$$Q = V^2 \cdot R^{-1} \cdot t - W \quad (3-1)$$

其中， Q 为加热相变材料的有效热量， V 为电压脉冲强度， R 为电阻， t 为脉冲宽度， W 为热损耗。可见，随着加热时间即脉冲宽度 t 的增加，要达到某一特定

温度（结晶温度或者熔化温度）只需要稍低的电压高度 V 即可。这就是为什么增加脉冲宽度值就可以提升相变存储器器件编程速度的原因。

3.3.3 200 nm 宽度单元测试

下图 3.9 为我们对 200 nm 宽度的平面相变存储器器件的 I - V 测试曲线。由于我们在 I - V 测试过程中施加的电流步长为 $1\ \mu\text{A}$ ，器件在通过电流达到 $1\ \mu\text{A}$ 时就发生了从非晶态到晶态的转变，所以其阈值电流应该小于 $1\ \mu\text{A}$ 。从图中也可以看出与阈值电流对应的电压值为 1.46 V。另外，第二次电流扫描曲线与第一次扫描的后半段曲线基本重合，说明第一次电流扫描已经将器件中相变材料操作到了多晶态。

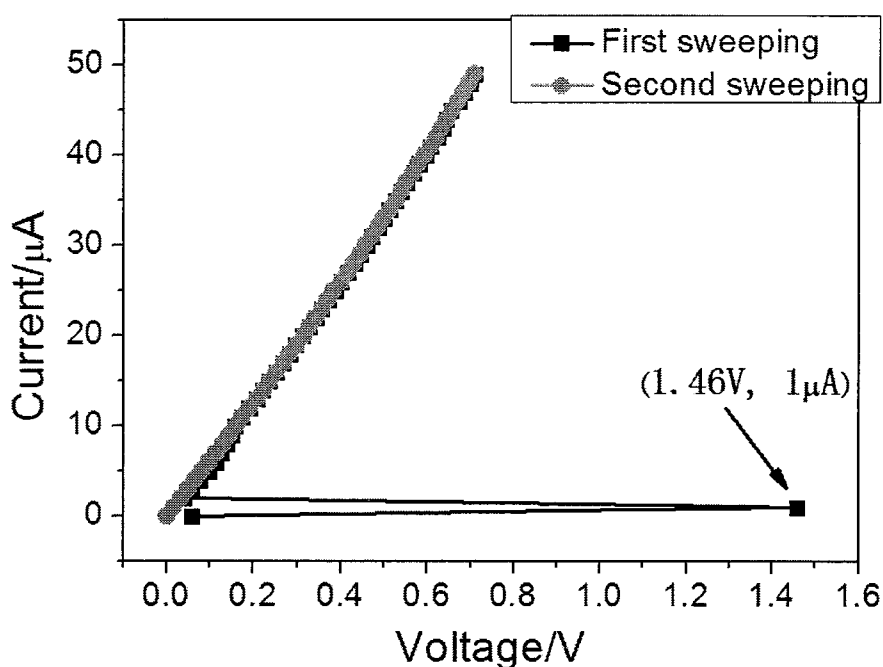


图 3.9 200 nm 宽度器件 I - V 测试曲线

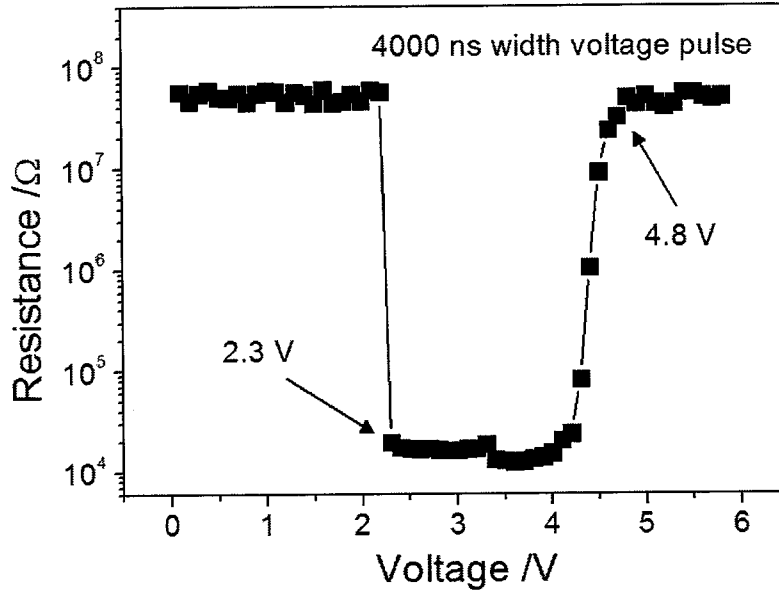


图 3.10 200 nm 宽度器件在 4000 ns 宽度脉冲电压操作时的 R - V 测试曲线

上图 3.10 为我们使用 4000 ns 宽度电压脉冲对器件操作的 R - V 曲线。SET 电压为 2.3 V，RESET 电压为 4.8 V，窗口宽度为 2.5 V，器件的高阻和低阻态之间阻值相差也有近四个数量级。

如下图 3.11 所示，在使用 50 ns 脉宽的电压对器件进行 RESET 操作时，器件在 3.5 V 达到高阻态，电阻上升过程比较陡直。而当我们使用 20 ns 的脉冲对器件进行操作时，器件在约 5 V 左右才到达一个稳定的高阻态，而且高阻的上升过程明显比 50 ns 操作时慢，出现了较多的中间电阻态。也就是说 20 ns 宽度的电压脉冲在 5 V 以下对器件的加热不够充分，相变材料并没有完全的熔化，在淬火过程后只有部分区域非晶化，导致出现了中间态。所以 20 ns 脉宽已经趋近于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料非晶化的一个最快速度。

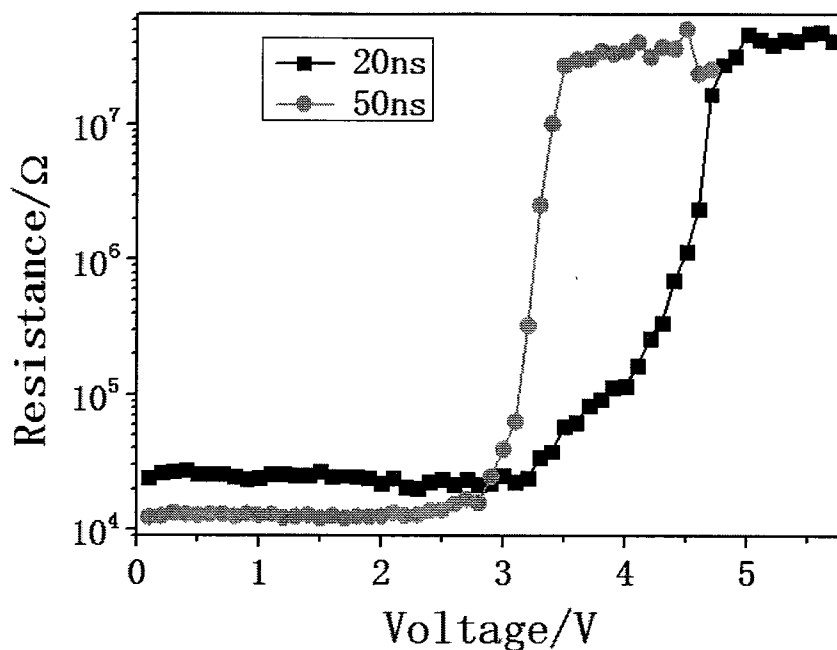
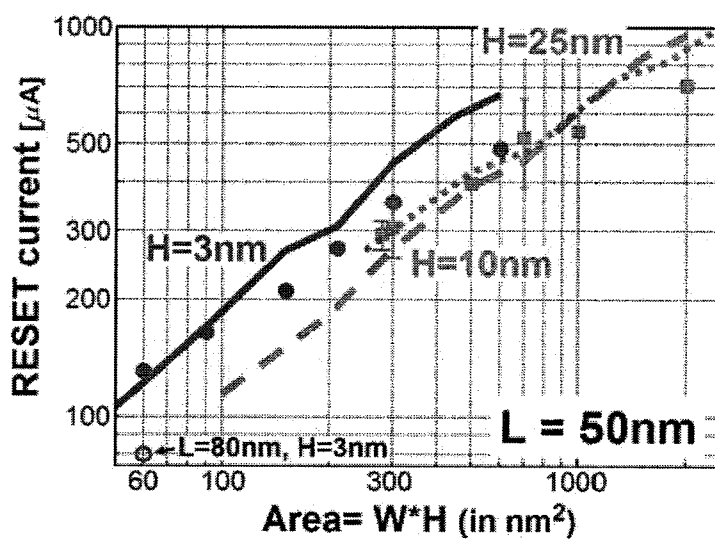


图 3.11 不同脉宽的电压对 200 nm 宽度器件的 RESET 操作曲线

3.4 线形平面相变存储器尺寸缩小特性

图 3.12 桥式平面相变存储器 RESET 电流随相变区域横截面积变化曲线^[64]

平面结构器件是研究相变存储器器件尺寸缩小特性的一个理想方法，因为其结构和工艺都更简单，平面布局的相变材料层更容易调整尺寸，另外通过控制相

变材料生长厚度可以很容易的将相变区域的尺寸控制在纳米尺度(对于平面相变存储器详细介绍在第一章第三节)。上图 3.12 为 Chen 等人制备的桥型相变存储器 RESET 电流随器件相变材料横截面积变化的曲线, 图中分别给出了 $H=3, 10$ 和 25 nm 时 RESET 电流的器件和模拟结果^[64]。器件的 RESET 电流随横截面积的减小而减小, 对于最小的 $W=20\text{ nm}$, $H=3\text{ nm}$, 横截面积为 60 nm^2 的器件, 其 RESET 电流减小到了 $80\text{ }\mu\text{A}$ 。

在测试了 100 nm , 200 nm , 400 nm 不同宽度的平面相变存储器器件之后, 我们将其 SET 和 RESET 电压进行了比较。为了保证器件在操作过程中能够完全的晶化和非晶化我们采用了较宽的 4000 ns 脉宽对不同器件进行操作, 其 R - V 曲线如下图 3.13 所示。图中可以看出随着器件宽度的增加 V_{SET} 和 V_{RESET} 都有增加。器件的高低阻值并没有随着器件的宽度有大的变化, 其中高阻值基本相同, 而低阻值随着器件宽度的增加略有上升。

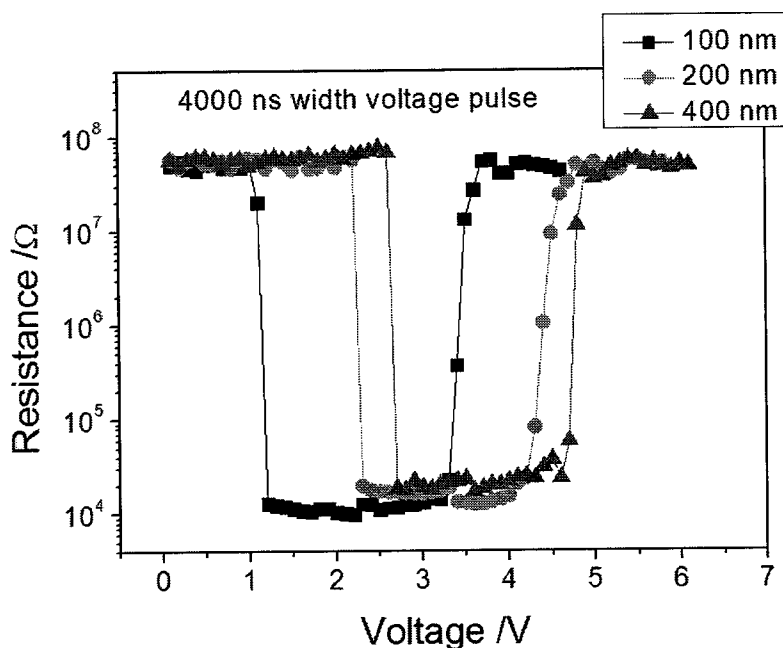


图 3.13 100 nm , 200 nm 和 400 nm 宽度器件在 4000 ns 宽度脉冲电压操作时的 R - V 测试曲线比较

为了便于比较, 我们将不同宽度的线形相变存储器的 SET 电压和 RESET 电压列表如下(表 3.1)。我们可以通过公式 $V_{\text{RESET}}^2/R_{\text{SET}} \times t_{\text{RESET}}$ 来计算使用 4000 ns 宽度电压脉冲在 RESET 操作过程中的功耗 E_{RESET} ^[117]。 100 nm 、 200 nm 和 400

nm 器件的 E_{RESET} 经计算后分别为 4.9×10^{-9} J, 9.2×10^{-9} J 和 10.4×10^{-9} J, 可见器件功耗随器件宽度 W 的值降低而降低。这是由于器件的 RESET 过程中, 对于相同的长度 L 值, 热量的产生基于相变材料层的剖面面积 ($W \times H$), 随着 W 的减小, 同样的电流脉冲下, 电流密度越大, 产生的热量更多, 器件的功耗就会降低。详细的关于功耗随器件降低的分析在下一章中还会有介绍。

表 3.1 不同宽度线形平面相变存储器 SET 电压和 RESET 电压比较

	V_{set}	V_{reset}
400 nm	2.6 V	5.1 V
200 nm	2.3 V	4.8 V
100 nm	1.0 V	3.4 V

3.5 基于 Si₃Sb₂Te₃ 材料的器件

3.5.1 Si₃Sb₂Te₃ 材料沉积

硅材料是半导体技术中使用最为广泛的一种材料, 而由 Si 元素替代 Ge 元素的 Si-Sb-Te^[118-126] 材料也在相变存储材料领域得到了研究和应用。其不仅可以同 Ge-Sb-Te 一样作为相变存储材料, 而且在性能上也有一定的优势, Si₂Sb₂Te₅ 就拥有包括阈值电流低, 数据保持力强等特点。在 Si-Sb-Te 体系中, Si_xSb₂Te₃ 由于在高退火温度下不存在 Te 分相而有着比 Ge₂Sb₂Te₅ 和富 Te 的 Si₂Sb₂Te₆ 更好的热稳定性。而在 Si_xSb₂Te₃ 材料体系中, 经研究 Si₃Sb₂Te₃ 是一种总体性能比较优良适合于相变存储器应用的材料^[120]。因此, 我们也使用 Si₃Sb₂Te₃ 相变材料制备了平面相变存储器件, 并进行了电学测试。

与 Ge₂Sb₂Te₅ 材料的制备方法相同。我们使用磁控溅射的方法制备了 Si₃Sb₂Te₃ 薄膜。溅射具体参数如下表 3.2, 采用 Si 靶和 Sb₂Te₃ 靶共溅射 (Si 靶使用 RF 电源, Sb₂Te₃ 使用 DC 电源), 溅射过程中衬底温度为室温, 溅射速率约为 8nm/min, 材料厚度通过溅射时间来控制。

表 3.2 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 材料的溅射参数

	本底真空	溅射功率		Ar 气流量
$\text{Si}_3\text{Sb}_2\text{Te}_3$	2.0×10^{-4} Pa	Si: RF 150 W	Sb_2Te_3 : DC 15 W	50 sccm

3.5.2 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 器件制备

器件的制备流程与上述 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 器件的制备流程基本相同。在反应离子刻蚀相变材料过程中,使用的参数为, $\text{CF}_4/\text{Ar}=20:30$, 气压 80 mTorr, 功率 200W。下图 3.14 给出了器件制备过程中 150 nm 宽度的纳米电极间隙 SEM 图和沉积了 100 nm 宽度 SiO_2 硬掩膜的器件 SEM 图。

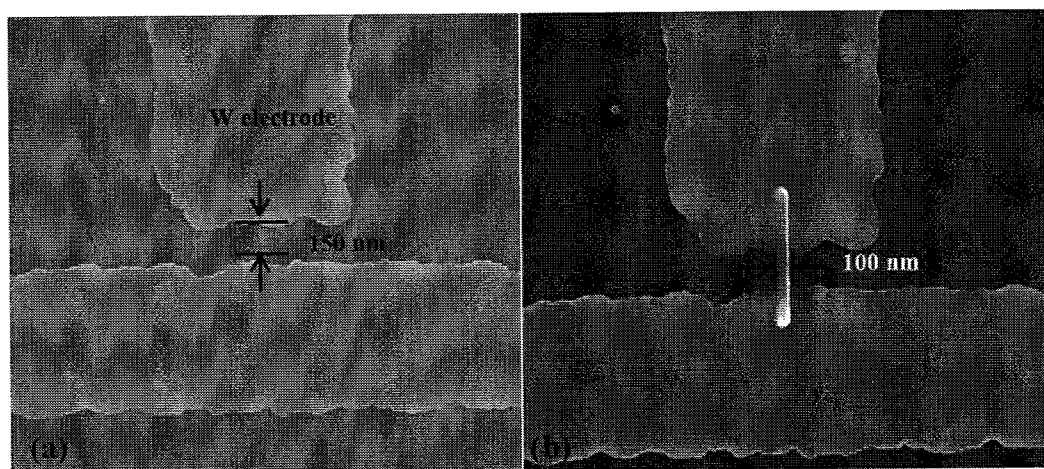


图 3.14 (a) 150 nm 宽度的纳米电极间隙 SEM 图, (b) FIB 沉积 100 nm 宽度 SiO_2 硬掩膜的器件 SEM 图

3.5.3 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 器件电学表征

我们对制备的 100 nm 宽, 150 nm 长相变区域的基于 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 材料的平面相变存储器进行了电学表征, 使用电流和电压脉冲实现了器件操作。结果表明该器件可以在高阻和低阻之间实现可逆相变。下图 3.15 为器件的 $I-V$ 特征曲线。存储

单元中相变材料的初始态为非晶态，测试方式是在器件两端加电流测电压。由图可见，随着施加电流的增加，电压先是急剧增加，但当电流值到达某一临界点时，电压突然减小。这意味着器件中相变材料 Si₃Sb₂Te₃ 从非晶态向多晶态的转化。当材料转化为多晶态时器件处于低阻态，随着施加电流的增加电压缓慢增加。由 I - V 曲线可以看出基于 Si₃Sb₂Te₃ 的平面相变存储器单元的相变阈值电流为 4.5 μ A，阈值电压为 1.76 V。

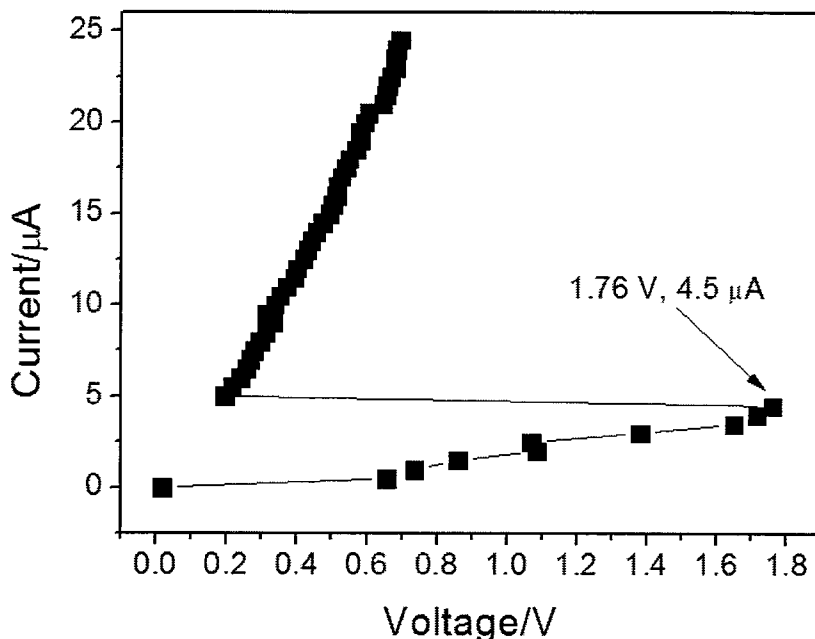


图 3.15 器件 I - V 测试曲线

如前面章节介绍，相变存储器从高阻转化为低阻的过程称为 SET 过程；从低阻回到高阻的过程称为 RESET 过程。我们通过探针台的探针向相变存储器单元施加按步长递增的电压脉冲信号，在每个电压脉冲信号操作后，都会使用一个较低的直流电压读取此时相变存储器单元的电阻值，这个读取电压为 0.1 V，不会对器件中的材料造成影响。如下图 3.16 所示，在 SET 过程中，我们使用宽度为 500 ns 的脉冲信号。当电压值较低时，器件电阻值保持在 $1.5 \times 10^6 \Omega$ 左右，但当电压值超过 1.4 V 时，器件电阻值骤降至 $3 \times 10^4 \Omega$ 左右，这是由于较长的电压信号加热相变材料达到了晶化温度之上，促成了材料的成核结晶，使器件电阻值降低。在 RESET 过程中，使用的电压脉冲信号宽度为 100 ns。初始时电阻值恒定在低阻态，当电压值超过 2.8 V 时，器件阻值升高到 $1 \times 10^6 \Omega$ 以上，器件处于

高阻态。这是由于较高的 RESET 电压供给了相变材料溶化的足够温度，使相变材料溶化后淬火处于非晶态。从 R - V 测试结果来看，在脉冲宽度为 500 ns 时， $\text{Si}_3\text{Sb}_2\text{Te}_3$ 材料器件的 SET 电压为 1.4 V，在脉冲宽度为 100 ns 时，器件的 RESET 电压为 2.8 V，这两个电压与前面章节中 100 nm 宽度的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 器件相比更小。即时在 1000 ns 脉冲宽度操作下， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 器件的 SET 和 RESET 操作电压也分别达到了 1.6 V 和 3.3 V，可见 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 器件的编程电压要小于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 器件。在操作过程中，器件的高阻和低阻态之间阻值相差两个数量级，也完全满足对存储器件的要求。

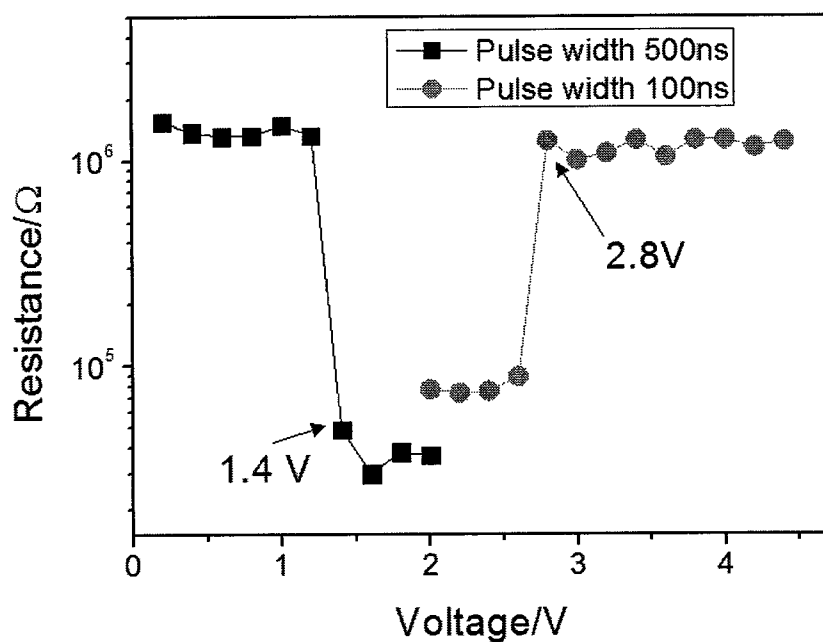


图 3.16 器件 RESET 和 SET 曲线

3.6 本章小结

本章使用 FIB 电子束辅助沉积 SiO_2 材料作为硬掩膜制备了基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 材料的平面相变平面相变存储器器件并进行了电学表征。

- (1) 设计了反应离子刻蚀实验验证了使用 FIB 电子束辅助沉积的 SiO_2 薄膜作为相变存储器单元制造过程中硬掩膜的可行性，电子显微镜表征表明，

虽然在刻蚀过程中, SiO_2 也有一定的损耗, 但刻蚀速率小于相变材料, 所以 FIB 电子束辅助沉积的 SiO_2 可以作为器件制备过程中的硬掩膜;

(2) 使用 FIB 电子束辅助沉积 SiO_2 薄膜作为硬掩膜制备了 $W=100\text{nm}$, 200nm , 400nm 的基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料的线形平面相变存储器器件, 并进行了电学表征;

(3) 对 100nm , 200nm 和 400nm 宽度的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料的线形平面相变存储器器件 $I-V$ 和 $R-V$ 测试结果表明, 器件的阈值电流, 阈值电压, SET 电压和 RESET 电压都随着器件宽度的减小而减小;

(4) 使用 FIB 电子束辅助沉积 SiO_2 薄膜作为硬掩膜制备了 $L=150\text{nm}$, $W=100\text{nm}$ 的基于 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 相变材料的线形平面相变存储器器件, 并进行了电学表征。

第四章 采用 C-Pt 硬掩膜的器件制备和表征

4.1 C-Pt 硬掩膜可行性验证

微区定位的 FIB 沉积 Pt 薄膜是 FIB 在集成电路研究中的应用之一, 它可以进行电路失效分析之后的线路修正和研发过程中测试结构和原型器件的制备, 可以大大缩短产品的研发和生产周期^[111]。由于在 C-Pt 薄膜沉积过程中 Pt 是由金属有机分子分解而来, 所以 Pt 薄膜中实际上含有大量的 C 元素, 其主要来源为未分解的金属有机分子。研究表明 C-Pt 薄膜的微观结构是不均匀的, 而是一些晶态的 Pt 被非晶态的 C 原子所包裹^[127]。Langford^[128]等人的文章中使用离子束辅助沉积的 C-Pt 薄膜中 C 元素的原子百分比达到了 55 %, 电阻率为 $1\sim5\times10^{-3}\Omega\text{cm}$; 使用电子束辅助沉积的 C-Pt 薄膜中 C 元素的原子百分比更是达到了 75 %, 电阻率为 $0.1\sim1\Omega\text{cm}$ 。通过对 C-Pt 薄膜的退火可以使薄膜中 Pt 晶粒增大, 并减少部分的 C 含量, Langford 等人对电子束辅助沉积的 C-Pt 薄膜在 500°C 退火 1 小时可以使其电导率增大一个数量级。我们对在 15 KeV, 0.69 nA 条件分别使用电子束辅助沉积和离子束辅助沉积的 C-Pt 薄膜进行了 X 射线能量色散谱(EDS: Energy dispersive x-ray spectroscopy) 组分分析, 采用的设备是日立公司生产的 S-4700 SEM 配备的 Oxford INCAEnergy。结果如下表 4.1 所示, 其中电子束辅助沉积的 C-Pt 薄膜中 C 原子的原子百分比达到了 72.61 %, 并含有 14.19 % 原子百分比的 O; 离子束辅助沉积的 C-Pt 薄膜中 C 元素的原子百分比为 77.98 %, 并含有 8.17 % 的 O 元素和 4.81 % 的 Ga 元素, Ga 元素的存在是由于高能离子束产生的注入效果。另外我们也制备的 Pt 纳米线条进行了电学表征, 结果表明电子束辅助沉积的线条电阻很高或者基本不导电。正是基于制备的 C-Pt 薄膜电阻很高, 我们制备的线形相变存储器结构中, 相变材料中的电流才不会通过 C-Pt 硬掩膜而损失。

表 4.1 电子束辅助沉积和离子束辅助沉积的 C-Pt 薄膜 EDS 结果

	电子束沉积 C-Pt		离子束沉积 C-Pt	
元素	重量百分比	原子百分比	重量百分比	原子百分比
C	42.49	72.61	33.77	77.98
O	11.06	14.19	4.71	8.17
Si	13.30	9.72	2.38	2.35
Pt	33.15	3.49	47.06	6.69
Ga	—	—	12.08	4.81

我们使用了 RIE 刻蚀实验来研究相变材料和 FIB 沉积的 C-Pt 之间的刻蚀选择比。实验步骤如下：

- 1) 样品准备和清洗，采用 SiO_2/Si 衬底， SiO_2 厚度为 500nm，热氧化生长；清洗主要去除灰尘颗粒、有机和无机污染：
 - d) 丙酮溶液中超声清洗 5 分钟，去离子水清洗；
 - e) 乙醇溶液中超声 5 分钟，去离子水清洗， N_2 吹干；
 - f) 在 120 °C 烘箱内烘干 20 分钟，去除水气。
- 2) GST 薄膜沉积：采用磁控溅射单靶 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，本地真空为 $2 \times 10^{-4} \text{ Pa}$ ；Ar 流量 50 sccm；溅射气压 0.21 Pa；溅射功率 DC 50 W；溅射时间 6 min，膜厚约为 100 nm。
- 3) FIB 沉积 C-Pt 图形：我们使用 FIB 沉积了不同宽度，厚度为 180 nm 的 C-Pt 纳米线条，这些纳米线条将作为下一步刻蚀过程中的硬掩膜，如下图 4.1 (a) 所示。沉积电压设置 15 kV，束流 0.69 nA。
- 4) 刻蚀 GST：我们使用 CF_4 和 Ar 的 10:40 的混合气体，80 mTorr 的气压，200 W 功率在 Oxford 80 plus 的等离子体刻蚀（RIE）设备中进行了 60 s 的刻蚀。刻蚀后的 SEM 图片如下图 4.1 (b)。
- 5) SEM 表征：比较图 4.1 (a) 和 4.1 (b)，我们发现，经过刻蚀后，虽然 C-Pt 掩膜的厚度由 180 nm 减小到了 100 nm 左右，但 C-Pt 的纳米线条图

形被完全转移到了下层的 GST 薄膜上。从这个结果，我们就可以确定，FIB 沉积的 C-Pt 薄膜可以在制备平面相变存储器的过程中作为硬掩膜使用。

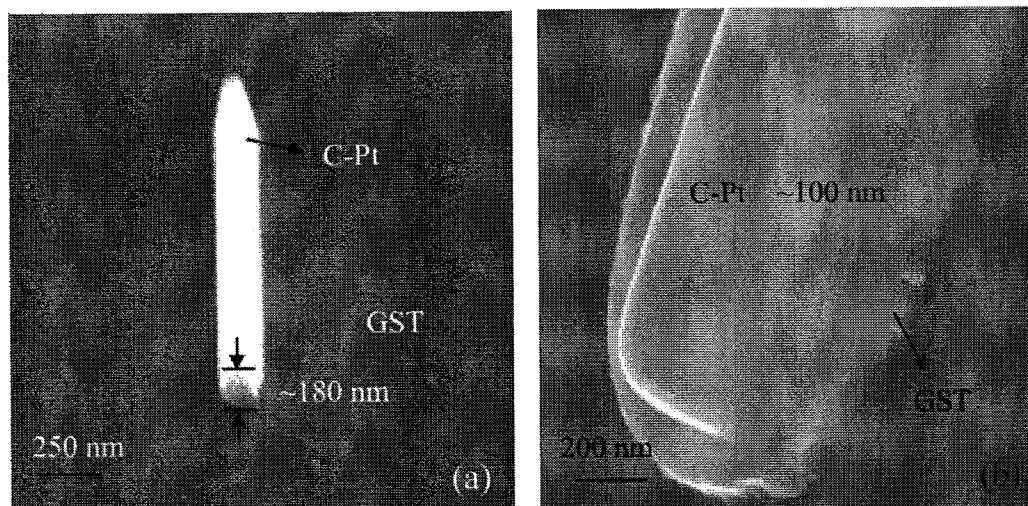


图 4.1 (a) FIB 沉积 C-Pt 纳米线条 SEM 图及厚度尺寸, (b) $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 刻蚀后纳米线条 SEM 图及厚度尺寸

4.2 器件制备结果

使用 C-Pt 作为硬掩膜制备平面相变存储器的工艺流程在第二章已有介绍,与前一章使用 SiO_2 制备器件的工艺流程基本相同,不同的只是在 FIB 沉积硬掩膜的过程中材料由 SiO_2 变为了 C-Pt 而已。FIB 沉积 C-Pt 过程中工作台处于室温、 10^{-5} Torr 的真空环境下,电子束能量为 15 KeV,束流为 0.69 nA,束斑小于 10 nm。器件制备过程中我们通过控制 FIB 沉积硬掩膜的尺寸大小,获得不同宽度的平面相变存储器器件。电子显微镜照片如下图 4.2 所示 (a) 400 nm, (b) 200 nm, (c) 100 nm, (d) 50 nm。

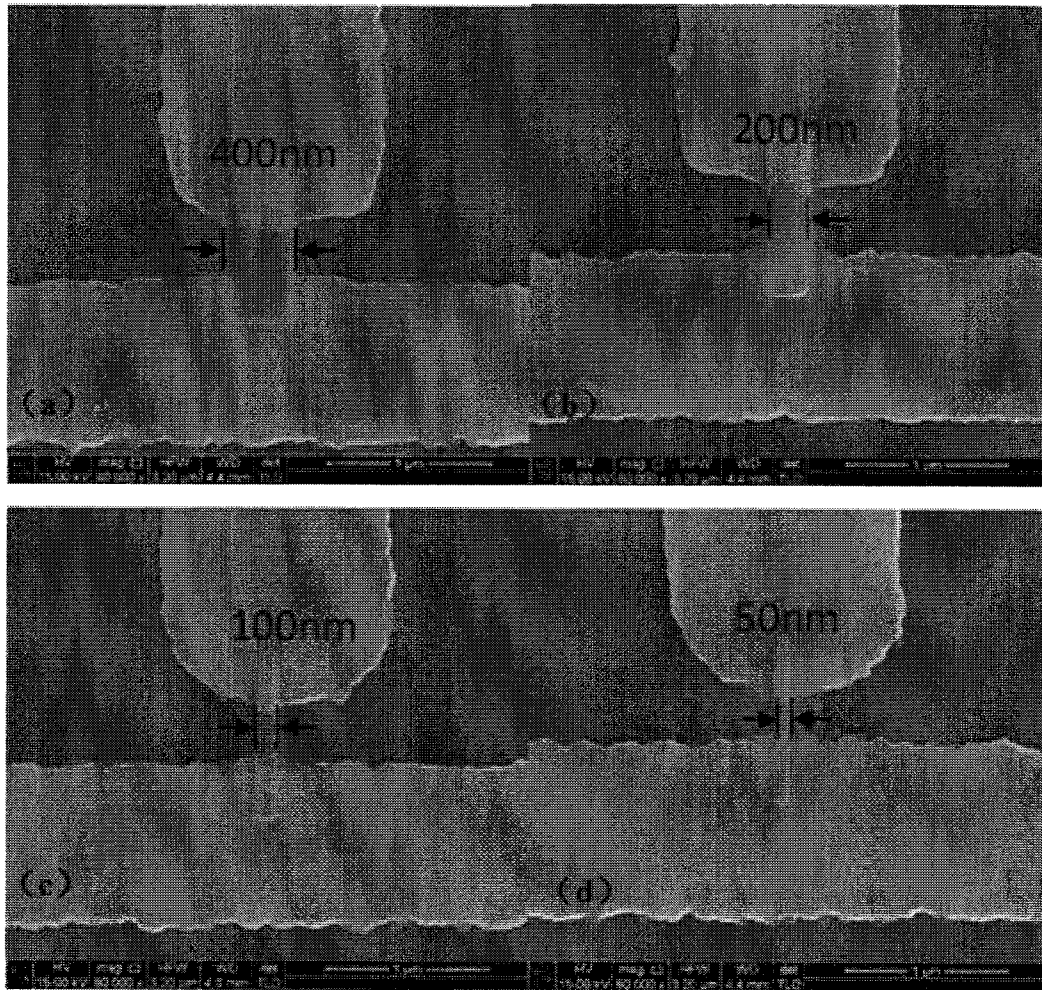


图 4.2 不同宽度线形平面相变存储器电子显微镜照片 (a) 400 nm, (b) 200 nm, (c) 100 nm, (d) 50 nm

4.3 基于 GST 材料的器件表征

4.3.1 电学测试结果

对获得的不同宽度的相变存储器我们进行了电学测试, 下图 4.3 为 100 nm 器件的 $I-V$ 测试曲线。存储单元中相变材料的初始态为非晶态, 具有较高的电阻, 测试方法是在器件的两端加电流测电压。由图可见, 随着施加电流的增加, 电压先是急剧增加, 但当电流值到达某一临界点时, 电压突然减小, 器件中的相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 从非晶态向多晶态的转化。当材料转化为多晶态时器件处于低阻态,

随着施加电流的增加,电压缓慢增加。由 I - V 曲线可以看出基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的 100 nm 宽的线形相变存储器单元的相变阈值电流为 $1\mu\text{A}$, 阈值电压为 0.89 V。下图 4.4 为 100 nm 器件的 R - V 测试窗口曲线, 电压脉冲宽度为 1000 ns, 由图可见 SET 电压为 1.5V, RESET 电压为 3.5 V, 窗口宽度为 1.7 V, 器件的高阻和低阻态之间阻值相差近三个数量级。

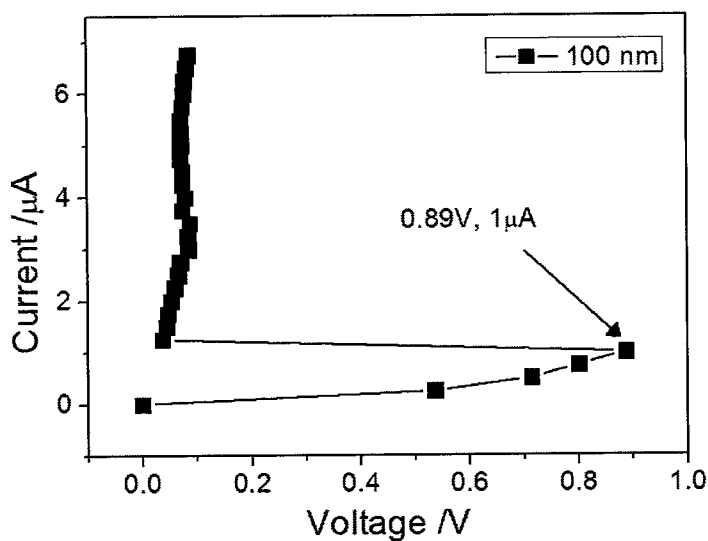


图 4.3 100 nm 宽度器件 I - V 测试曲线

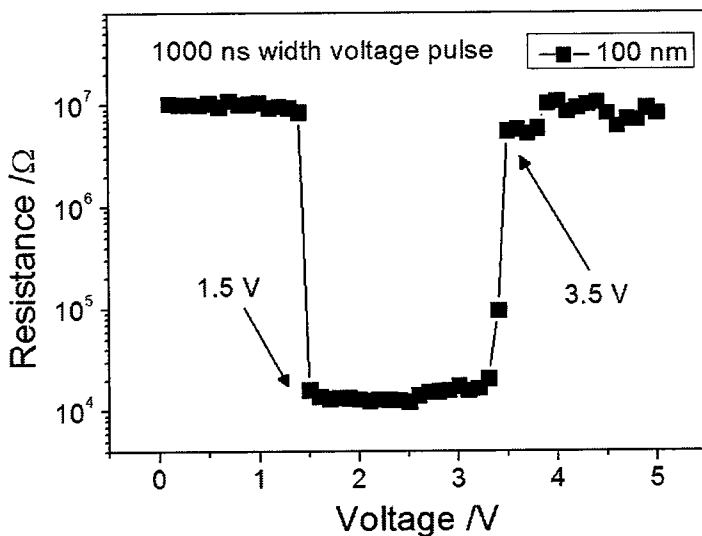
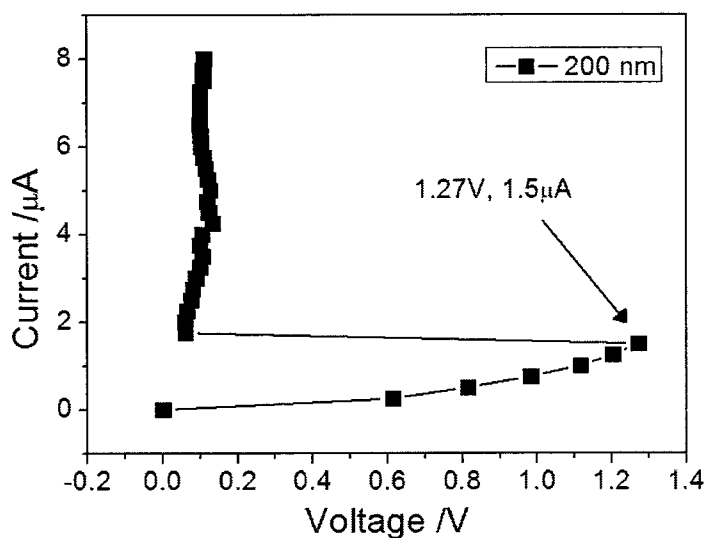
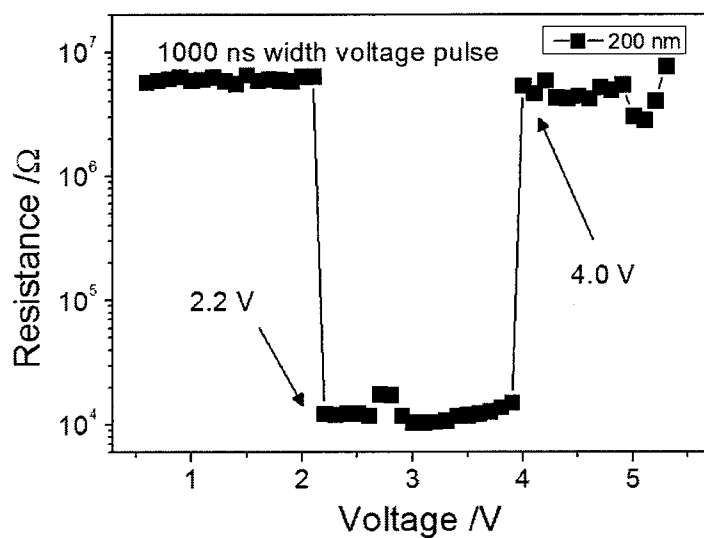
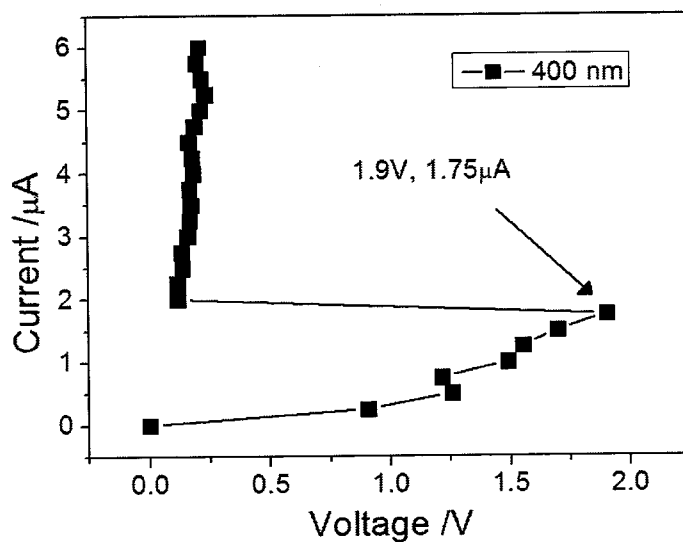
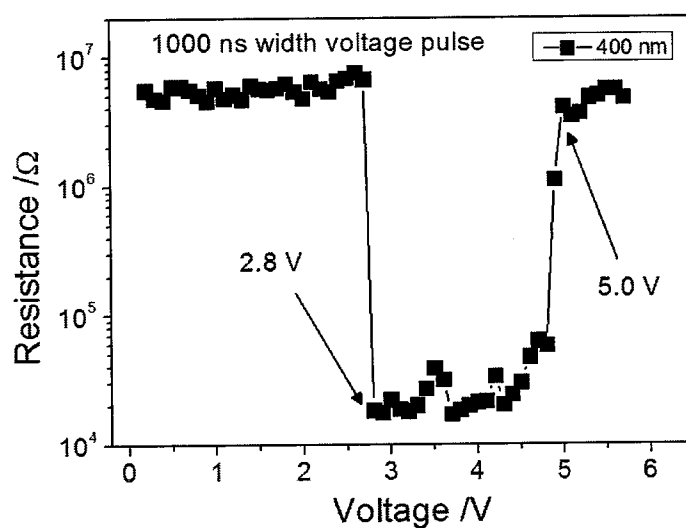


图 4.4 100 nm 宽度器件 R - V 测试曲线

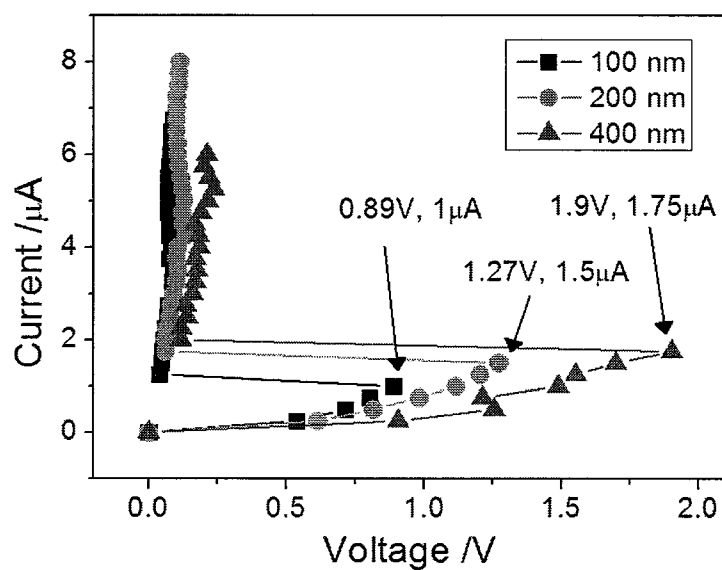
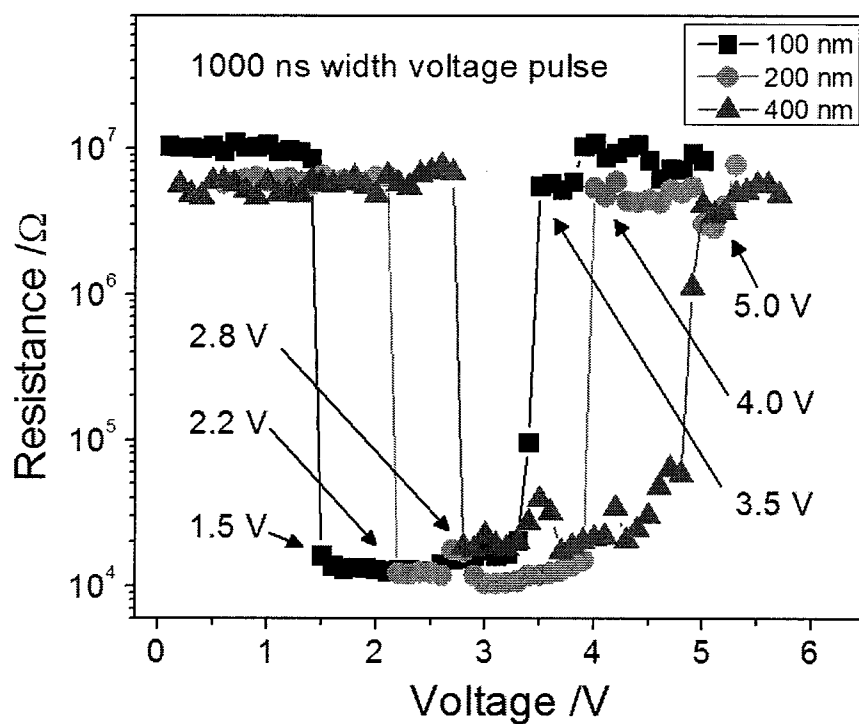
图 4.5 200 nm 宽度器件 I - V 测试曲线图 4.6 200 nm 宽度器件 R - V 测试曲线

上图 4.5 为我们对 200 nm 器件测试所得 I - V 曲线,可以看出相变存储器单元的阈值电流为 1.5 μA , 对应的阈值电压为 1.27 V。图 4.6 为 200 nm 器件的 R - V 测试窗口曲线,器件的高阻和低阻态之间阻值相差近三个数量级,电压脉冲宽度为 1000 ns,由图可见 SET 电压为 2.2 V, RESET 电压为 4.0 V,窗口宽度为 1.8 V。

图 4.7 400 nm 宽度器件 I - V 测试曲线图 4.8 400 nm 宽度器件 R - V 测试曲线

上图 4.7 为我们对 400 nm 器件测试所得 I - V 曲线，可以看出相变变存储器单元的阈值电流为 1.75 μA ，对应的阈值电压为 1.9 V。图 4.8 为 400 nm 器件的 R - V 测试窗口曲线，电压脉冲宽度为 1000 ns，由图可见 SET 电压为 2.8 V，RESET 电压为 5.0 V，窗口宽度为 1.2 V，器件的高阻和低阻态之间阻值相差三个数量级。

4.3.2 线形平面相变存储器尺寸缩小特性

图 4.9 不同宽度线形平面相变存储器 I - V 比较图 4.10 不同宽度线形平面相变存储器 R - V 测试比较

在测试了 100nm, 200nm, 400nm 不同宽度的平面相变存储器器件之后, 我们对不同宽度器件的 I - V 曲线进行了对比, 由图 4.9 可见我们以等步长递增的方式向器件单元输入恒定电流, 并在各电流值点测试器件两端的电压时, 所获得的器件 I_{th} 和 V_{th} 都有降低。计算各个器件在相变点的直流功耗可得 400 nm 宽度器件直流功耗为 3.3 μ W, 200 nm 宽度器件直流功耗为 1.9 μ W, 100 nm 宽度器件直流功耗为 0.79 μ W。同时比较器件的 R - V 曲线, 如图 4.10 所示, 发现 SET 和 RESET 电压也俱有降低, 通过公式 $V_{RESET}^2/R_{SET} \times t_{RESET}$ 来计算使用 4000ns 宽度电压脉冲 RESET 操作过程中的功耗 $E_{RESET}^{[117]}$, 400nm、200nm 和 100nm 的 E_{RESET} 经计算后分别为 2.08×10^{-9} J, 1.33×10^{-9} J 和 7.7×10^{-10} J, 功耗随器件宽度 W 的值降低而降低。与上一章中使用 SiO_2 作为硬掩膜制备的不同宽度平面相变存储器相比, 功耗的变化规律一致。下表 4.2 列出了不同宽度的线形相变存储器的阈值电压、阈值电流、SET 电压和 RESET 电压。为了进一步研究平面相变存储器功耗随器件关键尺寸 (W , L 和 H) 的变化, 在下一节中我们使用有限元的方法进行了模拟。

表 4.2 不同宽度的线形相变存储器的阈值电压、阈值电流、
SET 电压和 RESET 电压

	$I_{th}/\mu A$	V_{th}/V	V_{set}/V	V_{reset}/V
400nm	1.75	1.9	2.8	5.0
200nm	1.5	1.27	2.2	4.0
100 nm	1	0.89	1.5	3.5

4.4 有限元模拟

有限元法最初是 20 世纪 50 年代作为处理固体物理问题的方法出现, 其实质是一种在力学模型上进行近似的数值计算方法。在工程或物理问题的数学模型 (基本变量、基本方程、求解域和边界条件等) 确定以后, 首先将连续的结构离散为有限个子域或者单元, 并在每一个单元中设定有限个节点, 将连续体看做是只在节点处相连接的一组单元的集合体; 其次用每个单元中所假设的近似函数来

分片地表示全求解域内待求解的场函数的分布规律,而每个单元内的近似函数由未知函数在单元各个节点上的数值和与其对应的差值函数来表达,这样求解原待求场函数的无穷多自由度问题转化为求解场函数节点值的有限自由度问题;进一步利用变分原理去建立求解节点未知量的有限元方程,从而得到问题的答案。

COMSOL Multiphysics 是一款基于有限元分析原理,对各种科学/工程问题进行建模和仿真计算的软件系统。其由瑞典的 COMSOL 公司开发,从数学领域的变分原理出发,通过偏微分方程进行物理建模和求解。由于一般物理过程均可用偏微分方程表示,所以适用于模拟科学和工程领域的各种物理过程。COMSOL Multiphysics 的显著特点包括,求解多场问题,只需要选择或者自定义不同专业的偏微分方程进行任意组合便可实现多物理场的直接耦合分析;专业的计算模型库,内置各种常用的物理模型,可自由选择并进行必要的修改;强大的网格剖分能力,支持多种网格剖分,支持移动网格功能等等。

为了进一步研究线形相变存储器在尺寸缩小时的特性,我们使用 COMSOL 对器件进行了三维的热电耦合仿真。在相变存储器的操作中,RESET 过程所用的电流和功耗要远远大于 SET 过程的电流和功耗。因为在 RESET 过程中,相变存储器中的存储介质——相变材料要被加热到熔点以上,而在 SET 过程中相变材料只需要被加热到结晶温度以上即可。所以相变存储器的编程电流主要决定于 RESET 过程中的编程电流。我们在模拟过程中讨论了相变存储线的三个主要参数:线宽(W),线高(H)和线长(L)对 RESET 电流的影响。

RESET 过程中相变存储器的相变材料层在外加电流产生的焦耳热作用下温度上升并达到熔点,此时迅速撤离电流源,在器件散热良好的条件下熔融态区域的相变材料在几个纳秒的时间内温度能够降到结晶温度之下,由于降温速度很快,以至于熔融态的材料结构不能实现规律的排列而结晶,此时相变材料变为非晶态。由于 RESET 过程经历了电流加热,热传导过程,因此器件的模拟过程中需包含电学参数模型和传热模型。

在 RESET 模拟过程中,首先计算在外加电流源的情况下器件里的电势分布。电流的连续性方程为:

$$\nabla \cdot \mathbf{J} = -\frac{\partial \rho}{\partial t} \quad (4-1)$$

式中, J 为电流密度, ρ 为电荷密度, $\nabla = \frac{\partial}{\partial x} + \frac{\partial}{\partial y} + \frac{\partial}{\partial z}$ 。当电流达到稳态时, $\frac{\partial \rho}{\partial t} = 0$ 。由欧姆定律 $J = \sigma \cdot E$, 而电场 $E = \nabla \cdot V$ 。所以由上式 (4-1) 可得器件中电场的电势分布

$$\nabla \cdot (\sigma \nabla V) = 0 \quad (4-2)$$

根据热源的定义, 为电流流过器件时产生的焦耳热

$$Q = \sigma \cdot |E|^2 = \sigma \cdot |(\nabla \cdot V)|^2 = \sigma \cdot \left| \frac{\partial V}{\partial x} + \frac{\partial V}{\partial y} + \frac{\partial V}{\partial z} \right|^2 \quad (4-3)$$

式中 Q 为热源, σ 为电导率。通过计算电势的梯度可以计算得到电流密度的分布, 进而可以得到由于外加电流源的作用, 在器件中单位时间、单位体积内产生的热量。在知道热源分布后, 通过传热公式

$$\frac{\partial \rho C T}{\partial t} = Q + \nabla \cdot (k \nabla T) \quad (4-4)$$

可以获得器件在外加电流后温度场的分布效果。式中 ρ 为材料密度, C 为比热容, T 为温度, k 为热导率。下表 4.3 列出了在本模拟中使用到的几种材料的电导率, 热导率, 密度和热容参数。

表 4.3 模拟中所用材料的物理参数^[129]

Material	σ (1/ $\Omega \cdot m$)	κ (W/m·K)	ρ (kg/m ³)	C (J/kg·K)
C-GST (Crystalline)	2770	0.5	6200	202
A-GST (Amorphous)	3	0.2	6200	202
W	2.0×10^7	178	19300	132
SiO ₂	10^{-14}	1.4	2330	730

降低存储器的功耗是相变存储器研究的主要方向之一。随着便携式电子设备的发展, 其电源的供给成为了一个严重问题, 所以对其上使用的存储系统的功耗要求也只会越来越苛刻。为了面向低功耗存储器的应用, 相变存储器也必须具备较低的功耗, 降低器件的功耗已经成为相变存储器研究的焦点。我们知道, 在相

变存储器的操作过程中，RESET 过程所用的电流和功耗要远远大于 SET 过程和 READ 过程中的电流和功耗。因为在 RESET 过程中，相变存储器的存储介质，相变材料要被加热到熔化温度之上，而 SET 过程中相变材料只需要被加热到结晶温度之上即可，READ 过程所需的电流要尽量小最好不要对相变材料的状态产生影响，所以 RESET 过程中的编程电流和功耗是相变存储器器件编程过程中的主要因素。目前，降低相变存储器的编程电流主要方法有，研发新型低功耗材料；减小相变存储器中加热电极的尺寸和改进器件结构等等。

在本节中我们将采用有限元方法对相变存储器进行性能模拟，这样不仅可以减少繁琐的实验步骤，而且由于器件参数可调，物理图像更加清晰，更有利于帮助我们理解影响器件性能的内在因素。我们使用模拟的方法，研究了平面相变存储器在尺寸缩小时，功耗的变化，即 RESET 电流的变化；分别讨论了器件相变材料区域体积的三个关键参数 W ， H ， L 变化对 RESET 电流的影响。

下图 4.11 为我们在模拟过程中使用的简化的三维线形相变存储器的结构图。其中电极材料为金属 W ，相变材料夹在两个电极的间隙之中，器件周围被绝缘层 SiO_2 所包围。相变存储材料的形状参数长、宽、高分别如图中定义。器件的初始条件，导电模块中外部边界设置为电绝缘，初始电势为零；传热模块中边界设置为室温 ($T=298\text{K}$)，初始温度也为室温。

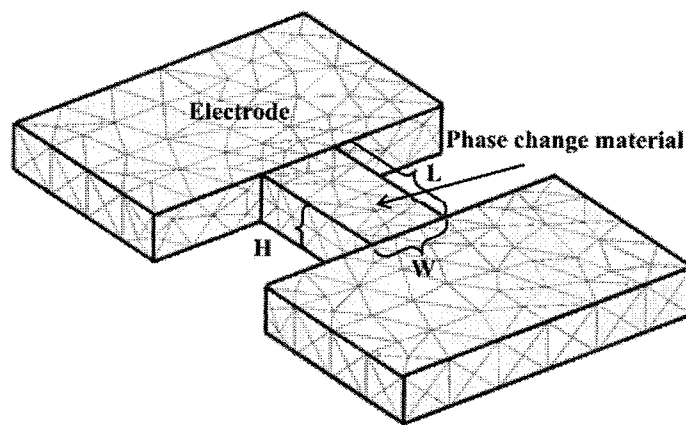


图 4.11 模拟过程中使用的简化的三维线形相变存储器结构图

我们分别对 $L=200\text{ nm}$ ， $W=100\text{ nm}$ 的器件注入电流 $24.8\mu\text{A}$ ， $27.3\mu\text{A}$ ， $29.8\mu\text{A}$ ， $32.2\mu\text{A}$ 的电流进行 RESET 操作，器件沿 $L \times W$ 平面的温度分布剖面图如下图 4.12

所示。图中使用白色椭圆标示出了相变材料熔融区域，即由于电流产生的焦耳热使温度达到 893K 以上区域。由图可见随着所施加电流源的增加，相变材料区域温度越来越高，熔融区域面积越来越大，直到完全覆盖了整个相变材料区域宽度 W ，将其截断。如果此时撤掉电流脉冲，器件散热良好的情况下，熔融区域温度迅速降到结晶温度之下，形成非晶。我们在模拟中即定义能使相变材料熔融区域面积覆盖整个相变材料宽度的电流脉冲强度为 RESET 电流。这是因为，相变材料的晶态和非晶态电阻率差异好几个数量级，如果非晶区域不能完全覆盖相变材料线条的宽度，在操作完成之后相变材料的非晶区域（高阻）和晶态区域（低阻）将会并联，器件的电阻上升不明显，可能导致在器件读过程中不能够分辨高阻和低阻。如果在相变存储器的测试过程中，出现不稳定的 RESET 态，即经过 RESET 操作后器件的电阻值不够高（介于高阻和低阻之间），就意味着 RESET 操作过程失败。所以只有实现非晶区域和晶态区域的串联，才能够在器件读过程中真正体现出相变材料非晶态和晶态电阻高低的差异。

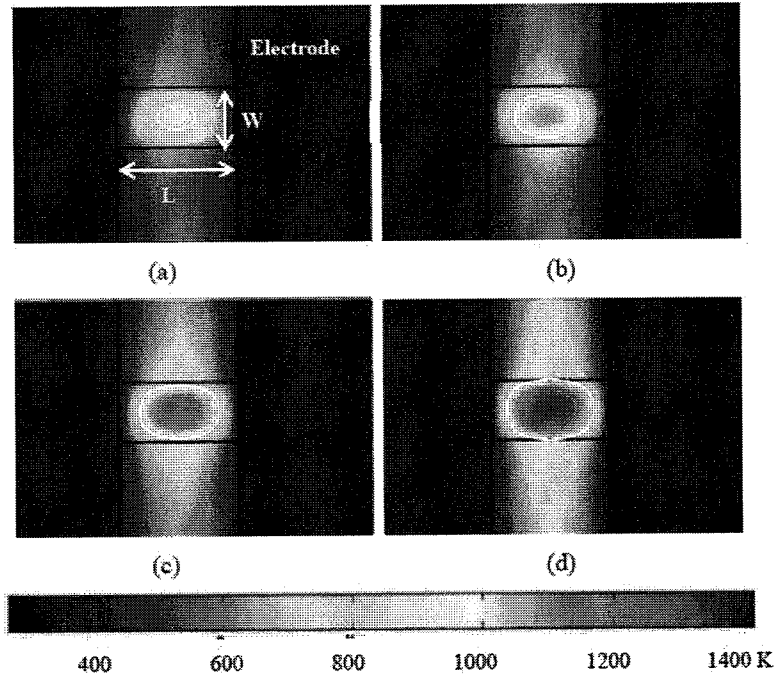


图 4.12 对 $L=200\text{ nm}$, $W=100\text{ nm}$ 的器件分别注入电流(a) $24.8\mu\text{A}$, (b) $27.3\mu\text{A}$, (c) $29.8\mu\text{A}$, (d) $32.2\mu\text{A}$ 的电流进行 RESET 操作，器件温度分布剖面图

为了研究 RESET 电流随相变材料线剖面面积的变化, 我们模拟了 L 固定为 100 nm 和 $H=50$ nm, 100 nm, 200 nm 时, W 从 20 nm 到 400 nm 变化的情况, 结果如下图 4.13 所示。由图中可以看出, 模拟结果中 RESET 电流随着器件宽度 W 的减小而减小; 另外, 比较不同高度 H 的曲线, 同样发现 RESET 电流随着 H 的较小而减小。在下图 4.14 中, 我们模拟了 $L=200$ nm, $H=100$ nm 时, 器件在 RESET 过程中的功耗, 并与前面章节中采用 C-Pt 作为硬掩膜制备的平面相变存储器测试所得 RESET 功耗进行了比较, 发现实验数据和模拟数据基本吻合。下图 4.14 的插图中给出了 $W=100$ nm, $H=100$ nm 时器件横截面上的温度分布图, 图中使用白色的等温线 ($T=893$ K) 标示出了 RESET 过程中相变材料的熔化区域, 等温线覆盖整个横截面积被认为是 RESET 操作成功。我们知道, RESET 过程为电流脉冲产生焦耳热加热相变材料至熔化温度再淬火的过程。对于同样大小的电流脉冲, 其所产生的焦耳热主要依赖于相变存储材料上的电阻, 电阻越大电流产生的热量越多, 而相变存储材料的电阻值反比于其横截面积 ($W \times H$), 正比于其长度 L 的值。所以, RESET 电流随着相变材料层横截面积的减小而减小。

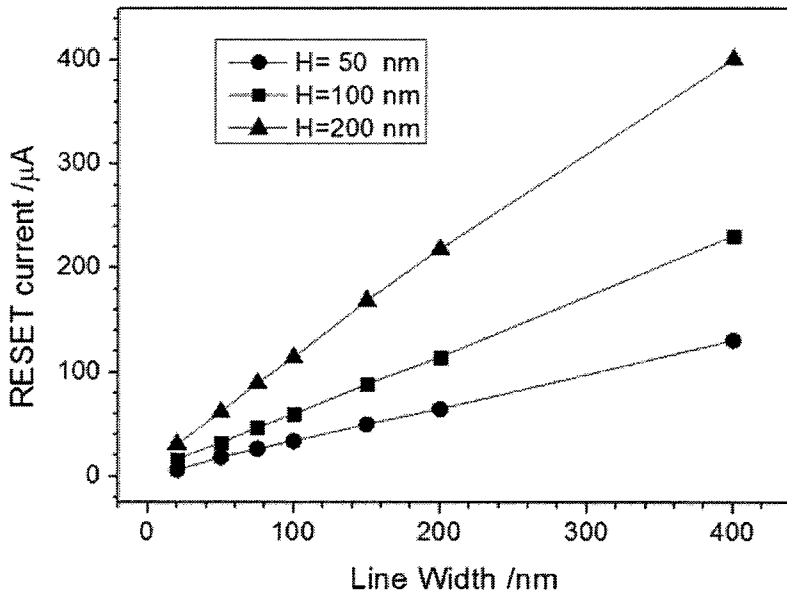


图 4.13 $L=100$ nm 和 $H=50$ nm, 100 nm, 200 nm 时, RESET 电流随 W 值 (20~400 nm) 变化曲线

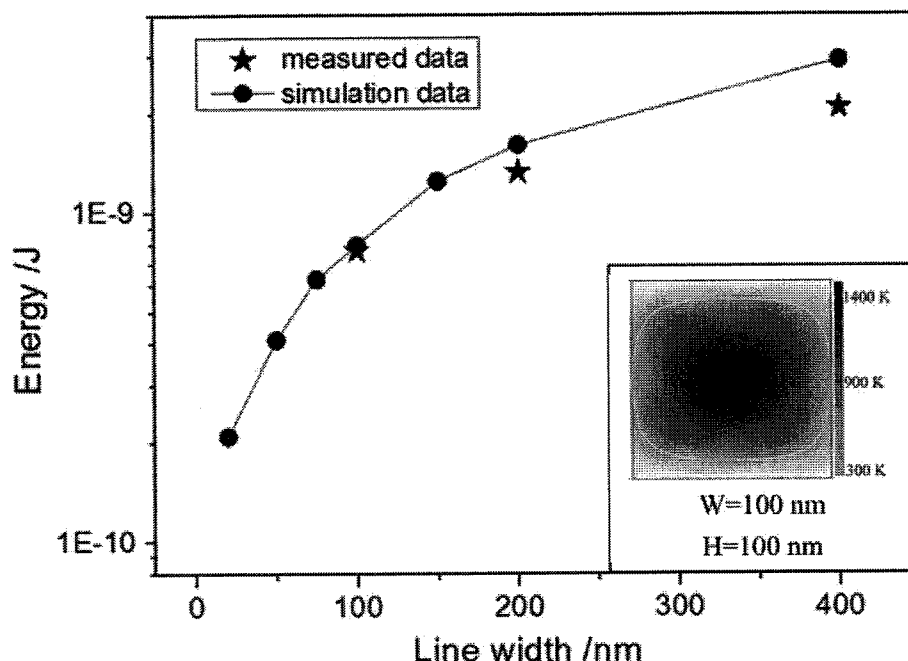


图 4.14 $L=200$ nm, $H=100$ nm 时, 器件在 RESET 过程中的功耗模拟结果与前面章节中采用 C-Pt 作为硬掩膜制备的平面相变存储器测试所得 RESET 功耗比较 (插图给出了 $W=100$ nm, $H=100$ nm 时器件横截面上的温度分布图)

另外, 我们也研究了平面相变存储器中 RESET 操作电流随相变材料层长度 L 的变化。下图 4.15 为固定 $H=100$ nm, $W=100$ nm 时, RESET 电流随 L 的变化曲线, 从图中可以看出, RESET 操作电流随着相变材料层长度 L 的减小而增大。下图 4.16 中给出了 $L=50$ nm, 100 nm 和 200 nm 时沿着相变材料层长度方向的温度曲线。很明显的, 当不同长度的器件的相变材料层最高温度被电流脉冲加热到相同值时, 相变材料层更短的器件温度下降的更快。这是由于相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 在晶态时的热导率 κ 为 0.2 W/m·K, 而钨电极的热导率为 178 W/m·K, 相差甚大。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 更大的热导率导致具有较长相变材料层的熔化区域更好的与钨电极隔离, 在使用相同电流脉冲操作时, 更少的热量通过钨电极扩散而损耗, 这样器件中的相变材料就更容易被加热到熔化温度之上。总之, 较长相变材料层的器件在相同电流脉冲时相变材料更容易被熔化, 导致了更低的 RESET 电流。所以, 在器件缩小过程中, 为了获得更小的 RESET 电流, 并不是器件相变材料层长度越小越好。

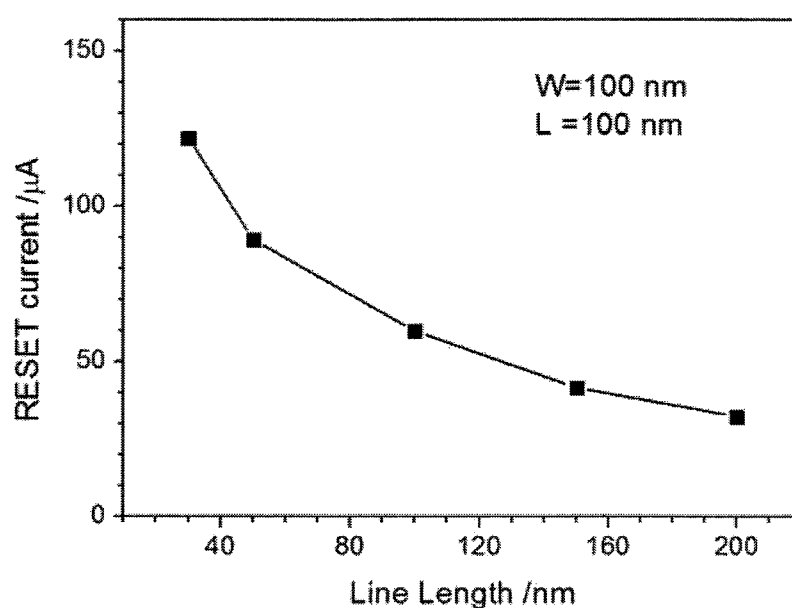


图 4.15 $H=100\text{ nm}$, $W=100\text{ nm}$ 时, RESET 电流随 L 的变化曲线

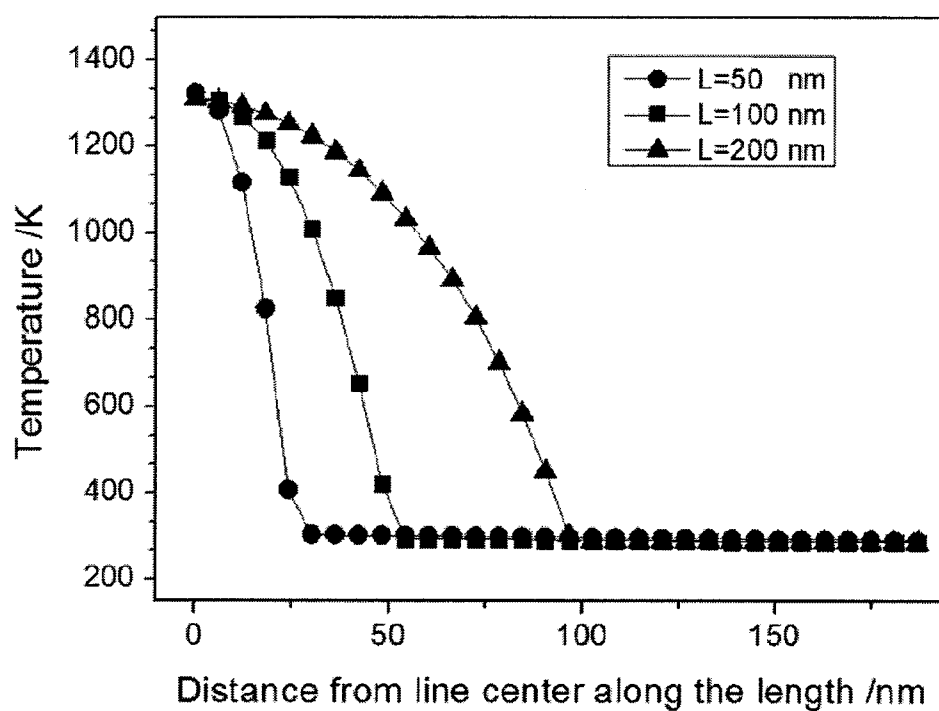


图 4.16 $L=50\text{ nm}$, 100 nm 和 200 nm 时沿着相变材料层长度方向的温度曲线分布 (最高温度相同时)

4.5 本章小结

本章使用 C-Pt 作为硬掩膜制备了不同宽度的线形平面相变存储器器件并进行了电学表征。为了进一步研究器件功耗随尺寸的变化,采用了有限元方法对线形结构的平面相变存储器三个关键尺寸 W , L 和 H 进行了模拟。

(1) 设计了反应离子刻蚀实验验证了使用 FIB 电子束辅助沉积的 C-Pt 薄膜作为相变存储器单元制造过程中的硬掩膜的可行性,并对 FIB 电子束辅助沉积和离子束辅助沉积的 C-Pt 薄膜进行了组分分析,以上结果表明 C-Pt 薄膜可以作为制备器件过程中的硬掩膜;

(2) 使用 FIB 电子束辅助沉积 C-Pt 薄膜作为硬掩膜制备了从 50 nm 到 400 nm 宽度的线形平面相变存储器器件,并进行了电学表征;

(3) 对 100nm, 200 nm 和 400 nm 宽度的线形平面相变存储器 $I-V$ 和 $R-V$ 测试结果表明,器件的阈值电流,阈值电压,SET 电压和 RESET 电压都随着器件宽度的减小而减小;

(4) 使用有限元模拟的方法对器件 RESET 过程的电流进行了模拟,结果表明 RESET 电流随着相变材料区域的横截面积 ($W \times H$) 的减小而减小,这是由于随着横截面积的减小相变材料的电阻增大,对于同样大小的电流脉冲产生的焦耳热更多,相变材料更容易达到熔化温度;器件 RESET 电流随相变材料区域长度 L 的减小而增大,这是因为相变材料的热导率远小于电极材料的热导率,在相同大小电流脉冲作用在相变材料上时,相变材料融化区域在长的 L 器件中被更好的隔离,焦耳热通过电极的损耗更少。

第五章 桥型结构平面相变存储器

在前面几章工艺准备的基础上，我们为了提高电极的可靠性和器件的集成度，利用中芯国际（SMIC）8 寸晶圆 $0.13\mu\text{m}$ 工艺制备了桥型结构的平面相变存储器电极。下图 5.1 为线形结构与桥型结构平面相变存储器的剖面比较，这两种结构都可以通过控制相变材料层的厚度，使相变区域的横截面积控制在几十个平方纳米左右，在桥式结构中 Chen^[64] 等人通过控制相变材料层的厚度为 3nm 使相变区域的横截面积达到了 60nm^2 。两种结构之间的不同是，在桥型结构中两个电极之间通过一个绝缘层分隔开来，而在线形结构中相变材料处于两个电极之间。桥型结构中，两个电极之间的距离靠的非常近，以获得一个合理的阈值电压，这种结构中两个电极之间的间隙确定“桥”的长度 L ，沉积在平整电极表面的相变存储材料厚度确定“桥”的高度 H ，进一步的光刻确定“桥”的宽度 W 。

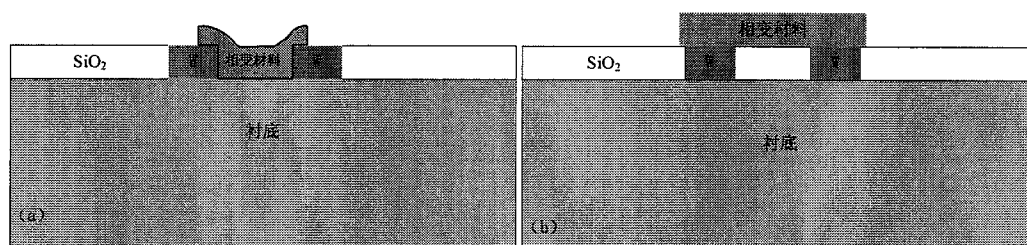


图 5.1 线形结构与桥型结构平面相变存储器剖面比较

5.1 桥型结构平面相变存储器电极制备工艺

我们采用了中芯国际 $0.13\mu\text{m}$ 标准工艺制备了桥型平面相变存储器的 W 电极，大致的工艺步骤如下图 5.2 所示。

制备 W 电极的步骤如下：

- 1) 样品准备和清洗，采用 SiO_2/Si 衬底。
- 2) 在氧化硅上制备小孔。经过甩胶、曝光、刻蚀工艺在氧化硅上制备出间隙为纳米尺寸小孔，如下图 5.2 (b) 所示，以备后续电极材料沉积。
- 3) 在第二步得到的电极小孔上用 CVD 方法沉积 W 电极材料，填充小孔。

4) 通过化学机械抛光 (CMP) 的方法将表面层多余的 W 去除, 形成各个相互分离的 W 电极对, 如下图 5.2 (d) 所示。

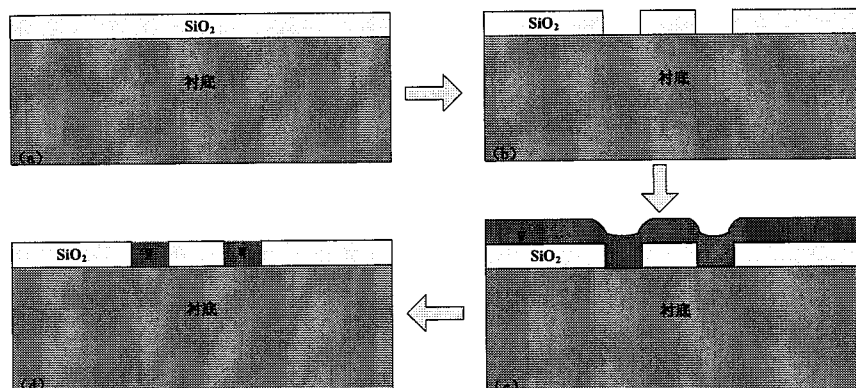


图 5.2 中芯国际 0.13 μm 标准工艺制备桥型平面相变存储器
W 电极步骤示意图

光刻过程中的版图设计如下图 5.3 所示, (a) 为重复单元阵列, (b) 为不同电极尺寸的单元图, 其中 4 个大的测试电极共用, 小的 64 个电极为独立器件单元电极, (c) 图为放大的 64 个器件单元分布图。

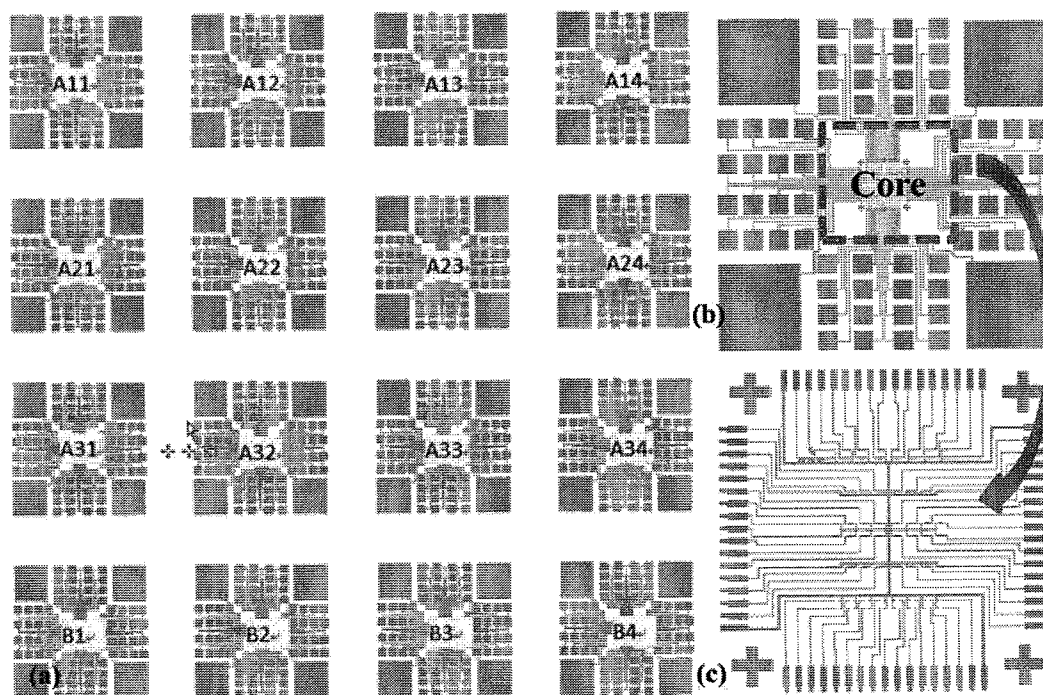


图 5.3 光刻过程中的版图设计

在每个重复单元中，我们都设计了两种不同的电极形状。一种如下图 5.4(a) 所示，即上图 5.3 (a) 中的 A 系列阵列单元，直接使用 SMIC 先进的光刻工艺制备纳米尺寸电极间隙，我们设计了不同电极间隙 (L) 和电极宽度 (W) 的图形。尺寸说明如下表 5.1 所示，对于某一单元 Axy，相同 x 值的电极宽度相同，相同 y 值的电极间隙相同。

表 5.1 A 系列阵列单元电极宽度和间隙列表

$x \backslash y$	1	2	3	4
Axy ($x=80\text{nm}$)	80 nm	120 nm	160 nm	200 nm
Axy ($x=120\text{nm}$)	80 nm	120 nm	160 nm	200 nm
Axy ($x=160\text{nm}$)	80 nm	120 nm	160 nm	200 nm

第二种结构如下图 5.4 (b) 所示，即上图 5.3 (a) 中的 B 系列阵列单元，此种结构中我们使用 SMIC 的工艺线完成不同宽度 (W) 尺寸的电极单元，电极对并没有隔离开。考虑到 FIB 的纳米加工能力，我们可以使用 FIB 对电极进行切割获取比 SMIC 光刻工艺更小的电极间隙 (L) 的电极对，再完成器件制备和测试。电极宽度 W 的尺寸分别为：B1=80 nm, B2=120 nm, B3=160 nm, B4=200 nm。

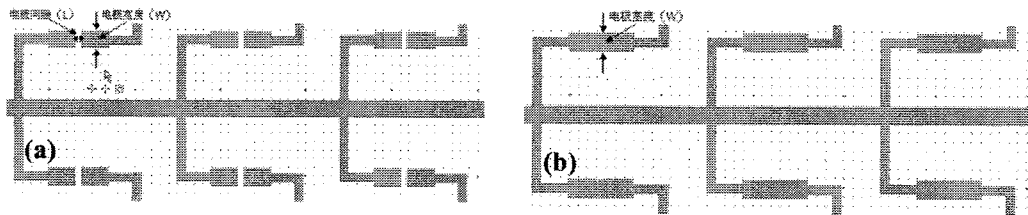


图 5.4 版图设计中两种不同形状的电极设计

5.2 电极表征

我们对从中芯国际获得的电极进行了 SEM 表征，以确定其完整性和实际尺寸。下图 5.5 (a) 为其中 A14 单元的电子显微镜照片，(b) 为中心位置 64 个制备器件的电极对电子显微镜照片。由图中可以看出，电极的结构完整，即使是

纳米尺寸的电极对引线，其边缘也很完整光滑，大大优于前面章节我们使用所内电子束曝光和紫外曝光制备的电极。

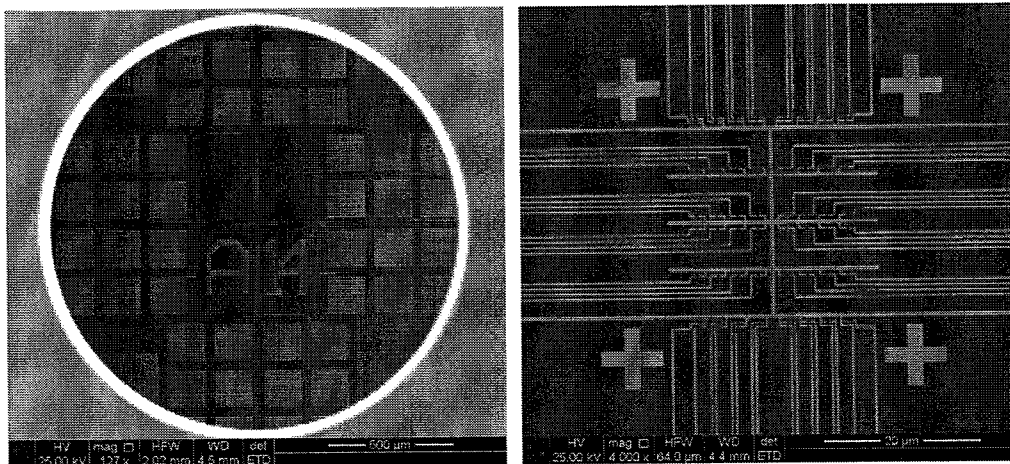


图 5.5 中芯国际电极 SEM 表征，(a) A14 阵列整体，(b) A14 内部电极对

下图 5.6 (a) 为我们对其中 A32 单元在放大后的进行尺寸测量的电子显微镜照片，由测量可知电极的宽度为 230 nm，间隙为 140 nm。与我们的版图设计值相比，尺寸偏大，这可能与工艺过程中光刻精度和刻蚀小孔的形貌有关。(b) 为我们通过 FIB 将电极切割后，其剖面电子显微镜照片，孔的深度也就是 W 电极的厚度为 330 nm。

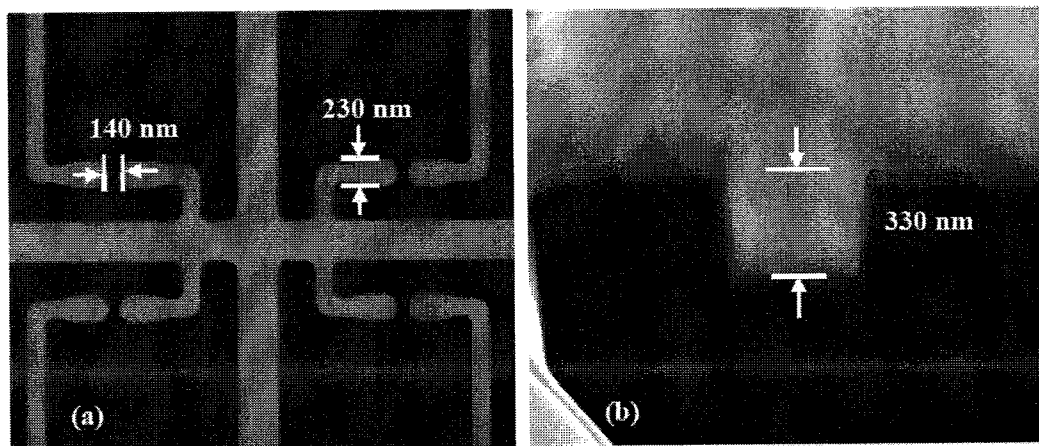


图 5.6 (a) A32 单元进行尺寸测量的 SEM 照片，(b) FIB 将电极切割后，其剖面 SEM 照片

为了准确表征平面电极的线阻，我们对样品进行了 10 s 的刻蚀，去除工艺过程中电极表面的氧化层和污染，并对刻蚀前后线阻进行了测量对比，如下表 5.2 所示。对 B4 单元（连通单元）中的一个 4×4 阵列的测试结果表明，刻蚀前后电阻基本相同，说明较高的线阻（~2 KΩ）并非表面有氧化层造成。进一步的计算也表明电极的线阻主要产生于引线较大的长宽比上。

$$R = \frac{L}{\sigma H} = \frac{1}{\sigma H} \left(\frac{L_a}{W_a} + \frac{L_b}{W_b} \right) \approx 1 \text{ K}\Omega \quad (5-1)$$

其中钨的电导率 $\sigma=1.75 \times 10^7 / \Omega \cdot \text{m}$ ；H 为 W 电极厚度； $L_a/W_a \approx 1850$ ， $L_b/W_b \approx 1350$ 为串联的不同宽度和长度的两条引线的长宽比。

表 5.2 对样品 B4 单元进行 10 s 的刻蚀，刻蚀前后电阻测量值

刻蚀前（单元 B4）/Ω				刻蚀后（单元 B4）/Ω			
1993	2376	2720	3036	2097	2468	2841	3157
1806	2102	2406	2673	1826	2159	2485	2796
1736	2106	2436	2690	1829	2177	2486	2808
2101	2407	2766	3053	2100	2473	2836	3158

5.3 桥型器件制备流程

桥型平面相变存储器的制备流程为使用中芯国际的电极样品，在微系统所内平台上通过沉积相变材料，FIB 硬掩膜图形经刻蚀后获得桥型平面相变存储器器件阵列。在得到中芯国际的纳米电极之后，我们的器件制备流程如下：

- 1) 划片工艺，将中芯国际获得的电极阵列划成 1.5 cm×1.5 cm 大小的阵列，基本为一个重复单元的尺寸。
- 2) 样品清洗，主要为去除样品表面颗粒和有机物：
 - a) 丙酮溶液中超声清洗 5 分钟，去离子水清洗；
 - b) 乙醇溶液中超声 5 分钟，去离子水清洗，N₂ 吹干；
 - c) 在 120℃烘箱内烘干 20 分钟，去除水气。
- 3) 相变材料 Ge₂Sb₂Te₅ 沉积，具体的工艺条件如前面章节所述，厚度为 50 nm。

- 4) FIB 硬掩膜沉积: 沉积厚度约为 80 nm 厚度的 SiO_2 纳米线条, 沉积电压设置 5 kV, 束流 0.69 nA。
- 5) 相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 刻蚀: 刻蚀气体为 CF_4 (15 SCCM)+Ar (35 SCCM), 气压为 50 mTorr, 功率 200 W, 刻蚀时间 45 秒。
- 6) 钝化层沉积。

我们在 A31 单元上制备了相变存储器器件。下图 5.7 (a) 为在 FIB 沉积 SiO_2 后将样品台倾斜 51° 所拍摄的器件测试电子显微镜照片, 图中电极间隙约为 110 nm, SiO_2 的厚度约为 80 nm。由图中可以看出, CMP 后钨电极和氧化硅平面并不是很平整, 而是钨电极高出氧化硅平面少许, 导致了沉积后 SiO_2 的线条也不是很平整, 而是中间稍有凹陷。(b) 图为 A31 阵列中部分器件的俯视图。

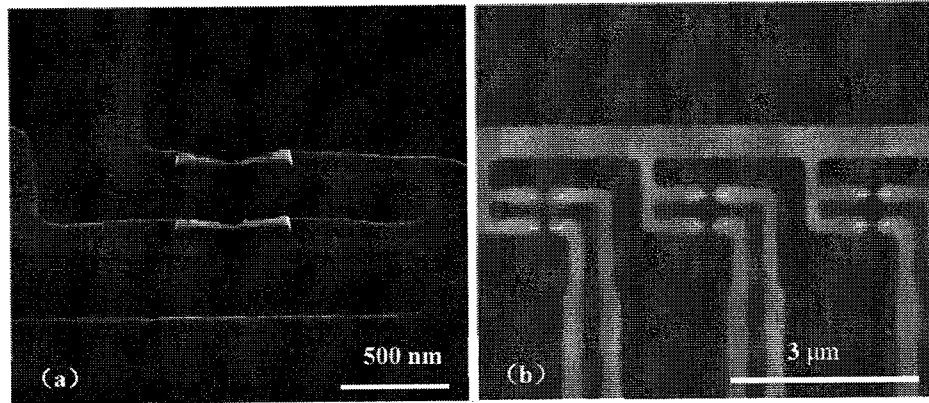
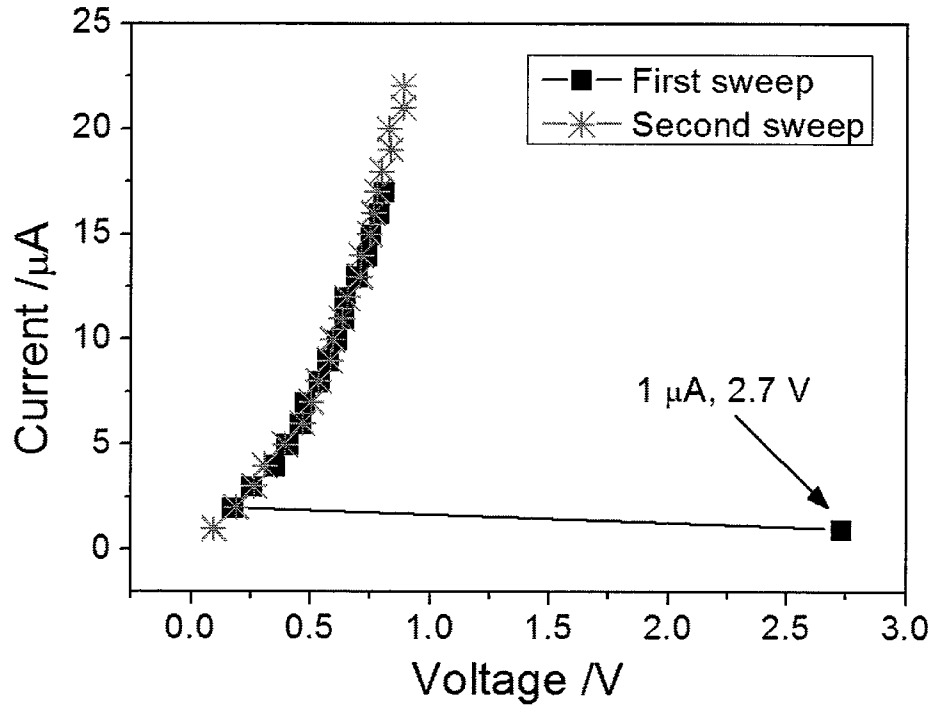
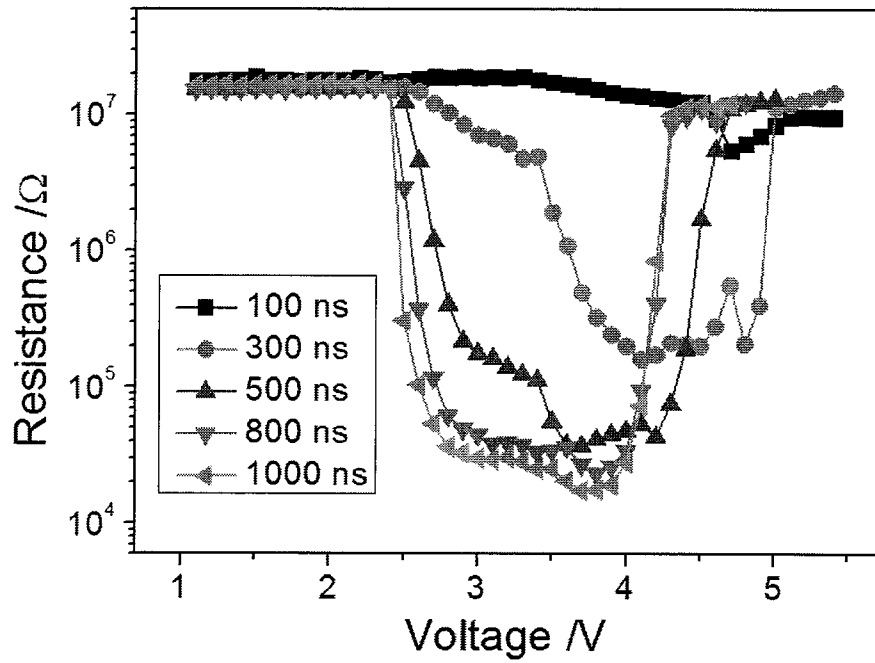


图 5.7 (a) FIB 沉积 SiO_2 后样品侧视电子显微镜照片, (b) 器件阵列 SEM 图

5.4 桥型器件电学表征

下图 5.8 为我们对获得的 A31 单元桥型平面相变存储器器件进行电学测试的 I - V 测试曲线。测试过程中施加的电流步长为 $1 \mu\text{A}$, 在电流源刚刚施加到器件上时, 器件就发生了从非晶态到晶态的转变, 所以该单元器件的阈值电流小于 $1 \mu\text{A}$ 。与 $1 \mu\text{A}$ 电流对应的阈值电压为 2.7 V。第二次电流扫描曲线与第一次扫描的后半段曲线基本重合, 所以可以认定在施加 $1 \mu\text{A}$ 电流于器件时其已经发生了相变。

图 5.8 A31 单元 I - V 测试曲线图 5.9 不同宽度电压脉冲 R - V 操作窗口曲线

上图 5.9 为我们使用不同宽度电压脉冲对器件进行操作时的 $R-V$ 窗口曲线。单条曲线来看,就是随着外加电压脉冲电压强度的增加,器件中相变材料温度升高,从非晶态转化为晶态导致电阻下降;随着脉冲电压的持续增长,器件中相变材料的温度达到熔化温度,淬火后从晶态转化为非晶态导致电阻上升。对比多条采用不同宽度的电压脉冲操作的曲线,首先看到的是 SET 和 RESET 电压随着脉冲宽度的增加而降低,这是由于在相同高度电压脉冲操作下,脉冲宽度越大,对器件的加热时间越长,器件的温度上升越宽,器件更容易从非晶态转化为晶态或者从晶态转化为非晶态;其次可以看到随着脉冲宽度从 1000 ns 降低到 100 ns,器件的低阻值一直在上升,直至 100 ns 时器件不能完成 SET 操作。器件 SET 值介于高阻值和低阻值之间的状态,被认为是 SET 操作没有完成。在 SET 过程中相变材料被加热到结晶温度之上后相变材料开始结晶,因为材料的结晶是一个缓慢过程需要时间,如果在结晶过程中撤去 SET 电流,随着温度的扩散损耗相变材料的温度迅速降低到结晶温度之下,导致相变材料的非晶区域不能完全结晶而只有部分转化为晶态。如果晶态区域在非晶态区域中形成一个通道或者是晶态和非晶态混合存在,那么整个相变区域就是非晶态和晶态并存的状态,虽然器件的阻值也会降低但不能降到真正的完全晶态的阻值,形成一个中间态。这种中间态可能在器件读过程中造成误读,不能反映器件的真实状态,降低了存储器的可靠性。从图中可以看出器件在 300 ns 脉冲宽度电压操作时,与 800 ns 电压脉冲宽度电压操作时低阻值的差异将近一个数量级,所以我们的器件在 SET 过程中所需电压脉冲宽度要大于 300 ns。另外图中 800 ns 和 1000 ns 脉冲宽度电压操作的窗口曲线基本重合,说明在 800 ns 宽度电压脉冲作用下器件已经能够完全 SET,说明 800 ns 的电压脉冲宽度对我们的器件 SET 操作已经足够。

下图 5.10 为我们使用不同宽度的电压脉冲对器件进行 RESET 操作的曲线。由图中可以看出从 20ns 脉冲宽度到 120 ns 脉冲宽度,RESET 电压从 5.6 V 降低到了 4.2 V,RESET 电压随着脉冲宽度的增加而减小。这是由于在相同电压下,当脉冲宽度较小时,短时间内产生的焦耳热无法将相变材料加热到融化温度之上,当脉冲宽度达到一定宽度之后,才有足够的加热时间可以使材料融化,淬火后从多晶材料转化为非晶态晶。

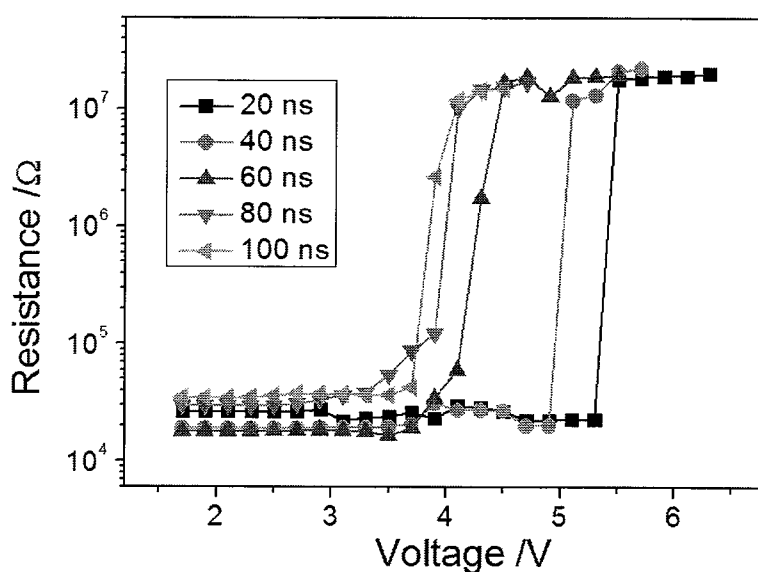


图 5.10 20 ns 到 120 ns 不同脉冲宽度电压脉冲对器件 RESET 操作曲线

5.5 本章小结

本章基于中芯国际 $0.13\mu\text{m}$ 的工艺制备了桥式平面相变存储器使用的电极，在此基础上制备了器件单元后进行了电学表征。

(1) 设计了两种桥式平面相变存储器版图（包括直接使用中芯国际先进光刻工艺制备电极间隙和使用 FIB 刻蚀制备电极间隙），并基于中芯国际 $0.13\mu\text{m}$ 工艺制备了电极样品；

(2) 对中芯国际获得电极样品进行了 SEM 表征和电学表征，测量和计算结果表明电极的电阻主要来自于电极图形较高的长宽比；

(3) 在电极上沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料后，通过 FIB 沉积 SiO_2 制备了桥型结构的平面相变存储器单元；

(4) 对获得的平面相变存储器单元进行了电学表征，结果表明该单元可以在高阻（非晶态）和低阻（多晶态）之间实现可逆相变， I - V 测试表明该器件的阈值电流小于 $1\mu\text{A}$ ，与之对应的电压为 2.7V ；使用不同脉宽的电压脉冲对器件进行操作，器件在 20ns 宽度时可以实现 RESET 操作， 800ns 时可以完成 SET 操作。

第六章 总结

半导体制造技术在“摩尔定律”的推动下已经经过了数个节点，随着半导体技术和手持终端的发展，人们对半导体存储器的要求越来越苛刻，不仅需要速度更快、容量更大而且功耗要更低。随着半导体工艺进入亚 20 nm 阶段，闪存技术能否满足工艺需求继续等比缩小下去，成为其面临的最严峻挑战。相变存储器由于其在读写速度、读写次数、数据保持力和与 CMOS 工艺兼容等方面具有诸多优势，被认为是下一代主流存储器的有力竞争者。纳米材料由于具有比表面积大，表面能高等特点，与同等组分的体材料相比也会具有不同的性质。为了保证相变存储器在纳米尺寸下能够正常工作，我们必须研究其材料和器件在纳米尺寸的性能。本文正是基于上述的需求，在本项目组承担课题的基础上开展了平面相变存储器的制备和性能研究，取得了以下几个方面的成果：

1. 在调研文献的基础上提出了一种制备平面相变存储器的新方法，并开发了平面相变存储器的制备工艺。这种方法基于聚焦离子束（FIB）定点沉积硬掩膜后刻蚀获得纳米图形，大大简化了制备不同尺寸纳米器件的工艺复杂度。在器件制备过程中，使用电子束曝光（EBL）和紫外曝光混合方法制备具有纳米尺寸间隙电极和微米尺寸测试电极，其中纳米电极间隙最小可以达到 60 nm；在磁控溅射沉积相变材料过程中通过原位加热的方法解决了 TiN 和 GST 相变材料层之间的黏附力问题；研究了 FIB 辅助化学气相沉积工艺，并验证了使用 FIB 沉积 C-Pt 薄膜作为硬掩膜刻蚀后相变材料层的展宽问题。
2. 验证了使用 FIB 电子束辅助沉积 SiO₂ 作为器件制备过程中硬掩膜的可行性，电子显微镜表征表明，虽然在刻蚀过程中，SiO₂ 也有一定的损耗，但刻蚀速率小于相变材料，所以 FIB 电子束辅助沉积的 SiO₂ 可以作为器件制备过程中的硬掩膜。使用 SiO₂ 作为硬掩膜基于 Ge₂Sb₂Te₅ 相变材料制备了 100 nm、200 nm 和 400 nm 宽度的线形结构平面相变存储器器件， I - V 和 R - V 电学表征结果表明器件单元可以在高阻和低阻之间实现可逆相变，

高低阻值相差四个数量级；对不同宽度的器件电学性能比较，发现器件的阈值电流、阈值电压、SET 电压和 RESET 电压都随着器件宽度的减小而减小。另外我们还使用 SiO_2 作为硬掩膜基于 $\text{Si}_3\text{Sb}_2\text{Te}_3$ 相变材料制备了平面相变存储器器件。

3. 验证了使用 FIB 电子束辅助沉积 C-Pt 薄膜作为硬掩膜的可行性, 并对 FIB 电子束辅助沉积和离子束辅助沉积的 C-Pt 薄膜进行了组分分析, 结果表明 C-Pt 薄膜可以作为制备器件过程中的硬掩膜。基于 C-Pt 硬掩膜制备了 50~400 nm 宽度的基于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的线形结构平面相变存储器器件, 并进行了电学表征。
4. 为了进一步研究相变存储器器件功耗随尺寸的变化情况, 我们使用有限元模拟的方法对器件操作过程中 RESET 电流进行了模拟, 结果表明 RESET 电流随着相变材料区域的横截面积 ($W \times H$) 的减小而减小, 这是由于随着横截面积的减小相变材料的电阻增大, 对于同样大小的电流脉冲产生的焦耳热更多, 相变材料更容易达到熔化温度。器件 RESET 电流随相变材料区域长度 L 的减小而增大, 这是因为相变材料的热导率远小于电极材料的热导率, 在相同大小电流脉冲作用在相变材料上时, 相变材料融化区域在长的 L 器件中被更好的隔离, 焦耳热通过电极的损耗更少。
5. 制备了另外一种平面相变存储器, 即桥型结构平面相变存储器。其中电极部分是基于中芯国际 $0.13\mu\text{m}$ 的工艺制备, 相变材料及其图形化依旧是采用 FIB 沉积 SiO_2 硬掩膜的方法。首先对中芯国际制备的电极样品进行了 SEM 表征和电学表征, 在其上沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料后, 通过 FIB 沉积 SiO_2 制备了桥型结构的平面相变存储器单元并进行了电学表征。所使用的器件电极和制备方法可以应用于研究新型相变材料和制备较大阵列器件。