



中国科学院大学  
University of Chinese Academy of Sciences

## 硕士学位论文

相变材料刻蚀工艺及机理研究

作者姓名：夏洋洋

指导教师：刘波 研究员 中国科学院上海微系统与信息技术研究所

宋志棠 研究员 中国科学院上海微系统与信息技术研究所

学位类别：工程硕士

学科专业：集成电路工程

培养单位：中国科学院上海微系统与信息技术研究所

二零一六年五月

**Investigation on Etching Process and Its Mechanism for Phase  
Change Materials**

**By**

**Yangyang Xia**

**A dissertation Submitted to**

**University of Chinese Academy of Sciences**

**In partial fulfillment of the requirement**

**For the degree of**

**Master of Integrated Circuit Engineering**

**Shanghai Institute of Microsystem and Information Technology,**

**Chinese Academy of Sciences**

**May, 2016**

## 致 谢

本论文是在刘波研究员和宋志棠研究员的亲切的关怀和悉心指导下完成的。首先衷心的感谢我的导师刘波研究员，刘老师这三年的时间在学习上的谆谆教诲，激励着我在科研的道路上不断前进。刘老师渊博的专业知识，严谨的治学态度，精益求精的工作作风，严以律己、宽以待人的风范对我影响深远。使我树立了远大的学术目标、掌握了基本的研究方法。在此，谨向恩师致以崇高的敬意和衷心的感谢。

特别的感谢宋志棠研究员，他用自己最大的努力给我们创造了优越的科研环境和施展才华的舞台。宋老师渊博的学识，高屋建瓴的指导思想、广阔的视野以及严谨的治学态度使我受益匪浅。在此，谨向恩师致以崇高的敬意和衷心的感谢。

感谢中芯国际集成电路制造（上海）有限公司联合实验室詹奕鹏技术总监的关心和指导，感谢王蕾工程师、冯高明博士、张超博士、李莹博士、朱南飞博士、周耀辉工程师、李志超工程师、张真工程师、龚薇工程师等在学习和工作上的支持和帮助。

感谢刘燕老师、宋三年老师、饶峰老师、吴良才老师、成岩老师、刘卫丽老师、陈小刚老师、陈一峰老师、陈后鹏老师、蔡道林老师、李喜老师、吕士龙老师等的关心和指导。感谢张中华博士、夏梦娇博士、闫未霞博士、王玉婵博士、张怡云博士、汪恒博士、纪兴龙博士、梁晨亮博士、范茜博士、周密博士、王月青博士、俞磊博士、许震博士、高丹博士、雷宇博士、刘艾萌博士、叶勇博士、李鸽子博士、丁科元博士、胡佳俊博士、王青博士、杜源博士、张琪博士、郑勇辉博士、李小云博士、周汪洋硕士、雷博硕士、李乐硕士、李沙沙硕士、魏宏阳硕士、曹良良硕士、朱澄秋硕士、霍如如硕士、孟云硕士、王苗硕士、王维维硕士、金秋雪硕士、郭天琪硕士、刘广宇硕士、方红波硕士、沈兰兰硕士、卢瑶瑶硕士、韩文炳硕士、李涛硕士、刘宇翔硕士、田震硕士、汪为磊硕士、王丹硕士、王勇硕士等的关心和帮助。感谢实验室支撑人员郭晓慧、姚栋宁、殷伟君、席韡、郑浩、徐彦华、戴洁艳等在工作上给予的帮助。

感谢中科院上海应物所李德辉老师在 TEM 测试分析上的指导和帮助，感谢上海市计量测试技术研究院郝萍老师在 XPS 测试上的指导和帮助，感谢中科院上海硅酸盐研究所阮音捷老师在 XRD 测试上的指导和帮助。

感谢中国科学院上海微系统与信息技术研究所研究生部罗琦老师、邵天浩老师、余翔波老师、解佳老师。感谢中国科学院上海微系统所给我提供了优越的研究环境，同时也感谢中国科学院大学。

最后衷心的感谢我的父亲母亲，姐姐姐夫、舅舅等家人和亲友在生活和学习上对我无私的关爱和付出，感谢他们为我提供了温暖的港湾。他们的支持和关爱，是我不断前进的动力和源泉，在此，衷心的感谢他们！



# 相变材料的刻蚀工艺及机理研究

夏洋洋 (集成电路工程)

指导老师: 刘 波 研究员

宋志棠 研究员

## 摘 要

相变存储器 (Phase Change Memory, PCM) 因为其读写速度快、操作功耗低、高密度、非易失性以及和标准 CMOS (Complementary Oxide Semiconductor) 工艺兼容等优点, 被认为是很有可能成为下一代通用存储器。目前, 基于  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (GST) 的 PCM 已经被应用到电子产品上。然而, 传统的 GST 在热稳定性和可靠性方面存在不足, 需要开发新的存储介质。另一方面, 随着半导体工艺技术节点的不断向前推进, 对 PCM 制作工艺的要求越来越高。在进入纳米技术节点后, 刻蚀工艺对小尺寸器件的形成显得尤为重要。因此本文重点围绕相变材料的刻蚀工艺和机理进行了系统的研究, 同时为了提升 PCM 性能, 开发了新的存储介质, 研究了其相变性能, 取得的主要成果如下:

1. 相变材料的刻蚀工艺是实现 PCM 产业化的关键技术之一。本文系统的研究了 GeTe 的耦合等离子体 (Inductively Coupled Plasma, ICP) 刻蚀性质, 刻蚀气体为  $\text{BCl}_3$  和 Ar 混合气体。研究发现, GeTe 的刻蚀速率随着  $\text{BCl}_3$  组分的增加而增加。在腔体气压小于 5.25mTorr 时, 随着气压的逐渐增大, 刻蚀速率逐渐增大。当气压超过 5.25mTorr 时, 气压的继续增加导致了刻蚀速率的降低。将衬底偏置功率作为唯一变量, 可以发现随着衬底偏置功率的逐渐增加, 刻蚀速率和刻蚀表面粗糙度都是呈增加趋势的。当腔体源功率小于 600W 时, 刻蚀速率随着功率的增加而不断增加。当功率超过 600W 时, 刻蚀速率随着功率的增加而减小。功率增加的过程中, 薄膜的表面粗糙度都是呈递增趋势。基于优化的参数, 研究了刻蚀过程中的损伤。通过对样品的 X 射线光电子能谱 (X-Ray Photoelectron Spectroscopy, XPS) 深剖分析, 可以发现刻蚀完的薄膜表面存在氯化物  $\text{Te-Cl}_x$  和  $\text{Ge-Cl}_x$ , 氧化物  $\text{Te-O}_x$  和  $\text{Ge-O}_x$ , 并且氧化物层的厚度大于氯化物层的厚度。薄膜表面残留了一定量含碳聚合物, 该含碳聚合物主要来源于空气。

2. 基于反应离子刻蚀 (Reactive Ion Etching, RIE), 研究了晶态和非晶态相变材料 GeTe 的刻蚀性质。研究发现, 刻蚀速率首先随着氧气比例的增加而逐渐增加, 在氧气比例为 12% 时达到了极值, 当氧气含量继续增加时, 刻蚀速率呈现下降趋势。刻蚀表面的粗糙度随着氧气比例的增加呈现出稍微增加的趋势。当腔体源功率小于 400W, 腔体气压低于 40mTorr 时, 刻蚀速率随着气压和功率的增加几乎以线性方式增加。刻蚀速率主要由等离子体的密度和  $\text{CHF}_3$  离子化和分解程度决定。Ge2p 和 Te3d 的 XPS 测试结果可以观察到刻蚀后的薄膜表面存在残留物  $\text{GeF}_x$ 、 $\text{GeO}_x$ 、 $\text{TeF}_x$  和  $\text{TeO}_x$ 。TiN 薄膜和 GeTe 薄膜的刻蚀结果表明, 两步刻蚀工艺的刻蚀结果相较于一步刻蚀工艺表现出了好的垂直度, 截面上没有形成底切结构, 能够满足 PCM 单元的制造工艺。
3. 基于 40nmPCM 芯片工艺平台, 进行了基于  $\text{Si}_3\text{N}_4$  层间电介质 (Inter Layer Dielectric, ILD) 上相变材料 GST 刻蚀工艺的开发和研究。刻蚀过程中采用了 HBr 和 He 气作为主要的刻蚀气体, 调节刻蚀腔体源功率, 腔体气压和衬底偏置功率来调节刻蚀过程。通过实验, 发现腔体气压 5mTorr、腔体源功率 700W、衬底偏置功率 300V、刻蚀气体为  $\text{HBr}/\text{NF}_3/\text{Cl}_2/\text{He}$  混合物的工艺条件下的刻蚀结果比较理想。因此选用该条件, 将 GST 材料集成到 PCM 当中, 进行了 TEM (Transmission Electron Microscope) 切片和 EDS (Energy Dispersive X-Ray Spectroscopy) 处理。结果显示 GST 线条的侧壁比较粗糙, 这可能由于 Br 元素进入了线型结构引起的, 也可能是由于侧壁沉积的非挥发性产物引起。EDS 结果表面 Br 元素进入了线型结构中, Br 对刻蚀后的结构产生了一定的损伤。
4. 为了提升 PCM 性能, 研究开发了新型相变材料  $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 。研究表明, 随着 Cr 含量的增加,  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  的结晶温度和数据保持力均增加。Cr 的掺入, 没有改变材料的晶格结构, 只是在结晶过程中抑制了某些晶相的生长。另一方面, Cr 的掺入可以细化晶粒,  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  相较于  $\text{Sb}_3\text{Te}_1$  表现出了更好的均匀性。Cr 元素与 Sb、Te 元素成键, 以替位式存在与晶格当中。通过实验, 确定了  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  为最优化的组分, 基于该组分的 PCM 器件表现出了  $3 \times 10^4$  的可逆相变循环次数。

**关键词:** 相变存储器 相变材料 耦合等离子体刻蚀 反应离子刻蚀

# Investigation on Etching Process and Its Mechanism for Phase Change Materials

Yangyang Xia (Integrated Circuit Engineering)

Directed by: Professor Bo Liu

Professor Zhitang Song

## Abstract

Phase change memory (PCM) as a rapidly emerging technology has been regarded as the next generation non-volatile memories due to its fast programming capability like dynamic random access memory (DRAM), low power consumption, high density, good endurance, a nonvolatile data like Flash, and fabrication compatibility with complementary oxide semiconductor (CMOS). Recently,  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (GST) is widely utilized in PCM because of good crystallization speed and thermal stability. However, the low crystallization temperature and inferior data retention make it not meet the demand of high thermal stable and high speed PCM. Therefore, we need to develop new phase change material. On the other hand, with the development of semiconductor technology, the manufacture process for PCM needs to be optimized. Especially beyond the low technology node, etching process is very essential to the fabrication process of PCM. We systemically investigate the etching process and mechanism of phase change material in this paper. In addition, to improve the performance of PCM, we develop new phase change material and investigate the characteristics of new phase change material. The main results are summarized as follow:

1. The dry etching characteristics of phase change material GeTe were investigated by inductively coupled plasma (ICP) with  $\text{BCl}_3/\text{Ar}$ . By changing gas ratio, gas pressure, substrate bias power and ICP power, respectively, various characteristics of the GeTe films were investigated about surface roughness, etch rate and profiles. Etch damage was studied by analyzing the X-ray photoelectron spectroscopy (XPS) of etched blank

GeTe films. It can be found that the etch rate increases with the increasing  $\text{BCl}_3$  content and substrate bias power. However, it first increases then decreases with the increasing gas pressure and ICP power. Surface becomes smoother with increasing gas pressure, but higher power and substrate bias power lead rougher surface. Little C contamination, oxidation, and halogenated layer were remained on the surface during the etching process. The stoichiometric ratio of GeTe is stable after being sputtered in tens of seconds on the etched surface, indicating the etching damage is low.

2. The reactive ion etching (RIE) characteristics of phase change material GeTe in  $\text{CHF}_3/\text{O}_2$  plasma for nonvolatile phase change memory devices were investigate in this paper. The etch rate and surface roughness of crystalline GeTe and amorphous GeTe films were studied with various etching parameters. It is found that the etch rate first increase with the increasing concentration of  $\text{O}_2$  and get peak value 68.5nm/min at 12%  $\text{O}_2/(\text{CHF}_3+\text{O}_2)$ , then decrease from 12% to 20%. The surface roughness slightly increases with the increasing oxygen content. By changing the power and gas pressure, the etch rate increases approximately linearly with increasing gas pressure at least up to 50mTorr and below 400W. The result of RIE with one step recipe shows the formation of under-cut on the profile of etched film. However, the result with two steps recipe shows better vertical characteristic and few residues were left on the profile of etched film.
3. The etching characteristics of GST thin films based on  $\text{Si}_3\text{N}_4$  substrates were investigated in this paper. By changing the etching parameters, we achieved line structure with little loss, vertical sidewall and little polymer under gas pressure of 5mTorr, bias voltage of 250V, ICP power of 600W and gas mixture  $\text{HBr}/\text{Cl}_2/\text{CF}_4/\text{He}$  of 100/10/15/300. In addition, the GST thin films were integrated into PCM devices with performance of rough sidewall and little polymer under gas pressure of 5mTorr, bias voltage of 300V, ICP power of 700W and gas mixture  $\text{HBr}/\text{Cl}_2/\text{CF}_4/\text{He}$  of 100/10/15/300. The rough sidewall may be caused by the non-volatile products. In addition, the loss is a little more, which leads to damage to the contact.
4. The characteristics of Cr-doped  $\text{Sb}_3\text{Te}_1$  materials were investigated for application in

phase change memory. The crystalline temperature and activation energy of films increase with the increasing content of Cr doping. The results of X-ray diffraction (XRD) and XPS reveal that there are no new lattice structure appearing and Cr element bonds with Te and Sb during crystalline process. The average size of grains decreases, indicating that the grains are localized in infinitesimal area by Cr atoms. The endurance of PCM based on  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  keeps  $3 \times 10^4$  cycles with the resistance ratio of two orders of magnitude, which shows good endurance performance and low power consumption.

**Key words:** Phase change memory   Phase change material   Inductively coupled plasma etching   Reactive ion etching



## 目 录

|                                  |     |
|----------------------------------|-----|
| 致 谢 .....                        | I   |
| 摘 要 .....                        | III |
| Abstract .....                   | V   |
| 第一章 绪论 .....                     | 1   |
| 1.1 引言 .....                     | 1   |
| 1.2 PCM 综述 .....                 | 7   |
| 1.2.1 PCM 工作原理 .....             | 7   |
| 1.2.2 PCM 性能优化 .....             | 8   |
| 1.2.3 PCM 发展 .....               | 10  |
| 1.3 刻蚀工艺 .....                   | 11  |
| 1.3.1 刻蚀工艺介绍 .....               | 11  |
| 1.3.2 干法刻蚀在 PCM 当中的应用 .....      | 13  |
| 1.4 论文的研究内容 .....                | 14  |
| 1.5 论文组织结构 .....                 | 15  |
| 第二章 相变材料 GeTe 的耦合等离子体刻蚀研究 .....  | 17  |
| 2.1 引言 .....                     | 17  |
| 2.2 ICP 系统介绍 .....               | 17  |
| 2.3 相变材料 GeTe 的 ICP 刻蚀研究 .....   | 18  |
| 2.3.1 实验过程 .....                 | 18  |
| 2.3.2 GeTe 蚀工艺与刻蚀气体组分比关系 .....   | 20  |
| 2.3.3 腔体气压对刻蚀工艺的影响 .....         | 20  |
| 2.3.4 衬底偏置功率和腔体源功率对刻蚀工艺的影响 ..... | 21  |
| 2.3.5 刻蚀损伤研究 .....               | 24  |
| 2.4 本章小结 .....                   | 27  |
| 第三章 相变材料 GeTe 的反应离子刻蚀研究 .....    | 29  |
| 3.1 引言 .....                     | 29  |
| 3.2 RIE 系统介绍 .....               | 29  |
| 3.2 相变材料 GeTe 的 RIE 研究 .....     | 30  |
| 3.2.1 实验过程介绍 .....               | 30  |
| 3.2.2 刻蚀气体对 GeTe RIE 过程的影响 ..... | 30  |
| 3.2.3 刻蚀残留物分析 .....              | 34  |
| 3.2.4 腔体气压和腔体源功率对刻蚀结果的影响研究 ..... | 35  |
| 3.2.5 GeTe 和 TiN 薄膜刻蚀性质研究 .....  | 38  |

|                                                                        |    |
|------------------------------------------------------------------------|----|
| 3.3 本章小结.....                                                          | 39 |
| 第四章 基于 40nm PCM 芯片工艺的 $\text{Si}_3\text{N}_4$ 电介质的 GST 刻蚀研究 .....      | 41 |
| 4.1 引言 .....                                                           | 41 |
| 4.2 实验介绍.....                                                          | 41 |
| 4.2.1 $\text{Si}_3\text{N}_4$ ILD 的工艺流程.....                           | 41 |
| 4.2.2 基于 $\text{Si}_3\text{N}_4$ ILD 的 GST 刻蚀工艺过程 .....                | 43 |
| 4.2.3 实验设备介绍 .....                                                     | 43 |
| 4.3 基于 $\text{Si}_3\text{N}_4$ ILD 的 GST 刻蚀工艺的开发和优化 .....              | 44 |
| 4.4 本章小结 .....                                                         | 49 |
| 第五章 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 新型相变材料的研究 .....                | 51 |
| 5.1 引言 .....                                                           | 51 |
| 5.2 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 相变材料性能研究 .....                 | 51 |
| 5.2.1 实验介绍 .....                                                       | 51 |
| 5.2.2 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 相变材料性能表征 .....               | 53 |
| 5.2.3 晶体结构表征 .....                                                     | 54 |
| 5.2.4 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 成键分析 .....              | 55 |
| 5.2.4 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 材料微观结构分析 .....               | 56 |
| 5.2.5 基于 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 材料的 PCM 电学性能研究 ..... | 57 |
| 5.3 本章小结 .....                                                         | 60 |
| 第六章 全文总结与展望 .....                                                      | 61 |
| 6.1 结论 .....                                                           | 61 |
| 6.2 创新点与主要贡献 .....                                                     | 62 |
| 6.3 展望 .....                                                           | 62 |
| 参考文献 .....                                                             | 65 |
| 攻读硕士学位期间发表的学术论文与研究成果 .....                                             | 71 |
| 作者简历 .....                                                             | 73 |

## 第一章 绪论

### 1.1 引言

2015 年,对于全球半导体行业而言,真谓是波澜壮阔的一年。这一年,我们见证了半导体产业有史以来规模最大的并购,半导体企业之间的投资并购贯穿了这年的始终。由年初的台湾郭泰科技以 13.96 亿美元收购了台湾旭曜开始,半导体行业间的并购投资愈演愈烈,其中不仅包括了像郭泰这样规模较小的厂商之间的并购,英特尔,高通等行业巨头也频频出手<sup>[1]</sup>。本年度最大的投资并购案为戴尔所属。戴尔于 2016 年 10 月 12 日以高达 670 亿美元收购了云计算、大数据和存储解决方案的领导者 EMC。在众多的投资并购案当中,IC 设计、存储和记忆体以及封测行业占据了大部分的份额,而存储和记忆体的投资并购金额则基本占据三者中的半壁江山。关于存储和记忆体行业的并购投资涉及企业,不仅包括了像 EMC 这种信息储存和管理系统、软件、服务和解决方案领域领先的公司,而且还包括了西部数据、闪迪等硬盘、存储芯片制造商。纵观这些投资并购案,可以看出存储和记忆体行业在半导体产业中占据着很大的份额,对整个产业有着举足轻重的地位。

存储和记忆体行业的发展,有赖于当下云端科技热浪和大数据时代的来临。云存储和大数据的信息存储传递,对计算机的运算速度,处理器对内存的速度、功耗和可靠性提出了很高的要求,推动了以半导体材料为基础的各种存储器的研究发展。主流存储技术,动态随机存储器(Dynamic Random Access Memory, DRAM)和 Flash 闪存技术已经达到其工艺节点,随着尺寸的不断缩小,存储介质的稳定性、可靠性达到了发展的瓶颈,因此寻找新型的存储机制来代替现有的存储技术是必然趋势。

半导体存储器是用来存储二进制“0”和“1”信息的单元,根据掉电情况下数据是否丢失可以将半导体存储器分为两类:易失性存储器(Volatile Memory)和非易失性存储器(Non-volatile Memory, NVM)。易失性存储器是指系统中存储的数据和信息在存储器断电后就会丢失,例如静态存储器(Static Random Access Memory, SRAM)和动态随机存储器 DRAM。非易失性存储器是指在存储器断电后,系统中保存的数据和信息仍然存在于存储器当中,例如 Flash 技术,新型的存储技术铁电随机存储器(Ferroelectric Random Access Memory, FeRAM),磁阻随机存储器(Magnetoresistive Random Access Memory, MRAM),相变存储器(Phase Change Memory, PCM)和阻变存储器(Resistance-switching Random Access Memory, RRAM)等。同时,根据读写情况的不同,半导体存储器又可以分为只读存储器(Read Only Memory, ROM)和随机读写存储器(Random Access Memory, RAM),具体的分类如图 1.1 所示<sup>[2]</sup>。

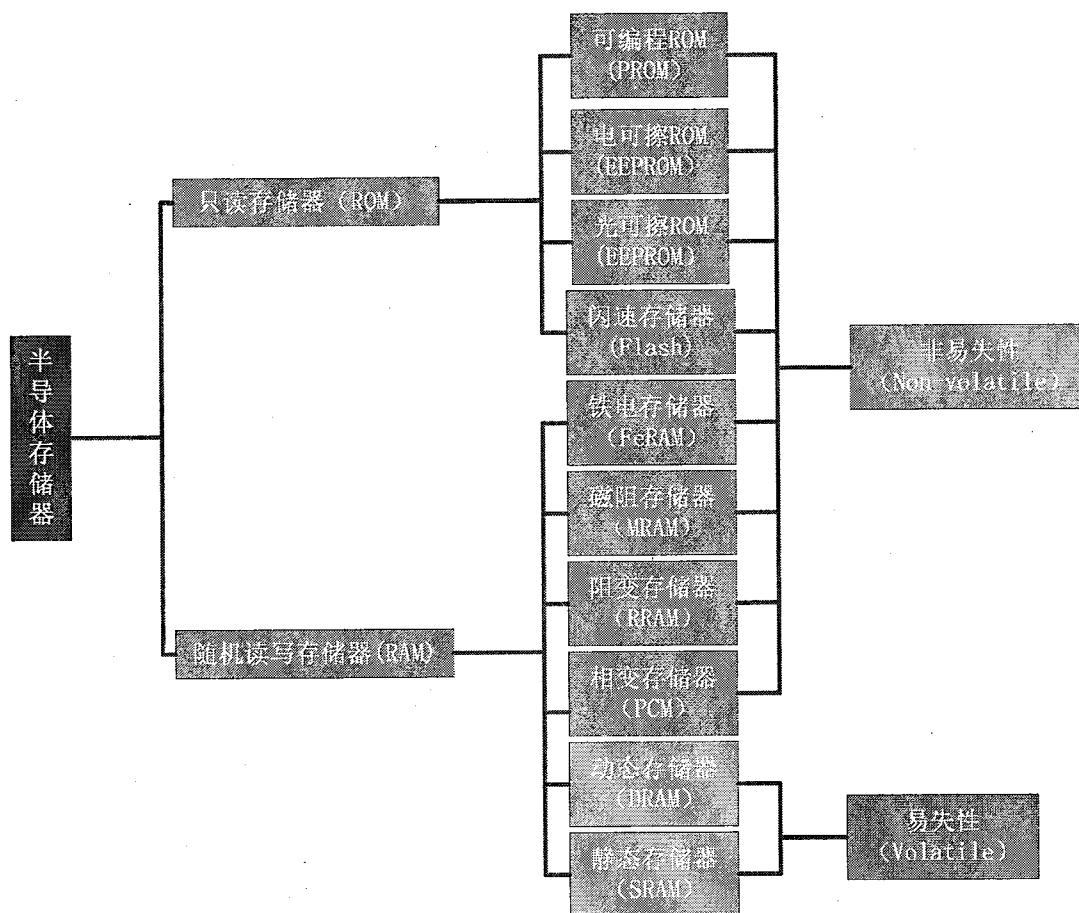


图 1.1 半导体存储器分类

存储阵列是半导体存储器的核心部件，对存储器的性能有极大的影响<sup>[2]</sup>。如图 1.2 所示为半导体存储器的基本结构，包括存储阵、行译码器、列译码器等，一个存储的结构称之为一个单元，存储单元组成存储阵列。根据每单元存储数量的差异，存储单元又可以分为单值单元架构 (Single-Level Cell, SLC) 和多值单元架构 (Multi-Level Cell, MLC)，SLC 可以存储一位数据，而 MLC 可以存储多位数据。基于存储单元器件重要的意义，当下很多对于存储器的研究都集中对存储单元的研究和优化。

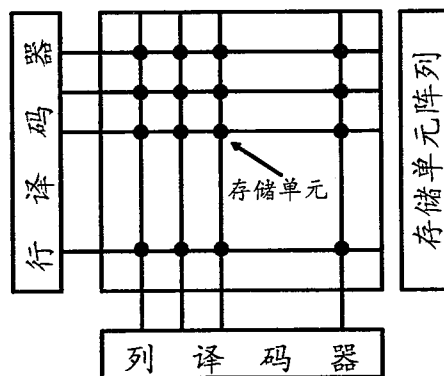


图 1.2 半导体存储器基本结构

目前主流的存储器产品主要有 DRAM 和 Flash。DRAM 是常见的随机存取存储器, 主要利用电容内存储电荷的多少来代表一个 bit 的“0”和“1”状态。DRAM 结构简单, 每一个 bit 由一个晶体管和电容 (One Transistor One Capacitance, 1T1C) 组成, 电容用来存储电荷。在应用中, 电容会不可避免的出现漏电情况。如果出现漏电情况, 电容中存储的电荷不足, 会导致存储数据出错, 因此电容必须被周期性的刷新, 这是 DRAM 的重要特征之一。由于 DRAM 工作时需要不断的刷新, 因此 DRAM 的工作功耗大。同时, 电容的充放电需要一定的过程, 刷新的频率不可能无限制的提升, 因此 DRAM 的刷新频率会达到上限, 在未来的超高频应用中可能会受到阻碍。Flash 存储器是目前应用最为广泛应用的非挥发性存储器, 基本结构为浮栅型, 主要通过改变 MOS 管栅极上的电压来改变器件的阈值电压实现数据上的存储。在栅极上施加一个较大的正电压, 衬底中的电子在强电场作用下隧穿进入浮栅层, 使得器件的阈值电压增大, 器件被编程。如果在栅极上加一个反向的负电压, 那么浮栅中的电子在电场的作用下从浮栅层隧穿通过隧穿层回到衬底当中, 器件的阈值电压变小, 已经编程的数据被擦除。然而, 随着特征尺寸的不断减小, Flash 器件的尺寸也将会逐渐缩小, 但是其隧穿层厚度却不能跟随器件尺寸无限制的减薄。因为太薄的隧穿层会引起浮栅层里存储的电荷严重泄露, 从而导致存储的数据丢失, 大大地影响到 Flash 的数据保持能力。从另一方面来看, 随着特征尺寸的减小, 两个存储单元的距离也会逐渐缩小, 当两个单元相距过近时, 一个存储单元的操作电场会对临近该单元的其他单元引起误操作。同时, Flash 存储器某些电学方面的缺陷也限制了其应用, 例如, 写操作需要较高的电压, 电路上则需要电荷泵来产生高压。DRAM 和 Flash 的这些缺点, 严重的制约了其未来的发展和应用, 因此, 全球的各大科研院所以及半导体企业都在极力地寻求一种新的存储解决方案能够同时具备 Flash 和 DRAM 的优点。在这种情况下, 一批被认为能够替代 Flash 的新型存储器, 例如 FeRAM、MRAM、RRAM 和 PCM 就应运而生了。下面对这四种新型的存储器进行简单的介绍。

铁电随机存储器 FeRAM 是一种在断电时不会丢失存储数据的非易失性存储器, 具有高速度、高密度、低功耗和抗辐射等优点, 被认为可以取代 Flash 的新型存储器, 其结构如图 1.3 (a) 所示<sup>[3]</sup>。铁电随机存储器是铁电材料最广泛的应用, 其工作原理是基于铁电薄膜的剩余极化, 即当外加电场或电压撤去后, 铁电薄膜仍存在着剩余极化。铁电材料在外电场的作用下, 其极化强度  $P$  有如图 1.3 (b) 所示的滞后回线关系, 表现出非线性介电行为。在图 1.3 (b) 所示的电滞回线中, 强电场下极化强度  $P$  会饱和成一条直线, 此直线的切线延长线于  $P$  轴相交  $P_{sa}$  点, 称  $P_{sa}$  为饱和极化强度; 电滞回线于  $P$  轴相交  $P_r$  点, 称  $P_r$  为剩余极化强度; 回线与  $E$  轴相交于  $E_c$  点, 称  $E_c$  为矫顽场。极化强度与外电场之间产生非线性响应, 得到电滞回线; 反向电场超过矫顽场时发生极化反转; 外电场  $E=0$  时表现出正负剩余极化 ( $P_r$ )。因此, 铁电存储器单元不需要外电场或电压的维持, 仍能保持原有的极化信息。按工作模式分, 铁电存储器

可以分为破坏性读出 (Destructive Read Out, DRO) 和非破坏性读出 (Non Destructive Read Out, NDRO) [4-5]。DRO 模式是利用铁电薄膜的电容效应, 以铁电薄膜电容取代常规的存储电荷电容, 利用铁电薄膜的极化反转来实现数据的写入与读取。DRO 的读出后需要重新写入数据, 因此在 DRO 铁电存储器的信息读取中存在着不停的擦除/重写过程。另一种是 NDRO 模式, NDRO 模式以铁电薄膜来替代 MOS 中栅极二氧化硅层, 通过栅极极化状态 ( $P_r$ ) 实现对来自源-漏电流的调制, 使它明显增大减小, 根据源-漏电流的相对大小即可读出所存储的信息。NDRO 的过程不需要使栅极状态反转, 对所存数据的读取是非破坏性的。目前产品化的 FeRAM 的主要是基于钙钛矿结构的锆钛酸铅  $\text{Pb}(\text{ZrTi})\text{O}_3$  (PZT) 和铋系层钙钛矿结构的铌酸锶铋  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT) 两类铁电薄膜材料。FeRAM 存储单元主要由 1T-1C、2T-2C 等结构类型, 其存储单元主要由电容和场效应管构成, 电容的两个电极板中间沉淀一层晶态的铁电晶体薄膜。未来的发展是要提高着现存铁电薄膜的性能, 缩小单元面积提高集成度。

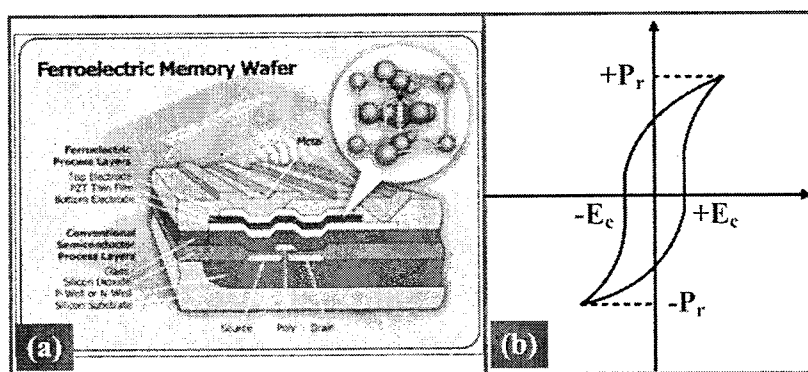


图 1.3 (a) 铁电存储器器件结构, (b) 铁电薄膜电滞回线

磁性存储器 MRAM 是在 20 世纪 80 年代初首次提出的。MRAM 是利用磁致电阻效应来进行存储的一种新型非易失性存储器。通过磁场改变存储单元的电阻大小来实现“0”和“1”的存储[6-7]。磁致电阻效应是指在磁场的作用下材料的导电特性发生变化的现象。磁致电阻效应包括: 正常磁致电阻 (Ordinary Magneto-Resistance, OMR)、各向异性磁致电阻 (Anisotropic Magneto-Resistance, AMR)、巨磁电阻 (Giant Magneto-Resistance, GMR)、庞磁电阻 (Collosal Magneto-Resistance, CMR) 和隧道磁致电阻 (Tunnel Magnetoresistance, TMR), 目前 TMR 在 MRAM 中应用最广。基于 TMR 效应的 MRAM, 通常情况下采用金属三明治结构, 最上面为自由层, 中间的是隧道层, 下面的是固定层。自由层的磁场极化方向是可以改变的, 而固定层的磁场方向是固定不变的。每个存储单元是由一个磁性隧道结 MTJ 组成的, 一个 MTJ 一般情况下有两个磁性层和一个将磁性层隔开的绝缘层。如图 1.4 所示为 MRAM 的磁存储单元示意图。在三明治结构当中, 两个磁电极的磁化方向平行和反平行时是不同的。平行

和反平行两种磁化方向就会引起不同的隧穿可能性。如果电子穿越绝缘体势垒时保持其自旋方向不变,那么两层磁性材料磁矩平行,材料呈现低阻态。与之相反,如果两层磁性材料磁矩反平行的话,材料呈现高电阻状态。存储单元的平行态(低电阻态)代表二进制“0”状态,存储单元的反平行态(高电阻态)代表二进制“1”状态。MRAM 通过检测存储单元电阻的高低来判断所存储的数据是“0”还是“1”。MRAM 可以做到与 DRAM 类似的高速度、读取无破坏性、无需消耗较高能量,同时还可以方便的嵌入到逻辑芯片当中,具有美好的前景。另一方面,为了提高 MRAM 的性能,在高磁环境下的磁场屏蔽、新原理和新结构、相邻存储单元之间的干扰等研究方向还存在一些挑战。

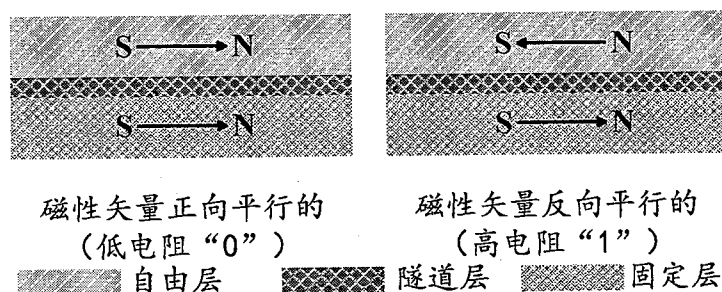


图 1.4 MRAM 通过检测存储单元电阻的高低来判断存储数据

阻变随机存储器 RRAM 是利用某些材料在电激励作用下是否形成导电细丝出现不同电阻状态的来进行信息存储的新型非易失性存储器<sup>[8]</sup>。RRAM 具有与 CMOS (Complementary Oxide Semiconductor) 工艺兼容、低功耗、读写速度快、结构简单等优势,受到学术界和工业界等的关注。如图 1.5 (a) 所示为 RRAM 的器件, RRAM 的存储单元的结构简单,以 MIM (Metal-Insulator-Metal) 金属(顶电极)-绝缘层(阻变层)-金属(底电极)三明治结构为存储单元。中间的绝缘层是具有电诱导阻变特性的材料,材料的电阻会在特定外加信号下发生变化。根据发生阻态转换的电压极性,可以将 RRAM 分为单极性和双极性两类,图 1.5 (b) 和 (c) 所示的两类 RRAM 的 I-V 特性曲线。单极性是指器件由高阻态向低阻态 (SET 过程) 和低阻态向高阻态 (RESET 过程) 转变过程所需要的电压极性相同,只是电压的大小不同。对于双极性而言,器件进行 SET 和 RESET 时,所需要的电压极性相反,在一个极性上只能出现一种阻变过程。在直流扫描的过程中,回路中施加一个限制电流 CC (Compliance Current) 用来保护器件,以防止回路中电流过大,导致器件永久击穿。当对上下电极施加电压,通过改变所加电压值的大小及方向,使中间的绝缘层(阻变层)的电阻值在高低阻之间发生转变,不同状态的电阻值对应着不同的存储信息。外加读电压读取时,高低阻态会由不同的电流流经阻变功能层,以此来存读取信息状态“0”和“1”。在近来的发展过程当中,RRAM 着重寻找具有较快较好电阻转变特性的材料体系,例如  $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{Ta}_2\text{O}_5$  等固态电解质材料和金属氧化物材料<sup>[9-10]</sup>。并且通过实

验发现, 掺杂技术可以有效的改善 RRAM 器件的性能。在器件集成结构方面, RRAM 主要由 1R (One Resistor)、1T1R (One Transistor One Resistor) 和 1D1R (One Diode One Resistor) 三种结构, 目前各大公司倾向于集成度高, 易于 3D 集成的 1D1R 结构。

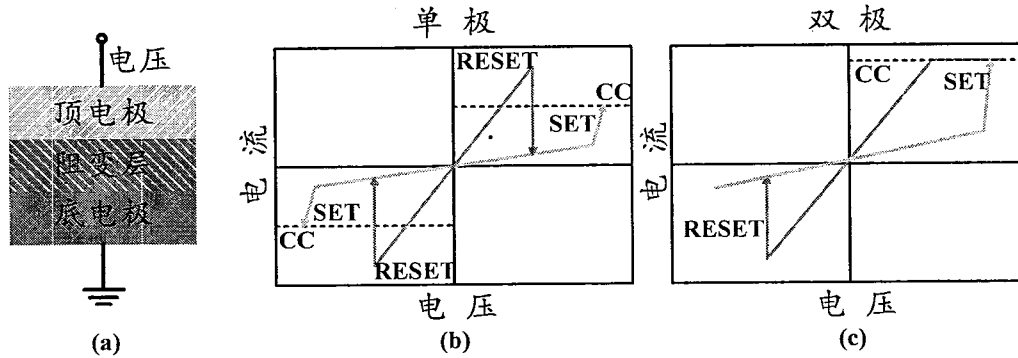


图 1.5 (a) RRAM 的 MIM 存储单元结构图; (b) 单极性 RRAM 器件 I-V 特性曲线; (c) 双极性 RRAM 器件 I-V 特性曲线

相变存储器 PCM 是上世纪 60 年代由奥弗辛斯基 (Stanford Ovshinsky) 提出, 一种基于相变材料晶态与非晶态相互转换原理的非易失性存储器<sup>[11]</sup>。当给材料施加适当的外界电激励加热, 相变材料的晶体结构可以在晶态和非晶态之间转化, PCM 就是利用了晶态和非晶态之间大的电阻值差异实现了逻辑“0”和“1”的信息存储。晶态的相变材料有序, 电阻率较低, 为逻辑“0”状态。而非晶状态的材料无序, 电阻率较高, 为逻辑“1”状态。PCM 同时具有 DRAM 读写速度快、可重复操作和 Flash 存储器非挥发性、高集成密度的优点, 因此被认为是可以取代 DRAM、Flash 存储器的通用存储器。表 1.2 展示了各种存储器的性能特征<sup>[12-14]</sup>, 通过对比, 首先可以发现 PCM 的操作速度很快, 读写过程对数据没有破坏性, 可达到  $10^{12}$  次的高可擦除次数, 其次 PCM 的可以实现高密度集成, 易与逻辑电路和 CMOS 工艺相兼容, 同时 PCM 还可以抗辐射、抗振动、可实现多值存储、抗辐照 ( $>1\text{Mrad}$ )。基于上述优点, PCM 具有巨大的应用前景, 因此许多半导体巨头企业美光、三星、海力士等纷纷投入大量的资金和人力开展了 PCM 的研究。

表 1.2 存储器性能比较

| 性能    | DRAM             | Flash            | MRAM            | FeRAM             | PCM             |
|-------|------------------|------------------|-----------------|-------------------|-----------------|
| 尺寸    | $6-12\text{F}^2$ | $7-11\text{F}^2$ | $>20\text{F}^2$ | $>20\text{F}^2$   | $5-8\text{F}^2$ |
| 非易失性  | 否                | 是                | 是               | 是                 | 是               |
| 写/读次数 | 不限/不限            | $10^6$ /不限       | $10^{12}$ /不限   | $10^{12}/10^{12}$ | $10^{12}$ /不限   |
| 读过程   | 破坏性              | 非破坏性             | 非破坏性            | 破坏性               | 非破坏性            |
| 功耗    | 中等               | 高                | 中等              | 中等                | 低               |

| 写/擦/读时间  | 50ns/50ns/50ns | 1 $\mu$ m/100ms/60ns | 30ns/30ns/30ns | 80ns/80ns/80ns | 10ns/50ns/20ns |
|----------|----------------|----------------------|----------------|----------------|----------------|
| CMOS 兼容性 | 差              | 可以                   | ?              | 可以             | 好              |
| 多级存储     | 否              | 是                    | 否              | 否              | 是              |
| 成本       | 低              | 中等                   | ?              | 高              | 低              |
| 抗辐照性     | <50kRad        | <30kRad              | 1MRad          | 1MRad          | 1MRad          |

## 1.2 PCM 综述

### 1.2.1 PCM 工作原理

PCM 一般是基于硫系化合物 (Chalcogenides) 材料作为存储介质进行信息存储的<sup>[16]</sup>。相变材料在电脉冲操作下可以实现晶相和非晶相的转变, 两种状态的材料具有很大的光学和电学差异, 可进行逻辑“0”和“1”存储。PCM 的工作过程分为 SET、RESET 和 READ 过程, 如图 1.6 所示。SET 过程 (擦, “0”), 即结晶操作过程, 通过给相变存储单元施加一个平缓且时间较长的电脉冲, 使得相变区域温度达到结晶温度以上的熔点以下, 同时具有足够的时间完成晶化过程, 此时晶态材料呈现低阻态。RESET 过程 (写, “1”), 即非晶化操作过程, 在相变存储单元两端施加一个高而窄的电压脉冲, 电脉冲产生的高温导致相变区域内的温度达到了相变材料的熔化温度, 材料内部有序的原子结构被打乱, 材料处于熔融态, 紧接着熔融态的相变材料经历了一个快速淬火过程回到了无序的非晶态, 呈现高阻状态。READ 过程, 即数据读取的过程, 是通过给相变存储单元加载更低的电流来测量电阻值的大小完成。此 READ 电流不能够改变材料的状态, 操作过程中要防止因为电流过大而改变材料的相变状态引起的误操作。

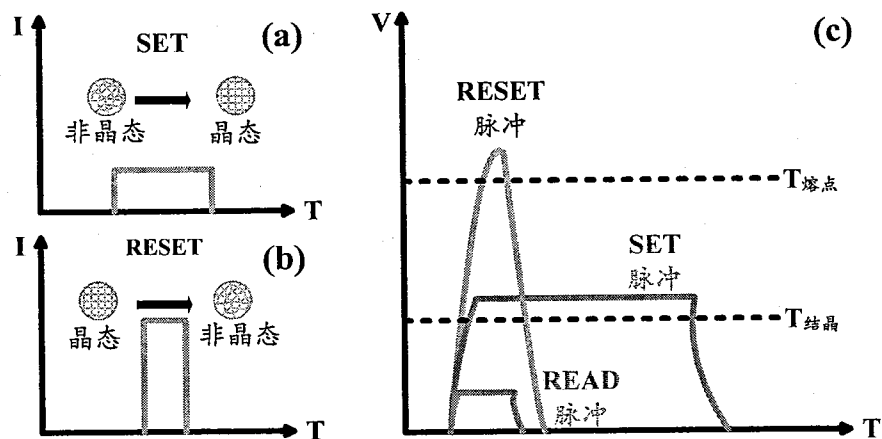


图 1.6 PCM 操作原理 (a) SET 过程, (b) RESET 过程, (c) PCM 操作脉冲

### 1.2.2 PCM 性能优化

PCM 作为下一代非易失性存储器，具有高速、高密度、可重复操作、低功耗等优势。为了制备出更高效、数据保持力更高、操作速度更快、功耗更低的 PCM，学术界和工业界分别针对相变存储介质和存储单元器件进行了大规模的研究。

就存储介质而言，相变材料是 PCM 的核心部分之一，对 PCM 的性能有决定性影响。图 1.7 展示几种典型的相变材料，大部分的相变材料可以在 Ge、Sb 和 Te 的三元相图中标出<sup>[16]</sup>。例如位于 GeTe-Sb<sub>2</sub>Te<sub>3</sub> 的带状区域，Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> (GST) 和 GeSb<sub>2</sub>Te<sub>4</sub> 材料。掺杂的富 Sb 体系 Sb<sub>2</sub>Te 和 Sb<sub>3</sub>Te 材料，另外还有以 Sb 为母体的掺杂材料 GeSb 等。PCM 最先使用的材料是 Te 基共晶合金，研究最多的、最为成熟的材料为 GST 合金。GST 材料也凭借其快的结晶速度，稳定的化学组分，大的高低电阻值差异等优势已经成功应用于光学存储和相变存储领域<sup>[17]</sup>。为了获得性能优异的 PCM，相变材料必须具备结晶速度快、非晶态热稳定性高、材料成分稳定性好、较低的熔点、大的非晶态与晶态电阻差值和晶态与非晶态密度变化小等优势。然而，很多材料并不能完全的满足上面的要求。例如，GST 材料在相变速度、存储密度和擦写循环等方面有很好的表现，但是 GST 材料的热稳定性差、结晶温度低、数据保持力低等特点使得其不能满足汽车电子等领域的要求。而且，因为 GST 晶态阻值低、熔点高等特性，会引起高密度下的热串扰等问题，影响 PCM 的可靠性。又或者对二元相变材料 Sb-Te 而言，虽然其具有较快的晶化速率，但是其热稳定性差，从而导致了 PCM 的数据保持力差。针对相变材料现存的这些问题，国内外采取了很多方式来改善相变材料的特性。通过在 GST，Sb-Te 和 Ge-Te 二元相变材料中掺入 Cu、Ti、Al、Cr 等金属元素，C、N 等非金属元素以及 TiO<sub>2</sub>、SiO<sub>2</sub> 等介质材料来改善相变材料的热稳定性和数据保持能力<sup>[18-25]</sup>。研究发现，通过掺杂可以细化晶粒、提升数据保持力、热稳定性以及 PCM 的可靠性。同时，也引入新型的相变材料薄膜结构进入器件中来提升器件的性能，例如类超晶格结构、双层结构等也可以有效的提升器件的性能。

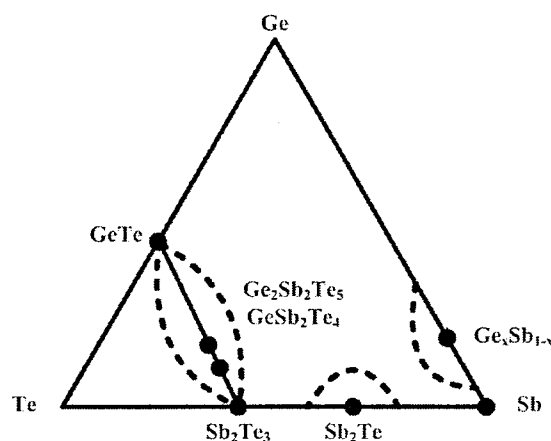


图 1.7 几种典型的相变材料三元相图

另一方面, PCM 的存储单元也是影响存储器性能的重要因素之一。为了获得高密度、高速、低功耗、稳定性好的存储器, PCM 的存储单元结构不断被优化, 同时很多新的 PCM 存储结构也被提出。图 1.8(a)所示的就是传统的 T 型 PCM 存储单元结构示意图, 从上往下分别为顶电极、相变层、加热电极和底电极, 加热电极被电介质包裹用以减少热量损失和电流泄露。T 型结构是目前研究最广泛的器件结构, 这种结构工艺简单、成本较低。目前主流的 T 型结构有柱形加热电极和刀片加热电极两种结构, 器件结构的 TEM (Transmission Electron Microscope) 切片图分别如图 1.8(b)和(c)所示, (b) 图为柱形加热电极, (c) 图为刀片加热电极。两种结构的主要区别在于加热电极和相变层的接触面积, 柱形加热电极的形状为圆柱型接触面积较大, 而刀片电极和相变层的接触面积较小。加热电极和相变层的接触面积是制约 PCM 功耗和操作电流的重要因素, 接触面积越小, 功耗和操作电流小, 反之, 如果接触面积大, 功耗和操作电流则较大。因此在同一工艺节点下, 刀片加热电极的 PCM 比柱形加热电极的 PCM 具有更小的功耗和操作电流。

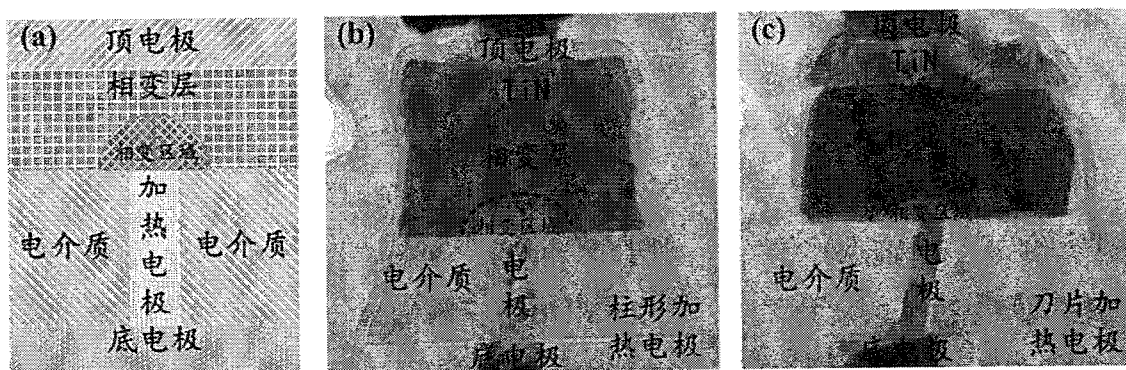


图 1.8 (a) T 型 PCM 存储单元示意图, (b) 柱形加热电极 T 型 PCM 存储单元 TEM 切片, (c) 刀片加热电极 T 型 PCM 存储单元 TEM 切片

除了传统的 T 型 PCM 单元结构以外, 许多新型的相变存储单元结构相继被提出, 例如限制型 PCM (confined PCM) 存储单元结构<sup>[26]</sup>、Philips 发表的线性平面 PCM 存储结构<sup>[27]</sup>、STMicro 公司提出的  $\mu$ -Trench 型 PCM 存储单元结构和 1T2R 双侧墙交叉结构的器件等结构<sup>[28-29]</sup>。限制型结构, 通过减少相变材料的体积来降低功耗, 减小操作电流, 而线性平面 PCM 结构主要是通过控制相变材料的厚度来获得纳米级别的相变区域单元。 $\mu$ -Trench 型 PCM 存储单元结构则结合了减小电极接触面积和减小相变材料体积两种方法, 是相变桥的延伸, 将材料沉积在  $\mu$ -Trench 沟槽间, 通过控制沟槽电极厚度和材料宽度来调节电极接触面积降低功耗。1T2R 结构单元器件可以通过减小侧墙的厚度来降低加热电极于相变层的面积, 有效的减小操作电流, 并且在不变工艺节点的情况下可以有效的提升 PCM 的密度。图 1.8(a)、(b)、(c)和(d)所示的分

别是限制型、线性平面、 $\mu$ -Trench 型和 1T2R 单元结构图。

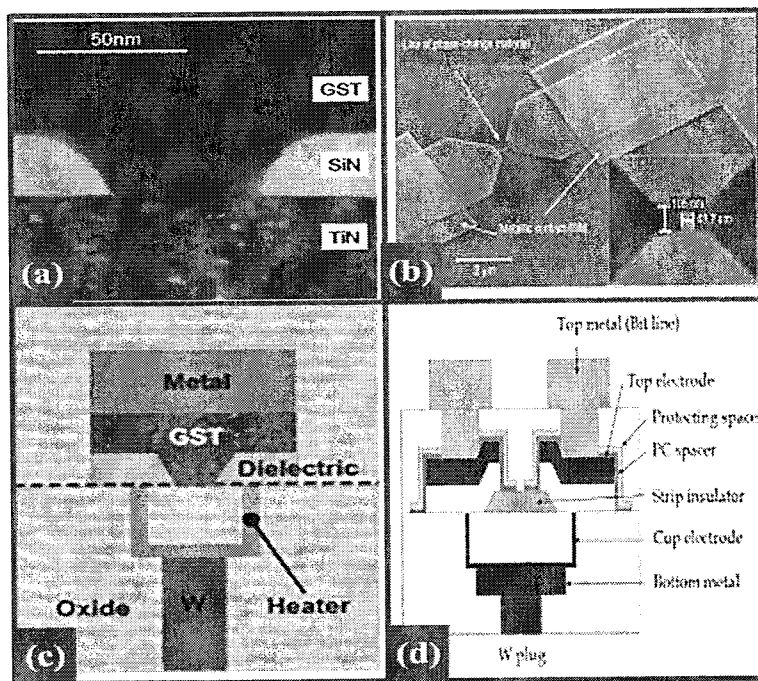


图 1.9 (a) 限制型, (b) 线性平面, (c)  $\mu$ -Trench 和 (d) 1T2R 型 PCM 存储单元结构

### 1.2.3 PCM 发展

自 1960 年代末, 美国科学家 Stanford Ovshinsky 发现了硫系化合物材料可以应用到信息存储领域中这五六十年里, PCM 取得了很大的发展。从 1966 年第一个关于 PCM 的专利被申请, 到 1970 年第一个 256 位半导体 PCM 被 G. Moore 在 Electronics 上发布, 仅仅花费了 4 年时间。然而, 在之后的 30 年中, PCM 发展缓慢, 直到 1999 年, PCM 开始了突飞猛进的发展。Ovonyx 公司开启了商业化 PCM 技术的研究。紧随其后, 三星、Intel、IBM 等公司在工艺节点不断缩小的前提下, 逐渐开发了 64Mbit、256Mbit、512Mbit、1Gbit 和 8Gbit 容量的 PCM 芯片。并且, Mircon 公司成功的将 45nm 工艺量产的 1Gbit PCM 芯片应用到 Nokia 手机。值得一提的是, 在 PCM 的发展过程中, 国内具有自主知识产权的 PCM 也得到了快速发展, 中国科学院上海微系统与信息技术研究所联合中芯国际集成电路制造有限公司成功研制了 1Mbit、8Mbit 等 PCM 芯片。

在过去几十年中, 虽然 PCM 芯片有了很大发展, 并且三星、Mircon 公司也成功将 PCM 芯片应用到了手机当中, 但是 PCM 作为存储芯片与主流存储芯片 (SRAM、DRAM、Flash) 等相比, 在功耗、存储密度、操作速度和可靠性方面还需要进一步提升。因此, 在未来得发展当中, PCM 主要向低功耗、高密度、小尺寸、高速、高可靠性方向发展。随着工艺节点的不断缩小, 从之前的 0.18 $\mu$ m、0.13 $\mu$ m、40nm,

到目前的 28nm、16nm，乃至未来的 10nm，对 PCM 的 1T1R、1D1R 等结构集成工艺要求越来越高。PCM 制造工艺与标准的 CMOS 工艺具有良好的兼容性，相变材料通过光刻、刻蚀等工艺被集成到相变存储单元器件当中。当 PCM 向小尺寸方向发展，器件尺寸越来越小，对刻蚀工艺要求越来越高，反过来刻蚀工艺的结果和损伤会对器件性能产生很大影响。因此，很有必要去研究 PCM 的刻蚀工艺。

### 1.3 刻蚀工艺

#### 1.3.1 刻蚀工艺介绍

刻蚀工艺的主要过程就是把经过曝光、显影后光刻胶微图形中下层材料的裸露部分去掉，即在材料下层材料上重现与光刻胶相同的图形。目的就是在有掩膜的衬底上复制出掩膜图形。在半导体制造中，刻蚀工艺主要分为湿法刻蚀和干法刻蚀两种<sup>[30]</sup>。

湿法刻蚀是指使用酸、碱等化学溶液进行刻蚀的过程，通常是把晶片浸没在腐蚀液中，或者向晶片喷淋腐蚀液的方式来完成的。如图 1.10 所示的湿法刻蚀的基本原理图。首先反应物扩散输送到反应表面，其次在表面发生化学反应，最后表面层的生成物通过扩散除去。在半导体制造业的发展初期，湿法刻蚀一直占据主导地位。然而随着集成电路产业工艺节点的不断缩小，湿法刻蚀工艺的缺点逐渐凸显。尽管湿法刻蚀的设备和工艺简单，但是其严重的各向同性刻蚀特性和不整齐的刻蚀边缘并不能满足图形精细化的要求。同时，湿法刻蚀过程不利于自动化生产，伴随大量废液等问题也限制了其在微米节点以下集成电路制造业的应用，目前主要应用于对图形尺寸要求不太精细的场合。当集成电路产业的工艺节点进入微米以下时，干法刻蚀逐渐取代了湿法刻蚀占据主导地位。

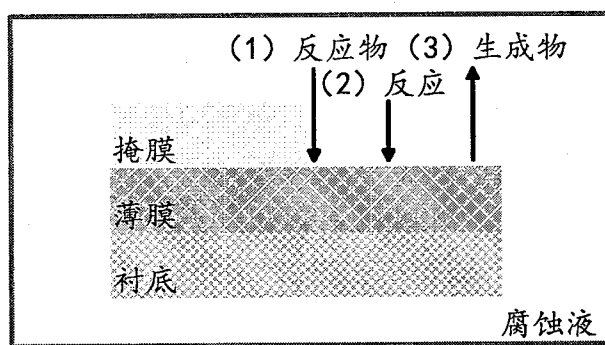


图 1.10 湿法刻蚀原理图

干法刻蚀是与等离子体有关的刻蚀过程，可实现超大规模集成电路工艺中图像高保真的转换。等离子体是一种全部或者部分离子化的气体，包含有等量的正性和负性电荷及不同数量的未分离化分子，整体表现为电中性。当足够强度的电场加到气体上，

引起气体击穿并且发生离化，这就产生了等离子体。等离子是以某种方式例如来自负偏置电极场发射释放的自由电子被外场加速获得动能，在电子穿过气体时，与气体分子发生碰撞损失能量。损失的能量转移至气体分子引起离化。干法刻蚀主要就是利用了等离子体进行刻蚀的，其所使用的等离子浓度相当低，通常在  $10^9 \sim 10^{12} \text{cm}^{-3}$  量级。等离子体通过薄膜与基态或者激发态的中性微粒发生化学反应而实现刻蚀的，刻蚀的过程同时存在着物理刻蚀与化学刻蚀两种刻蚀方式。

物理刻蚀，通常是指物理轰击溅射的过程，正性离子高速轰击薄膜的反应表面。物理溅射过程是一个各向异性的过程，能很好的实现薄膜各向异性刻蚀，提高薄膜侧壁的垂直度。同时，溅射过程也可以有效的去除薄膜表面的吸附物以及非挥发性反应产物。但是伴随着离子对薄膜表面的高能量轰击，薄膜表面的刻蚀损伤产生的几率将会大大的提升。化学刻蚀过程中，等离子体中的中性反应微粒与材料表面相互作用形成可挥发性物质。可挥发性反应产物通过真空系统被排出刻蚀腔体，完成刻蚀过程。化学刻蚀不同于物理刻蚀的溅射过程，化学刻蚀主要是与薄膜反应生成气相反应产物，表现出较高的刻蚀速率和良好的刻蚀选择性，但是由于化学刻蚀缺少高能离子的轰击，因此表现出各向同性刻蚀性质。如图 1.11 展示了干法刻蚀的基本原理。首先，刻蚀腔体中通过放电产生等离子体，接着等离子体中的反应活性基和微粒通过扩散到达薄膜表面。此后，反应活性基和微粒吸附在薄膜的表面，发生化学反应生成反应产物。同时，在这个过程中伴随着高能离子的物理溅射过程，有效的去除了薄膜表面的吸附物和非挥发性反应产物。最后，化学反应生成的挥发性产物，物理溅射的小微粒都脱离薄膜反应表面扩散进入气体中，通过腔体的真空系统排出。

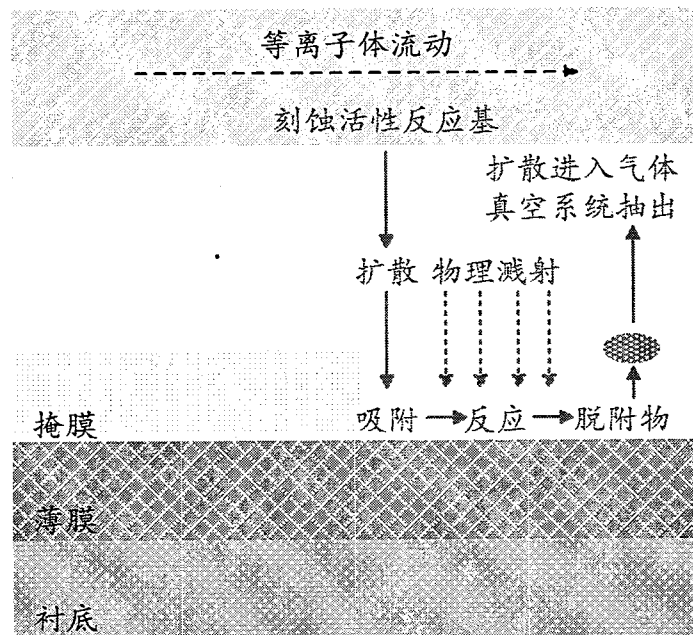


图 1.11 干法刻蚀基本原理

干法刻蚀技术包括反应离子刻蚀 (Reactive Ion Etching, RIE)、电子回旋共振 (Electron-Cyclotron-Resonance, ECR) 等离子体刻蚀、耦合等离子体 (Inductively Coupled Plasma, ICP) 刻蚀等。RIE 过程中, 包括物理刻蚀与化学刻蚀过程, 压力范围为 10~1000mTorr。相比于 RIE 过程而言, ECR 刻蚀过程中, 电子回旋共振反应器把微波源和静态磁场联系起来, 当电子旋转的角频率等于外加微波频率时, 电子能量与外加电场之间共振, 产生高浓度的离子化现象。ECR 刻蚀同样也包括物理与化学刻蚀两种方式, 压力范围为 1~100mTorr。ICP 刻蚀是高密度等离子体刻蚀, 可以通过电流线圈缠绕充满气体的石英玻璃管进行放电来产生等离子体, 电流源的频率通常为射频 13.56MHz。ICP 刻蚀可以在很低的工作气压下进行 1~100mTorr, 并且不需要引入外磁场来增强放电, 因此其被广泛的应用到半导体刻蚀工艺当中<sup>[31]</sup>。ICP 刻蚀过程同样也包括物理和化学两种刻蚀方法。本文的研究内容主要涉及了反应离子刻蚀和耦合等离子体两种刻蚀方法。

### 1.3.2 干法刻蚀在 PCM 当中的应用

半导体产业的发展过程中, 刻蚀工艺起到至关重要的作用, 是超大规模集成电路制造中必不可少的工艺。同时, 刻蚀工艺在 PCM 的制造发展过程中也扮演者至关重要的角色。PCM 的制作工艺与标准的 CMOS 工艺具有良好的兼容性, 给 PCM 的制造带来了优势, 只需在前段逻辑层和后端的金属线之间嵌入相变存储单元器件。所以, 在 PCM 的制造过程中, 需要引入相变存储单元的制造工艺。而就 PCM 工艺而言, 相变材料的刻蚀过程对整个器件的具有重要的意义。因此, 不论是学术界还是工业界对于相变材料的刻蚀工艺都做出了很多研究。

在学术界, Se-Koo Kang 等人研究了基于  $\text{CF}_4$ 、 $\text{Cl}_2$  和  $\text{HBr}$  三种不同等离子体的 GST 刻蚀损伤<sup>[32]</sup>。研究表明, 三种不同的刻蚀气体中,  $\text{HBr}$  和 GST 的反应比较慢, 因此  $\text{HBr}$  气体在光板 GST 和带结构的 GST 刻蚀过程都表现出了最少的刻蚀损伤。而  $\text{Cl}_2$  和  $\text{CF}_4$  因为其与 GST 的较快的反应和较强穿透能力而表现出了较大的刻蚀损伤。Zhou Jiao 等人对类超晶格结构  $\text{GeTe/Sb}_2\text{Te}_3$  基于  $\text{Cl}_2/\text{Ar}$  的耦合等离子体刻蚀性质进行了研究<sup>[33]</sup>。通过研究, 他们发现  $\text{GeTe/Sb}_2\text{Te}_3$  的刻蚀速率随着  $\text{Cl}_2$  的比例和衬底偏压的增加而逐渐增加, 在腔体气压为 10mTorr 的时候, 刻蚀速率达到极值。并且, 他们将  $\text{GeTe/Sb}_2\text{Te}_3$  薄膜集成到了底电极为 50nm 的 T 型 PCM 件中, 获得了仅仅 145 $\mu\text{A}$  的 RESET 操作电流。针对新型的相变材料  $\text{Al}_{1.3}\text{Sb}_3\text{Te}$ 、TST 等, 张中华等人也做了一系列的研究, 用来开发和优化其刻蚀工艺<sup>[34-35]</sup>。工业界中, 刻蚀工艺被成功的应用到了 PCM 的制造过程, 多家知名的半导体公司都成功的制造出了 PCM。例如三星、海力士、IBM 等半导体公司<sup>[36-38]</sup>。如图 1.12 所示的为刻蚀工艺在各家公司的 PCM 中的应用成果。

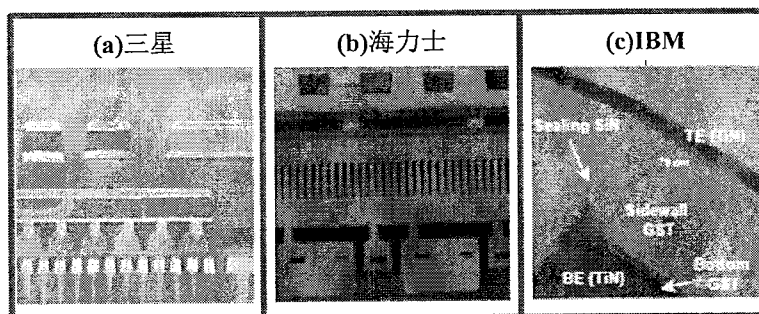


图 1.12 刻蚀工艺在 PCM 中的应用成果

#### 1.4 论文的研究内容

随着刻蚀技术成熟的应用到 PCM 集成工艺中,工艺节点的不断缩小,业界对 PCM 刻蚀工艺的要求越来越高。主要从刻蚀速率、刻蚀截面、刻蚀选择比、刻蚀薄膜表面粗糙度,以及表面残留物几方面来评价刻蚀结果。刻蚀速率是指在刻蚀过程中材料去除的速率,一般情况下工艺希望刻蚀速率越快越好,但是刻蚀速率太快刻蚀过程就不好控制。刻蚀截面主要指的是刻蚀形成的图形结构的侧壁,工艺要求刻蚀截面是各向异性且侧壁垂直的。刻蚀选择比是针对掩膜材料和薄膜材料而言的,指的是在同一刻蚀条件情况下的掩膜材料与薄膜材料的刻蚀速率比值。为了获得小尺寸结构,刻蚀的选择比越高越好。刻蚀表面的粗糙度也是衡量刻蚀结果的评价标准之一,正常的刻蚀工艺中需要刻蚀薄膜的表面的粗糙度越低越好。但是在有些工艺过程中,会特别利用物理溅射过程以增加薄膜表面的粗糙度,例如 GST 薄膜物理气相淀积(Physical Vapor Deposition, PVD)过程中会溅射衬底表面来增加 GST 薄膜与衬底的粘附力。刻蚀的表面残留物也是刻蚀过程特别想避免的部分,刻蚀残留物主要来自于聚合物、腔体污染物等。同时刻蚀过程中还会包括各种各样的刻蚀损伤,例如薄膜表面过氧化、过刻蚀等。

本论文中的研究内容首先以相变材料 GeTe 为基础,重点研究了 GeTe 的刻蚀工艺及机理,包括两种刻蚀方法:ICP 刻蚀和 RIE。相变材料 GeTe 相较于传统的相变材料 GST 的晶态和非晶态两种状态有更大的电阻差值,从被提出后就得到一系列的研究,例如掺杂改性、相变机理研究等,但是有关于 GeTe 材料的刻蚀研究很少。并且,晶态 GeTe 的晶粒比较大,与非晶态的 GeTe 差异大,所以对于某些高温工艺成长的 GeTe 材料而言很有必要去研究晶态 GeTe 的刻蚀性质。因此,本论文重点研究了非晶态 GeTe 的 ICP 刻蚀性质、RIE 性质以及晶态 GeTe 的 RIE 刻蚀性质。另一方面,GeTe 作为二元相变材料,研究其刻蚀性质对三元、甚至多元相变材料刻蚀工艺有指导性意义。

本论文中刻蚀的研究目的是要最优化的将相变材料集成到 PCM 当中, 因此基于工程化的目的, 本文的另一个研究焦点聚集在基于  $\text{Si}_3\text{N}_4$  电介质的 GST 的刻蚀工艺优化。在 PCM 的工程化过程中,  $\text{SiO}_2$  电介质的生长会氧化 TiN 电极, 因此需要将  $\text{SiO}_2$  电介质替换成  $\text{Si}_3\text{N}_4$  电介质, 一方面能够解决 TiN 电极被氧化的问题, 另一方面  $\text{Si}_3\text{N}_4$  电介质与 GST 和 TiN 电极的之间的粘附力要优于  $\text{SiO}_2$  电介质。然而, 针对  $\text{SiO}_2$  电介质上 GST 的刻蚀工艺对于  $\text{Si}_3\text{N}_4$  电介质上 GST 的刻蚀是不适用的, 因此, 需要开发基于  $\text{Si}_3\text{N}_4$  电介质的 GST 刻蚀工艺。

同时, 以提升 PCM 性能为出发点, 本论文开发了新型的相变材料  $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 。对于 Sb-Te 体系合金而言, 已经被广泛应用于光学存储的相变材料, 其具有比 GST 更高的结晶速率。传统的 GST 材料是成核生长型, 而 Sb-Te 相变材料的结晶机制是生长型, 生长型机制有利于加快结晶。然而, Sb-Te 体系相变材料的热稳定较差, 表现出了较低的结晶温度, 较差的数据保持力。因此, 在本论文的研究中, 为了优化 PCM 性能, 提升材料的结晶速度, 同时解决 Sb-Te 体系相变材料的热稳定性差的问题, 开发了新型相变材料  $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 。 $\text{Cr}_x\text{Sb}_3\text{Te}_1$  既能够保持 Sb-Te 体系合金的快速相变性能, 也有有效的改善了材料自身的热稳定性。

## 1.5 论文组织结构

综上所述可知在学术界和工业界的共同努力下, PCM 在近几十年取得了很大的发展, 逐步走上商业应用。同时一系列 PCM 的新结构, 新型相变材料和相变存储理论被逐渐提出。本论文围绕相变材料的刻蚀工艺及机理和新型相变材料的开发展开系统化分析与研究, 论文的组织架构如下:

第一章“绪论”: 主要介绍了 PCM 与其他存储的性能对比, PCM 的发展历程和发展现状。针对 PCM 的制造工艺, 介绍了刻蚀工艺在 PCM 当中的应用以及刻蚀工艺的分类、发展等。

第二章“相变材料 GeTe 的耦合等离子体刻蚀性质研究”: 本章主要对相变材料 GeTe 的 ICP 刻蚀过程和结果进行了研究。通过调节刻蚀工艺过程的刻蚀气体  $\text{BCl}_3/\text{Ar}$  比例、刻蚀腔体的腔体气压、等离子体源功率以及衬底的偏置功率等刻蚀参数, 研究了 GeTe 的刻蚀速率、薄膜表面粗糙度、刻蚀截面等刻蚀参数。并且通过 X 射线光电子能谱 (X-Ray Photoelectron Spectroscopy, XPS) 测试, 表征了刻蚀过程随薄膜表面产生的损伤。

第三章“基于  $\text{CHF}_3/\text{O}_2$  气体的相变材料 GeTe 的反应离子刻蚀研究”: 本章主要研究了基于刻蚀气体  $\text{CHF}_3/\text{O}_2$  的相变材料 GeTe 的 RIE 性质。研究的重点主要集中在刻蚀速率、表面粗糙度、刻蚀薄膜截面和刻蚀工艺过程中的腔体气压、气体比例和腔体源功率的关系。同时, 针对刻蚀薄膜截面, 研究了光阻 (Photoresist, PR) 对刻蚀截

面形貌的影响。XPS 同样被用来表征表面的刻蚀损伤。为了和 T 型相变结构保持一致，在 50nm 的 GeTe 薄膜上淀积了一层 20nmTiN 的薄膜，研究了两层薄膜的刻蚀性质。

第四章“基于 40nm PCM 芯片工艺的  $\text{Si}_3\text{N}_4$  电介质的 GST 刻蚀研究”：本章研究了基于  $\text{Si}_3\text{N}_4$  电介质的 GST 刻蚀工艺。通过对刻蚀工艺过程的调节，优化了刻蚀截面的垂直度、表面均匀度、以及刻蚀工程中材料的损失量。

第五章“ $\text{Cr}_x\text{Sb}_3\text{Te}_1$  新型相变材料的研究”：本章详细研究了新型相变材料的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  的性质，通过研究发现，Cr 的掺杂提升了材料的稳定性，有效的细化了晶粒。并且将  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  材料集成到 PCM 件当中，研究了 PCM 器件的电学性能。

第六章“全文总结与展望”：本章阐述总结了本论文所涉及的研究内容和研究热点，探讨了 PCM 未来的发展方向以及刻蚀工艺对 PCM 发展的意义。

## 第二章 相变材料 GeTe 的耦合等离子体刻蚀研究

### 2.1 引言

PCM 因为快速、高可靠性、良好的数据保持力和较低的操作功耗,被认为是下一代非易失性存储器的候选。其工作原理是通过焦耳热加热相变材料,使材料在晶态和非晶态来回转换,实现逻辑上的“0”和“1”的存储。PCM 的概念是由 S.Ovshinsky 在 19 世纪 60 年代提出,在最近几十年得到了较大的发展,基于 GST 材料的 PCM 已经成功应用到电子产品上。然而,由于 GST 材料的数据保持力和稳定性的局限,导致了 PCM 在许多高温的场合没有办法使用,例如汽车电子行业。为了弥补 GST 的缺陷,学术圈和工业界提出和研究了很多相变材料,GeTe 材料就是其中一种。GeTe 材料的晶态和非晶态两种状态有很大的电阻差值,能够实现 PCM 上逻辑“0”和“1”的存储<sup>[20,39]</sup>。

PCM 的制造工艺是与 CMOS 工艺兼容的,相变材料 GeTe 通过刻蚀工艺被集成到 PCM 件中,GeTe 的刻蚀结果会影响相变存储单元的性能。相变材料刻蚀目的是为了获得快的刻蚀速率,各向异性 and 垂直的侧壁,材料保持稳定的化学计量比。ICP 刻蚀经常被用来研究相变材料和其他一些材料,例如 InP、SiO<sub>2</sub> 的刻蚀性质<sup>[40-41]</sup>。ICP 刻蚀能够在较低的气压下产生高浓度的等离子体,刻蚀工艺过程中的腔体源功率,衬底偏置功率,刻蚀气体的组分比以及腔体的气压可以单独控制,有效的调节离子能量,等离子体密度。

在之前的一些研究中,报道了基于 Cl 基等离子体 GST 的 ICP 刻蚀的相关性质<sup>[42-45]</sup>。但是有关于 GeTe 材料的刻蚀性质研究很少,为此我们需要系统的研究 GeTe 的刻蚀性质。刻蚀过程所选的刻蚀气体为 BCl<sub>3</sub>/Ar, BCl<sub>3</sub> 主要负责化学刻蚀,同时也可以消除腔体中的水蒸气和氧的一些残留物。Ar 被用来完成物理刻蚀的过程,消除工艺过程中的薄膜表面的非挥发物和残留物。

### 2.2 ICP 系统介绍

GeTe 的 ICP 刻蚀工艺过程是基于 ULVAC 公司 NE-550H 刻蚀系统完成的,该系统的示意图如图 2.1 所示。该系统适用于 8 寸(200mm)的晶片,主要包括上下两个射频源。上射频源频率为 13.56MHz,其主要通过线圈的耦合作用产生高浓度的等离子体,决定了刻蚀腔体中等离子体的浓度。下射频源频率为 400KHz,施加在刻蚀衬底晶圆片上,主要用来产生一个靠近衬底的具有方向性的电场来达到具有各向异性的刻蚀形貌,同时也可以用来控制刻蚀腔体中的离子的能量。这两个分开的射频发生器,可以提供对离子浓度和强度的分开控制。该系统配备的气体包括有 CF<sub>4</sub>、Cl<sub>2</sub>、BCl<sub>3</sub>、

$O_2$  和 Ar, 工艺过程的晶圆温度通过氦气来进行调节, 可以实现晶圆温度优异的控制。

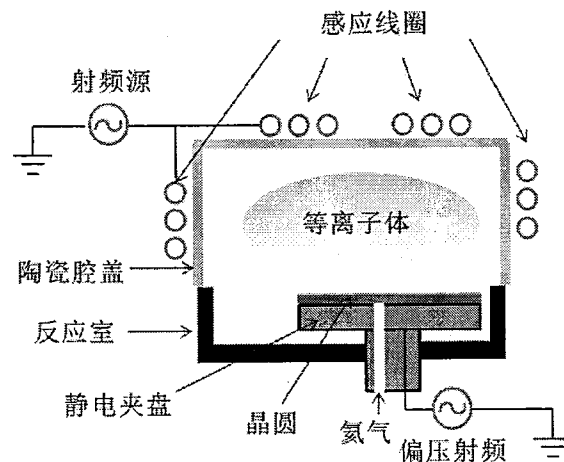


图 2.1 ICP 刻蚀系统示意图

## 2.3 相变材料 GeTe 的 ICP 刻蚀研究

### 2.3.1 实验过程

本章中 GeTe 的 ICP 刻蚀工艺过程主要步骤如图 2.2 所示。主要包括清洗衬底、沉积薄膜、涂光刻胶、曝光显影、刻蚀和去除光刻胶等步骤。

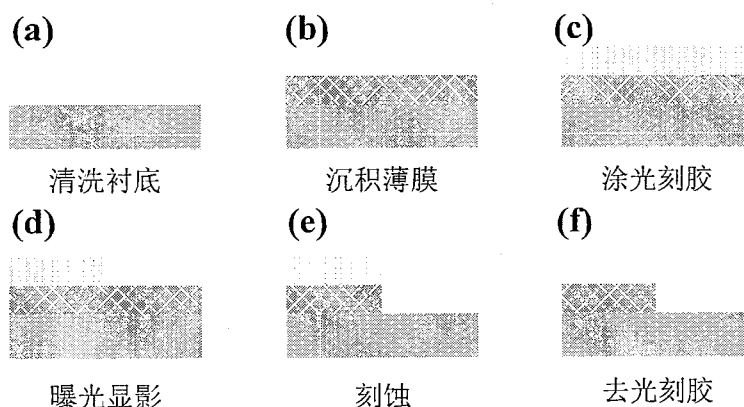


图 2.2 相变材料 GeTe 的 ICP 刻蚀工艺步骤

(1) 清洗衬底：清洗衬底的目的是去除衬底表面和背面有机物和杂质。首先将准备好的衬底置入丙酮溶液中超声清洗 5 分钟后，用去离子水冲洗干净，氮气吹干。再将衬底置入乙醇溶液中超声清洗 5 分钟后，再次用去离子水冲洗干净，氮气吹干，放入  $100^{\circ}\text{C}$  的烤箱中烘烤 20 分钟，去除衬底上的水；

(2) 沉积薄膜：GeTe 薄膜的制备使用的是磁控溅射方法，设备采用的是中国科

学院上海微系统于信息技术研究所和上海纳晶科技有限公司联合研发的多功能等离子真空溅射系统（型号 JGMF500），最多可以进行四靶共溅射。实验过程的 GeTe 薄膜是单质 Ge 靶和 Te 靶（纯度 99.99%）共溅射制备的，Ge 靶的溅射功率为 24W 直流电源，Te 靶的溅射功率为 8W 射频电源。薄膜的厚度采用场发射扫描电子显微镜（Scanning Electron Microscope, SEM）来测量，薄膜的成分通过场发射扫描电子显微镜配备的 X 射线能谱测定（Energy Dispersive X-Ray Spectroscopy, EDS）确定；

（3）涂光刻胶：在沉积好的薄膜表面，使用甩胶机旋涂型号为 PR1-1000A 的正型光刻胶，用以在薄膜表面形成刻蚀所需图形；

（4）曝光显影：将旋涂好光刻胶的样品，放置在温度为 100℃ 的热板上烘烤 10 分钟进行坚膜，去除光刻胶中的水汽，硬化光刻胶。坚膜过后样品在光刻机上进行曝光，曝光时间 8 秒。曝光过后，紧接着将样品在显影液中进行显影。显影完成，用去离子水冲洗将样品冲洗干净，用氮气吹干，在光学显微镜下面确认显影是否符合要求。如果不符合要求，重复以上曝光显影步骤，直到达到要求为止；

（5）刻蚀：将显影完成之后的样品，投入刻蚀腔体当中，按照既定的刻蚀参数进行相变材料的刻蚀。本次实验过程中，衬底和腔体的温度被设置成 100℃ 和 50℃， $\text{BCl}_3$  和 Ar 的总的气体流量恒定为 50sccm。通过调节刻蚀工艺过程中的衬底偏置功率，腔体源功率，腔体气压和气体组分比等工艺参数，研究 GeTe 不同的刻蚀性质；

（6）去除光刻胶：刻蚀过程中，采用光刻胶作为掩膜材料，刻蚀完成之后，需要将掩膜材料去除，即去除光刻胶。首先将刻蚀完成后的样品置入丙酮溶液中浸泡 20 分钟，浸泡后的样品用去离子水冲洗干净，使用氮气吹干。再将吹干的样品置入乙醇溶液当中浸泡 20 分钟，浸泡后同样用去离子水冲洗干净，在使用氮气吹干。将此过程重复 2 到 3 次后，将样品拿到光学显微镜下面观察光刻胶是否去出干净。如果没有去除干净，则再次重复以上过程。在刻蚀工艺中，光刻胶的性质已经发生变化，可能会出现丙酮和乙醇溶液没有办法去除光刻胶的情况。这种情况，可以尝试在浸泡丙酮和乙醇溶液时，对样品进行超声清洗，或者使用热板工艺，提高溶液的温度。

最后，完成了以上步骤之后，将去胶清洗完成的样品放入温度为 100℃ 的烘箱中烘烤 20 分钟，用以去除样品包含的水分。烘烤结束后就意味着完成了 GeTe 的 ICP 刻蚀的整个过程。接下来，就是对刻蚀完成的样品进行表征测试。本实验中，SEM（Hitachi, S-4700）被用来观察 GeTe 薄膜的刻蚀形貌和刻蚀的深度。原子力显微镜（Atomic Force Microscope, AFM）被用来观察刻蚀完的光片薄膜表面粗糙度，测试过程中使用非接触模式，扫描区域大小为  $5 \times 5 \mu\text{m}^2$ ，垂直方向和水平方向的分辨率都为 7.6nm。XPS（Kratos AXIS Ultra）被用来分析刻蚀完的薄膜的化学成键。为了获得薄膜不同深度的成键情况，我们将样品进行了深剖分析，使用 Ar 离子溅射移除表面的材料。每移除一层材料，就收集一次表面能谱，直到不再扫描到 Cl 的信号。XPS 测试过程，使用的是单色化 Al 靶，宽谱通能为 160eV，分辨率为 1eV，窄谱通能为

40eV, 分辨率为 0.1eV, 测试区域为面积  $300\mu\text{m} \times 700\mu\text{m}^2$  的椭圆。AFM 测试和 XPS 是基于光板薄膜测试的, 即薄膜没有图形化。

### 2.3.2 GeTe 蚀工艺与刻蚀气体组分比关系

图 2.3 (a) 所示的是 GeTe 刻蚀速率与刻蚀气体组分比的关系曲线, 其他刻蚀参数是固定的, 刻蚀腔体气压 3.75mTorr、衬底偏置功率 200W、腔体源功率 600W。从图 2.3 (a) 中可以看到, 随着  $\text{BCl}_3$  组分从 20% 到 80% 的不断增加, GeTe 的刻蚀速率近乎线性增加的, 在  $\text{BCl}_3$  组分为 80% 时获得最大刻蚀速率 940nm/min。在等离子系统中, 当电子和微粒之间发生碰撞时, 微粒会被激发成离子态, 例如  $\text{BCl}_3 + e = \text{BCl}_2^+ + \text{Cl} + 2e$ ,  $\text{Cl} + e = \text{Cl}^+ + 2e$ ,  $\text{BCl}_3 + e = \text{BCl}_2 + \text{Cl}^+$ 。刻蚀工艺过程中, 保持腔体气压、衬底偏置功率、腔体源功率和刻蚀气体总量不变, 增加  $\text{BCl}_3$  的含量将会促使腔体中激发出更多的  $\text{BCl}_2^+$  离子和 Cl 原子<sup>[46-48]</sup>。因此在实验中, 随着  $\text{BCl}_3$  的组分从 20% 增加到 80%, 腔体中的活性  $\text{BCl}_2^+$  离子和 Cl 原子逐渐增大。不断增多的活性  $\text{BCl}_2^+$  离子和 Cl 原子大大的促进了刻蚀过程的化学反应, 同时也促进了物理刻蚀过程, 有效的增加了 GeTe 的刻蚀速率。刻蚀过程反应生成的挥发物由真空系统排出, 而非挥发物存在于薄膜表面, 通过 Ar 和其他粒子的物理溅射移除。在刻蚀速率近乎直线增加的前提下, 能够观察到  $\text{BCl}_3$  的组分从 50% 到 60% 增加的过程中, 刻蚀速率有个小幅度的下降, 这可能是由刻蚀过程中的物理刻蚀和化学刻蚀之间的相互竞争引起的<sup>[49-51]</sup>。50% 以前刻蚀以物理溅射为主, 50% 到 60% 之间物理刻蚀和化学刻蚀之间存在竞争, 当超过  $\text{BCl}_3$  组分超过 60% 后, 化学刻蚀占主导地位。

### 2.3.3 腔体气压对刻蚀工艺的影响

刻蚀腔体气压对刻蚀速率和表面粗糙度的影响可以由图 2.3 (b) 分析, 在图 2.3 (b) 中可以看到, 当刻蚀腔体气压低于 5.25mTorr 时, 刻蚀速率近乎线性增加, 当腔体气压超过 5.25mTorr, 刻蚀速率开始降低。在腔体气压为 5.25mTorr 时, 刻蚀速率达到极值 876nm/min。腔体气压低于 5.25mTorr 时, 不断增加的气压有利于  $\text{BCl}_3$  的分解。刻蚀速率开始的线性增加是由于腔体中不断增加的化学活性离子和原子量, 促进了刻蚀过程的化学反应。当气压超过 5.25mTorr, 逐渐增加的气压将会大大地增加鞘层中粒子之间的碰撞几率, 降低了粒子间的平均自由程和鞘层的电势, 也有可能降低了腔体中的活性反应粒子含量。粒子间的平均自由程和鞘层电势的降低, 导致了轰击薄膜表面粒子的能量也降低了, 物理刻蚀速率降低<sup>[52-54]</sup>。而且, 气压的不断f增加也会使得离子轰击衬底的角度变得越来越广, 刻蚀的各向异性也会降低。同时还可以观察到, 随着腔体气压不断增加, 刻蚀薄膜表面粗糙度逐渐降低, 这可能是离子能量降低引起的<sup>[54]</sup>。轰击表面的能量离子降低, 解吸附非挥发性产物的能力降低。

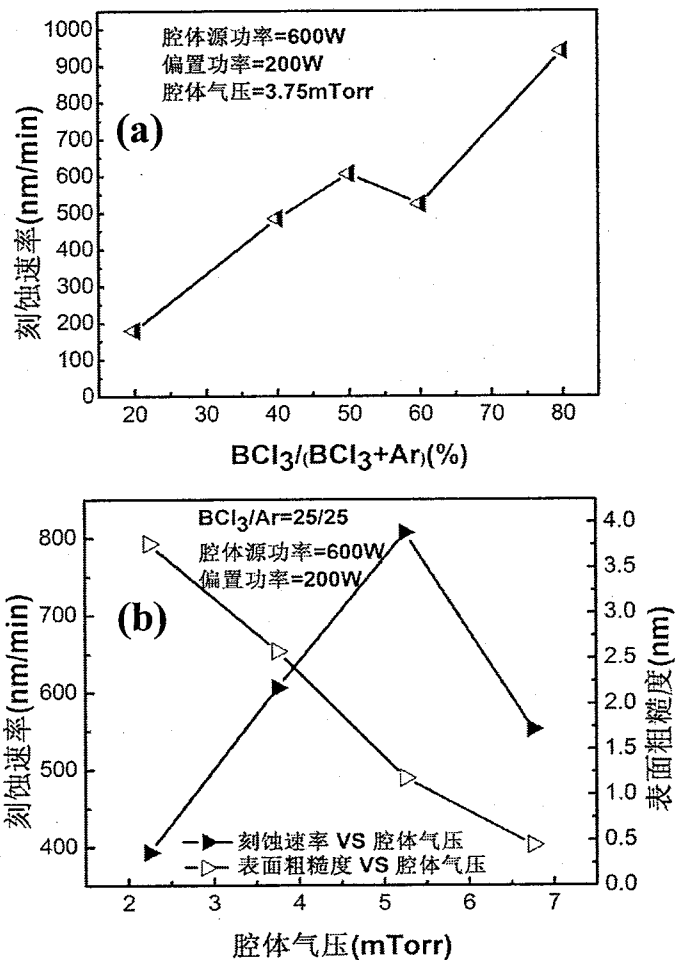


图 2.3 (a) GeTe 刻蚀速率与气体组分比关系曲线, (b) 刻蚀速率和表面粗糙度与腔体气压关系曲线

图 2.4 (a) -(j)所示的为不同比例的  $\text{BCl}_3/(\text{BCl}_3+\text{Ar})$  刻蚀气体下 GeTe 薄膜刻蚀的表面和截面 SEM 图。刻蚀工艺过程中,其他刻蚀参数保持不变,衬底偏置功率 200W、腔体源功率 600W、腔体气压 3.75mTorr。通过图 2.4 可以观察到  $\text{BCl}_3$  所占比例为 50% 时,刻蚀的截面表现的最垂直,各向异性特征明显。 $\text{BCl}_3$  所占比例为 60% 时,刻蚀薄膜表面表现的最为粗糙,这可能是由于表面的非挥发产物引起的。然而通过观察可以发现所有组分比的刻蚀结果显示刻蚀截面上都没有刻蚀残留物和聚合物。

### 2.3.4 衬底偏置功率和腔体源功率对刻蚀工艺的影响

前面研究了  $\text{BCl}_3/\text{Ar}$  气体组分和腔体气压对 GeTe 材料刻蚀性质的影响,接下来将会研究衬底偏置功率和腔体源功率对刻蚀性质的影响。图 2.5 所示的是 GeTe 刻蚀速率、薄膜表面粗糙度和衬底偏压、腔体源功率之间的关系曲线。

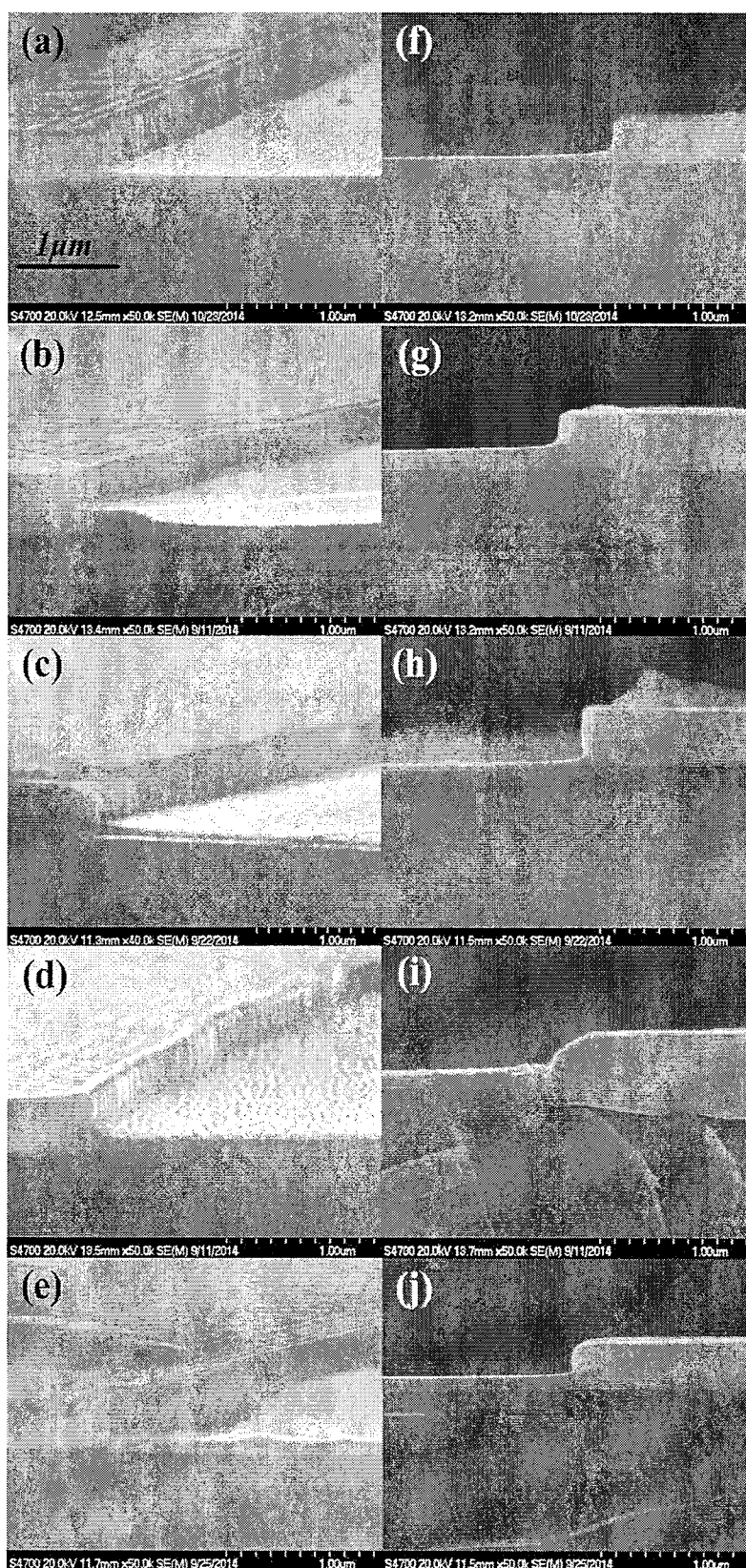


图 2.4 不同比例  $\text{BCl}_3/(\text{BCl}_3+\text{Ar})$  刻蚀气体的 GeTe 薄膜表面和截面 SEM 图: (a) (f) 20%,  
(b) (g) 40%, (c) (h) 60%, (d) (i) 60%, (e) (j) 80%

由图 2.5(a)可以看出,  $\text{BCl}_3/\text{Ar}=25/25$ , 腔体源功率为 600W, 腔体气压为 3.75mTorr 时, GeTe 的刻蚀速率和表面粗糙度随着衬底偏置功率的增加逐渐增大。当衬底偏置功率逐渐增加时, 刻蚀腔体中的微粒能量也会逐渐增加, 促进了表面的物理溅射, 使得刻蚀速率逐渐增加<sup>[46,55]</sup>。同时, 薄膜表面物理溅射过程加强, 也使得表面粗糙度逐渐增加<sup>[33-35]</sup>。

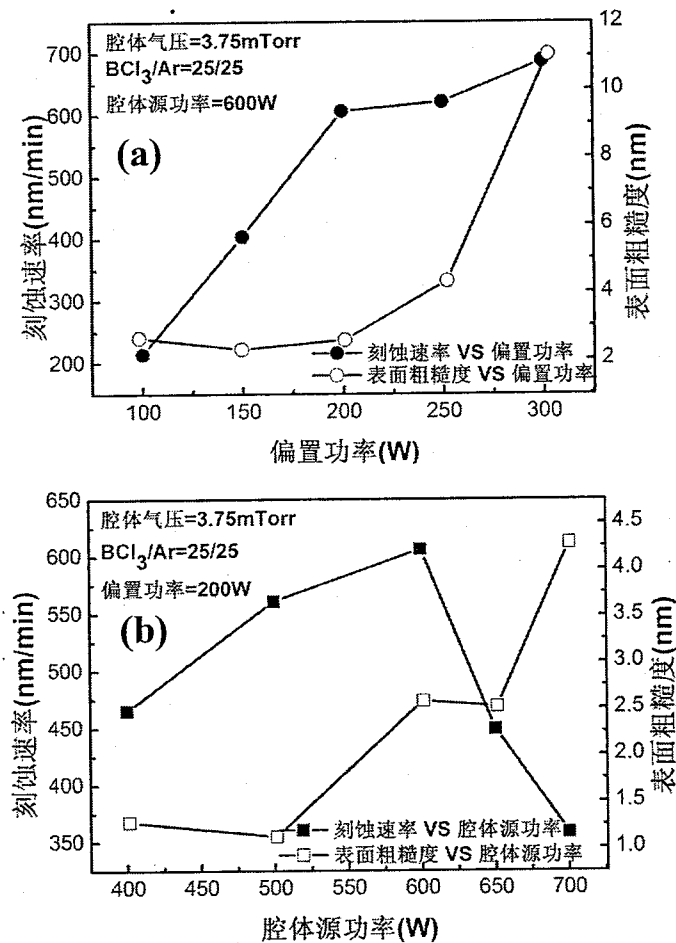


图 2.5 GeTe 刻蚀速率和表面粗糙度与 (a) 衬底偏置功率, (b) 腔体源功率的关系曲线

图 2.5(b)所示是腔体源功率与刻蚀速率以及表面粗糙度的关系曲线。此过程中, 腔体源功率为唯一变量, 其他刻蚀参数设置为定值, 分别为  $\text{BCl}_3/\text{Ar}=25/25$ 、腔体源功率 600W、衬底偏置功率 200W。由图 2.5 (b) 可知, 当腔体源功率低于 600W 时, 随着腔体源功率的不断增大, GeTe 的刻蚀速率成直线趋势增加。在 600W 获得最大刻蚀速率 606nm/min。当功率超过 600W 时, 不断增加的功率导致了刻蚀速率从 606 nm/min 降低到 358 nm/min。在腔体源功率小于 600W 的阶段, 不断增加的功率促进了腔体中粒子之间越来越多的碰撞, 不断增加的碰撞产生了更多的活性反应离子和原子。活性反应离子和原子含量的增加, 促进了化学刻蚀过程, 从而 GeTe 的刻蚀速率

随着功率的增加逐渐增加<sup>[55-57]</sup>。但是,当腔体源功率超过 600W 时,随着功率的不断增加,刻蚀速率的变化出现了相反的趋势,逐渐增加的功率导致了刻蚀速率的不断减小。这是因为在同一衬底偏置功率的前提下,较大的腔体源功率不仅可以激发更多的活性反应粒子,也能够使得鞘层厚度减小和鞘层电势降低。鞘层电势降低会引起衬底表面离子能量的降低。同时,较大的功率能够缩小离子穿过鞘层的时间,导致离子的入射角度变宽,降低了各向异性刻蚀的程度<sup>[58-59]</sup>。因此,当功率超过 600W 时,离子能量的降低和轰击角度的扩散导致了刻蚀速率的降低<sup>[60-61]</sup>。图 2.5 (b) 所示还有粗糙度和腔体源功率的关系曲线。当腔体源功率小于 600W 时,不断增加的表面粗糙度主要是由于表面越来越多的非挥发性产物引起的。当功率超过 600W,离子能量的降低和轰击角度的扩散,降低了对表面聚合物和残留物的解吸附能力,从而表面粗糙度继续增加。

### 2.3.5 刻蚀损伤研究

前面的实验系统的研究了刻蚀性质与刻蚀气体组分比、腔体源功率、衬底偏置功率和腔体气压的关系,确定了 GeTe 的 ICP 刻蚀的参数:  $\text{BCl}_3/(\text{BCl}_3+\text{Ar})=50\%$ 、腔体源功率 600W、衬底偏置功率 200W、腔体气压 3.75mTorr。为了研究刻蚀工艺对 GeTe 材料的损伤,我们将没有光刻的光板样品置入刻蚀腔中进行刻蚀,刻蚀参数设定如上。刻蚀后的样品,首先会被暴露在空气中,再去进行 XPS 测试,因此表面会形成一层薄薄的氧化层。图 2.7 和图 2.8 展示了刻蚀后的 GeTe 的薄膜 XPS 深剖分析结果,图 2.7 所示的为 (a) Te3d、(b) Ge2p 和 (c) Ge3d 的结果,图 2.8 所示的为 (a) Cl1s、(b) Cl2p 和 (c) O1s 的结果,图中所有的时间值代表 Ar 离子溅射薄膜表面的时间,总共溅射时间为 150s。

在图 2.7 (a) 中,薄膜表面 Te3d 的结合能为 573.1eV 和 573.6eV,分别对应 Te-Te 键和 Te-Cl 或者 Te-O 键<sup>[33-34]</sup>。因为 Te- $\text{Cl}_x$  和 Te- $\text{O}_x$  的结合能很靠近,所以没有办法区分具体是 Te- $\text{Cl}_x$  还是 Te- $\text{O}_x$ 。经过 Ar 离子 30s 的轰击,可以观察到薄膜表面位于 576.7eV 位置的峰消失了,这表明刻蚀后的薄膜表面存在非易失性的产物 Te- $\text{Cl}_x$  和 Te- $\text{O}_x$ <sup>[34-35]</sup>。对于 Ge 元素而言,可以观察到 Ge2p 的结合能为 1218.8eV, Ge3d 的结合能为 30.0eV,这两个结合能被认为是 Ge-Te 键的结合能。在图 2.7 (c) 中,还可以观察到另一个位于 33.2eV 位置的峰,这个结合能被认为是 Ge-Cl 键或者 Ge-O 键。同样也因为 Ge-Cl 键和 Ge-O 键的结合能很靠近,所以 Te- $\text{Cl}_x$  和 Te- $\text{O}_x$  没有办法具体区分开。经过 Ar 离子 30s 的轰击,位于 33.2eV 位置的峰也消失了,这同样表明在刻蚀后的表面存在 Te- $\text{Cl}_x$  和 Te- $\text{O}_x$  残留物,经过 Ar 离子 30s 的轰击被去除了。由 Te3d、Ge2p 和 Ge3d 的结果分析可知,刻蚀后的表面存在氧化物和氯化物的残留,这些残留物的存在将会增加薄膜表面粗糙度。

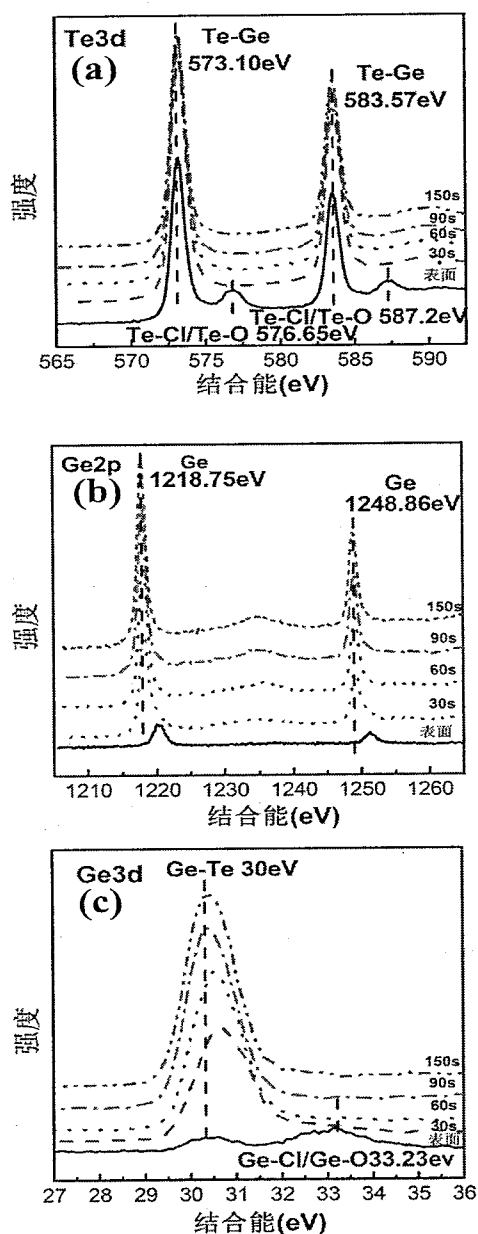


图 2.7 Ar 离子轰击前后 (a) Te3d, (b) Ge2p 和 (c) Ge3d 的 XPS 谱图

为了更好的确定残留物的成分,对 C、Cl 和 O 等元素进行了分析,结果如图 2.8 所示。由图 2.8 (a) 可知,薄膜表面的 C1s 的结合能为 284.8eV,在 Ar 离子轰击 30s 后 C1s 峰消失了,可以推断出空气中的 C 元素在薄膜表面形成了 C 的聚合物。图 2.8 (b) 中 Cl2p 的结合能为 200.3eV,被认为可能是 Te-Cl 键,同样经过 Ar 离子 30s 的轰击,位于 200.3eV 处的峰消失了,推断出表面存在氯化物。图 (c) 中可以观察到 O1s 的结合能位于 532.5eV,并且经过 Ar 离子 60s 的轰击后此处的峰才消失,轰击的时间超过了 C、Cl 元素去除的时间。这就表明,表面的氧化层厚度是比氯化物层厚

的。表面的氧化层主要来源于空气中的氧气。

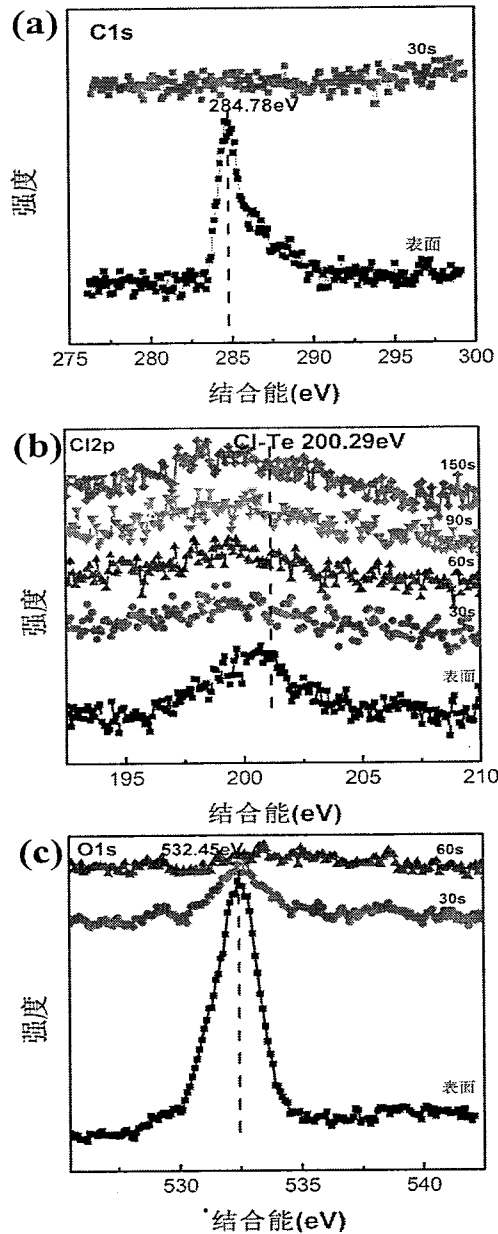


图 2.8 Ar 离子轰击前后 (a) C1s, (b) Cl2p 和 (c) O1s 的 XPS 谱图

以上对刻蚀样品的 XPS 深剖分析, 总共进行了 4 次轰击, 共 150s, 轰击的时间分别为 30s、30s、30s 和 60s, 溅射的深度大约为 10nm。在每次的轰击之后, 对样品暴露出来的表面原子比进行了收集, 结果如图 2.9 所示。当溅射时间为 0s 时, 即薄膜表面, Ge 和 Te 的原子含量相差较大, Te 元素的含量远高于 Ge 元素。随着溅射时间的不断增加, Ge、Te 两种元素的原子量逐渐靠近。在溅射时间为 150s 时, Ge、Te 两种元素的原子量接近一比一, 和 GeTe 的元素比例一致。这表明在薄膜的表面 Ge

元素更容易发生化学反应,生成可挥发的产物排除腔体,剩余较多的  $\text{Te-Cl}_x$ , 反应生成产物的熔点如表 2.1 所示。同时, Ge 原子也有可能迁移到薄膜表面,形成挥发产物被真空系统抽离腔体。

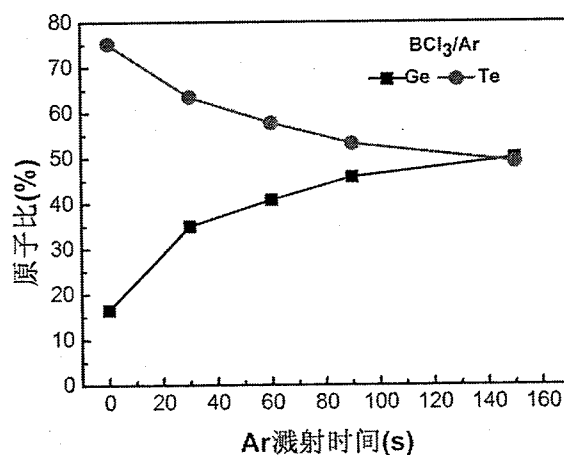


图 2.9 GeTe 薄膜表面化学组分随 Ar 离子溅射时间的关系

表 2.1  $\text{Te-Cl}_x$  和  $\text{Ge-Cl}_x$  的熔点<sup>[62]</sup>

| 元素 | 成键                  | 熔点(°C) |
|----|---------------------|--------|
| Ge | $\text{GeCl}_4$     | 86.6   |
| Ge | $\text{GeCl}_2$     | ↑      |
| Te | $\text{TeCl}_2$     | 328    |
| Te | $[\text{TeCl}_4]_4$ | 387    |

## 2.4 本章小结

本章系统的研究了 GeTe 的 ICP 刻蚀性质,分析讨论了刻蚀参数对刻蚀结果的影响。主要结果如下:

(1) 刻蚀所选用气体为  $\text{BCl}_3$  和 Ar 的混合气体。在固定腔体源功率、衬底偏置功率和腔体气压的前提下, GeTe 的刻蚀速率随着  $\text{BCl}_3$  组分的增加而增加。但是在  $\text{BCl}_3$  组分从 50%到 60%之间速率有个小幅度下降,可能是由于刻蚀过程物理溅射与化学反应的竞争引起的。

(2) 保持气体组分比、腔体源功率和衬底偏置功率等刻蚀条件不变,在腔体气压小于 5.25mTorr 时,随着气压的逐渐增大,刻蚀速率逐渐增大。当气压超过 5.25mTorr 时,气压的继续增加导致了刻蚀速率的降低。

(3) 将衬底偏置功率作为唯一变量,固定刻蚀气体组分比、腔体源功率和腔体气压。可以发现随着衬底偏置功率的逐渐增加,刻蚀速率和刻蚀表面粗糙度都是呈增加趋势的。

(4) 当刻蚀气体组分比、腔体气压和衬底偏置功率固定时,腔体源功率小于 600W 时,刻蚀速率随着功率的增加而不断增加。当功率超过 600W 时,刻蚀速率随着功率的增加而减小。在整个功率增加的过程中,薄膜的表面粗糙度都是呈递增趋势的。

(5) 通过研究,优化了刻蚀参数:  $\text{BCl}_3/(\text{BCl}_3+\text{Ar})=50\%$ 、腔体源功率 600W、衬底偏置功率 200W、腔体气压 3.75mTorr。基于优化的刻蚀参数,研究了刻蚀过程中产生的损伤。通过对样品的 XPS 深剖分析,可以发现在刻蚀完的薄膜表面存在氯化物  $\text{Te-Cl}_x$  和  $\text{Ge-Cl}_x$ ,氧化物  $\text{Te-O}_x$  和  $\text{Ge-O}_x$ ,并且氧化物层的厚度大于氯化物层的厚度。同时,对 C1s 谱图的分析可以得出,薄膜表面残留了一定量含碳聚合物,该含碳聚合物主要来源于空气。

### 第三章 相变材料 GeTe 的反应离子刻蚀研究

#### 3.1 引言

在过去的几十年中,PCM 经历了较大的发展,被认为可能取代当前主流的 DRAM 和 Flash 等存储器成为下一代存储器。经过几十年的研究发展,PCM 的在读写速度、操作功耗、存储密度和数据保持力等方面取得了很大的进步。然而,距离实现 PCM 大规模的商用,学术界和工业界仍需要在相变存储介质、存储器电路设计和相变存储集成工艺等几方面付出更多的心血。尤其是随着半导体产业工艺节点的不断减小,对 PCM 的集成工艺要求越来越高。如何最优化的将相变存储介质集成到选通器件里成为了学术界和工业界对 PCM 集成工艺研究的热点。

第二章中,我们系统的研究了相变材料 GeTe 的 ICP 刻蚀性质,主要研究了刻蚀工艺过程中的腔体源功率、衬底偏置功率、腔体气压和刻蚀气体组比对刻蚀速率、表面粗糙度以及刻蚀损伤的影响。通过实验,开发和优化了 ICP 刻蚀的工艺参数。并且针对优化的刻蚀参数,进行了有关于刻蚀损伤的研究。通过前面的研究可以发现,在 ICP 刻蚀工艺条件下,相变材料 GeTe 的刻蚀速率很高、表面较为粗糙,这使得刻蚀工艺过程不容易控制。另一方面,对刻蚀损伤的表征可以观察到,ICP 刻蚀过程中表面形成了较厚的卤化物层,反应气体中的 Cl 元素进入了 GeTe 薄膜当中。因此,为了更优的将相变材料 GeTe 集成到选通器件当中,本章致力于研究和优化相变材料 GeTe 的刻蚀工艺。不同于第二章的 ICP 刻蚀,本章采用了另一种干法刻蚀方式反应离子刻蚀 RIE,系统的研究了晶态和非晶态 GeTe 材料的刻蚀性质。

#### 3.2 RIE 系统介绍

图 3.1 所示的为常见的 RIE 系统,其相比较 ICP 系统的主要区别在于衬底偏置电源。ICP 系统中,衬底会连接到一个射频电源,但是在 RIE 系统中,衬底是直接接到地上的。在刻蚀工艺过程中,射频源通过线圈产生等离子体,晶圆片被置在夹板上。本章实验中所用的刻蚀机为 Oxford 80plus 刻蚀机,主要包括刻蚀主机、气体流量控制阀、机械泵、分子泵、冷却循环水。该系统适用于 8 寸的晶圆,连接了一个频率为 13.56MHz 最大输出为 600W 的射频源,通过氦气控制冷却。刻蚀过程中,反应腔顶部的喷洒投向反应腔中喷洒气体,流量通过流量控制阀进行控制,最大流量为 100sccm。反应腔的真空度是由分子泵控制的,最小气压可以达到  $1 \times 10^{-4}$  Pa。该系统主要配备了  $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{SF}_6$ 、Ar 和  $\text{O}_2$  等刻蚀气体,本章的实验采用了  $\text{CHF}_3$  和  $\text{O}_2$  作为刻蚀气体<sup>[63-66]</sup>。

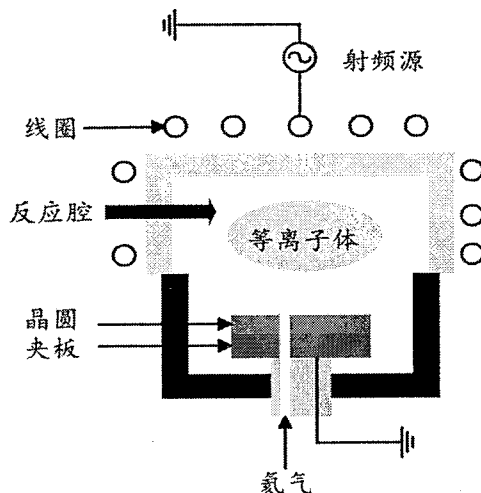


图 3.1 反应离子刻蚀系统

## 3.2 相变材料 GeTe 的 RIE 研究

### 3.2.1 实验过程介绍

本章内容研究了相变材料 GeTe 的 RIE 性质，包括了晶态和非晶态两种状态的 GeTe 薄膜。研究晶态薄膜的刻蚀性质是因为在 PCM 的制造过程中，有时候会选择沉积晶态的薄膜，例如高温 PVD 生长的薄膜，原子层沉积 (Atomic Layer Deposition, ALD) 生长的薄膜。RIE 工艺过程和第二章研究 ICP 刻蚀工艺过程步骤相似，主要包括清洗衬底、沉积薄膜、涂光刻胶、曝光显影、刻蚀和去除光刻胶等工艺步骤。由于还研究了晶态 GeTe 材料的 RIE 刻蚀性质，因此在样品的准备过程中，对沉积态的非晶薄膜进行了退火处理。退火处理是在快速退火炉（型号 RTP-5）上完成的，将非晶态的 GeTe 样品置入退火炉中，通入高纯氮气作为保护气体防止 GeTe 在退火过程中被氧化，300℃退火 5 分钟获得晶态薄膜。

实验过程中，研究了刻蚀速率、表面粗糙度等和反应离子刻蚀工艺参数的关系，包括了腔体源功率、腔体气压和刻蚀气体组分比。同时，利用 XPS 测试研究了刻蚀过程中产生的损伤和表面残留物。为了更好的将 GeTe 集成到 T 型相变存储结构，实验过程中基于 TiN 和 GeTe 双层薄膜研究了 T 型存储结构的后端刻蚀工艺，即在 50nm 厚的 GeTe 薄膜上沉积了一层 20nm 厚的 TiN 薄膜。

### 3.2.2 刻蚀气体对 GeTe RIE 过程的影响

图 3.2 所示的是晶态 GeTe 和非晶态 GeTe 材料的刻蚀速率和表面粗糙度与刻蚀气体组分比的关系，刻蚀过程中的腔体气压固定为 30mTorr、腔体源功率固定为 200W。

由图 3.2 (a) 观察可以看出晶态薄膜与非晶薄膜的刻蚀速率首先随着氧气比例的增加而增加, 在氧气比例为 12% 时达到了极值。当氧气比例超过 12% 且继续增加时, 刻蚀速率呈下降趋势。当氧气比例小于 12% 时, 氧气含量的不断增加将会促进刻蚀腔体中活性反应 F 基和 F 原子含量的增加。增加的活性反应微粒, 促进了化学刻蚀过程, 生成了更多的挥发性产物, 例如  $\text{GeF}_x$ 、 $\text{TeF}_x$  等。表 3.1 展示了标准气压和温度下各种 GeTe 氟化物的熔点。氧气在刻蚀工艺过程中具有多种作用。当氧气含量较低时, 氧气与  $\text{CHF}_3$  发生反应  $(\text{O}, \text{O}_2) + \text{CF}_x = (\text{COF}_2, \text{CO}_2) + ((x-2) \text{F}, x\text{F})$  生成了  $\text{COF}_2$  和  $\text{CO}_2$ , 提升了等离子体中 F 基的含量, 有助于刻蚀过程中的化学刻蚀<sup>[68]</sup>。然而当氧气含量较大时, 氧气将会打破氟原子和其他气体化合物之间的平衡。氧气的增加稀释了等离子体中 F 基和 F 原子的浓度, 降低了化学刻蚀的程度, 会导致刻蚀速率的下降。而且, 增加的氧气比例将会在刻蚀薄表面形成一层类氧化层, 这也会阻碍材料的刻蚀<sup>[69]</sup>。因此, 当氧气比例超过 12% 时, 刻蚀速率随着氧气比例的不断增加而降低。

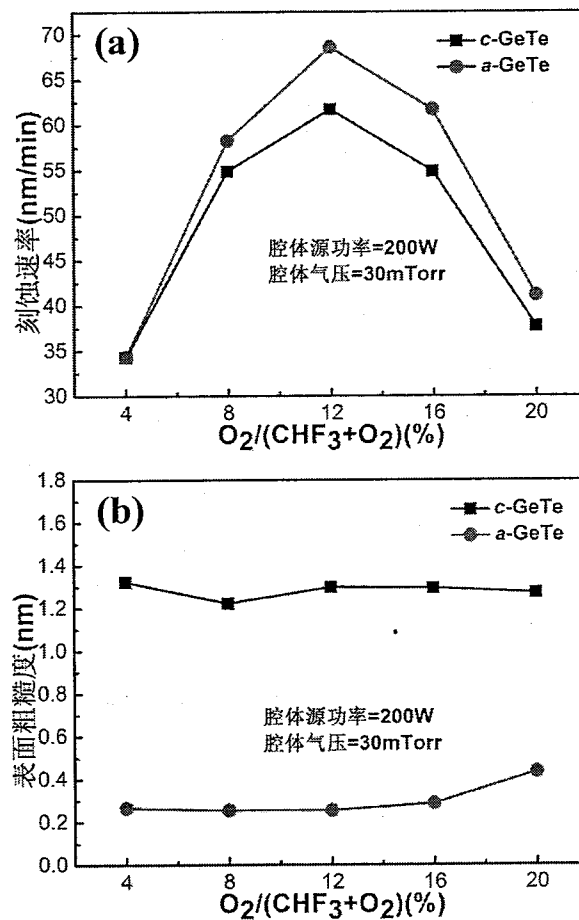


图 3.2 晶态与非晶态 GeTe 材料的 (a) 刻蚀速率和 (b) 表面粗糙度和氧气比例的关系

在图 3.2 (a) 中, 还可以观察到在同一刻蚀条件下, 非晶态薄膜的刻蚀速率是高

于晶态薄膜的刻蚀速率的。这主要是由于在晶态 GeTe 材料中存在键量分级，导致了晶态薄膜中的 Ge-Te 键能强于非晶态薄膜中的 Ge-Te 键能。晶态 GeTe 材料是扭曲的氯化钠结构，每个 Ge 原子和其他 6 个 Te 原子形成配位。这 6 个键有 3 个长键和 3 个短键，存在键能分级，短键的键能比长键的键能强，沿着短键的方向电子密度比短键方向高很多。然而在非晶态的 GeTe 材料中，GeTe 更可能是以 4 (Ge): 2 (Te) 和 3 (Ge): 3 (Te) 共存的结构形成配位，平均的配位数为 3。能量分级的存在，使得晶态材料的稳定性高于非晶材料，而且晶态 GeTe 的密度也是比非晶态 GeTe 高的，需要更多的能量和反应活性微粒来破坏晶态 GeTe 中 Ge-Te 键，因此导致了在同一刻蚀条件下，非晶态 GeTe 的刻蚀速率是高于晶态 GeTe 的刻蚀速率<sup>[70-73]</sup>。图 3.1 (b) 所示的是刻蚀后晶态薄膜和非晶态薄膜表面粗糙度与氧气比例的关系。从图 3.1 (b) 可以看出，刻蚀气体中氧气的比例对晶态和非晶态薄膜表面粗糙度的影响不大。两种状态的 GeTe 薄膜的表面粗糙度表现的都很小，并且随着氧气比例的增加，粗糙度稍微的增加，这可能是由于过量的氧气对薄膜表面的物理轰击作用引起的。

表 3.1 GeTe 氟化物的熔点<sup>[67]</sup>

| Ge |                  |        | Te               |        |
|----|------------------|--------|------------------|--------|
|    | 成键               | 熔点(°C) | 成键               | 熔点(°C) |
| F  | GeF <sub>4</sub> | -36.5  | TeF <sub>4</sub> | 196    |
| F  | GeF <sub>2</sub> | 130    | TeF <sub>6</sub> | -39    |

图 3.3 所示为不同氧气比例下晶态、非晶态 GeTe 薄膜的刻蚀表面与截面图，腔体源功率为 300W，腔体气压 30mTorr。刻蚀的表面和截面结果是通过 SEM 测试得到，由 SEM 图可以看到，非晶态的薄膜表面是比晶态的薄膜表面光滑的，这和图 3.2 (b) 中的结果是一致的。图 3.3 (c) 和 (i) 所示的截面比较垂直，在所有的结果当中，都可以在表面发现少量的残留物，截面上没有观察到明显的残留。并且当氧气比例较高时，可以观察到在刻蚀的截面上出现了斜坡，这可能由于高的氧气比例加快了 PR 的消耗。

图 3.4 展示了不同氧气比例下的刻蚀截面与表面图，发现当氧气比例增加时，刻蚀截面出现了斜坡，这很可能和 PR 的刻蚀有关，所以在图 3.4 中展示不同氧气比例下，带 PR 的刻蚀截面和表面的 SEM 图。通过这些结果可以观察到，薄膜的形貌是和 PR 的形貌息息相关，薄膜的形貌直接反映了 PR 的形貌。而且在图中可以发现，PR 的边缘呈现了斜坡状。斜坡的形成是由于刻蚀截面边缘处的 PR 容易被刻蚀，而其他地方的 PR 存在。我们推断这与氧气高浓度下的刻蚀截面上斜坡的产生有关。并且在刻蚀截面上观察到了波纹的出现，截面上出现的波纹可能是由刻蚀工艺过程中正离子的偏转和散射引起的<sup>[74]</sup>。偏转和散射的正离子并不是以垂直的方向轰击薄膜表面的，而是以一定的角度轰击了刻蚀截面，在截面上产生了波纹。

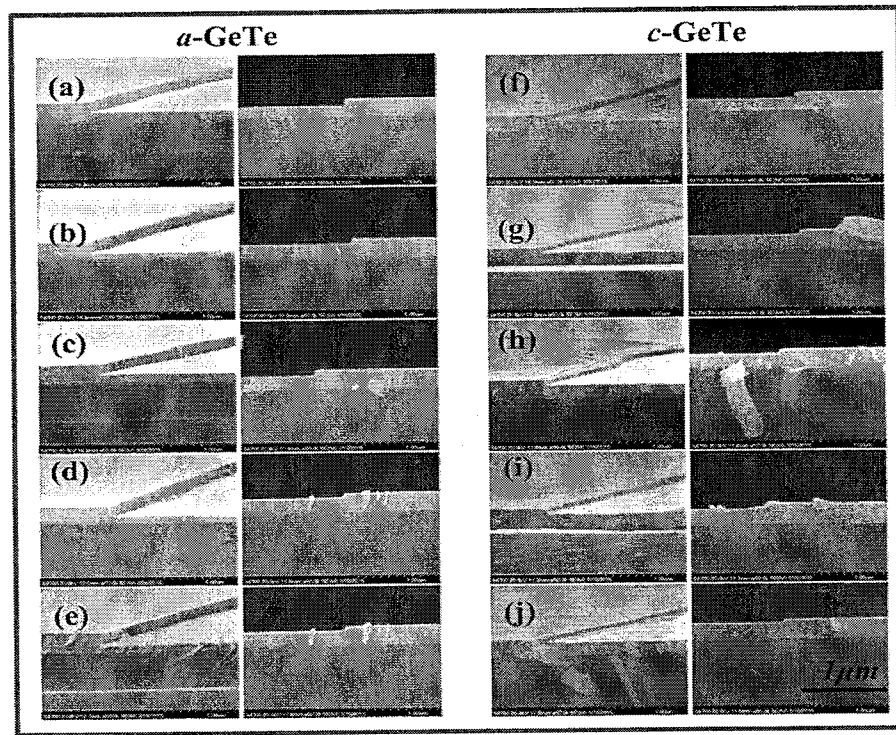


图 3.3 不同氧气比例的刻蚀表面和截面图 (a) (f) 4%, (b) (g) 8%, (c) (h) 12%, (d) (i) 16%和 (e) (j) 20%

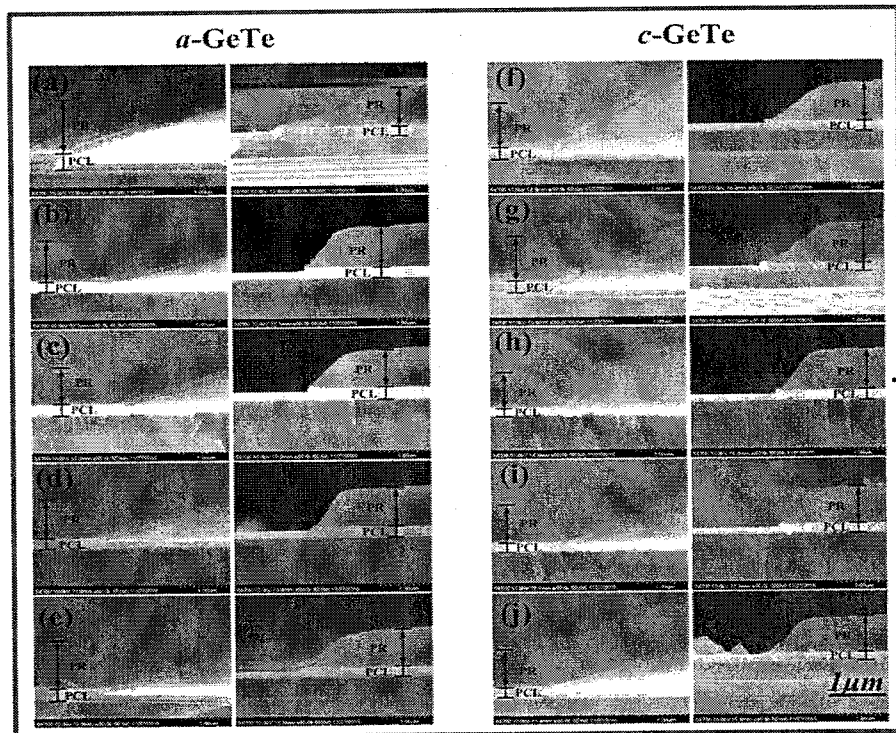


图 3.4 不同氧气比例下带 PR 的刻蚀截面和表面图 (a) (f) 4%, (b) (g) 8%, (c) (h) 12%, (d) (i) 16%和 (e) (j) 20%

## 3.2.3 刻蚀残留物分析

针对刻蚀后薄膜表面的残留物,对刻蚀后的非晶态 GeTe 的光板样品进行了 XPS 深剖分析。Ar 离子轰击前后 Ge2p 和 Te3d 的谱图分析结果如图 3.4 (a) 和 (b) 所示,图中的时间代表 Ar 离子轰击的时间。在图 3.5 (a) 中,1220eV 的结合能被认为有可能是氧化物和氟化物的混合物 (Ge-F/Ge-O), 1218eV 的结合能被认为是 Ge-Te<sup>[67,75]</sup>。经过了 60s 的 Ar 轰击,位于 1220eV 谱峰消失了,这表明经过 Ar 轰击表面的氧化物和氟化物的混合物被去除了。为了进一步确定 Ge2p 的位置,我们对 Ar 轰击 30s 的 Ge2p 谱图进行了分峰处理,结果如图 3.5 (c) 所示。选择 Ar 轰击 30s 后的谱图进行分峰处理,主要是因为刻蚀后表面的 Ge 有可能全部被氧化,薄膜内部的 Ge 为 Ge-Te 键。由图 3.5 (c) 结果可知,Ar 轰击 30s 后的表面 Ge 存在两种形式,位于 1218.1eV 和 1219.9eV 的结合能相应地为 Ge-F/Ge-O 和 Ge-Te 键,和图 3.5 (a) 中的结果相一致。

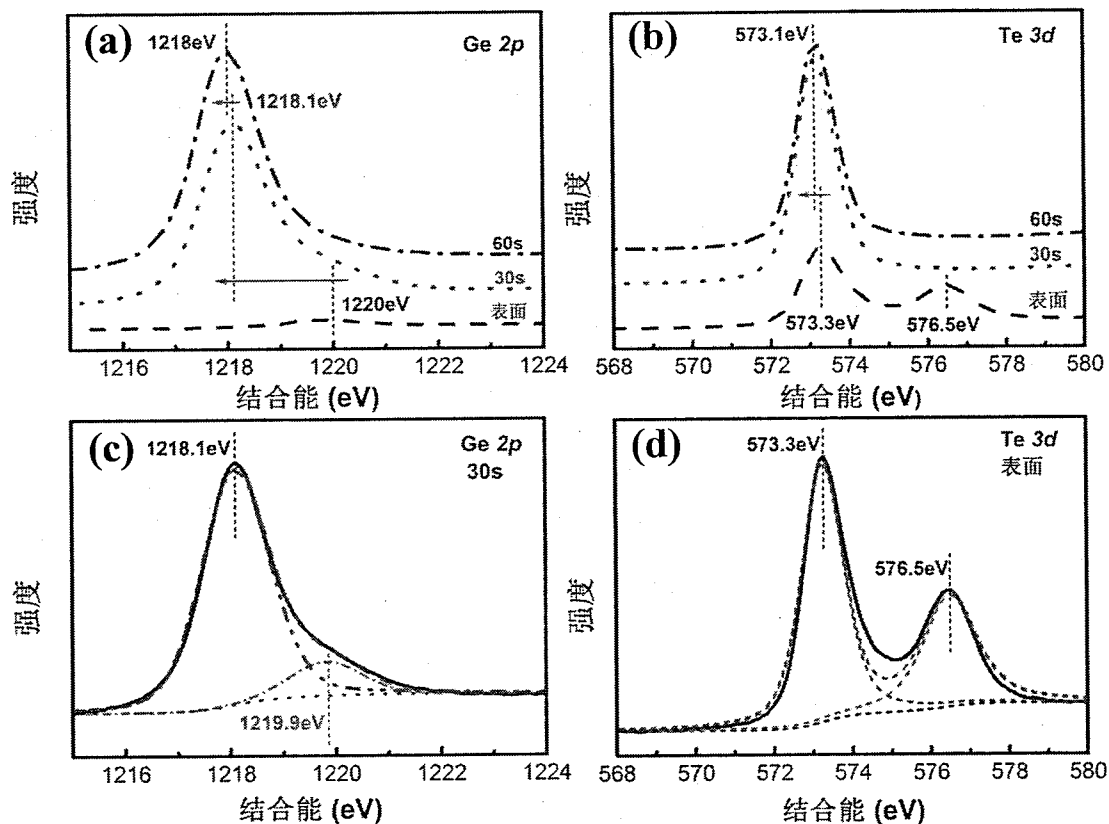


图 3.5 刻蚀后非晶态样品 Ar 轰击前后 (a) Ge2p 和 (b) Te3d 的 XPS 谱图, (c) Ar 轰击 30s 后的 Ge2p 的 XPS 谱图, (d) 刻蚀表面 Te3d 的 XPS 谱图

图 3.5(b)所示的为 Ar 轰击前后的 Te3d 谱图,573.3eV 的结合能被认为是 Ge-Te,

576.5eV 的结合能被认为是氧化物和氟化物的混合物 (Te-F/Te-O)。经过 30s 的 Ar 轰击, 位于 576.5eV 处的谱峰消失, 这表明一些非挥发的刻蚀产物残留在刻蚀薄膜的表面。针对 Te3d 的谱峰, 同样进行分峰处理。不同于 Ge 的分峰, 我们选择了刻蚀后的薄膜表面的 Te3d 峰进行了分峰, 这是因为在表面上可以观察到两个谱峰, 很有可能就是 Ge-Te 键和 Te-F 或者 Te-O 键。分峰的结果如图 3.5 (d) 所示, Te3d 的峰固定在 573.3eV 和 576.5eV 两个位置, 这和图 3.4 (b) 的结果相一致。通过 XPS 的分析可以得到, 刻蚀后的薄膜表面存在一些挥发性的刻蚀产物  $\text{GeO}_x$ 、 $\text{GeF}_x$ 、 $\text{TeO}_x$  和  $\text{TeF}_x$ 。

### 3.2.4 腔体气压和腔体源功率对刻蚀结果的影响研究

对于 PCM 的制作工艺而言, 腔体气压是另一个重要的刻蚀参数。我们研究了刻蚀性质与腔体气压的关系。将  $\text{O}_2/\text{CHF}_3$  设置为 6/44, 腔体源功率设置为 300W, 腔体气压从 10mTorr 以 10mTorr 为间隔逐渐增加到 50mTorr。图 3.6 (a) 所示的为晶态和非晶态 GeTe 刻蚀速率与腔体气压的关系。通过图观察可以得到刻蚀速率随着腔体气压的增加几乎以线性的方式增加, 并且在同一条件下, 非晶态的 GeTe 的刻蚀速率是高于晶态的刻蚀速率。在  $\text{O}_2/\text{CHF}_3$  的等离子体中, 活性反应 F 基、F 原子和正电离子含量的增加能够提升刻蚀速率。当腔体气压较低时, 刻蚀速率主要限制于等离子体中活性反应基的含量。因此腔体气压低于 50mTorr 时, 刻蚀速率随着气压的增加而增加主要是源于气压的增加提升了腔体活性反应基的含量。但是因为气压的增加, 也会引起腔体中微粒碰撞的平均自由程的降低, 这也导致了正电离子能量降低, 减缓了物理刻蚀过程。然而在低气压状态下, 物理刻蚀是主要限制因素, 化学刻蚀很弱, 刻蚀速率的提升主要依赖于化学刻蚀过程。因此, 刻蚀速率的增加主要依赖于等离子体中活性反应 F 基和 F 原子含量的增加。非晶态 GeTe 刻蚀速率的高于晶态 GeTe 刻蚀速率主要也是因为晶态 GeTe 稳定的 Ge-Te 键。

图 3.6 (b) 所示的是晶态和非晶态 GeTe 刻蚀速率与腔体源功率的关系, 刻蚀工艺过程  $\text{O}_2/\text{CHF}_3$  固定为 6/44, 腔体气压固定为 30mTorr。由图 3.6 (b) 可以观察到, 当腔体气压小于 400W 时, 不论是晶态 GeTe 还是非晶态 GeTe 的刻蚀速率都是随着腔体气压的增加而增加的。在反应腔中, 腔体气压的增加将提供更多的能量促使微粒之间的碰撞, 提升了有效碰撞的几率。因此随着腔体中有效碰撞频率的增加, 促进了  $\text{O}_2/\text{CHF}_3$  气体的离子化和分解, 使得正电离子流密度和等离子体密度大幅度增加。正电离子流密度的增加加强了物理溅射过程, 促进了 Ge-Te 键的断裂, 较大能量也使得材料表面细化了, 能够促进化学反应的进行<sup>[68]</sup>。同时, 较大能量的物理轰击也加快了表面非挥发物的移除速率。因此, 当腔体源功率小于 400W 时, 由腔体源功率的增加引发的腔体中 F 基、F 原子和正电离子的增加促进了刻蚀速率的增加。

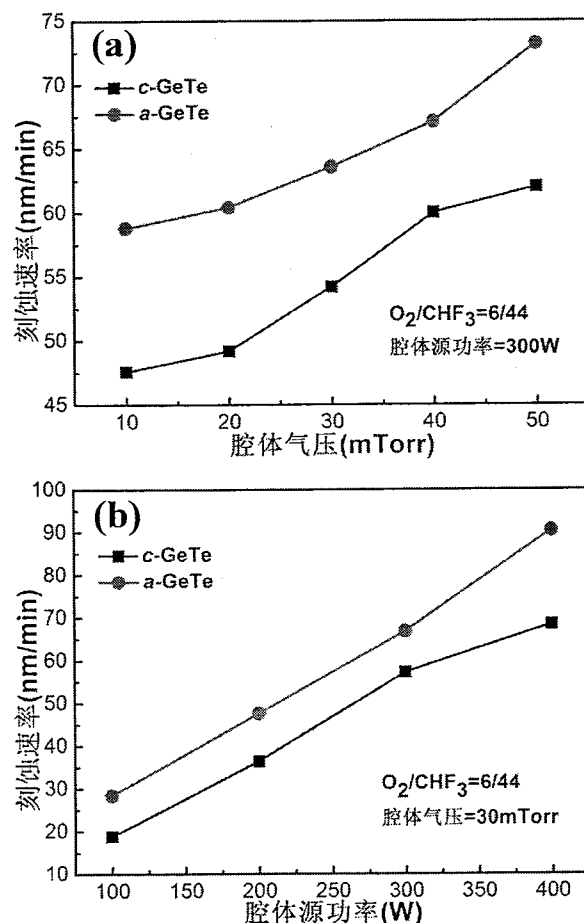


图 3.6 晶态和非晶态 GeTe 刻蚀速率与 (a) 腔体气压, (b) 腔体源功率的关系

图 3.7 展示了不同腔体源功率下刻蚀截面和表面的 SEM 图, 刻蚀气体组分比  $O_2/CHF_3$  为 6/44, 腔体气压为 30mTorr。由图观察可以看出 (c) 和 (g) 表现了最好的垂直度, 并且在所有刻蚀的薄膜表面都可以发现残留物的存在。而且, 在图中还可以发现低功率条件刻蚀的薄膜表面比高功率条件刻蚀的薄膜表面光滑, (d) 和 (h) 表现了最差的粗糙度, 这可能是由于表面非挥发的刻蚀产物引起, 也可能是由于高能量的正离子轰击引起。同时, 在图 (d) 和 (h) 中, 很明显的观察到刻蚀截面形成了斜坡。截面斜坡的生成可能是由于刻蚀过程 PR 的边缘腐蚀和再沉积导致的。

在前面的实验中研究了刻蚀工艺过程的参数对刻蚀结果的影响, 得到了一组优化好的刻蚀参数:  $O_2/CHF_3 = 6/44$ 、腔体源功率 300W 和腔体气压 40mTorr。基于这组参数, 我们进行了晶态和非晶态 GeTe 薄膜的刻蚀, 刻蚀结果如图 3.8 所示。由刻蚀截面和表面的 SEM 图观察可以看出晶态与非晶态的刻蚀截面表现出较好的垂直度, 但是遗憾的是在晶态的刻蚀截面出现了一个较小的斜坡。同时, 还可以观察到 GeTe 薄膜和二氧化硅衬底之间的刻蚀终点被很好的展现出来。然而在刻蚀工艺过程中, 稍微的过刻蚀也是很有必要的, 能够更好的实现相变存储单元之间的电学隔离。总的来说,

非晶态 GeTe 的刻蚀速率是高于晶态 GeTe 的, 非晶态 GeTe 的刻蚀表面是比晶态 GeTe 刻蚀表面光滑, 并且非晶态 GeTe 的刻蚀截面相比于晶态的 GeTe 有更好的各向异性刻蚀性质。因此, 从刻蚀的角度来说, 在 PCM 制作过程中将非晶态的 GeTe 薄膜集成到器件有利于提升 PCM 的性能。

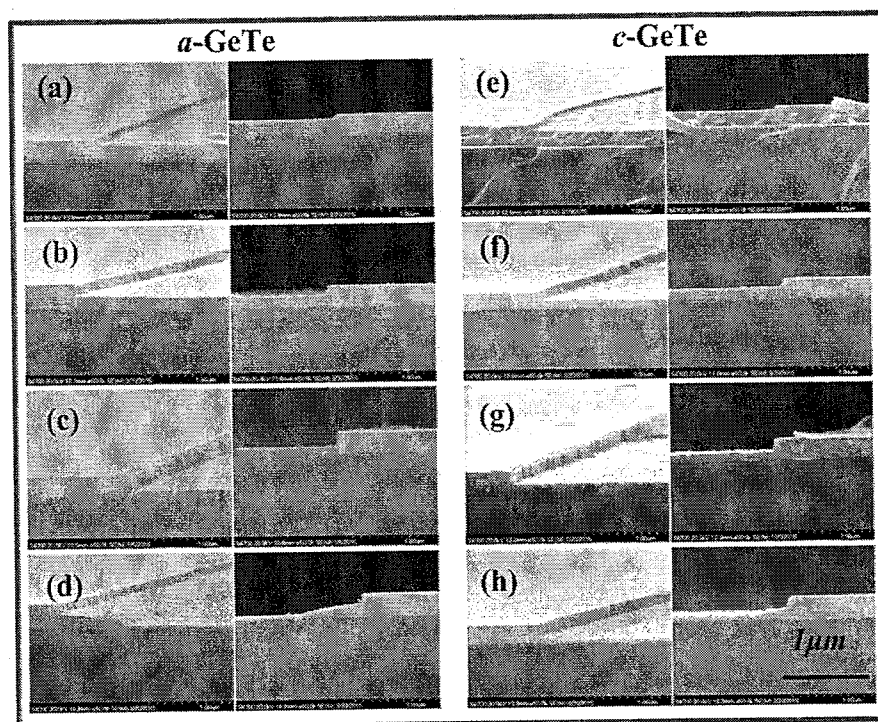


图 3.7 不同腔体源功率条件下晶态和晶态 GeTe 刻蚀表面与截面 SEM 图 (a) (e) 100W, (b) (f) 200W, (c) (g) 300W 和 (d) (h) 400W

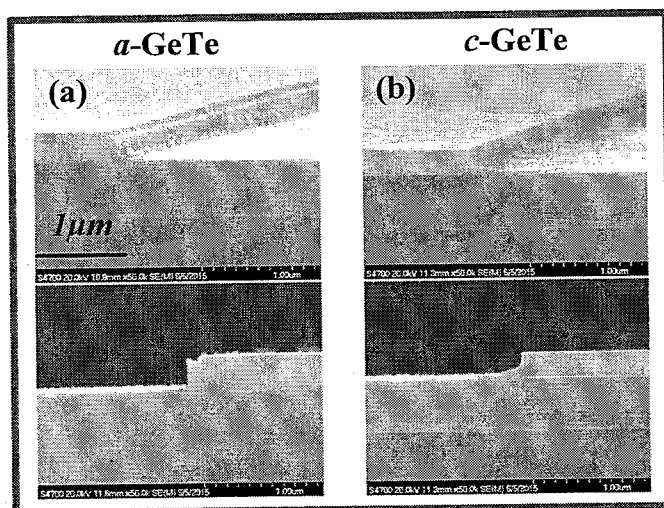


图 3.8 基于刻蚀参数  $O_2/CHF_3=6/44$ , 腔体源功率 300W, 腔体气压 30mTorr 下的晶态和非晶态 GeTe 的刻蚀截面和表面 SEM 图

### 3.2.5 GeTe 和 TiN 薄膜刻蚀性质研究

为了更好的将非晶态的 GeTe 通过刻蚀工艺集成到 PCM 存储单元当中，我们在薄膜基础上实验了 PCM 存储单元的后端工艺，即 TiN 和 GeTe 薄膜的刻蚀。如图 3.9 (a) 所示的是 T 型相变存储单元的示意图，从上到下依次为上电极 (Top Electrode Contact, TEC)、TiN 层、相变材料层 (Phase Change Layer, PLC)、加热电极 (Heater) 和底电极 (Bottom Electrode Contact, BEC)。实验重点研究了相变材料层和 TiN 层的刻蚀，在二氧化硅衬底上沉积了 50nm 的非晶态 GeTe 薄膜，紧接着在 GeTe 薄膜上沉积了 20nm 的 TiN 薄膜。实验过程中使用了两种刻蚀参数，一步刻蚀参数和两部刻蚀工艺参数，具体的工艺参数设置如表 3.2 所示。图 (b) 所示的是一步刻蚀结果 SEM 图，在刻蚀的截面上形成了底切结构，这很可能是由于 TiN 层的保护引起的<sup>[76-77]</sup>。因为在图 3.8 (a) 中，同样的刻蚀参数下，非晶态 GeTe 的刻蚀截面上没有形成底切结构，只是当存在 TiN 层时，才在刻蚀截面上形成了底切的结构。针对刻蚀截面上底切结构的问题，我们提出另一种刻蚀方式，两步刻蚀方法，具体的刻蚀参数如表 3.2 所示。两步刻蚀是指在刻蚀过程中将 TiN 层的刻蚀和 GeTe 薄膜的刻蚀分开进行，第一步刻蚀用来去除 TiN 层，第二部刻蚀用来去除 GeTe 层，TiN 层的刻蚀参数也是经过优化的，两步刻蚀的结果如图 3.9 (c) 图所示。在图中可以观察到刻蚀截面上没有形成底切结构，底切效应被很好的消除了。通过对比可以发现，两步刻蚀的结果展现了比一步刻蚀结果好的各向异性刻蚀。因此，就 PCM 的存储单元制造而言，两步刻蚀的工艺过程能够更好的满足 PCM 的制作要求。

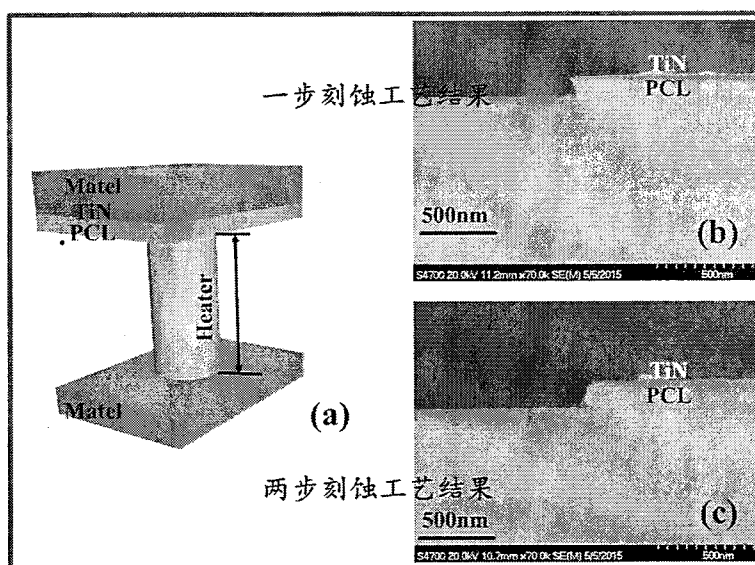


图 3.9 (a) T 型形变存储器单元示意图，(b) 一步刻蚀条件下 TiN 和 GeTe 的刻蚀结果 SEM 图，  
(c) 两步刻蚀条件下 TiN 和 GeTe 的刻蚀结果 SEM 图

表 3.2 TiN 薄膜和 GeTe 薄膜优化的刻蚀参数

| 参数    | 一步刻蚀                           | 两步刻蚀                          |                                |
|-------|--------------------------------|-------------------------------|--------------------------------|
|       | 步骤 1                           | 步骤 1                          | 步骤 2                           |
| 气体比例  | $\text{CHF}_3/\text{O}_2=44/6$ | $\text{CF}_4/\text{O}_2=20/2$ | $\text{CHF}_3/\text{O}_2=44/6$ |
| 腔体源功率 | 300W                           | 200W                          | 300W                           |
| 腔体气压  | 40mTorr                        | 60mTorr                       | 40mTorr                        |
| 工艺时间  | 150s                           | 60s                           | 60s                            |

### 3.3 本章小结

本章系统的研究了晶态和非晶态相变材料 GeTe 的 RIE 性质, 包括刻蚀速率、表面粗糙度、截面垂直度与腔体源功率、腔体气压和刻蚀气体组分比的关系。通过实验研究发现, 刻蚀速率首先随着氧气比例的增加而逐渐增加, 在氧气比例为 12% 时达到了极值, 当氧气含量继续增加时, 刻蚀速率呈现下降趋势。刻蚀表面的粗糙度随着氧气比例的增加呈现出稍微增加的趋势。就腔体源功率和气压而言, 当腔体源功率小于 400W、腔体气压低于 40mTorr 时, 刻蚀速率随着气压和功率的增加几乎以线性方式增加的。刻蚀速率主要由等离子体的密度和  $\text{CHF}_3$  离子化和分解程度决定。从 Ge2p 和 Te3d 的 XPS 测试结果可以看出刻蚀后的薄膜表面存在残留物  $\text{GeF}_x$ 、 $\text{GeO}_x$ 、 $\text{TeF}_x$  和  $\text{TeO}_x$ 。TiN 薄膜和 GeTe 薄膜的刻蚀结果表明, 两步刻蚀工艺的刻蚀结果相较于一步刻蚀工艺表现出了好的垂直度, 截面上没有形成底切结构, 能够满足 PCM 单元的制造工艺。



## 第四章 基于 40nm PCM 芯片工艺的 $\text{Si}_3\text{N}_4$ 电介质的 GST 刻蚀研究

### 4.1 引言

自从 Ovshinsky 提出奥弗辛斯基电子效应以来, PCM 技术经历了半个多世纪的发展。随着半导体工艺技术沿着摩尔定律不断的发展, 工艺尺寸进入深亚微米和纳米尺寸, 纳米级尺寸的 PCM 得以实现。PCM 的高密度、低的操作电流、, 类似 DRAM 一样的操作速度、低的操作功耗、高数据保持力以及类似 Flash 的非易失性等优势开始凸显, 很有希望成为“通用性存储”。因此, 学术界和工业界不断研发新的相变材料和开发新的 PCM 制作工艺, 通过优化存储介质和制造工艺来提升 PCM 性能。

本章基于 40nm PCM 芯片工艺, 重点研究和优化了  $\text{Si}_3\text{N}_4$  层间电介质 (Inter Layer Dielectric, ILD) 的 GST 刻蚀性质。图 4.1 所示为 PCM 的基本结构示意图, (a) 图所示 ILD 为  $\text{SiO}_2$ , (b) 图所示 ILD 为  $\text{Si}_3\text{N}_4$ 。(a) 和 (b) 图的结构一样, 区别在层间电介质。这是因为  $\text{Si}_3\text{N}_4$  与 TiN、GST 的粘附力相比较于  $\text{SiO}_2$  与 TiN、GST 的粘附力要大。另一方面,  $\text{SiO}_2$  ILD 的生长过程中, PE-TEOS 环境会对器件的 TiN 电极产生氧化, 氧化的 TiN 电极会影响 PCM 的性能<sup>[78-79]</sup>。因此, 在 PCM 制造过程中, 将 ILD 由  $\text{SiO}_2$  改为  $\text{Si}_3\text{N}_4$ 。但是针对  $\text{SiO}_2$  ILD 的 GST 刻蚀工艺是不适合  $\text{Si}_3\text{N}_4$  ILD 的 GST 刻蚀过程的, 因此需要研究和优化针对  $\text{Si}_3\text{N}_4$  ILD 的 GST 刻蚀工艺。

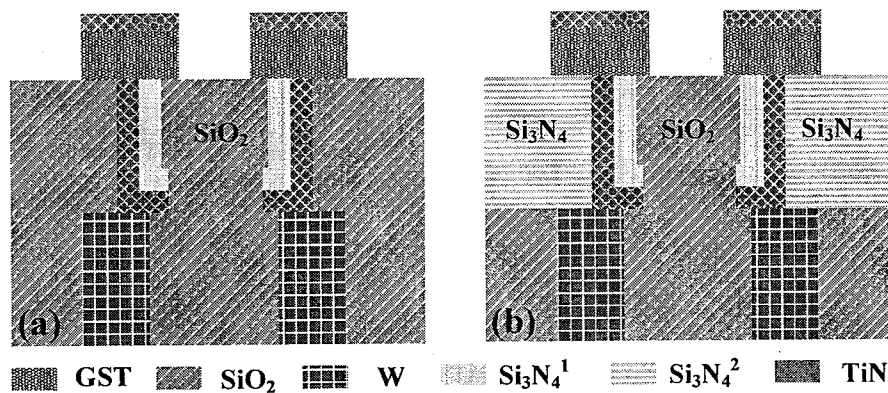


图 4.1 PCM 基本结构 (a)  $\text{SiO}_2$  ILD, (b)  $\text{Si}_3\text{N}_4$  ILD

### 4.2 实验介绍

#### 4.2.1 $\text{Si}_3\text{N}_4$ ILD 的工艺流程

图 4.2 所示的为  $\text{Si}_3\text{N}_4$  ILD 的工艺流程, 主要包括沉积 TiN、沉积  $\text{Si}_3\text{N}_4$  包覆层、

TiN 电极侧墙刻蚀、沉积 GST 和 TiN 薄膜、GST 和 TiN 刻蚀。具体的步骤如下：

- (a)：在  $\text{Si}_3\text{N}_4$  电介质通过刻蚀形成一个凹槽，原子层沉积技术沉积 TiN 电极材料；
- (b)：在 TiN 电极上沉积一层  $\text{Si}_3\text{N}_4$  薄膜，用来保护 TiN 电极，使得在刻蚀过程中免受等离子体的损伤，并且也可以起到绝热的作用。另一方面，也避免了生长  $\text{SiO}_2$  电介质过程中的氧化；
- (c)：通过刻蚀技术，将 TiN 电极层薄膜和  $\text{Si}_3\text{N}_4$  包覆层刻蚀断裂，形成 TiN 侧墙电极，实现 TiN 电极的隔离；
- (d)：TiN 侧墙电极刻蚀完成之后，在凹槽里开始沉积  $\text{SiO}_2$ 。沉积完的  $\text{SiO}_2$  表面粗糙度大，且因为底部的不平整导致了表面的高低起伏，因此需要进行化学机械抛光 (Chemical Mechanical Polishing, CMP)，使得  $\text{SiO}_2$  表面平整。
- (e)：在平坦化之后的  $\text{SiO}_2$  ILD 表面，沉积一层 GST 薄膜和 TiN 薄膜；
- (f)：GST 和 TiN 薄膜沉积之后，接下来就是通过刻蚀工艺将 GST 和 TiN 薄膜集成到器件中。

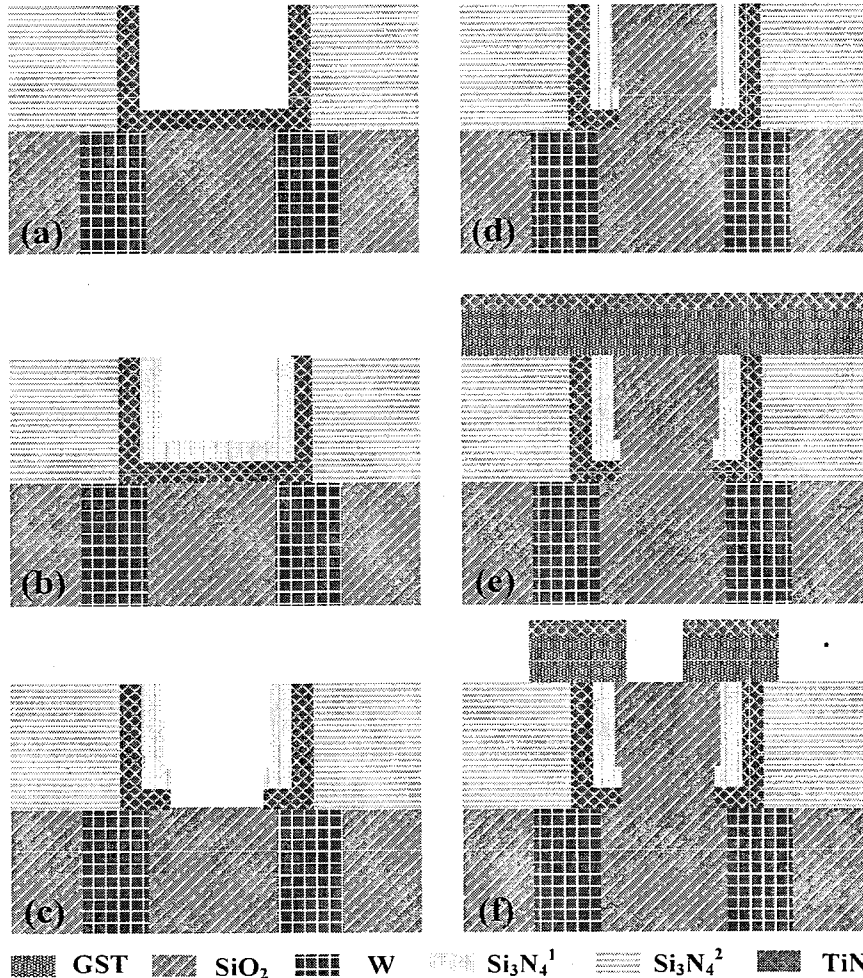


图 4.2  $\text{Si}_3\text{N}_4$  ILD 的工艺过程：(a) TiN 电极材料沉积，(b) 沉积  $\text{Si}_3\text{N}_4$  包覆层，(c) 侧墙电极刻蚀，(d) 沉积  $\text{SiO}_2$  ILD，(e) 沉积 GST 和 TiN 薄膜，(f) GST 和 TiN 薄膜刻蚀

以上详细的阐述了  $\text{Si}_3\text{N}_4$  ILD 的制作过程, 通过这些步骤可以看出, 在我们的结构当中, TiN 侧墙电极两边的电介质是不一样的, 一侧的电介质为  $\text{SiO}_2$ , 另一侧的电介质为  $\text{Si}_3\text{N}_4$ , 这就导致在刻蚀工艺过程中 GST 的衬底是  $\text{SiO}_2$  和  $\text{Si}_3\text{N}_4$  两种材料。为了更好的研究  $\text{Si}_3\text{N}_4$  ILD 的 GST 刻蚀性质, 首先是在  $\text{Si}_3\text{N}_4$  衬底上研究了 GST 刻蚀工艺, 再去研究 GST 集成到器件中的刻蚀工艺过程。

#### 4.2.2 基于 $\text{Si}_3\text{N}_4$ ILD 的 GST 刻蚀工艺过程

- 1、利用 300mm 的 PVD 平台 (CLN300II, Orikon), 采用磁控溅射的方法在  $\text{Si}_3\text{N}_4$  衬底基片上制备 GST 薄膜。采用脉冲直流功率 400W,  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  合金靶作为溅射源, 用 Ar 作为溅射气体。首先在 300mm 硅片上生长一层  $\text{Si}_3\text{N}_4$ , 然后将硅片放入 PVD 机台 Degas 腔体中, 去除硅表面水汽。再对表面进行 Ar 轰击, 去除表面污染物、颗粒等, 最后生长 GST;
- 2、衬底上生长一层 GST 薄膜之后, 再在 GST 表面沉积一层 TiN 薄膜;
- 3、通过光刻工艺, 将掩膜版上的图形转移到光刻胶上。这个过程中, 需要在 GST 薄膜表面形成多层掩膜, 包括金属硬掩膜 TiN 和三层掩膜结构, 分别为有机层 (Organic Dielectric Layer, ODL)、低温二氧化硅 (Low Temperature Oxide, LTO) 和 PR。具体的结构如图 5.3 所示。
- 4、光刻后的样品进行刻蚀, 刻蚀工艺主要在 Lam Research 公司 2300 系统上完成。
- 5、样品刻蚀工艺处理完成之后, 图像从掩膜版上被转移到 GST 上。刻蚀过程中, 会在样品表面产生大量的聚合物、残留物, 尤其是一些低挥发性刻蚀产物、金属化合物、PR 残余物等。因此, 刻蚀完成之后需要对样品进行清洗。

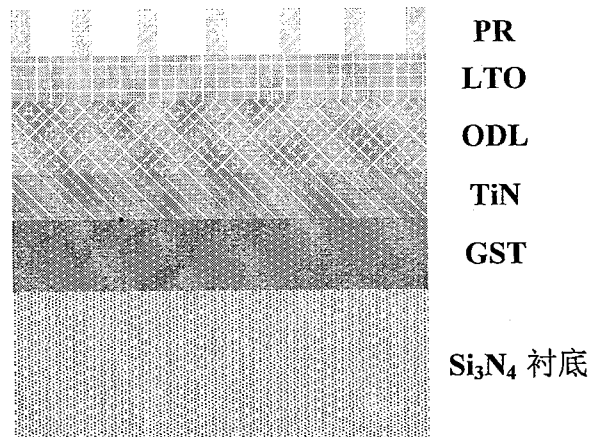


图 5.3 相变材料 GST 的多层掩膜结构

#### 4.2.3 实验设备介绍

本章的刻蚀工艺采用的刻蚀设备是 Lam Research 公司 2300 系统, 此系统搭载了

两个腔体, 型号分别为 Kiyo45 与 Flex45。其中 Kiyo45 系统常用来进行相变存储材料和金属电极的刻蚀, 而另一个腔体 Flex 则被用来进行电介质的刻蚀。因此, 所有涉及 GST 的刻蚀全部是在 Kiyo 腔体中进行的。该 2300 系统包括一个频率为 13.56MHz 的射频电流、一个直流电源。射频电源主要是在腔体中产生高密度等离子体, 直流电源用于产生衬底偏压。系统配备的气体种类  $\text{BCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{Cl}_2$ 、 $\text{HBr}$ 、 $\text{NF}_3$ 、 $\text{O}_2$ 、 $\text{CF}_4$ 、 $\text{He}$ 、 $\text{CHF}_3$ 、 $\text{SF}_6$ 、 $\text{CH}_2\text{F}_2$  和  $\text{C}_4\text{F}_8$ 。进气方式包括中心进气、边缘进气、均匀进气以及中间偏少四种进气方式, 晶圆卡盘的温度采氮气进行控制, 可以分别控制中心和边缘温度。

清洗工艺采用的开发平台是 Lam Research 公司清洗系统, 该系统配备有八个清洗箱, 四个用于晶圆背面的清洗工艺。而另外四个清洗箱则用于刻蚀后表面聚合物和残留物的清洗。清洗过程, 清洗液通过泵抽送到清洗箱, 清洗液从喷淋头喷在晶圆表面, 晶圆调整旋转, 对表面进行清洗。清洗液清洗完之后, 去离子水清洗表面, 再用氮气进行吹干。

### 4.3 基于 $\text{Si}_3\text{N}_4$ ILD 的 GST 刻蚀工艺的开发和优化

基于  $\text{Si}_3\text{N}_4$  ILD 的 GST 刻蚀工艺主要的要求是刻蚀结构侧壁垂直, 残留物少, 稀疏区的衬底损失量小于 50nm。除此之外, 要求条宽损失控制在  $\pm 5\text{nm}$  之内, 条宽损失是指去除光刻胶后被刻蚀材料的线宽尺寸和刻蚀前光刻胶的线宽尺寸差值。关键尺寸的均匀性好, 保证晶圆范围内芯片的性能稳定。同时, 刻蚀过程中需要一定的过刻蚀, 但是过刻蚀的量要小、刻蚀损伤要尽量降低。

刻蚀过程中, 采用  $\text{HBr}$  作为主要的刻蚀气体,  $\text{He}$  作为稀释气体。通过调节刻蚀气体组分比、ICP 腔体源功率、衬底偏置电压、腔体气压和衬底温度等刻蚀工艺参数来调节刻蚀工艺过程。通过监控不同位置 (晶圆中心区域和边缘区域) 和不同图密度 (密集区域和稀疏区域) 的 GST 线条的刻蚀形貌来表征刻蚀的结果。线条关键尺寸主要采用 CD-SEM (Critical Dimension SEM) 进行观测, SEM 和 TEM 被用来观察刻蚀后薄膜形貌和侧壁的刻蚀损伤。

图 4.4 所示的为基于  $\text{Si}_3\text{N}_4$  衬底上 GST 刻蚀结果, (a) 和 (b) 分别为晶圆中心和边缘 1D1R 区域刻蚀结果 SEM 图, (c) 和 (d) 分别为晶圆中心和边缘 1T1R 区域刻蚀结果 SEM 图。刻蚀的工艺参数为腔体气压 12mTorr、ICP 源线圈功率 700W、衬底偏压为 300V。刻蚀完成之后, 为了去除表面的残留物进行了清洗工艺, 采用了稀释的 HF (Diluted HF, DHF) 清洗溶液。通过刻蚀结果可以发现, 不论是晶圆中心还是边缘, 刻蚀的表面都存在残留物, 这可能是由于刻蚀过程产生的非挥发性产物沉积在刻蚀薄膜表面。针对 1D1R 区域的结构而言, 芯片边缘区域的形貌相比较于中心区域形貌要好。中心区域开始出现底切结构, 并且衬底的损失量较大, 成倒三角形貌。

同时，边缘区域的衬底损失量也比较大。1T1R 区域观察到同样的结果，中心区域有明显的底切结构，衬底形貌不垂直，边缘区域和中心区域的衬底损失量都较大。因此，接下来的研究重点是改善刻蚀形貌，消除表面的残留物。

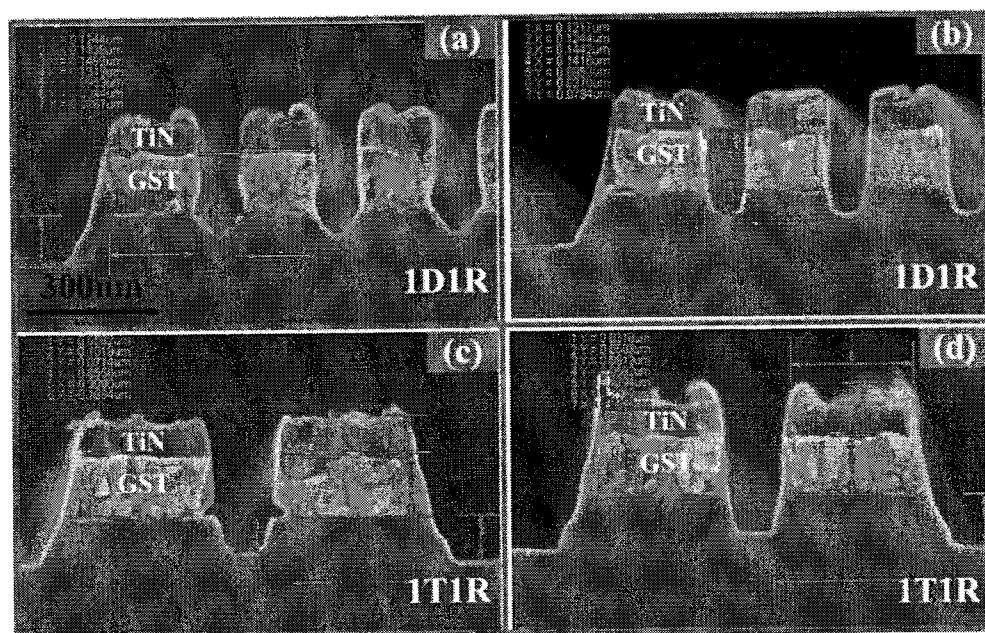


图 4.4  $\text{Si}_3\text{N}_4$  衬底上 GST 刻蚀结果：(a) 晶圆中心 1D1R 区 SEM 图，(b) 晶圆边缘 1D1R 区 SEM 图，(c) 晶圆中心 1T1R 区 SEM 图，(d) 晶圆中心 1T1R 区 SEM 图

为了消除刻蚀薄膜表面的残留物，刻蚀工艺过程中改变了气体组分，向刻蚀腔中通入了  $\text{O}_2$ 。 $\text{O}_2$  通入腔体中，能被激发成离子态，这可能会增加刻蚀过程中的物理轰击作用，有助于去除表面的残留物。另一方面，刻蚀的腔体源功率也做了调整，将刻蚀腔体源功率由 700W 减小到 600W。这是因为在刻蚀过程中，较大的腔体源功率会增加腔体中等离子体的含量，这将导致腔体中离子之间的碰撞增多，平均自由程降低，使得离子能量降低。因此，我们认为适当的降低功率能够提升等离子体的能量。同时，为了降低衬底的损失量，减小了刻蚀工艺的时间。如图 4.5 所示的为增加了  $\text{O}_2$  和减小了腔体源功率的刻蚀 SEM 截面图，具体的工艺条件为腔体气压 12mTorr，腔体源功率 600W，衬底偏压 300V， $\text{HBr}/\text{He}/\text{O}_2 = 120/300/2$ 。从图中可以看到，表面的残留物并没有去除干净，相反 1D1R 区域表现出更多的残留物。并且可以观察到不论 1D1R 区域和 1T1R 区域的衬底损失量都有所减小。这表明  $\text{O}_2$  和减小的腔体源功率并未有效的优化刻蚀结果，需要进一步优化刻蚀参数，重点是要消除刻蚀过程中在表面生成的残留物。

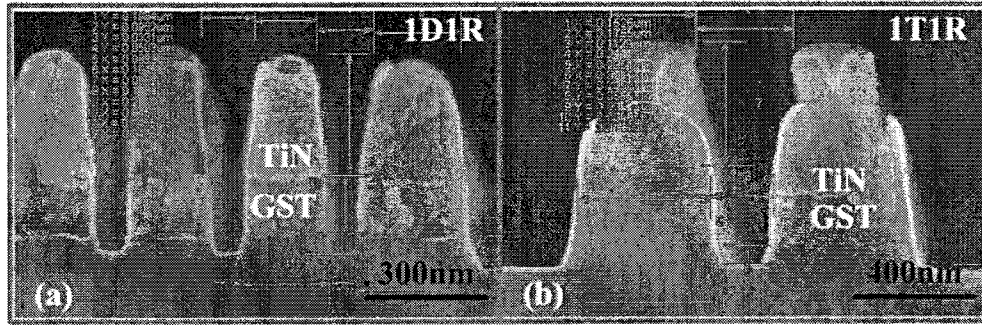


图 4.5 添加  $\text{O}_2$  刻蚀气体的  $\text{Si}_3\text{N}_4$  衬底上 GST 的刻蚀结果: (a) 晶圆中心 1D1R 区域 SEM 图, (b) 晶圆中心 1T1R 区域 SEM 图

图 4.6 为优化后的  $\text{Si}_3\text{N}_4$  衬底上 GST 的刻蚀结果, (a) 和 (c) 图分别为中心 1D1R 区域和 1T1R 区域倾斜角度 SEM 图, (b) 和 (d) 图所示分别为中心 1D1R 区域和 1T1R 区域 SEM 截面图。优化后的工艺条件为腔体气压 5mTorr、腔体源功率 700W、偏置电压为 300V、刻蚀气体为  $\text{HBr}/\text{NF}_3/\text{Cl}_2/\text{He}$  的混合气体。刻蚀完成后采用稀释的 3000:1 的 DHF 对其进行清洗去除表面的残留物。由倾斜角度的 SEM 图可以看到, 线条表面较为干净, 线条无明显异常。通过图 (b) 和 (d) 的 SEM 截面图可以观察到, 1D1R 区域的侧壁垂直, 衬底损失量小。而 1D1R 区域的 GST 线条顶部存在类似于“兔耳朵”的聚合残留物。

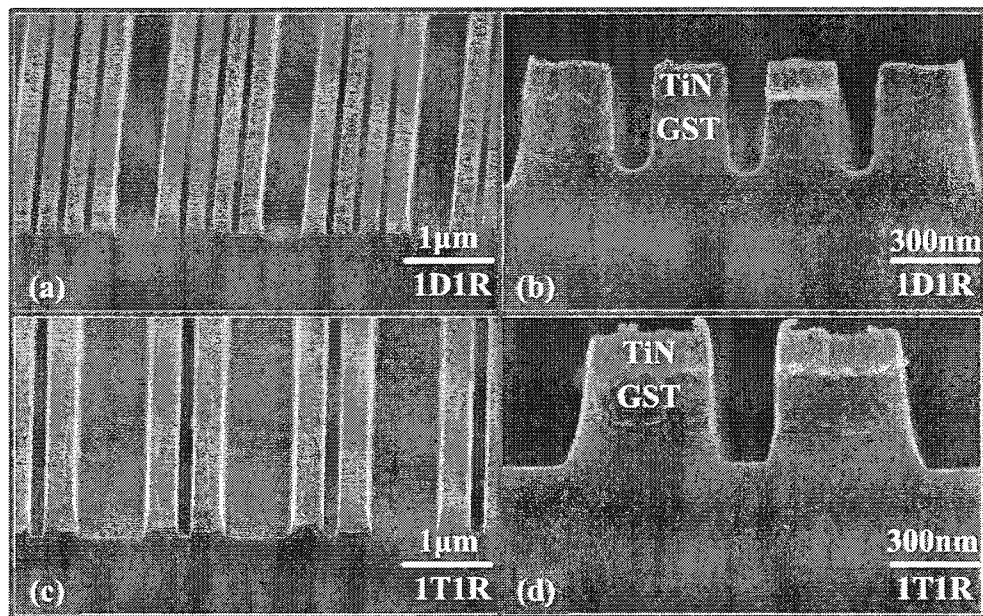


图 4.6  $\text{Si}_3\text{N}_4$  衬底上 GST 的刻蚀结果: (a) 晶圆中心 1D1R 区域倾斜角度 SEM 图, (b) 晶圆中心 1T1R 区域 SEM 截面图, (c) 晶圆中心 1T1R 区域倾斜角度 SEM 图, (d) 晶圆中心 1T1R 区域 SEM 截面图

前面的实验都是研究和优化  $\text{Si}_3\text{N}_4$  衬底上 GST 线型结构的刻蚀性质，目的是更好的将 GST 集成到 PCM 中。优化后刻蚀参数应用到 PCM 件集成中，结果如图 4.7 所示，即基于器件的 GST 刻蚀结果，(a) 和 (c) 所示的分别为晶圆中心区域 1D1R 区和 1T1R 区的倾斜角度 SEM 图，(b) 和 (d) 所示的分别为晶圆中心区域 1D1R 区和 1T1R 区的 SEM 截图。刻蚀的工艺条件为腔体气压 5mTorr、腔体源功率 700W、衬底偏置功率 300V、刻蚀气体为  $\text{HBr}/\text{NF}_3/\text{Cl}_2/\text{He}$  的混合物。由图 (a) 和 (c) 的倾斜角度 SEM 图可以看到，两个区域的 GST 线条的表面存在明显的残留物。1D1R 结构的稀疏区可以看到一条明显的白线，这表明衬底的损失量太大，已经刻蚀到底部的电极结构。同样，在 1T1R 结构的稀疏区域也可以观察到损失量较大，刻蚀已经伤到了底部的电极。由图 (b) 的 SEM 截面图可以观察到，1D1R 结构线条表面可以观察到明显的残留物，刻蚀的侧壁较为垂直。并且图中 2 区域的刻蚀损失量明显大于 1 和 3 区域的损失量。这是因为 2 区域的电介质为  $\text{SiO}_2$ ，而 1 和 3 区域的电介质为  $\text{Si}_3\text{N}_4$ ， $\text{SiO}_2$  的刻蚀速度大于  $\text{Si}_3\text{N}_4$  的刻蚀速度，因此在刻蚀的过程中， $\text{SiO}_2$  衬底的损失量大。在图 (d) 晶圆中心区域的 1T1R 结构 SEM 截面图中可以观察到，GST 线条表面存在类似于图 4.6 (d) 图中的“兔耳朵”聚合残留物，稀疏区的衬底损失量也是大于密集区域的，这也是于衬底电介质相关，同时也是由于密集区和稀疏区不同的刻蚀密度引起的。

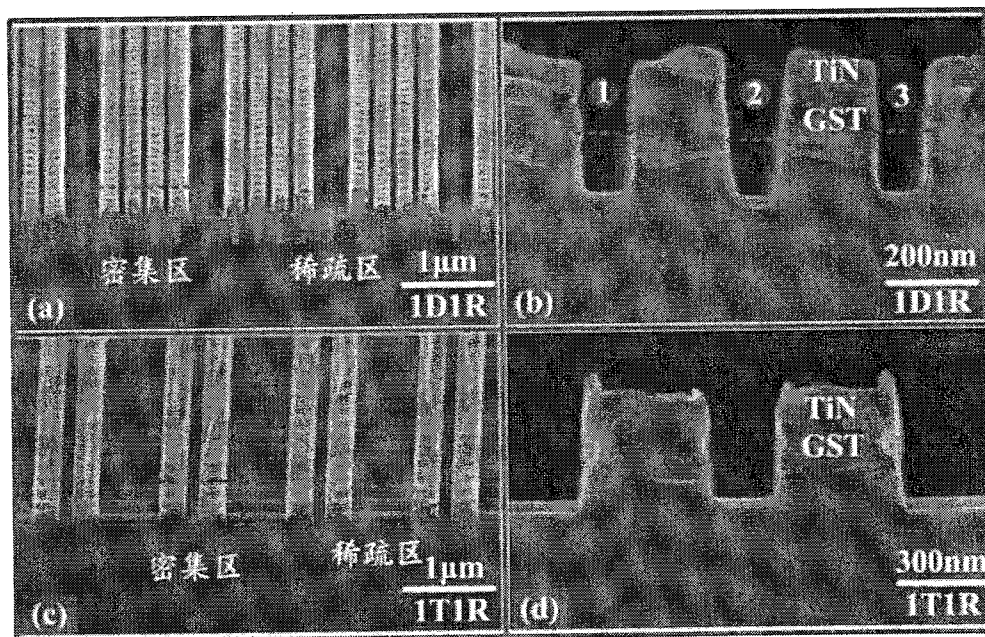


图 4.6 基于  $\text{Si}_3\text{N}_4$  ILD 器件 GST 刻蚀结果：(a) 晶圆中心 1D1R 区域倾斜角度 SEM 图，(b) 晶圆中心 1D1R 区域 SEM 截面图，(c) 晶圆中心 1T1R 区域倾斜角度 SEM 图，(d) 晶圆中心 1T1R 区域 SEM 截面图

为了更好的观察刻蚀截面和刻蚀损伤层，对图 4.6 中的晶圆中心区域的 1T1R 结

构的刻蚀结果进行了 TEM 切片分析, 图 5.7 所示的为不同倍率下的 TEM 图, 图 (a)、(b) 和 (c) 对应的分辨率分别为 200nm、100nm 和 50nm。在图 4.7 (a) 中可以看到, GST 被集成到 PCM 件当中, 器件为常规的 T 型结构。在图 (c) 中可以观察到清晰的 T 型结构, 包括 TiN 底电极、相变材料 GST 和 TiN 层。刻蚀后 TiN 的表面不平整, 存在残留物。并且, 刻蚀后的 GST 侧壁比较粗糙, 垂直度较低, 能够观察到在侧壁上存在一层薄薄的刻蚀损伤层。侧壁的粗糙可能是因为非挥发产物引起, 而侧壁的损伤层很可能是由于反应活性离子进入侧壁当中反应引起的。

通过观察可以看到, 基于  $\text{Si}_3\text{N}_4$  衬底的 GST 刻蚀结果和基于 PCM 器件的 GST 刻蚀结果存在较大的差异, 这种差异的产生可能由以下两方面引起: 首先因为器件中 GST 结构两侧的电介质不同, 一侧为  $\text{SiO}_2$  电介质, 一侧为  $\text{Si}_3\text{N}_4$  电介质, 两种电介质的刻蚀速率不同, 刻蚀产物不同, 因此会影响到侧壁的刻蚀过程。其次相较于纯的  $\text{Si}_3\text{N}_4$  衬底, PCM 器件中包括  $\text{SiO}_2$  电介质、 $\text{Si}_3\text{N}_4$  电介质、TiN 电极、W 电极等其他结构材料。这类比纯  $\text{Si}_3\text{N}_4$  衬底复杂的多的结构, 会影响到刻蚀工艺过程中离子轰击晶圆表面的浓度、能量和方向, 从而导致了刻蚀结果的差异。

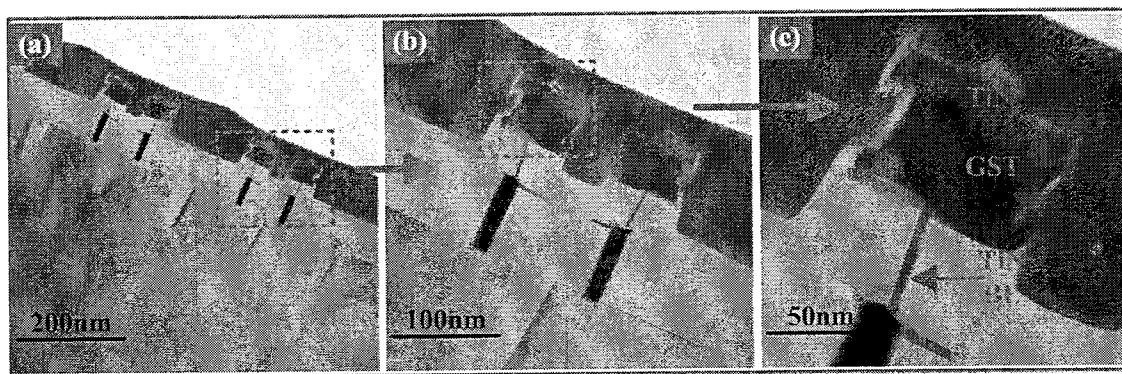


图 4.7 基于  $\text{Si}_3\text{N}_4$  ILD 器件结构 GST 刻蚀结果的不同倍率 TEM 截面切图: (a) 200nm, (b) 100nm, (c) 50nm

刻蚀过程导致了侧壁刻蚀损伤层的产生, 该刻蚀损伤层将会对 PCM 的性能产生影响。因此为了获得损伤层的信息, 对刻蚀后样品的相变材料 GST 层 x 和 y 方向上进行了 EDS 分析, EDS 的结果如图 4.8 所示。(a) 图表示的为器件 EDS 的扫描方向, (b) 图为 x 方向 EDS 线性扫描结果, (c) 图为 y 方向 EDS 线性扫描结果。在图 (b) 中, 选取了 Ge、Sb、Te 和 Br 作为分析元素, 可以观察到 Br 元素的线扫描曲线在边界处存在两个波峰, 这表明在刻蚀过程中 Br 进入了线型结构当中, 边缘处 Br 含量最高。在图 (c) 可以看出, GST 线型结构中间的化学组分没有发生偏析, 为稳定的组分。以上结果表明 GST 线性结构中间的化学组分没有发生偏析, 而在线性结构边缘处, 化学组分发生了较大的偏析。这可能是由于反应活性离子进入薄膜发生反应, 生成挥

发性产物，引发了化学组分的偏析。

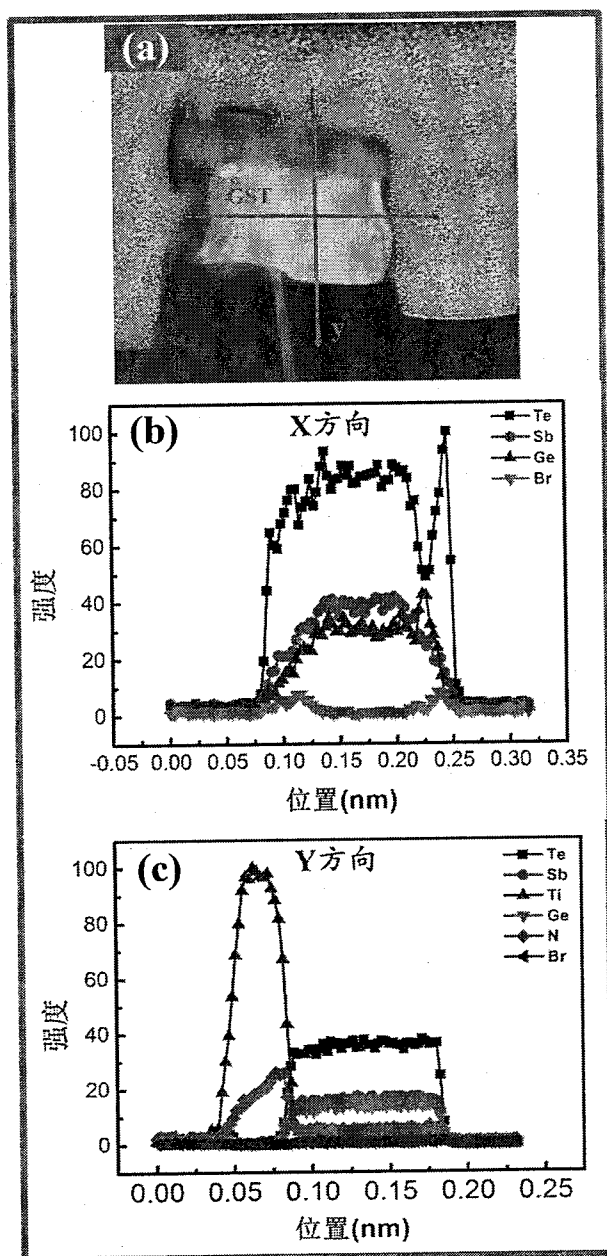


图 4.8 刻蚀后的 GST 层 EDS 线性扫描结果：(a) 扫描方向，(b) x 方向 EDS 扫描曲线，(c) y 方向 EDS 扫描曲线

#### 4.4 本章小结

本章基于中芯国际 40nmPCM 芯片工艺平台，进行了  $\text{Si}_3\text{N}_4$  ILD 上的 GST 刻蚀工艺开发和研究。 $\text{SiO}_2$  电介质的生长过程被认为能够氧化 TiN 底电极，影响 PCM 的性能。因此，在 PCM 的工程化过程中需要将  $\text{SiO}_2$  电介质替换成  $\text{Si}_3\text{N}_4$  电介质，这样

不仅可以解决 TiN 电极被氧化的问题，同时还能有效的提高 GST 材料和电介质的粘附力。然而，针对  $\text{SiO}_2$  电介质的 GST 刻蚀工艺对  $\text{Si}_3\text{N}_4$  电介质的刻蚀是不适用的，所以有必要开发和研究  $\text{Si}_3\text{N}_4$  ILD GST 的刻蚀工艺。

刻蚀过程中采用了 HBr 和 He 气作为主要的刻蚀气体，调节刻蚀腔体源功率、腔体气压和衬底偏置功率来调节刻蚀过程。通过实验，发现腔体气压 5mTorr、腔体源功率 700W、衬底偏置功率 300V、刻蚀气体为 HBr/NF<sub>3</sub>/Cl<sub>2</sub>/He 混合物的工艺条件下的刻蚀结果比较理想。因此选用该条件，将 GST 材料集成到 PCM 当中，进行了 TEM 切片和 EDS 处理。结果显示 GST 线条的侧壁比较粗糙，侧壁不是很垂直，这很可能是由于侧壁上非挥发性产物引起的，同时也可能是由于 Br 元素进入线型结构中引起的。刻蚀过程中，Br 对薄膜产生了一定的损伤。

## 第五章 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 新型相变材料的研究

### 5.1 引言

随着信息技术的快速发展,集成电路产业工艺节点的不断降低,信息产业对存储器的性能和制造工艺等方面的要求越来越高。当前主流的 DRAM 和 Flash 等存储器在某些方面已经不能满足要求,学术界和工业界在不断提升主流存储器的功能的前提下,也积极的开发和研究新型存储器。PCM 作为一种新型的非易失性存储器,因为其低操作功耗、高数据保持力、高存储密度和简单的制造工艺等优势被认为很有可能成为下一代通用存储器。在过去的几十年中,PCM 得到了快速的发展,性能得到了大的提升。前三章内容从刻蚀工艺的角度优化了相变材料的刻蚀性质,本章内容从材料自身的性质入手,研究新型的相变材料,用以提升相变存储的性能。

PCM 是在 19 世纪 60 年代由 S.Ovshinsky 提出的,主要依赖于相变材料电学性能的改变。在操作过程中,电脉冲产生的焦耳热使得特定区域的材料在晶态与非晶态之间来回转换,晶态为低阻,非晶态为高阻态。相变材料的性能对 PCM 的性能有很大的影响,因此学术界和工业界对相变材料展开了广泛的研究。在这些材料当中,GST 被应用于 PCM,因为 GST 具有快的结晶速率、低的结晶温度和较好的热稳定性。但是其较差的数据保持力不能满足 PCM 在某些领域的应用<sup>[80-84]</sup>。为了寻求更优异的相变材料,Sb-Te 体系材料的改性受到了较多的关注。

在 Sb-Te 体系材料当中,富 Sb 体系的材料因为其快速的相变速度吸引了研究者的注意。富 Sb 体系的材料结晶方式是以生长为主导,这保证了材料快的结晶速度,但是也引发了材料较差的稳定性和数据保持力。因此,研究者花费了较多的注意力来提升富 Sb 体系材料的性能,例如将 Si、Al、O 和 W 等元素掺入富 Sb 体系材料中优化材料性能<sup>[21,23-25]</sup>。通过掺杂,可以有效的提升材料的温度稳定性和材料晶粒的均匀性。因此在本章的研究中,将 Cr 元素掺入了  $\text{Sb}_3\text{Te}_1$  材料,研究了  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  材料的温度稳定性、结晶结构、电学性能。通过研究对比,筛选了一个最优化的组分  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 。

### 5.2 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 相变材料性能研究

#### 5.2.1 实验介绍

本章论文中使用的相变材料薄膜和电极材料薄膜均采用磁控溅射法制备,使用的设备为日本真空的磁控溅射机(型号 ACS-4000-C4)。该磁控溅射设备主要由进样室、

溅射室、电源系统、循环冷却水系统和气路系统组成。进样室和溅射室中间通过机械臂传送,在工作状态时能够不破坏真空度进行送样和取样。电源系统配备了两个射频电源和两个直流电源,能够进行四靶共溅射,溅射过程中可以控制电源功率来调整薄膜的组分,控制溅射时间来获得不同厚度的薄膜。设备的气路系统包括五路气体,可以通过流量计精确计算气体流量。

实验中需要制备不同组分和厚度的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  薄膜,采用了单质 Cr 靶和  $\text{Sb}_3\text{Te}_1$  靶(纯度 99.99%)共溅射制备。为了制备不同组分比的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  薄膜, Cr 靶采用了射频电源,功率分别设置为 5W、7W、10W 和 15W,  $\text{Sb}_3\text{Te}_1$  靶采用直流电源,功率固定为 25W。沉积薄膜之间,对所有靶使用了纯度为 99.99%的 Ar 进行了预溅射,去除靶材料表面的氧化层和附着物。通常情况下,为了消除衬底对薄膜组分的影响,不同组分的薄膜沉积在铝箔上用来测定组分比,组分比由 EDS (Oxford INCA Energy) 为了获得材料的微观结构信息,不同组分的薄膜沉积在微栅铜网。TEM 和选区电子衍射 (Selected Area Electron Diffraction, SAED) 被用来对材料的微观结构进行表征。不同厚度和组分的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  薄膜沉积在清洗后的 Si/SiO<sub>2</sub> 衬底上用来进行其他测试,包括电阻随温度变化曲线测试 (R-T), XPS 测试成键, SEM 测试薄膜厚度, X 射线衍射 (X-Ray Diffraction, XRD) 用来表征  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  薄膜沉积态和退火后晶格结构等。

在实验过程中,利用了自主搭建的原位电阻-温度测试平台测试了相变材料 R-T 曲线和在恒定温度下相变材料电阻随时间变化 (R-t) 曲线。该系统由一个封闭的真空测试腔、温度控制器、数字万用表 (Agilent4155C) 和 Labview 软件系统组成。测试过程中,两根细金属探针与薄膜直接接触,测试腔温度能够得到精确控制,升温速率可以设置为 10°C/min-50°C/min。在某一特定温度下,薄膜数据的失效时间  $t$  定义为薄膜体电阻降低到初始值一半所需要的时间。测试的结果可以通过 Arrhenius 方程  $t=\tau\exp(E_a/k_B T)$  拟合计算可以得到材料的结晶激活能  $E_a$  和数据保持特定时间所对应的温度,工业界都以十年存储器能承受的最高温度作为存储器数据保持力。方程中的  $k_B$  是玻尔兹曼常数,  $t$  是失效时间,  $\tau_0$  是时间比例系数,  $E_a$  是激活能。

为了获得  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的电学性能,我们将  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜集成到了 T 型结构相变存储单元中来进行测试。该存储单元是通过 0.13 $\mu\text{m}$  的 CMOS 工艺制备, W 电极的直径为 190nm。50nm 厚的  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜沉积在 W 电极之上, 20nm 的 TiN 薄膜和 300nm 的 Al 薄膜作为器件的上电极沉积在相变薄膜层之上。利用了相变存储单元电压脉冲系统表征了  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜的电学测试。该系统主要由控制计算机、电压脉冲信号发射器、数字信号源等部件组成,信号发生器是美国 Tektronix 公司的 AWG5002B,可以发任意波形。该脉冲信号发生器还可以产生单一脉冲或者连续脉冲信号,最大取样速率 600M/S。读电阻的数字信号源是美国 Keithley 公司的 2400,该信号源可以提供电流或者电压信号,也可以通过提供的电流或者电压信号源来测试相应的电压、电流或者电阻。通过相变存储单元电压脉冲测试系统可以得到电压脉冲幅

值-阻值 (R-V) 扫描曲线、电流脉冲幅值-阻值 (I-R) 扫描曲线, 都是测试存储单元阻值随操作参数的变化而变化的规律。

### 5.2.2 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 相变材料性能表征

图 5.1(a) 图展示了多种组分的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  相变材料的 R-T 曲线, 主要包括  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.48}\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.95}\text{Sb}_3\text{Te}_1$  五种组分。相同厚度薄膜沉积在二氧化硅衬底上, 利用电阻-温度系统进行 R-T 测试, 升温速率恒定为  $40^\circ\text{C}/\text{min}$ 。由图 5.1 (a) 可以观察到, 所有组分材料方块电阻首先都随着温度不断增加而平缓的持续下降, 呈现一种类似于半导体的性质。然后在某个温度区域不同组分材料电阻都突然下降, 通常把电阻突然下降的温度定义为结晶温度 ( $T_c$ ), 即电阻对温度取微分值 ( $dR/dT$ ) 最小处对应的温度。通过计算可得  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.48}\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.95}\text{Sb}_3\text{Te}_1$  的结晶温度分别为  $145.51^\circ\text{C}$ 、 $182.51^\circ\text{C}$ 、 $206.49^\circ\text{C}$ 、 $232.42^\circ\text{C}$  和  $263.92^\circ\text{C}$ 。可以发现随着 Cr 元素掺入含量的增加,  $T_c$  也是逐渐增加的。这表明 Cr 元素的掺入, 提升了相变材料的热稳定性。

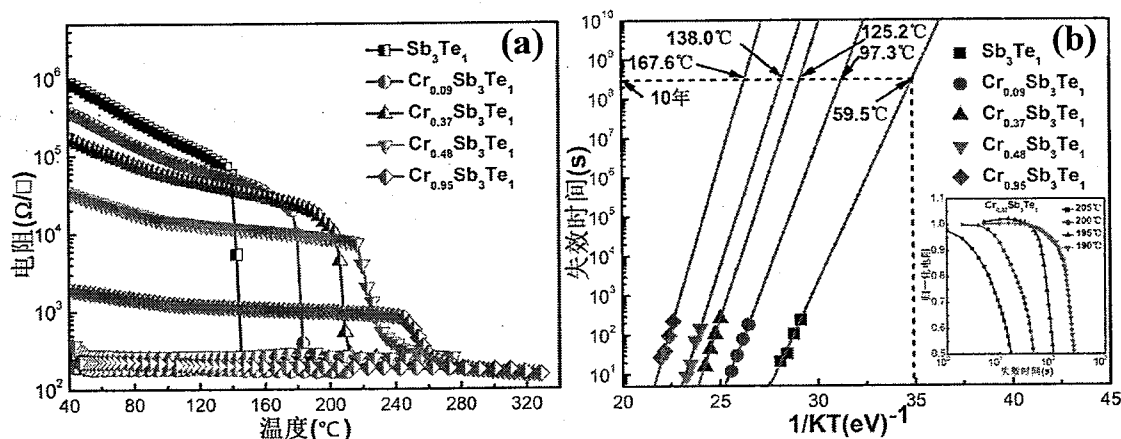


图 5.1 (a)  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  相变材料的 R-T 曲线, 升温速率  $40^\circ\text{C}/\text{min}$ , (b)  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  相变材料十年数据保持力 Arrhenius 方程拟合曲线, b 中插图为  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  相变材料的 R-t 曲线

为了进一步表征 Cr 掺杂对  $\text{Sb}_3\text{Te}_1$  相变材料热稳定性和数据保持力的影响, 进行了等温测试。等温测试是指将各种组分的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  相变材料由室温升至几个特定的温度 (通常情况下低于材料结晶  $5^\circ\text{C}$ , 并以  $5^\circ\text{C}$  为间隔逐步降低的几个温度值), 并且维持在这个温度, 测试材料电阻值随时间的变化, 即 R-t 曲线。在 R-t 曲线中, 将材料电阻值下降为初始值 50% 处的时间定为材料在该温度下的失效时间。然后结合 Arrhenius 方程就可以拟合计算出材料的十年数据保持力和结晶激活能, 拟合计算的结果如图 5.2 (b) 图所示, 图 5.2 中插图所示的为  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的原位 R-t 曲线。图中计算出了各个组分材料的十年数据保持力和结晶激活能  $E_a$ 。  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ 、

$\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.48}\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.95}\text{Sb}_3\text{Te}_1$  的十年数据保持力和结晶激活能分别为 59.5℃ 和 2.43eV、97.3℃ 和 2.97eV、125.2℃ 和 3.40eV、138.0℃ 和 3.46eV、167.6℃ 和 3.82eV。

表 5.1 对各种组分材料的结晶温度  $T_c$ ，十年数据保持力和结晶激活能  $E_a$  进行了汇总。由此可以看出，当 Cr 含量小于 0.95 时，随着 Cr 元素掺入量的增加，材料的十年数据保持力和结晶激活能都是增加的。因此  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  相变材料热稳定的提升源于材料较高的  $T_c$  和  $E_a$ 。通过对比可以发现  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  具有较高的数据保持力，并且具有两个量级的高低阻值差异，能够满足 PCM 的应用需求。因此，将继续表征  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  材料的相关性能。

表 5.1  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  的  $T_c$ 、 $E_a$  和十年数据保持力

| 相变材料                                     | $T_c$ (°C) | $E_a$ (eV) | 十年数据保持力 (°C) |
|------------------------------------------|------------|------------|--------------|
| $\text{Sb}_3\text{Te}_1$                 | 145.51     | 2.43       | 59.5         |
| $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ | 182.51     | 2.97       | 97.3         |
| $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ | 206.49     | 3.40       | 125.2        |
| $\text{Cr}_{0.48}\text{Sb}_3\text{Te}_1$ | 232.42     | 3.46       | 138.0        |
| $\text{Cr}_{0.95}\text{Sb}_3\text{Te}_1$ | 263.92     | 3.82       | 167.6        |

### 5.2.3 晶体结构表征

为了研究  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  的晶格结构，对退火后的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  进行了 XRD 测试。首先在硅衬底上使用共溅射生长了 200nm 厚的  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  薄膜，然后分别将  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.48}\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.95}\text{Sb}_3\text{Te}_1$  薄膜置入高纯氮气中 300℃ 退火 5 分钟以获得晶态薄膜。同时再将部分  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  样品置于高纯氮气中 250℃ 退火 5 分钟。

图 5.2 (a) 和 (b) 展示了  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  在 250℃ 和 300℃ 退火下的晶格结构信息。 $\text{Sb}_3\text{Te}_1$  的晶格结构和  $\text{Sb}_2\text{Te}_1$  的类似，没有形成 Sb 单质相<sup>[82]</sup>。并且 Cr 掺入  $\text{Sb}_3\text{Te}_1$  中，在  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  中也没有出现 Cr 或者 Cr- $\text{Sb}_3\text{Te}_1$  的衍射峰，这说明 Cr 在材料中没有形成新的化合物，并且也没有形成 Cr 的单质相。当退火的温度为 300℃ 时，可以发现  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的衍射峰变强了，这说明退火温度越高，材料结晶越充分。在图 5.3 (c) 中，我们还可以观察到随着 Cr 元素掺杂含量的增加，没有太多新的衍射峰出现。但是某些在 Cr 含量较低时存在的衍射峰随着 Cr 含量的增加而消失了，这表明 Cr 元素没有改变  $\text{Sb}_3\text{Te}_1$  主要晶相，只是在结晶过程中抑制了某些晶相。同时通过对比可以发现 Cr 元素使得  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  衍射峰强度减弱，表明晶粒被细化了。

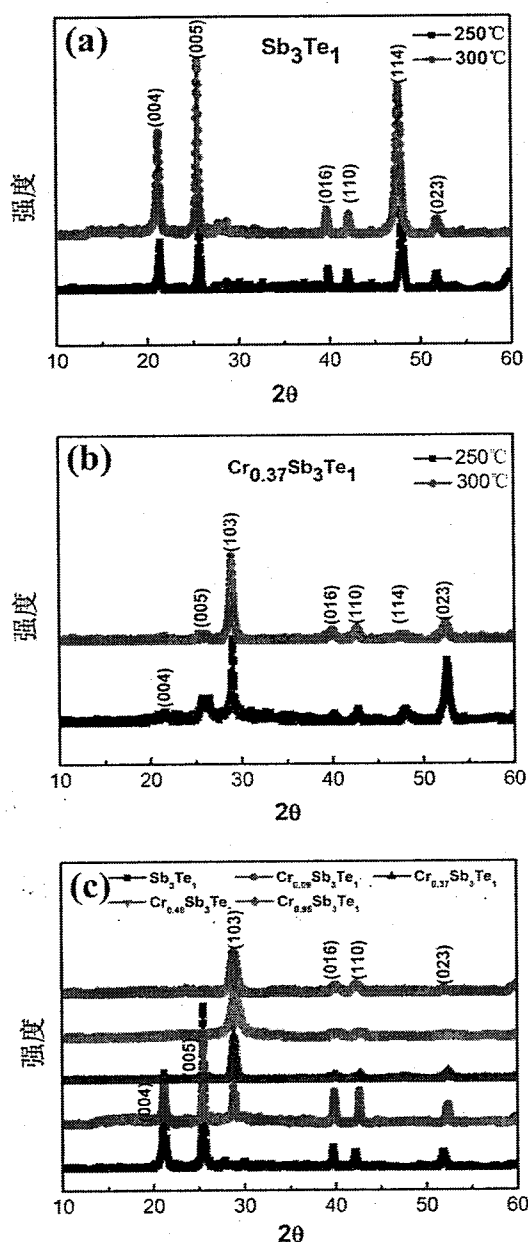


图 5.2 (a)  $\text{Sb}_3\text{Te}_1$  薄膜在 250°C 和 300°C 退火后的晶格结构信息, (b)  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜在 250°C 和 300°C 退火后的晶格结构信息, (c)  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  在 300°C 退火后的晶格结构信息

#### 5.2.4 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 成键分析

为了进一步分析 Cr 掺杂对  $\text{Sb}_3\text{Te}_1$  的影响, 我们利用 XPS 测试研究了  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的成键情况。200nm 厚  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜在高纯氮气氛围中 300°C 退火 5 分钟, 让样品完全结晶。XPS 测试过程中, 使用 Ar 离子轰击样品表面, 用以去除表面氧化层和残留物。Te3d、Sb3d、Te4d 和 Sb4d 的 XPS 谱图分别如图 5.2 (a)、(b)、(c) 和 (d) 所示。由图 (a) 和 (c) 可以观察到, Cr 掺杂进入  $\text{Sb}_3\text{Te}_1$  引起了

$\text{Te}3d$  和  $\text{Te}4d$  轨道电子结合能分别向低能量方向偏移, 这是因为  $\text{Cr}$  的掺入形成了较多的  $\text{Cr-Te}$  键。 $\text{Cr}$ 、 $\text{Sb}$  和  $\text{Te}$  的电负性分别为 1.66、2.05、2.1, 所以  $\text{Cr-Te}$  的键能是强于  $\text{Sb-Te}$  键的。当  $\text{Cr}$  掺入  $\text{Sb}_3\text{Te}_1$  后,  $\text{Sb}$  很有可能被  $\text{Cr}$  取代,  $\text{Cr}$  倾向于和  $\text{Te}$  成键形成  $\text{Cr-Te}$  键, 被替代的  $\text{Sb}$  会形成额外的  $\text{Sb-Sb}$  键。在图 5.3 (b) 和 (d) 中可以发现,  $\text{Sb}3d$  和  $\text{Sb}4d$  的轨道电子结合能也向小能量方向发生了偏移, 这同样可能是由  $\text{Cr}$  掺入  $\text{Sb}_3\text{Te}_1$  形成  $\text{Sb-Sb}$  键引起的。而且,  $\text{Cr-Te}$  键能比  $\text{Sb-Te}$  键能强, 相比较于  $\text{Sb-Te}$  键的断裂  $\text{Cr-Te}$  键则需要消耗更多的能量来摧毁, 这就使得  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的热稳定性好于纯  $\text{Sb}_3\text{Te}_1$ 。

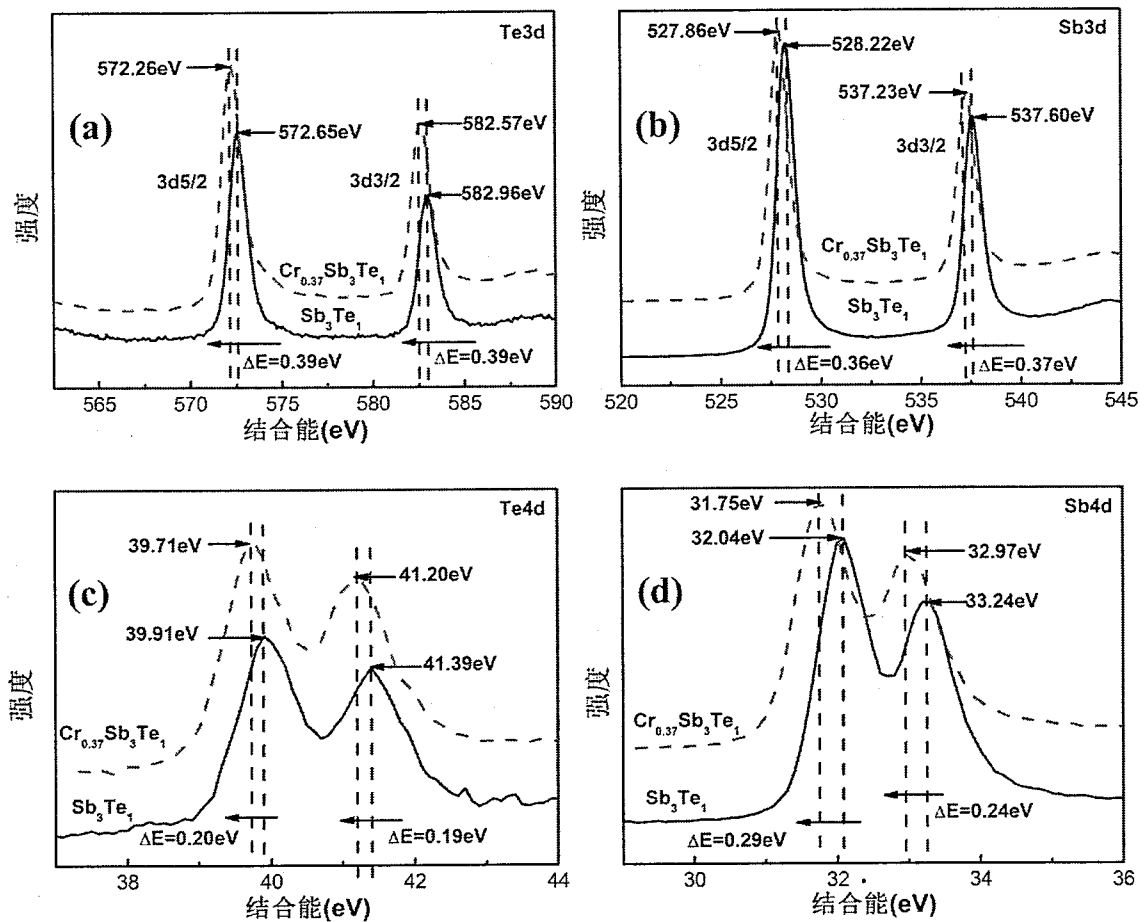


图 5.3 结晶态的  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜的 XPS 谱图: (a)  $\text{Te}3d$ , (b)  $\text{Sb}3d$ , (c)  $\text{Te}4d$  和 (d)  $\text{Sb}4d$

#### 5.2.4 $\text{Cr}_x\text{Sb}_3\text{Te}_1$ 材料微观结构分析

TEM 被用来分析  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  材料的微观结构, 分析结果如图 5.4 所示。40nm 厚的  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜沉积在微栅铜网上, 分别置入高纯氮气 300℃ 退火 5 分钟使材料完全晶化。图 5.3 (a)、(b) 和 (c) 所示的分别为  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$

和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜的 BFTEM (Bright Field TEM) 和相对应的是 SAED 结果, (d)、(e) 和 (f) 分别为  $\text{Sb}_3\text{Te}_1$ 、 $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜的 HRTEM (High Resolution TEM) 结果。从图中可以观察到随着 Cr 元素的掺入, 薄膜的晶粒尺寸是逐渐减小的。 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜的晶粒最均匀, 有利于薄膜获得稳定的晶态阻值。相应的 SAED 结果显示  $\text{Sb}_3\text{Te}_1$  和  $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$  晶粒尺寸大于  $1\mu\text{m}$ , 推断出结晶方式可能是以生长为主导的。然而,  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜的 SAED 结果表现出多晶环, 这表面薄膜中存在很多晶粒, 结晶方式可能从以生长为主导转变为以成核为主导。HRTEM 结果显示薄膜原子排列整齐、有序, 并且只有少数的晶向能被观察到。

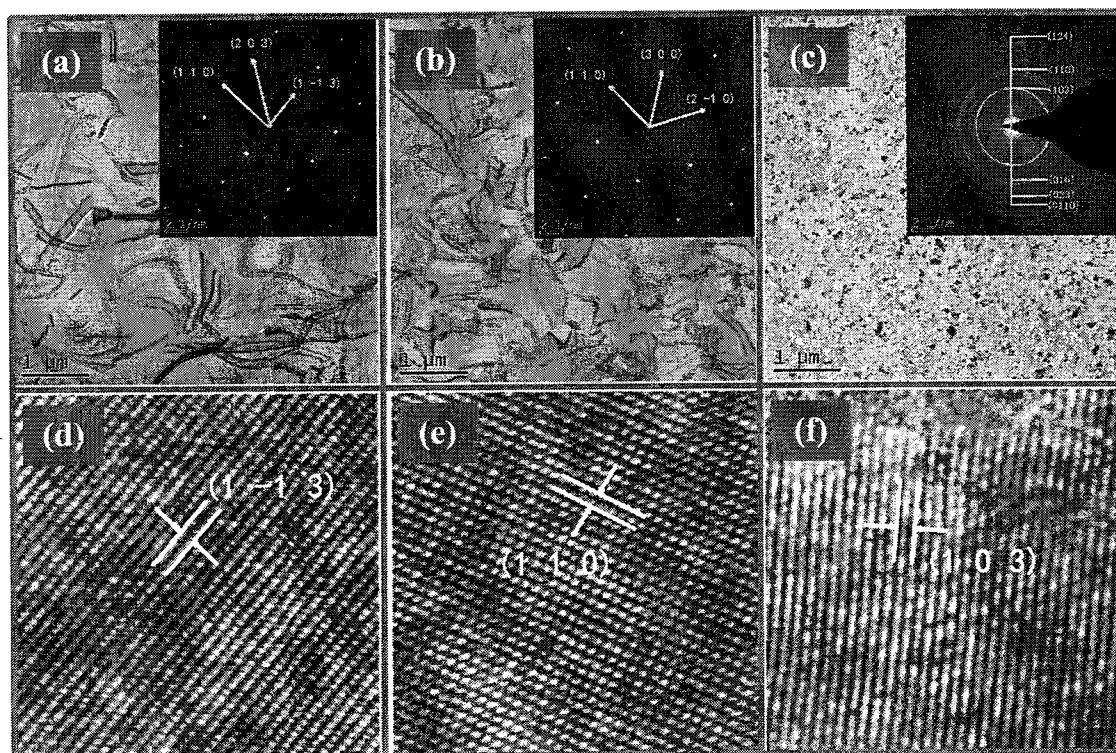


图 5.4 BFTEM 结果和相应的 SAED 结果 (a)  $\text{Sb}_3\text{Te}_1$ , (b)  $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ , (c)  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ , HRTEM 结果 (d)  $\text{Sb}_3\text{Te}_1$ , (e)  $\text{Cr}_{0.09}\text{Sb}_3\text{Te}_1$ , (f)  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$

### 5.2.5 基于 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 材料的 PCM 电学性能研究

相变材料研究的目的是将材料集成到 PCM 中, 提升和优化 PCM 的性能。因此, 本文制备了基于  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  材料的相变存储单元, 对其电学性能进行了研究。PCM 器件为 T 型结构, 包括底电极、加热电极、相变材料层、顶电极等结构。加热电极和底电极, 是基于中芯国际集成电路 (上海) 有限公司  $0.13\mu\text{m}$  CMOS 工艺平台制造的, 相变材料层和顶电极是在中国科学院上海微系统与信息技术研究所 PCM 制造平台上完成并进行测试的。PCM 具体的结构信息如图 5.4 所示, 从上到下依次为

Al 上电极、TiN 粘附层、 $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜层、W 加热电极、TiN 粘附层、Al 下电极和 TiN 层。存储器件的主要制作步骤如下：

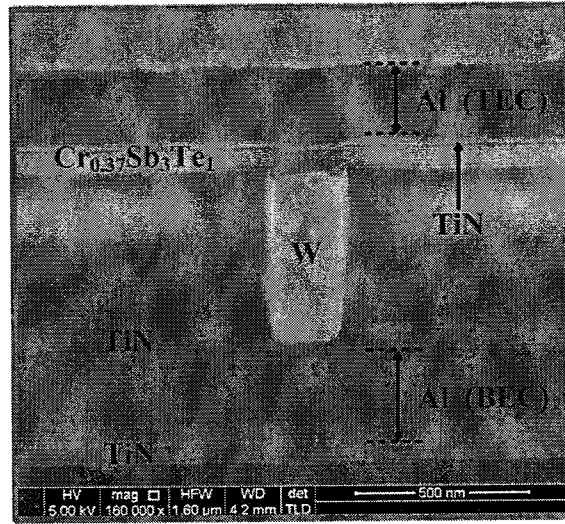


图 5.4 PCM 器件结构图

1. 清洗基片：清洗基片主要是为了去除基片表面的污染物和附着物，首先，在丙酮溶液中超声清洗 5 分钟，去离子水冲洗干净，氮气枪吹干。再置入酒精溶液中超声清洗 5 分钟，去离子水冲洗干净，氮气枪吹干后放入  $80^{\circ}\text{C}$  干燥箱中烘烤 20 分钟去除表面水汽。
2. 生长薄膜：通过磁控共溅射方法制备  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  薄膜，Cr 靶使用射频电源，功率为 7W， $\text{Sb}_3\text{Te}_1$  靶使用直流电源，功率为 25W，生长薄膜厚度约为 50nm。相变薄膜沉积结束后，再利用磁控溅射法沉积一层 TiN 粘附层薄膜，Ti 使用直流电源，功率设置为 200W，气体流量  $\text{Ar}/\text{N}_2$  固定为 32/32，薄膜厚度为 10nm。
3. 图形化相变薄膜层和 TiN 层：经过涂光刻胶、前烘、曝光、显影和坚膜等步骤，在薄膜表面形成所需要图形，为刻蚀工艺做准备。
4. 刻蚀：基于 Oxford 公司 80plus 反应离子刻蚀系统，对样品进行刻蚀。刻蚀过程分为两步。第一步进行 TiN 刻蚀，刻蚀气体为  $\text{CF}_4$  和  $\text{O}_2$ ，流量分别为 20sccm 和 2sccm，气压 80mTorr，腔体源功率 200W。第二步进行相变材料刻蚀，刻蚀气体为  $\text{CF}_4$  和 Ar，流量分别为 15sccm 和 35sccm，气压 50mTorr，腔体源功率 250W。
5. 去除光刻胶：刻蚀完成之后的样品需要去除表面光刻胶。首先将样品置入丙酮中浸泡 15 分钟，浸泡过程中轻微晃动样品，浸泡完成后，去离子水冲洗，氮气吹干。再将样品置入酒精溶液中浸泡 15 分钟，同样轻微晃动样品，去离子水冲洗干净，氮气吹干。再重复以上过程一次，确保表面光刻胶被去除干净。光刻胶去除干净之后，将样品置入  $100^{\circ}\text{C}$  的恒温箱中烘烤 20 分钟，去除表面的水汽。
6. Al 顶电极制备：将光刻胶去除干净后的样品置入超高真空电子束蒸发系统

UMS500P 中, 沉积 300nm 后的金属 Al 电极薄膜。

7. Al 电极薄膜图形化: 类似于步骤 3 在 Al 电极薄膜表面形成所需要图形。
8. Al 电极薄膜刻蚀: 本论文中金属 Al 的刻蚀采用湿法刻蚀。刻蚀过程所选腐蚀液为浓磷酸。首先使用水浴加热的方式将浓磷酸的温度升至  $60^{\circ}\text{C}$ , 并且做保温处理。然后将图形化 Al 电极薄膜后的样品置入热的浓磷酸中浸泡 2-3 分钟, 适当摇晃样品, 使反应更充分。将浸泡后的样品使用去离子水冲洗干净, 并使用氮气枪吹干。再在高倍显微镜下观察刻蚀后的样品, 观察刻蚀是否完全。如果刻蚀不符合要求, 则重复以上过程, 直到 Al 电极薄膜得到充分的刻蚀, 电极结构完整并且能够实现电学隔离。
9. Al 电极表面光刻去除: 类似于步骤 5, 去除 Al 电极表面的光刻胶, 并且烘干。

经过以上的工艺步骤之后, 一个完整的 PCM 存储器件就制备完成。PCM 存储器件制备完成后, 对器件进行电学性能测试。测试是基于相变存储单元电压脉冲系统完成的, 通过施加不同宽度的电压脉冲以获得相应的电学相变性能。测试的结果如图 5.5 所示, 包括不同电压脉冲宽度的 R-V 曲线、器件单元的 I-V 扫描曲线、器件的疲劳特性曲线。

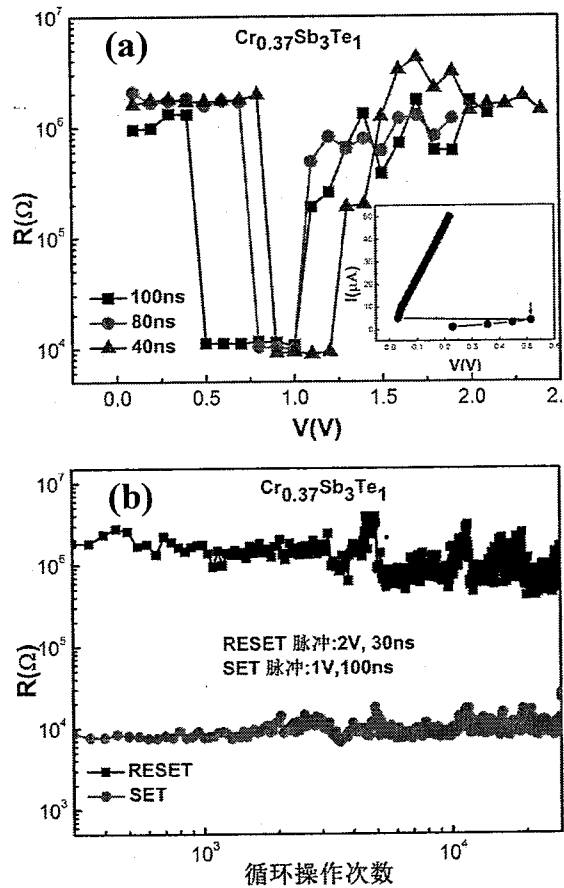


图 5.5 基于  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  材料的 PCM 器件的 (a) 不同脉冲宽度的 R-V 曲线, 插图为 I-V 扫描曲线, (b) 疲劳特性曲线

从 5.5 (a) 的插图中可以观察到, 当给器件施加的电流达到  $3.6\mu\text{A}$  时, 器件从非晶态的初态转化成晶态。给器件施加的电压脉宽从  $100\text{ns}$  改变到  $40\text{ns}$ , 相应的 SET 和 RESET 操作电压分别从  $0.5\text{V}$  转变到  $0.8\text{V}$ 、 $1.1\text{V}$  转变到  $1.5\text{V}$ 。这表面电压脉冲宽度短时, PCM 的相变需要更多的能量。图 5.5 (b) 所示的为存储器件的疲劳特性曲线, 当 SET 操作电压脉冲为  $1\text{V}/100\text{ns}$ , RESET 操作电压脉冲为  $2\text{V}/30\text{ns}$  时, 基于  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  材料的器件疲劳可以达到  $3 \times 10^4$  次, 表现出良好的疲劳特性。并且 SET 和 RESET 状态的电阻分别为  $1 \times 10^7\Omega$  和  $9 \times 10^5\Omega$ , 高低电阻的比例超过两个数量级, 这些结果都表明  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  材料可以应用到 PCM 器件当中, 但是性能仍需改进和提升。

### 5.3 本章小结

本章基于  $\text{Sb}_3\text{Te}_1$  材料, 系统的研究了  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  相变材料的性能, 并且研究了基于  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  材料 PCM 件的电学性能。通过研究可以发现, 随着 Cr 掺杂含量的增加,  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  材料的结晶温度和十年数据保持力都呈增加趋势, 这表明 Cr 掺杂提升了材料的热稳定性。Cr 元素的掺入并没有改变  $\text{Sb}_3\text{Te}_1$  本身的晶格结构, 以替位的形式存在于晶格当中, 只是在结晶过程中某些晶向被抑制住了。XPS 结果表明 Cr 元素和 Sb、Te 分别形成了 Cr-Sb、Cr-Te 键, TEM 结果表明 Cr 元素的掺入, 细化了薄膜的晶粒。基于  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  相变材料的 PCM 器件在  $1\text{V}/100\text{ns}$  的 SET 脉冲电压和  $2\text{V}/30\text{ns}$  的 RESET 脉冲电压能够获得  $3 \times 10^4$  次的疲劳特性, 并且高低电阻比例表现出两个量级的差异。

## 第六章 全文总结与展望

### 6.1 结论

PCM 因为其操作功耗低、操作速度快、集成密度高、非易失性以及 CMOS 标准工艺兼容等优点,被认为有可能取代当下主流的 DRAM 和 Flash 存储器成为下一代通用存储器。随着半导体产业的不断发展,工艺节点不断缩小,PCM 的尺寸逐渐减小。本文主要针对 PCM 的刻蚀工艺和存储性能展开研究,系统的研究了相变材料 GeTe 的 RIE 和 ICP 刻蚀性质,同时还研究了新型相变材料  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  的性能。此外,基于中芯国际 40nmPCM 芯片工艺平台,开发了基于  $\text{Si}_3\text{N}_4$  电介质的 GST 刻蚀工艺。取得的主要结果如下:

1. 系统的研究了 GeTe 的刻蚀性质,包括 ICP 和 RIE 两种刻蚀工艺。通过研究发现,一般情况下,GeTe 的 ICP 刻蚀速率是高于 RIE 刻蚀速率,并且 ICP 刻蚀后的表面粗糙度也是明显高于 RIE 刻蚀后的表面粗糙度。两种刻蚀过程都会产生刻蚀损伤,在表面形成了卤化物和氧化物,如  $\text{Ge-Cl}_x$ 、 $\text{Te-Cl}_x$ 、 $\text{Te-F}_x$ 、 $\text{Ge-F}_x$ 、 $\text{Ge-O}_x$ 、 $\text{Te-O}_x$  等。就 ICP 刻蚀而言,当  $\text{BCl}_3$  组分小于 80%、衬底偏置功率小于 300W、腔体源功率小于 700W、腔体气压小于 7mTorr 时,研究表明 GeTe 的刻蚀速率随着  $\text{BCl}_3$  组分和衬底偏置功率的增加而增加,随着腔体气压和腔体源功率的增加表现出先增加而后降低的趋势。刻蚀后的表面粗糙度随着腔体气压的增加先增加而后降低,随着衬底偏置功率和腔体源功率的增加而呈现递增趋势。另一方面,对于 RIE 而言,晶态和非晶态的 GeTe 刻蚀速率首先随着氧气比例的增加而逐渐增加,在氧气比例为 12%时达到了极值,当氧气含量继续增加时,刻蚀速率呈现下降趋势。两种状态 GeTe 的刻蚀表面的粗糙度随着氧气比例的增加呈现出稍微增加的趋势。当腔体源功率小于 400W、腔体气压低于 40mTorr 时,刻蚀速率随着气压和功率的增加几乎以线性方式增加的。 $\text{TiN}$  和 GeTe 薄膜两步刻蚀的结果表现出了好的垂直度,截面上没有形成底切结构。
2. 基于中芯国际 40nmPCM 芯片工艺平台,开发了基于  $\text{Si}_3\text{N}_4$  电介质的 GST 刻蚀工艺。实验中采用 HBr 和 He 气体作为主刻蚀气体,通过调节刻蚀工艺中的参数优化刻蚀结果,达到刻蚀 GST 结构侧壁垂直、残留物少、稀疏区的衬底损失量小于 50nm 的目的。通过实验发现腔体气压 5mTorr、腔体源功率 700W、衬底偏置功率 300V、刻蚀气体为  $\text{HBr/NF}_3/\text{Cl}_2/\text{He}$  混合物的工艺条件下,基于  $\text{Si}_3\text{N}_4$  衬底上的 GST 刻蚀的结果比较理想。因此选用该刻蚀条件,将 GST 集成到 PCM 器件中,针对刻蚀后的结果进行 TEM 切片和 EDS 处理。结果显示 GST 线条的侧壁比较粗糙,

侧壁不是很垂直,这很可能是由于侧壁表面的非挥发物引起的,同时 Br 元素进入了 GST 线型结构中,对薄膜产生了一定的损伤。另一方面,因为相较于单纯的  $\text{Si}_3\text{N}_4$  衬底而言 PCM 器件有复杂的结构,包括  $\text{SiO}_2$  电介质、 $\text{Si}_3\text{N}_4$  电介质、TiN 电极、W 电极等,这些结构会影响刻蚀工艺过程中轰击晶圆表面的离子浓度、能量和方向,导致了 PCM 集成工艺结果和基于  $\text{Si}_3\text{N}_4$  衬底的 GST 刻蚀单项工艺结果的差异。

3. 系统的研究了新型相变材料  $\text{Cr}_x\text{Sb}_3\text{Te}_1$ , 筛选出了最优组分  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 。研究表明随着 Cr 元素的加入,  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的结晶温度提高到了  $\sim 206.49^\circ\text{C}$ , 存储的数据能够在  $\sim 125.2^\circ\text{C}$  保持 10 年。Cr 元素的掺入没有改变  $\text{Sb}_3\text{Te}_1$  的晶格结构,也没有形成 Cr 的单质相或者  $\text{Cr-Sb}_3\text{Te}_1$  的晶相,只是在结晶过程中抑制了某些晶相的生长。另一方面,当 Cr 元素掺入  $\text{Sb}_3\text{Te}_1$  中, Cr 元素与 Sb、Te 元素成键,以替位式存在与晶格当中,可能形成了 Cr-Te 键和额外的 Sb-Sb 键。Cr 元素的掺入同时细化了晶粒,  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  相较于  $\text{Sb}_3\text{Te}_1$  表现出了更好的均匀性。基于  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  的 PCM 器件能够实现快速相变,表现出了  $3 \times 10^4$  次的可逆相变循环次数。其 SET 和 RESET 状态的电阻分别为  $1 \times 10^7 \Omega$  和  $9 \times 10^5 \Omega$ , 高低电阻的相差两个数量级,能够满足 PCM 实现逻辑上的“0”和“1”存储。

## 6.2 创新点与主要贡献

本论文以相变存储单元的刻蚀工艺为切入点,实验与理论紧密结合,重点研究了相变材料的 GeTe 的刻蚀工艺和  $\text{Si}_3\text{N}_4$  ILD GST 刻蚀工艺,同时为了提升 PCM 的性能,开发了  $\text{Cr}_x\text{Sb}_3\text{Te}_1$  新型相变材料。本论文主要创新点如下:

1. 研究了相变材料 GeTe 的 RIE 和 ICP 刻蚀性质,完成了刻蚀工艺参数,如刻蚀腔体源功率、腔体气压以及刻蚀气体组分比等对刻蚀结果影响的研究。通过实验,确立了不同刻蚀过程的最优刻蚀参数,对刻蚀结果进行了损伤分析,分析结果表明,在刻蚀后的薄膜表面形成了卤化物和氧化物等非易失性产物。同时,采用国内最先进的 40nm 标准工艺,开发了基于  $\text{Si}_3\text{N}_4$  电介质的 GST 刻蚀工艺。
2. 开发了新型相变材料  $\text{Cr}_x\text{Sb}_3\text{Te}_1$ , 筛选出了最优组分  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$ 。  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  提高了  $\text{Sb}_3\text{Te}_1$  的热稳定性和数据保持力,并且,  $\text{Cr}_{0.37}\text{Sb}_3\text{Te}_1$  具有结构均一、循环寿命较长等优点。其 PCM 单元在很低的操作电压下能够实验快速相变,重复次数能够达到  $3 \times 10^4$ 。

## 6.3 展望

本文重点研究了相变材料的刻蚀工艺和机理,同时也研究开发了新型的相变材料。随着半导体工艺的不断发展,工艺节点不断降低,由目前的 40nm、28nm 发展到 16nm、

10nm, PCM 的制备过程将面临诸多挑战。尤其是当 PCM 往高密度方向发展, 给刻蚀工艺的带来新的较大挑战。高密度要求刻蚀的结构越来越精细, 而刻蚀损伤导致材料组分改变, 非易失性挥发物等这些问题亟需解决。另一方面, 在未来的发展过程中, PCM 低功耗、高操作速度等发展方向对相变存储介质的性能也提出了很高的要求, 开发新型的相变存储介质来弥补当下的不足也是当务之急。