

分类号_____

密级_____

UDC _____

编号_____

中国科学院研究生院 博士学位论文

相变存储单元热模拟及其 CMP 关键技术研究

刘 奇 斌

指导老师 宋志棠 研究员 中国科学院上海微系统与信息技术研究所

申请学位级别 博 士 学科专业名称 微电子学与固体电子学

论文提交日期 2007 年 1 月 论文答辩日期 2007 年 2 月 8 日

培养单位 中国科学院上海微系统与信息技术研究所

学位授予单位 中国科学院研究生院

答辩委员会主席 孙 卓

相变存储单元热模拟及其 CMP 关键技术研究

刘奇斌（微电子学与固体电子学）

指导老师：宋志棠 研究员

摘 要

相变存储器由于具有低功耗、读写速度快、抗疲劳、制作工艺与 CMOS 工艺兼容等特点，倍受业界青睐，是一种很有发展前景的非易失性新型存储器。本论文针对相变存储器，在国家重点基础研究发展计划、国家 863 计划、中国科学院以及上海市科委项目等资助下开展研究工作。本论文在大量的文献调研基础上，从目前相变存储器存在的主要问题出发，开展了一系列的研究工作，并获得了以下几个方面的结果：

1) 为了提高器件的性能、降低相变存储单元的功耗，本论文用电学和传热学耦合模拟的方法，详细模拟了 Reset 和 Set 的工作过程。研究结果表明：影响 Reset 过程的主要器件几何参数是底电极的尺寸，尺寸越小，Reset 越容易发生；影响 Set 过程的主要器件几何参数是相变材料的厚度，厚度越薄，Set 越容易发生。根据模拟结果，提出了改善器件性能的新结构：如减小相变材料的相变区域、采用纳米点作为电极提高加热效率和用空心底电极降低电极尺寸等。

2) 为了使相变存储器制备工艺与集成电路工艺相兼容，需要对相变材料的化学机械抛光这一关键工艺进行研究，其中抛光液是该工艺所需的关键材料。本论文首次采用电化学的方法系统研究了抛光液中的 pH 值、氧化剂和成膜剂等对相变材料抛光工艺的影响。研究发现：当抛光液的 pH 为 10 左右、氧化剂 H_2O_2 浓度在 3wt%~5wt%、成膜剂 BTA 浓度为 0.1wt% 时， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的表面能够形成最为有效的钝化层，此结果对配制抛光液很有指导意义。

3) 采用根据电化学结果配制的抛光液，研究了相变材料对二氧化硅的抛光速率选择比，研究结果表明： $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 SiSb_2Te_3 对 SiO_2 抛光速率的选择比分别为 6:1 和 9:1。用化学机械抛光工艺结合刻蚀和填充工艺制作了各种镶嵌结构的器件阵列，结果表明：化学机械抛光工艺可以有效地去除表面残余的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 SiSb_2Te_3 相变材料，实现相变材料的微纳米结构；在有底电极的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 存储单元阵列中，得到较为均匀的电学特性；结合电子束曝光的方法制作了小尺寸 SiSb_2Te_3 阵列，并观察到可逆相变。

4) 为了能够低成本地制作相变存储器阵列结构, 本论文研究了相变材料的刻蚀液和湿法刻蚀工艺。优选出 $\text{HCl}+\text{H}_2\text{O}_2$ 刻蚀液, 并用此刻蚀液制作出相变存储单元阵列, 在大尺寸下观察到可逆相变。

5) 为了能够研究相变存储器的电学性能及可靠性, 本论文研制了多仪器电学性能测试系统。通过该系统各个模块的协同工作, 可以用来研究相变存储单元的电学特性、相变材料的温度特性以及数据保持力, 同时也可以用来研究其他器件特性, 如浮栅, MIS 结构等。

关键词: 相变存储器; 有限元方法; 化学机械抛光; 湿法刻蚀; 电学测试系统

Thermal Simulation and key technologies of Chemical Mechanical Planarization (CMP) for Phase Change Memory

Liu Qibin (Microelectronics and Solid State electronics)

Directed by Professor Song Zhitang

Abstract

Phase change memory (PCM) has been considered as one of the best candidates for next-generation nonvolatile memories (NVMs) due to its advantages including low power consumption, fast access time, high endurance, good compatibility with conventional CMOS processes and so on. This thesis focuses on several key problems of phase change memory that need to be solved and obtained following results:

1) In order to optimize the device structure, we have simulated reset and set process of phase change process by electric and heat transfer module coupling method. Results show that the size of bottom electrode is the key factor which effects reset process. The smaller the width of bottom electrode, the more easily the reset process happened. The thickness of phase change material is important for set process. Set process happened more easily if the thickness is smaller. According to the simulation result, we offer some new structures to improve the device performance, such as devices with small phase change area, nano electrode dots and hollow bottom electrode and so on.

2) Chemical mechanical planarization (CMP) is necessary for the fabrication of PCM device. This work investigates CMP slurry for phase change material using electrochemistry method for the first time. The influences of pH value, contents of oxidant and BTA in the slurry on the CMP process have been studied systematically. Results reveal that slurry with pH value of 10, oxidant content of 3wt%~5wt% and BTA content of 0.1wt% can form valid passive film on the surface of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ material. This result can help the preparation of CMP slurry for $\text{Ge}_2\text{Sb}_2\text{Te}_5$.

3) Using the optimized slurry, the polish rate selectivity between $\text{Ge}_2\text{Sb}_2\text{Te}_5$ and SiO_2 and that between SiSb_2Te_3 and SiO_2 is 6:1 and 9:1, respectively. Combined CMP process and other processes such as etching and thin film growth, the cell arrays with damascene structures have been obtained. Results show that the CMP process can remove the remnant phase change materials including $\text{Ge}_2\text{Sb}_2\text{Te}_5$ and SiSb_2Te_3 on the dielectric material efficiently. Uniform electric properties of array with $\text{Ge}_2\text{Sb}_2\text{Te}_5$ have been obtained. Small arrays with SiSb_2Te_3 have been fabricated using electron beam lithography and reversible phase change phenomenon has been observed.

4) In order to reduce the cost of PCM, wet-etching process and relative solutions for phase change material have been investigated. We find out hydrochloric acid with oxide is good wet-etching solution for the etching of $\text{Ge}_2\text{Sb}_2\text{Te}_5$. Using the above etching solution, CRAM cell array has been fabricated and reversible phase change phenomenon has been observed.

5) In order to test the electric properties and reliability of phase change memory, we have investigated and built electric testing system. Through the cooperation of modules, we can characterize the electric properties, temperature characteristics and data retention of phase change memory cells. And this system can also be used to characterize other devices such as floating gate memory, MIS structure etc.

Key words: phase change memory; the finite element method; chemical mechanical planarization (CMP); wet etching; electrical property testing system

目 录

摘 要.....	I
Abstract.....	III
目 录.....	V
第一章 绪论.....	1
1.1 引言.....	1
1.2 相变存储器.....	2
1.2.1 相变存储器的发展历史.....	2
1.2.2 相变存储器的研究现状.....	2
1.2.3 相变存储器的存储原理.....	3
1.2.4 相变存储器的状态变化过程.....	4
1.2.5 相变存储器的基本结构.....	5
1.3 相变存储器的相变材料体系.....	7
1.4 相变存储器的器件模拟.....	9
1.4.1 器件模拟概论.....	9
1.4.2 材料的相变过程模拟.....	10
1.4.3 相变存储器的电学和传热学模拟.....	11
1.4.4 相变存储器的电路模型.....	11
1.5 相变存储器的制造工艺技术.....	12
1.5.1 相变存储器的制造工艺导论.....	12
1.5.2 化学机械抛光.....	12
1.5.3 湿法刻蚀工艺.....	15
1.6 本论文的主要工作.....	15
第二章 相变存储器的器件模拟.....	16
2.1 引言.....	16
2.2 相变存储器的参数模型.....	16
2.2.1 电学参数模型.....	16
2.2.2 传热学参数模型.....	18
2.2.3 相变过程模型.....	18
2.2.4 有限元法.....	20
2.2.5 模拟的器件结构及其器件参数.....	20
2.3 Reset 过程的数值模拟与分析.....	21
2.3.1 Reset 过程的电学模拟.....	21
2.3.2 Reset 过程的传热学模拟.....	23

2.3.3 不同电极大小的 Reset 特性.....	25
2.3.4 Reset 过程的结构分析.....	26
2.4 Set 过程的数值模拟与分析.....	28
2.4.1 Set 过程的电学模拟.....	28
2.4.2 Set 过程的传热学模拟.....	29
2.4.3 不同厚度下的 Set 特性.....	31
2.4.4 Set 过程的结构分析.....	33
2.5 相变存储器的等效电路模拟.....	33
2.6 相变存储器的结构改进.....	35
2.6.1 小尺寸的相变材料区域.....	35
2.6.2 带纳米点的底电极结构.....	36
2.6.3 带空心的底电极结构.....	37
2.7 本章小结.....	37
第三章 相变材料的电化学性质研究.....	38
3.1 引言.....	38
3.1.1 化学机械抛光与电化学.....	38
3.1.2 电化学腐蚀的研究方法.....	39
3.2 相变材料的电化学实验试剂, 分析手段和实验装置.....	42
3.2.1 主要测试分析仪器.....	42
3.2.2 主要试剂.....	42
3.2.3 电化学实验装置.....	42
3.2.4 电化学实验方法.....	42
3.3 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的电化学性质.....	43
3.3.1 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 各元素电化学性质.....	43
3.3.2 抛光液各组分因素对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜成膜特性的影响.....	44
3.3.3 用交流阻抗的方法研究反应机理.....	50
3.4 本章小结.....	52
第四章、用化学机械抛光制作相变存储器的阵列结构.....	53
4.1 引言.....	53
4.2 制作阵列结构实验方案和实验设备.....	53
4.3 对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的化学机械抛光研究.....	54
4.3.1 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 对 SiO_2 的 CMP 选择比研究.....	54
4.3.2 在 SiO_2 上对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的化学机械抛光研究.....	56
4.3.3 制作底电极的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的相变存储器结构.....	59
4.4 对 SiSb_2Te_3 薄膜的化学机械抛光研究.....	61

4.4.1 SiSb ₂ Te ₃ 对 SiO ₂ 的 CMP 选择比研究.....	61
4.4.2 用电子束曝光制作 SiSb ₂ Te ₃ 阵列结构.....	63
4.4.3 用电子束曝光制作带底电极的阵列结构.....	65
4.4.4 研究在 SiSb ₂ Te ₃ 中掺 Bi 相变存储特性.....	70
4.5 本章小结.....	73
第五章 Ge ₂ Sb ₂ Te ₅ 的湿法刻蚀研究.....	74
5.1 引言.....	74
5.2 湿法刻蚀的实验方案和实验设备.....	74
5.3 用湿法刻蚀的方法制作相变存储器阵列.....	75
5.4 刻蚀液的选择.....	76
5.5 实验结果与分析.....	77
5.6 本章小结.....	79
第六章 多仪器电学测试系统的建立.....	80
6.1 电学测试系统简介.....	80
6.2 用于控制测试线路的转换开关.....	81
6.3 以 Agilent 4284A 为中心的测试系统.....	81
6.3.1 Agilent 4284A 的测试原理.....	81
6.3.2 测试端与样品连接的基本要求.....	83
6.3.3 仪器校正.....	83
6.3.4 仪器的测试程序.....	84
6.3.5 应用 4284 测试程序来研究纳米浮栅存储器的电学性能.....	86
6.4 对 Keithley 2400 调试与编程测试.....	87
6.4.1 电压扫描测试程序.....	87
6.4.2 电流扫描测试程序.....	89
6.4.3 实时测试电压电流电阻程序.....	89
6.4.4、Keithley 2400 的测试程序的应用.....	90
6.5 温度特性测试系统.....	91
6.5.1 温度特性测试系统介绍.....	91
6.5.2 温控仪.....	91
6.5.3 变温探针测试台.....	92
6.5.4 温度特性测试系统软件.....	92
6.5.5 测试及数据处理.....	93
6.5.6 温度测试系统的应用.....	93
6.6 本章小结.....	94
第七章 总结.....	95

参考文献.....	97
发表学术论文目录.....	103
致谢.....	105
个人简历.....	107

第一章 绪论

1.1 引言

近十几年来,在微电子技术的促进下,计算机、多媒体、网络和通信等信息技术取得了飞速发展^[1]。目前,计算机中的微处理器,存储器以及各种电路芯片正在日新月异地变化着,其特点是运算速度快、存储密度高、芯片的集成度大。根据摩尔定律,半导体存储器的集成度以每三年翻两番的速度在提高。因此存储器一直是微电子技术发展的标志,同时也要求存储工业大力发展大容量的存储技术^[2]。

存储技术工业发展到今天,大容量的存储介质在不断推出。一般来说从两个方面来发展存储技术,一方面是光存储,另一方面是电存储。在光存储方面,光盘存储技术飞速发展,从 VCD 到 DVD,又发展为可擦写的 DVD 技术。在电存储方面,发展起来的存储器非常多。在目前的计算机中,用得最多是 DRAM 和 SRAM。这种存储器的存储速度快,然而其存储信息是需要加电维持的,断电后存储信息就会消失,称为易失性存储器。为了实现计算机断电后依然能够保持其信息,发展非易失性存储是当前存储技术发展的重点。此外,移动存储介质需要发展高存储密度,高存储速度和抗疲劳的存储器。目前工业界正在发展以下几个方面的非易失性存储器:只读存储器(ROM),电擦写存储器(EEPROM),闪存(flash),铁电随机存储器(FeRAM),磁阻存储器(MRAM)和相变存储器(PCM)。表 1.1 是这几种非易失性存储器的特点比较^[3]。

表 1.1 各种非易失性存储器性能指标和工艺比较

类型	写模式	写速度	抗疲劳特性	写电压	单元尺寸因子(F ²)	制作所需要的版次	存储密度
PROM	熔丝/反熔丝	ms	一次性	15V	20	6~8	低
EEPROM	热电子/隧道电流	ms	10 ⁵	15V	20	6~8	低
FLASH	热电子/隧道电流	ms	10 ⁵	10V	8~10	6~8	很高
FeRAM	介电材料极化	ns	10 ¹⁰	2~3V	18	2	低
MRAM	磁阻隧道电流	ns	>10 ¹⁵	2~3V	10~20	4	很高
PCM	电加热	ns	>10 ¹³	1~2	5~8	3~4	很高

由表 1.1 中可以看出,相变存储器在写速度、存储密度、抗疲劳特性、单元尺寸以及制作工艺方面都有很大的优越性。除此以外,相变存储器还具有很好的抗辐照性

能^[4,5]，可应用到军事上，在这个方面是国外明令禁止向中国出口的关键技术。目前 Ovonyx 公司、Intel、Samsung、Hitachi、SST、Philip、STM 和 Mocronix 等公司都加入了相变存储器的研究开发行列。

1.2 相变存储器

1.2.1 相变存储器的发展历史

相变存储器的基础是相变材料，目前比较成熟的相变材料是硫系化合物。早在二十世纪五十年代，人们对硫系化合物半导体材料在相变过程中晶态和非晶态的性质就有所研究。到了二十世纪六十年代早期，出现了利用相转变材料制作电学和光学可编程器件的报道^[6]，这些器件可以用于制作数字计算机非易失性存储器。在 1968 年，S.R.Ovshinsky 最早提出相变存储器的概念^[7]。然而，由于在大尺寸工艺下容易引起可靠性问题和存储速度问题^[8]，这种相变存储器一直没有应用于计算机系统。在过去三十多年来，相变材料技术得到很大的提高，其相变转换速度得到很大的提高^[9-12]。在最近几年里，研究者们报道了相变存储器可以极大地提高可编程速度，其相转换时间小于 100ps。并且，与最早的时候提出的原始器件相比，相变存储器的可编程电流已经大大地降低。随着微电子技术和存储技术的长足发展，使相变存储器成为使用器件成为可能。首先，硫系化合物合金能够快速结晶的性质已经在可擦写的 DVD 光盘上被开发利用^[13,14]。可擦写 CD-RW (650Mb) 的普通磁盘现在已普遍使用。1998 年，超高存储量、可擦写的 DVD 磁盘首次诞生。其次，对于器件性能更细致的研究导致了工业界在生产存储器件时能够很好地控制器件的性能^[15]。最后，由于光刻尺寸的缩小和微电子工艺的发展降低了新单元设计中编程的要求，降低了 MOS 晶体管的最小尺寸。正是这些因素，使相变存储器在工作过程中能耗大大降低，可靠性大大提高，而这种越来越小的尺寸与 CMOS 工艺是兼容的。因此，相变存储器已经成为一种高性能的实际可用的存储器件。硫系化合物技术比 EEPROM 和 DRAM 成本更低，性能更好；这些都为利用硫系化合物制备相变存储器提供了必要条件。所以工业界竞相发展这种半导体存储器，它是具有可以取代 Flash、DRAM 和 SRAM 的能力的芯片。

1.2.2 相变存储器的研究现状

2001 年 Intel 宣布大力发展相变存储器以来，各大公司纷纷开展研究相变存储器。2006 年 8 月，Intel 和 ST 两家公司合作在 VLSI 技术研讨会上宣读的一篇论文中阐述了相变存储器 (PCM) 的技术，还将在 PCM 的标准化方面进行合作，Intel 将在 2007 年第 1 季度内供应 90nm 的 PCM 评测样品。

三星公司紧跟 Intel 之后发展相变存储器，该公司目前声称，已经解决了保持存储器阵列数据所需要的硫系化合物，并预期最快在 2008 年使主流市场转向 PCM。韩国三星电子将在 ISSCC 2007 上发表采用 90nm 工艺半导体制造技术的 512M PCM。读取时的最大数据传输速度为 266MB/秒，写入时的最大数据传输速度为 4.64MB/秒。电源电压为 1.8V。

日立制作所与瑞萨科技共同开发了可同时减小 PCM 的写入电流和特性变动的工艺。他们此次开发的工艺试制了设计规格为 130nm 的 PCM，工作电压为 1.5V，写入电流为 100 μ A，功耗只有 100 μ W。

2005 年 5 月，美国 IBM、德国英飞凌科技和台湾旺宏电子宣布，即将开展一项探讨相变内存实现可能性的联合研究活动。联合研究活动在 IBM 的 TJ 沃森研究中心和 IBM 阿尔马丁研究中心进行。三公司派遣的 20~25 名技术人员将专门参与此项研究。此次联合研究小组开发的存储单元中，将电阻加大到了 50k Ω ，存储单元电流大部分转换成相变化所需要的热量。

在国内，中国科学院上海微系统与信息技术研究所是最早开展相变存储器研究的单位之一，现在已经取得了长足的进展。

1.2.3 相变存储器的存储原理

相变随机存储器是基于最初 S.R Ovshinsky 在 1968 年提出的构想建立起来的^[5]。它也被称作双向一元化存储器，是一种价格便宜，性能稳定的存储器件。它的核心相变材料是硫系化合物（Chalcogenide），因此这种相变存储器又称为 C-RAM。

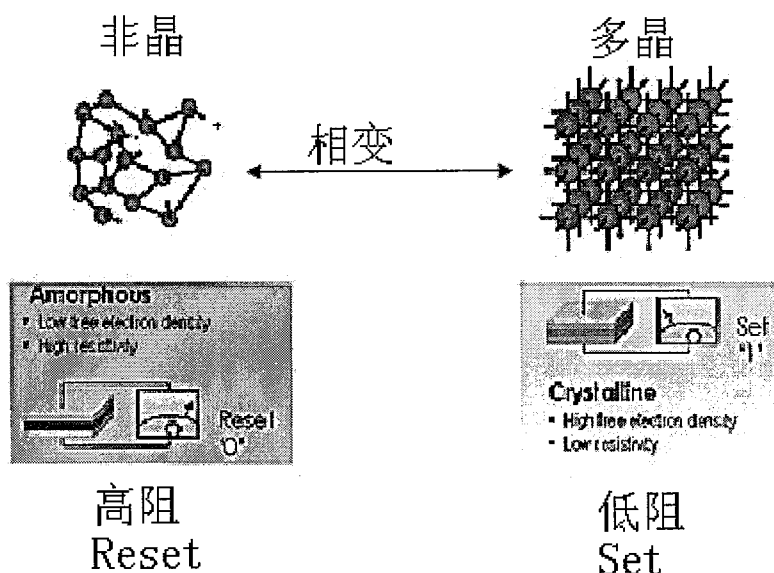


图 1.1 硫系化合物材料的非晶与多晶之间互相转换

这种硫系化合物合金材料的特点是，它的固态具有两个相状态，即非晶态和多晶态。这两种相状态在没有外界影响时，能够长期保持这种状态不变。当这种材料处于不同状态时，其电学性质和光学性质都表现各不相同。当材料处于非晶态时，其电学性质呈现高电阻率，光线性质呈高反射率，将它定义为 Reset 状态；当材料处于多晶态时，其电学性质处于呈现低电阻率，光学性质呈低反射率，将它定义为 Set 状态。这种材料两种相的电阻率的变化幅度可达几个数量级，其状态变化情况如图 1.1 所示。因此它既可以作为一个非易失性存储器存储材料，也可以作为 DVD 光盘中的存

储介质。

1.2.4 相变存储器的状态变化过程

既然硫系化合物材料的两相状态具有很大的电学和光学性质变化,那么对它怎样的操作才使这两相能够相互转换呢?一般来说是通过脉冲电流和脉冲激光的操作来实现的。当外界给存储器施加一个低幅且宽的脉冲时,硫系化合物材料从非晶状态转换成多晶状态。从器件加上电压时,电流密度最大之处是温度最高的地方。首先在这这些地方发生相变形成晶丝。随着时间增加,转化的热量也增加,晶丝朝着能量最大的器件中心的方向生长,晶丝外围的材料保持非晶态。通过一段持续时间较长的电流脉冲使工作区域内的非晶态材料完全转变为多晶态。当外界施加一个高幅且窄的脉冲时,可以使工作区域内的多晶态相变材料局部熔化。在脉冲撤除之后,熔化的相变材料急速冷却,形成的晶丝也消失了,相变材料重新转换成非晶态。因此通过改变脉冲的宽度和幅度可以控制存储状态的改变。相变存储器的操作方式如图 1.2 所示。

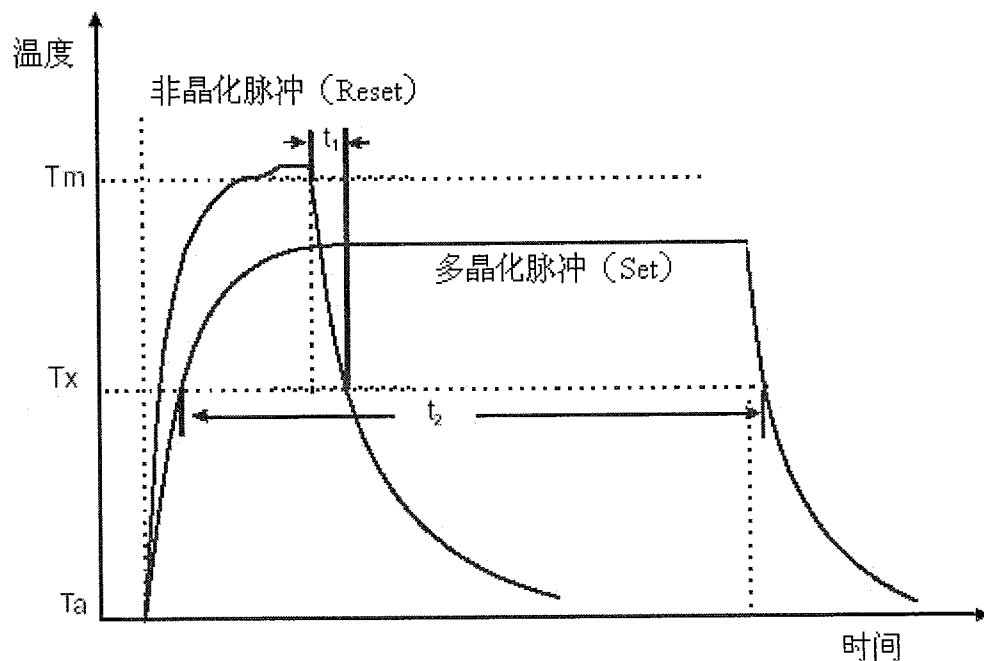


图 1.2 C-RAM 的器件基本工作方式

外围电路对存储器的操作有三种,即读、写、擦,相变存储器的实现是通过如图 1.3 所示的操作方式来实现的。

读操作 (Read): 当器件加一低电压 (低于阈值电压 V_{th}) 时,如果材料是非晶态,则在材料中表现为很小电流;如果材料呈多晶态,则在材料中表现为较大电流。通过判断电流的大小来读取其电阻状态。这种读取数据操作不会改变存储器的数据状态。

写操作 (Write): 加一中等电压 (高于阈值电压 V_{th})。该电压要有足够长的时间以保证材料从高阻的非晶变成低阻的多晶态,使材料发热,但不足以多晶态的相变材料熔化;

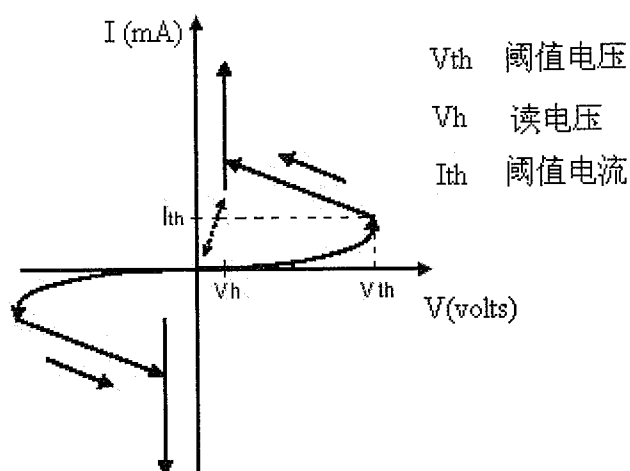


图 1.3 硫系化合物合金的工作过程

擦操作 (Erase): 加很高的电压于低阻状态的合金, 这时器件的电流很大, 可使材料温度升到其熔融温度之上。当电流消失时, 熔化了少量合金迅速淬火, 还原到非晶状态。

1.2.5 相变存储器的基本结构

相变存储器是一种电阻式存储器, 它是不需要任何类型的电流或者电压也能保存高的或低的电阻率的器件。因此, 它就可以用来存储一系列电阻值。如图 1.4 所示是相变存储器原理性结构示意图。它是由两个金属电极之间嵌入相变材料组成。下面的电极又称为底电极, 上面的电极称为顶电极, 电极和相变材料的周围是绝缘绝热材料。当上下电极加上脉冲电流或脉冲电压时, 器件就有电流流过。由于是纳米电极结构, 在电阻率大和电流密度高的地方产生热量, 使在结构中局部达到相转变温度。

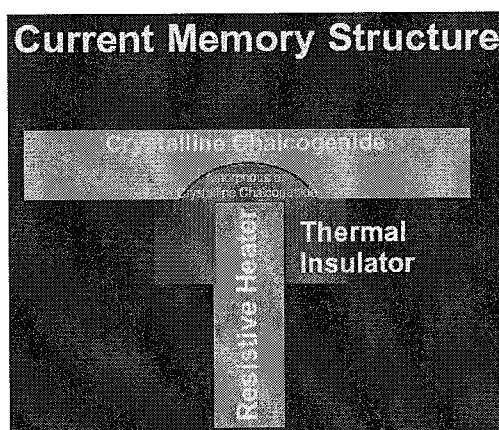


图 1.4 相变存储器原理性结构示意图

但是在实际的应用中相变存储器的结构种类很多, 总的来说可以分为纵向结构和横向结构。Ovonyx 公司、Intel、Samsung、Hitachi、SST 等公司的都是采用纵向结构^[19,20,21]。这种结构所占的平面面积小, 阵列的集成度高, 但是制作过程复杂, 有的还

采用 Spacer 结构^[22]。如图 1.5 所示就是一个基本单元器件纵向结构的截面示意图。Philip 公司是用横向结构^[23]，这种结构比较简单，制作过程的步骤也比较少，但是所占的面积大，集成度也不高，也容易产生器件的可靠性问题。因此大多数公司还是采用纵向结构。

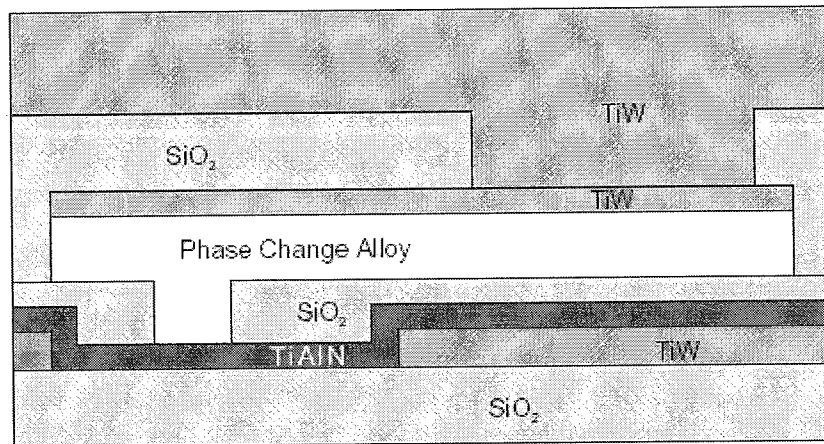


图 1.5 一个基本单元器件纵向结构的截面示意图。

将单元器件与 MOS 晶体管匹配起来，就可以组成一个可以进行操作的 1T1R 的存储单元。图 1.6 为一个 1T1R 的相变存储器结构图。外围电路通过控制 MOS 晶体管的栅极就可以对存储单元进行各种操作。当在 MOS 晶体管上的栅极加上高电平时，MOS 处于选通状态，就可以根据程序的指令对存储单元进行读、写、擦操作。

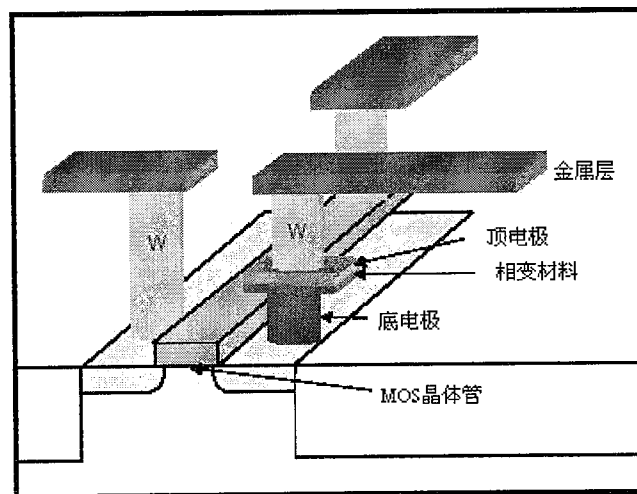


图 1.6 一个 1T1R 的相变存储器结构图

如果将一系列的上述 1T1R 的存储单元按照一定的规则相连，就可以形成存储器阵列结构，如图 1.7 所示。由于器件中在操作过程中电阻的变化很大，对于 MOS 晶体管输出功率的变化也很大。为了使 MOS 晶体管的输出功率最大，必须串联一个 R_c 来修正存储器的电阻值。图中的行 (R_n) 通过控制 MOS 晶体管的栅极，来对存储单元进行操作，列 (C_n) 可以读取电流的大小，确定器件的存储状态。

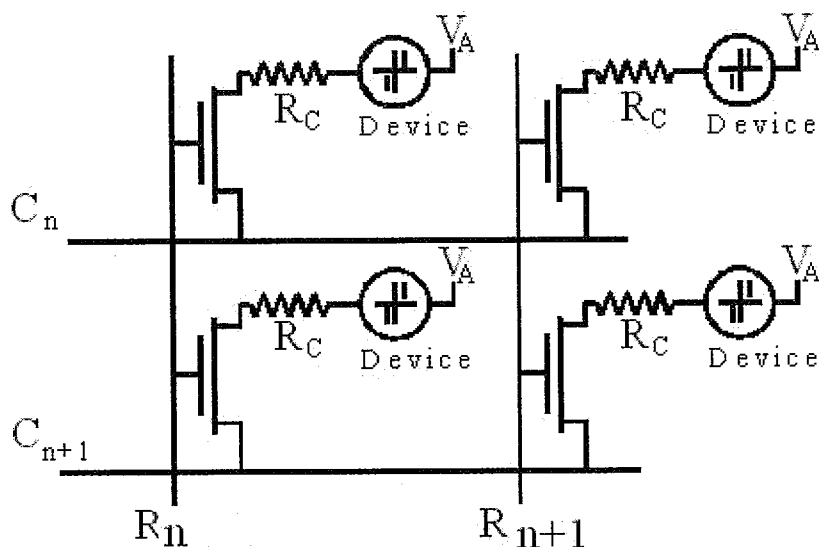


图 1.7 C-RAM 晶体管阵列

相变存储器具有非常理想的存储性能，而且其功耗极低，非常适用于移动产品；由于它的数据状态跟只跟电阻的大小有关，而电阻可以出现多种数值，因此可以用来开发成多级存储器，如图 1.8 所示；而且相变存储器还可以避免了如 DRAM 和 Flash 等固定电荷存储器件中在读取数据时可能产生噪声和软错误等问题。

器件电阻 (ohms)

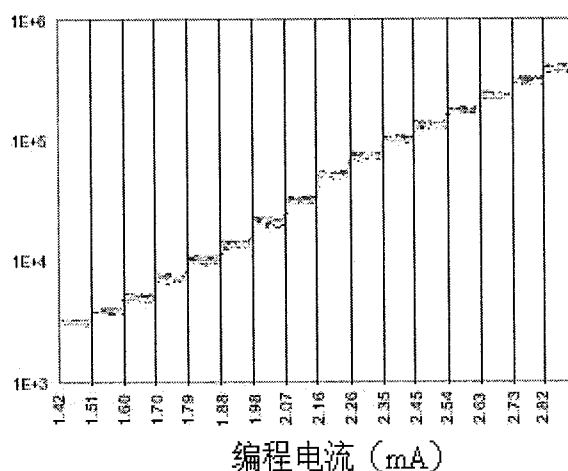


图 1.8 相变存储器可以有多个存储状态

1.3 相变存储器的相变材料体系

大多数材料都存在多晶态和非晶态。一般来说，材料在高温下熔化之后，再经过急剧冷却的淬火过程，冷却之后的材料就会呈非晶态。然而，用于相变存储器中的相变材料，必须要满足以下几个条件：

(1) 这种材料的多晶态和非晶态在电学特征（如电阻率）方面有很大的差别，这样就可以有足够的信号区别存储的数据；

(2) 材料的晶体态和非晶态在常温下要非常稳定, 保持足够稳定的物理和化学性质, 这样才能保证存储数据的稳定性;

(3) 要有足够的相变速度, 在一定的温度条件下, 在很短的时间里晶体态和非晶态之间能够完全转变, 这样才能能够保证存储器的擦写速度。

(4) 材料的晶体态和非晶态之间能够经历很多次来回转换, 有足够的抗疲劳特性。

S. R Ovshinsky 在 1968 年就发现了 Ge-Sb-Te-S 材料体系有电存储的特性^[5]。因此, 多种材料体系被研究为相变存储器的候选材料。相变材料合金可能的元素以及已经研究过的多元合金体系见表 1.2 和表 1.3。

表 1.2 相变硫系化合物组成合金可能的元素

	IA																0	
1	H	IIA										IIIA	IVA	VA	VIA	VIIA	He	
2	Li	Be										B	C	N	O	F	Ne	
3	Na	Mg	IIIB	IVB	VB	VIB	VIIIB	VIII B		IB	IIB	Al	Si	P	S	Cl	Ar	
4	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	Cs	Ba	La	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	Fr	Ra	Ac															
镧系		La	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb	Lu		
锕系		Ac	Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No	Lr		

表 1.3 已经研究的多元合金体系^[23-29]

二元体系	三元体系	四元体系
GaSb	Ge ₂ Sb ₂ Te ₅	AgInSbTe
InSb	InSbTe	(GeSn)SbTe
InSe	GaSeTe	GeSb(SeTe)
Sb ₂ Te ₃	SnSb ₂ Te ₄	Te ₈₁ Ge ₁₅ Sb ₂ S ₂
GeTe	InSbGe	OG ₂ Sb ₂ Te ₅
	SiSb ₂ Te ₃	NGe ₂ Sb ₂ Te ₅

在表 1.3 中的材料体系一般是 Te 系列和 Se 系列合金材料, 因为这种材料淬火非晶化速度很快。纯 Te 具有很快的结晶速率, 但是非晶态的纯 Te 是很不稳定的, 在室

温下几分钟内转变为晶态^[30]。如果在纯 Te 中掺入 Ge, 就可以提高 Te 的结晶温度, 从而增加非晶态的稳定性^[31,32]。然而, 合金在掺入 Ge 之后, 虽然提高了非晶态的稳定性, 但是降低了结晶速率。一般说来, VIA 族和 VA 族元素以一定的化学比形成的合金材料具有较低的黏度和稳定的非晶态^[33]。因此以 Te 为基础的合金材料是相变存储重要研究材料。

Ge-Sb-Te 三元合金材料具有很优良的开关特性, 因此研究得最多, 一直是光盘中使用最多的材料^[34]。如图 1.9 所示就是 Ge、Sb、Te 形成各种组分的合金材料, 这些合金材料都具有快速的相变特性。Lee 等人提出一种增加相变材料结晶速率的材料方案^[35]。在他们的方案中, 以 GeSbTe 为基础的三种元素形成的三元 Te 合金, 其形式是同性的伪二元合金形式 $(Ge_aSb_bTe_c)_{1-x}(A_aB_bTe_c)_x$, 其中 a、b、c 分别为原子摩尔比, x 为结晶的百分比。Ge_aSb_bTe_c 和 A_aB_bTe_c 都为 Te 系列合金材料, 都具有相同的原子个数比, A、B 应该是 IVA 和 VA 元素材料。这种元素掺入之后, 可以增加材料的结晶动力学, 提高结晶速度。Lee 等的实验证明, $(Ge_1Sb_2Te_4)_{0.85}(A_1B_2Te_4)_{0.15}$ 比 $Ge_1Sb_2Te_4$ 的结晶速率快。到目前为止, 在 Ge-Sb-Te 系列合金中, 可以掺入 Sn, Bi, Si 等元素, 提高它的结晶速率。

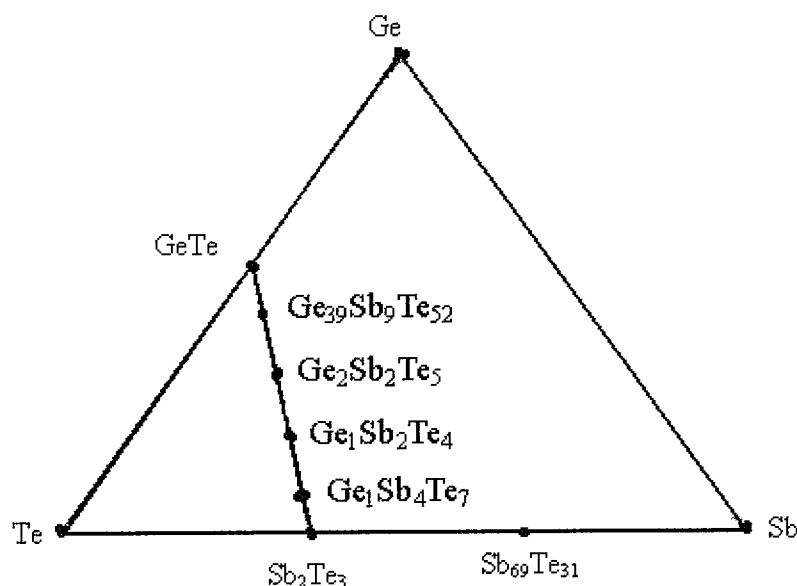


图 1.9 Ge、Sb、Te 形成各种组分的合金材料^[36]

在我们研究的材料中, 主要是以 $Ge_2Sb_2Te_5$ 为主, 同时还研究了 $SiSb_2Te_3$, $BiSiSb_2Te_3$ 等材料。

1.4 相变存储器的器件模拟

1.4.1 器件模拟概论

为了正确地预计器件的工作过程, 对器件的工作状态进行计算机模拟是很有必要的。虽然计算机模拟的结果是近似性的, 但是能够找到其变化规律, 从理论上否定不可能存在的情形。同时通过计算机模拟, 我们可以得到最佳的器件结构, 减少烦琐的

工艺过程和研究时间，降低研究开发成本。因此，科研和工业界都在致力发展器件和电路的模拟技术^[37]。在此，我们用理论方法来研究相变存储器的工作过程，描述其工作特点。

相变存储器的工作过程可以分为设定（Set）和重设（Reset）过程。Set 过程，是一个由非晶相到多晶相转变过程。这是一个结晶化过程，需要较低电压和较长时间的脉冲，这个过程一般是在 50ns 内完成。Reset 过程，是一个由多晶相到非晶相的过程。这个过程是多晶相变材料在高而短的脉冲作用下，熔化成液体，然后急剧冷却，成为非晶态，这个过程一般是在 10ns 内完成。

在如此短的时间内发生的相变过程，很难用实验方法来观察的。虽然有人用 TEM 的方法观察到实时的相变过程^[38]，但是在极短时间内进行实验也是不可想象的。所以，对相变存储器的模拟工作有着重要的意义。在相变存储器的模拟研究中，一般是分为三个方面来进行的：

- （1）材料的相变过程模拟^[39]；
- （2）器件中相变过程的电场和温度模拟^[40]；
- （3）相变存储器的电路模拟^[42]。

1.4.2 材料的相变过程模拟

人们对材料的相变过程已经进行了详细的研究。无论是相变过程的热力学还是动力学，都有这方面的理论论文和著作^[43-46]。在相变过程的动力学方面，有很多种生长模式理论，如成核生长等。对于用于相变存储器的相变材料，研究比较多的是 Ge-Sb-Te 合金材料^[47]和与 SbTe 合金共熔的材料^[48]。

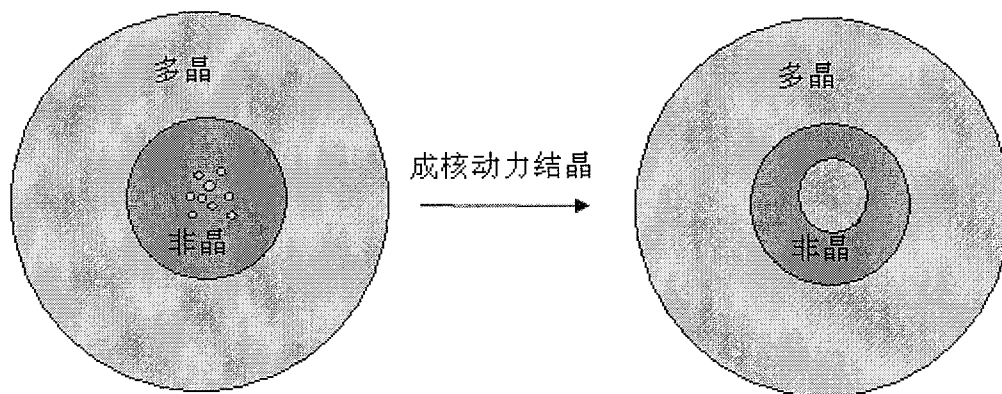


图 1.10 成核动力结晶过程

对于 Ge-Sb-Te 合金材料来说，从非晶到多晶的相变，是一个成核动力结晶过程。当材料在外界条件下达到一定温度的时候，首先在非晶中生成小颗粒的结晶核，接着就围绕着结晶核逐渐长大，然后这些结晶连到一起，在非晶中生成一个大块多晶材料。到大块多晶材料长到多晶和非晶的边缘时，就完成了相转变，实现了写操作。如

$\text{Ge}_2\text{Sb}_2\text{Te}_5$, $\text{Ge}_1\text{Sb}_2\text{Te}_4$, $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 等合金材料都是这种相转变模式。图 1.10 表示了这种相变过程。

对于与 Sb-Te 合金共熔的材料来说, 从非晶到多晶的相变, 是一个没有成核只有生长动力结晶过程。当材料在外界条件下达到一定温度的时候, 首先在多晶和非晶的边缘生长多晶相, 而不是在非晶中生成小颗粒的结晶核。接着多晶相向内逐渐长大, 使非晶的体积变得越来越小。当非晶消失时, 完全实现了相转变, 完成了写操作。如 AgInSbTe , SiSb_2Te_3 , $\text{BiSiSb}_2\text{Te}_3$ 等合金材料就是这种相转变模式。如图 1.11 所示就表示了这种相变过程。

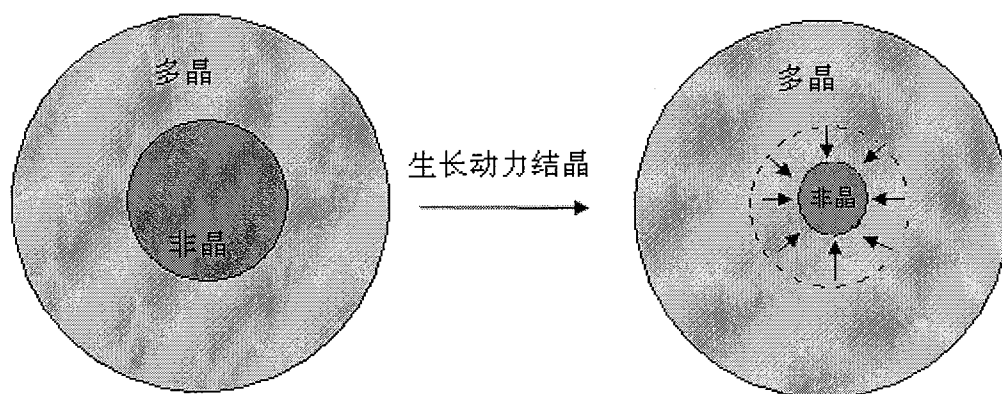


图 1.11 生长动力结晶过程

1.4.3 相变存储器的电学和传热学模拟

相变存储器的工作过程是由非晶到多晶相转变, 然后再由多晶到非晶的相转变。从非晶到多晶的相转变是由低而长的脉冲实现的, 脉冲完成之后, 然后保持低阻的多晶状态。而从多晶到非晶的转变由高而短的脉冲实现的, 经过两个物理过程。首先是多晶熔化成液态, 然后经过急剧淬火过程, 变成非晶状态。要在器件实现这种可逆相变过程, 必须要对器件的结构尺寸进行研究。

相变存储器是在通电流的条件下, 产生焦耳热, 使局部相变材料发生相变。发生相变区域(活动区)的大小, 直接影响到电路功率的消耗以及是否可能发生可逆相变。所以电极的大小和相变材料的厚度, 直接影响器件工作过程。

不同材料和器件尺寸结构, 可以影响器件中电场分布。电场的分布使温度分布发生变化, 同时材料性质发生变化, 反过来影响电场的再次分布。因此电场和温度的变化过程是一个非线性变化, 可以用有限元方法进行近似数值计算。

1.4.4 相变存储器的电路模拟

从电路宏观角度上来看, 相变存储器的基本单元器件就是一个电阻变化的器件。如果要想实现电路的读、写、擦操作, 必须要跟 MOSFET 匹配起来, 组成完整的电路存储单元。对于电路设计者来说, 他们并不关心基本器件单元的具体工作过程, 只要获得器件的电路模型信息, 就可以进行电路分析设计^[49]。

在计算机辅助电路设计 (CAD) 中, 为了尽快地优化电路, 提高性能, 希望 CAD 软件的模拟结果尽量和实际电路相接近。因此, 程序采用的模型要精确, 提取的模型参数要能准确反映器件的特征。目前国内外最为流行的电路分析程序基本都是来源于 SPICE 模型, 如 HSPICE、PSPICE 等^[50,51]。

通常在电路中表征器件特性时有两种方法。一种是首先建立合适的器件特征物理数学模型。在确定物理数学模型以后, 根据器件工艺, 尺寸以及材料特性, 计算出器件的电学输入输出特性, 找到这些特性与工艺参数的关系。尽管这种建立模型方法是以器件物理为依据的, 但是由于物理数学模型往往是近似的, 按其物理意义给出的模型参数往往不能精确地反映器件的电学性能。另一种方法是通过实验数据用统计的方法, 提取得到通常器件的电学特征, 然后建立其 LCR 等效电路。当然, 对大量相同器件进行模型参数提取, 得到模型参数总是存在一定的分布。如果器件工艺控制越来越好, 模型参数的分布越集中。因此, 对于大多数成熟的器件, 完全可以用一组模型参数表征所有结构和工艺完全相同的器件, 模型参数应该具有很强的代表性和适应性。

对于相变存储器的单元器件, 也需要为电路设计者提供精确的电路模型。我们根据相变存储器的输入输出特性, 建立其等效电路, 对器件进行电路仿真, 提取 SPICE 参数模型。相变存储器的输出特性是非常复杂的, 可以用一个分段函数来表示。如何建立等效电路是非常重要的研究内容。

1.5 相变存储器的制造工艺技术

1.5.1 相变存储器的制作工艺导论

相变存储器制造技术如果使用传统的 CMOS 工艺, 只是多了形成相变材料薄膜的这一个新步骤。跟传统存储器件如 DRAM 或 Flash 相比, 它具有几个方面的优势。首先, 相变材料薄膜生长容易、器件结构简单以及具有非常小的存储介质, 因而具有价格优势。其次, 在集成电路生产工艺中, 相变存储器相对较少的工艺步骤, 所以产生的缺陷较少, 具有较大的市场适应性。再次, 由于器件尺寸小, 每片晶片上可以制造更多的存储电路, 提高了存储密度。

对于相变存储器的研究, 在其硫系化合物的相变特性方面研究得比较多^[52-54], 然而对于相变存储器的制造方法的研究比较少。目前世界上只有韩国、台湾地区、中科院微系统所等少数研究机构发表相关的论文^[55-57], 很少有公司发表相关的报道。相变存储器工艺的研究关键是相变材料的纳米尺度制作工艺。要使硫系化合物相变材料能够嵌入器件中, 一般有两种方法实现。一种是用化学机械抛光 (Chemical Mechanical Polishing 简称 CMP) 的方法, 制作镶嵌结构。另一种是刻蚀的方法, 包括湿法刻蚀和干法刻蚀, 先刻蚀相变材料, 再填充其他的材料。

1.5.2 化学机械抛光

1 化学机械抛光技术背景

化学机械抛光就是把原来凹凸凸凸的晶片表面，利用机械和化学的作用，把它平坦化。美国 IBM 公司^[58]的研发人员最早将这种方法应用到集成电路的制造工艺中，并于 1991 年在 64M DRAM 的生产中获得成功的应用。在当今的集成电路产业中，集成电路的线宽越来越小，已经发展到纳电子时代^[59,60]。2006 年 12 月，台积电和台联电宣布已经掌握了 45nm 的制造工艺^[61]。集成电路正在朝着微小化和立体化方向迈进，所以平坦化的工艺要求也日益重要。

对于集成电路的平坦化要求，单纯地靠机械抛光难以达到平坦化效果，会在表面留下许多刮痕；如果单靠化学抛光也难以达到平坦化效果，会留下许多腐蚀坑。因此将化学抛光和机械抛光结合起来，就可以在它们的作用中间寻找出最佳的去除效果。

化学机械抛光是在化学机械抛光机上进行的，如图 1.12 所示。抛光机由抛光头，抛光垫以及由各种控制检测系统组成。在加工过程中抛光机的抛光头和抛光垫各自在旋转，同时它们之间有抛光液流过。要抛光的圆片背面通过亲水张力或者真空吸附固定在抛光头上。抛光液是由一些磨料颗粒和化学试剂组成的，圆片表面通过磨料与抛光垫接触。

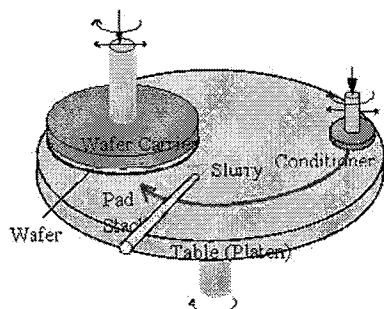


图 1.12 化学机械抛光装置示意图

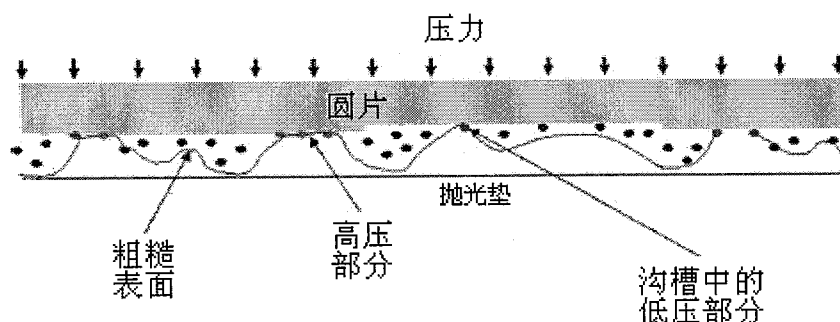


图 1.13 抛光过程中圆片与抛光垫接触的微观示意图

抛光垫是一些凹凸不平的高分子材料制造而成，通常具有一定的刚性和柔性，同时在抛光过程中能够传输磨料和提高抛光面的均匀性。如图 1.13 所示就抛光过程中的圆片与抛光垫接触的微观示意图。当圆片在压力作用下，圆片突起的部分与抛光垫接触压力大，抛光过程中所受到的摩擦力越大，去除速率也就越快。在圆片的沟槽部

分,与抛光垫接触的压力低,抛光过程中所受到的摩擦力较小,去除速率慢,最后达到平坦化的目的。

2 化学机械抛光的主要应用

目前, CMP 在集成电路工艺中主要有三个方面的应用: (1) 金属内部层间介质 (ILD)^[62]平坦化; (2) 金属互连^[63]; (3) 浅槽隔离技术 (STI)^[64-67]。

(1) 内部介质平坦化

介质层的平坦化是 CMP 在集成电路工艺中的最早应用。在此, CMP 应用在 Al 多层布线的金属化处理过程。Al 的金属化过程是布线工艺,它首先沉积在介质层上,再通过光刻图形化,最后刻蚀形成互连线。接着沉积绝缘介质层,用相同的方法制作第二层 Al 互连线。高低不平的绝缘介质层会影响 Al 薄膜沉积质量和光刻使用效率,从而影响布线质量。为了克服这个问题,应用 CMP 对介质层平坦化,达到多层布线的目的。

(2) 金属互连

金属互连包括铜互连和钨插塞。在集成电路布线中,由于铝的导电性极佳,便宜,且易于沉积与刻蚀,所以铝一直在集成电路中广泛地作为导线使用。但是随着元件的集成度的提高,使用金属铝来作为元件的导线逐渐产生了困难。如容易在与硅接触的界面上产生“尖刺”现象,造成晶体管的不良接触。还有随着线宽缩小,电流密度增大,容易引发铝原子电迁移,从而造成铝线的断路。由于铝导线的缺点,铜布线也就应运而生了。铜导线的导电率更低,又是重金属元素,不会发生电迁移,克服了铝导线的不足。但是铜导线也带来了自己的不足,它不能用于刻蚀的方法来形成布线,一般用化学机械抛光形成镶嵌或者双镶嵌结构来解决。而且铜还会在硅的带隙中引入深能级,电极的性能显著变差。因此,必须要有能够阻挡铜扩散、对铜附着性好的屏障层金属, Ti, TiN, Ta, TaN, TiW 等金属或者合金都可以用作阻挡层金属。

(3) 浅沟槽隔离

当进入纳电子时代,器件的尺寸很小,晶体管密度非常高, LOCOS 隔离技术已不再适用,必须开发新的隔离技术。浅沟槽隔离 (STI) 技术就是为了克服 LOCOS 而发展起来的隔离技术,在纳电子时代发挥着重要的作用。由于化学机械抛光 (CMP) 可以无需光刻步骤而去除多余的沉积氧化层,因此 CMP 的发展使浅槽隔离技术 (STI) 成为一种可行的隔离工艺方案。

(4) 化学机械抛光在相变存储器制作中的应用

为了使相变存储器的制造与 CMOS 工艺相兼容,可以利用化学机械抛光的方法来制作相变存储器的镶嵌结构^[68-70]。为了能够了解抛光液对相变材料作用规律,配制化学机械抛光过程中所用到的抛光液,本论文主要从以下几个方面来研究。

a. 用电化学的方法来研究抛光液的各种成分对相变材料的影响,并以此为指导,找到抛光液的最佳成分组合;

b. 根据电化学实验结果, 指导配制适合相变材料抛光的抛光液, 对相变材料进行了化学机械抛光, 制作各种镶嵌结构的相变存储器。

1.5.3 湿法刻蚀工艺

在集成电路的平面工艺中, 湿法刻蚀也是 CMOS 工艺兼容的。在大尺寸工艺下, 这种刻蚀工艺使用得比较频繁。该工艺操作简单, 设备并不昂贵, 是一种低成本工艺。湿法刻蚀有各向异性和各向同性之分。各向异性湿法只有少数材料, 如单晶硅在不同的晶面其刻蚀速率表现为各向异性, 在 MEMS 工艺中有重要的应用。大多数材料的湿法刻蚀都是表现为各向同性。

如果使用干法刻蚀的方法来刻蚀相变材料, 能够找到刻蚀剂, 使相变材料的三种元素在刻蚀之后的产物变成气体不是容易的事情, 同时刻蚀的成本也很高。如果使用湿法刻蚀的方法来刻蚀相变材料, 利用刻蚀液不同材料的选择性, 控制刻蚀时间, 可以得到我们所需要的纳米尺寸结构, 实现可逆相变。

综上所述, 相变存储器已经得到很大的发展, 但有以下几个问题需要解决:

- (1) 相变存储器器件结构优化问题, 如何设计好的器件结构, 提高器件的工作效率, 降低器件功耗。
- (2) 相变存储器的制造工艺与 CMOS 工艺兼容的问题;
- (3) 器件的可靠性问题, 如何降低缺陷密度和分析失效机理。

1.6 本论文的主要工作

针对相变存储器的研究中存在的一些问题, 本论文从以下几个方面研究。

- (1) 用有限元方法对器件结构单元进行了数值模拟。根据模拟结果, 提出改进的新结构。
- (2) 针对相变材料的化学机械抛光工艺, 采用电化学方法, 研究抛光液各因素对相变材料的影响。
- (3) 用化学机械抛光工艺与曝光, 刻蚀工艺集成制备存储阵列单元, 证实了相变材料的 CMP 的可行性。
- (4) 研究了相变材料的湿法刻蚀, 探索了低成本制作相变存储器的可能性。
- (5) 建立了测试相变存储单元数据保持力的电学测试系统, 结合其他测试系统对存储单元进行有效的测试, 研究器件的可靠性。

第二章 相变存储器的器件模拟

2.1 引言

为了从理论上了解器件的性能，减少烦琐的实验步骤，我们对相变存储器的器件性质进行计算机数值模拟。不象 DVD 光盘那样，相变材料所需的热源是有外面的激光产生的。在相变存储器中其热源是器件在操作过程中通过脉冲电流提供的。计算机的模拟有助于我们对器件特性的理解，Wicker 建立了器件的相变开关特性模型^[71]。在这个模型中，他应用了 John-Mehl-Avrami (JMA) 模型来模拟材料的相变过程。但是没有对电学和热学进行瞬态模拟，没有完全实时地考察其变化过程。本章从电学热学耦合模型，实时考察相变过程以及电学特性。

2.2 相变存储器的参数模型

在相变存储器中，其存储过程经历电流加热，相变和传热过程。因此将器件的模型分为电学参数模型，传热学参数模型和相变过程参数模型。

2.2.1 电学参数模型

在电学参数模型中，我们要解决两个问题，一方面是电流密度或者电场在相变材料的分布情况，另一方面是相变存储器的阈值电压的变化情况。阈值电压出现在非晶态转变为多晶态的时候，当外加电压大于阈值电压 V_{th} 时，器件从高阻到低阻转变，这个过程是设定 (Set) 状态，又称写入过程。在多晶状态时，加入高而短脉冲，使多晶态融化急剧冷却，变成非晶态。这个过程是重新设定 (Reset) 状态，又称擦除过程。

对于转变现象有很多种解释说法。一种是电子模型，认为阈值开关纯粹是电子积累引起的。电场产生高浓度的载流子，从而中和相变材料层的电荷陷阱。当所有的电荷陷阱中和完毕后，才在电场作用下，电流急剧增大。另外一种电热模式，当电压超过阈值电压之后，就产生热熔丝，熔丝使电阻降低，电流升高。

我们现在来研究相变存储器的器件特性，所用的模拟方法是电热耦合模型。当器件通有电流时，电流会在器件中产生焦耳热。同时焦耳热产生后导致器件中温度局部升高。温度的升高将会导致电导率的变化，电导率是温度的函数。

为了建立电热耦合模型，我们需要理解电流与温度有直接的关系。根据电流连续性方程，

$$\nabla \cdot J = -\frac{\partial \rho}{\partial t}, \quad (2.1)$$

在此， J 为电流密度， ρ 为电荷密度， $\nabla = \frac{\partial}{\partial x} + \frac{\partial}{\partial y} + \frac{\partial}{\partial z}$ 。

当电流达到稳定时, $\frac{\partial \rho}{\partial t} = 0$ 。

由欧姆定律得 $J = \sigma \cdot E$, 而电场 E 与电势 V 的关系为 $E = \nabla \cdot V$

于是由方程 (1) 得到电学方程: $\nabla \cdot (\sigma \nabla V) = 0$ (2.2)

这里 σ 表示的是电导率。在整个器件中, 我们认为相变材料的电导率是温度 T 的函数, 因此上述方程 (2.1) 和 (2.2) 是非线性偏微分方程。

在本论文中, 我们用数值方法来表示的电导率 σ 与温度之间的关系。电导率与成核率可以用一个非线性的关系式来表达, 同时成核率和温度之间也可以有 (2.3) 来表示。对于一定时间来说, 电导率 σ 与温度之间具有对应关系。

首先, 电导率与成核率之间是一个非线性的关系, 如图 2.1 所示

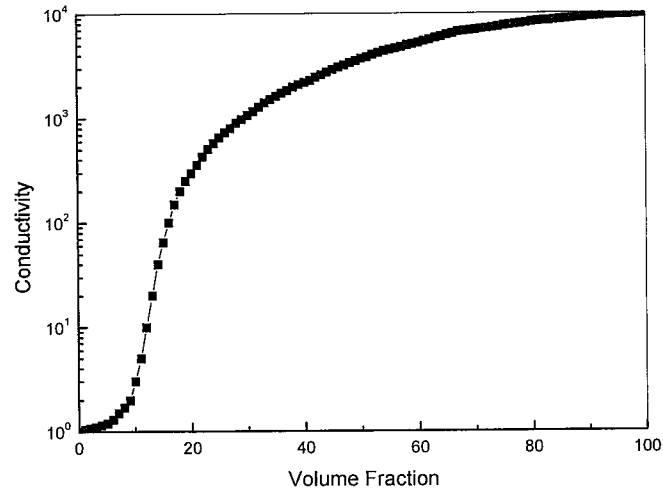


图 2.1 电导率与相变成核率的关系

其次, 结晶成核率也是温度与成核时间的函数, (2.3) 为它们之间的关系式。

$$V_c = 1 - \exp(-(t/t_0)^p \exp(-\frac{E_a}{k_B T})) \quad (2.3)$$

随着温度和时间的增加, 成核率也是增加的。对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变材料来说, 它由非晶到多晶的相转换过程中, 多晶状态的百分比直接影响电导率和热导率。这样我们就可以建立电导率与温度和时间的关系。

在器件其它的材料中, 我们认为这些材料是均匀的, 其性质是不会随温度和时间而变化而变化。我们就可以根据连续性方程求得在各个材料中的电势分布。

在材料的边界处, 我们认为材料与材料之间的电学性质是连续的。在材料与外界接触中, 其电学边界条件:

在底电极处, 是接地状态, 其边界条件为: $V=0$

在顶电极处, 是接电源状态, 其边界条件为: $V=V_0$, V_0 为加电压的大小。

在其它材料处，认为是绝缘的，其边界条件为： $n \cdot J = 0$ ，流过这些边界上电流密度为 0。

2.2.2 传热学参数模型

温度特性是相变存储器中最重要的特性，控制着相变材料从非晶态向多晶态的相转变。所以温度的变化规律满足热传导方程：

$$\rho C_p \frac{\partial T}{\partial t} - \nabla \cdot (k \nabla T) = Q \quad (2.4)$$

其中 C_p 为比热容， ρ 为密度， k 为热导率， Q 为热源， T 为器件中的温度。

热源是电流流过器件产生的焦耳热。

$$\text{由焦耳定律得, } Q = \sigma \cdot |E|^2 = \sigma \cdot |(\nabla \cdot V)|^2 = \sigma \cdot \left[\left(\frac{\partial V}{\partial x} + \frac{\partial V}{\partial y} + \frac{\partial V}{\partial z} \right) \right]^2$$

在相变材料的相变过程中，热导率 k 是随着相变过程的变化而变化，因此也是温度的函数 $k(T)$ 。

同样，器件的边界条件处，由于器件的下电极是硅衬底相连，我们认为衬底的温度跟室温是一致的，为一个常数，其边界条件为： $T=T_0$ 。

在绝热层中，其边界条件为： $n \cdot (k \nabla T) = 0$ ，

在顶电极处，与空气接触，其边界条件为： $T=T_0$

2.2.3 相变过程模型

相变问题实际上是一种非线性的瞬态传热学问题。相变问题与其他的瞬态热分析问题的差别在于，相变过程中需要考虑吸收或释放的潜热（Latent Heat）。潜热一般是通过随温度变化的焓来考虑的。图 2.2 就表示了有固态向液态的相变过程中焓值的变化曲线。

我们用焓值的变化来表示相变过程中的潜热。焓值的变化 ΔH 可以描述为密度、比热容和温度的函数，并存在如下的关系式：

$$\Delta H = \int_{-\infty}^{\infty} \rho C(T) dT \quad (2.5)$$

可见， ΔH 是密度与比热容乘积对温度的积分，其单位为 J/m^3 。

为了简便起见，我们用等效热容方法来描述相变过程。所谓等效热容就是用一个等效的常数热容，它实际上是一个平均热容。由于相变过程中有焓变存在，其等效热容比未发生相变时材料的热容增大了。

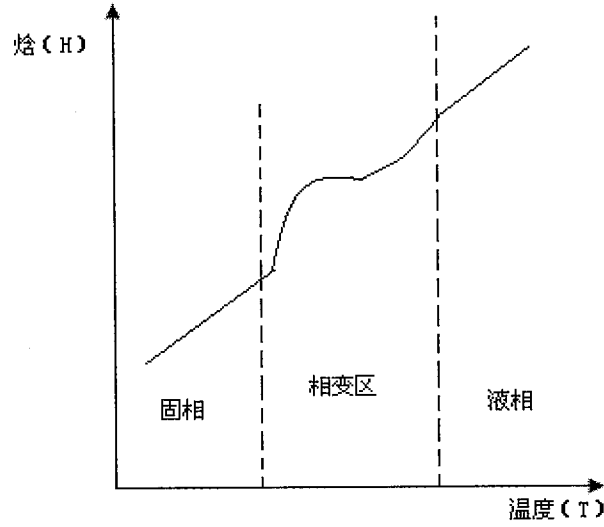


图 2.2 由固态到液态的相变过程中的焓值变化曲线

为了直观理解相变过程的变化,图2.3示出了在某一温度 T_i 下的某一个相变区域,灰色的是已经发生相变的区域。将这个区域分成许多微元,每个微元内区域是同时发生相变的。在 T_i 时,总潜热为 $\Delta H_i = \sum_i \rho \lambda = \rho \lambda \theta_i$,在 T_{i+1} 时,总潜热为 $\Delta H_{i+1} = \sum_{i+1} \rho \lambda = \rho \lambda \theta_{i+1}$ 。 λ 为相变过程中质量潜热, θ 为结晶概率,因此相变过程中的有效比热容为

$$C_{eff} = \frac{\Delta H_{i+1} - \Delta H_i}{\rho(T_{i+1} - T_i)} = \frac{1}{\rho} \cdot \frac{d\Delta H}{dT} = \lambda \frac{d\theta}{dT} \quad (2.6)$$

$\frac{d\theta}{dT}$ 是结晶概率对温度的概率密度,用 $D = \frac{d\theta}{dT}$ 表示,所以, $C_{eff} = D\lambda$ 。

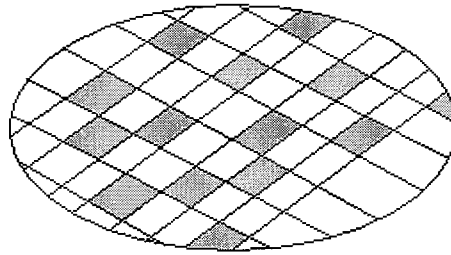


图 2.3 相变过程示意图

由成核方程得,最大的结晶概率为1,最小的结晶概率为0,因此结晶概率是在0~1

之间, $\int_{-\infty}^{\infty} DdT = 1$ 。

在相变过程中,材料是两相共存的状态,总的热容是由两相的组分比热容和有效比热容组成。在相变过程中,因为有潜热问题出现,应该修正该公式,加入潜热项。

$$C_{eq} = \theta \rho_S (C_{pS} + C_{eff}) + (1 - \theta) \rho_L (C_{pL} + C_{eff}) \quad (2.7)$$

θ 是各相所占的体积分数, ρ 是密度, C_p 为比热容。

对于相变过程中的热导率, 我们也用等效热导率 K_{eq} 来表示。由于是两相共存状态, 其热导率就是由两相共同决定的。

$$k_{eq} = \theta k_S + (1 - \theta) k_L$$

因此相变过程中的热传导方程可以写为:

$$C_{eq} \frac{\partial T}{\partial t} + \nabla \cdot (-k_{eq} \nabla T) = Q \quad (2.8)$$

C_{eq} 为有效体积热容 ($J/(k \cdot m^3)$), K_{eq} 为有效热导率 ($J/(m \cdot K)$), T 为绝对温度 (K),

Q 为热源 (W/m^3)。

2.2.4 有限元法

要得到上述偏微分方程的解析解是比较困难的。现在计算技术的发展, 我们可以用数值方法来求解这些偏微分方程的解。有限元方法的原理是根据变分原理, 将变分问题做作适当地离散化, 然后求出数值解。

2.2.5 模拟的器件结构及其器件参数

根据相变存储器的电学, 热学和相变模型, 我们就可以对相变存储器的特性进行模拟。方程的求解过程是电学热学耦合求解过程。相变过程是一个含时的热传导过程, 在第一步时间内, 首先根据电学边界条件由连续性方程求解出器件的电场分布, 再在此基础上用电热方程计算得到热量, 再由热传导方程得到温度分布。根据温度值的大小更新下一步时间的材料参数特性。进行第二步时间计算, 以此类推, 直到计算到最后一步时间。

相变材料的初始状态是非晶态还是多晶态, 直接影响到相变存储器的功耗以及器件的工作效率。如果相变材料的初始状态是多晶态, 首先发生状态转换时是要发生 Reset 过程, 才能转换成非晶态; 如果相变材料的初始状态是非晶态, 首先发生状态转换时要发生 Set 过程, 才能转换为多晶态。因此我们需要研究初始状态为多晶态的 Reset 过程和初始状态为非晶态的 Set 过程, 了解其瞬时变化, 提出改进措施。

图 2.5 是本研究要模拟的器件结构。器件结构由底电极 W、相变材料 $Ge_2Sb_2Te_5$ 、过渡层 TiN 和绝热材料 SiO_2 组成。表 2.1 列出了相变存储器模拟过程所用到的材料各种电学和热学参数。

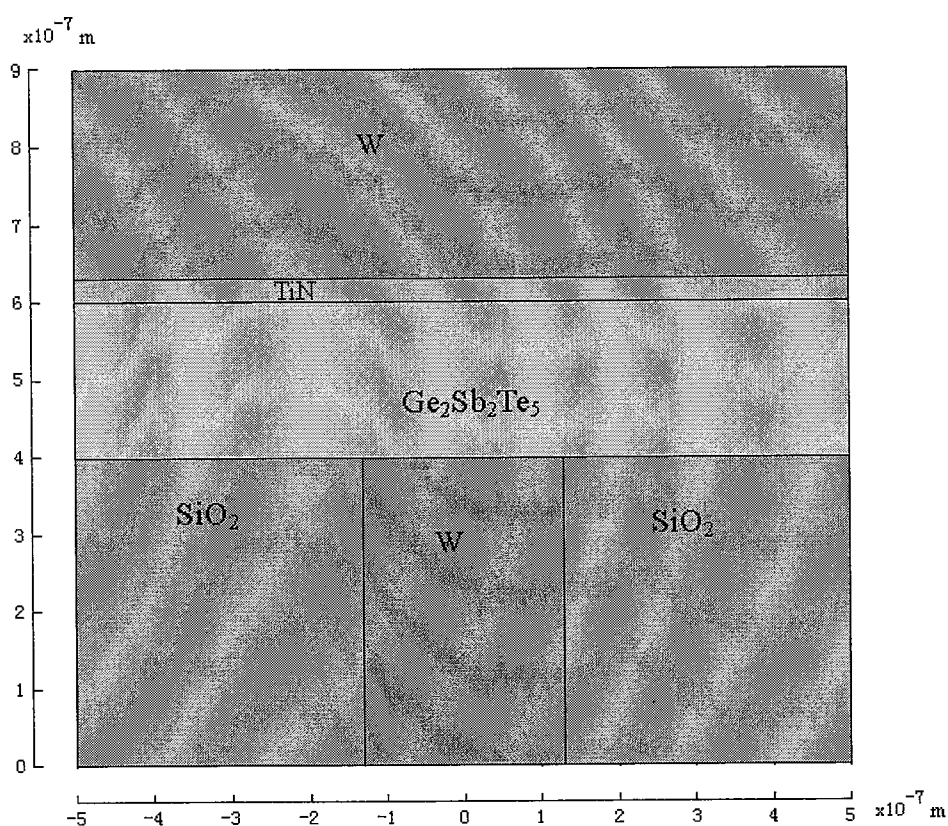


图 2.5 本研究要模拟的结构示意图

表 2.1 各种材料的电学和热学参数

	比热容 C (J/m ³ /Kg)	热导率 λ (W/mK)	电导率 σ ($\Omega^{-1}\text{m}^{-1}$)	密度 ρ (kg/m ³)
W	132	174	2×10^7	19350
TiN	600	0.13	1×10^6	5400
非晶 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$)	195	0.24	3	6150
多晶 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$)	195	0.46	2770	6150
SiO_2	703	1.38	1×10^{-14}	2203

2.3 Reset 过程的数值模拟与分析

2.3.1 Reset 过程的电学模拟

Reset 过程是从多晶到非晶的过程，电阻是从低阻变化到高阻。在这个过程中，相变材料熔化而且急剧退火进入非晶状态。这个过程在相变材料熔化之后需要更高的冷却速率，因此需要高而短的脉冲操作。我们所加的脉冲电压为 1V，脉冲宽度为 50ns，该脉冲相当的电流为 0.92mA。

图 2.6 和图 2.7 是在发生相变之前的电场分布图和相变时的电场分布图。在相变发生之前，相变材料层的材料性质比较均匀，电场密度主要分布在曲率比较大的地方。

由于底电极跟相变材料接触地方，曲率比较大，因此是电场强度最密集的地方。从下图中可以看出，电场主要分布在相变材料层和绝缘层。在底电极与相变材料接触区域的两上角处电场最高，其电场强度为 $1.387 \times 10^7 \text{V/m}$ 。当发生相变时，电场分布发生很大的变化。由于底电极的两角加热，相变材料的温度也急剧升高，当到达熔化温度时，发生了相变。原来是多晶低阻状态变成了非晶高阻状态，使整个器件的电压降都集中在非晶区域，这时的电场强度分布也发生了变化，由底电极与相变接触的两上角转移到已经发生相变的区域，这时最高的电场强度为 $2.756 \times 10^7 \text{V/m}$ 。电场强度的分布影响器件中加热的区域，从而影响器件的电学特性。

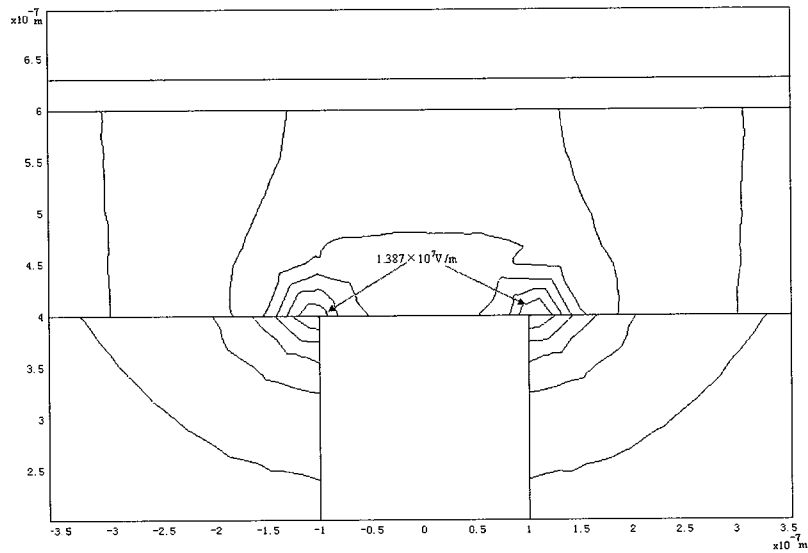


图 2.6 发生相变之前的电场分布

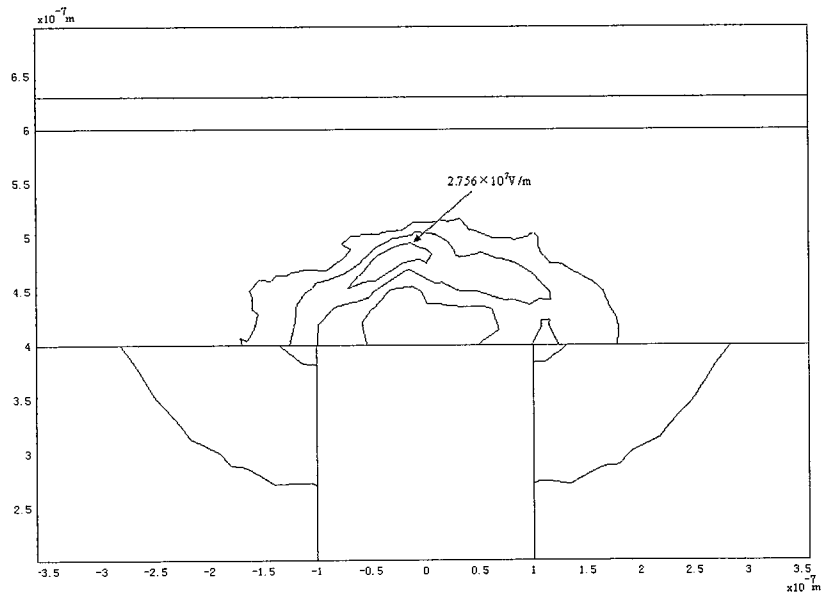


图 2.7 发生相变时电场分布

2.3.2 Reset 过程的传热学模拟

图 2.8 (a) 和 (b) 是在发生相变之前 1ns 时刻和 8ns 时刻的温度分布。图 2.9 是 12ns 发生相变时的温度分布。在相变发生之前，由于电场在底电极和相变材料层接触的两上角的区域分布最大，由焦耳定律 $Q = \sigma \cdot |E|^2$ 得，因此温度最高的区域也是在电场强度最强的区域。从图中就可以看出，在 1ns 时，底电极的两上角是温度最高的地方，此时最高的温度为 420K。随着时间的推移，温度逐步升高。在 8ns 时，最高温度达到 750K，但最高温度不再是在两上角，而是连到了一起。当温度达到多晶相变材料熔化的温度时，发生相变。首先是一个小区域发生相变，然后随着温度升高相变区域慢慢扩大。当相变区域全部盖着底电极的上方时，器件的电学性能发生 Reset 状态转变。图 2.9 就是已经全部发生相变时的温度分布，用曲线包围的部分就是相变区域。

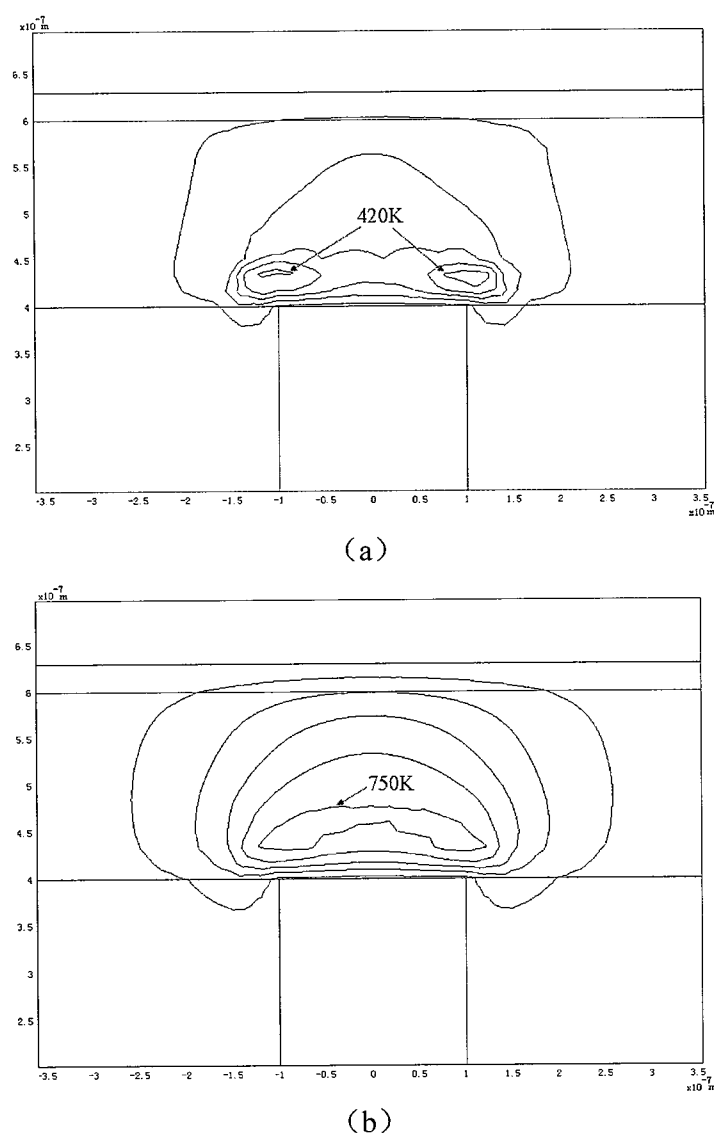


图 2.8 相变发生之前器件的温度分布 (a) 2ns; (b) 8ns

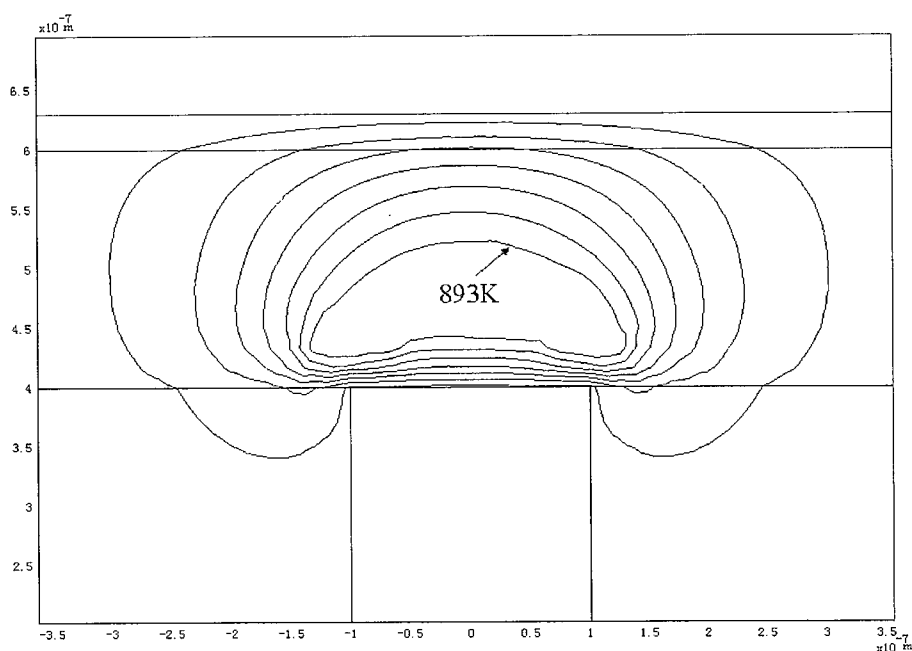
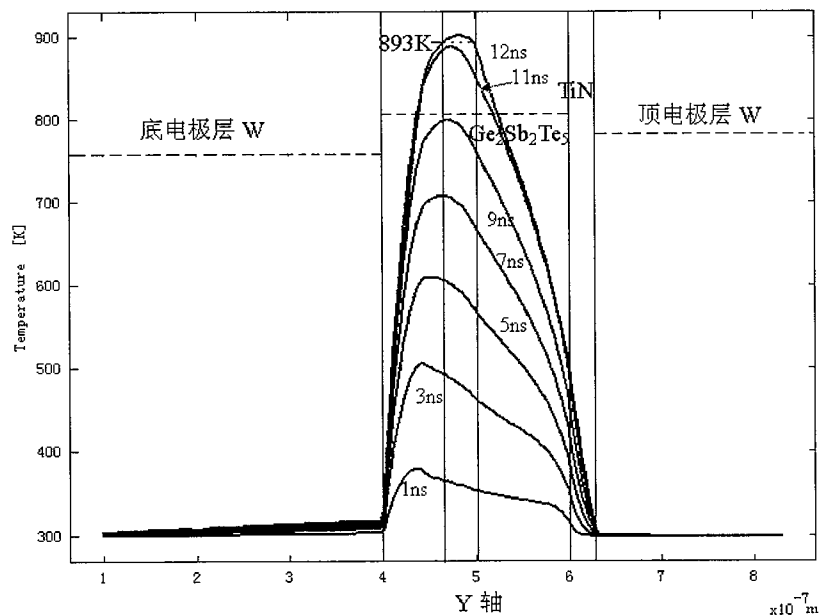


图 2.9 12ns 时刻器件的温度分布

图 2.10 是各个时刻各层材料 $X=0$ 、 Y 轴方向的温度分布情况。从此图看来，当时间到达 12ns 时，出现了 893K 的相变温度，说明此时刻已经发生完全相变。图 2.11 为流过底电极电流随时间的变化图。从图中可以看出，在 11ns 到 12ns 时刻，电流强度从 0.92mA 剧降到 0.30mA。由于多晶状态是低阻，加热的效率高，在短时间内容易达到多晶 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的熔化温度。因此我们给多晶状态加入高而短的电脉冲，它能够迅速转换为非晶状态，实现状态转换。

图 2.10 $X=0$ Y 轴方向温度分布图

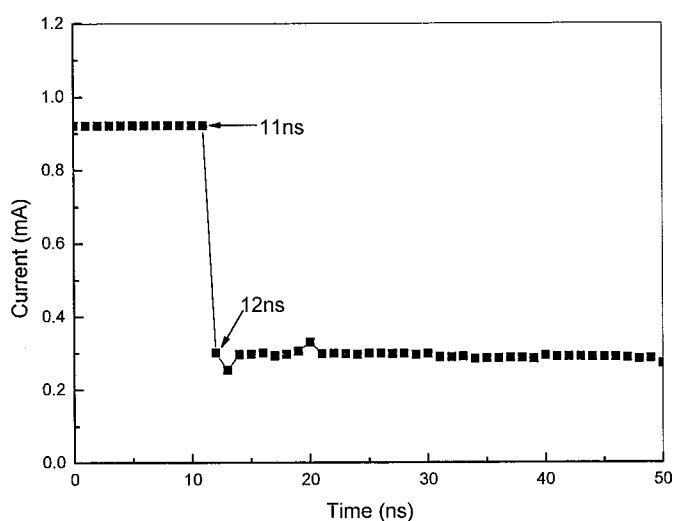


图 2.11 流过底电极的电流强度随时间的变化

2.3.3 不同电极大小的 Reset 特性

对于 Reset 过程，由于电阻是由低阻到高阻变化。要使整个器件的电阻值发生变化，必须使整个电极上方相变材料都进入高阻状态。为了找到电极大小变化对 Reset 过程的影响，研究了电极的大小和相变材料层的厚度，发现相变材料层的厚度对 Reset 过程没有影响，而电极大小的影响却很大。现在我们来研究直径分别为 100nm，200nm，400nm，600nm 大小的电极，结果如图 2.12 所示。

当电极为 100nm 的大小时，最小的脉冲高度为 0.06mA，在 42ns 内使就可以发生 Reset 过程。随着电流增加，Reset 的脉冲宽度更短，在 0.1mA 时，Reset 的脉宽为 8ns。200nm，400nm，600nm 的电极大小都呈现类似的规律，脉冲宽度随着脉冲电流的增加而减小。对于同一电极，增加电流就是增加电流密度，加热效率高，发生 Reset 过程短。

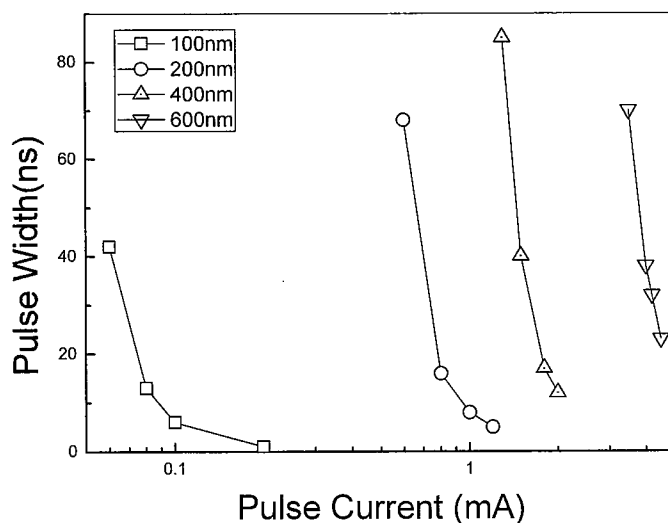


图 2.12 在不同电极大小阈值脉冲的脉高与脉宽的关系

图 2.13 是在 20ns 脉宽下不同电极的脉高变化。随着电极尺寸的增加, 发生 Reset 过程的脉冲电流高度是增加的。当电极的直径为 100nm 时, 脉冲电流高度为 0.07mA。当直径为 600nm 时, 其电流脉冲高度为 4.8mA。由此看来, 电极的尺寸大小是影响 Reset 过程的决定性因素。从本质上来说, Reset 过程加热来自流过电极的电流密度。由公式 $Q = \frac{1}{\sigma} |J|^2$ 得, 电流密度是重要的因素。降低电极的尺寸, 相当于提高了电流密度。所以我们采用纳米电极, 可以降低功耗, 提高器件的可靠性。

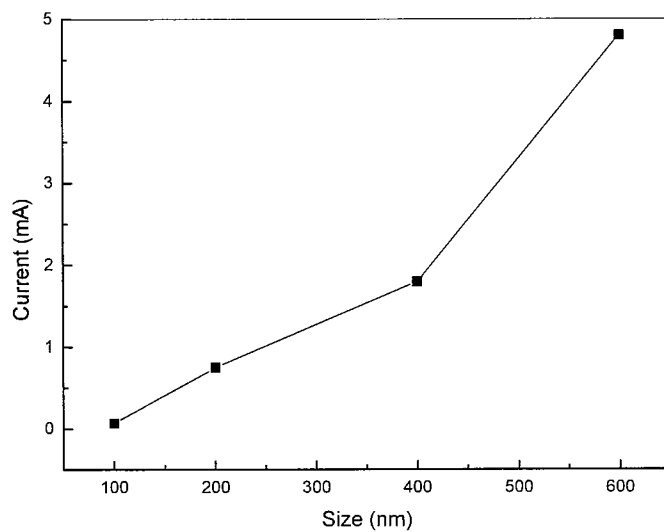


图 2.13 在 20ns 的脉宽下不同电极的脉高变化

2.3.4 Reset 过程的结构分析

我们从 Reset 过程的模拟, 可以看出, Reset 过程跟器件的电极结构尺寸以及器件的初始状态有很大的关系。下面我们用简单的模型来分析这种状态转换的规律。

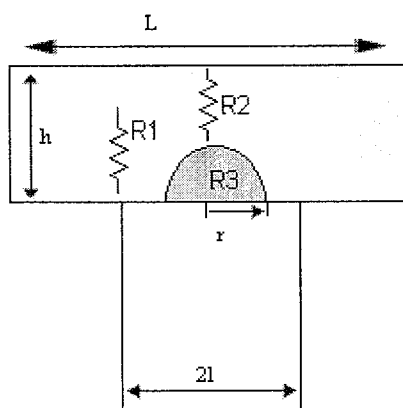


图 2.14 一般的相变存储单元示意图

图 2.14 是一个一般的相变存储器单元, 半球形的是相变区域。为了简单地说明问题, 假定相变区域是半球形。随着半球的半径增加, 相变区域的体积是增加的。我们可以得到总电导与相变区域半径以及厚度和底电极的尺寸之间的关系。

$$G = \frac{2\pi\rho_2 h}{(\rho_1 - \rho_2)^2} \left[\frac{(\rho_1 - \rho_2)r}{\rho_2 h} - \ln \left(\frac{\rho_2 h + (\rho_1 - \rho_2)r}{\rho_2 h} \right) \right] + \frac{\pi(l^2 - r^2)}{\rho_2 h} \quad (2.9)$$

在相变材料中，相变区域的大小是由中心区域的温度和加热时间决定的，同时温度又是电流流过电阻加热时间决定的。这种关系用函数关系式表示为：总电阻 $R=R(V)$ ， $V=V(T,t)$ ， $T=T(I,t)$ 。所以我们可以得到 $R=f(I,t)$ ，即 R 是流过器件中的电流和时间决定的。

Reset 过程的初始状态为多晶状态。多晶状态时电阻表现的是低阻，如果通上电流，相变区域就会增大，其等效电路如图 2.15 所示。

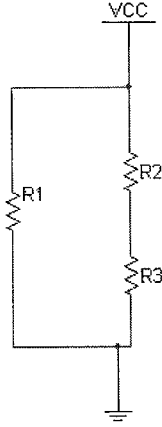


图 2.15 相变存储器等效电路图

图中 $R1$ 为未发生相变区域的电阻， $R2$ 为相变区域上方未发生相变的电阻， $R3$ 是发生相变区域的电阻，因此总电阻 $R=R1 \times (R2+R3)/(R1+R2+R3)$ 。随着 r 的增加， $R3+R2$ 是增加的， $R1$ 由于横截面的减小，也是增加的。但是 $R3$ 是相变区域，非晶区域的电阻率远大于多晶区域，所以 $R3 \gg R1$ 。由于它们是并联关系，总电阻由 $R1$ 决定。当电阻发生急剧变化时的临界点是 $2r=2l$ ，即发生的相变区域完全覆盖在底电极上，总电阻急剧增加。

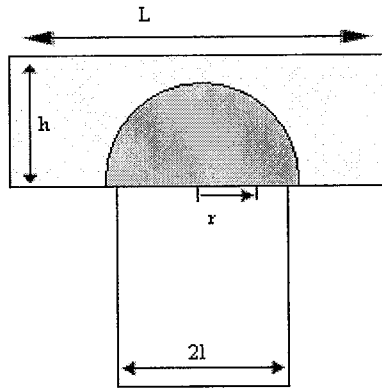


图 2.16 临界点

因此对于 Reset 过程，初始态为多晶，决定其相变的是底电极的尺寸，如果电极

的尺寸大，需要的电流大，加热的时间长。所以对于这种状态，如果要发生可逆相变，必须要制作成纳米电极，电极越小，越容易发生相变。

2.4 Set 过程的数值模拟与分析

2.4.1 Set 过程的电学模拟

Set 过程是从非晶到多晶的过程，电阻从高阻到低阻变化。由于非晶状态是高阻，如果加入电压脉冲之后，其电流密度较小。而从非晶到多晶的相变是个吸热过程，所以需要较长时间的能量。我们加的电压脉冲为 1.5V，脉宽为 100ns，该脉冲相当的电流为 0.1mA。

图 2.17 和 2.18 分布表示相变之前和发生相变时的电场分布。在相变之前，相变材料分布比较均匀，电场强度最强处分布在底电极的两上角。从图 2.17 中也可以看出，底电极两上角的电场强度是最高的，最高值达到 $3.332 \times 10^7 \text{V/m}$ ，器件的局部发热就是从这两边开始的。随着时间的增加，温度升高，相变材料的性质发生变化，电场的分布也开始变化。当温度达到相变温度时，底电极上方的电场均匀分布，加热面增大了，这时候最大的电场强度已经分布到电极的中央，为 $2.474 \times 10^7 \text{V/m}$ 。

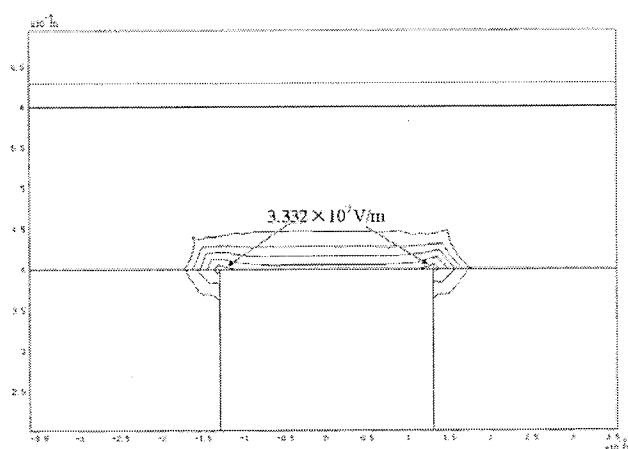


图 2.17 相变之前的电场强度分布

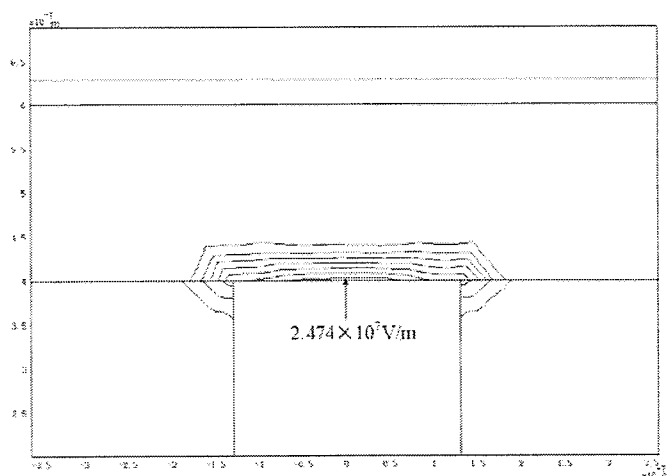


图 2.18 发生相变时电场分布

2.4.2 Set 过程的传热学模拟

图 2.19 是相变之前的温度，分别列出了(a)1ns, (b)5ns, (c)11ns 和(d)12ns 时刻的温度分布梯度。由于电场分布在底电极的两上角，所以从 1ns 开始的时候，最高温度是底电极的两上角。在 5ns 时刻，中间的温度有所升高，但是最高温部分还是分布在两侧。但是中心的温度比两侧的温度上升得快，到 11ns 时刻时，形成了中间和两侧的三个最高温度区域。当到 12ns 时刻时，中心的温度明显高于两侧的温度。但是此时由于是相变材料是非晶态，还是高阻状态，在脉冲电压下，温度还不高，还没有达到相变温度。

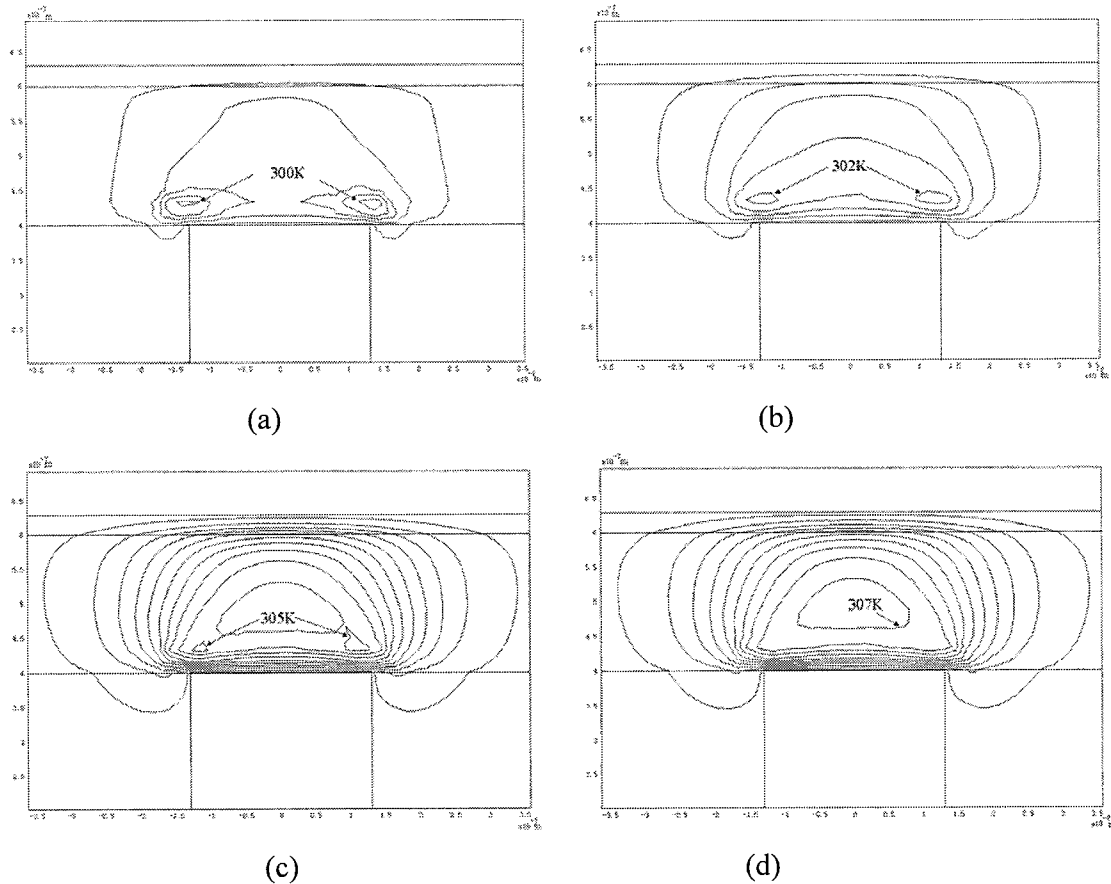


图 2.19 相变发生之前不同时刻的温度分布(a)1ns;(b)5ns;(c)11ns;(d)12ns

图 2.20 是相变过程中的各个时刻图，其时刻分别为(a)64ns, (b)66ns, (c)68ns, (d)70ns, (e)75ns 和(f)80ns。当在 64ns 时刻，相变材料层的中心出现了相变区域。但是这个区域很小，不能影响到整个器件的电学性能。当达到 66ns 时，相变区域扩大到相变材料与 TiN 缓冲层接触的界面。到 68ns 时刻，相变区域横向扩展，但是区域内部仍有少量的区域为发生相变。到 70ns 时，相变区域内部已经完全发生了相变，但是到此时刻相变材料与底电极接触之处还有一薄层未发生相变。在 75ns 时刻，相变区域已经很均匀，但是底电极接触之处还是有一薄层未发生相变。直到 80ns 时刻，整个电路通道完全发生相变，转变为多晶状态，器件转换为低阻状态。

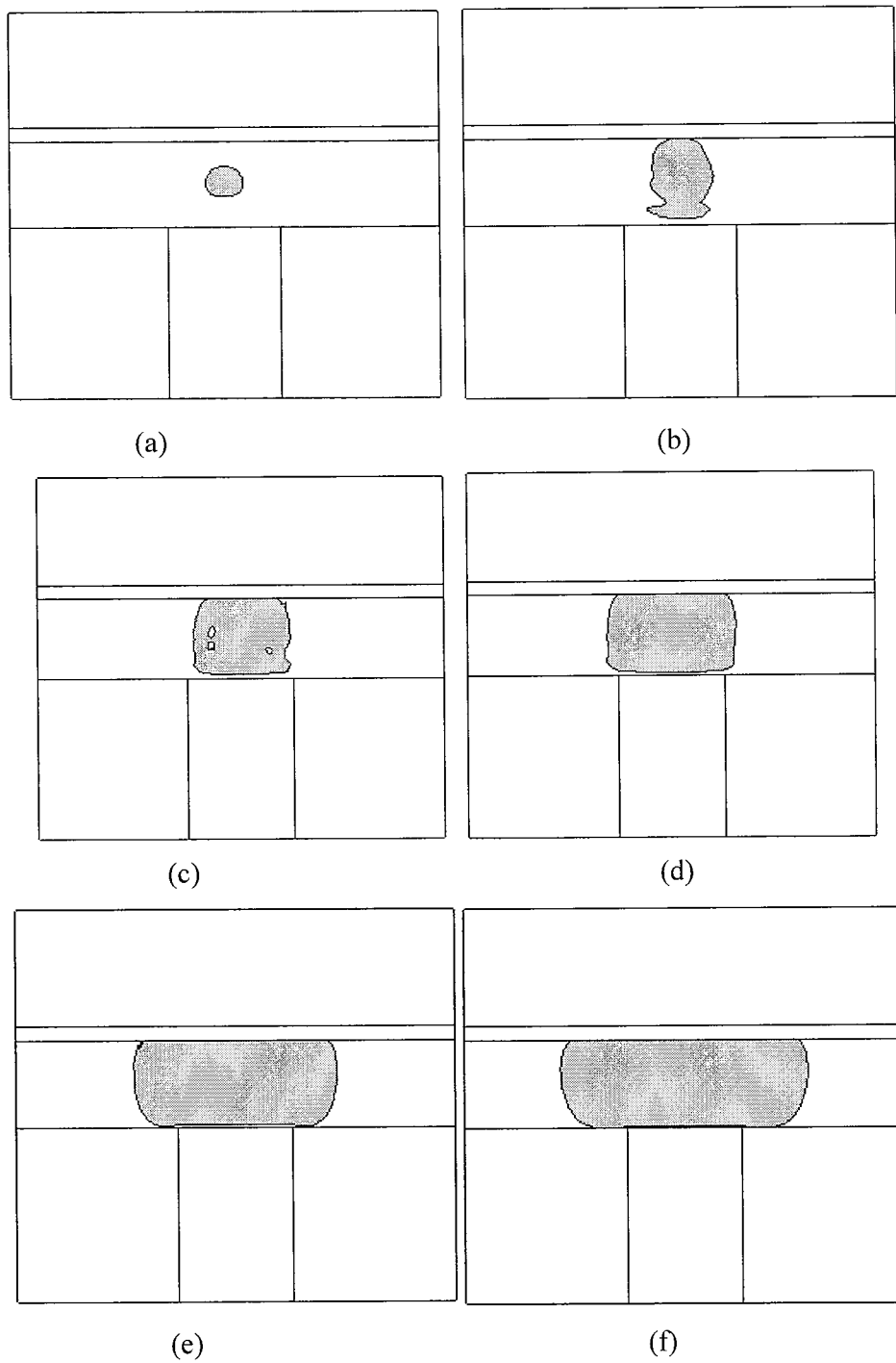


图 2.20 相变过程中相变区域随时间的变化图，其时刻为
(a)64ns;(b)66ns;(c)68ns;(d)70ns;(e)75ns;(f)80ns

图 2.21 是器件中的电流随时间变化关系图，此图跟图 2.20 有对应关系。在 64ns 之前，电流较低只有 0.12mA，虽然 64ns 出现了多晶相区域，但是这个区域包围在高阻的非晶态当中，因此电流还没有明显的变化。在 66ns 时刻，多晶区域已经在过渡

层中取得了突破, 所以电流上升到 0.55mA。到 68ns 时, 相变区域横向扩展, 电阻进一步减小, 电流增加到 0.88mA。当达到 80ns 时, 电路通道完全形成多晶区域, 电路几乎达到最大值 1.77mA。因此在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 从非晶态转换到多晶要经历一定的时间。如果要实现由非晶到多晶的状态转换, 就必须加入低而长的脉冲。

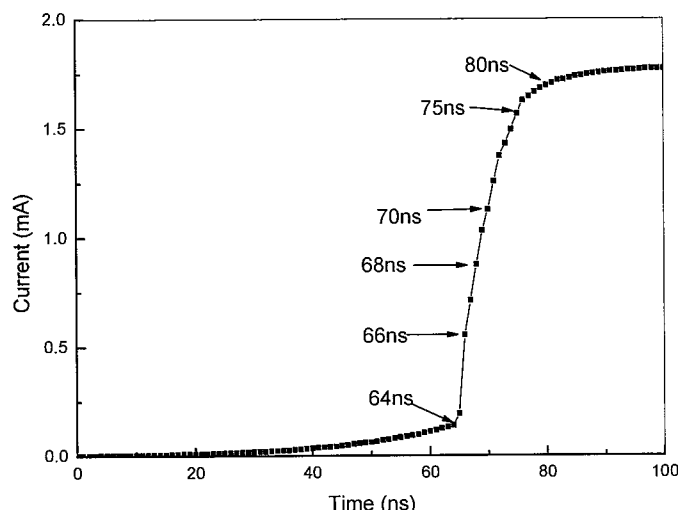


图 2.21 电流随时间变化关系图

2.4.3 不同厚度下 Set 特性

当相变材料的初始状态为非晶态时, 首先发生 Set 过程。我们对不同相变材料厚度和不同电极大小进行了模拟, 发现电极的大小对 Set 过程的影响并不大, 而相变材料的厚度是一个很重要的因素。下面我们就针对不同的厚度来研究其特性。为了找到厚度影响 Set 过程的规律, 对 100nm, 200nm, 300nm 和 400nm 厚度的相变材料层进行了研究。图 2.22 就示出了在不同厚度下阈值脉冲的脉高与脉宽的关系。

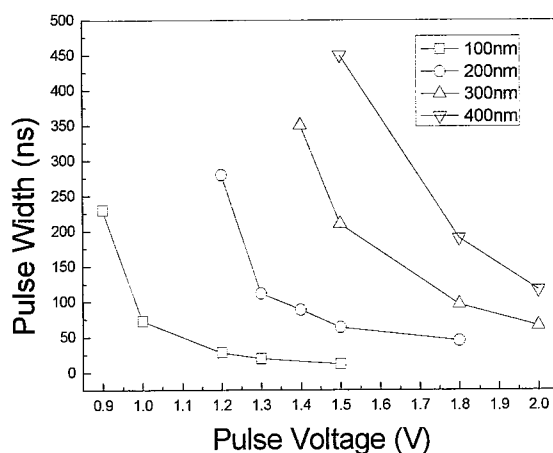


图 2.22 在不同厚度下阈值脉冲的脉高与脉宽的关系

在 100nm 的厚度下, 发生 set 需要的最低的脉冲高度为 0.9V, 但是其脉冲宽度达到 230ns。随着脉冲高度增加, 其脉宽是减小的。同样, 在 200nm, 300nm, 400nm 的条件下, 都得到类似的规律。这是因为在同一材料下, 要发生由非晶到多晶的相变,

其需要的能量是相同的。脉冲高，时间短；脉冲低，时间长，所以脉宽跟脉高成反比关系。

在不同厚度下，所需要的最低阈值电压是不同的。随着厚度的增加，发生相变所需要的能量就越多。图 2.23 就是不同厚度下在 1.5V 下的脉宽变化，随着厚度增加，所需要的脉宽急剧增加。在厚度为 100nm 时，发生相变的脉宽为 12ns；厚度达到 400nm 时，其所需要的脉宽为 450ns。

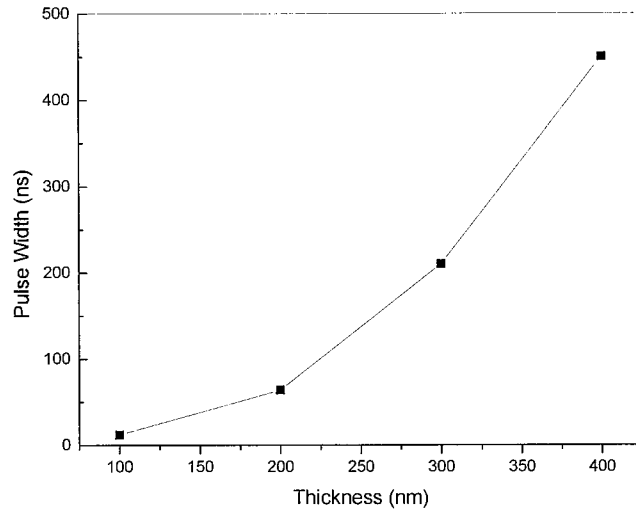


图 2.23 在 1.5V 脉冲下在不同厚度所需要的脉宽

图 2.24 是在不同厚度下的 100ns 脉宽的脉冲下发生相变所需要的脉高。在厚度为 100nm 时，所需要的脉高为 0.95V。随着厚度增加，其脉高也是急速增加的。当厚度为 400nm 时，所需要脉高为 1.95V。

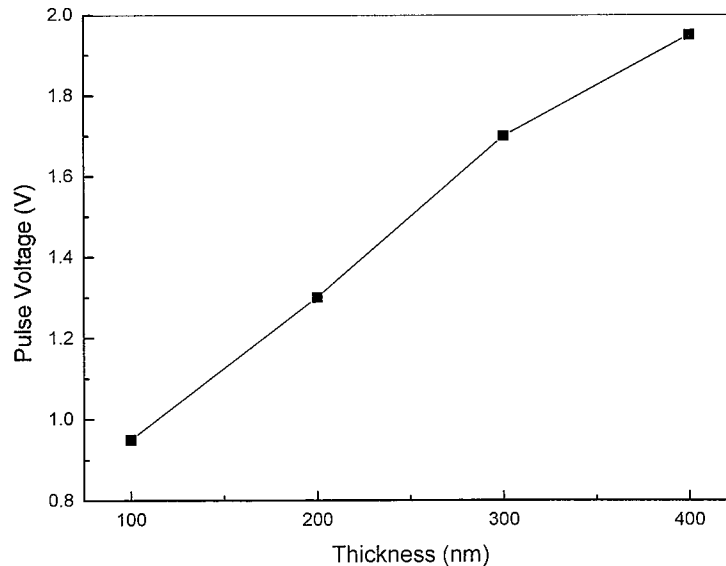


图 2.24 在 100ns 的脉宽下不同厚度的脉高变化

2.4.4 Set 过程的结构分析

Set 过程的初始态为非晶态，非晶态为高阻态，其等效电路如图 2.25 所示。

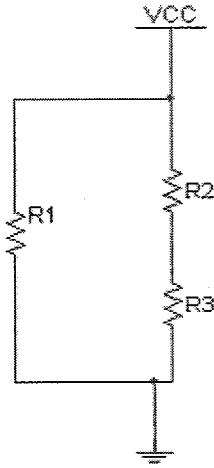


图 2.25 等效电路图

$R1$ 是为发生相变区域的电阻， $R2$ 是相变区域中上方为发生相变的电阻， $R3$ 为发生相变的电阻，因此总电阻 $R = R1 \times (R2 + R3) / (R1 + R2 + R3)$ 。但是 $R1$ ， $R2$ 此时为高阻态， $R3$ 为低阻态。当随着相变区域的半径 r 增大时， $R2$ 的长度减小，所以 $R2$ 是减小的。 $R1$ 的横截面积是减小的，所以 $R1$ 也是增大的。因此 $R2 + R3$ 的总电阻是急剧减小的，整个电路的总电阻由 $R2 + R3$ 决定。当 $r = h$ 时， $R2$ 降为 0，这时总电阻急剧下降，由 $R3$ 决定。高阻到低阻的临界点是 $r = h$ 时，电阻急剧降低。所以对 Set 过程具有决定性因素的是相变材料的厚度。相变材料越厚，其相变阈值电压高，加热的时间长。

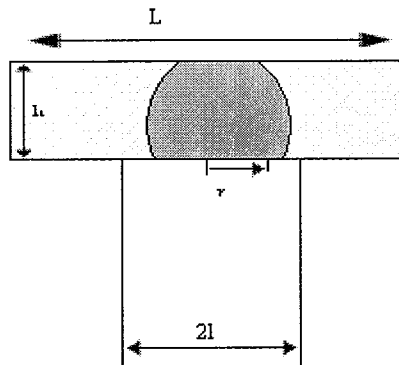


图 2.26 发生 Set 过程的情形

2.5 相变存储器的等效电路模拟

相变存储器可以建立等效电路模型和参数，提供给电路设计者。一个器件的工作状态的物理模型一般是在制作过程中器件尺寸来估计的。

通过上述的对器件的数值模拟和分析,根据实验和理论计算结果可以对器件建立等效电流模型。整个相变存储器的单元器件是一个可变电阻。电阻是电流的函数,受到电流的控制。当电流达到一定的值时,电阻急剧变化,就象电流控制一个开关一样。因此可以建立如下的等效电路。

对于电阻 R_{reset} 来说,其变化是一个非线性过程,因为它不仅是电流的函数,而且是时间的函数,要用一个完全准确的关系式是比较困难的。我们从 I-V 特性曲线的实验结果出发,用曲线特性来拟合一个关系式,使它变化与实验相符。只要制作工艺稳定,材料特性稳定,这种结果应该是可靠的。对于电路设计者来说,能够满足电路设计的要求。从 I-V 曲线上来看,电流与电压之间的关系满足于指数关系:

$$I = \begin{cases} A(e^{BV} - 1) & V \leq V_{th} \\ CV & V > V_{th} \end{cases} \quad (2.10)$$

A、B 和 C 是待定系数,通过实验我们可以求得。

图 2.27 是一个相变存储器的单元器件的等效电路图,在图中有一个电流控制电压受控源,当电流达到一定的阈值的时候,受控开关闭合, R_3 电路接通,电阻急剧降低。

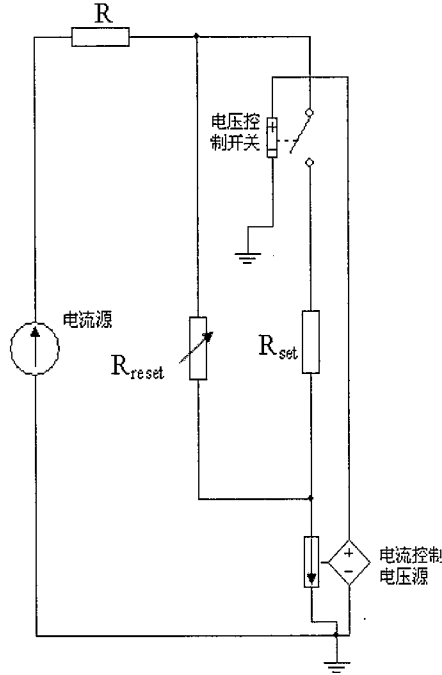


图 2.27 相变存储器的等效电路

图 2.28 是对一个时间测量的相变特性曲线模拟的结果。我们对非晶曲线部分用方程 2.10 模拟的。根据实验结果拟合,方程中的 $A=4.012 \times 10^{-5}$, $B=1.956$, $C=1.301 \times 10^{-3}$, $V_{th}=0.8722\text{V}$ 。于是 2.10 式可以表达为

$$I = \begin{cases} 4.012 \times 10^{-5} (e^{1.956V} - 1) & V \leq 0.8722 \\ 1.301 \times 10^{-3} V & V > 0.8722 \end{cases} \quad (2.11)$$

将表达式的模拟结果与时间测量的曲线同在一张图表示, 如图 2.28 所示。从图中可以看出, 测量曲线与模拟曲线很好重合在一起, 说明方程 2.11 式能够较好地描述实际的 I-V 曲线。

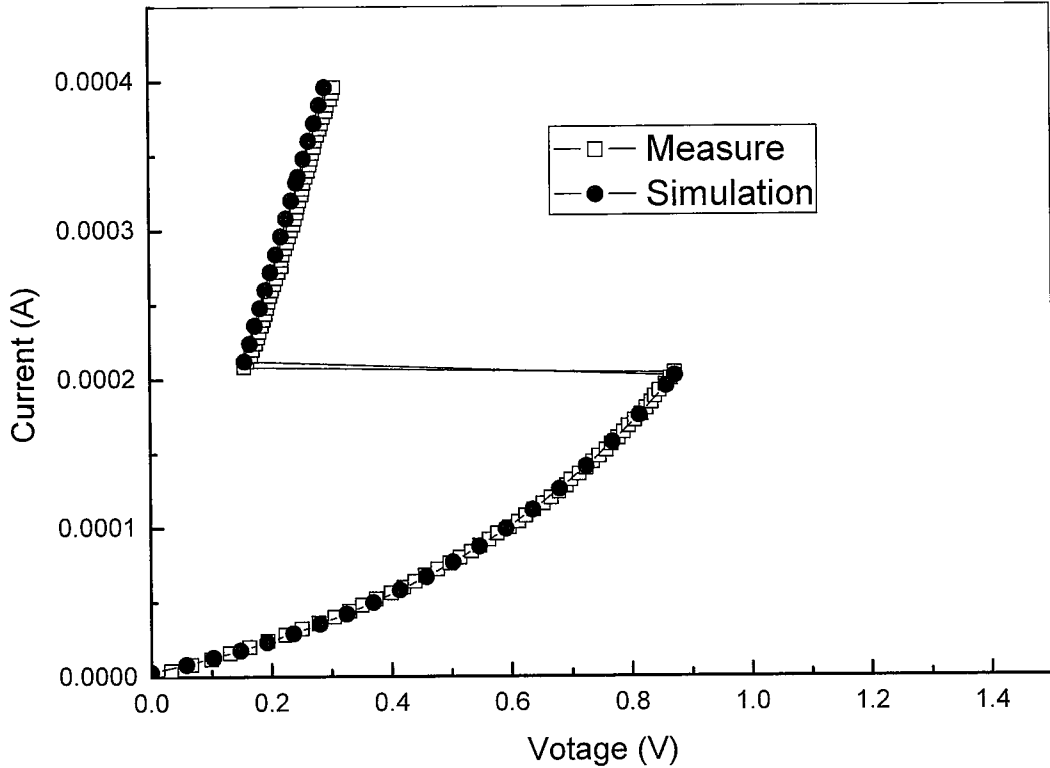


图 2.28 电路模拟相变特性曲线

2.6 相变存储器的结构改进

在相变存储器中, 相变材料的性质是关键的因素。我们可以从器件结构入手, 来改善器件的性能, 如降低功耗, 提高加热效率等。

2.6.1 小尺寸的相变材料区域

为了降低功耗, 采用较小的相变区域, 使相变材料的空间比底电极小, 如图 2.29 所示。本结构可以通过一系列的集成电路工艺来实现。首先是在 SiO_2 刻蚀小孔沉积 W 底电极, 用化学机械抛光磨平之后再沉积 SiO_2 材料, 再用刻蚀的方法刻蚀出间隙壁 (Spacer), Spacer 的出现使相变存储器的通道变小了。在图中可以看出, 底电极直径为 100nm, 而相变材料区域的直径只有 50nm, 发生相变的区域大大减小了, 功耗也跟着降低了。再用化学机械抛光对相变材料抛光去除, 形成相变存储器的镶嵌结构, 再沉积顶电极 TiN 和 W, 测试其性能。

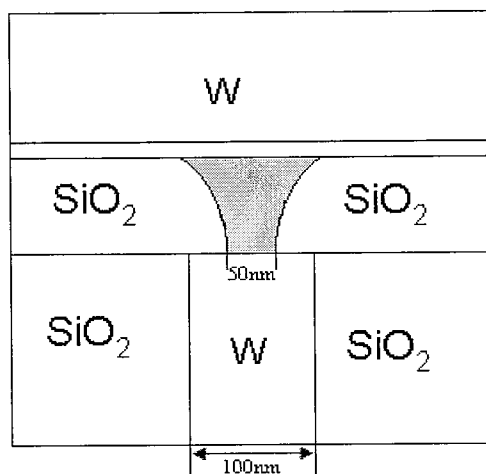


图 2.29 形成 Spacer 的相变存储器结构

2.6.2 带纳米点的底电极结构

通过前面的模拟计算，加热点是在器件的纳米底电极的两上角区，因为这里的曲率大，电场分布密。为了能够增加电极的加热效率，如果增加底电极与相变材料的接触曲率，可以通过增加加热点办法来实现。在此，我们将底电极与相变材料接触的区域制作成纳米点，增加接触曲率。

图 2.30 就是带纳米点的底电极结构的电场分布图。从图中可以看出，电场分布由原来的两点变成了多点，每个纳米点上的电场分布都密集起来。这样提高了加热效率，缩短了加热时间，同时也降低了功耗。

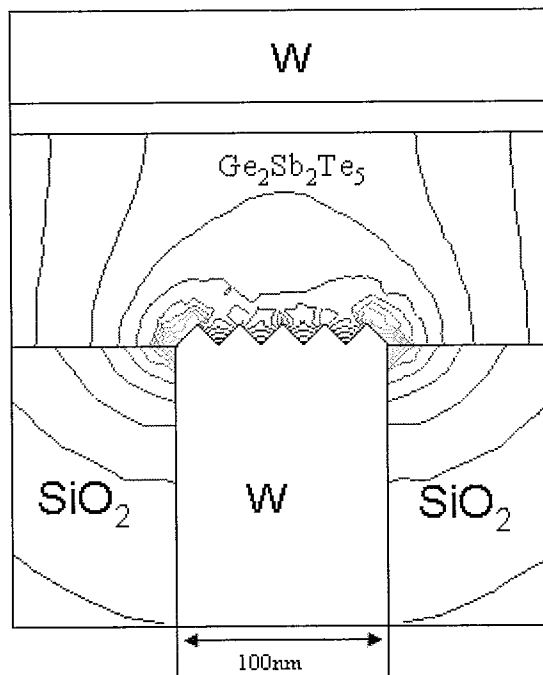


图 2.30 带纳米点底电极结构的电场分布

2.6.3 带空心的底电极结构

形成中心空心的底电极可以减小底电极与相变材料的接触面积,可以降低编程电流。同时空心的电极的加热点由原来的两个增加到 4 个,增加了电场分布密度,也提高了加热效率。图 2.31 为带空心的底电极结构的电场分布图。从图中也可以看出,电场分布比无空心的更密,发热点也增加了。说明此结构同意可以降低功耗,使可逆相变更加容易发生。

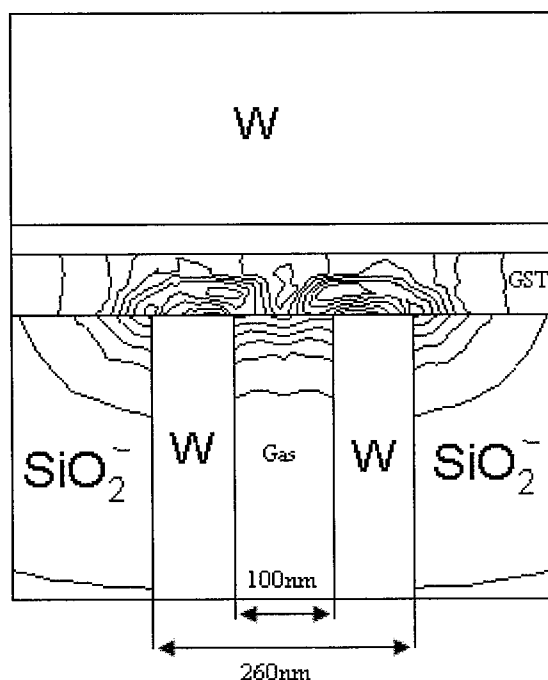


图 2.31 带空心底电极结构的电场分布图

2.7 本章小结

本章从器件的电学和传热学耦合模型入手,详细模拟了 Reset 和 Set 过程的相变过程,研究了其影响器件性能的器件几何参数,找到了影响这两个过程的规律;提出了相变存储器单元器件的等效电流模型;改进了单元器件结构的新结构。具体结论如下:

- 1、对于初始状态是多晶态,首先要发生 Reset 过程。此时,底电极的尺寸对 Reset 过程有明显的影响。底电极的尺寸越小,发生 Reset 所需要的脉冲电流和脉宽越小。
- 2、对于初始态是非晶态,首先要发生 Set 过程。此时,相变材料的厚度是 Set 过程的重要参数。厚度越薄,所需要的脉冲电流和脉宽越小。
- 3、提出了相变存储器的单元器件的电路模型,对实验数据进行参数提取,得到很好的结果。
- 4、根据模拟结果,提出了改进的新器件结构。主要是有几个方面的改进,如减小相变材料的区域、采用带上纳米点的底电极以及用带空心的底电极。

第三章 相变材料的电化学性质研究

3.1 引言

3.1.1 化学机械抛光与电化学

在第二章中，我们对相变存储器的相变过程进行了模拟，并且提出了改进的新结构器件。然而，这些新结构器件需要一定的集成电路工艺来实现，因此要求相变存储器的制造工艺与 CMOS 工艺相兼容，以使得制作成本最低。在这些新器件中，通常是将相变材料制作成镶嵌结构。我们可以通过化学机械抛光（CMP）工艺实现这种镶嵌结构。目前，化学机械抛光工艺在集成电路工艺中显示越来越重要的作用，特别是器件特征尺寸发展到 $0.25\mu\text{m}$ 之后。相变材料目前还不是集成电路工艺中常规材料，需要对它的化学机械抛光工艺来进行研究，以便能够将它用在集成电路的工艺线上。

虽然化学机械抛光技术已经发展了将近二十年，但是其抛光液配方一直是工业界的商业秘密。因此抛光液是化学机械抛光的关键技术之一，集成电路工艺对抛光液的配方的要求是抛光速率可控，抛光均匀性好，对电路不会污染和抛光后便于清洗。一般的金属抛光液主要是包括三个部分：腐蚀剂，成膜剂和磨料。它是将机械作用和化学作用结合起来才能达到全局平坦化的效果。Kaufman 等人提出了相应的金属化学机械抛光模型^[70,71]，认为化学机械抛光过程是按照钝化—磨损—再钝化—再磨损的循环方式进行的，直到全局平坦化，如图 3.1 所示。在此过程中，腐蚀剂的化学作用不是腐蚀，而是形成氧化膜阻止凹陷处的金属进一步被腐蚀。同时氧化膜的形成使金属表面的硬度大大降低，从而使化学机械抛光更加容易地进行。因此从微观角度上来看，化学机械抛光过程实际上是机械磨损和钝化之间的平衡。

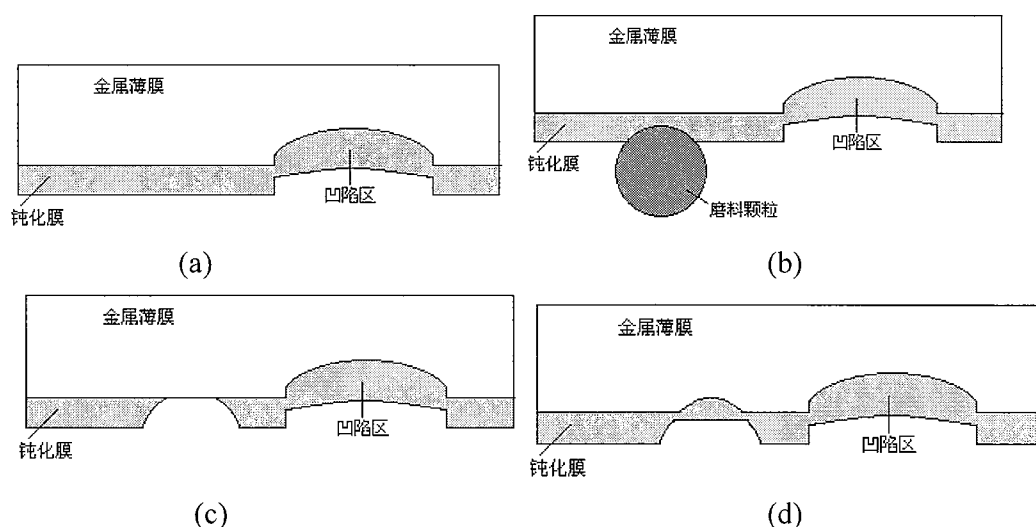


图 3.1 Kaufman 模型示意图(a)钝化；(b)磨损；(c)露出金属；(d)再钝化

电化学理论经常用来解释金属化学机械抛光过程的电化学腐蚀机理，当抛光片浸入腐蚀性抛光液中时，抛光液与抛光片之间就构成了腐蚀体系。抛光液中的腐蚀剂在此有两种作用，一是与抛光片之间发生化学反应，使抛光片表面上形成一层钝化膜。

另一种作用是溶解被机械去除的物料，这样便于抛光之后的清洗。如果单纯地依靠化学腐蚀，其去除速率是非常缓慢的，机械作用可以加速这种去除，去除物料的溶解过程是一个电化学过程。因此电化学理论在解释化学机械抛光机理方面有重要的应用。

电化学实验对优选抛光液的配方有重要的意义。例如通过最初的腐蚀电位的变化规律可以判断金属在溶液中是形成钝化还是溶解；通过电流扫描可以判断在什么电位区域发生钝化现象；又如通过交流阻抗的测试，可以推断金属薄膜在溶液中是否形成钝化膜等。本章就是从电化学角度来研究抛光液的各个因素对相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜成膜的影响，来指导对其抛光液的配制。

3.1.2 电化学腐蚀的研究方法

1 开路电位

金属在水溶液中发生电化学腐蚀时，一般其表面发生两个不同的电极反应，一个是金属的氧化反应，另一个是还原反应。在腐蚀过程中，氧化反应和还原反应的速率是相等的，金属表面没有电荷积累，净电流为零。因此受腐蚀的金属在其所接触的介质中能长期保持一个大体稳定的电位。这个电位叫自然腐蚀电位，又称开路电位。测量电极电位有两种方法：第一种是所研究的金属试样上没有外加电流流过时，测量其开路电位（腐蚀电位）；第二种是在金属试样上有外加电流通过时，测量其极化电位。

在腐蚀研究中，测量腐蚀的开路电位有重要的意义。通过测量腐蚀金属的自然腐蚀电位，可以了解该金属在给定介质中的腐蚀倾向。孤立地测量某一瞬间的电极电位意义不大，但是很有意义的是测量电极电位随时间的变化。这对于了解腐蚀金属表面状态的变化是很有用的。一般来说，在电位随时间往正的方向变化过程中，金属表面保护膜的形成和修补将降低腐蚀速率；而在电位随时间往负的方向变化过程中，金属表面保护膜受到破坏，使腐蚀加剧进行。

2、极化扫描

极化曲线的测试是一个很重要的电化学测量。通过极化曲线，我们可以测定金属的腐蚀速率，研究金属和合金的钝化行为，研究腐蚀机理，判断腐蚀过程，研究缓蚀剂的作用机理等。

通常钝化是指在阳极极化曲线上出现电阻增加的现象。当电压增加到一定程度的时候，电流不再随着电压的增加而增加，有时候反而下降。目前普遍认为钝化是由于金属表面氧化膜或者复合膜，这种钝化作用阻碍了电场下离子迁移或者离子溶解。从电化学阳极极化曲线上来看，一般分为四个阶段：（1）活化区；（2）活化向钝化过渡区；（3）钝化区；（4）钝化击穿区。

如图 3.2 所示，在活化区中的电流随电压的增加而增加。这个区域满足 Butler-Volmer 方程，电流与电压之间的关系为

$$I = I_0(e^{\beta\eta F/RT} - e^{-\beta\eta F/RT}) \quad (3.1)$$

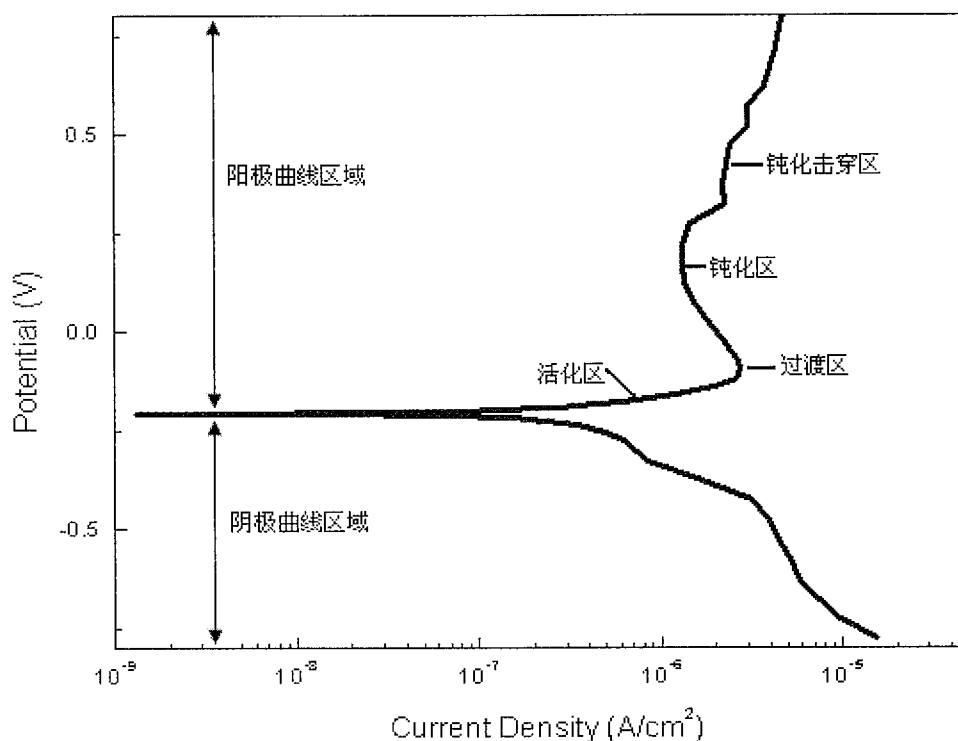
在此式中, η 为过电位, F 为法拉第常数, β 为对称因子, I_0 为交换电流。当过

电位 $\eta > 0.1\text{V}$ 时, 得到 $I = I_0 e^{\beta \eta F / RT}$, 电位与电流是对数关系。

在过渡区, 电流随电位的增加而降低, 一般来说这种电流的降低与电极表面对阳离子的吸附有很大的关系, 这种吸附降低了阳离子的交换速度, 使电流降低。

随着电位的增加, 样品表面的电场强度也增强, 加速了样品表面氧化层的形成, 从而进入钝化区。虽然有些金属在溶液中并不发生钝化现象, 但是如果有一些有机抑制剂的作用下, 形成钝化层。钝化层的形成可以阻止腐蚀剂对样品进一步腐蚀, 这是在化学机械抛光中加以利用之处。

当阳极区域中的电位升高到一定程度时, 钝化层中的氧化物就会被破坏。这种情形的结果是随着电位的增加电流急剧上升。引起击穿的原因很多, 有机械击穿, 电场击穿和离子击穿。因此钝化区也是有限度的, 在配置抛光液时, 氧化剂不能过强。



3、电化学交流阻抗

电化学交流阻抗技术可用于研究电极腐蚀和钝化特性。在电解质溶液中的腐蚀虽然是一个相当复杂的电化学过程, 不过可以用电阻、电容以及电感等电学元件按一定方式组成的网络电路来模拟, 建立与溶液体系相应的等效电路。这种等效电路与电极表面状态及电极过程相联系, 例如双电层、溶解、离子迁移、扩散、钝化、吸附、脱附、电沉积等。在研究腐蚀电化学中, 最常见的典型的等效电路如图 3.3 所示。在图

3.3 中, R_Ω 为溶液电阻, C_d 为双电层电容, R_t 为电荷传递电阻。

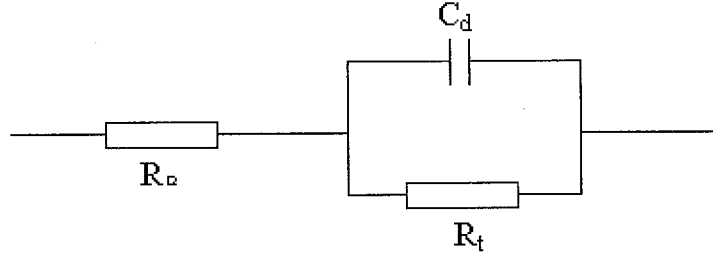


图 3.3 电化学腐蚀体系典型的等效电路

电路的交流阻抗可以用复数来表示, 也称为 Nyquist 图。其实部表示电阻, 虚部表示电抗。在一系列频率下的阻抗数据常用复平面图来表示, 图 3.4 就是等效电路的阻抗复数平面图。图 3.4 中的横轴为阻抗实部 Z' , 纵轴为阻抗虚部的负值 $-Z''$, 以正弦波的频率 ω 为变量, 一个频率的阻抗值在图上为一个数据点。复数平面图能够直观地表示阻抗的矢量特性。

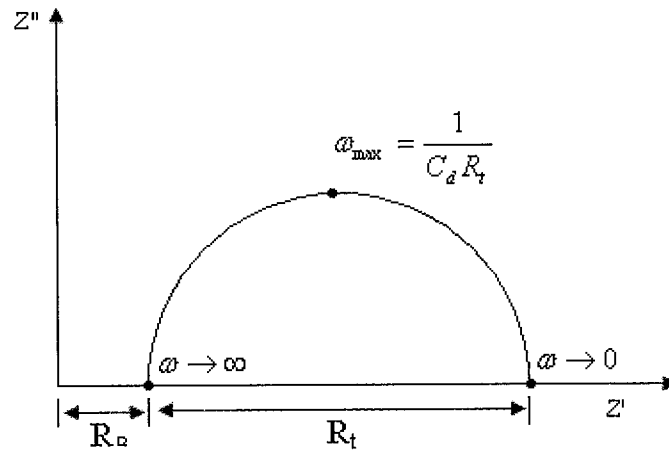


图 3.4 等效电路的阻抗复数平面图

从等效电路中, 可以将总的阻抗表达为

$$Z = R_\Omega + \frac{1}{\frac{1}{R_t} + j\omega C_d} = R_\Omega + \frac{R_t}{1 + \omega^2 C_d^2 R_t^2} - j \frac{\omega C_d R_t^2}{1 + \omega^2 C_d^2 R_t^2} \quad (3.3)$$

$$\text{因此 } Z' = R_\Omega + \frac{R_t}{1 + \omega^2 C_d^2 R_t^2} \quad Z'' = -\frac{\omega C_d R_t^2}{1 + \omega^2 C_d^2 R_t^2}$$

如果消除 ω , 可以建立 Z' 和 Z'' 的函数关系。

$$\left[Z' - \left(R_\Omega + \frac{R_t}{2} \right) \right]^2 + Z''^2 = \left(\frac{R_t}{2} \right)^2$$

在复数平面上，这是一个圆的方程，圆心在 $(R_{\Omega} + \frac{R_l}{2}, 0)$ ，半径为 $\frac{R_l}{2}$ 。这个圆还要以下几个特征：

当 $\omega \rightarrow 0$ 时， $Z' \rightarrow R_{\Omega} + R_l$ ， $Z'' \rightarrow 0$

当 $\omega \rightarrow \infty$ 时， $Z' \rightarrow R_{\Omega}$ ， $Z'' \rightarrow 0$

在半圆的最高点， $\omega_{\max} = \frac{1}{C_d R_l}$ ，这个特征频率的倒数 $C_d R_l$ 反映了该并联电路充

放电弛豫过程的时间特性，称为它的时间常数。以上这些特性常用来计算等效电路的参数 R_{Ω} ， R_l 和 C_d 。

3.2 相变材料的电化学实验试剂，分析手段和实验装置

3.2.1 主要测试分析仪器

辰华电化学工作站 CHI640

3.2.2 主要试剂

KOH 水溶液，三乙醇胺，硝酸，酒石酸，柠檬酸，双氧水，苯并三氮唑（简称 BTA），脂肪醇聚氧乙烯醚（简称 JFC）， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜， SiO_2 磨料。

3.2.3 电化学实验装置

电化学反应测试装置是一个三电极系统，其装置示意图如图 3.6 所示。整个电化学反应测试装置由工作电极、参比电极和辅助电极组成，工作电极与辅助电极是正面对着，参比电极是通过毛细管跟工作电极相正对。工作电极是被测试的样品。在测试中，样品外面用聚四氟材料和蜡密封。只有样品的正表面跟溶液接触，接触的面积为 1cm^2 。参比电极是 Ag/AgCl 电极，具有稳定的电位。辅助电极是铂片组成，其面积比工作电极要大得多。在测试外围电路中，工作电极通过电压表与参比电极相连。因为参比电极稳定，通过电压表读数，就可以得到工作电极的电位。同时，工作电极通过电流表与对电极相连。通过电流表的读数，就可以得到工作电极上的电流。

3.2.4 电化学实验方法

（1）电化学测试步骤

样品的电化学实验是在一个自制电化学工作电极上进行的。首先测试其开路电位，可以了解样品进入溶液时的反应情况；等开路电位稳定之后，测试其交流阻抗特性；最后才测试其动电位极化扫描。

（2）样品制作

在我们的实验中，首先用磁控射频溅射方法在室温下将相变材料沉积在已经抛光平整的铜片衬底上，相变材料的厚度大约是 400nm。

（3）样品处理

样品制作完毕之后,在做电化学测试之前,将样品首先放在酒精和丙酮中去除污渍,然后在超净水中清洗干净,再用氮气吹干。电化学测试是在各种抛光液中进行的,并且使用了常规的三电极电位仪,测量过程全部通过微机控制测量。为了保证温度的稳定性,电化学实验装置浸泡在水浴中,所有的电化学实验在温度为 25℃ 恒温下进行的。

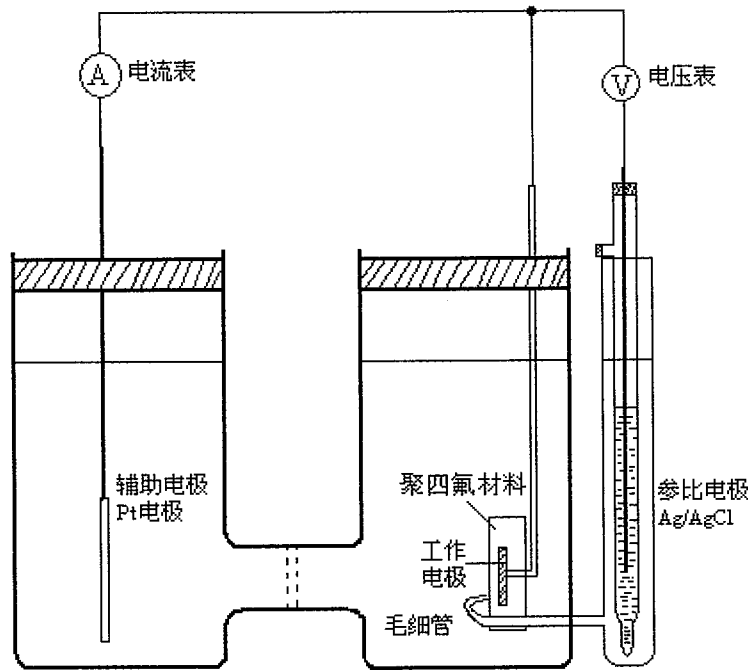
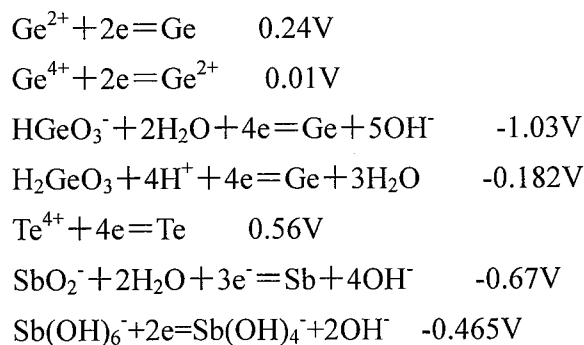


图 3.6 电化学反应装置示意图

3.3 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的电化学性质

3.3.1 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 各元素电化学性质

$\text{Ge}_2\text{Sb}_2\text{Te}_5$ 是由 Ge, Sb, Te 三种元素组成的合金材料,其表现的化学性质是三种元素的综合。根据体系中可能发生的反应以及反应组分的热力学数据得到下列的反应式。



由于 Ge, Sb, Te 三种元素都是在周期表的中间,所以表现出两性。对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 腐蚀的介质既可以是酸又可以是碱,如果将酸或者碱与氧化剂结合,腐蚀更加容易进

行。

金属化学机械抛光的前提是在抛光片表面形成自钝化膜，钝化膜有氧化物膜，无机复合膜和有机复合膜。钝化膜的类型是由抛光液中的成膜剂来决定的，按照化学反应的不同可以将成膜剂分为氧化性成膜剂和非氧化性成膜剂。在本课题的抛光液中，主要氧化性成膜剂是 H_2O_2 ，非氧化性成膜剂是苯并三唑（BTA）。

H_2O_2 是常用的氧化剂，加入在抛光液中不会带来其他的金属离子。苯并三唑（BTA）是用得较多的成膜剂，它的分子结构主要特点是有一个苯环和 N-H 键。由于 N 原子上的孤对 P 电子与苯环上的大 π 键组成共轭 P- π 键，使 N-H 键中的 H 原子很容易被金属离子取代形成不溶性的有机膜。

3.3.2 抛光液各组分因素对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜成膜特性的影响

在抛光液中的各组分因素包括 pH 值，氧化剂以及成膜剂等。在研究这些因素之前，我们对 pH，氧化剂和成膜剂各个因素做了正交实验。在正交实验中，pH 值包括酸性（pH=3），中性（pH=7）和碱性（pH=10）；氧化剂 H_2O_2 的浓度包括 0.1wt%，5wt%，15wt%；成膜剂的浓度包括 0.01wt%，0.1wt%，0.5wt%。通过正交实验发现 pH 在碱性（pH=10），氧化剂 H_2O_2 为 5wt% 和成膜剂的浓度 0.1wt% 的组合能够使 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜达到较好的钝化效果。因此，抛光液的各个因素对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜影响就是在以上的这种条件下研究的。

1、pH 值的影响

pH 值是抛光液中最基本的因素，各元素与溶液的反应都跟 pH 值有关。由于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜具有两性，既可以与酸反应，又可以与碱反应。但是从正交实验中，我们得到在中性溶液、弱酸和弱碱性溶液的化学反应都不理想。所以，如果在碱性稍强一点的溶液中，腐蚀反应效果会更加明显。因此，我们选择 pH 为 10，11 和 12 研究其电化学特性。

首先考察样品刚放入溶液中开路电位的变化情况。将样品准备好之后，放入溶液马上接入测试电路，测试开路电位随时间的变化关系。

图 3.7 表示了不同 pH 值条件下开路电位随时间变化的曲线。当 pH 为 10 时，开路电位向正的方向变化，表明在此 pH 值条件下，腐蚀电位升高，慢慢形成钝化膜。当 pH 值为 11 时，反应更加复杂。起初是腐蚀电位向正方向变化，说明此时正在形成钝化膜。但是随着时间变长，在 2000s 之后，腐蚀电位向负方向变化，说明此钝化膜并不稳定，在长时间腐蚀剂作用下，钝化膜遭到破坏，使腐蚀电位降低。当 pH 为 12 时，腐蚀电位从开始就向负的方向变化，说明在 pH 为 12 的溶液中随着时间的增加，腐蚀是增加的趋势。从 10，11，12 变化过程中来，由于碱性增强，腐蚀程度进一步进一步加剧。pH 为 10 的时候，虽然从开路电位的变化来看是形成了钝化膜，但是电位是在 3000s 之后才趋向稳定，说明没有其它氧化剂的条件下形成钝化膜的速率

比较慢。从 pH 的因素考察, pH 为 10 左右是具有较好的成膜效果, 同时, 作为磨料的 SiO_2 在此 pH 值下比较稳定。

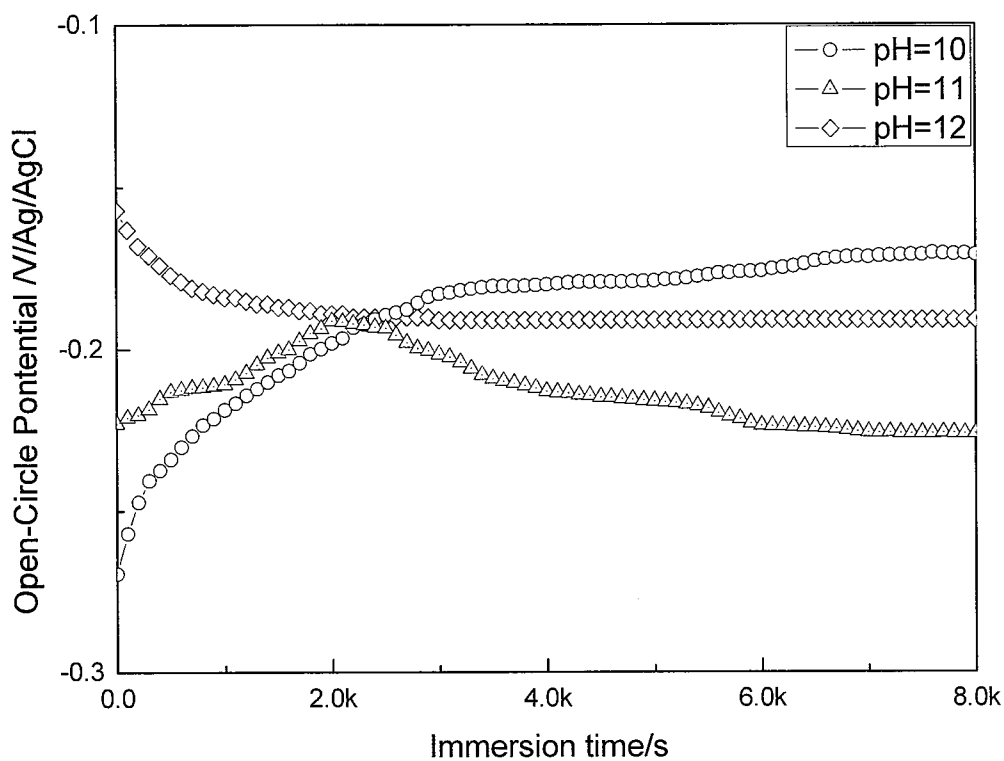


图 3.7 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜不同 pH 值条件下开路电位随时间变化的曲线

图 3.8 表示在不同 pH 值条件下电流极化扫描曲线。pH 值从 10 到 12 的变化过程中, 曲线整体向电流大的方向移动, 说明腐蚀电流是随 pH 值增加而增加的。当 pH 值等于 10 时, 极化曲线符合标准的 Tafel 曲线, 腐蚀电流为 $6.89 \times 10^{-9} \text{ A/cm}^2$ 。由开路电位可以分析在此条件下已经形成了钝化膜, 阻碍了薄膜与溶液的反应, 因此电流很低。当 pH 等于 11 时, 阴极曲线跟 pH 值等于 10 的曲线形状相似, 说明它们的阴极反应是相同的。其腐蚀电流的大小为 $3.12 \times 10^{-8} \text{ A/cm}^2$, 比 pH 为 10 的溶液增加了将近 5 倍, 说明自腐蚀的钝化作用较小。但是在阳极曲线上, 出现了钝化膜, 说明在此 pH 值下需要加入氧化剂才能形成钝化膜。当 pH 等于 12 时, 腐蚀电流为 $1.93 \times 10^{-6} \text{ A/cm}^2$, 腐蚀速率进一步加快。但是在阳极曲线上同样形成了钝化现象, 因此也需要加入氧化剂才有可能形成钝化膜。pH 值从 10~12 的变化说明, 随着碱性的增强, 溶液对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的腐蚀是增强的, 腐蚀速率是增加的。从对薄膜的抛光角度上来说, 形成钝化膜是抛光结果的必要条件, 因此 pH 值为 10 优于 11 和 12。

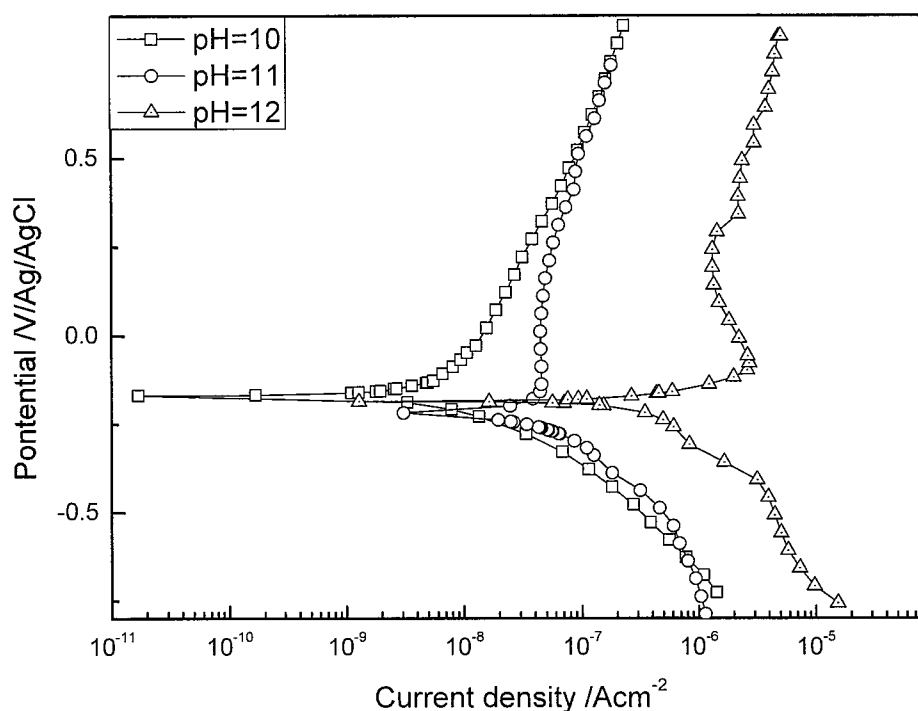


图 3.8 不同 pH 值条件下电流极化扫描曲线

表 3.1 各 pH 值下的腐蚀电位、腐蚀电流分布表

	$E_{corr}(V)$	$I_{corr}(A/cm^2)$
pH=10	-0.1693	6.89×10^{-9}
pH=11	-0.2204	3.12×10^{-8}
pH=12	-0.1815	1.93×10^{-6}

2、氧化剂的影响

氧化剂是形成氧化钝化膜的重要因素。氧化剂的种类很多，但是抛光液是用于集成电路制作方面，对金属离子的引入非常敏感，因此我们选用 H_2O_2 来作为抛光液中的氧化剂。从对金属化学机械抛光的文献上来看，其抛光液中氧化剂的浓度主要集中在 1wt%~5wt%这个范围以内。结合正交实验得出的结论，我们将 H_2O_2 的浓度分为 1wt%，3wt%，5wt%和 10wt%。

从开路电位随时间变化来看，当 H_2O_2 的浓度为 1wt%时，首先由于 H_2O_2 的氧化作用，使腐蚀电位向正的方向偏移。但是由于氧化剂的浓度较低，薄膜表面形成的钝化膜较薄。在 OH^- 等离子体的共同影响下，在 500s 时，表面保护膜受到破坏腐蚀，电位随时间变得向负方向漂移，使腐蚀加剧。当 H_2O_2 的浓度为 3wt%时，开始薄膜来不及形成氧化钝化层，开路电位往负的方向偏移。由于 H_2O_2 的浓度增加，氧化能力

得到加强,使薄膜的氧化层增加。当时间到达 420s 时,腐蚀电位向正电位方向漂移,表明此时逐渐形成保护层,阻止进一步腐蚀,使腐蚀速率降低。同样,当 H_2O_2 为 5wt % 时,由于氧化能力更强,在 200s 时使腐蚀电位开始向正电位方向漂移,使腐蚀电位变得更高,腐蚀速率进一步降低,达到稳定的时间变短。当 H_2O_2 的浓度增加 10wt % 时,此时氧化剂的氧化电位很高,对氧化钝化层薄膜产生钝化层击穿现象,破坏了钝化层对薄膜的保护,是腐蚀速率加快。这时腐蚀电位比 5% 时有所降低,腐蚀速率大大增加,同时在很短的时间内达到稳定状态。

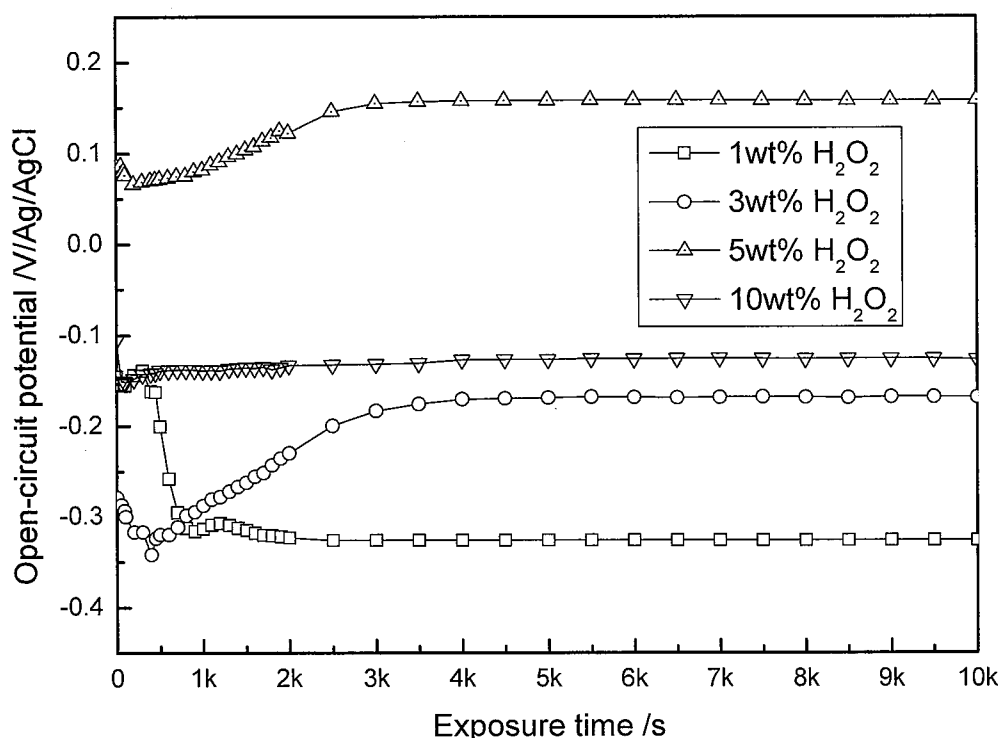


图 3.9 不同 H_2O_2 浓度下开路电位随时间的变化曲线

从开路电位的角度看, H_2O_2 的浓度对 GST 的腐蚀影响比较大的。随着 H_2O_2 浓度的增加,首先腐蚀电位升高,腐蚀速率降低。然后随着氧化剂的浓度进一步加大,产生了钝化层击穿现象,使腐蚀电位降低,腐蚀速率升高。

图 3.10 表示了在不同 H_2O_2 浓度下电流极化扫描曲线。表 3.2 表示了在图 3.10 中各 H_2O_2 浓度下的腐蚀电位,腐蚀电流分布情况。从图 3.10 中是可以看出,随着 H_2O_2 浓度从 1wt % 到 5wt % 的变化中,电流扫描的曲线形状基本上是一致的,说明它们的阴极反应和阳极反应是一致的。而腐蚀电流随着 H_2O_2 的浓度的增加而减少,说明 H_2O_2 的增加,氧化剂的作用下,使 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜表面形成氧化钝化膜,使腐蚀电位升高,薄膜的抗腐蚀能力增强,腐蚀速率降低。但是随着 H_2O_2 的浓度进一步增加, H_2O_2 的氧化能力进一步增强,破坏了表面上的氧化膜,降低了薄膜的腐蚀电位,使腐蚀速率增加。同时,在阳极反应过程中,更加形成钝化膜,阻止反应进一步进行。从表 3.2 中可以看出腐蚀电流在 H_2O_2 浓度等于 5wt % 时,腐蚀电流出现最低点,为

$5.0313 \times 10^{-10} \text{ A/cm}^2$ 。当 H_2O_2 浓度为 1wt%, 3wt%, 5wt% 的增加中, 由于氧化能力的增强, 形成越来越致密的钝化膜, 逐渐阻止 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 进一步被腐蚀, 使腐蚀电位逐渐升高。随着 H_2O_2 继续增加, 溶液的氧化能力越强, 使表面的氧化层遭到破坏, 腐蚀电位降低, 抗腐蚀能力降低, 从而使腐蚀速率加快。从抛光液的角度上来看, H_2O_2 浓度为 3%~5% 之间, 更加有利于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的成膜, 使抛光更加均匀。

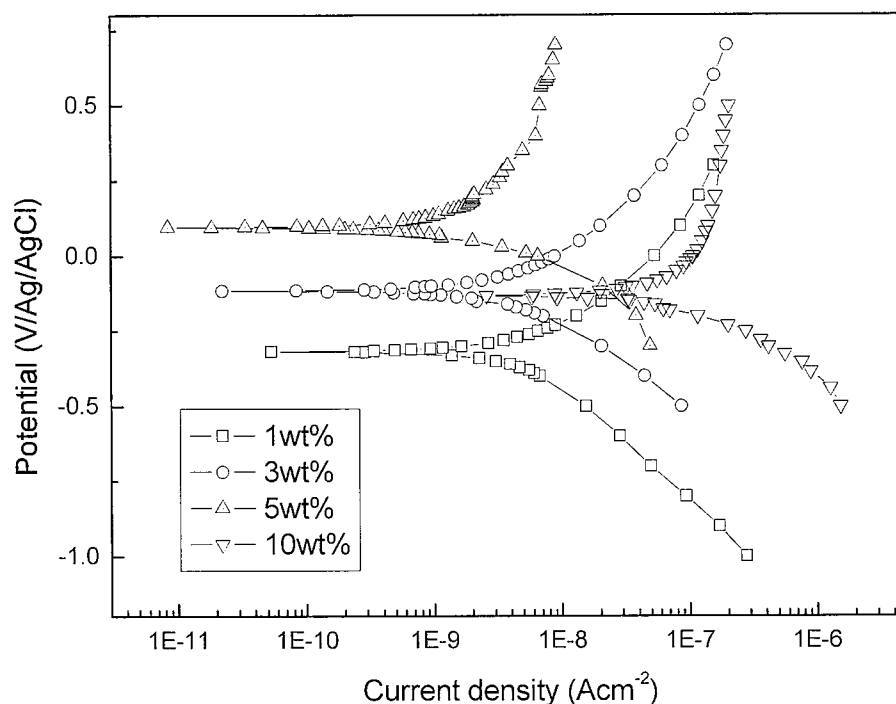


图 3.10 不同 H_2O_2 浓度下电流极化扫描曲线

表 3.2 各 H_2O_2 浓度下的腐蚀电位、腐蚀电流分布表。

	$E_{\text{corr}}(\text{V})$	$I_{\text{corr}}(\text{A/cm}^2)$
1wt% H_2O_2	-0.2983	1.2776×10^{-8}
3wt% H_2O_2	-0.1884	3.3393×10^{-9}
5wt% H_2O_2	0.0837	5.0313×10^{-10}
10wt% H_2O_2	-0.1956	2.4964×10^{-8}

3、成膜剂并苯三唑 (BTA) 的影响

BTA 是成膜剂, 它的分子结构上 N-H 上的 H 原子溶液被其它金属原子所取代, 使薄膜是在溶液中形成有机复合钝化膜, 阻止腐蚀进一步进行。

图 3.11 表示了不同 BTA 浓度下开路电位随时间的变化情况。没有 BTA 的情况下,

腐蚀电位要 6000s 的时候才达到稳定状态。当 BTA 增加到 0.05wt% 时, 腐蚀电位 3000s 时达到稳定; 当 BTA 增加到 0.1wt% 时, 腐蚀电位 2000s 达到稳定, 稳定时间提前了。当 BTA 为 0.2wt% 时, 腐蚀电位在 1000s 时就开始稳定了。从开路电位随时间的变化规律上来看, 都是首先往负的方向变化。说明开始的时候, BTA 形成的复合钝化膜来不及形成, 腐蚀速率加快趋势。随着时间的增加, 复合钝化膜已经形成, 阻止了反应进一步进行。溶液的腐蚀慢慢得到抑制, 腐蚀电位往正的方向移动。随着 BTA 的浓度增加, 形成复合钝化膜的时间越短, 更加容易钝化层。

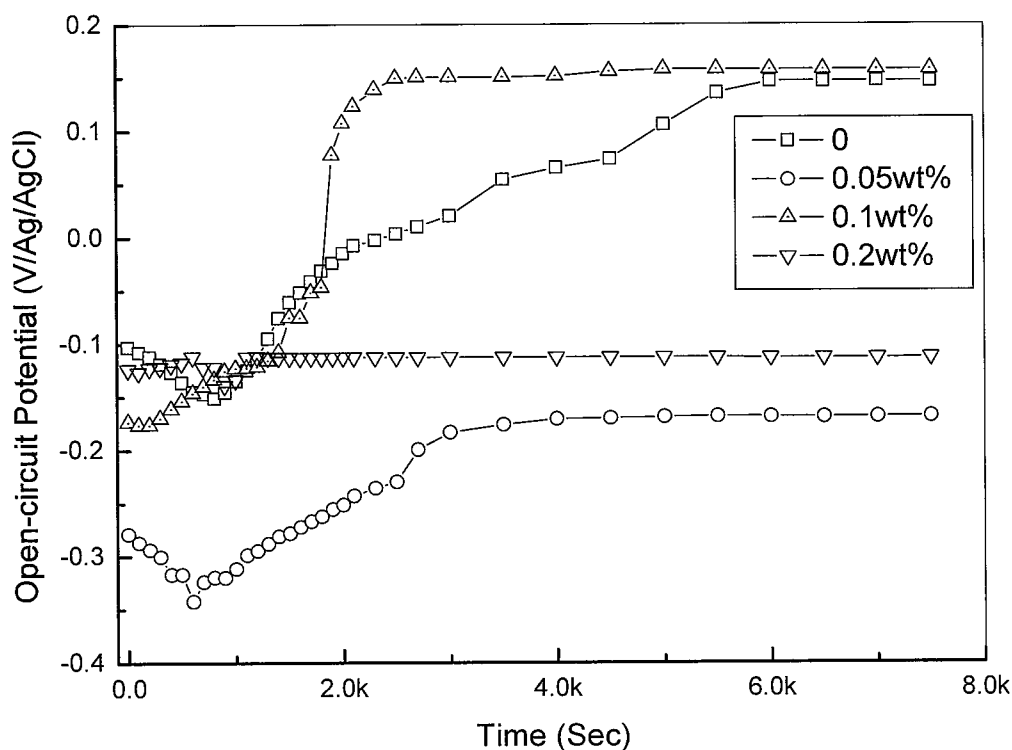


图 3.11 不同 BTA 浓度下开路电位随时间的变化

图 3.12 中表示了不同的 BTA 浓度下腐蚀电流变化趋势。当溶液没有加入 BTA 时, 腐蚀电流为 $1.2084 \times 10^{-8} \text{ A/cm}^2$, 当 BTA 的浓度为 0.05wt% 时, 腐蚀电流为 $5.031 \times 10^{-10} \text{ A/cm}^2$, 当 BTA 的浓度为 0.1wt% 时, 腐蚀电流为 $4.037 \times 10^{-10} \text{ A/cm}^2$ 当 BTA 的浓度为 0.2wt% 时, 腐蚀电流为 $2.036 \times 10^{-10} \text{ A/cm}^2$ 。当溶液中加入 BTA 之后, 腐蚀电流有明显的降低。由此表明, 在溶液中的 BTA 对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜有明显的钝化作用。虽然随着 BTA 浓度的增加, 腐蚀电流下降, 腐蚀速率进一步降低, 但是腐蚀电流的变化并不显著。因此, 我们认为, BTA 的浓度在 0.1wt% 时已经让 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜发生足够的钝化, 有利于成膜。

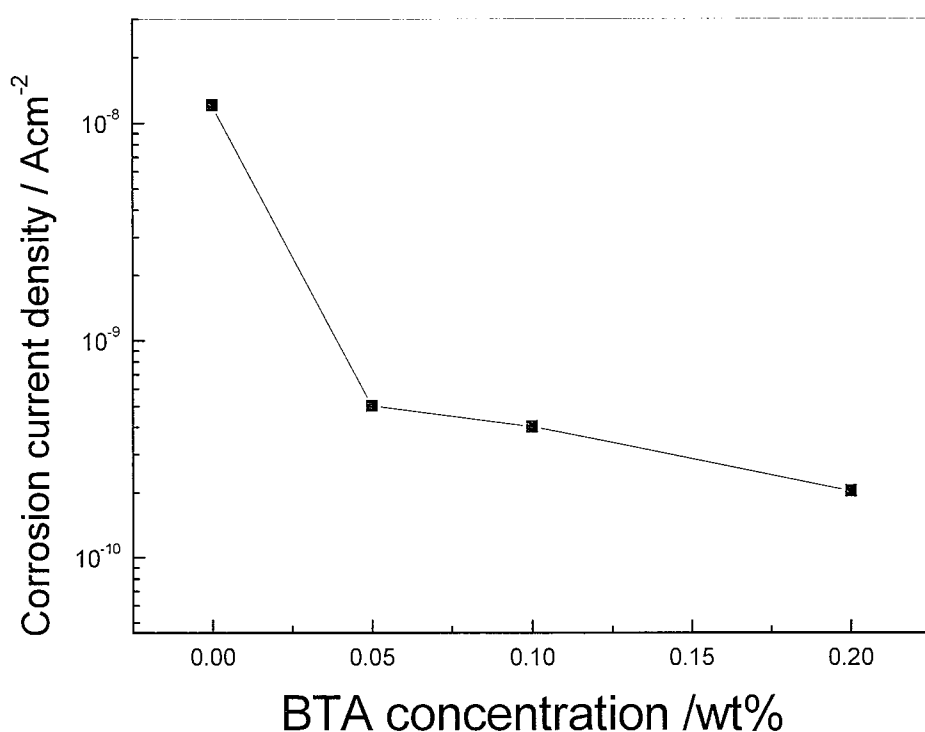


图 3.12 在不同 BTA 浓度下腐蚀电流的变化

以上考察了抛光液的各种主要因素对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的影响。对于化学机械抛光来说，关键是要形成有效的钝化膜。通过电化学实验的分析，我们得到 pH 为 10 左右， H_2O_2 浓度在 3wt%~5wt%之间，BTA 的浓度为 0.1wt%左右，对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的成膜是非常有利的。当然为了使抛光液在抛光后有更好的清洗效果，可以添加少量的活性剂和螯合剂，这样效果会更好。

3.3.3 用交流阻抗的方法研究反应机理

前面我们讨论了抛光液的各个组分对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 腐蚀电流的影响。钝化膜越厚，越致密，腐蚀电流就越小，对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的保护作用越强。钝化膜的厚度可以通过交流阻抗谱图中的膜电阻和膜电容体现出来。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的钝化状态与抛光液之间的等效电路如图 3.13 所示。 C_p 是钝化膜电容， R_p 是钝化膜电阻， C_d 为双电层电容， R_t 为传递电阻， R_s 为溶液电阻。在此由电容的定义得，钝化膜的电容表达式为

$$C_p = \epsilon S / d \quad (3.4)$$

其中 ϵ 为钝化膜的介电常数， S 为钝化膜的面积， d 为钝化膜的厚度。若 ϵ ， S 一定，那么电容与钝化膜的厚度成反比。

膜电阻 R_p 的表达式可以表示为

$$R_p = \rho d / S \quad (3.5)$$

其中 ρ 为电阻率， d 为钝化膜的厚度， S 为钝化膜的面积。若 ρ ， S 一定，那么

膜电阻与钝化膜的厚度成正比。

$$R_p \times C_p = \varepsilon \rho \quad (3.6)$$

如果钝化膜的材料性质一定，那么钝化膜的电阻与钝化膜的电容成反比关系。如果在阻抗谱上电容和电阻是近似反比关系，可以判断反应的生成物是同一种物质，否则是不同的物质。

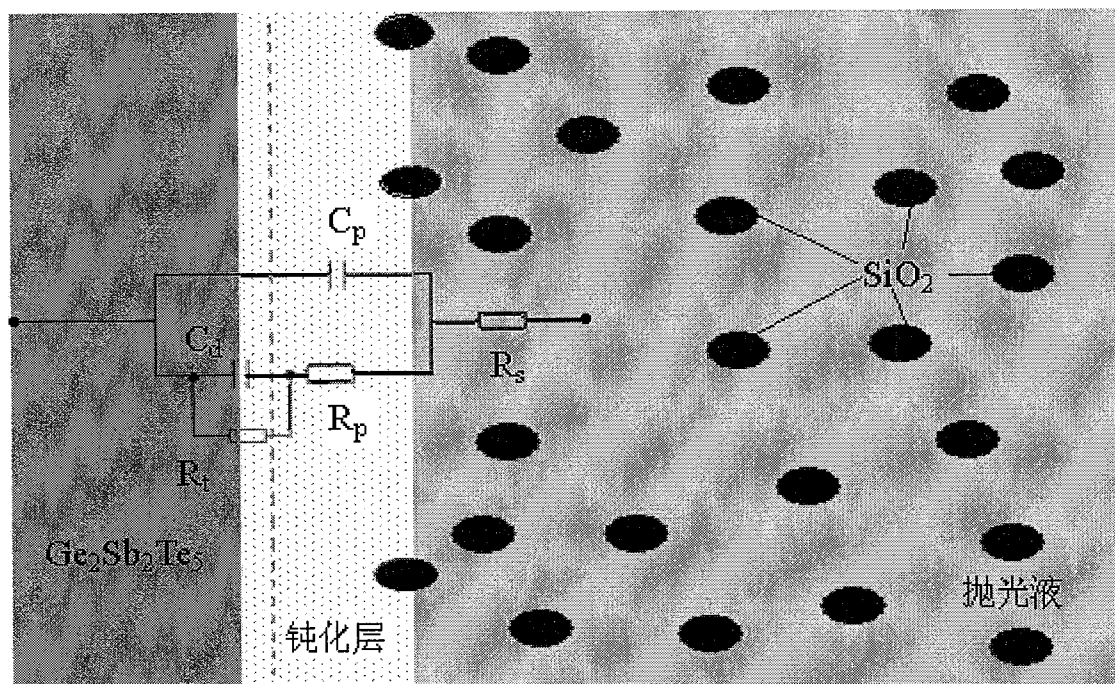


图 3.13 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜与抛光液接触示意图

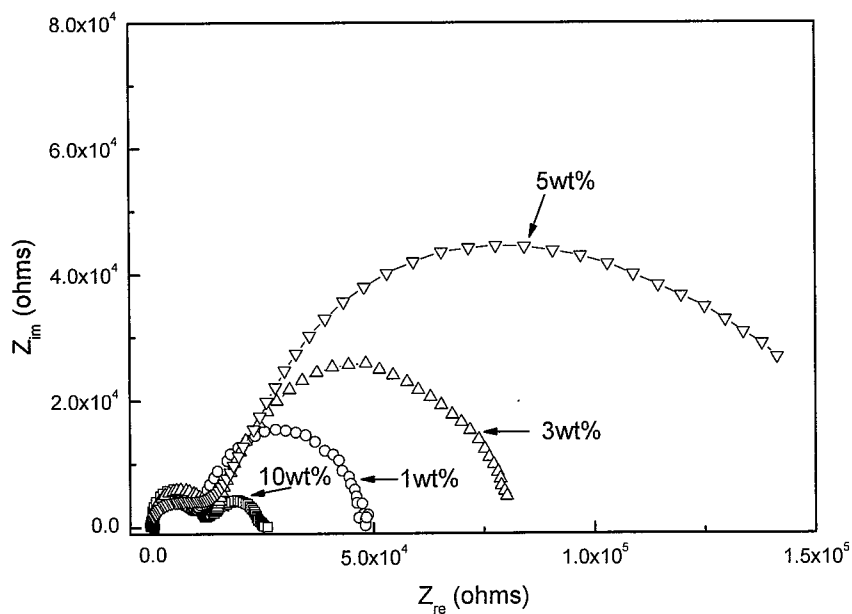


图 3.14 在不同浓度 H_2O_2 介质中的交流阻抗图

表 3.3 不同浓度的 H_2O_2 介质中交流阻抗参数

H_2O_2 浓度	$C_p(\text{F})$	$R_p(\Omega)$
1% H_2O_2	8.33×10^{-6}	3.82×10^4
3% H_2O_2	3.919×10^{-6}	8.12×10^4
5% H_2O_2	2.04×10^{-6}	1.56×10^5
10% H_2O_2	5.01×10^{-5}	6.35×10^3

图 3.14 表示了不同浓度的 H_2O_2 对应的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜交流阻抗图。表 3.3 是通过交流阻抗模拟器 Zview 软件对图 3.14 的参数进行模拟得到的交流阻抗参数。从表 3.3 可以看出, 5wt%浓度下的 H_2O_2 所形成的钝化膜膜电阻最大, 膜电容最小, 而且它们的 $R_p \times C_p$ 近似为一常数, 说明这种钝化膜为同一种物质。在 1wt%时, 氧化能力较弱, 因此钝化膜较薄, 到 3wt%时, 钝化膜的厚度有所增加, 表现在膜电阻增加。但是当 H_2O_2 为 10wt%时, 由于氧化性太强, 破坏了钝化膜, 使反应速度增大, 表现在膜电阻迅速减小, 膜电容增加。

3.4 本章小结

从电化学的角度研究了抛光液对相变材料的作用。系统研究了抛光液的 pH 值、氧化剂以及成膜剂对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的电化学影响, 得到如下结论。

1、对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 来说, pH 在 10 左右是最有利于成膜的。同时考虑到化学机械抛光实验所用到的磨料是 SiO_2 , 它在这个环境下也是比较稳定的。

2、实验表明, 氧化剂 H_2O_2 的浓度在 3wt%~5wt%时, 能够形成有效的钝化膜; H_2O_2 的浓度在 1wt%时, 但是由于钝化膜比较薄, 钝化膜容易被破坏; H_2O_2 的浓度到 10wt%时, 由于氧化性强而导致钝化膜被击穿。

3、在抛光液中, 加入 BTA 之后, 能够观察到明显的钝化现象; 我们从实验得到 0.1wt%的 BTA 是最佳浓度。

4、通过交流阻抗测试分析, 进一步证实了当 H_2O_2 浓度为 3wt%~5wt%时, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 表面存在钝化膜, 且为同一种物质。 H_2O_2 的浓度在 1wt%条件下, 氧化钝化膜较薄, 容易被破坏; 当 H_2O_2 的浓度在 10wt%时, 其膜电阻是最小的, 说明在此条件下, 破坏了膜层厚度, 加速了薄膜的反应。

第四章 用化学机械抛光制作相变存储器的阵列结构

4.1 引言

集成电路之所以能够大规模生产,是因为采用了平面工艺。这种平面工艺在同一批硅片中能够同时生产出成千上万的集成电路来。对于相变存储器,我们也希望能够与这种集成电路工艺兼容。在相变存储器中,除了相变材料,其他的材料都是 CMOS 工艺中存在的,我们也希望相变材料跟其他的材料一样,能够适合平面加工工艺。在第三章中,我们针对相变材料的化学机械抛光,研究了抛光液各组分对相变材料电化学腐蚀影响。在本章,我们通过第三章的实验结果指导,配制了适合相变材料的抛光液;对相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 SiSb_2Te_3 的化学机械抛光工艺进行研究,制作出各种尺寸的相变存储器阵列,并测试其电学性能。

4.2 制作阵列结构实验方案和实验设备

对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的化学机械抛光研究,我们首先研究了 SiO_2 对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的抛光选择比,找到高选择比的条件。再在氧化硅片上制作阵列结构,用自制的抛光液对其进行化学机械抛光,得到抛光参数,研究其抛光效果。最后在氧化硅上制作带底电极的阵列结构,测试其性能。

抛光液:根据 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的物理机械性质,硬度不高,容易被划伤,所以选择硬度适合的 SiO_2 磨料。该磨料是由本实验室张楷亮博士自制的大粒径胶体 SiO_2 纳米研磨料;根据 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的电化学性质和磨料 SiO_2 的稳定性, pH 值调节剂优选无金属离子的有机强碱用于抛光液的 pH 值调整,一般 pH 为 9.5~10.5;为了不引入其他的金属离子,抛光液采用无金属离子的 H_2O_2 为氧化剂;为了能调整抛光过程的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的化学反应速度,加入一定量的抗蚀剂 BTA;按照一定组分比例加入表面活性剂、消泡剂、速率促进剂等,配制成高纯的纳米抛光液。

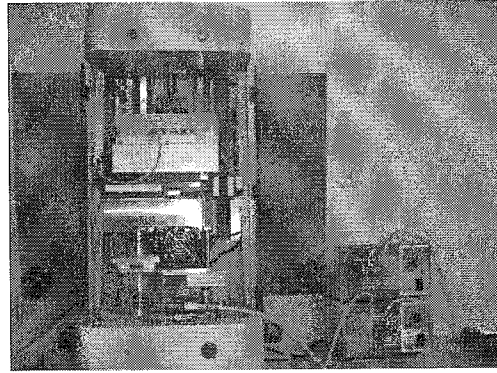
抛光样品:在 3 英寸的硅片上热氧化 500nm 的 SiO_2 层,制作各种阵列结构,沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜材料。

抛光机台:采用美国 CETR 公司的 CP-4 抛光机,如图 4.1 (a)。该抛光机带有力学、声学信号在线检测系统,能够实时地观测到抛光过程和记录抛光数据;抛光垫采用罗门哈斯公司的 IC1000/SubaIV 双层抛光垫,如 4.1 (b) 和 (c)。

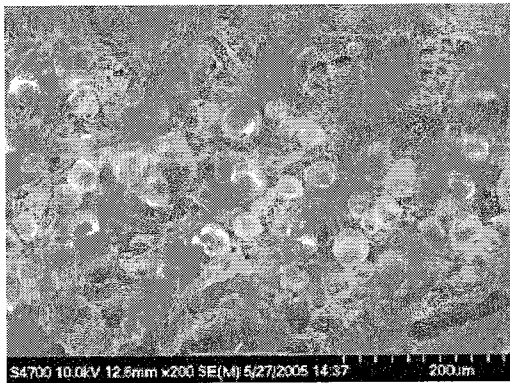
抛光表征设备:台阶仪和光干涉仪,用来测量台阶的厚度和氧化硅层的厚度。利用其厚度差,确定薄膜的抛光速率。原子力显微镜,用来表征抛光之后样品表面的粗糙度。

光刻设备:Karlsussde 公司的 MJB3—UV400 型光刻机。

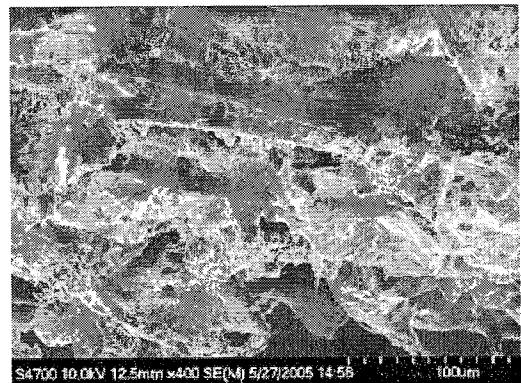
电学测试设备:Keithley 2400 数字源表,Agilent 81104A 脉冲发生器,探针台。



(a)



(b)



(c)

图 4.1 (a)CETR 的 CP-4 抛光机台；罗门哈斯双层抛光垫 (b) IC1000；(c) SubaIV

4.3 对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的化学机械抛光研究

4.3.1 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 对 SiO_2 的 CMP 选择比研究

1 实验方案

在硅片上热氧化 500 纳米厚的 SiO_2 ，在 SiO_2 上的 9 个点上滴上光刻胶。再用磁控溅射的方法沉积 GST 薄膜，然后在丙酮中浸泡，去胶。这时候滴上光刻胶的地方形成九个台阶，测量台阶的厚度，样品制作完毕。

对样品进行化学机械抛光实验，根据抛光曲线的变化，判断 GST 抛光完毕的时间。继续过抛 SiO_2 层，计算抛光 SiO_2 的时间。抛光完毕之后，用光学方法测定剩下的 SiO_2 的厚度，计算出 GST 和 SiO_2 的抛光速率，得到其抛光选择比。

2、实验结果与分析

在氧化硅片上滴上 9 个点，将这 9 个点进行编号，它们分布在整个圆片上，如图 4.2 所示。这 9 个点形成的台阶可以测定整个圆片上的抛光速率分布。

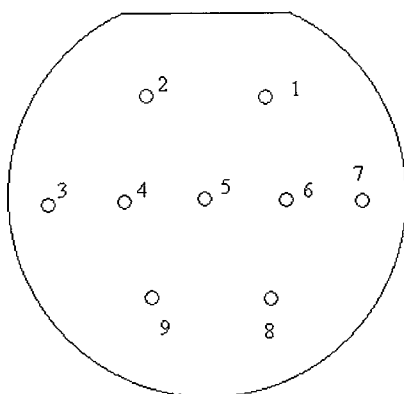


图 4.2 氧化硅片上的 9 个台阶的位置以及编号

用三个同样的氧化硅片上，沉积三种不同厚度，其厚度分布为 415nm，355nm 和 300nm。表 4.1 是三个样品的九个点台阶的高度。

表 4.1 三个样品的九个点台阶高度

	1	2	3	4	5	6	7	8	9
1 号样品(nm)	418.5	411.3	416.5	410.5	420.7	414.7	415.2	419.0	417.3
2 号样品(nm)	349.8	359.1	350.4	358.5	352.7	353.3	362.1	351.3	360.5
3 号样品(nm)	296.4	303.2	295.3	303.5	295.8	304.3	298.7	294.7	302.5

1 号样品平均厚度为 416.0nm，2 号样品平均厚度为 356.1nm，3 号样品的平均厚度为 300.2nm。

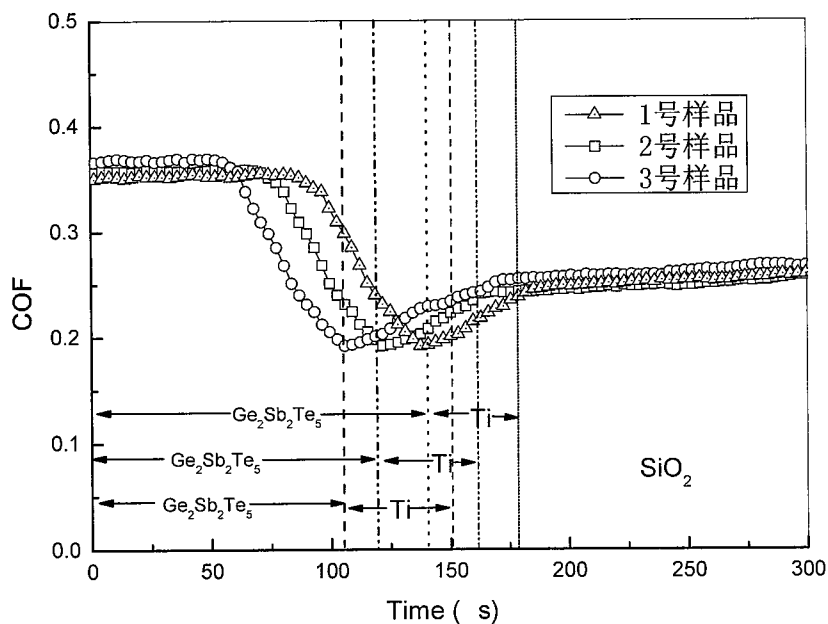


图 4.3 对三种不同厚度的 GST 摩擦系数变化曲线

图 4.3 是多层膜样品的摩擦系数的变化曲线图。曲线的左侧是 GST 的抛光区，中间是过渡层 Ti 的抛光区，最后是 SiO₂ 的抛光区。从摩擦系数变化图上可以看出 1 号样品是在 138s 时，GST 的 COF 信号变化为 Ti 层的 COF 信号，说明这时候 GST

层薄膜全部去除完毕。2 号样品是在 122s 时出现 COF 信号的转变, 3 号样品是在 107s 出现 COF 信号的转变。因此我们可以得到这三个样品的 GST 的抛光速率分别为 180.9nm/min, 175.1nm/min, 168.3nm/min。GST 的平均抛光速率为 174.8nm/min。

然后对抛光之后的 SiO₂ 层用光干涉仪测量剩下的氧化硅的厚度, 得到的数据如表 4.2。

表 4.2 抛光之后各点的氧化硅厚度

	1	2	3	4	5	6	7	8	9
1 号样品(nm)	445.5	443.3	446.5	443.5	444.7	443.7	445.2	443.8	444.3
2 号样品(nm)	435.8	436.1	436.4	436.5	435.7	435.3	436.1	436.3	436.5
3 号样品(nm)	431.4	430.6	431.3	430.9	430.8	431.3	430.7	430.5	431.5

由表 4.2 和图 4.3 所得, 1 号样品的氧化硅的平均厚度为 443.5nm, 抛光时间为 122s; 2 号样品氧化硅的平均厚度为 436.1nm, 抛光时间为 137s; 3 号样品氧化硅的平均厚度为 431.0nm, 抛光时间为 147s。于是我们就可以得到 1 号样品的氧化硅的抛光速率为 27.8nm/min, 2 号样品的抛光速率为 28.0nm/min, 3 号样品的抛光速率为 28.2nm/min。我们可以得到 SiO₂ 的平均抛光速率为 28.0nm/min。

因此我们可以得到 GST 对 SiO₂ 的抛光速率选择比为 174.8nm/min : 28nm/min≈6:1。

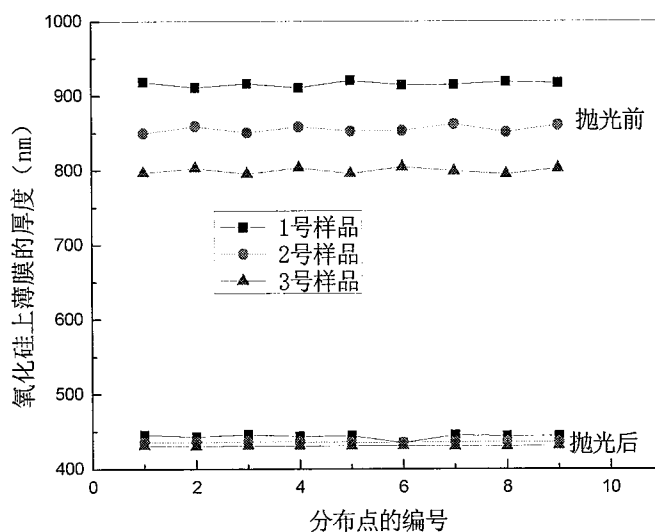


图 4.4 抛光前后样品的均匀性分布

图 4.4 是抛光前后样品的均匀性分布。从抛光前后均匀性的比较, 抛光之前的三个样品平均最大厚度差为 10.7nm, 经过化学机械抛光之后的其平均最大厚度差为 1.8nm, 抛光前后的均匀性有明显地改善。由于 Ge₂Sb₂Te₅ 的抛光速率快, 对氧化硅去除的部分比较小。

4.3.2 在 SiO₂ 上对 Ge₂Sb₂Te₅ 薄膜的化学机械抛光研究

为了能够将 Ge₂Sb₂Te₅ 的化学机械抛光的方法应用于相变存储器的制作工艺中,

我们首先在氧化硅上制作存储器的阵列，研究该工艺的填充效果。该工艺制作过程如下：

- (1) 将硅片热氧化一层氧化硅，氧化硅的厚度为 400nm，如图 4.5(a)
- (2) 将氧化硅进行光刻，湿法刻蚀，形成阵列，如图 4.5(b)。
- (3) 用磁控溅射在阵列上沉积 Ti, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜，薄膜的厚度为 500nm。如图 4.5(c)
- (4) 用化学机械抛光对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜进行处理，去除填充结构之外的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜，形成镶嵌结构，如图 4.5(d)。

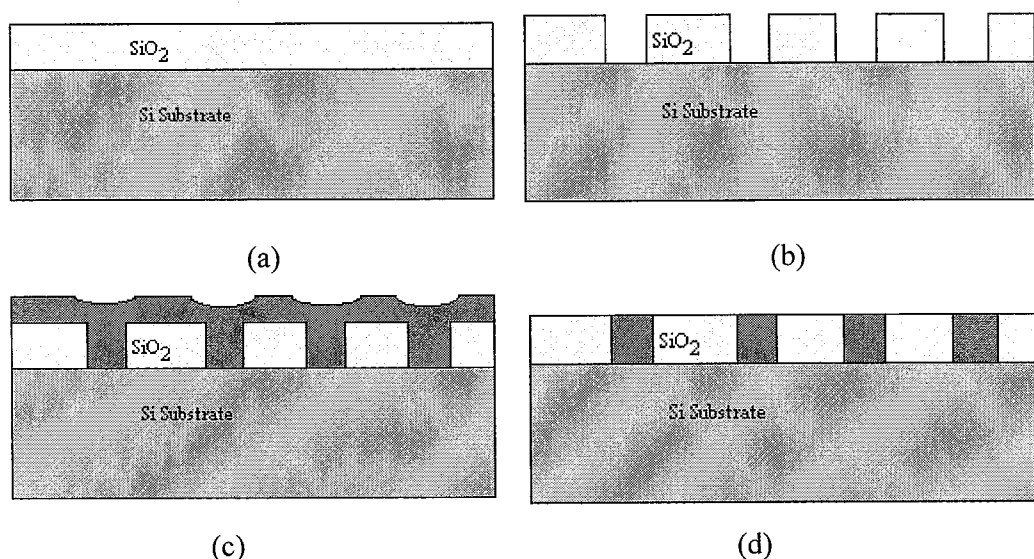


图 4.5 在 SiO_2 上研究 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 化学机械抛光的制作过程

图 4.6 (a)、(b)、(c)、(d) 表示的是在光刻刻蚀和化学机械抛光之后形成的各种不同尺寸大小的阵列结构，单元结构大小分别为 $50\mu\text{m}$ ， $20\mu\text{m}$ ， $15\mu\text{m}$ ， $8\mu\text{m}$ 。

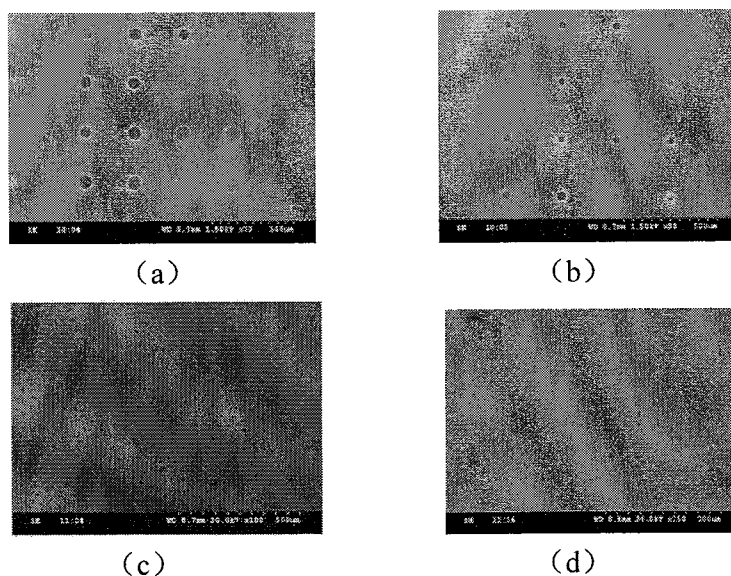


图 4.6 通过 CMP 之后形成的各种不同尺寸的阵列

对于化学机械抛光的填充效果用 EDS 分析。图 4.7 是对填充的相变存储器的阵

列单元进行 EDS 分析，化学机械抛光过程是否对相变材料的性质产生影响。图 4.7 (a) 是化学机械抛光之后的单元器件 SEM 图片。(b) 和 (c) 是分别对结构内外进行的能谱 EDS 分析。从图 (b) 中看出，结构内被填进去了 GST 材料，从元素分析的表 4.3 中可以看出，仍然单元内的材料依然 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，说明在化学机械抛光过程并未发生成分偏析的现象。从图 (c) 中，结构外的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 被充分的去除，剩下的是 SiO_2 材料。

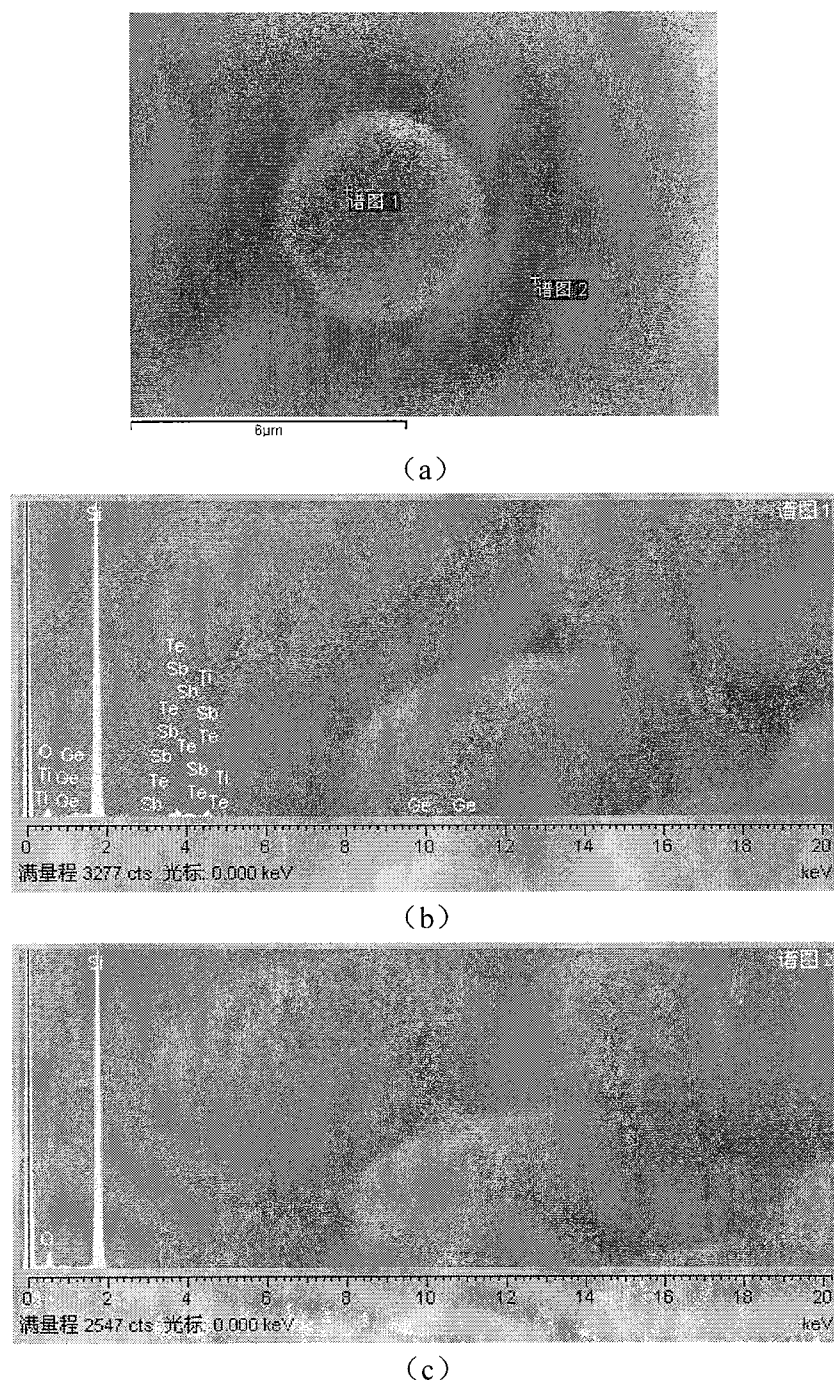


图 4.7 对单元器件分析的 EDS 图和元素表

表 4.3 对单元中心进行 EDS 分析元素表

Element	Mass percentage	Atom percentage
Ge K	14.62	22.38
Sb L	23.94	22.67
Te L	61.94	54.95
Total	100.00	100.00

4.3.3 制作带底电极的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变存储结构

在氧化硅衬底上的研究表明, 用化学机械抛光的方法可以使 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 很好填充到单元器件中。在本节中, 我们将制作带底电极结构的相变存储器阵列, 并用于测试其存储性能。所用的工艺步骤如下:

- (1) 用磁控溅射方法在氧化硅片上分别沉积 30nmTiN, 100nmW, 10nmTi 薄膜, TiN 和 Ti 的加入是为了增加界面的黏附性。
- (2) 然后用 PECVD 沉积 Si_3N_4 薄膜, 其厚度为 400nm; 由于设备条件的限制, 用 Si_3N_4 薄膜来作为相变存储器的绝缘介质。
- (3) 对 Si_3N_4 薄膜进行光刻和干法刻蚀, 形成阵列结构;
- (4) 用磁控溅射沉积 30nmTi 和 500nm $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜;
- (5) 用化学机械抛光去除填充结构之外的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜;
- (6) 涂胶光刻, 沉积 W, 用剥离工艺形成顶电极, 测试性能。

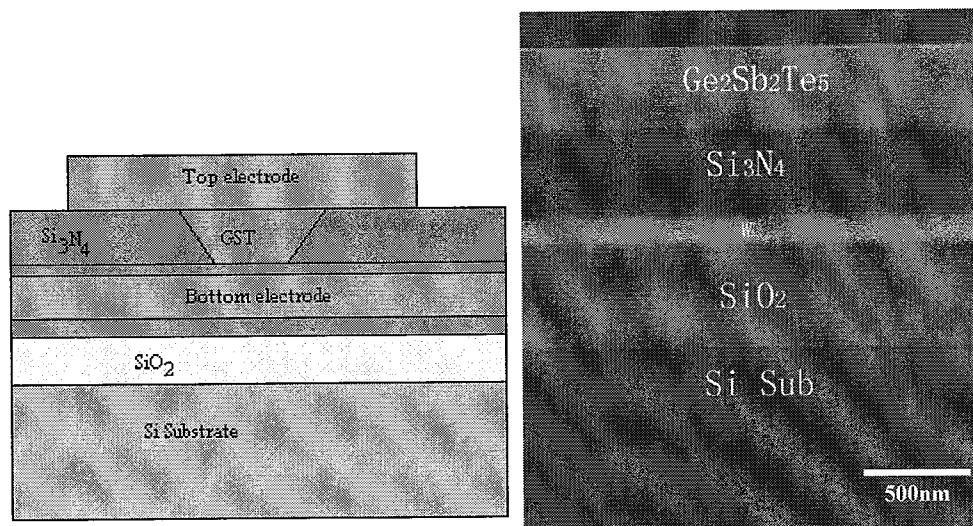


图 4.8 结构剖面示意图和截面 SEM 图

图 4.8 是沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 之后, 各层的材料分布截面图。在 SiO_2 和 Si_3N_4 之间是

W 电极，W 与 SiO_2 和 Si_3N_4 之间分别是 TiN 和 Ti 薄层为缓冲层。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 与 Si_3N_4 层之间有一层 30nmTi 层，增加其黏附性。

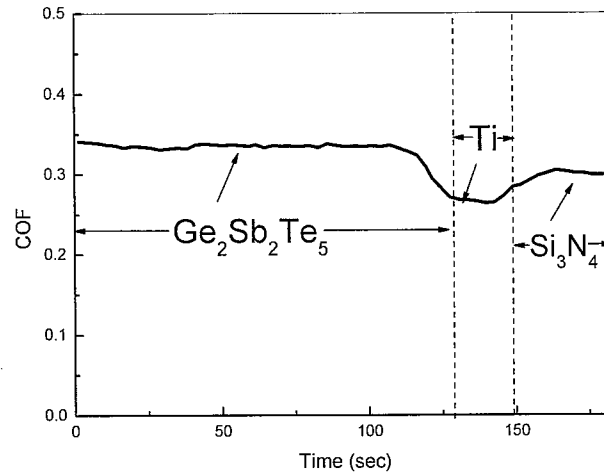


图 4.9 在化学机械抛光过程中摩擦系数与时间的关系

图 4.9 在化学机械抛光过程中的 COF 与时间的关系图。最左边是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的抛光曲线，当时间为 127s 时，该层抛光完毕。接着的 23s 是抛光 Ti 层，最后过抛了 Si_3N_4 层。

图 4.10 是沉积顶电极之后的阵列。化学机械抛光之后，在形成的阵列使用套刻光刻工艺，沉积 W 薄膜，再用剥离工艺去除单元结构以外的 W，形成顶电极。顶电极的大小约为 50 μm 。

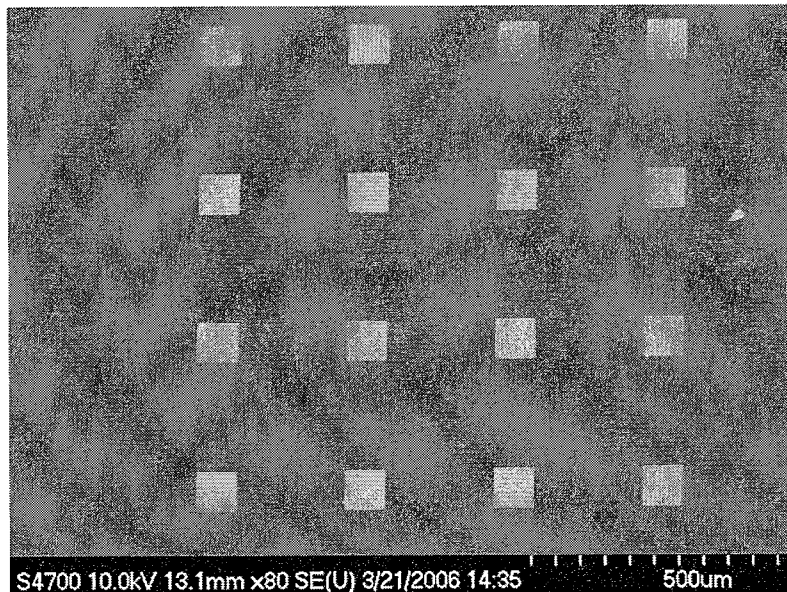


图 4.10 沉积顶电极之后形成的阵列

在形成顶电极之后，我们就可以测试阵列的电学性能。在该阵列中，底电极是公共电极，顶电极对应于每一个存储单元。我们用 Keithley 2400 来测试各个单元的相变特性。

我们测试了阵列的各个单元, 图 4.11 所示的是第一个单元 I-V 扫描特性以及阵列上各个单元的阈值电压表。第一次电流扫描从 0mA 开始, 扫描步长为 $50\mu\text{A}$ 。当电流为 0.95mA 时, 电压急剧减小, 此时电阻发生了显著的降低, 表面已经发生相变, 可以判定此时电流是阈值电流。此刻之后的电流扫描曲线仍然是线性的, 直至 5mA 时, 电流扫描完毕。接着在同一个单元进行第二次电流扫描, 扫描的曲线是线性的, 而且是低阻, 说明第一次电流扫描之后已经发生了相变。接着对阵列中的各个单元进行扫描, 得到它们的阈值电流如图 4.11 中的表所示, 它们都是在 0.9mA~1.15mA 之间, 具有很好的均匀性。

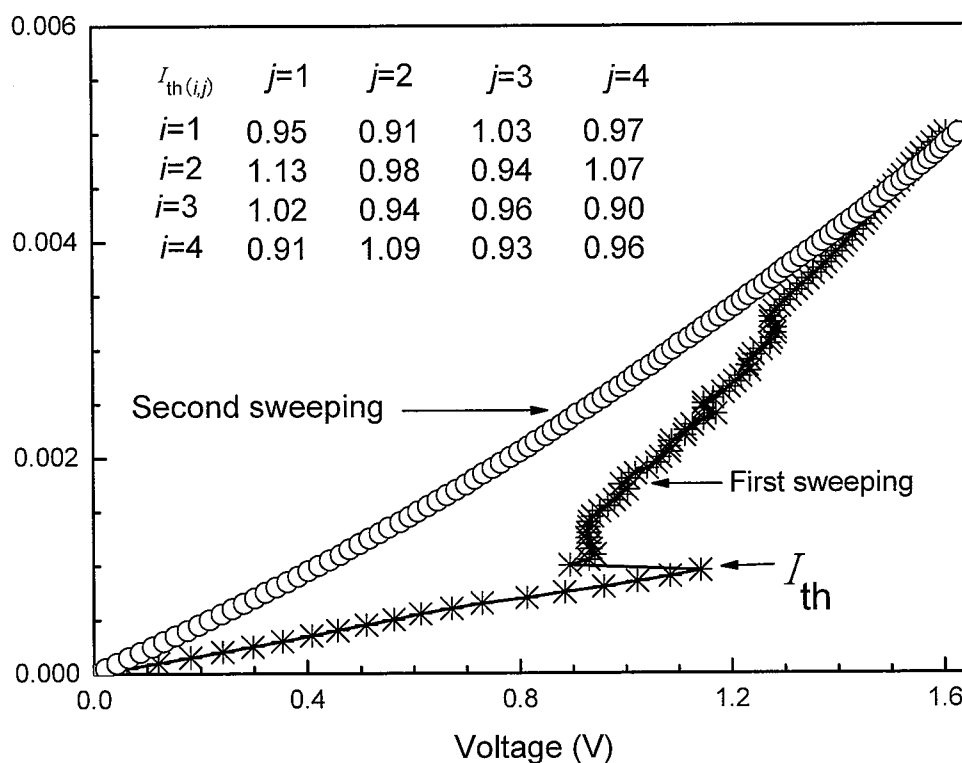


图 4.11 对阵列的每个单元 I-V 扫描

由上述化学机械抛光实验表明, 该工艺可以大规模地得到相变存储器的阵列结构, 而且器件的特性具有一定的稳定性和均匀性。虽然由于所形成的阵列未达到纳米量级, 因此很难观测到可逆相变的存在, 但是如果用电子束曝光工艺, 制作成纳米电极, 应该可以观测到可逆相变。

4.4 对 SiSb_2Te_3 薄膜的化学机械抛光研究

4.4.1 SiSb_2Te_3 对 SiO_2 的 CMP 选择比研究

1 实验方案

跟 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 对 SiO_2 的 CMP 选择比研究方法一样, 在具有 500 纳米厚 SiO_2 的氧

化硅片上，滴上 9 个点的光刻胶。再用磁控溅射的方法沉积 SiSb_2Te_3 薄膜，去胶后形成九个台阶，测量台阶的厚度，样品制作完毕。

2、实验结果与分析

在氧化硅片上，沉积 SiSb_2Te_3 薄膜的厚度大约为 380nm。表 4.4 是该样品 9 个点抛光前薄膜的厚度和抛光后 SiO_2 的厚度分布。

图 4.4 该样品 9 个点抛光前薄膜的厚度和抛光后 SiO_2 的厚度分布

	1	2	3	4	5	6	7	8	9
抛光前薄膜 (nm)	381.3	378.4	383.5	376.3	379.6	384.1	377.6	380.8	375.4
抛光后 SiO_2 (nm)	428.5	429.3	427.9	428.6	429.0	428.3	428.7	429.1	428.5

用台阶仪测定该样品 SiSb_2Te_3 薄膜的平均厚度为 379.6nm，用光干涉仪测定抛光之后 SiO_2 的平均厚度为 428.6nm，被去除的 SiO_2 的厚度为 71.4nm。

图 4.12 是多层膜样品的摩擦系数的变化曲线图。曲线的左侧是 SiSb_2Te_3 的抛光区，中间是过渡层 Ti 的抛光区，最后是 SiO_2 的抛光区。从摩擦系数变化图 4.12 上可以看出，在 94s 时，抛光 SiSb_2Te_3 的 COF 信号变化为抛光 Ti 层的 COF 信号，说明这时候 SiSb_2Te_3 层薄膜全部去除完毕。可以计算出 SiSb_2Te_3 的抛光速率为 242.3nm/min。Ti 是在 142s 时抛光完毕， SiO_2 的抛光时间为 158s， SiO_2 的抛光速率为 27.1nm/min。因此我们可以得到 SiSb_2Te_3 对 SiO_2 的抛光速率选择比为 242.3nm/min : 27.1nm/min $\approx$ 9:1，比 GST 对 SiO_2 的抛光速率选择比更高。

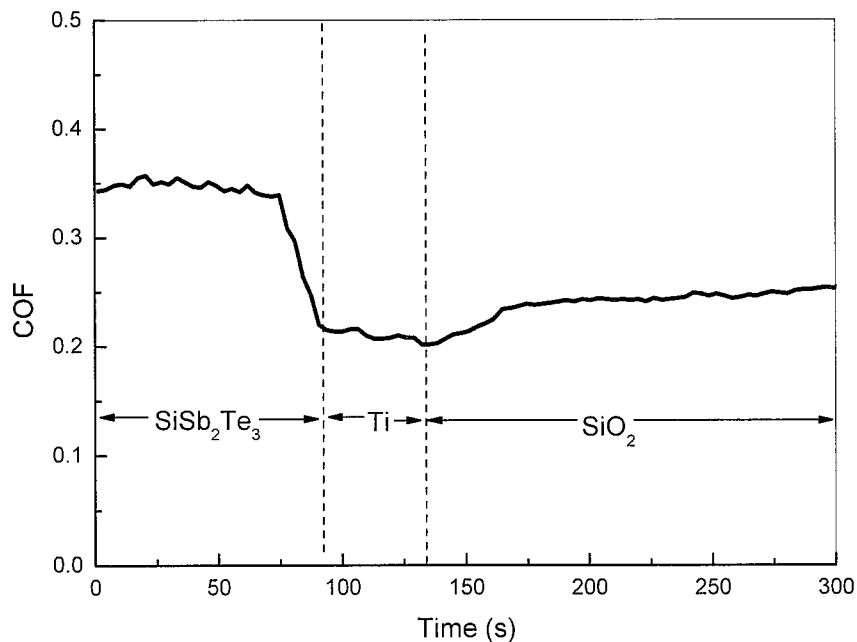


图 4.12 对 SiSb_2Te_3 的化学机械抛光时摩擦系数变化曲线

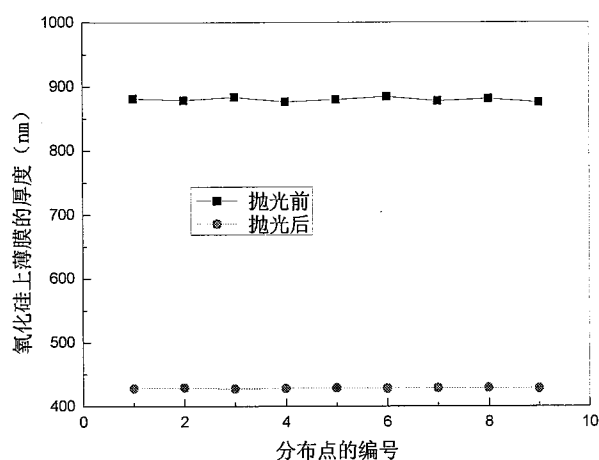


图 4.13 抛光前后样品的均匀性比较图

抛光前最高点与最低之差为 8.7nm，抛光后的最高与最低点之差为 1.4nm，所以经过化学机械抛光之后的均匀性有明显地改善，增加了平坦度，整片均匀性良好。

4.4.2 用电子束曝光方法制作 SiSb_2Te_3 阵列结构

在 4.3.3 节中，由于尺寸大，未能使可逆相变发生。用电子束曝光方法，可以使器件的制作尺寸大大缩小。 SiSb_2Te_3 比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 具有更低相变电流和更低的编程功耗。

(1) 将硅片热氧化一层氧化硅，氧化硅的厚度为 400nm。

(2) 在氧化硅涂上 PMMA，用电子束曝光，再湿法刻蚀氧化硅，形成阵列单元图形，阵列单元大小为 $1\mu\text{m}$ 。

(3) 用磁控溅射在具有阵列结构的氧化片上沉积 Ti, SiSb_2Te_3 薄膜，薄膜的厚度为 500nm。

(4) 用化学机械抛光方法对 SiSb_2Te_3 薄膜进行处理，去除阵列单元结构之外的 SiSb_2Te_3 ，形成镶嵌结构。

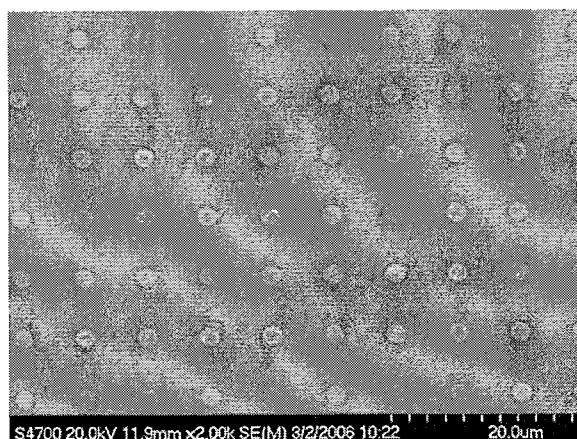


图 4.14 电子束曝光形成的阵列

图 4.14 就是用电子束曝光后形成的阵列结构，曝光尺寸是 $1\mu\text{m}$ 。但是由于对 SiO_2

的湿法刻蚀是各向同性的，具有横向刻蚀，使原来的尺寸有所变大。所形成的阵列是 10×7 ，单元之间的距离为 $6\mu\text{m}$ 。

对 SiSb_2Te_3 化学机械抛光之后，用 EDS 分析阵列的填充效果。图 4.15 是对填充的相变存储器的阵列单元进行 EDS 分析。(a) 是化学机械抛光之后的单元器件 SEM 图片。(b) 和 (c) 分别是对结构内外进行的能谱 EDS 分析。在图 (b) 中，由于硅衬底的存在，结构内被填进了的 SiSb_2Te_3 材料无法用 EDS 确定其成分比例，但是我们可以确定该材料还是被嵌入该单元内；从图 (c) 中，结构外的 SiSb_2Te_3 被充分的去除，剩下的是 SiO_2 材料。

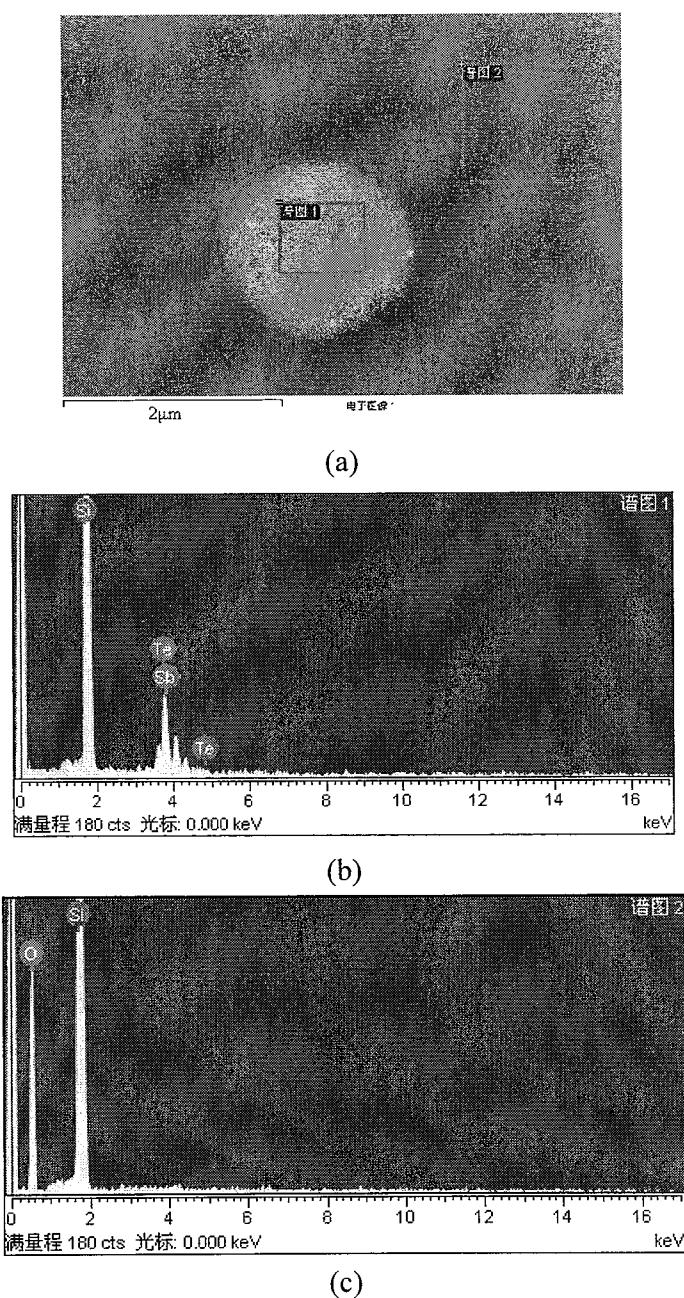


图 4.15 对单元结构的能谱分析

4.4.3 用电子束曝光在 Si_3N_4 上制作阵列

通过在氧化硅上的研究结果，用化学机械抛光的方法可以使 SiSb_2Te_3 很好填充到单元器件中。在本节中，我们将制作带底电极结构的相变存储器阵列，并用电子束曝光的方法制作纳米阵列结构，测试其电学性能。

所用的工艺步骤如下：

(1) 用磁控溅射方法在氧化硅片上分别沉积 30nmTiN，100nmW，10nmTi 薄膜，TiN 和 Ti 的加入是为了增加界面的黏附性，如图 4.16(b)所示；

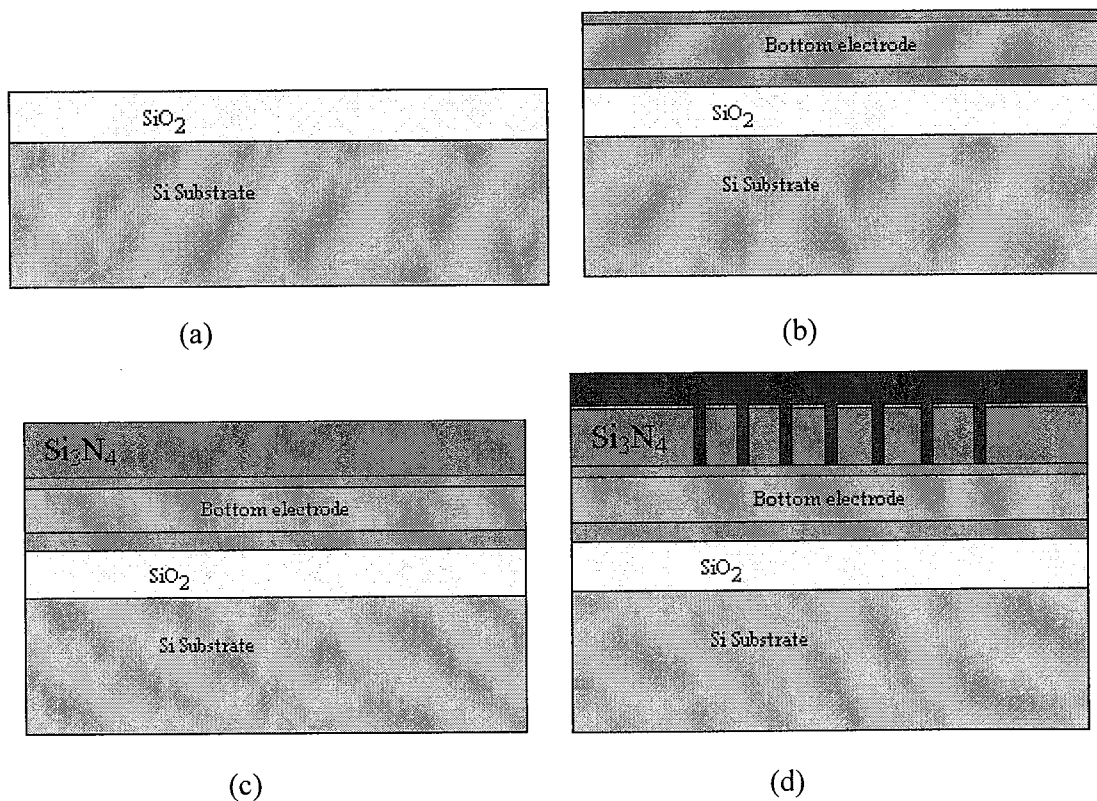
(2) 用 PECVD 方法在底电极上沉积 Si_3N_4 薄膜，其厚度为 400nm；由于设备条件的限制，用 Si_3N_4 薄膜来作为相变存储器的绝缘介质；如图 4.16(c)所示；

(3) 在 Si_3N_4 薄膜上涂 PMMA 胶，进行电子束曝光，显影形成阵列图形。用湿法刻蚀 Si_3N_4 ，得到阵列结构；

(4) 用磁控溅射方法在阵列结构上沉积 30nm 的 Ti 和 500nm 的 SiSb_2Te_3 薄膜，如图 4.16(d)所示；

(5) 用化学机械抛光去除填充结构之外的 SiSb_2Te_3 薄膜，形成镶嵌结构，如图 4.16(e)所示；

(6) 涂胶光刻，沉积 W，用剥离工艺形成顶电极，顶电极全部盖上阵列结构。测试性能，如图 4.16(f)所示。



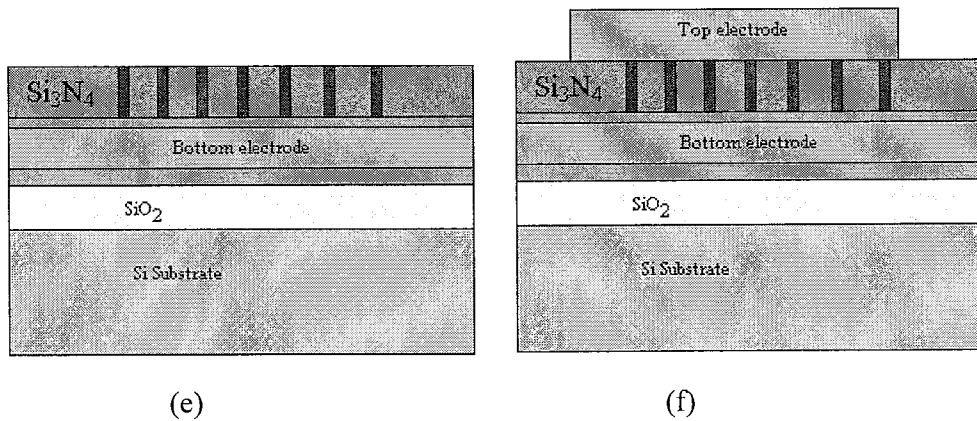


图 4.16 用电子束曝光和 CMP 方法制作有底电极阵列过程

由于 Si_3N_4 是用 PECVD 方法生长的，该薄膜都含有一定量的 H 元素，使湿法刻蚀变得容易。湿法刻蚀的溶液是 $\text{HF}+\text{NH}_4\text{F}+\text{H}_2\text{O}$ ，其比例是 3:6:9，对 Si 有很高的选择性。由于 PMMA 比较薄，而生长的 Si_3N_4 比较厚，用干法刻蚀有一些困难，所以选择了湿法刻蚀。用电子束曝光的图形是 500nm，但是由于湿法刻蚀的侧向刻蚀，得到了 700nm 孔径的单元。图 4.17 为湿法刻蚀之后形成的阵列结构。

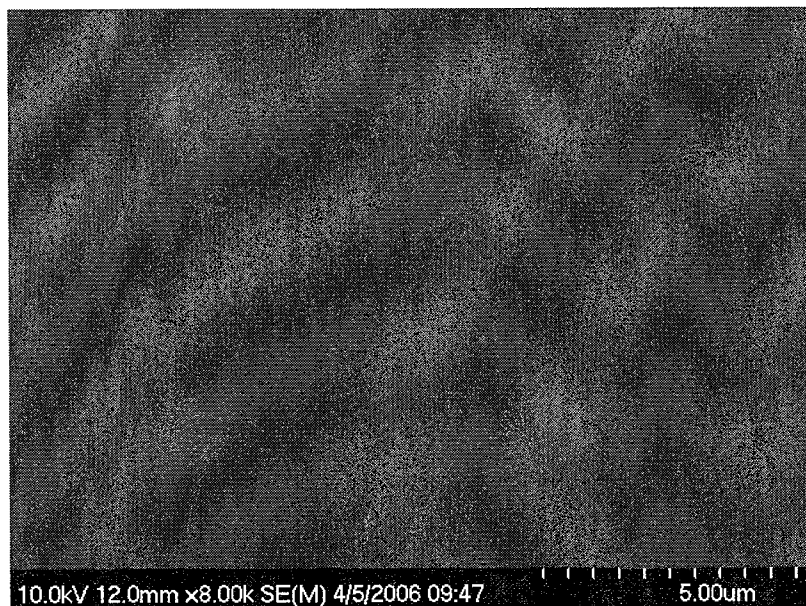


图 4.17 湿法刻蚀之后的单元阵列

在刻蚀之后的阵列上分别沉积 30nm 的 Ti 和 500nm 的 SiSb_2Te_3 材料，Ti 是用来作缓冲层，增加 SiSb_2Te_3 的黏附性，再用化学机械抛光的方法去除单元结构以外的 SiSb_2Te_3 材料。图 4.18 就是抛光过程中摩擦系数随时间的变化，其抛光曲线与 4.4.1 节中抛光曲线类似。但是由于是 Si_3N_4 ，其摩擦系数有所不同。完成对 SiSb_2Te_3 的抛光用了 100s 时间。

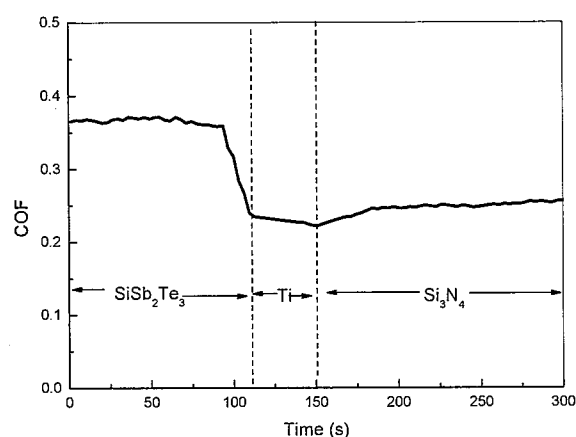


图 4.18 抛光过程摩擦系数随时间的变化

图4.19为对CMP之后的表面进行原子力显微镜（AFM）图。该AFM是美国的Quesant Instrument Corporation公司的Q-ScopeTM250型号的原力显微镜,我们用它来观察抛光后的硅片表面。该仪器的最大扫描范围为 $13\times 13\mu\text{m}$,精度Z 轴分辨率为0.04nm。样品在化学机械抛光之后,表面非常平整,从AFM图片上看出,平均高度为3.922nm,粗糙度只有5.689Å。

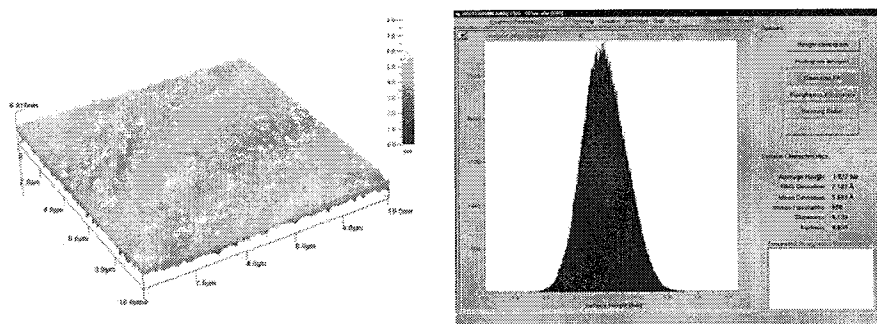
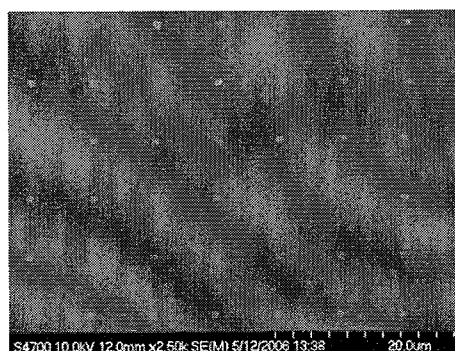
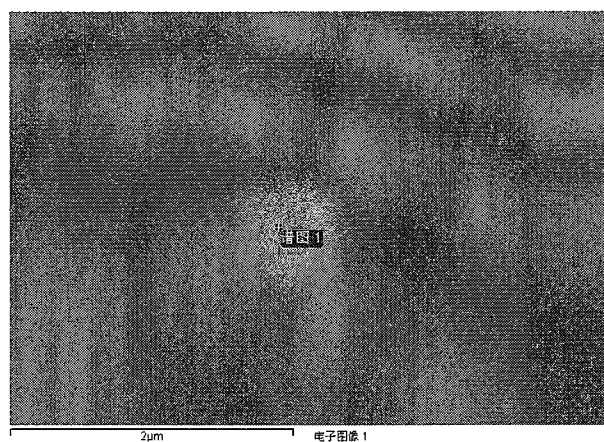


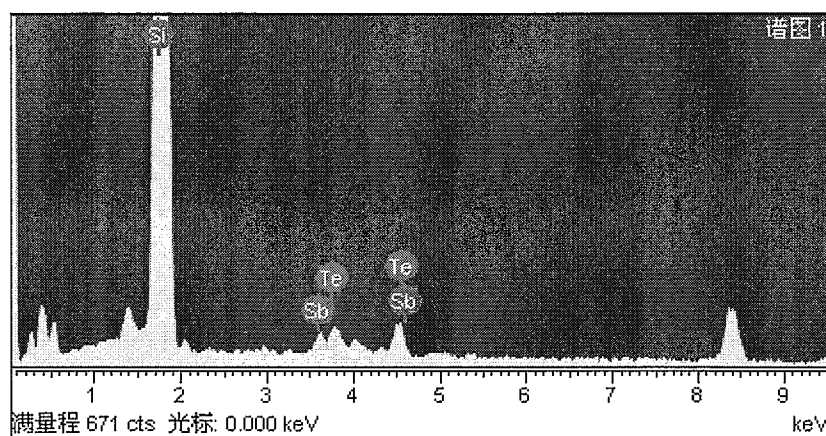
图 4.19 抛光后样品的 AFM 图

图 4.20 是化学机械抛光之后阵列的 SEM 图片。从图 4.20 上可以看出,该阵列 为 6×7 阵列,单元大小大约为 700nm。同时对单元的填充状况进行了 EDS 分析, 分析结果如图 4.12(a)和(b)所示。从 4.12(b)中可以得到, SiSb_2Te_3 完全填入单元器件中。

图 4.20 SiSb_2Te_3 被 CMP 之后的阵列



(a)



(b)

图 4.21 (a)单元器件的 SEM 图和器件内的 EDS 图谱

在化学机械抛光之后的阵列上，填上顶电极，然后用 Keithley 2400 数字源表和脉冲发生器来测试阵列结构单元的电学性能。

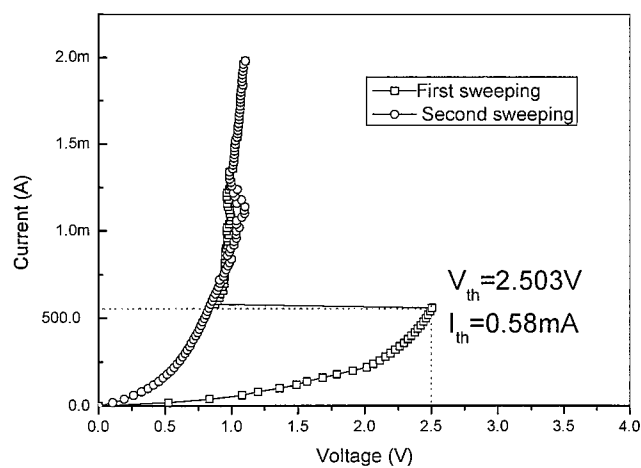


图 4.22 V-I 扫描特性

图 4.22 是直流扫描的 V-I 扫描曲线。电流的扫描从 0A 开始,扫描步长是 0.01mA,

到 2mA 时结束。从第一次扫描曲线中可以看出, 首先随着电流增加, 电压增加很快, 由于初始状态是非晶态, 电阻很大。当电流为 0.58mA 时, 电压急速变为 0.875V, 这是材料发生了相变, 电阻急剧减小。所以从图 4.22 中也可以获知, 其阈值电流为 0.58mA。这种阈值电流大大低于大尺寸的阈值电流。对同一个样品第二次扫描, 由于第一次作用下已经变成低阻态, 此次扫描已经是多晶态, 扫描结果是低阻。如果要使其状态反转, 必须要加高而窄的脉冲。

图 4.23 所示的是在 50ns 的脉宽条件下, 电流脉冲高度扫描。首先器件是低阻状态, 电流脉冲从 0mA 开始扫描, 扫描步长是 0.01mA, 扫描到 1.4mA 结束。当电流从 0mA 到 0.87mA 时, 一直是低阻状态, 当脉冲电流为 0.88mA 时, 其电阻从 9436 Ω 变化到 719676 Ω 。当脉冲电流为 1.07mA 时, 电阻从 778450 Ω 变化到 $4.0 \times 10^{-7} \Omega$ 。由此可以看出, SiSb₂Te₃ 呈多级存储特性。

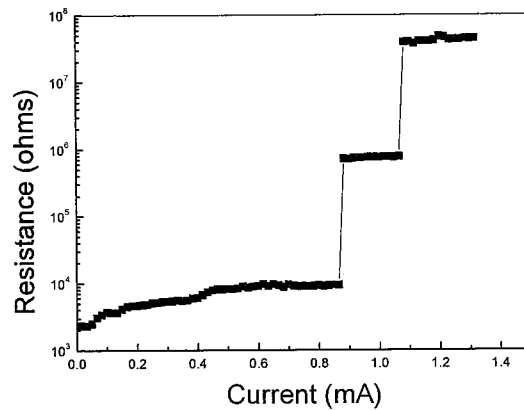


图 4.23 在 50ns 的脉宽下, 电阻随不同脉高的变化

图 4.24 是 1mA 的电流脉高下的不同脉宽扫描。脉宽扫描的从 10ns 开始, 步长为 2ns, 一直到 90ns 结束。当脉宽加到 30ns 时, 电阻开始增大, 当到 34ns 时, 电阻已经达到 $3 \times 10^5 \Omega$, 成高阻态。随着脉宽的增加到 48ns 的时候, 电阻从高阻态又降到 1500 Ω 的低阻态。

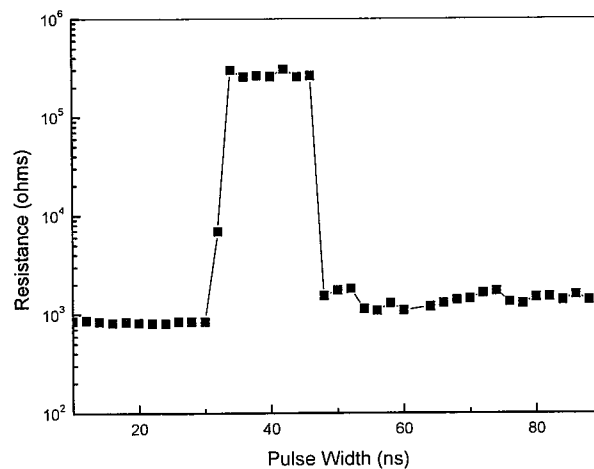


图 4.24 在 1mA 脉高下, 电阻随不同脉宽的变化

图 4.25 是抗疲劳特性测试结果。抗疲劳特性的测试是每擦写 10^6 次测试一次电阻值。对于最初状态为低阻的 SET 状态, 经历了 10^8 次循环擦写的测试, 一直很稳定, 电阻的变化也不是太大。当到了 8×10^7 时, 电阻值才有所波动, 但基本上维持在 SET 状态。对于高阻 Reset 状态, 在 6×10^7 次时, 电阻有所降低, 但是电阻值的数量级还是维持在 $10^6 \Omega$ 。抗疲劳特性测试表明, SiSb_2Te_3 具有很强的抗疲劳特性。

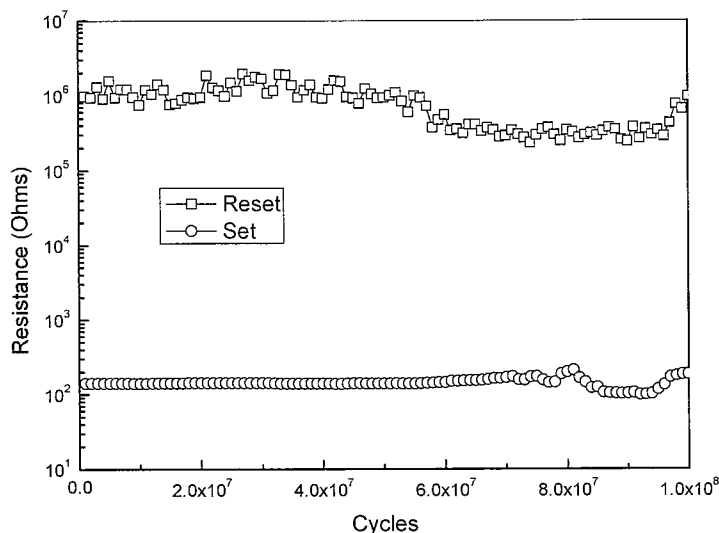


图 4.25 疲劳特性测试

4.4.4 研究在 SiSb_2Te_3 中掺 Bi 相变存储特性

在 Ge-Sb-Te 系列元素的合金材料中, 很多研究者的目光集中在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 上, 因为它有很好的抗疲劳特性和结晶速率。然而在数据存储介质的研究上希望存储密度更高, 数据传输速率更快。近年来, 与 Sb 元素在同一主族的 Bi, 具有相似的化学性质, 但是原子半径比 Sb 大, 被认为可以提高结晶速率。Lee 等报道^[73]说在 $\text{Ge}_4\text{Sb}_1\text{Te}_5$ 中的 Sb 被 Bi 替代后, 能够将结晶温度从 500K 降至 475K, 而结晶活化能从 4.03eV 降至 2.70eV。K.Wang 等报道^[74]说在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 中注入 Bi 形成 $\text{Ge}_2\text{Bi}_{0.3}\text{Sb}_{1.7}\text{Te}_5$, 可以将第一次结晶温度从 170℃降至 136℃, 第二次结晶温度从 400℃降至 236℃。从 4.4.3 中我们可以得出在 Sb_2Te_3 中掺 Si 形成的 SiSb_2Te_3 合金材料, 有较低的电流编程特性, 而且具有很好的可靠性。如果在该材料中掺入 Bi, 会具有更好的结晶温度和更快的结晶速率。我们用 CMP 的方法制作不同尺寸的 SiBiSbTe 材料阵列结构, 研究其电学性质。

工艺步骤如下

(1) 用磁控溅射方法在氧化硅片上分别沉积 30nmTiN, 100nmW, 10nmTi 薄膜, TiN 和 Ti 的加入是为了增加界面的黏附性。

(2) 然后用 PECVD 沉积 Si_3N_4 薄膜, 其厚度为 400nm; 由于设备条件的限制, 用 Si_3N_4 薄膜来作为相变存储器的绝缘介质。

(3) 对 Si_3N_4 薄膜进行光刻和干法刻蚀, 形成不同尺寸大小的阵列结构;

- (4) 用磁控溅射沉积 30nmTi 和 500nmSiBiSb₂Te₃ 薄膜;
- (5) 用化学机械抛光去除填充结构之外的 SiBiSb₂Te₃ 薄膜;
- (6) 涂胶光刻, 沉积 W, 用剥离工艺形成顶电极。测试性能。

在工艺步骤(3)中, 光刻的阵列单元尺寸分别是 3 μ m, 6 μ m, 8 μ m, 12 μ m, 15 μ m, 研究在不同尺寸下的电学性能。

图 4.26 是化学机械抛光 SiBiSb₂Te₃ 过程中的摩擦系数变化曲线。从抛光开始到 128s 时, 摩擦系数从 0.335 下降到 0.195, 表明 SiBiSb₂Te₃ 去除完毕; 到时间到达 175s 时, 摩擦系数又上升到 0.232 时, 表明 Ti 去除完毕; 最后对 Si₃N₄ 过抛一点, 抛光时间停止在 300s。

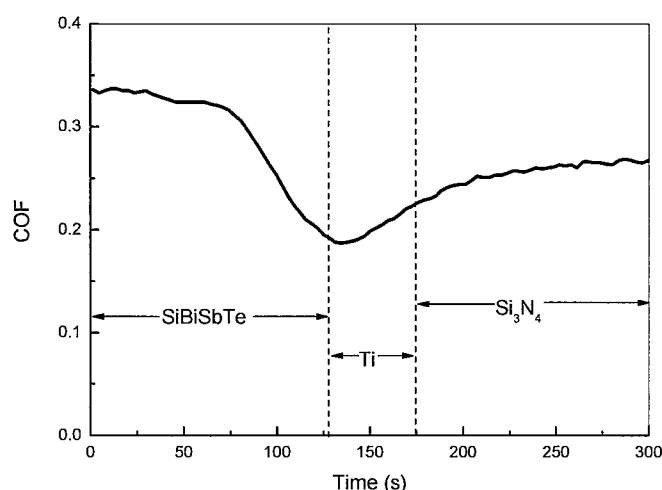
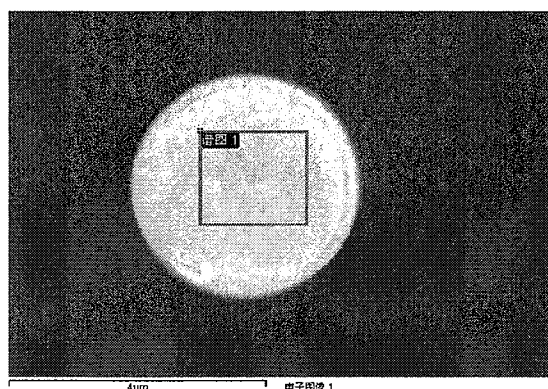
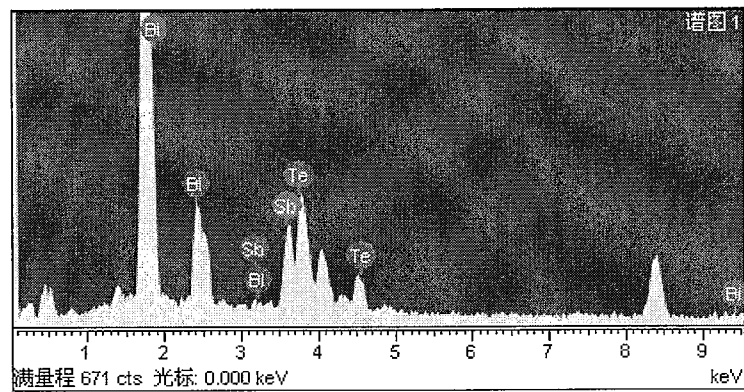


图 4.26 对 SiBiSb₂Te₃ 的 CMP 过程中摩擦系数变化曲线

图 4.27 是对 3 μ m 的单元结构进行能谱分析分析。4.27(a)是对单元器件的分析的 SEM 图, 4.27(b)是单元中心的能谱图。从图上我们可以看出, SiBiSb₂Te₃ 材料仍然很好地填充在单元中。



(a)



(b)

图 4.27 (a)单元的 SEM 图和对单元结构 EDS 分析

在对相变材料抛光后的阵列上，我们用套刻的方法对每个单元电极都沉积顶电极，可以测试每个单元的电学性能，顶电极阵列如图 4.28 所示。

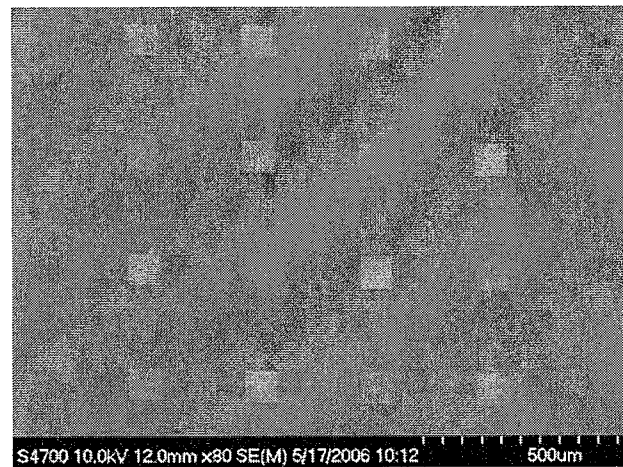


图 4.28 已形成顶电极的阵列

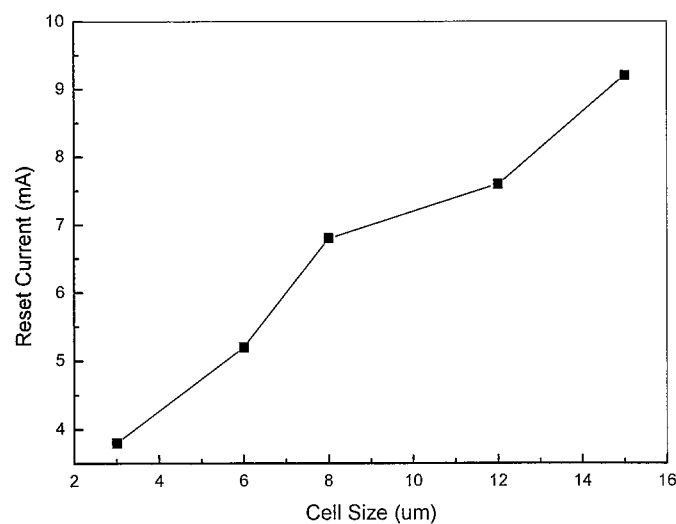


图 4.29 不同尺寸下 Reset 电流比较

图 4.29 示出了不同尺寸的单元阵列发生 Reset 可逆相变的电流的比较。测试所用脉冲的脉宽为 50ns，在此脉冲的作用下，各个单元都观察到可逆相变的发生。这是因为 $\text{SiBiSb}_2\text{Te}_3$ 具有较的低编程电流，使可逆相变容易发生。随着单元尺寸的增加，Reset 的电流也就越大。然而， $\text{SiBiSb}_2\text{Te}_3$ 材料跟 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相比较来说，已经具备很大的优越性，因为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 在此尺寸下是不能观察到可逆相变的。如果条件允许，器件阵列尺寸制作成纳米量级，对于 $\text{SiBiSb}_2\text{Te}_3$ 材料来说，可以使编程电流更小，功耗也更低。

4.5 本章小结

本章用化学机械抛光的方法制作了各种镶嵌结构的器件阵列，得到以下的几个结论：

1、采用电化学实验指导配制的抛光液 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 对 SiO_2 抛光速率选择比可达 6:1。在氧化片制作相变存储器阵列，发现 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 并未因为化学机械抛光作用而产生偏析的现象，而且被很好地填入到器件的单元中。在有底电极的存储单元阵列结构中，得到存储单元的电学特性均匀性良好。

2、在相同条件下， SiSb_2Te_3 对 SiO_2 的抛光选择比约为 9:1，这比 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 对 SiO_2 的选择比更高。用电子束曝光的方法制作小尺寸阵列，相变材料很好地被填充到器件中。在带底电极的结构中，可以观察到可逆相变现象发生。同时对 SiSb_2Te_3 掺入 Bi 元素进行了研究，发现 Bi 元素的掺入可以降低结晶温度，降低功耗，在大尺寸的情况下也观察到可逆相变的发生。

第五章 Ge₂Sb₂Te₅ 的湿法刻蚀研究

5.1 引言

前面第三章和第四章我们都是研究用化学机械抛光的方法来实现相变存储器的阵列结构。实际上湿法刻蚀工艺同样是研究人员希望能够实现相变存储器的制作工艺,这是因为湿法刻蚀有两方面的优点:一方面湿法刻蚀是低成本的工艺,操作方便,不需要昂贵的设备,对于相变存储器的性能研究是可行的;另一方面,湿法刻蚀与 CMOS 工艺相兼容,能够大规模制作出阵列结构,生产效率高。

在集成电路器件制造过程中,光刻图形化工艺不可避免地使用到刻蚀工艺。所有的涉及在固体液体界面反应的微图形刻蚀方法叫做湿法刻蚀。湿法刻蚀工艺在微加工工艺之前应用在印刷电路板的制造工艺中,如今这种工艺在微加工工艺中扮演了非常重要的角色。湿法刻蚀一般是以光刻胶为掩模来刻蚀材料。当固体材料溶解到液体溶液中,化学组分就要克服固体中的化学键,进入溶液形成可溶的化合物。固体的微观粒子之间的作用力在固液表面上变成了固体微粒与液体微粒之间的作用力。

为了在低压、低功耗下实现快速相变,提高存储速度,体现出比现存存储技术更大的优越性,对相变薄膜材料制备相变存储单元,作成二维或三维的纳米尺度,与电极构成纳米存储单元显得尤为重要。当今半导体的工艺技术为 0.09, 0.13 和 0.18 μm 。现采用光学曝光和刻蚀的技术,制备纳电子器件难度较大,成本较高。目前,采用间隙壁(spacer)图形工艺虽可以制备出二维或三维的纳米尺度的器件,但从二维到三维需经过较复杂的制备工艺。如果采用电子束曝光,通过离子束刻蚀,也可以实现二维或三维的纳米结构。但针对不同的材料,光刻胶的选择及厚度的选择需大量的实验才能实现,加工出的纳米结构的误差控制在合理的范围内也是比较困难的。能否通过简单的工艺制备相变存储器单元器件,再通过组装工艺实现纳电子器件,为研究纳米尺度的相变存储器单元器件结构与电学和光学性能提供材料,湿法刻蚀工艺也是有望探索出一条低成本实现纳电子器件的制备途径。

5.2 湿法刻蚀的实验方案和实验设备

1、实验方案

首先在硅片上滴胶,沉积 30nm 的 Ti 作为缓冲层,接着沉积 Ge₂Sb₂Te₅ 薄膜。然后在丙酮里去胶,形成台阶。用台阶仪测试台阶的厚度,用配制的刻蚀液进行刻蚀,同时计时。在一定的时间内,停止刻蚀,用去离子水清洗。用台阶仪再次测量台阶,确定去除量,计算刻蚀速率。

2、实验设备

台阶仪:用来测试台阶的变化,确定刻蚀速率。它利用探针在微结构表面接触扫描,获得微结构表面的台阶形貌。可精确测量台阶的高度、宽度和表面应力等指标。

电子测量显微镜:放大倍数可达 100 倍。在这里用于观察刻蚀表面的变化和刻蚀

效果。

电子秒表：测量刻蚀时间

3、主要试剂

硝酸，硫酸，盐酸，磷酸，酒石酸，柠檬酸，双氧水， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜。

5.3 用湿法刻蚀的方法制作相变存储器阵列

湿法刻蚀用于制作相变存储器的阵列。由于刻蚀液是强酸强氧化性溶液，光刻胶不能用来作为掩模，必须使用对这种刻蚀液具有抗蚀性的材料。我们这里选择金属 Pt，既作为湿法刻蚀的掩模，又作为顶电极。

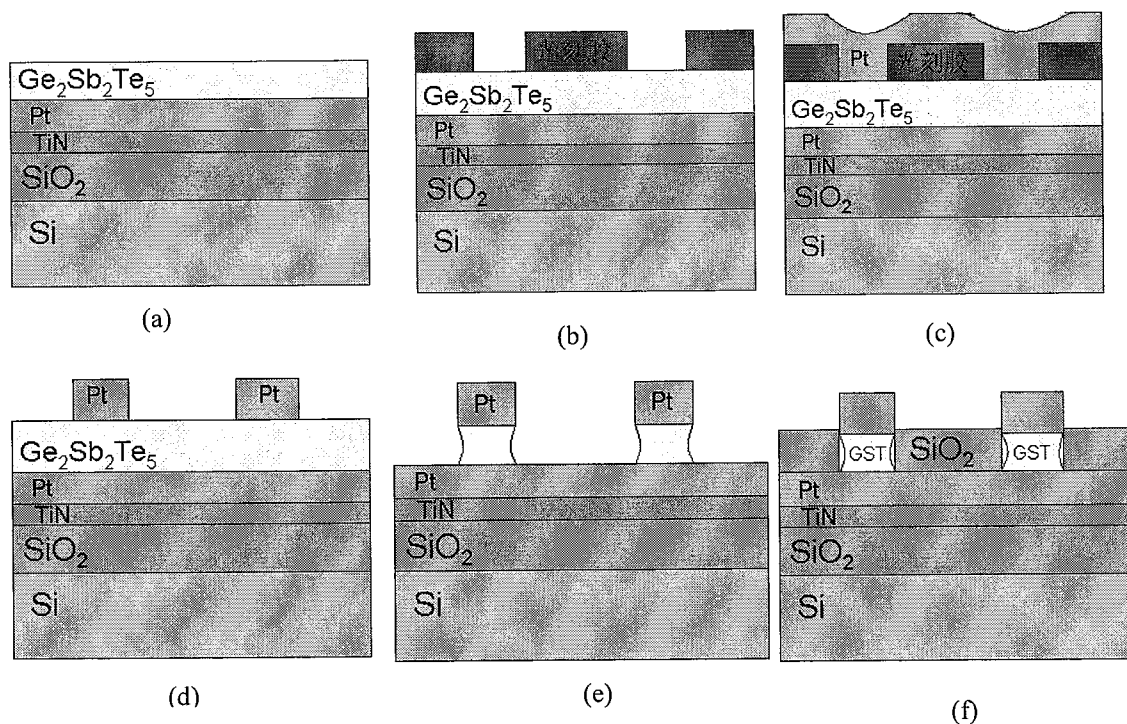


图 5.1 湿法刻蚀的工艺流程

其工艺过程如下：

(1) 将氧化硅片清洗干净，在清洁的氧化硅片上沉积 30nm 的黏附性好的金属薄膜 Ti，然后再沉积 100nm 的抗腐蚀的金属薄膜 Pt，再沉积 200nm 的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，如图 5.1(a)；

(2) 在相变薄膜材料上涂上光刻胶，然后光刻、坚膜、显影，形成阵列图形，如图 5.1(b)；

(3) 沉积 200nm 抗腐蚀金属薄膜 Pt，如图 5.1(c)；

(4) 将图形浸泡在丙酮溶液中，使光刻胶溶解，用剥离工艺去除曝光之外的金属 Pt 薄膜；如图 5.1(d)；

(5) 用刻蚀液刻蚀相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，由于光刻的地方是抗腐蚀金属 Pt 薄膜，所以此处的相变材料受到保护，如图 5.1(e)；

(6) 沉积 200nm 绝热材料, 包围形成的器件结构, 如图 5.1(f)。在刻蚀过程中, 充分利用了湿法刻蚀液的正向和侧向刻蚀, 在有效地控制刻蚀速率的条件下, 形成了相变存储器的纳米结构。在微米级的加工工艺下, 实现了纳米相变存储器的单元器件。同时, 在相变材料与绝热材料之间留下不流动的空气, 加强了绝热性能。

5.4 刻蚀液的选择

首先用磁控溅射的方法在已经滴胶的氧化硅片上沉积 30nmTi, 再沉积 500nm 的 Ge₂Sb₂Te₅ 薄膜。然后去胶, 形成台阶, 用台阶仪测试台阶的厚度。由于 Ge₂Sb₂Te₅ 是三元合金材料, 其化学反应非常复杂。我们选择了一系列的溶液对 Ge₂Sb₂Te₅ 进行湿法刻蚀。所选择的酸包括 HNO₃、HCl、H₂SO₄、H₃PO₄、酒石酸、柠檬酸和王水。刻蚀时间是 2min, 完毕之后清洗样品, 用氮气吹干, 用台阶仪测试刻蚀后台阶的高度。现在将各种酸溶液对非晶 Ge₂Sb₂Te₅ 的刻蚀测试结果如表 5.1。

结果表明, HNO₃ 有明显的刻蚀速率, 能够将 Ge₂Sb₂Te₅ 薄膜刻蚀; 其余的酸的刻蚀速率不明显, 都不能将 GST 薄膜有效地刻蚀。这是由于 HNO₃ 和王水中具有较强的氧化性, 首先将 Ge₂Sb₂Te₅ 薄膜氧化, 然后将氧化物用酸溶解溶解, 形成可溶的盐。这一系列实验表面, 如果要对 Ge₂Sb₂Te₅ 薄膜进行有效刻蚀, 刻蚀液中需要一定的强氧化剂。

表 5.1 不同的酸溶液对 Ge₂Sb₂Te₅ 刻蚀测试结果

	HCl	HNO ₃	H ₂ SO ₄	H ₃ PO ₄	酒石酸	柠檬酸
刻蚀前台阶 (nm)	498.3	498.6	501.5	499.8	500.2	502.4
刻蚀后台阶 (nm)	492.6	121.5	487.4	494.6	483.5	485.1
刻蚀速度 (nm/s)	0.048	3.142	0.118	0.043	0.139	0.144
能否刻蚀?	不能	能	不能	不能	不能	不能

根据上述实验, 将那些不能刻蚀 Ge₂Sb₂Te₅ 薄膜的酸中加入 10%H₂O₂。用这些刻蚀液, 刻蚀的效果如表 5.2 列出。

表 5.2 不同的酸溶液加入 H₂O₂ 对 Ge₂Sb₂Te₅ 刻蚀测试结果

	HCl+ H ₂ O ₂	H ₃ PO ₄ + H ₂ O ₂	H ₃ PO ₄ +HCl+ H ₂ O ₂	酒石酸+ H ₂ O ₂	柠檬酸+ H ₂ O ₂
刻蚀前 (nm)	499.6	497.8	501.4	498.3	502.6
刻蚀后 (nm)	264.2	439.5	283.8	426.5	414.1
刻蚀速率(nm/s)	2.112	0.485	1.813	0.598	0.735
刻蚀效果	好	速率慢	好	速率慢	速率慢

从上表中, 我们可以看出, 由于有 H₂O₂ 的加入, 加快了刻蚀液对 GST 薄膜的刻蚀速率。从表中看出, HCl+H₂O₂ 和 H₃PO₄+HCl+H₂O₂ 组合能够很好地将 Ge₂Sb₂Te₅

薄膜刻蚀。这是由于 Cl 的配位作用，将这些原子形成配合物而溶于水。 H_3PO_4 ，酒石酸和柠檬酸与 H_2O_2 的组合未能将 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜很好地刻蚀，刻蚀速率较慢。这是由于它们与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 反应产生沉淀而阻止了刻蚀反应进一步进行。

因此在我们的刻蚀工艺中，我们选择 $\text{HCl}+\text{H}_2\text{O}_2$ 组合作为刻蚀液对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 进行湿法刻蚀。

5.5、实验结果与分析

用刻蚀液来刻蚀 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，由于 Pt 电极的存在，刻蚀使 Pt 下面以外的 GST 薄膜去除，这样就形成器件结构。图 5.2 所示的就是阵列的 SEM 图片。

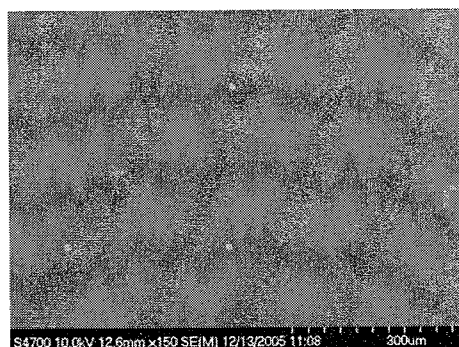
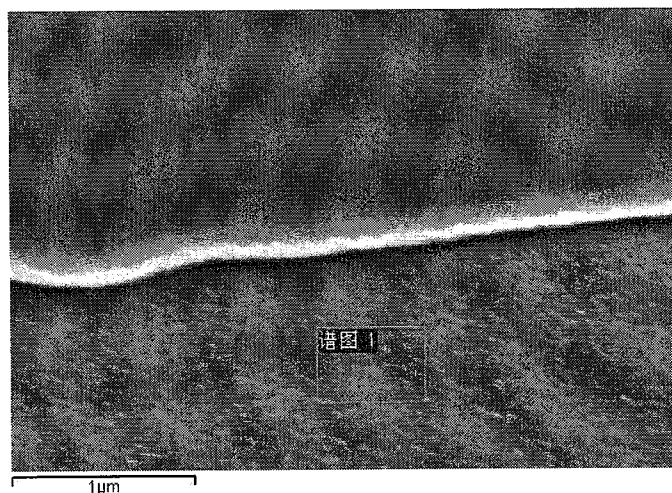
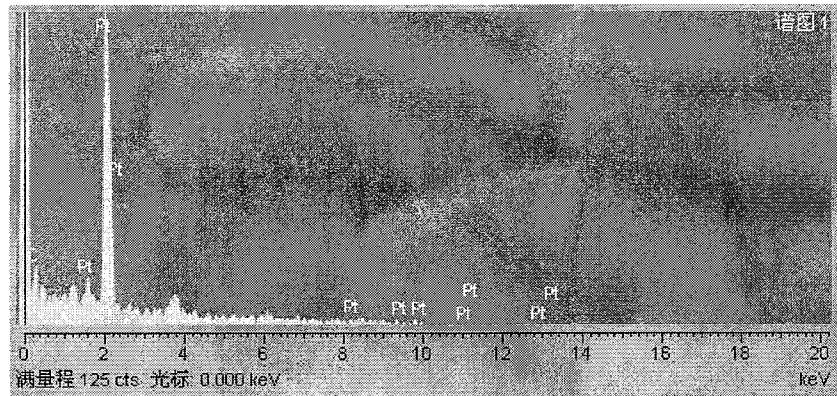


图 5.2 阵列 SEM 图片

我们对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的刻蚀效果 EDS 能谱进行了分析。从能谱上来看，谱图是顶电极之外的部分。从能谱上看来，只有底电极 Pt 元素的图像，未看到 Ge-Sb-Te 元素。这表明， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料被完全刻蚀液刻蚀。



(a)



(b)

图 5.3 单元器件的能谱分析

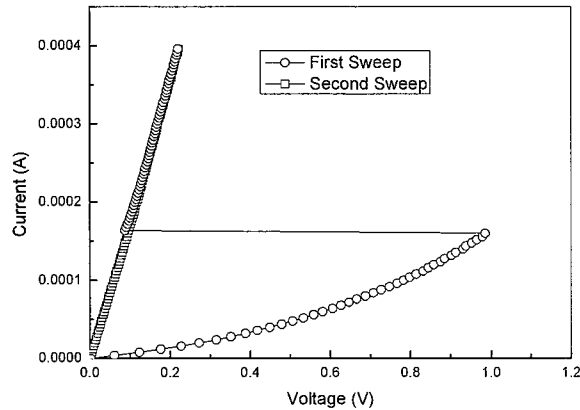


图 5.4 电流扫描特性曲线

对阵列单元测试其电学特性，扫描曲线如图 5.4 所示。将一个存储单元器件进行 I-V 扫描，第一次扫描观察到相变现象。发生相变的阈值电流为 0.18mA，阈值电压为 0.98V。第一次扫描之后，第二次扫描的 I-V 曲线是直线，说明第一次扫描已经让该单元发生了相变。

图 5.5 为加脉冲前后的 I-V 扫描特性曲线。样品经过第一次扫描后，观察到相变特性曲线；第二次扫描的 I-V 曲线是直线，说明电阻没有变化。接着给样品加入 5mA 脉高，50ns 脉宽的脉冲，之后再次测试 I-V 曲线。扫描结果表明，又观察到相变特性曲线，再次扫描，电阻无变化。从测试中表明，湿法刻蚀出阵列的样品通过湿法刻蚀工艺，能够实现可逆相变。

图 5.6 所示的是 Reset 过程的实现。现在将低阻状态的单元用 50ns 的脉冲扫描，脉高在不断地增加。首先一直保持在低阻状态，当脉高达到 4mA 时，电阻发生了转变，状态由低阻写到高阻。对于相变材料来说，从高阻写到低阻 Set 过程是比较容易实现的；从低阻写到高阻的 Reset 过程，需要脉冲电流和较小的几何尺寸才有可能实现。此实验表明，用湿法刻蚀工艺所形成的存储单元能够实现 Reset 过程。

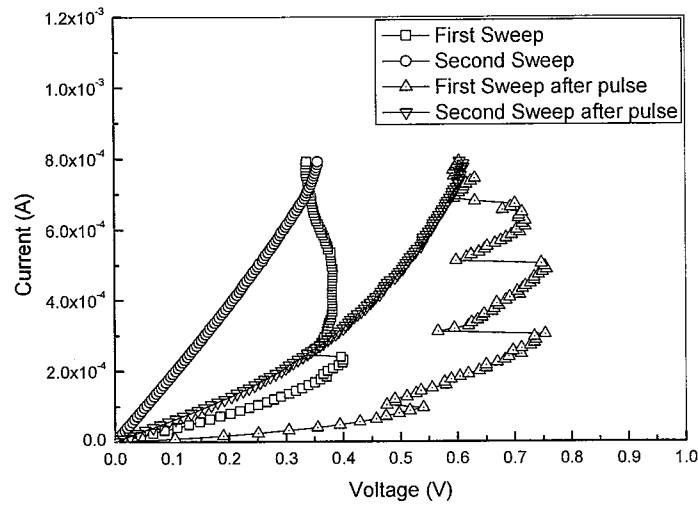


图 5.5 存储单元加脉冲前后电流特性曲线

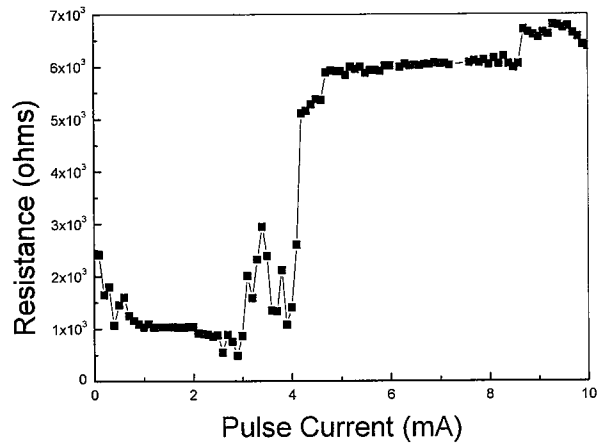


图 5.6 Reset 过程的实现

为什么湿法刻蚀可以实现可逆相变呢？由于实验条件的限制，制作纳米结构也是比较困难的。但是湿法刻蚀有横向刻蚀的，它除了使刻蚀向下进行以外，还有横向刻蚀的发生，使有效的单元尺寸减小，这样也就减小了发生相变的区域，发生可逆相变所需要的能量也变小，使可逆容易发生，结构如图 5.1(f)所示。

5.6 本章小结

本章主要是从湿法刻蚀的角度来探讨制作相变存储器的可能性，得到结论如下。

- 1、系统地研究了各种刻蚀液对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的刻蚀速率，并优选出 $\text{HCl}+\text{H}_2\text{O}_2$ 混合刻蚀溶液。
- 2、用湿法刻蚀方法制作出 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变存储器阵列，在大尺寸下观察到可逆相变的发生。

第六章、多仪器电学测试系统的建立

6.1、电学测试系统简介

我们通过对相变存储器的器件结构进行了模拟,同时通过化学机械抛光工艺和湿法刻蚀工艺制作了相变存储器的阵列结构。这些阵列结构中的器件特性包括电学特性和温度特性需要仪器来进行测试和表征,因此我们建立了多仪器电学测试系统。

要考察材料和器件的电学性能,仅仅从一个方面了解其特性是不够的。多台仪器测试可以更多地了解材料和器件的特性^[75-76]。如果仪器之间能够协同测试,不仅测试效率高,而且可以观察到更多的规律。本论文中的多仪器电学测试系统就是基于这个目的建立起来的。

电学测试系统由测试探针台,测试信号转换开关,测试仪器,控制卡和计算机组成。测试探针台有两种,一种是常温的探针台,另一种是测变温试探针台。变温测试探针台主要是由温度控制器控制温度的变化。转换开关是由计算机通过串口或者 GPIB 自动控制各个开关状态,选择连接探针台和测试仪器的测试通路。测试仪器由多种仪器组成,如 Keithley 2400 数字源表、Agilent 4284A、4155 和脉冲发生器等,当然还可以随时添加测试仪器。全部仪器,测试通路以及温度全部由计算机控制。图 6.1 就是测试系统的示意图。

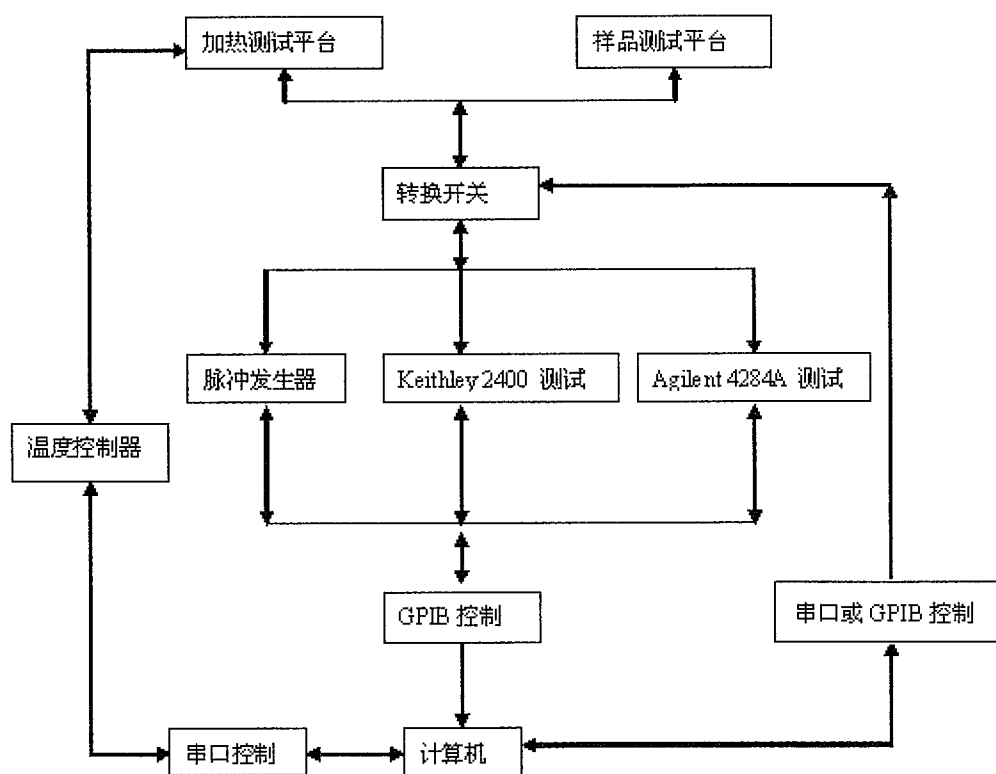


图 6.1 多仪器测试系统的示意图

6.2 用于控制测试线路的转换开关

为了能够使各个仪器协同作业测试样品的电学性能，提高测试效率，我们自制了测试控制转化开关盒。测试转化开关用来控制仪器测试线路，可以灵活应用仪器来测试样品的电学性能。

转化开关盒是由一组可以控制的开关组成。跟所有的测试仪器相连，同时又跟两台探针台相连，转化开关的开关状态全部由计算机控制。图 6.2 表示了控制开关中的指令流向。计算机通过串口发出指令，通过单片机翻译指令，再通过地址译码器确定要控制开关的地址，通过地址确定某个开关的状态。由于测试仪器都是有源的，为了减小干扰因素，开关必须选择无源的开关，在此我们选择了无源继电器。

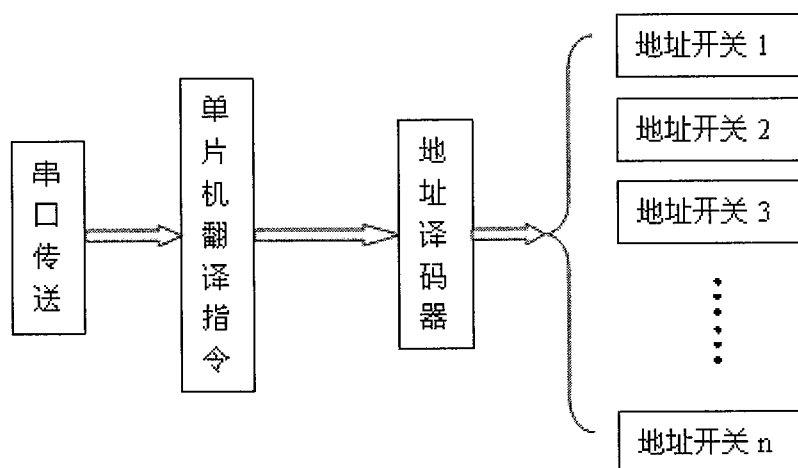


图 6.2 控制开关的指令流

在测试之初，在转化盒中的开关全部处于关闭状态。当确定用某个样品测试台和某个测试仪器的時候，就把跟该样品测试台和仪器相连的开关控制为连通状态。等测试完毕时，关闭该控制开关。

6.3、以 Agilent 4284A 为中心的测试系统

6.3.1 Agilent 4284A 的测试原理

Agilent 4284A 是一个通用的 LCR 测试仪。它用来测试或估价电子元器件、电子材料等在不同频率下的电性能。它的测试频率范围为 20Hz~1MHz，测试信号电平范围为 5mV~2V，电流范围为 50 μ A~20mA。如果配置了 Option 001，提供测试信号电平范围为 5mV~20V，电流范围为 50 μ A~100mA。所测定电容 (C) 和损耗 (D) 的基本测试精度为： $\pm 0.05\%$ (C)， ± 0.0005 (D)。此外，Agilent 4284A 还可以根据元件的参数分选元件，这在工业生产线上比较常用。

测试的电性能参数有基本参数和辅助参数两种。主参数有： $|Z|$ 、 $|Y|$ 、L、C、R、G 等；辅助参数有 D、Q、 R_p 、 R_s 、X、B、 θ 等。电参数是成对测试的（一个主参数，一个辅助参数）。根据元件的等效电路模型的不同，测试的参数也不一样。4284A

提供了两种元件的等效电路模型：串联型和并联型。

下面以电容 C 的测试为例，来说明两种物理模型的选择。电容的等效电路如图 6.3。如果 C 值较小，则由电容产生的电抗就较大，这就意味着并联电阻 (R_p) 比串联电阻 (R_s) 有着更重要的作用。与大的容抗相比，小的串联电阻可以忽略，于是应该选择选择并联等效模型 (C_p -D 或 C_p -G)。相反，如果 C 值较大，则电容产生的电抗就较小，串联电阻 (R_s) 比并联电阻 (R_p) 起着更重要的作用，这时就应该选择串联等效模型 (C_s -D 或 C_s -G)。

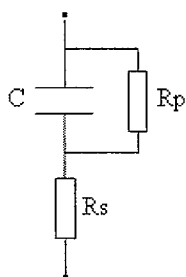


图 6.3 电容等效电路模型

通常，在测试过程中，信号之间的干扰、不确定的残余因素对测试结果有着严重的影响，在高频测试下这种影响更加明显。4284A 采用四端测试结构来提高测试的稳定性和精确性。图 6.6 图示了这种测试结构的测试原理。

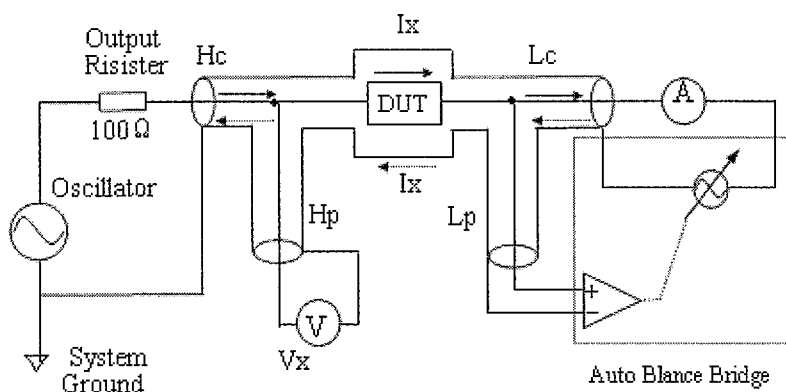


图 6.4 4284 四端测试结构

这种四端结构，在高阻和低阻测试中都有它的优点。由于外部的屏蔽层也作为信号的回路，电流信号既流过同轴线内导体又流过外部屏蔽层，但在方向上是相反的，这样内外导体产生的电场互相抵消，不会产生附加电场。正因为测试信号电流信号没有引来互感电场，测试端之间就不会带来额外的误差。

6.3.2 测试端与样品连接的基本要求

为了有效的利用四端结构测试技术来完成精确的测试,在测试端与样品之间的连接应该做到以下几个方面:

- 1) 测试信号从 Agilent4284A 到样品之间的路径应该尽量短。
- 2) 为了建立起一个四端测试结构的电路, H_{CUR} 、 H_{POT} 、 L_{POT} 、 L_{CUR} 端的屏蔽层必须互相连接在一起,而且应尽量使其连接点靠近与样品的连接点。
- 3) 应该使屏蔽层的终端尽量靠近样品。

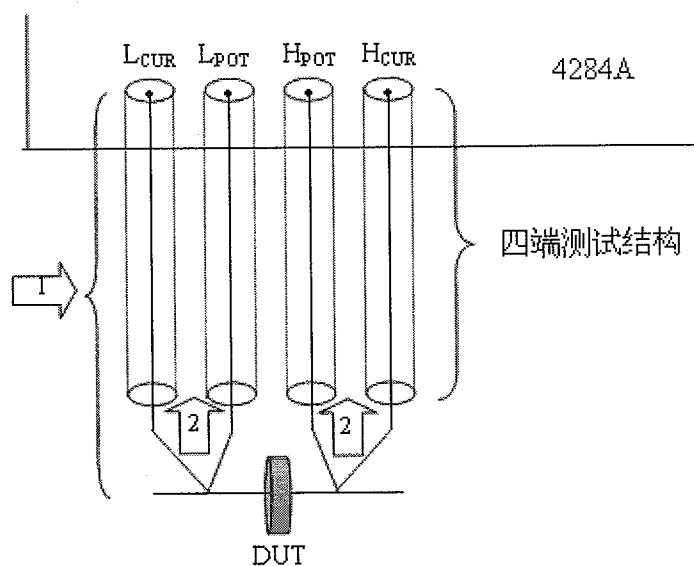


图 6.5 测试端和样品的连接简图

6.3.3 仪器校正

以上从测试原理和硬件结构上分析了消除杂散参量的方法。实际上,不管测试原理多么先进,测试结构多么合理,彻底消除杂散参量也是不可能的。Agilent4284A 提供了 Cable Length correction 和 OPEN、SHORT、LOAD corrections。这些校正用来消除测试端和测试夹具带来的附加误差。

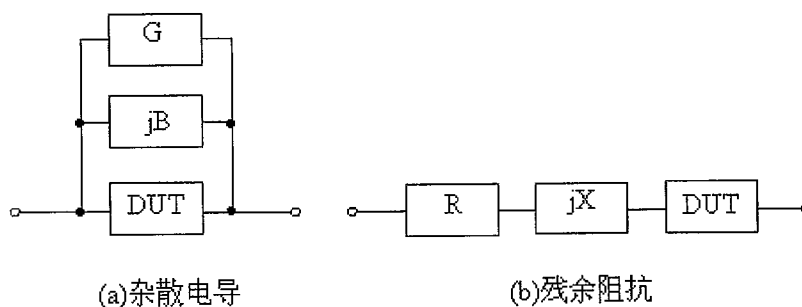


图 6.6 4284 校正示意图

如图 6.6 以 open、short 校正为例，来说明校正的原理。开路校正是为了除掉与测试样品并联的杂散电导(G,B)，短路校正是为了除掉与样品串联的残留阻抗(R,X)，

6.3.4 仪器的测试程序

1、频率扫描程序

Agilent4284A 的频率扫描范围为 20Hz~1MHz，为了使频率精确，其频率点是离散固定的，总共有 8610 个频率测试点。当输入的频率值不是仪器固有频率时，仪器自动地就近选择频率值。图 6.7 示出了扫描频率测试电学参数的程序流程图

程序命令如下

初始参数命令：

Write@trig:sour bus

Write@abort;:init

Write@corr:leng 1m

Write@aper med

Write@trig:del 100ms

Write@volt 输入值

Write@func:imp 输入值

Write@bias:volt 输入值

Write@form ascii

Write@init:cont off

Write@obor

启动频率循环

读取频率

Write@sense:list:cle

Write@stat:oper:enab 1

Write@*sre 4

Write@*cls

Write@freq 初始输入值或者循环值

Read@freq

测试电学值

Write@init

Write@trigger:immediate

Write@fetch?

Read@data

结束频率循环

处理测试数据

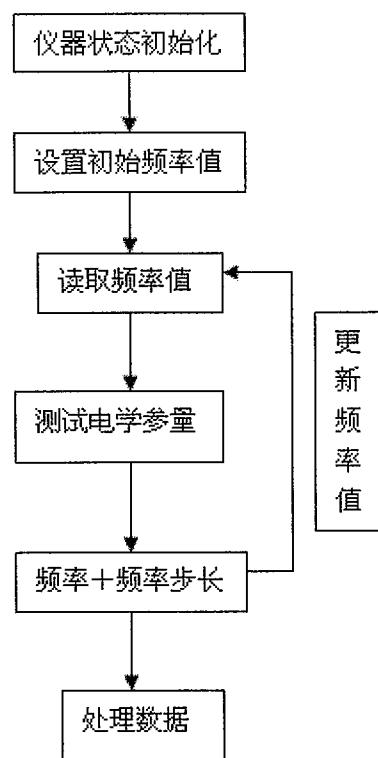


图 6.7 频率扫描测试程序流程图

2、电压扫描程序

为了测定电容，电感和电阻等电学参量与电压的特性，所以编制了扫描电压，测试电学参数的程序。该程序可以测试 C-V，L-V，Z-V 等等。图 6.8 示出了电压扫描

测试程序流程图。

程序的命令如下：

初始参数命令

Write@trig:sour bus

Write@abort::init

Write@corr:leng 1m

Write@aper med

Write@trig:del 100ms

Write@volt 输入值

Write@func:imp 输入值

Write@freq 输入值

Write@form ascii

Write@init:cont off

Write@obor

启动电压循环

测试电学值：

Write@bias:volt 初始输入值或者循环值

Write@init

Write@trigger:immediate

Write@fetch?

Read@data

结束电压循环

处理测试数据

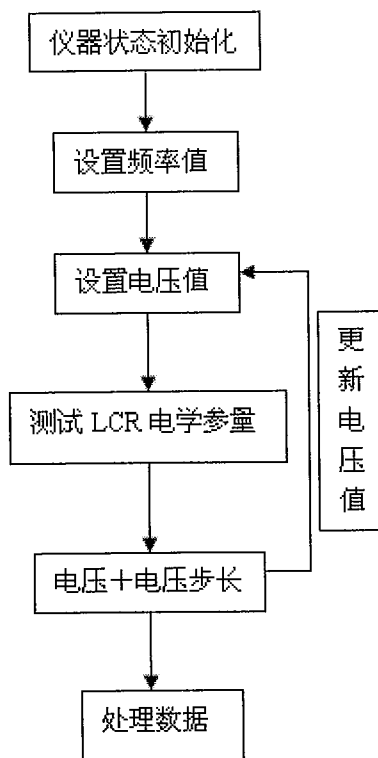


图 6.8 电压扫描测试程序流程图

3、LCR 参数的实时测试

为了测试电学参数随时间的变化关系，特地编制了实时测试电学参数程序。该程序每隔一段时间测试一次电学参数，记录测试的时间和电学参数，绘制出电学参数与时间的关系图。可以测定 C-t, L-t, Z-t 等等。

Write@trig:sour bus

Write@abort::init

Write@corr:leng 1m

Write@aper med

Write@trig:del 100ms

Write@volt 输入值

Write@func:imp 输入值

Write@freq 输入值

Write@bias:volt 输入值

Write@form ascii

Write@init:cont off

Write@obor

启动时间循环

测试电学参数值：

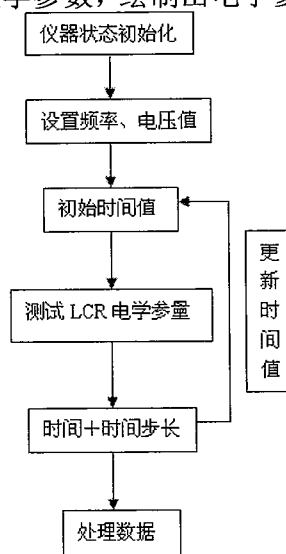


图 6.9 LCR 时间特性测试程序流程图

Write@init

Write@trigger:immediate

Write@fetch?

Read@data

结束时间循环

处理测试数据

6.3.5 应用 4284 测试程序来研究纳米浮栅存储器的电学性能

浮栅存储器的原理是利用电子的隧道效应，在一定的电场下，电子被注入在致密的氧化层中的浮栅中。电荷一旦被注入到浮栅中，就不可能轻易从浮栅中出来，因此具有很高的电荷保持能力。由于氧化层的电荷的改变，阈值电压相应发生变化，达到存储信息的目的。本论文采用 Agilent4284A LCR 的测试研究 Al_2O_3 介质嵌入 Ge 纳米晶的 MIS 结构的电学特性以及不同频率和不同扫描速度情况下的电荷存储特性。

(1) 用电压扫描 (C-V) 方法确定基本电学特性

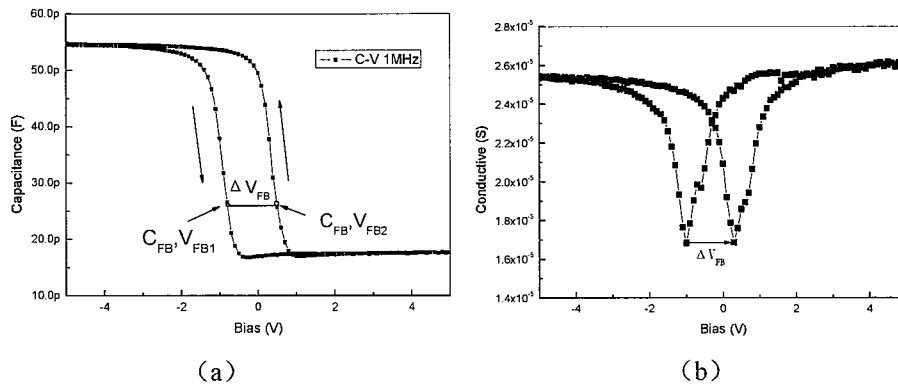


图 6.10 (a) C-V 和 (b) G-V 特性扫描曲线。

由图 6.10 (a) 和 (b) 可以得到平带电压的漂移量 ΔV_{FB} 为 0.96V。存储电荷密度为 $4.17 \times 10^{12} \text{cm}^{-2}$ ，这里栅电极面积为 $7.85 \times 10^{-5} \text{cm}^2$ 。

(2) 电荷存储的频率特性

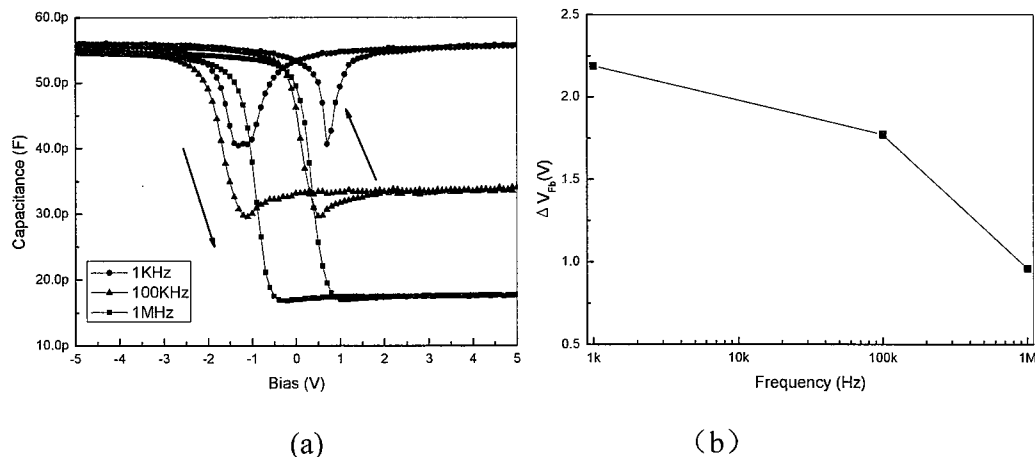


图 6.11 (a) 不同频率下的 C-V 曲线；(b) 平带电压的漂移与频率的关系。

图 6.11 (a) 表示用 Agilent 4284A LCR 分别在 1KHz, 100KHz 和 1MHz 下测试得到样品的 $C-V$ 曲线, 图 6.11 (b) 表示平带电压漂移量与频率之间的关系图。从图中可以得到, 随着频率的增加, 平带电压的漂移是减小的, 表明存储的电荷随着频率增加是减小的。

(3) 电荷存储的偏压扫描速率特性

图 6.12(a)和(b)表示从不同偏压扫描速率来研究电荷存储特性。从图中可以看出, 随着扫描速率的减小, $C-V$ 曲线的迴滞宽度是增加的, 平带电压的漂移是增大的。表明电压的保持时间对电荷的存储量有较大的影响, 要有足够的电压保持时间, 才能保证存储足够数目的电荷。

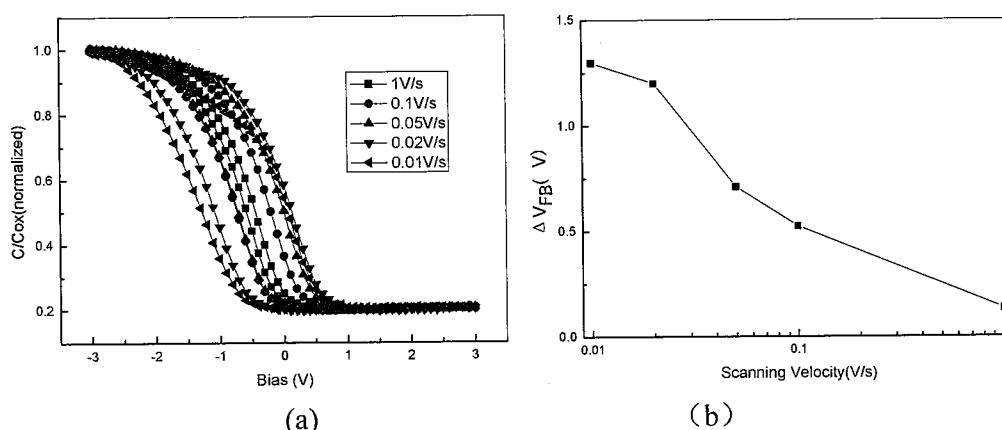


图 6.12 (a)不同偏压扫描速率下的 $C-V$ 曲线; (b) ΔV_{FB} 与偏压扫描速率的关系

6.4 对 Keithley 2400 调试与编程测试

吉时利公司的数字源表系列专门设计用于要求有精密电压和电流产生与测量的测试应用。所有六个数字源表型号都综合了回读功能的精密、低噪声、高度稳定的 DC 电源以及低噪声、高重复性、高阻抗 $5\frac{1}{2}$ 位分辨率的数字万用表。在操作中, 该仪表可以作为电压源、电流源、电压表、电流表以及欧姆表。2400 的额定输出功率 20W, 输出电流为 $\pm 50\text{pA} \sim \pm 1.05\text{A}$, 输出电压的范围为 $\pm 5\text{mV} \sim \pm 210\text{V}$ 。

6.4.1、电压扫描测试程序

2400 数字源表提供四种基本的扫描方式: 线性台阶扫描, 对数台阶扫描, 自定义扫描和内存扫描。线性台阶扫描是从初始值开始, 以相等的步长为增量, 到结束值时停止扫描。对数台阶扫描是指以初始值对数值到终止值的对数值之间以相等的步长为增量扫描。自定义扫描是使用者根据自己的测试需要, 设置扫描点的位置, 扫描过程中的变化方式和延迟时间。源内存扫描是指将很多种测试配置方案 (最多 100 种) 保存在内存中, 当扫描开始执行时, 根据存储的顺序扫描, 执行配置好的测试方案。这种扫描中可以根据测试需要允许多种函数关系式和数学表达式来执行。

我们以线性台阶扫描为例, 具体看看扫描方式过程。图 6.13 显示了线性台阶扫

描从开始到结束的过程。每一步长的延迟包括设置的延迟 delay 和仪器触发所用的时间。如果仪器触发的时间设置为零，步长的延迟时间就是设置的延迟 delay，不过触发总是有时间延迟的。如果设置的延迟 delay 为零，则测试所用的时间为触发的时间总和。延迟 delay 的设置可以决定扫描总的扫描时间。

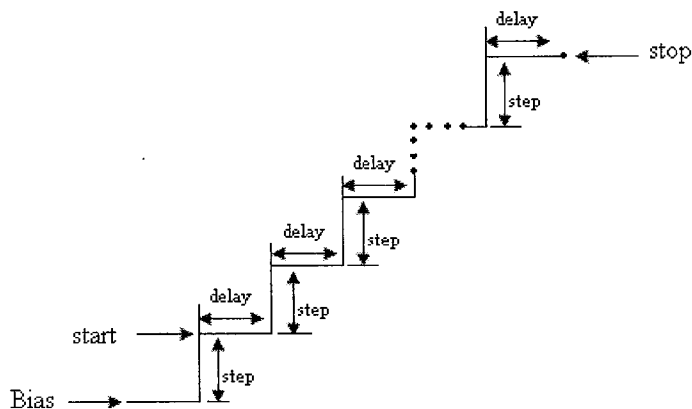


图 6.13 2400 扫描方式

该程序是电压扫描，测试电流或者电阻值。测试程序的流程图如图 6.14 所示，所用的测试命令如下：

初始化

:syst:pres

*RST

*CLS

:trace:feed:cont never

设置源

:source:func volt

:source:sweep:spacing lin

:source:sweep:direction up

:source:voltage protection 20

:source:voltage:start 输入值

:source:voltage:stop 输入值

:source:voltage:step 输入值

:source:del 输入值

:source:sweep:point?

设置测试命令

:sense:current:protection

:sense:current:nplc 0.01

:sense:current:range

:sense:func 'curr:dc'

数据处理

:form ascii

:form:elem volt,curr

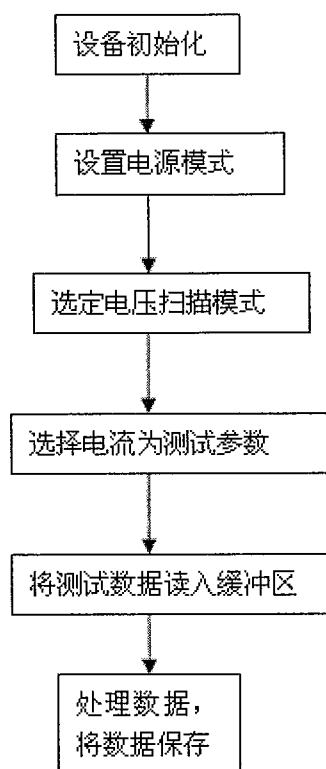


图 6.14 电压扫描测试程序流程图

```

:trace:point
:trace:clear
:trace:feed sense
:trace:feed:cont next
:trace data?

```

6.4.2 电流扫描测试程序

该程序是电流扫描，测量电压或者电阻值。这个程序在测试相变存储器的性能中用得很多。在相变存储器中，电阻也是随时间变化，因此测试其 I-V 特性有很重要的意义。测试程序的流程图如 6.15 所示，测试指令如下

```

:syst:pres
*RST
*CLS
:trace:feed:cont never
设置源
:source:func current
:source:sweep:spacing lin
:source:sweep:direction up
:source:current protection 0.1
:source:current:start 输入值
:source:current:stop 输入值
:source:current:step 输入值
:source:del 输入值
:source:sweep:point?
设置测试命令
:sense:voltage:protection 20
:sense:voltage:range 20
:sense:func 'volt:dc'
数据处理
:form ascii
:form:elem curr,volt
:trace:point
:trace:clear
:trace:feed sense
:trace:feed:cont next
:trace data?

```

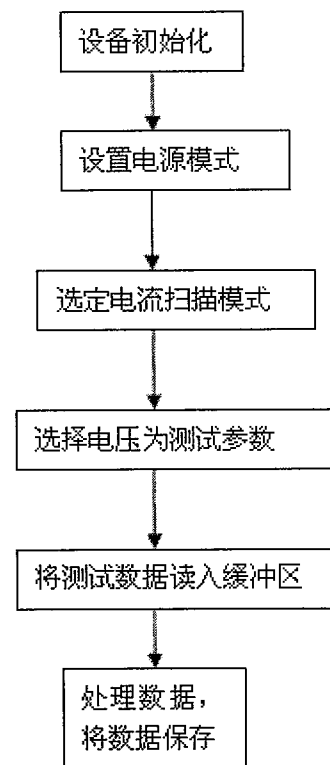


图 6.15 电流扫描测试程序流程图

6.4.3 实时测试电压电流电阻程序

电压，电流和电阻的实时测量，能够正确地反应该电学参量实时变化规律。该程序可以跟温度控制结合起来，可以测试在不同温度下的电流电压和电阻随时间的变化。可以测试相变材料的在不同温度下的数据保持力。测试程序的流程图如图 6.16 所示，所用的测试程序指令如下

```

:syst:pres
*RST
*CLS
:trace:feed:cont never
设置初始时间
设置时间步长
启用时间控件
设置源
:source:func voltage
设置测试命令
:sense:current:protection
:sense:func 'curr:dc'

:sense:res
:sense:range

停止时间控件

数据处理
:form ascii
:form:elem curr,volt
:trace:point
:trace:clear
:trace:feed sense
:trace:feed:cont next
:trace data?

```

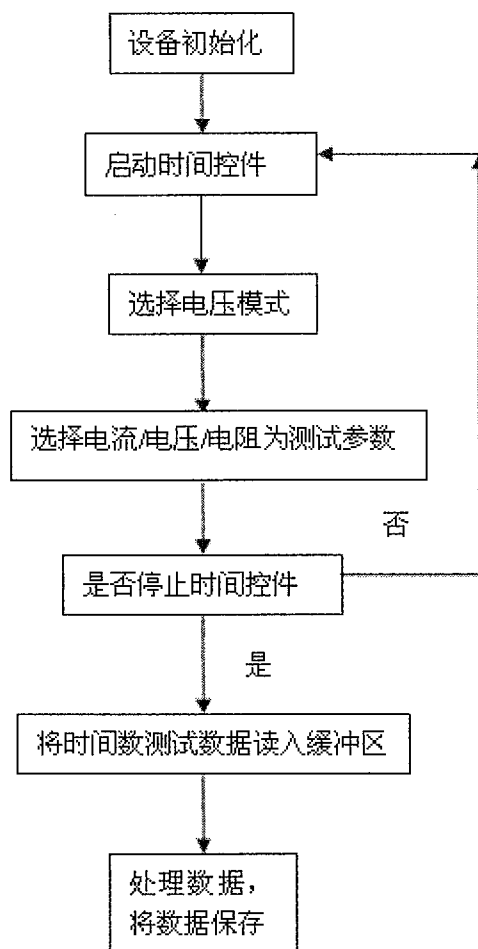


图 6.16 实时扫描测试程序

6.4.4 Keithley 2400 的测试程序的应用

相变材料的 I-V 特性性能

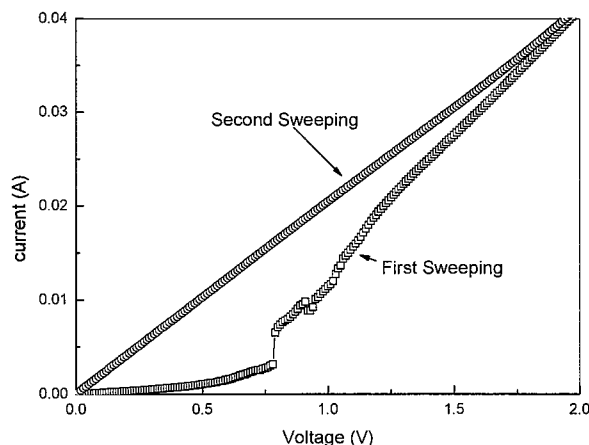


图 6.17 相变材料的电压扫描曲线

图 6.17 示出了相变材料的 I-V 特性曲线。这个特性曲线是通过电压扫描，测试

电流。从第一次扫描可以看到，当电压从 0V 增加到 0.78V 时，电流急剧增加，说明此时已经发生了相变。第二次扫描时候，I-V 曲线为线性关系，电阻无变化。

6.5 温度特性测试系统

6.5.1 温度特性测试系统介绍

温度特性测试系统的部件包括控制计算机，电学特性测试仪器（Agilent4284A，Keithley2400，Agilent4156 等），温控仪，温度加热探针测试台、仪器接口卡（GPIB 卡）构成。温度加热探针测试台上放置待测样品，由探针搭上被测物。电学特性测试仪器完成样品电学性能的测试；GPIB 卡是控制计算机与电学特性测试仪器的通讯接口；温控仪用来完成对温度加热探针测试台的温度控制；RS232 接口是控制计算机和温控仪的通讯接口。系统中各部分的协调工作由控制计算机完成，计算机同时完成数据的采集、处理和显示，温度特性测试系统结构图如图 6.20 所示。

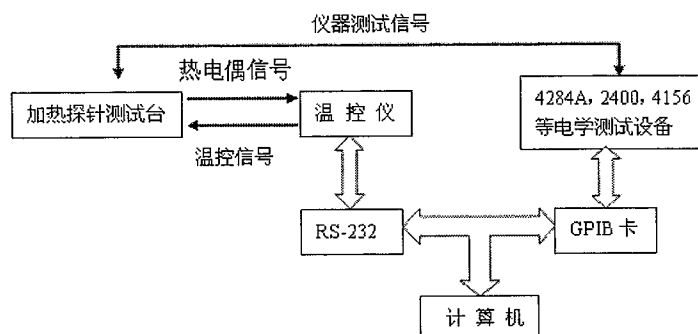


图 6.20 温度特性测试系统结构图

6.5.2 温控仪

我们的温控仪是选用上海祖发公司生产的 XMT-1 型温度控制仪，它的在测试系统中的电路连接形式如图 6.21 所示。XMT-1 是通过温度传感器采集到温度信号，然后再转化数据通过串口送给计算机。计算机接收到温度信息之后，再通过串口把测试指令传送给 XMT-1，决定是否给电炉丝加热。温度传感器是 Pt100 型铂电阻。温控仪用可控硅模块将单相交流电直接控制小功率电炉，控制精度高达 $\pm 0.2^{\circ}\text{C}$ 。

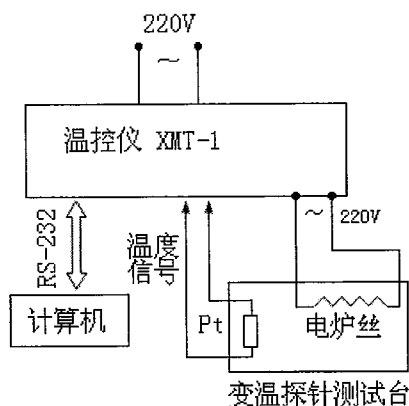


图 6.21 温控仪连接控制示意图

6.5.3 变温探针测试台

变温探针测试台是用来测试薄膜材料的电学性质的温度特性，图 6.22 是变温探针测试台的示意图。测试实验是在加热台上进行，样品放在测试台之上，测试信号是通过测试探针加到样品上的。加热腔是变温探针测试台的核心部位，由热电偶，加热台，加热线圈围成一个腔体。加热腔内可以通液氮，用来加速降温。热电偶是用来测量温度的，热电偶的位置是在加热台的中心位置，最靠近样品的地方。热电偶测定的温度传送给温控仪，温控仪把温度信号传送给计算机。计算机发出控制，决定温控仪是否给加热圈通电流加热。加热腔外面是一层绝热层，用石棉填充的，最外是一层金属外壳。在测试的时候，用金属屏蔽罩将测试样品与外界隔离，减少外界作用的影响。

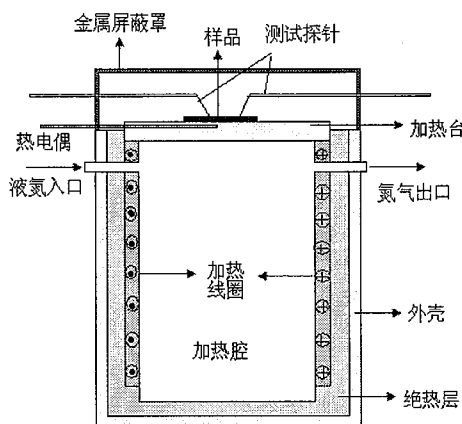


图 6.22 变温探针测试台示意图

6.5.4 温度特性测试系统软件

1、系统软件总体结构

软件的总体结构如图。它主要由五大部分组成：仪器测试参数设置、仪器校正、控温参数设置、测试电学性能、测试数据处理和实时显示测试曲线显示。

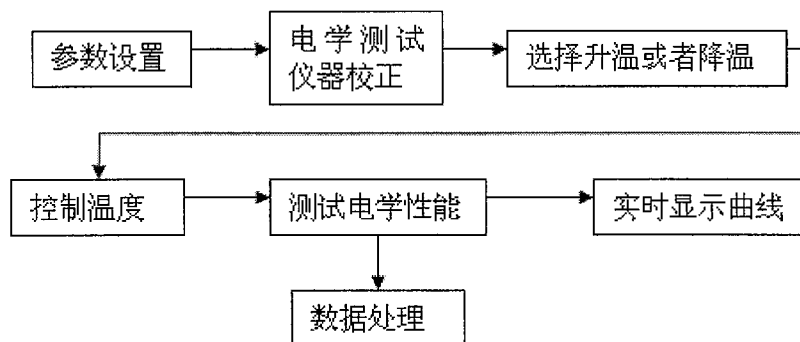


图 6.23 温谱软件结构

2、测试设置

测试过程主要包括温度测试条件设置、电学仪器参数设置、样品参数设置。下面分别进行讨论。

测试的温度条件设置包括测试的起始温度、结束温度和升温速率的设置。如果通入液氮，初始最低温度可到 -200°C 左右，测试的最高温度可到 250°C 。升温速率可根据测试的要求设置，一般测试可设为 $1^{\circ}\text{C}/\text{min}\sim 3^{\circ}\text{C}/\text{min}$ 。

仪器参数设置是指仪器的各种参数设置，包括测试信号的电平、频率、测试的速度、测试的电性能参数等。

仪器的测试速度由测试的时间决定，是要考虑的因素。如果测试速度与温度的变化速度不能匹配，就可能造成测试数据的失真。

6.5.5 测试及数据处理

测试前，首先选择是升温测试还是降温测试。我们可以从温控仪上看到实际温度。如果是升温测试，那么必须将实际温度下降到低于要测试的起始温度，升温过程由计算机通过温控仪控制。如果是做降温测试，则实际温度要高于测试的起始温度，降温过程可以是自然降温，也可以通入液氮加速降温。测试开始后，计算机上就开始实时显示测试数据并显示测试曲线。测试完毕后，计算机自动提示保持数据，并把测试的数据转换成.txt 或者 dat 格式的文件。软件操作非常方便，只要按照每一步的提示，就能方便的进行操作。一旦输入完毕，测试过程将会自动进行，测试者可离开测试现场。

6.5.6 温度测试系统的应用

(1) 研究相变材料电学性质的温度特性

我们用温度测试系统来研究相变材料电学性质的温度特性，在 Sb_2Te_3 中掺入不同 Ge，研究其随温度变化的特性，如图 6.24 所示。对于 Sb_2Te_3 材料在 150°C 时发生相变，电阻急剧减小。当设备在 100w 条件下掺入 Ge 后，相变温度提高到 200°C 左右，当设备在 200w 条件下掺入 Ge 时，未能观察到电阻的突变的情况。

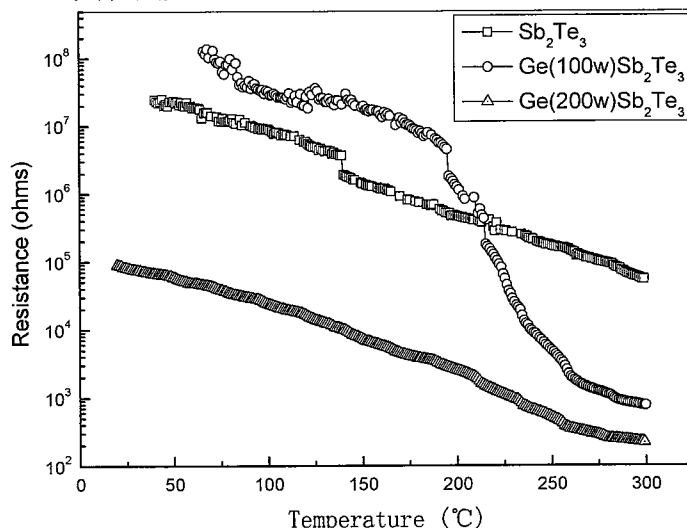


图 6.24 相变材料的温度特性曲线

(2) 测试相变材料电学性质的保持力

图 6.25 示出了相变材料在不同温度下的保持力。这个程序是在恒温的条件下，

测试相变材料的电阻随时间变化情况。当温度为 130℃ 时，相变材料的电阻是在 3000s 时发生很大的变化；当温度为 140℃ 时，500s 时电阻发生很大的变化；当温度在 150℃ 时，相变材料的电阻在 100s 就发生变化了。该测试系统对于测试相变材料的保持力是一个很好的工具。

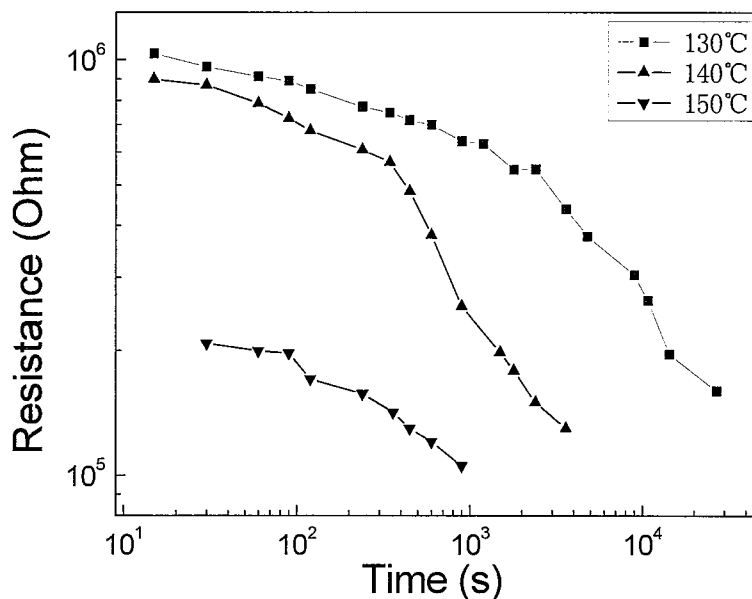


图 6.25 相变材料电学保持力

6.6 本章小结

本章主要是多仪器电学性能测试系统，主要是能够使多个仪器协同作业测试材料和器件的电学特性。现在总结如下：

1、建立了电学测试系统中的自动控制转换测试开关，在此开关的作业下，可以将测试线路随意切换。

2、编制了 Agilent 4284A 测试程序，并可成功进行频率扫描、电压扫描和实时测量等 LCR 性能，可以用来研究半导体特性，浮栅存储器的特性。

3、编制了 Keithley 2400 测试程序，并可成功进行电压扫描、电流扫描和实时测量等直流性能。

4、为了获得电学参数和温度之间的关系，搭建了温度控制系统，并编制了相应的测试软件。并采用该系统成功测试了不同温度下相变存储单元的数据保持力。这对于器件的可靠性和失效分析是一个很好的工具。

第七章 总 结

本论文选择半导体存储器领域中发展的前沿课题——相变存储器,结合我们承担的国家重点基础研究发展计划、国家 863 计划、中国科学院以及上海市科委等国家任务,开展了相变存储单元热模拟,相变存储器化学机械抛光工艺及抛光液电化学性质,相变存储器的湿法刻蚀工艺以及多仪器电学测试系统等方面的研究。本论文取得了以下几个方面的成果:

1、从器件的电学和传热学耦合模型入手,详细模拟了 Reset 和 Set 过程的相变过程,研究发现:影响 Reset 过程的器件关键尺寸是底电极的尺寸,底电极的尺寸越小,Reset 过程容易发生;影响 Set 过程的器件关键尺寸是相变材料的厚度,厚度越薄,Set 过程也越容易发生;根据器件的输出特性,提出了相变存储器单元器件的等效电路模型;对相变存储单元提出了改进措施:如减小相变材料的相变区域,采用纳米点作为电极提高加热效率和用空心底电极降低底电极尺寸等。

2、从电化学的角度来研究抛光液主要化学成分对相变材料的作用。研究发现,对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜来说, pH 在 10 左右是最有利于成膜的,而且对于用于抛光液中的 SiO_2 磨料来说,在这个环境下也是比较稳定的;氧化剂 H_2O_2 的浓度在 3wt%~5wt% 时,能够形成有效的钝化膜;加入 0.1wt% 左右的 BTA 直接影响表面的钝化,形成有效的钝化层;通过交流阻抗测试分析,进一步证实了 H_2O_2 在 3wt%~5wt% 条件下,钝化膜的存在,且为同一种物质。

3、对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 SiSb_2Te_3 材料的抛光工艺进行了研究。研究表明采用电化学实验指导配制的抛光液 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 对 SiO_2 抛光速率选择比可达 6:1, SiSb_2Te_3 对 SiO_2 的抛光选择比约为 9:1。采用传统的光刻、刻蚀和 CMP 相结合的方法,成功地制备出了 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和,得到较为均匀的存储特性。采用电子束曝光的方法制作小尺寸阵列,相变材料 SiSb_2Te_3 很好地被填充到器件中,并且在电学性能测试中观察到可逆相变。同时对 SiSb_2Te_3 掺入 Bi 元素进行了研究,发现 Bi 元素的掺入可以降低结晶温度,降低功耗,在大尺寸的情况下也观察到可逆相变。

4、采用湿法刻蚀工艺来制作相变存储器。首先系统研究了各种刻蚀液对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的刻蚀速率,并优选出 $\text{HCl}+\text{H}_2\text{O}_2$ 混合刻蚀溶液。用湿法刻蚀方法制作出 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变存储器阵列,在大尺寸下观察到可逆相变的发生。

5、建立多仪器电学性能测试系统,能够使多个仪器协同作业,测试材料和器件

的电学特性。制备了自动控制的转换测试开关，使各个电学测试能够自动协同测试，通过此开关，可以根据需要切换测试线路。编制 Agilent 4284A 的各种测试程序，包括频率扫描，电压扫描，实时测量。同时也编制 Keithley 2400 测试测试，可以测试器件的各种直流参数。搭建了温度控制系统，考证了存储单元数据保持力和电学参数与温度之间的关系，对于考察相变存储器的温度性能有重要的意义。这对于器件的可靠性，失效分析是一个很好的工具。