

密级:_____



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

低电压数字电路设计方法与关键技术研究

作者姓名: _____ 袁 甲

指导教师: _____ 黑勇 研究员 中国科学院微电子研究所

学位类别: _____ 工学博士

学科专业: _____ 微电子学与固体电子学

培养单位: _____ 中国科学院微电子研究所

2014 年 5 月

Research on Key Technologies and Design Methods

of Low Voltage Digital Circuits

By

Yuan Jia

A Dissertation Submitted to

University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Doctor of Engineering

Institute of Microelectronics of Chinese Academy of

Sciences

May, 2014

声明

我声明本论文是我本人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢的地方外，本论文中不包含其他人已经发表或撰写过的研究成果。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

作者签名：

日期：

论文版权使用授权书

本人授权中国科学院微电子研究所可以保留并向国家有关部门或机构送交本论文的复印件和电子文档，允许本论文被查阅和借阅，可以将本论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编本论文。

（保密论文在解密后适用本授权书。）

作者签名：

导师签名：

日期：

摘要

近些年,无线传感节点、医疗电子、RFID 等极低功耗应用领域逐渐兴起,具有广阔的市场前景。在这些领域中,芯片对低功耗的要求逐渐超过性能要求,成为芯片设计的首要目标。因为芯片功耗与电源电压的平方成正比,降低电源电压能够有效的降低系统功耗,所以低电压设计技术成为一直以来低功耗技术的研究主线。

本文着眼于低电压对标准单元库、数字电路的设计流程造成的影响,对低电压数字电路设计技术进行了深入研究,主要成果如下:①综合考虑工艺偏差、温度、噪声对库单元的稳定性造成的影响,形成了一种量化评价库单元稳定性的方法;②引入低电压下库单元稳定性对尺寸设计的要求,改进了最优目标电压确定方法;③通过对库单元的结构分析及特征结构提取,引入相对驱动能力分析,结合噪声容限评价,提出了一种运算量简化的最优尺寸设计方法;④以相对误差的统计分析为标准,提出了一种确定低电压下的查找表边界及规模的量化评价方法;⑤面向特定性能应用,评价降低电压带来的电路并行优化代价,提出了一种面向特定性能应用的最优工作电压评价方法;⑥基于以上结论及评价方法,形成了从标准单元库设计、特征化到最优工作电压评价的低电压数字电路设计流程。

为验证提出的低电压设计方法的相关结论,本文设计了目标电压评价电路、标准单元库验证电路、基于定制库的 FIR 电路,并采用中芯国际 0.13 μm CMOS 工艺,进行了测试验证。测试结果表明,该工艺下低电压标准单元库的最优目标电压在 0.3V,验证了改进的目标电压评价方法的准确性;近/亚阈值标准单元库在 0.3V 下具有很好的稳定性,最低可工作在 90mV,验证了极低电压下的标准单元库设计方法的有效性;FIR 电路可以稳定工作在 180mV~1.20V,最优能耗点在 0.25V,验证了系统最优工作电压评价方法的可行性,同时也进一步验证了近/亚阈值标准单元库的稳定性。综合以上测试结论,验证了本文形成的低电压数字设计方法的合理性。

关键字：低电压，标准单元库，特征化，最优工作电压

Abstract

Recently, there is an emerging set of applications for which energy consumption is the key metric, such as wireless sensor nodes, biomedical nodes and RFID. As the square dependency of the power consumption on the supply voltage, low voltage design technique is the most popular methods for power consumption, widely accepted in kinds of systems.

When the supply voltage scaling, there induce several serious problems for the stability of standard cell and the design flow for digital circuits, such as performance loss, increased performance variation and increased functional failure. Some investigation is done in this field, and the key contribution is summarized as following: ① A evaluating method is proposed for searching the lowest voltage at which all the standard cells of a library can function correctly, considering the impact of process variation, temperature variation and environment noise. ② A traditional method for seeking the target supply voltage is modified, with the introduction of a trend that the size of a cell will be sized up for the same stability when supply voltage decrease. ③ A new method is proposed for searching optimized size of a cell transistors, through the architectural analysis, six typical circuits extraction, drive effort analysis and noise margin evaluation. ④ When re-characterizing a standard cell library at low voltage, a relative error analyze method is proposed to elevate the efficiency of different size of the LUT, then the optimized size can be determined when comparing with the foundary' characterize library for the normal voltage. ⑤ For an application with a dedicated performance requirement, the cells of its mapping circuits increases with the voltage scaling. So, a method is proposed for evaluating the optimized voltage at which the system achieves its energy consumption. ⑥ Above all, a design flow for a low voltage digital circuit is introduced, including standard library design, low voltage re-characterization, the optimized voltage evaluation.

Several test circuits for target voltage evaluation, low voltage standard cell test and dedicated-cell-based FIR test, are designed and fabricated in a SMIC 0.13 μ m CMOS process. Test results show that: 1) the optimized target voltage is 0.3V for this process, which is consistent with the simulation result, proving the exactness of the target voltage evaluation method. 2) The standard cell library for low voltage can function correctly at voltage from 1.20V to 90mV, proving the availableness of the standard cell library design technique. 3) FIR circuits can function correctly at voltage from 1.20V to 180mV, and the lowest energy point appears at 0.25V, verifying the stability of the standard cell again. All these test result above prove the feasibility of the low voltage design flow proposed by this article.

Key words: low voltage, standard cell library, characterization, optimized voltage.

目录

摘要.....	I
Abstract.....	III
目录.....	V
第 1 章 引言.....	1
1.1 研究背景与意义.....	1
1.1.1 无线传感节点.....	1
1.1.2 低功耗技术的发展历程.....	3
1.2 国内外研究现状.....	4
1.2.1 国外研究现状.....	5
1.2.2 国内研究现状.....	8
1.3 本论文的主要贡献.....	9
1.4 本论文的组织结构.....	10
第 2 章 低电压电路特性研究及稳定性评价.....	11
2.1 MOSFET 的工作特性随电源电压的关系.....	11
2.1.1 低电压下的电流-电压特性	11
2.1.2 低电压下的电容-电压特性	12
2.1.3 低电压下的反短沟特性.....	13
2.1.4 低电压下的反窄沟特性.....	16
2.1.5 低电压下的 I_{on}/I_{off} 特性	17
2.1.6 低电压下的反温度特性.....	19

2.2 库单元的工作特性随电源电压的关系.....	20
2.2.1 低电压下的性能-电压特性	20
2.2.2 工艺偏差的影响随电源电压的变化关系.....	21
2.2.3 低电压下的稳定性-电压特性	23
2.3 标准单元库的稳定性评价.....	24
2.3.1 稳定性的评价思路.....	24
2.3.2 稳定性的量化评价标准.....	26
2.3.3 稳定性的评价流程.....	27
2.3.4 标准单元库的最低工作电压评价.....	30
2.4 本章小结.....	30
第 3 章 面向近/亚阈值的标准单元库设计	33
3.1 近/亚阈值标准单元库的 SPEC 确定	33
3.1.1 目标电压的确定.....	33
3.1.2 标准单元库的 SPEC	38
3.2 库单元的种类选择.....	38
3.3 库单元的结构选择.....	39
3.4 库单元的晶体管尺寸设计.....	40
3.4.1 尺寸设计的思路.....	41
3.4.2 库单元的结构分析及共性提取.....	41
3.4.3 特征结构的驱动能力预分析.....	43
3.4.4 库单元最优尺寸的选择.....	47
3.4.5 尺寸设计总结.....	50

3.5 标准单元库版图设计.....	51
3.6 本章小结.....	52
第 4 章 低电压数字设计流程.....	53
4.1 数字标准单元库的低电压特征化.....	53
4.1.1 时序库的非线性模型.....	53
4.1.2 面向低电压的查找表边界确定.....	54
4.1.3 面向低电压的查找表规模确定.....	57
4.2 不同应用需求的最优工作电压评价.....	62
4.2.1 数字电路的能耗构成分析.....	62
4.2.2 面向特定性能需求的最优工作电压评价.....	64
4.2.3 面向极低性能需求的最优工作电压评价.....	72
4.3 本章小结.....	74
第 5 章 低电压数字设计方法的测试验证.....	75
5.1 最优目标电压确定方法的测试验证.....	75
5.1.1 验证电路的设计思路.....	75
5.1.2 测试方案及 PCB 板设计	78
5.1.3 测试结果分析.....	80
5.2 近/亚阈值标准单元库设计的测试验证	84
5.2.1 验证电路的设计思路.....	84
5.2.2 测试方案.....	89
5.2.3 测试结果分析.....	90
5.2.4 测试总结.....	96

5.3 FIR 电路的测试验证	96
5.3.1 验证电路的设计思路.....	97
5.3.2 测试方案.....	99
5.3.3 测试结果分析.....	101
5.4 本章小结.....	104
第 6 章 总结与展望.....	107
6.1 工作总结.....	107
6.2 工作展望.....	108
参考文献.....	109
攻读博士学位期间发表的论文.....	117
致谢.....	119

第1章 引言

1.1 研究背景与意义

1.1.1 无线传感节点

随着半导体技术、传感器技术、低功耗技术以及能量采集技术的发展，无线传感网络应运而生，涌现出了大批量无线传感节点的应用领域，如环境监测、健康护理、建筑监测等等。一个典型的医疗监护网络，由无线传感节点、本地中转站以及远程分析终端三部分组成，结构如图 1-1 所示。其中，无线传感节点负责采集监测数据，然后将采集的数据发送至本地中转站，最后由本地中转站按照网络协议传递给远程分析终端。

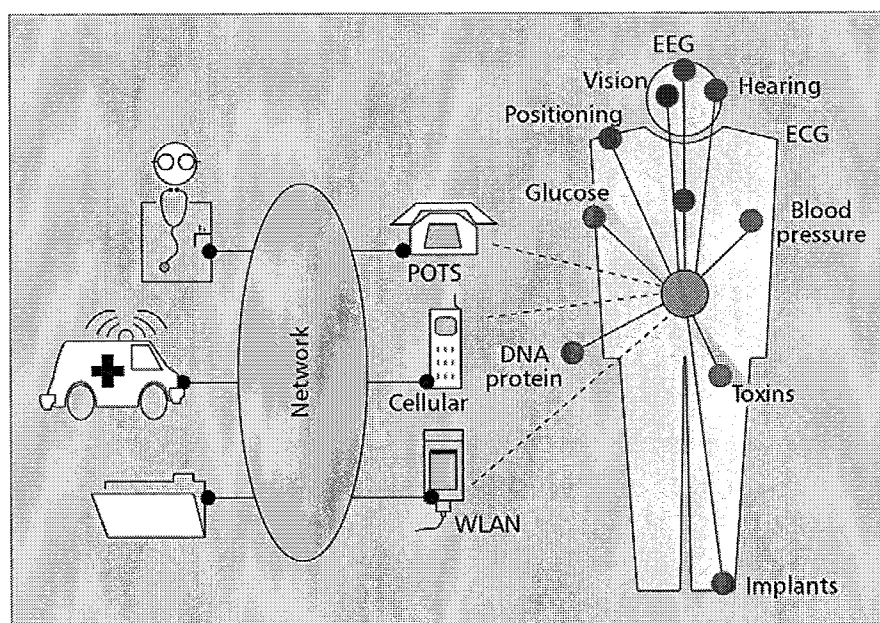


图 1-1 基于感知节点的健康监护系统

一般而言，这种无线传感网络的形成，往往需要成百上千、甚至成千上万的无线传感节点。这类节点的典型特点是需求数量大、系统体积小、性能要求低、要求功耗极低。这类系统一般采用单节锂电池供电，要求系统能够持续工作数年、数十年。在特殊应用场合，甚至要求系统能够通过能量采集的方式，维持系统永久性工作。因此这类应用的功耗要求极高，系统整机功耗的指标一般在微瓦量级，功耗已经取代性能，成为系统设计的首要目标。

无线传感节点的典型结构如图 1-2 所示，包括传感器部分（Sensor）、模拟前端部分（Analog Front-End）、数字信号处理部分（Processor）、数据传输部分（Communication）、电源管理部分（Energy Subsystem）。传感器采集到的环境信号，经过模拟前端电路的放大，传递给 ADC 电路。ADC 电路将模拟信号转换成数字信号，传递给数字信号处理部分。在数字信号处理部分，会执行一定算法，对采集数据进行数据压缩、特征提取等，最后将处理后的数据传递给数据传输电路，通过无线方式发送出去。而电源管理模块，负责整个系统的电源管理及时钟提供。它会根据系统的性能需求，动态调整电源电压及时钟频率，保证系统工作在最优能耗的状态。

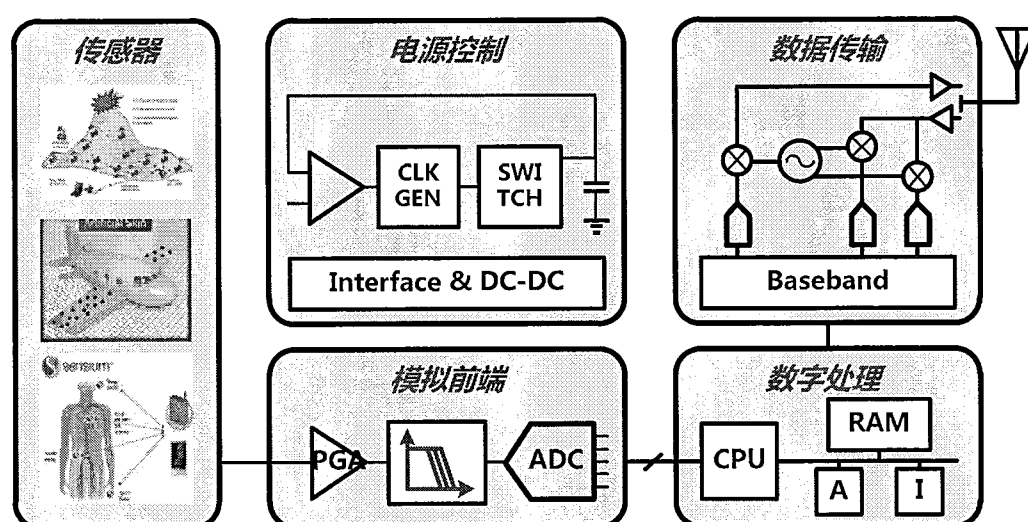


图 1-2 无线传感节点的典型结构图^[1]

为了降低无线传感节点的系统功耗，人们对系统的各电路组成部分，进行了深入的功耗优化。文献[2,3]给出的放大器电路，功耗大致在几个微瓦；文献[4,5]给出了低功耗 ADC 的设计，在 1KHz 采样率时，功耗在微瓦以下；数字信号处理部分的电路功耗，与处理算法的复杂程度有关，呈现出较大的变化；而数据传输部分的电路功耗，与数据传输的频率密切相关，虽然活跃时电路功耗较大，但常常在空闲时会处于休眠模式。文献[6]进一步分析了节点系统中数字信号处理电路的重要性。文中给出了面向羊痫风检测应用的 EEG 系统的功耗分析，如表 1-1 所示。因此，在这类节点应用中，引入数字信号处理器，能够有效的降低数据传输的工作频率，进而降低系统功耗。同时，数字信号处理器占

据着系统功耗的重要组成部分。因此，本论文着眼于数字信号处理器的低功耗技术进行研究，探索进一步降低数字信号处理器功耗的方法，以进一步降低无线传感节点的系统功耗。

表 1-1 无线传感节点的功耗比例构成（面向羊痫风的 EEG 系统）

Component	No Local Processing	Local Processing
Amplifier	3.5uW	3.5uW
ADC	3.8uW	3.8uW
DSP	0	19uW
Radio:		
Transmit	4kbps X 40nJ/bit[5]	56bps X 40nJ/bit
Start-up	4.8uW	4.8uW
Idle Mode	0.46uW	0.46W
Total	176.4uW	31.4uW

1.1.2 低功耗技术的发展历程

伴随着集成电路的发展以及人们对芯片性能的持续诉求，芯片的集成度越来越高，功能也越来越强大，单芯片集成的晶体管数目呈指数形式持续增加。然而，这种集成度的提高，也带来了芯片功耗的指数增长，给芯片的散热、供电、功能稳定性及使用寿命都带来了严峻的挑战。

1990s 年代初期，手机、笔记本电脑开始被广泛使用，人们总希望电池供电的时间能够尽可能的延长，这使得功耗问题开始被研究人员关注，并对其展开了广泛的研究。

1990s 年代的前半期，低功耗技术的研究思路可以分为两类：消除电路的无效翻转、调整电源电压适应性能需求。这是由于低功耗技术被提出之前，电路设计过程中存在着严重的功耗浪费，比如电路尺寸设计过大、空闲模块依旧翻转、架构设计仅考虑性能需求、电源电压固定采用标准电压等等。因此，这期间的低功耗技术主要体现为面向应用需求的“量体裁衣”，形成的低功耗技术有：时钟门控技术、数据隔离技术、低电压技术、多电压技术、电源门控技术等等。此外，并行电路架构配合低电压方法的设计思想、面向特定领域的专用指令集处理器（ASIP）的设计思想等也是这期间被提出的。

1990s 年代的后半期，工艺尺寸逐渐缩小，尤其在工艺尺寸下降到 130nm

及 90nm 的情况下, 漏电功耗逐渐成为系统功耗的重要组成部分。因此, 这期间的低功耗技术主要体现为动态电压调整技术^[7-10]。这种动态电压调整技术是多电压域技术的延伸, 是一种在系统运行过程中, 根据系统性能需求, 实时调整电源电压、衬底电压、时钟频率, 以最小的功耗代价满足应用需要的技术。这种技术后来逐渐成熟, 发展为现在商用芯片中最主流的低功耗技术, 即动态电压频率调整技术 (DVFS 技术), 并形成了一套标准的低功耗流程, 即 UPF 流程。

经过 1990s 年代对低功耗技术的研究, 系统的功耗优化已经取得了一定的成果。然而, 进入 2000s 年代, 随着物联网、医疗电子、RFID 等应用领域的兴起, 大量的极低功耗类应用涌现, 对低功耗技术的发展提出了新的挑战, 低功耗技术的发展也呈现出新的发展思路和解决方案。

在 2000s 年代的前半期, 研究人员进一步发展了实时调整电路工作状态的技术, 引入了最优能耗点的概念。通过对系统的最优能耗点的深入研究, 得到系统的最优能耗点与系统架构、翻转率、动态/静态功耗比例等因素呈现一定关系。基于此, 进一步发展了动态电压频率调整技术, 使得系统根据负载需要, 能够始终工作在最优能耗点。此外, 最优能耗点的研究, 也将低电压技术进一步推进。研究指出, 最优能耗点往往发生在系统工作电压低于晶体管阈值电压时, 即工作在亚阈值状态。因此为支持电路能够工作在最优能耗点, 人们展开了对近/亚阈值状态下的晶体管特性进行研究。一系列的研究成果表明, 近/亚阈值技术能够实现电路的极低功耗, 甚至能够支持能量采集的供电方案, 保证芯片可以永久性工作。自此, 近/亚阈值技术开始被广泛关注, 并主导了迄今为止的极低功耗技术的研究主线。

1.2 国内外研究现状

从低功耗技术的发展历程可以看出, 随着工艺节点的进步、动态电压频率调整技术的推进, 系统的工作电压在持续的下降, 这主导了低功耗技术的发展思路。因为芯片功耗与电源电压的平方成正比, 所以降低电源电压能够有效的降低系统功耗, 但同时也给电路设计带来了严峻的挑战, 这是一直以来低功耗

技术研究的热点。尤其当电源电压低于晶体管阈值时，工艺偏差的影响被指数级放大，这更加成为低功耗技术研究的难点。

1.2.1 国外研究现状

自 2000s 年代的前期，低电压设计技术被推进到亚阈值水平之后，国外的高校及研究机构就一直专注于近/亚阈值技术的研究。近/亚阈值技术是低功耗应用领域的最前沿研究方向，也是近几年最有影响力的低功耗技术。当前，国外对该领域的研究主要集中在以下几个方面：1) 近/亚阈值底层数字电路设计，包括标准单元库、存储器设计；2) 近/亚阈值数字电路时序分析方法；3) 近/亚阈值大规模电路体系架构设计及芯片原型开发。

1) 近/亚阈值底层数字电路设计

在标准单元库的设计方面，国外学者进行了大量的研究，主要体现在：标准单元库的单元种类选取^[11-17]、标准单元的尺寸设计^[18-19]、标准单元的结构调整^[20-23]。在标准单元库选取过程中，文献[11-16]均指出标准单元中串/并联晶体管数目较多，会造成标准单元的噪声容限下降，导致电路对工艺偏差极其敏感。在实际应用中，文献[11-13]指出串/并联晶体管不超过 3 级，而文献[14-16]指出串/并联晶体管不超过 2 级，一直没有统一的意见。文献[17]针对近阈值电路的扇入-扇出问题，进行了深入研究，并给出了工艺偏差对串/并联晶体管数目的影响。此外，在标准单元驱动能力的选择上，文献[13]指出标准单元的各种驱动能力均需要保留。在标准单元的尺寸设计方面，文献[18-19]均指出标准单元对工艺偏差的敏感程度与 $(WL)^{-\frac{1}{2}}$ 成正比，因此增大管子的尺寸，有利于提高标准单元对工艺偏差的稳定性。在标准单元结构调整方面，文献[20]指出 CMOS 逻辑中几种典型的结构，如反馈结构、比例逻辑、传输门逻辑等，不适合在近阈值状态的工作，需要对这些标准单元结构重新设计。文献[21]指出在近阈值工作状态下，DTMOS 逻辑相对于 CMOS 逻辑表现出了较好的稳定性，同时呈现出较高的性能。文献[22]提出了一种新的逻辑 SCL (Source-Coupled Logic) 结构，能够更好的工作在近阈值状态。文献[23]采用 CMOS 逻辑，并指出在标准单元库中比例逻辑、寄存器等单元结构需要重新设计，以提高对工艺偏差的抵

御能力。

在存储器设计方面，当工作电压降低到阈值电压附近时，传统的 6T 存储单元面临一些严重问题：静态噪声容限（SNM）的降低、读操作对静态噪声容限的影响、以及写噪声容限的降低。文献[24]提出一种新型 10T 存储单元，采用单端的读位线，有效隔离读操作对存储单元 SNM 的影响。文献[25]提出基于史密斯触发的 10T 存储单元结构，由于史密斯触发结构的反相器自身具有反馈功能，使得电路翻转电平提升，提升了反相器的噪声容限。此外，近/亚阈值状态下，互连线的延时使得传统差分式灵敏放大器速度受限。同时，晶体管尺寸的减小使得器件失配问题越来越严重，这导致传统差分式灵敏放大器的速度进一步下降。文献[26]提出一种大信号的灵敏放大器结构，使得电路对低电压引入的器件失配问题不敏感，不需要增大尺寸提高电路稳定性，存储器的阵列效率比传统小信号差分式灵敏放大器高。

2) 近/亚阈值数字电路时序分析方法

标准单元库是数字电路设计的基础，提高标准单元对工艺偏差的稳定性是提高数字电路稳定性的前提。在此基础上，开发可靠的近阈值数字电路设计流程（综合和布局布线等环节），包括时序分析方法和配套的设计工具环境，是近阈值领域另一个亟需解决的关键问题。近几年，国外对这一问题进行了一定程度的研究，取得了一定的成果，主要集中在以下方面：逻辑路径的延时分析^[16,29-30]、近/亚阈值时钟树设计^[11,31-34]、近/亚阈值数字电路的时序分析^[12,14,35-39]。

在对逻辑路径的延时分析方面，文献[29]对工艺偏差进行建模，进而分析数字单元的延时分布，最后对逻辑路径的延时建模，给出单元的延时分布和逻辑路径的延时分布。文献[16,30]研究表明，在考虑工艺偏差时，逻辑路径的延时变化与逻辑深度密切相关。

在时钟树设计方面，文献[11]指出时钟树单元必须采用高驱动能力，来抑制工艺偏差带来的影响。文献[31-32]研究超低电压 ULV (Ultra-Low Voltage) 下的低功耗时钟树生成方法，重点分析器件工艺偏差、电压、工艺尺寸以及单元互连对时钟网络的影响。文献[33-34]研究时钟网络中延时单元 buffers 随工艺偏

差的恶化情况,提出3级时钟网络拓扑结构,并且优化各级时钟连线结构,降低RC延时失配。

在近/亚阈值数字电路的时序分析方面,研究成果主要分为两类:一是在标准数字流程的基础上,预留出更多的设计余量,保证时序的可靠性;二是直接研究工艺偏差对数字电路的影响,提出相应的分析方法。第一类方法中,文献[12]指出,在对近/亚阈值电路时序分析时,可依然按照传统的标准数字流程,当数字后端形成时钟树之后,报出所有时序路径进行建立时间和保持时间检查,提取其中最容易受到工艺偏差影响的路径,进行 Monte Carlo 分析,由此提高电路可靠性。文献[14]则更加简单直接,采用保留余量的做法,指出在工艺角的基础上,再保留 20%的余量,就能够满足系统时序的需要。在第二类方法中,文献[36-37]分析了工艺偏差对近/亚阈值库单元延迟、连线延迟的影响,指出连线延迟对工艺偏差较为稳定,工艺偏差的影响主要体现在单元延迟上。文献[35,38-39]研究了工艺偏差对整个数字流程的影响,提出了一种 NLOPALV (Nonlinear Operating Point Analysis of Local Variation) 的分析方法。从工艺偏差造成的标准单元延迟变化着手,研究面向近/亚阈值标准单元库的特征化,进而分析对近/亚阈值逻辑路径,保证电路的时序。

3) 近/亚阈值大规模电路体系架构设计及芯片原型开发

体系架构方面,近/亚阈值工作状态显著降低了电路功耗,但同时也带来严重的性能损失和不稳定性,一般通过增大并行度来进行补偿,包括逻辑模块的并行设计^[40]、处理器的流水深度加大^[41]、多核处理器的并行设计^[42-43]。并行逻辑的增加、多核处理器的有效利用,都依赖于算法应用本身的并行度;处理器流水深度的增加,通过缩短关键路径提升工作频率,但这本身也是在电路稳定性与系统性能之间的一种权衡^[44]。此外,增大寄存器时序容忍度的方法^[45-46]以及增加参考电路及纠错电路^[47]的方法也能显著提高系统峰值性能。最后,异步逻辑电路因为消除了时钟的影响,自动解决了近/亚阈值的时序问题^[48],提高了电路的稳定性,逐渐成为备受关注的研究方向。

近 10 年来,近/亚阈值芯片原型设计也取得了很大的进展。早期研究工作

实现的电路规模较小,如逻辑电路^[49]、乘法器^[50]、传感器处理器^[51]等,比较有代表性的工作是2004年美国麻省理工学院(MIT)研制了一款亚阈值的FFT处理器^[23],采用0.18 μm CMOS工艺,大约63万个晶体管,工作电压:180mV-900mV,工作频率:164Hz-6MHz,在350mV时效能比最高,比之前的0.7 μm 工艺实现,1.1V工作电压的FFT处理器效能比提高了20倍。2008年,Michigan大学在0.18 μm 工艺下开发的Phoenix处理器,动态功耗为226nW,静态功耗35.4pW^[52]。2010年,Pu Yu等在65nm工艺下设计的JPEG协处理器,在0.4V的工作电压下,功耗0.75pJ,时钟频率2.5MHz,相对于1.2V的工作电压,功耗降低8.3倍^[53]。2012年Intel公司研制出一款宽工作电压的Pentium架构的IA-32处理器^[54],采用32nm CMOS工艺设计,600万个晶体管,工作电压范围:280mV-1.2V,工作频率范围:3MHz-915MHz,在近阈值工作电压0.45V时获得最佳的效能比,比最高工作电压时提高4.7倍。2012年,德国Freiburg大学采用施密特触发结构设计的8x8的乘法器,能够在62mV下正常工作,是迄今为止数字系统的最低工作电压^[55]。近两年,随着近/亚阈值技术的演进,工业界也不断推出新的近/亚阈值芯片平台^[56-59]。

1.2.2 国内研究现状

国内针对近/亚阈值领域的研究则要落后很多,近几年也只有个别高校才开始研究,研究内容主要集中在标准单元设计、SRAM设计、以及小规模组合逻辑电路的仿真阶段,流片测试较少。

(1) 复旦大学:2007年基于SMIC 0.18 μm 工艺,完成标准单元库设计,最低可工作在0.4V^[60];2010年,对双栅MOSFET的亚阈值特性进行建模^[61]。

(2) 上海交通大学:2010年,基于SMIC 0.18 μm 工艺,设计了一款可工作在0.2V的加法器^[62],仅有仿真结果,没有进行流片测试;

(3) 清华大学:2008年,在一款无线BCI系统的设计中,MCU部分及SRAM部分拟采用近/亚阈值设计,完成了Hspice对关键路径的仿真^[63];2008年,对超动态电压调整技术的时钟网络实现方面,清华大学提出了基于电容的电荷泵技术^[64];2010年,采用Hspice工具,对32位的数据通路进行了仿真^[65],

最低可工作在 0.3V；2012 年，对近/亚阈值下的反短沟效应，进行了建模分析 [66]。

(4) 东南大学：在 SRAM 设计方面取得一定的进展，在 2010 年提出一种 12T 的存储单元结构，基于此设计的 256x16bit SRAM 能够最低工作在 150mV，最优功耗点在 400mV，功耗比 1.2V 正常工作电压下降了 16%^[67]。

(5) 天津大学：2012 年，基于 16T 的存储单元结构，设计了一款 128x8bit SRAM，最低工作电压在 0.3V，但仅停留在仿真结果^[68]。

总之，近年来我国一些科研院校虽然已经在近/亚阈值技术方面展开了研究，但主要还处于起步阶段。在标准单元和存储器方向的研究主要依靠软件仿真，大多没有进行流片测试（东南大学完成了 SRAM 流片测试）。在数字电路设计方向的研究主要集中在小规模组合逻辑电路，并不涉及时序问题，采用 Hspice 进行较精确仿真，而且大多停留在仿真阶段，工艺偏差对电路性能的影响还无法体现。

因此探索低电压数字电路设计技术，尤其是近/亚阈值的极低电压设计技术，形成从标准单元库设计、数字大规模时序电路设计的整个流程，对国内低功耗技术的推进有重要的意义。

1.3 本论文的主要贡献

(1) 研究降低电源电压对标准单元的稳定性的影响，结合噪声容限分析、Monte Carlo 分析，形成了量化评价标准单元稳定性的方法，进而评价商用标准单元库的稳定性，得到商用标准单元库可以接受的最低工作电压。

(2) 研究在低电压下，稳定性对标准单元尺寸设计的影响，进而将这种尺寸变化关系引入最优能耗点分析，改进了传统的目标电压确定方法。

(3) 研究面向近/亚阈值工作电压的标准单元库设计方法，通过库单元结构分析及共性提取，引入特征结构的相对驱动能力分析方法，改进了传统的库单元最优尺寸设计方法。

(4) 研究低电压对库单元延时及 transition 的影响，以统计相对误差为标

准，提出了一种确定低电压下的查找表边界及规模的量化评价方法。

(5)面向特定性能应用时，权衡降低电压过程中电路付出的并行运算代价，形成了一种面向特定性能电路的最优工作电压评价方法。面向极低性能应用时，引入电源门控技术，形成了最优能耗点分析的评价方法。

1.4 本论文的组织结构

本论文共分为六章，安排如下：

第二章介绍降低电源电压，对 MOSFET、基本电路单元的相关特性造成的影响，并基于对库单元的稳定性分析，形成了一种量化评价标准单元库稳定性的方法。

第三章介绍面向近/亚阈值的标准单元库设计方法，包括目标电压的确定、库单元种类的选择、结构选择、尺寸设计及版图设计，重点讲述了目标电压的确定方法及最优尺寸的确定方法。

第四章介绍面向应用需求的低电压数字设计流程，主要讲述低电压下标准单元库的特征化、面向特定性能需求应用的最优工作电压评价、面向极低性能应用的最优工作电压评价方法。

第五章介绍低电压设计技术的相关验证电路设计、测试方案设计及测试结果分析。

第六章对本文工作进行了总结，并对今后的工作进行了展望。

第2章 低电压电路特性研究及稳定性评价

本章首先介绍了随着电源电压的变化，MOSFET 的工作特性的变化趋势，包括电流-电压特性、电容-电压特性、反短沟效应、反窄沟效应、反温度特性等；进而分析基本数字单元的电路特性变化趋势，包括延时特性、工艺偏差影响及稳定性变化；最后，基于对库单元的稳定性分析，形成了一种面向标准单元库的稳定性分析方法。

2.1 MOSFET 的工作特性随电源电压的关系

2.1.1 低电压下的电流-电压特性

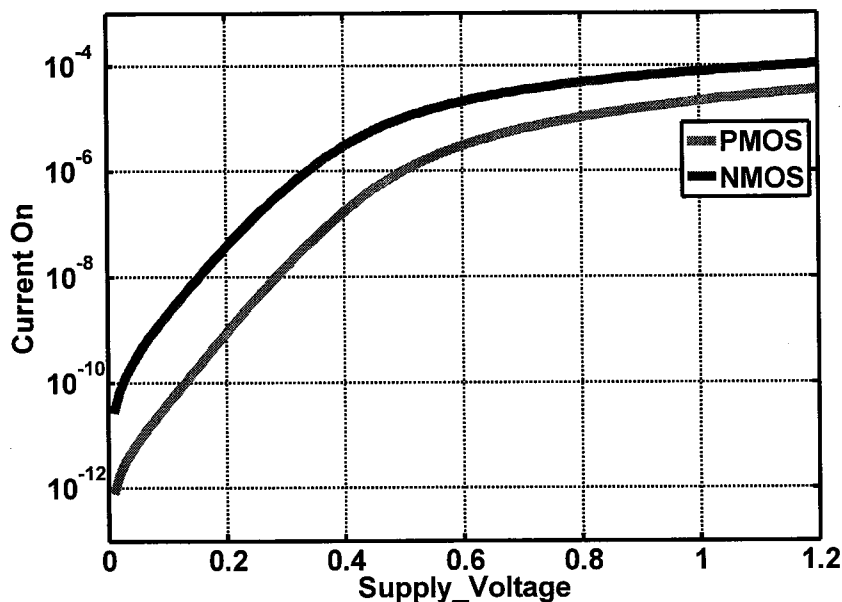


图 2-1 MOSFET 的电流-电压特性曲线

图 2-1 给出了 NMOS、PMOS 的电流-电压变化趋势图。从图中可以看出，随电源电压的降低，电流呈现出两个显著不同的变化阶段。在电源电压高于晶体管阈值电压时，电流呈现超线性的下降趋势。在这一阶段，晶体管工作在超阈值状态下的饱和区，电流-电压关系可以用公式 2.1 表示。然而，当电源电压下降到晶体管阈值附近及以下时，晶体管的饱和电流随电源电压呈指数形式变化，此时正常电压的电流表达式已不再适用，必须采用新的电流模型，如公式 2.2 所示。这是近/亚阈值工作状态下，器件特性中最典型的特征。

$$I_d = \frac{W_{eff}}{L_{eff}} \cdot \mu \cdot [(V_{GS} - V_T)V_{DS} - \frac{1}{2} V_{DS}^2] \quad (2.1)$$

$$I_d = \frac{W_{eff}}{L_{eff}} \cdot \mu \cdot \sqrt{\frac{q\epsilon_{si}N_{cheff}}{2\Phi_s}} V_T^2 \cdot \exp\left(\frac{V_{gs} - V_{th}}{mV_T}\right) \cdot (1 - \exp\left(\frac{-V_{ds}}{V_T}\right)) \quad (2.2)$$

其中, W_{eff} 表示有效器件宽度, L_{eff} 表示有效沟道长度, N_{cheff} 表示沟道有效掺杂, μ 表示载流子迁移率, ϵ_{si} 表示介电常数, Φ_s 表示表面势, m 表示体偏效应系数, V_{gs} 表示栅极电压, V_{ds} 表示漏极电压, V_T 表示热电压。

由以上的公式对比中能够看出, 在近/亚阈值工作状态下, MOSFET 受工艺偏差、电源变化及温度变化的影响, 远远大于正常电压。MOSFET 在近阈值与超阈值工作状态下器件特性的差异表现为:

(1) 近/亚阈值工作状态下, MOSFET 的电流与栅电压的关系呈指数关系, 而在超阈值工作状态下, 两者的关系处于二次方与线性关系之间。

(2) 近/亚阈值工作状态下, MOSFET 的电流与电源电压的关系呈指数关系, 而在超阈值工作状态下, 两者呈现二次方关系。

(3) 近/亚阈值工作状态下, MOSFET 的电流与阈值电压呈指数关系, 而在超阈值工作状态下, 两者呈现二次方关系。

2.1.2 低电压下的电容-电压特性

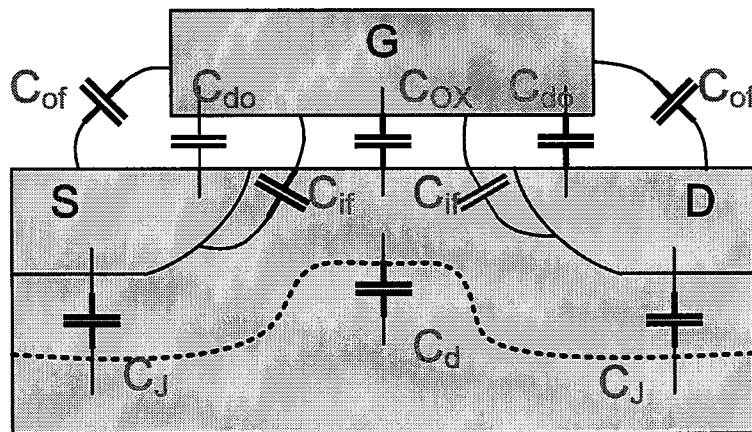


图 2-2 MOSFET 的电容构成图

MOSFET 的电容构成结构如图 2-2 所示, 其中 C_{ox} 表示栅氧电容, C_d 表示耗尽层电容, C_{do} 表示覆盖电容, C_{of} 和 C_{if} 表示边缘电容。在晶体管使用过程中, 其输入栅电容是关注的重点, 其构成如公式 2.3 所示。

$$C_i = series(C_{ox}, C_d) \parallel C_{if} \parallel C_{of} \parallel C_{do} \quad (2.3)$$

随着电源电压的降低, 耗尽层电容 C_d 逐渐减小, 这种变化在强反型的超阈值范围内, 并不明显。然而, 当电源电压下降到近/亚阈值附近时, 沟道处于弱反型状态, 耗尽层电容会随着电源电压呈现出显著的变化。进而, 由于 C_{ox} 与 C_d 的串联作用, 导致总的输入栅电容出现显著的下降趋势, 如图 2-3 所示。

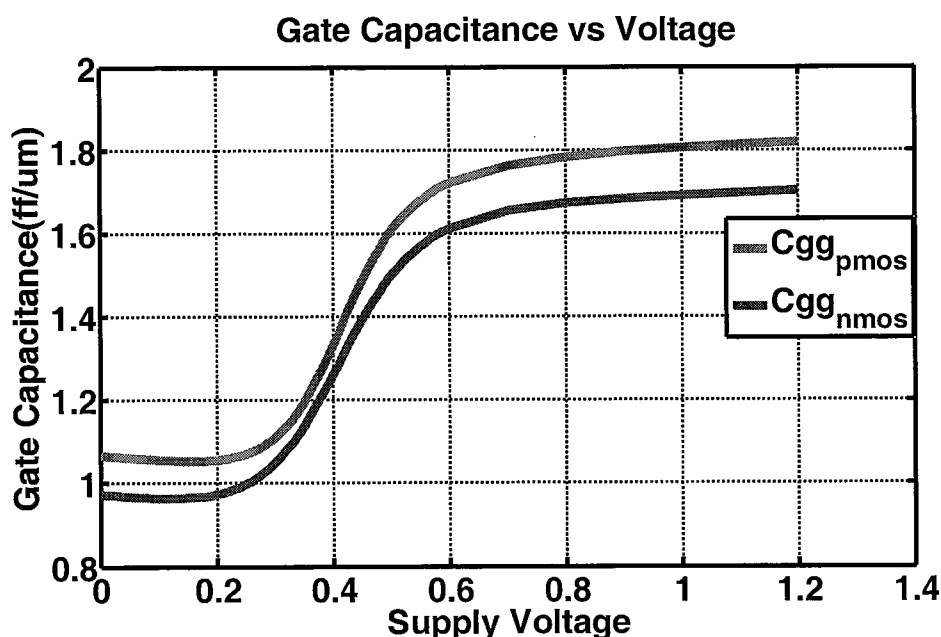


图 2-3 输入栅电容随电源电压的变化趋势

2.1.3 低电压下的反短沟特性

一般而言, 随着晶体管长度 L 的增加, 晶体管的阻值增大, 电流降低, 驱动能力减弱。反短沟效应, 又称 RSCE 效应, 指在电源电压较低的情况下, 会呈现出相反的趋势, 即随着 L 小范围的增加, 会导致晶体管的电流增大, 驱动能力增强, 如图 2-4 所示。

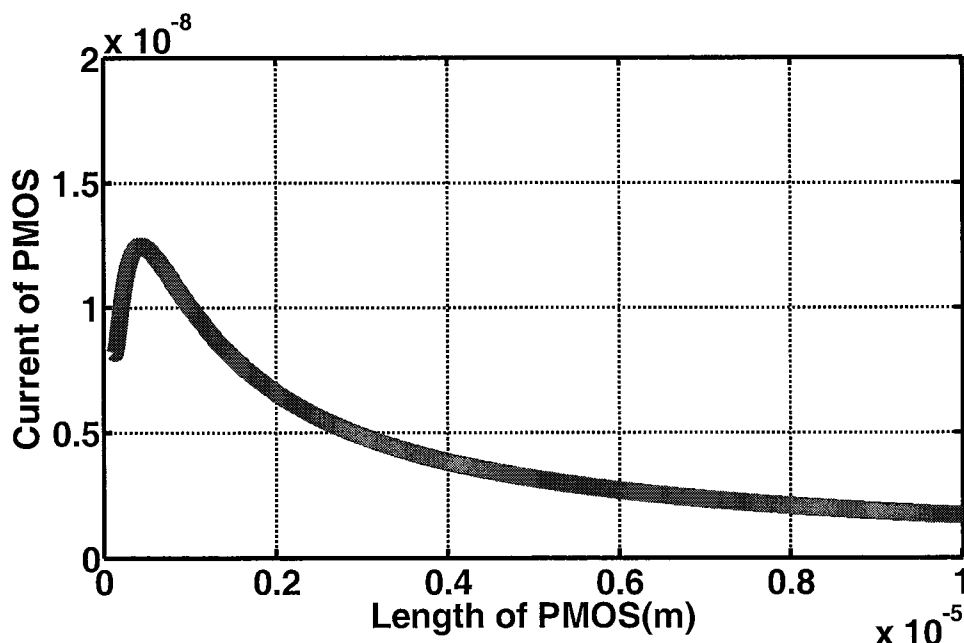


图 2-4 低电压下, PMOS 的 RSCE 效应

在晶体管的电流-电压关系式中, L 的增加会造成两方面的影响。一方面, L 的增大, 会造成系数 $\mu W/L$ 的减小, 引起电流的下降; 同时, 晶体管的开启阈值 V_t 与 L 也是相关的, L 的增大会引起晶体管阈值的下降, 因而造成驱动电流的增加。两种相反的趋势作用到一起, 最终形成了低电压下的反短沟效应的特性。

RSCE 效应的存在, 表明在电源电压、晶体管宽度确定的情况下, 晶体管长度存在一个最优值, 使得驱动能力最强。该效应在低电压电路设计中, 有极其重要的作用。通过晶体管长度的适当增加, 既可以增强晶体管的驱动能力, 又可以提高晶体管抵抗工艺偏差的能力。接下来, 对 RSCE 效应进行进一步的研究。

(1) RSCE 效应与晶体管宽度 Width 的关系

进一步的分析表明, 在不同的晶体管宽度情况下, 晶体管最优长度也不相同。因此, 最优沟道长度的选择是沟道宽度的函数。图 2-5 给出了在 0.3V 电源电压下, NMOS 的最优晶体管沟道长度 (Optimized Length) 与沟道宽度 (Width) 的关系。由图中能够看出, 晶体管的最优沟道长度与沟道宽度的关系, 大致可以分为两个阶段:

第一阶段：沟道宽度较小时，最优的沟道长度随沟道宽度变化显著；

第二阶段：沟道宽度较大时，最优的沟道长度变化较小，基本保持在 500nm 左右。

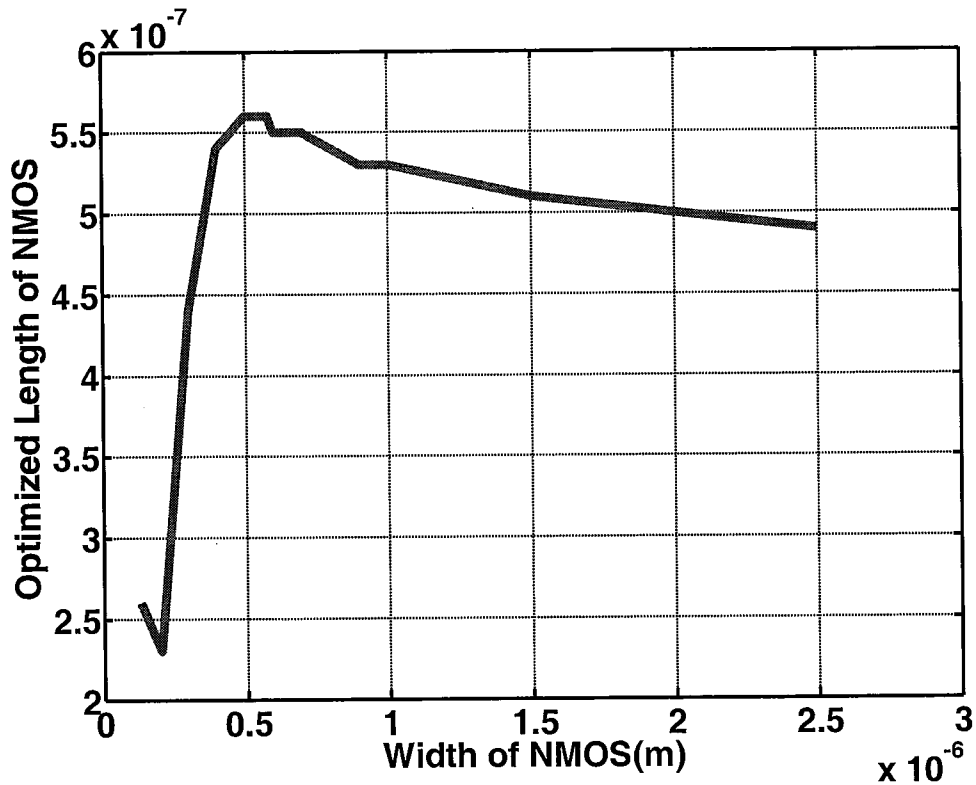


图 2-5 0.2V 电压下，晶体管最优沟道长度随沟道宽度的变化关系

(2) RSCE 效应随电源电压的关系

晶体管的 RSCE 效应与电源电压密切相关。随着工作电压的上升，最优长度逐渐逼近工艺设计的最小尺寸。这意味着，在电源电压较高的工作区域，RSCE 效应体现并不明显，然而随着电源电压的下降，尤其当电源电压接近或低于阈值电压时，RSCE 效应开始变得越来越显著，如图 2-6 所示。图中曲线，从低到高分别表示在 0.15V、0.20V、0.25V、0.30V 的 RSCE 曲线，可以看出，电源电压越高，晶体管的最优尺寸越接近最小尺寸。

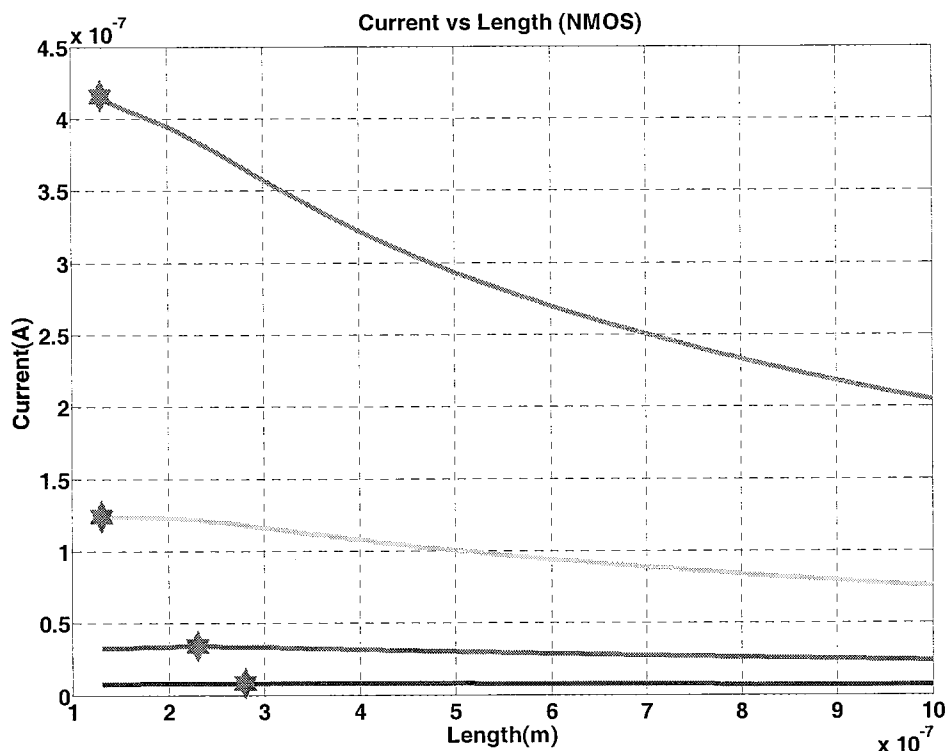


图 2-6 晶体管 RSCE 效应随电源电压的变化关系

由上述分析可知，晶体管的最优长度的设计与宽度设计是密切相关的，这种关系在后续的电路设计中具有重要的意义。(1) 基于这种关系，遍历晶体管最优尺寸的工作量从二维遍历，骤减为一维遍历，大大减少分析的运算量。(2) 在低电压下的电路设计，总希望晶体管能够处在驱动能力最强的状态，因此，在确定宽度的情况下，总希望能给出相应的最优沟道长度。(3) 适当增加沟道长度，能够有效的抵抗工艺偏差造成的影响。综上所述，RSCE 效应的深入分析和应用对于后续电路的设计具有重要的指导意义。

2.1.4 低电压下的反窄沟特性

一般而言，随着晶体管宽度 Width 的增加，晶体管的阻值会逐渐减小，电流增大，驱动能力增强。然而，反窄沟效应，又称 RNCE 效应，指在电源电压较低的情况下，会呈现出相反的趋势，即随着 Width 小范围的增加，会导致晶体管的电流减小，驱动能力下降，如图 2-7 所示。

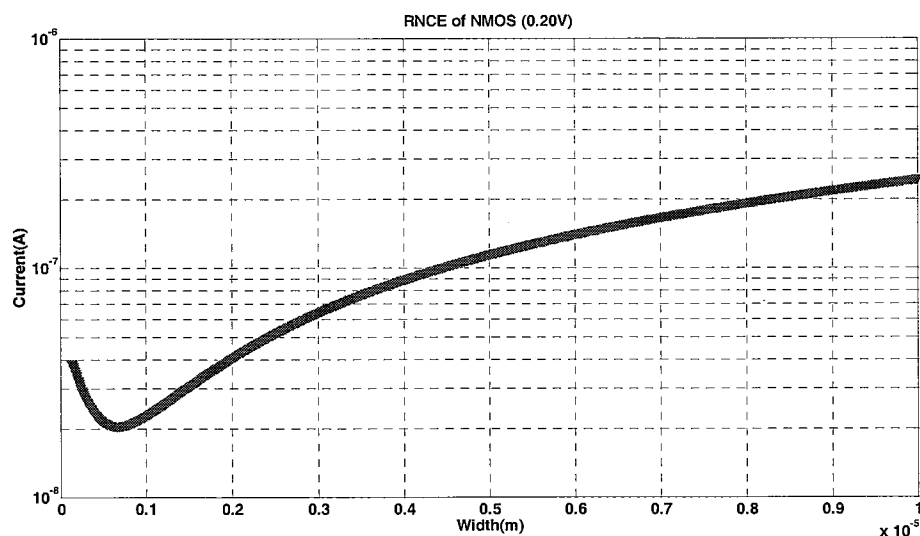


图 2-7 0.2V 电压下, NMOS 的驱动电流随沟道宽度的变化关系

晶体管的 RNCE 效应与电源电压密切相关。随着工作电压的上升, 最优长度逐渐逼近工艺设计的最小尺寸。这意味着, 在电源电压较高的工作区域, RNCE 效应体现并不明显, 然而随着电源电压的下降, 尤其当电源电压接近或低于阈值电压时, RNCE 效应开始变得越来越显著, 如图 2-8 所示。

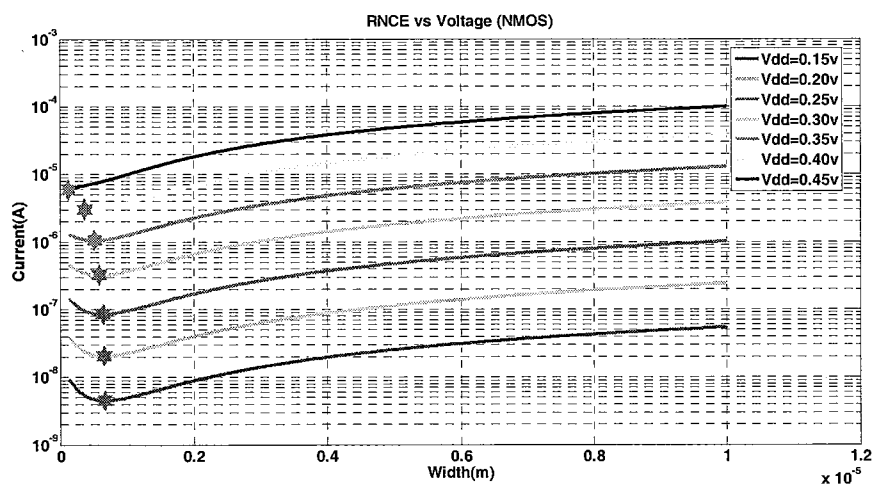


图 2-8 晶体管 RNCE 效应随电源电压的变化关系

2.1.5 低电压下的 I_{on}/I_{off} 特性

静态互补 CMOS 电路由 PMOS 上拉网络及 NMOS 下拉网络组成, 通过互补对称的结构, 完成特定的功能。PMOS 上拉网络开启时, NMOS 下拉网络必

然关闭，对输出节点充电，电路输出为高电平。反之，NMOS 下拉网络开启时，PMOS 上拉网络必然关闭，对输出节点进行放电，电路输出为低电平。在电路工作过程中，要求开启网络的驱动能力要远远高于关闭网络的驱动能力，才能够保证电路功能的正确性、稳定性。

图 2-9 给出了 $I_{on}(NMOS)/I_{off}(PMOS)$ 、 $I_{on}(PMOS)/I_{off}(NMOS)$ 随电源电压的变化趋势图，呈现出以下的典型特点：

- 1) 当电源电压较高时， $I_{on}(NMOS)/I_{off}(PMOS)$ 、 $I_{on}(PMOS)/I_{off}(NMOS)$ 都具有较高的比值，在 10^4 以上。表明在电源电压较高时，电路的开启网络相对于关断网络，具有明显的驱动能力优势，电路具有较高的稳定性。
- 2) 当电源电压下降到阈值附近及以下时， $I_{on}(NMOS)/I_{off}(PMOS)$ 、 $I_{on}(PMOS)/I_{off}(NMOS)$ 都开始以指数形式下降。表明在近/亚阈值工作状态下，电路的开启网络相对于关断网络，其驱动能力的绝对优势迅速衰减，电路的稳定性被严重削弱。
- 3) 当电源电压继续降低时， $I_{on}(NMOS)/I_{off}(PMOS)$ 、 $I_{on}(PMOS)/I_{off}(NMOS)$ 开始接近甚至低于 100，此时电路的稳定性已严重受影响，开始出现功能错误。
- 4) 在 smic130nm CMOS 工艺下，PMOS 网络开启、NMOS 网络关断，即输出高电平时，电路的稳定性较差。反之，输出低电平的电路状态较为稳定。

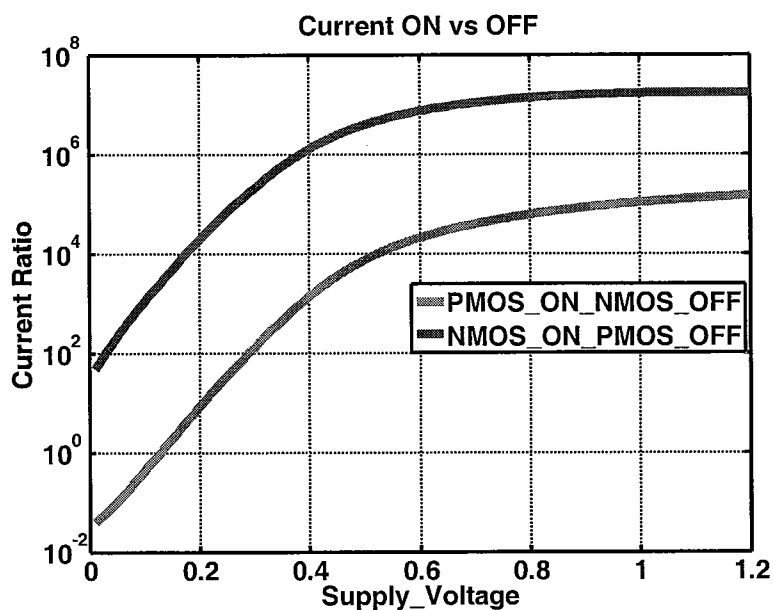


图 2-9 $I_{on}(NMOS)/I_{off}(PMOS)$ 、 $I_{on}(PMOS)/I_{off}(NMOS)$ 随电源电压的变化趋势

2.1.6 低电压下的反温度特性

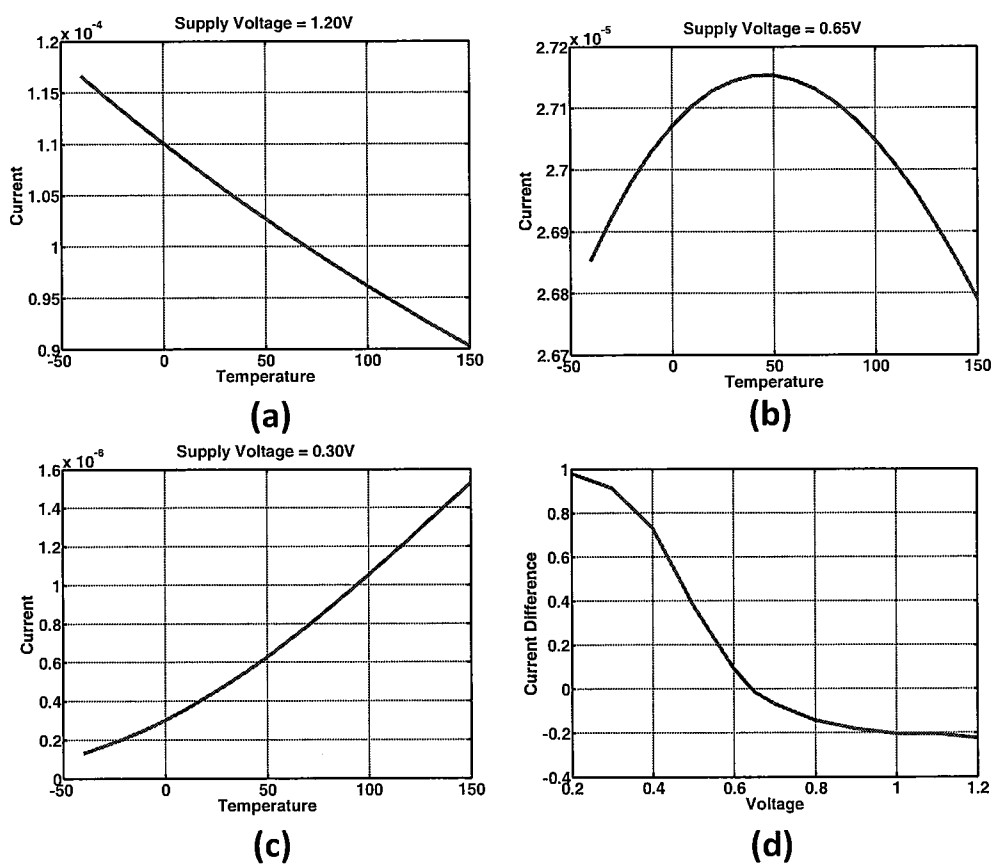


图 2-10 不同电压下，NMOS 电流随温度变化的关系

在正常电压下，晶体管的电流随温度的上升而减小，如图 2-10(a)所示。然

而在低电压工作条件下,晶体管的电流随温度的上升是逐渐增加的,如图 2-10(c)所示。比较以上两图发现,在不同电压下,电流随温度的变化,呈现出明显不同的变化趋势。因此,在不同电压下,分别计算电流随温度变化的趋势,计算其斜率。正数表示电流随温度的上升而增加,负数表示电流随温度的上升而下降。整理得到如图 2-10(d)所示的趋势图。从图 2-10(d)能够明显的看出,在电压较低的范围(低于 0.65V),电流随温度的上升而增加。当电源电压较大时(高于 0.65V),电流随温度的上升而减小。在电源电压等于 0.65 左右时,电流随温度的变化不明显,基本保持不变。

2.2 库单元的工作特性随电源电压的关系

2.2.1 低电压下的性能-电压特性

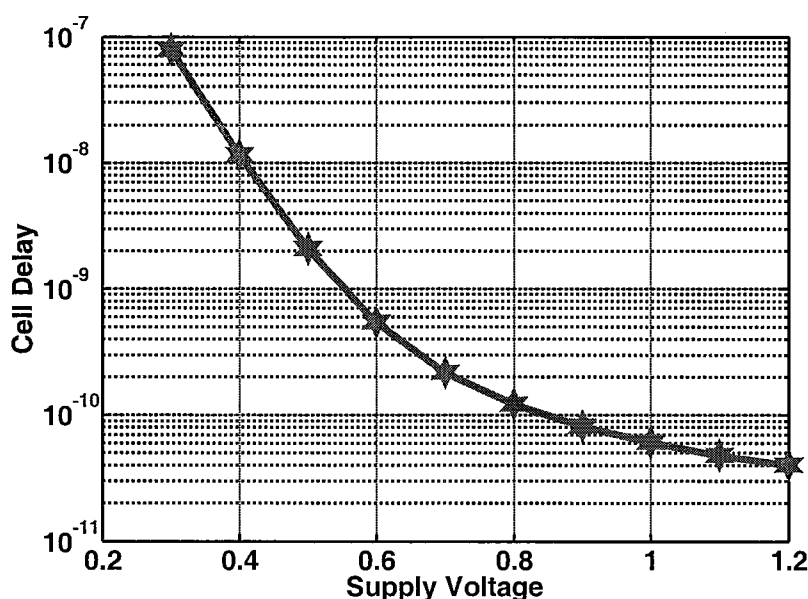


图 2-11 INVX1 的电路延时随电源电压的关系曲线

图 2-11 给出了库单元 INVX1 的电路延时随电源电压的关系曲线。由图中可以看出,随着电源电压的降低,电路延时在逐渐增大。在电源电压较高的阶段,延时增加较缓,呈现线性关系;随着电压的进一步降低,延时增加越来越快;在电源电压进入近/亚阈值电压范围后,电路延时呈指数关系增加。

电路性能随电源电压的这种变化,会对数字时序电路的设计造成两方面的影响。一是同样的电路设计,随着电源电压的降低,逻辑路径的延时逐渐增加,

电路的最高工作频率会逐渐下降，进而导致不同的电压范围适用于不同的应用领域。二是电路频率的降低，会导致同样的电路结构，能耗构成比例发生严重变化。动态能耗与时钟频率无关，会随着电源电压的降低而呈现平方关系下降，然而静态能耗的趋势则大不相同。虽然静态电流随着电源电压的下降在逐渐减小，然而在近/亚阈值电压范围内，静态能耗则会因为时钟周期的迅速增加而呈现上升的趋势。

这种现象产生的原因，主要源自于两个方面：一是驱动能力的减弱。随着电源电压的降低，晶体管的驱动能力逐渐恶化，对于一定的负载而言，需要更长的充电时间。二是 I_{on}/I_{off} 的逐渐减弱。随着电源电压的降低，开启的电路网络相对于关断的电路网络不再有绝对的优势，尤其当电源电压降低到近/亚阈值时，关断网络的驱动能力已经可以与开启网络相匹敌，必然导致对输出的充电时间变长。

2.2.2 工艺偏差的影响随电源电压的变化关系

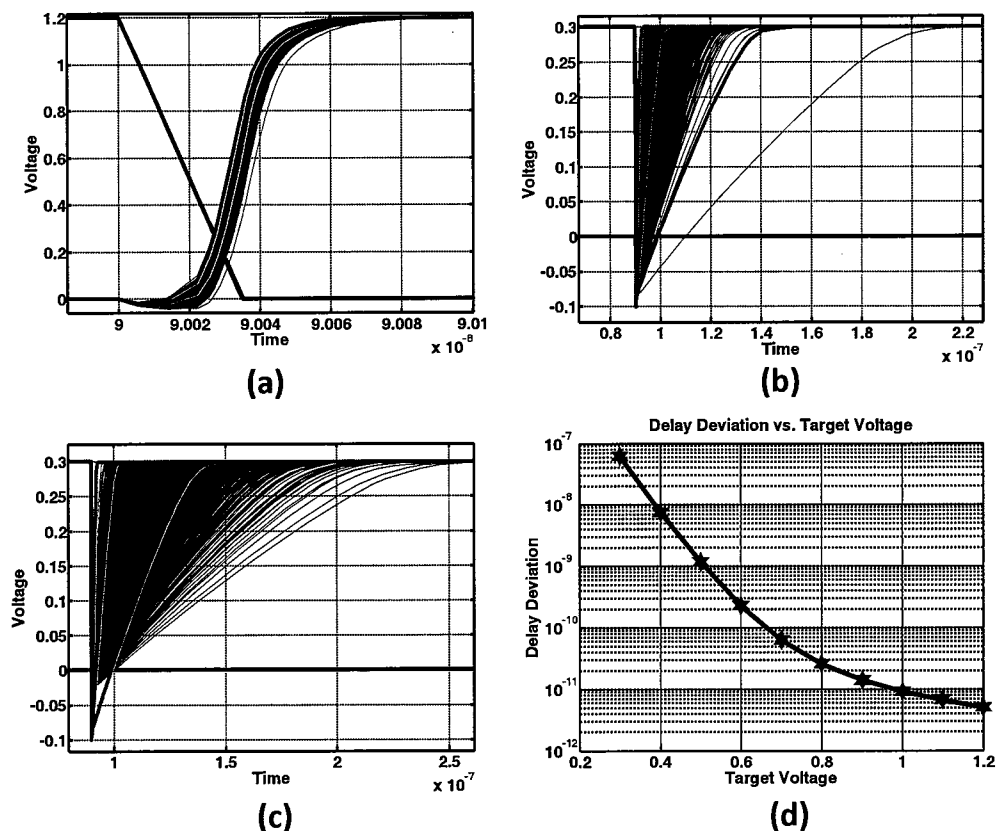


图 2-12 工艺偏差对电路性能的影响

工艺偏差，包括全局工艺偏差、局部工艺偏差。全局工艺偏差，即工艺角偏差，表现为所有的 NMOS 往同一方向偏离，所有的 PMOS 往同一方向偏离，包括 FF、SS、TT、FNFP、SNFP 五个工艺角。局部工艺偏差，又称 mismatch，表现为同一芯片中的 NMOS 之间呈现的工艺差别和 PMOS 之间呈现的工艺差别。在近/亚阈值工作条件下，由于二阶效应的减弱，局部工艺偏差的主要来源是随机掺杂不均。在电路设计过程中，主要表现为晶体管的阈值电压变化。

基于 smic130nm CMOS 工艺，对 INVX1 库单元进行 Monte Carlo 分析，得到如图 2-12 所示的延时分布，全面反映了工艺偏差对电路性能的影响。图 2-12(a)、2-12(b)分别给出了全局工艺偏差在 1.20V 和 0.30V 的电源电压下，对电路性能的影响。随着电源电压的降低，全局工艺偏差的影响也越来越大。但图中也表明，工艺角分析在低压情况下，依然能够很好的覆盖全局工艺偏差的影响。图 2-12(c)给出了在 0.30V 下，综合考虑全局工艺偏差、局部工艺偏差的影响时，电路性能分布情况。在这种情况下，传统工艺角分析的方法已经无法覆盖工艺偏差的影响，需要进一步加强传统分析方法。图 2-12(d)进一步给出了延时分布的方差随电源电压的关系，表明随着电源电压的下降，延时分布受工艺偏差的影响越来越大。

这种现象产生的原因，依然源自于电源电压进入近/亚阈值范围内，晶体管特性的变化。无论全局工艺偏差，还是局部工艺偏差，最终都通过影响阈值电压变化而体现。阈值电压变化引起的性能变化，在超阈值电压范围内，对电路性能呈现近线性变化的影响，然而在近/亚阈值范围内，则呈现出指数形式的影响，因此造成了电路性能的急剧恶化。同样，局部工艺偏差的影响，在超阈值电压时，影响不大，然而在近/亚阈值条件下，其影响被指数级放大，进而造成显著的性能变化。

2.2.3 低电压下的稳定性-电压特性

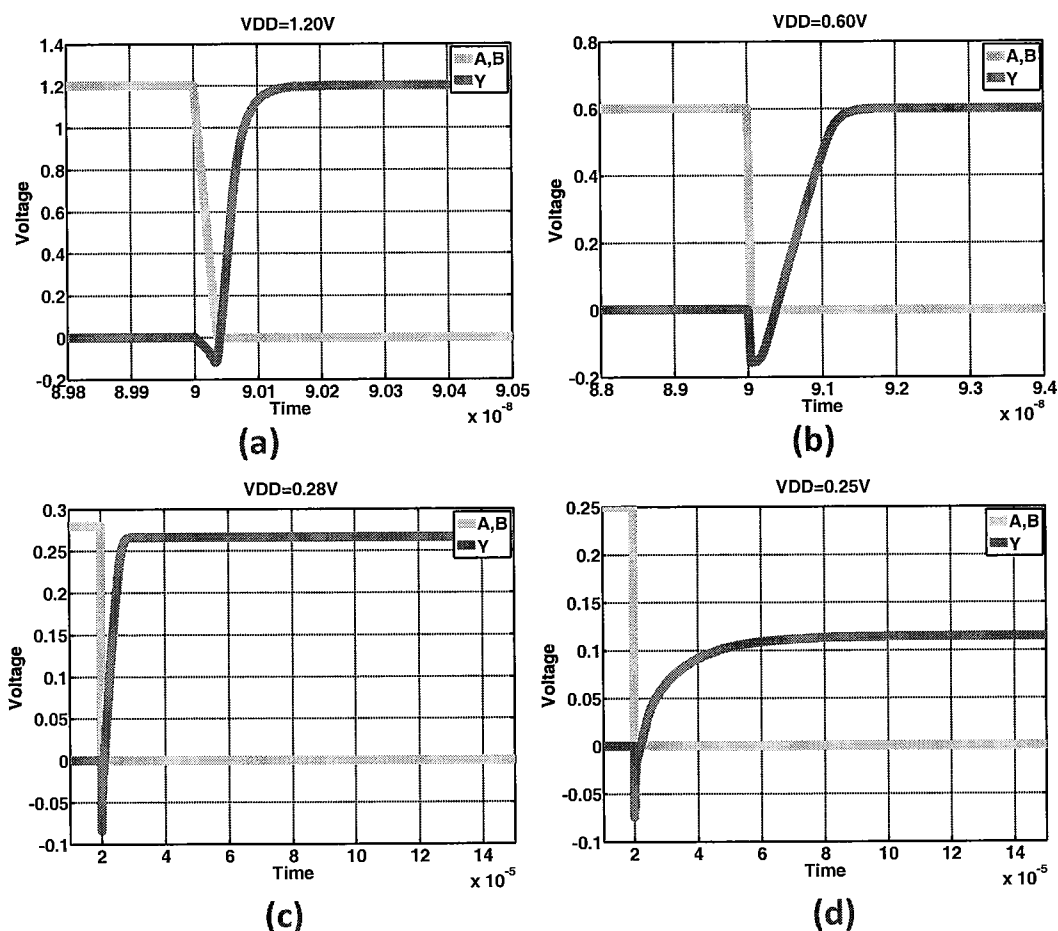


图 2-13 NOR2XL 的 A_hl_B_hl 工作模式在不同电源电压下的工作状态

电源电压的降低，将直接影响库单元的稳定性。图 2-13 给出了标准单元 NOR2XL 的 A_hl_B_hl 工作模式在 1.2V、0.6V、0.28V、0.25V 不同电源电压下的工作情况，绿线代表输入信号 A、B 的变化，红线代表输出信号 Y。从图中可以看出，随着电源电压的降低，库单元的工作情况呈现出以下特点：（1）在电源电压降低的初始阶段，库单元依旧能够保持功能的正确性，如图 2-13 (a)、2-13 (b)所示；（2）电源电压的进一步降低，会导致库单元的输出电平偏离理想输出电平，出现功能误差，如图 2-13 (c)所示；（3）随着电源电压的深入降低，库单元的输出将偏离理想电平越来越大，甚至开始出现中间电平，此时则认为功能错误，如图 2-13 (d)所示。

以上现象产生的原因，主要源自于 I_{on}/I_{off} 随电源电压的变化。传统的电路设计，包括电路结构的选择、电路尺寸的设计，都是面向正常电压而进行的。电路尺寸的优化，主要是为了平衡电路的上拉网络及下拉网络的驱动能力，保证电路的性能及稳定性。然而随着电源电压的下降，这种原本精心设计的电路尺寸变得不再最优，尤其是晶体管堆叠、比例逻辑等情况的出现，使得在低电压情况下，开启的电路网络相对于关断的电路网络，不再有绝对的驱动能力优势。随着这种相对优势的丧失，必然导致电路稳定性的变差，最终导致电路失效。与性能恶化不同的是，这种电路功能的失效，是一种与系统工作频率无关的参量，即它与应用领域无关，无法通过损失性能来进行补偿。它直接决定了电路能够接受的最低工作电压。

2.3 标准单元库的稳定性评价

以上稳定性分析指出，随着电源电压的降低，库单元的稳定性会逐渐恶化，甚至出现功能失效的现象。然而，标准单元库是数字电路设计的基础，库单元的稳定性是数字电路功能正确的前提和保证。因此，为保证数字电路的低电压设计的正确性，必须对标准单元库进行稳定性评价，得出其能够接受的最低工作电压。

然而，标准单元库中所包含的单元种类繁多、驱动能力各异、电路结构更是各不相同，因此随着电源电压的降低，每个库单元所呈现出的稳定性也有所不同。作为标准单元库可接受的最低工作电压，必须能够保证库中所有单元都能够功能正常，所以在对标准单元库进行稳定性评价时，需要制定统一的量化标准，并对标准单元逐一进行评价。

因此标准单元库的稳定性评价，最终转化为单个库单元的稳定性评价，而具体的评价方法，也以单个库单元的稳定性评价为切入点，制定具体的量化评价方法及评价标准。

2.3.1 稳定性的评价思路

库单元稳定性的量化评价方法，是从库单元使用的角度，考虑所有可能出现的情况。在分析过程中，主要从四个方面进行：1、库单元的使用环境是怎样

的？2、库单元的功能可能受哪些因素的影响？3、如何量化表征这些影响因素，形成可量化的参量，引入电路的功能仿真？4、如何量化地评价库单元的功能是否正常？

（1）库单元的使用环境

库单元的使用，源自于电路设计的综合阶段。在综合过程中，EDA 工具采用标准单元库来搭建电路网络，形成一定的系统功能。在电路网络中，库单元可能是任何单元的后级负载单元，同时也可能是任何单元的前级驱动单元。库单元的各种工作模式都可能在设计中出现。因此，为评价库单元在一定电源电压下的稳定性，必须保证库单元的所有工作模式都能够正常工作。

（2）库单元的影响因素

在电路网络中，对库单元的功能稳定性造成影响的因素，大致可以分为以下三类：1）外部工作环境：包括电源电压波动、温度波动、外部引入的噪声；2）连接环境：前级电路的输出电平，即本级库单元的输入电平；3）工艺环境：工艺参数的波动，反映为工艺偏差造成的影响。

（3）影响因素的量化方法

对以上影响因素，进行量化建模，引入对库单元的仿真模型中，形成可以仿真分析、量化评估的评价方法。其中，电源电压的波动、温度的波动、工艺参数的波动，一般引入高斯分布模型，来模拟这些参量的变化，然后通过 Monte Carlo 分析方法，仿真分析它们对库单元稳定性的影响。在量化过程中，按照工业分析的常用范围，电源电压波动 10%，温度变化在 $-40\sim 125^{\circ}\text{C}$ ，而工艺参数的波动一般由 Foundary 提供。

在仿真模型中，外部噪声的影响、输入电平的变化，最终都反映在输入信号电平的变化。根据 MIT 提出的 10%误差标准，允许库单元的输出偏离理想输出电平 10%VDD 的误差，因此前级库单元的输出信号，可能出现最坏的情况偏离 10%的误差。这样，本级库单元的输入信号也就偏离理想输入电平 10%VDD。此外，为模拟外部噪声的影响，我们在库单元的输入信号上进一步叠加

10%VDD 的噪声影响。两种影响的叠加，最终导致在仿真模型中，库单元的输入电平最坏可能出现 20%VDD 的电平偏离。

(4) 量化评价库单元的功能

为保证电路功能的正确性，要求即便在输入电平偏离理想电平的情况下，依然能够保证输出电平的正确性。按照上述标准，库单元输出电平偏离理想电平 10%以内，都认为逻辑功能正常。

为考虑电源电压、温度、工艺偏差的影响，对库单元进行 Monte Carlo 分析。按照工业界标准，如果分析结果中 99.87%以上的测试结果均满足功能正常的要求，则表明在该条件下，库单元的功能是稳定的。

2.3.2 稳定性的量化评价标准

基于以上分析，本文以单个库单元的稳定性评价为切入点，提出了以下具体的量化评价标准：

- 1) 功能正确性的评价标准：在输入误差 20%的情况下，输出误差不得超过 10%；
- 2) 功能稳定性的评价标准：考虑工艺偏差、温度变化、电压抖动的情況下，对库单元的不同工作模式进行 Monte Carlo 分析，仿真次数 10000 次以上，其中 99.87%以上的仿真结果满足功能正确性的评价标准。

标准一针对库单元的单个仿真结果，从两方面保证了库单元功能的正常。一是输出误差不超过 10%。这要求在库单元输入受到噪声影响时，输出电平虽然有所偏离，但偏离不大，依然能够保证功能正常；二是 10%的输出误差小于 20%的输入误差，表明单元对噪声有削弱的作用，即噪声引起的电平偏离，在经过多级单元的传递时会被逐级衰减。由此，从逻辑功能上保证了库单元的正确性。

标准二则针对工艺偏差对库单元稳定性的影响，引入 Monte Carlo 分析方法，同时引入工业界的 3σ 标准作为评价标准，给出了量化评价库单元稳定性的方法。

2.3.3 稳定性的评价流程

以上两个评价标准不仅给出了量化评价单元稳定性的思路，也给出了具体的操作方法，如图 2-14 所示。

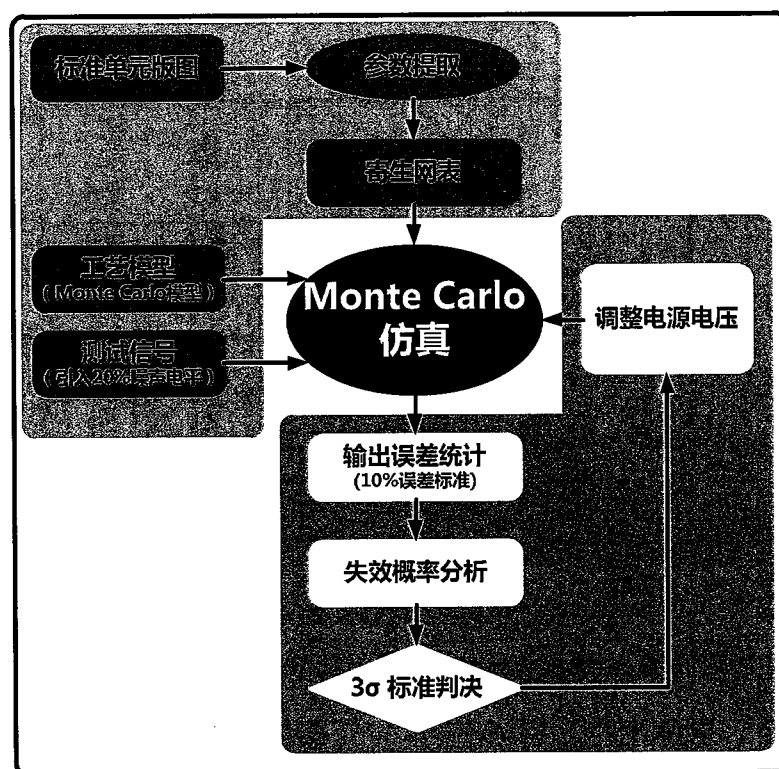


图 2-14 量化评价库单元稳定性的流程图

采用该评价流程，对 smic130nm CMOS 标准单元库的库单元 NOR2XL，在 0.4V 工作电压下，进行稳定性的量化评价，可以分为以下三步：

(1) 仿真数据准备阶段

需要准备的数据，主要包括三部分：带有寄生信息的网表；反映工艺偏差的 Monte Carlo 模型；带有 20% 噪声的输入测试信号。其中，寄生网表可以通过 Calibre 对库单元的版图进行提参得到；工艺偏差的 Monte Carlo 模型，工艺厂商一般都会提供；输入测试信号，为模拟 20% 的噪声影响，均以 20%VDD 为低电平，80%VDD 为高电平产生，如图 2-15 所示。

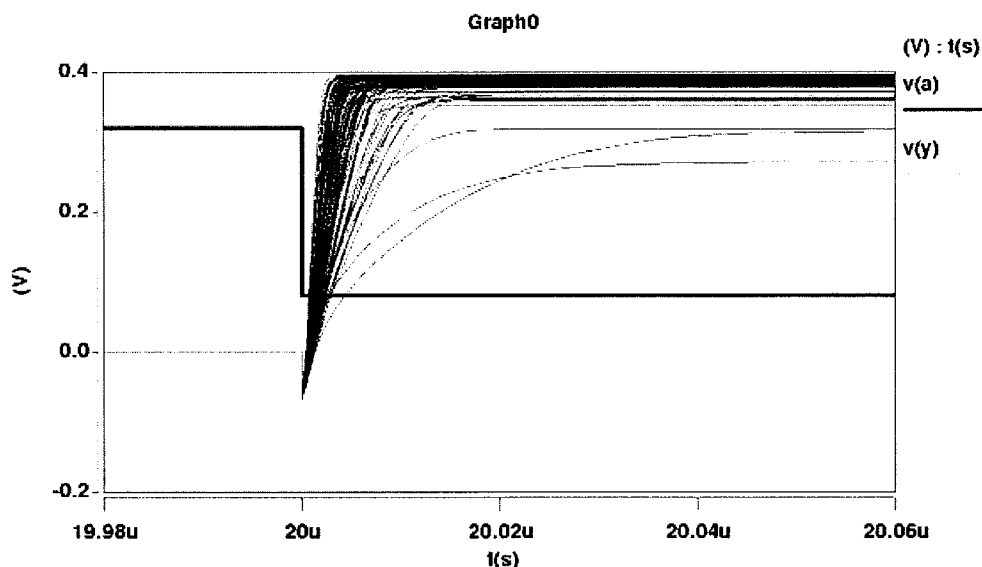


图 2-15 Monte Carlo 仿真时的输入/输出信号图

(2) Monte Carlo 仿真阶段

在不同温度下,对库单元的不同工作模式进行 Monte Carlo 仿真,仿真次数 10000 次。对每次仿真,测量并保存其稳定时的输出电平。图 2-15 给出了在 0.4V 工作电压下,对 NOR2XL 的 A_hl_B_hl 工作模式进行 Monte Carlo 仿真时的输出波形。由图中可以看出,在 10000 次的迭代过程中,输出信号的电平呈现出一定的分布,大部分能够达到理想高电平。但也有部分输出偏离理想电平,存在一定误差。还有少数偏离较大,甚至出现了功能错误,稳定在中间电平。

(3) 仿真结果分析阶段

在这个阶段,我们对 Monte Carlo 分析下的输出电平与理想电平进行误差统计,如图 2-16 所示。然后对输出误差进行分析,统计不同程度的误差出现的概率,如图 2-17 所示。进而,按照量化评价标准,误差在 10%以内的被认为功能正确。统计 Monte Carlo 仿真结果中,功能正常的概率,最后以 99.87%的标准判定库单元的稳定性。从图 2-17 可以得出,功能正确的概率是 94.72%,不满足 3σ 标准。表明在 0.4V 工作电压下, NOR2XL 的 A_hl_B_hl 工作模式,不能正常工作。为保证库单元的稳定性,需要适当提升电源电压,重新进行评价,直到失效概率分析能够满足 3σ 标准为止。

按照上述的评价方法，对 NOR2XL 的所有工作模式进行分析，就可以得到库单元 NOR2XL 可以接受的最低工作电压。

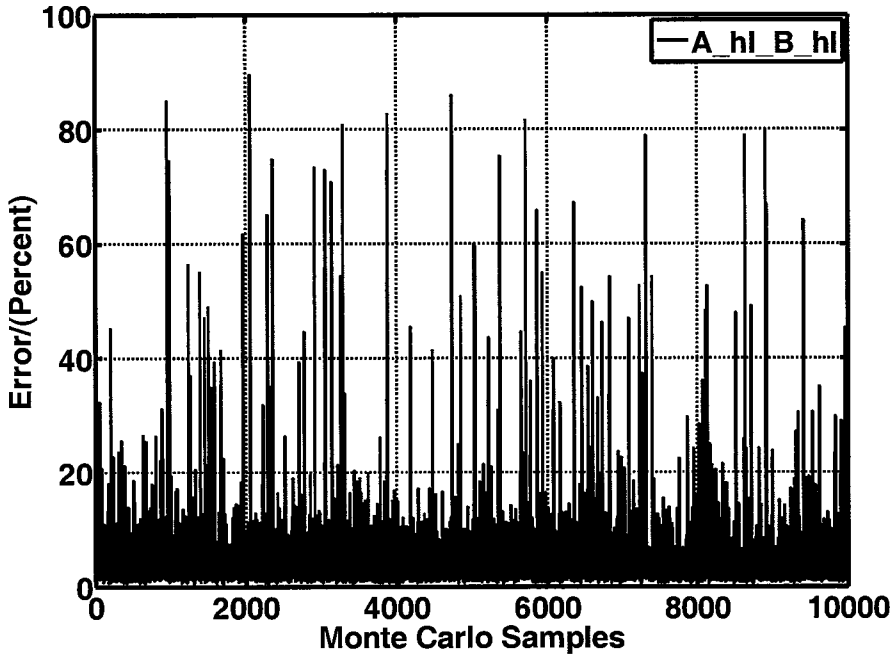


图 2-16 Monte Carlo 仿真结果的误差统计图

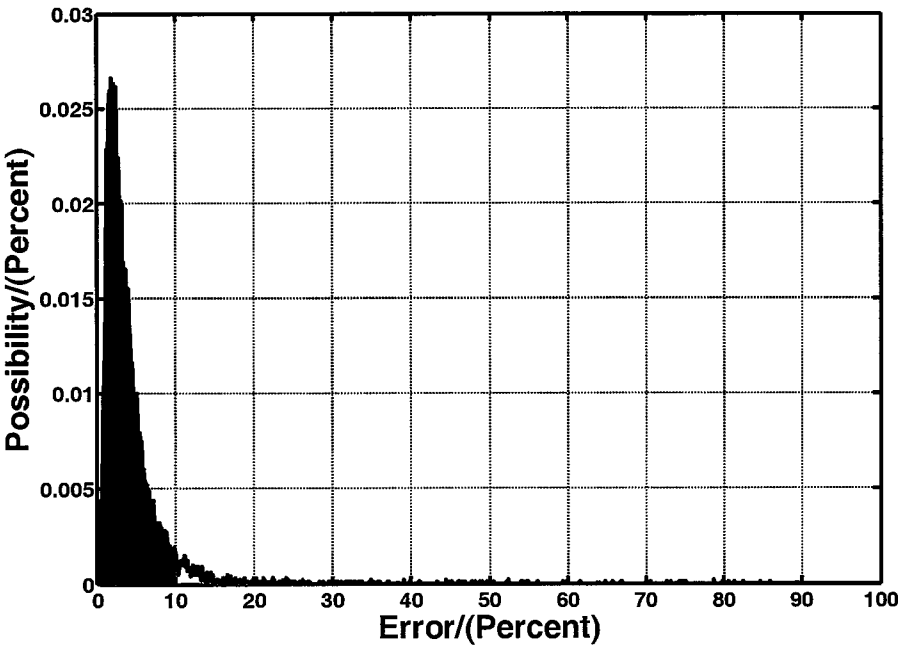


图 2-17 输出电平与理想电平误差的概率分布图

2.3.4 标准单元库的最低工作电压评价

采用该评价流程，对 smic130nm CMOS 标准单元库的其他单元分别进行稳定性评价，可以得到所有库单元的最低工作电压，如图 2-18 所示。从图中能够看出，标准单元库中的不同单元，可接受的最低工作电压各不相同。为保证标准单元库的稳定性，就必须保证标准单元库中的每一个单元都能够正常工作。因此，标准单元库所能接受的最低工作电压，就是汇总每个库单元的最低工作电压，然后取其最大值。

经过以上分析，我们可知，smic130nm CMOS 标准单元库的可接受的最低工作电压是 0.5V。这样，如果不考虑系统性能，而仅从稳定性角度考虑，则采用该单元库进行系统设计的电压调节范围为 0.5V ~ 1.2V。

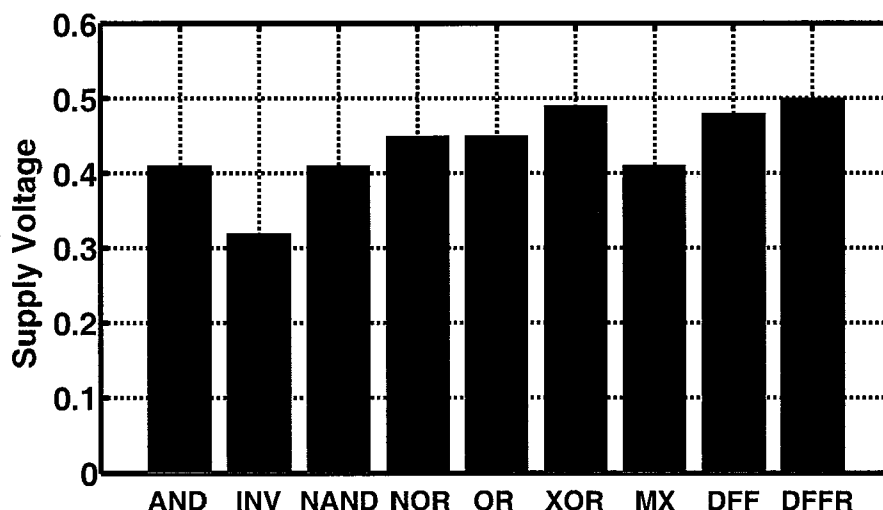


图 2-18 smic130nm CMOS 标准单元库的最低工作电压

2.4 本章小结

本章首先对低电压下 MOSFET 的工作特性进行了深入分析，重点研究了电流-电压特性、电容-电压特性、反短沟效应、反窄沟效应、反温度特性以及 I_{on}/I_{off} 随电源电压的变化关系。然后，对库单元的低电压特性进行了研究，包括性能-电压特性、稳定性-电压特性以及工艺偏差对库单元的影响，指出随电源电压的降低，库单元的稳定性逐渐恶化。基于此，本文展开了对标准单元库稳定性的研究，形成了一种量化评价标准单元库稳定性的方法，并采用该方法对

smic130nm CMOS 的商用标准单元库进行评价，得到其能够接受的最低工作电压为 0.5V，为后续基于该单元库进行低电压设计提供了一定的指导。

第3章 面向近/亚阈值的标准单元库设计

根据前述章节对商用标准单元库的稳定性评价，库单元在极低电压下无法正常工作。因此，为保证电路的电源电压可以进一步降低，支持电路工作在最优能耗点，必须面向近/亚阈值电压定制标准单元库。本章采用 smic130nm CMOS 工艺，对近/亚阈值工作电压的标准单元库设计方法展开研究，围绕目标电压的确定、库单元类型的选择、电路结构的选择、晶体管的尺寸设计以及标准单元库的版图设计规则等重要问题，给出了近/亚阈值标准单元库的设计流程。

3.1 近/亚阈值标准单元库的 SPEC 确定

在进行标准单元库的设计之前，首先必须确定标准单元库的设计指标，即 SPEC 确定。设计指标包括应用环境、设计目标两部分。标准单元库的应用环境，主要包括电压、温度、工艺；设计目标包括速度、面积、功耗、稳定性。设计指标不同，标准单元库的设计方法也大不相同。

传统商用标准单元库的设计指标，一般在特定工艺下，面向电压范围 $90\%VDD \sim 110\%VDD$ 、温度范围 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ，库单元的性能指标以库单元的性能为首要设计目标。本次设计中，近/亚阈值标准单元库采用 smic130nm CMOS 工艺，以库单元在低电压下的稳定性为首要设计目标，覆盖温度变化 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 摄氏度。而标准单元库的目标电压，要能够支持不同应用领域的数字设计对电压范围的要求，具有一定的通用性。

3.1.1 目标电压的确定

标准单元库目标电压的设置要能够满足各类电路对电压范围的要求，使得电路系统能够工作在自身的最优能耗点。

3.1.1.1 传统的目标电压确定方法

传统的目标电压设置为电路的最优能耗点，其评价电路如图 3-1 所示。电路由 10 条振荡链路构成，每条链路由 101 级与非门搭建而成，受相应的 S_x 信号控制。当 S_x 信号为 0 时，相应的链路处于静止状态；当 S_x 信号为 1 时，相

应链路处于振荡状态。当所有的控制信号为 1 时，此时所有的链路都正常翻转，电路的翻转率为 100%；当 S0-S4 的控制信号为 1，S5-S9 的控制信号为 0 时，电路的翻转率为 50%；当电路的翻转率进一步降低，所有的控制信号为 0 时，电路的翻转率为 0，此时电路功耗转换为静态功耗。因此，通过控制信号的改变，能够有效的改变电路的翻转率，同时也进一步影响着电路的动态功耗与静态功耗的比例。

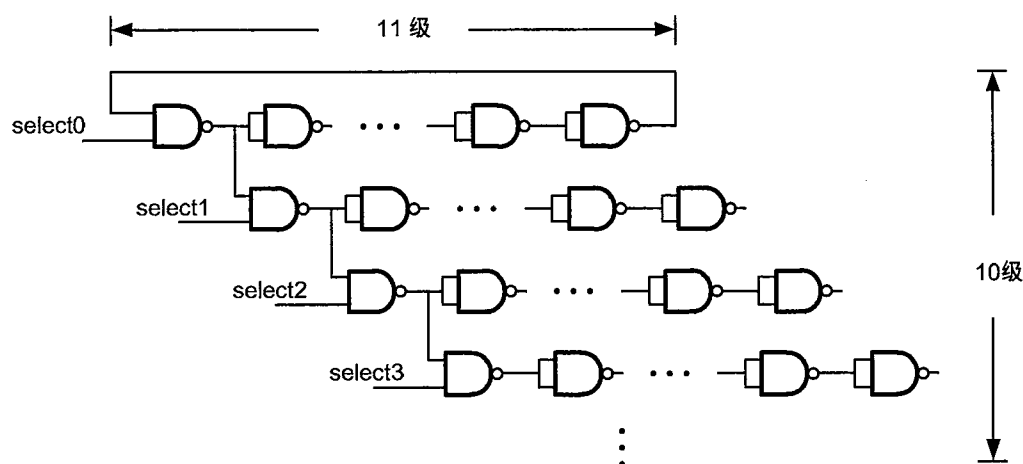


图 3-1 最优能耗点评价电路

图 3-2 中给出了翻转率为 10% 时，电路能耗随电源电压的变化关系。电源电压下降的开始阶段，Energy/Cycle 呈现近二次方关系下降；电源电压进一步降低，Energy/Cycle 的下降速度变得越来越慢，直至达到能耗最低值，称为电路最优能耗点；之后，随着电源电压的继续降低，系统则会因为静态能耗的增加，使得 Energy/Cycle 开始上升。

最优能耗点的位置，与电路结构的诸多参数都有着很大的关系，其中最主要的因素是电路的翻转率。随着电路翻转率的上升，会导致电路的动态能耗所占的比例上升、静态功耗的比例下降，进而导致电路的最优能耗点对应的电源电压会进一步降低。图中 3-3 给出了最优能耗点的电压随翻转率的变化关系。

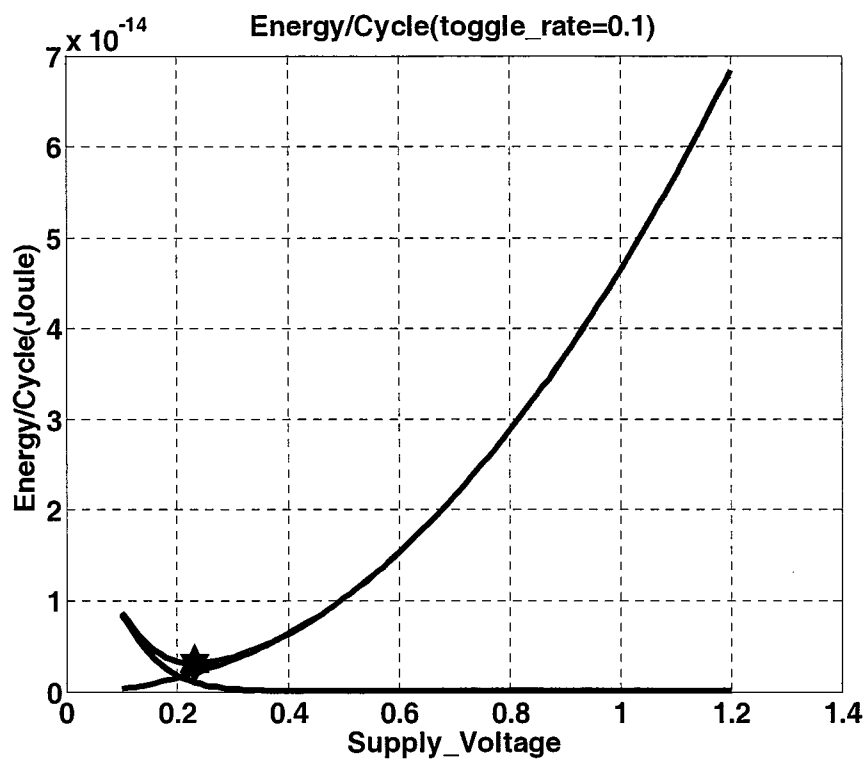


图 3-2 toggle_rate=0.1 时电路能耗随电源电压的变化关系

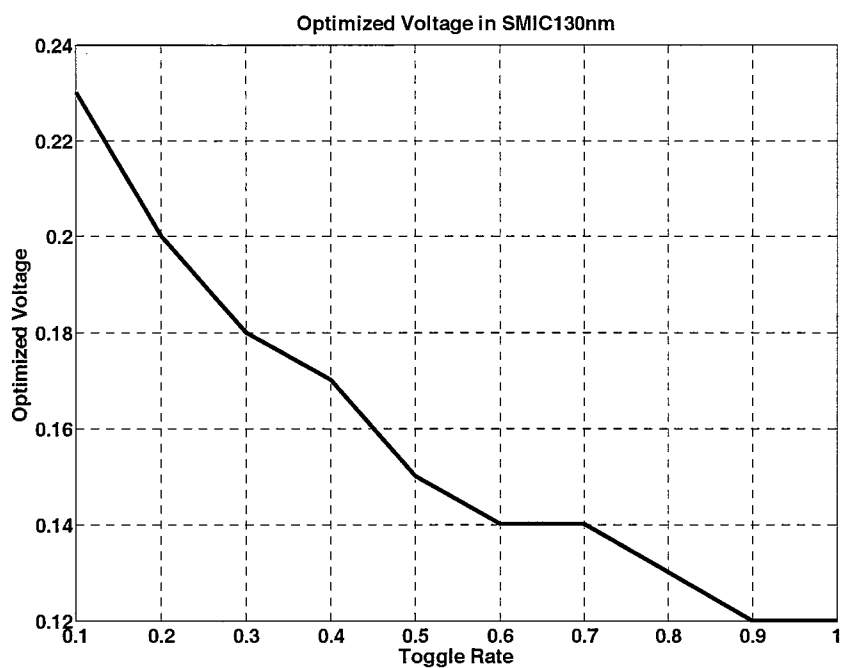


图 3-3 最优能耗点的电压随翻转率的变化关系

数字电路中绝大部分节点的翻转率在 50%以下，因此为支持 smic130nm CMOS 工艺下电路的最优能耗点，标准单元库的目标电压设置为 0.15V。

3.1.1.2 修正的目标电压确定方法

然而，在传统的最优能耗点评价电路中，没有考虑电路的稳定性对库单元 NAND2 的尺寸设计造成的影响。如果按照相同的稳定性标准（噪声容限）进行库单元设计时，面向不同的目标电压，NAND2 的尺寸会随之发生变化，如图 3-4 所示。由图中可以看出，在电源电压较高的范围内，库单元采用最小尺寸就能够保证库单元的稳定性；然而随着电源电压接近管子阈值附近时，晶体管尺寸开始逐渐增加；在亚阈值电压范围内，晶体管尺寸增加越来越明显，栅面积的变化趋势如图 3-4 所示。

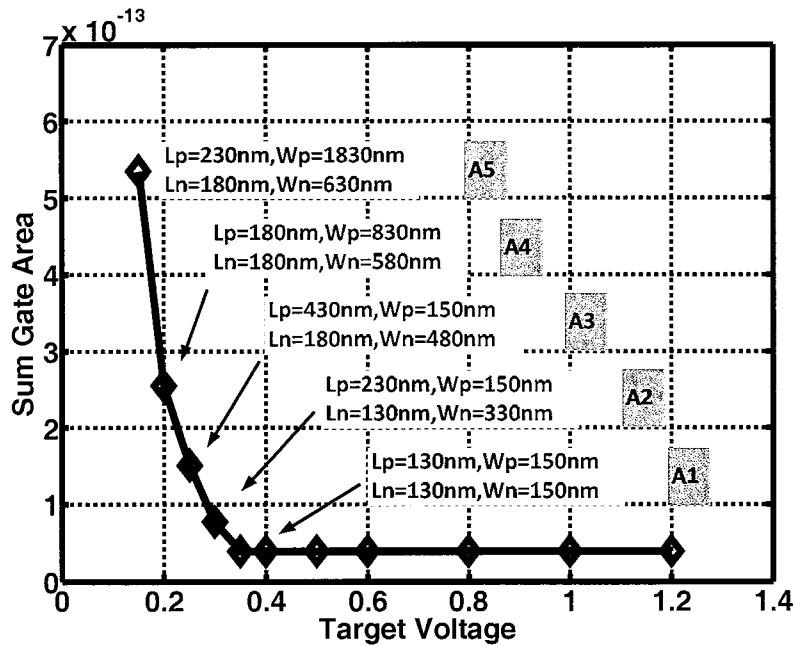


图 3-4 库单元 NAND2 的尺寸随目标电压的变化趋势

采用上述五种目标电压对应的 NAND2 尺寸，分别搭建最优能耗点评价电路，就形成了五种结构相同、尺寸不同的最优目标电压评价电路。五种评价电路 A5、A4、A3、A2、A1 的电路稳定性越来越差。从稳定性角度考虑，它们能够接受的最低工作电压分别为 0.15V、0.20V、0.25V、0.30V、0.35V。这五种评价电路，将库单元的稳定性及尺寸变化，引入到了最优能耗点的评价电路里，形成了改进的最优目标电压评价电路。

传统的最优能耗点评价，是以假设电路稳定为前提的。因此在考虑单周期能耗点随电源电压的变化时，测试的电压范围可以从正常电压 1.2V 下降到任意

低电压。然而，如果考虑电路稳定性的影响，上述五种评价电路的电压测试范围则各不相同，其中 A5 可遍历 0.15V~1.20V 的电压范围，而 A1 只能遍历 0.35V~1.20V 的电压范围。此时，最优能耗点的取值将受电压范围的限制，大大不同于传统最优能耗点的评价。

对五种评价电路进行仿真，在 TT 工艺角、25℃情况下，遍历其单周期能耗随电源电压的变化趋势，如图 3-5 所示。从图中可以看出，A5 评价电路的稳定性最高，其电压测试范围可遍历 0.15V~1.20V，电路的单周期最优能耗点在 0.22V，能耗值为 0.0119pJ；而 A1 评价电路的稳定性最低，其电压测试范围缩小为 0.35V~1.20V，电路的单周期最优能耗点被限制在 0.35V，能耗值为 0.00238pJ。由图中可以看出，虽然 A5 电路可接受的最低工作电压较低，然而其最优能耗值却因为尺寸原因而较大。

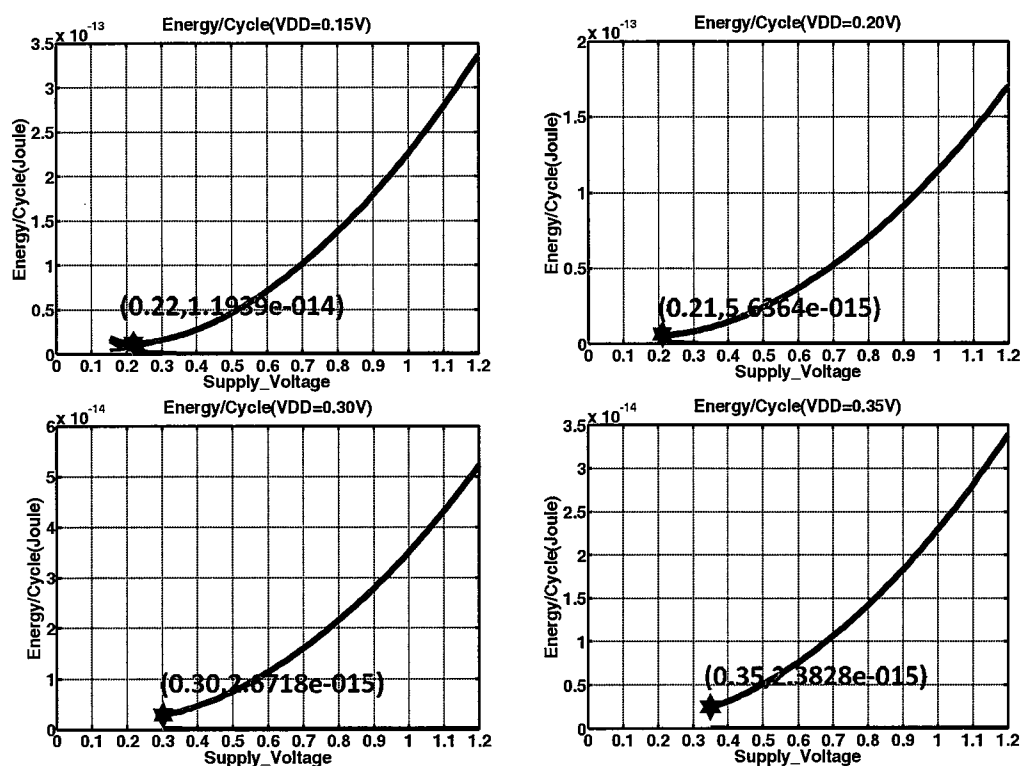


图 3-5 评价电路的单周期能耗变化趋势（考虑稳定性）

引入稳定性对库单元尺寸的要求之后，电路最优能耗点随目标电压的变化趋势如图 3-6 所示。由图中可以看出，按照这种方式确定的最优目标电压为 0.30V，相较于传统的最优能耗点方法给出的 0.15V 较高。

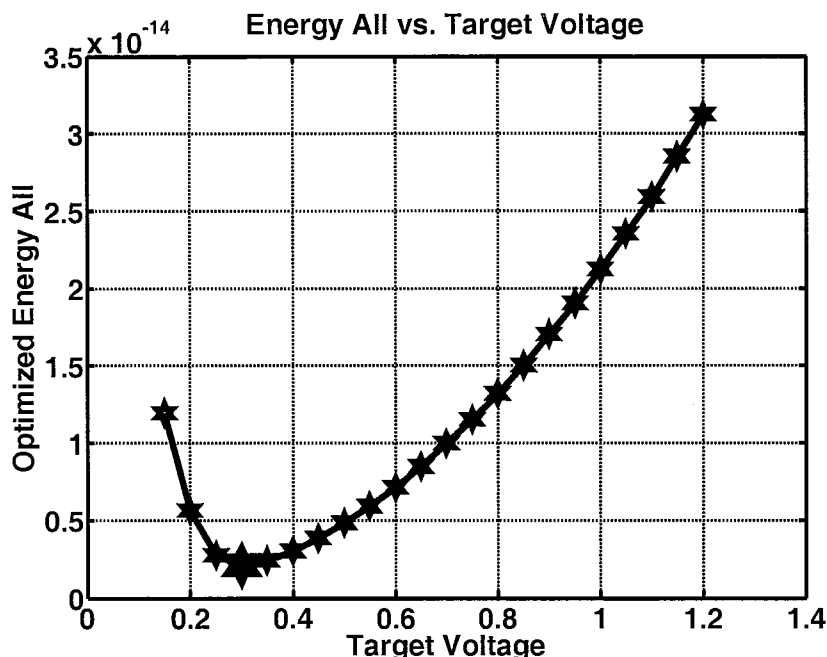


图 3-6 电路最优能耗点随目标电压的变化趋势（考虑稳定性）

3.1.2 标准单元库的 SPEC

综合以上分析，面向 smic130nmCMOS 工艺进行的标准单元库设计，目标电压设定为 0.30V，温度范围覆盖 -40℃~125℃，以库单元的稳定性为首要设计指标。

3.2 库单元的种类选择

在标准单元库设计中，库单元的种类和数量直接影响着综合工具在映射和优化过程的有效性。库单元的种类越丰富，在综合过程中，电路的优化就越充分。然而某些复杂逻辑单元，尤其是晶体管堆叠数目较多的库单元，在低电压工作条件下的稳定性较差，会导致标准单元库可以接受的最低工作电压受到限制。因此，在面向近/亚阈值工作电压进行标准单元库设计时，首要工作是选择合适的库单元，既能够保证单元种类，又能够保证电路稳定性。

这种库单元种类的选择，主要体现为电路结构中允许串联的晶体管数目。允许串联的晶体管数目越多，则表明标准单元库中的库单元类型越丰富，然而能够接受的最低工作电压也相对较高。比较两种不同选择方案产生的标准单元库，一种允许 3 级晶体管串联，另一种允许 2 级晶体管串联。后者可以接受更低的工作电压，然而由于一些复杂逻辑被排除在外，导致设计综合时采用的库

单元数量会增多。实验结果表明,后者带来的影响往往占主导地位,大致会导致芯片面积上升 15%,芯片功耗不降反升。

参考上述结论,本文在进行库单元种类选择时,允许晶体管串联数目定为 3 级,库单元的种类大致分为以下类型:组合逻辑、时序逻辑、时钟树逻辑、后端物理逻辑单元。

(1)组合逻辑:选用标准单元库中常用的 1-2 扇入逻辑,包括 INV、NAND2、AND2、NOR2、OR2、XOR。此外,还引入了 AOI22、OAI22、MX、NAND3、NOR3 五种多扇入逻辑。这些逻辑的使用,会大大减小电路面积,同时因为连线电容的减小,还可以进一步降低功耗。

(2)时序逻辑:选用 D-触发器单元,支持下降沿复位功能。

(3)时钟树逻辑:选用 CLKINV、CLKBUF 单元,用于构建时钟树网络。

(4)物理实现逻辑:选用 TIEHI、TIELOW、FILL 单元,用于后端物理实现。

3.3 库单元的结构选择

上述选用库单元在商用标准单元库中采用的电路结构,虽然在正常电压下都呈现出了良好的稳定性和性能,然而在低电压下,电路稳定性则呈现出较大的差异。有些库单元的稳定性依然较好,比如 INV、NAND2、NOR2、AND、OR、AOI22、OAI22 等;而有些库单元的结构稳定性则严重变差,不适宜在低电压下采用,比如 XOR、MX、DFFR 等。因此,必须对这类库单元进行结构调整。

在低电压下稳定性较差的电路结构主要包括以下三种:晶体管并联数目较多的结构、晶体管串联数目较多的结构、寄存器结构。这些结构在低电压的库单元设计中,应当极力避免。通过对低电压标准单元库结构的分析,对 INV、NAND2、NOR2 等简单库单元,直接采用静态互补 CMOS 结构;而复杂库单元 XOR、MX、DFF 采用如图 3-7 所示的电路结构。

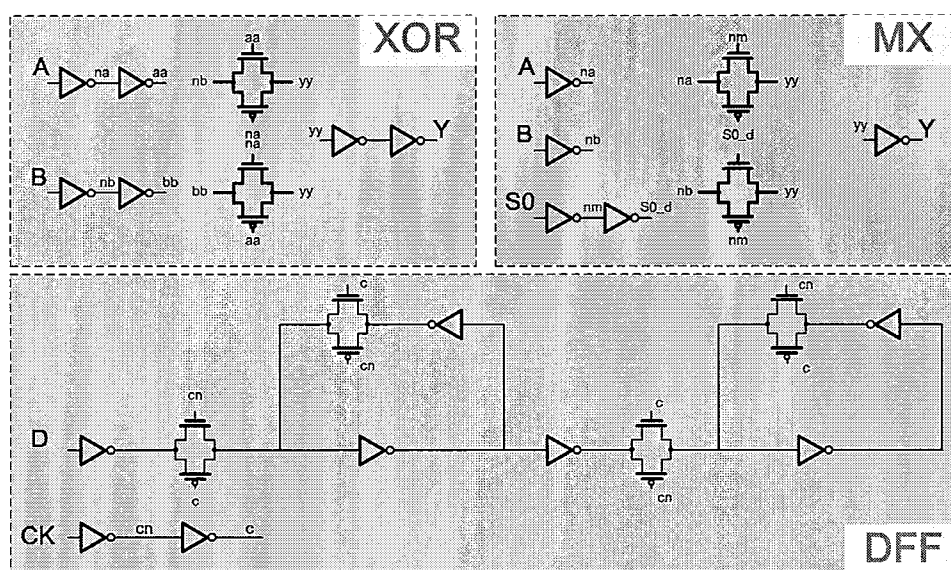


图 3-7 库单元 XOR、MX、DFF 电路结构

3.4 库单元的晶体管尺寸设计

在库单元的结构确定之后,库单元的相关特性都取决于晶体管尺寸的设计,包括性能、功耗、面积、稳定性等参数。追求不同指标的提升,必然导致在尺寸设计时有不同的取舍。面向近/亚阈值工作电压进行库单元的尺寸设计时,由于设计目标、电源电压的不同,导致尺寸设计方法同正常电压下库单元设计方法呈现出较大的差异性,体现为表 3-1 所示。

表 3-1 正常电压下库单元设计与近/亚阈值电压库单元设计对比

	正常电压的库单元设计	近/亚阈值电压的库单元设计
电源电压	工艺正常电压	近/亚阈值电压
设计目标	性能	稳定性的基础上, 功耗最小
尺寸设计 L	选用最小尺寸	根据 RSCE 效应, 适当调整
尺寸设计方法	通过 W_p/W_n 的选择, 达到最优性能提升	通过 W 、 L 的配合调整, 达到上拉下拉网络驱动能力的匹配; 通过 W 、 L 的尺寸调整, 增强库单元对工艺偏差的抵抗能力;
工艺变化的影响	全局工艺变化 (工艺角分析)	全局工艺变化+局部工艺变化 (工艺角分析+Mismatch)

3.4.1 尺寸设计的思路

近/亚阈值库单元的晶体管尺寸设计，是近/亚阈值设计的重要课题。在前人的研究过程中，也形成了一些尺寸设计的方法，其中最具代表性的是以下两种方法。

Paderborn University 提出了多目标优化的尺寸设计方法，将标准单元的尺寸设计转化为多目标优化问题。该方法将库单元尺寸设计的目标设定为：噪声容限、单元延时、功耗，这三个设计目标转换为晶体管尺寸的函数。遍历晶体管尺寸变化，就能够得到相应的三个设计目标的取值。根据库单元追求的设计目标不同，采用遗传算法求取最优的晶体管尺寸。这种方法的优势在于将工程问题转化为数学问题，可求得库单元设计的最优尺寸，缺点是计算量大，需要开发专门的数学工具支持。

MIT 基于对标准单元库的评价，提出了一种尺寸确定的办法。该方法首先选择商用库中的 NAND3、NOR3 为设计参考，认为 NAND3、NOR3 单元分别代表了设计中可能出现最差的“0”输出和“1”输出；然后，其他的库单元分别与 NAND3、NOR3 构成两种反馈环路，调整库单元尺寸，采用 Monte Carlo 方法统计分析反馈环路的噪声容限受工艺偏差的影响。如果两种反馈环路的噪声容限始终为正，则表明库单元的尺寸可用。这种方法旨在寻找一种可用的尺寸组合，而不是最优尺寸。此外，该方法的运算量大，每次尺寸尝试，都需要进行 Monte Carlo 仿真，并对噪声容限的数据进行评价，直到确定可用尺寸。

基于对以上方法的分析，本章旨在提出一种简单易操作的最优尺寸确定方法，该方法通过对库单元结构的共性提取、特征结构的驱动能力预分析，缩小最优尺寸的查找范围，从而能够简化查找的运算量，完成最优尺寸的确定，以保证库单元稳定性的基础上，使得功耗、面积最小。

3.4.2 库单元的结构分析及共性提取

为降低库单元最优尺寸查找的运算量，本文首先对库单元的结构进行分析，并且得到两个具有重要意义的结论。

结论一：库单元从实现结构上，可以划分为基本单元、组合单元两类。

基本逻辑单元，指的是结构上很难被拆分的库单元，例如 INV、NAND2、NOR2、NAND3、NOR3、AOI22、OAI22 等库单元。这些库单元是尺寸设计的重点，需要通过精细的驱动能力匹配，寻找最优尺寸，保证库单元在低电压情况下的电路稳定性。

组合逻辑单元，指的是其电路结构可以被拆分成多个基本逻辑单元，而且基本逻辑单元之间的稳定性影响不大。例如 AND2、OR2、MX、XOR、MXI 等库单元。在进行尺寸设计时，这些组合逻辑单元可以直接沿用基本逻辑单元的尺寸，直接搭建完成，例如 AND2 的尺寸设计可以直接拆解为 NAND2 的尺寸+INV 的尺寸，因此这类单元的尺寸设计较为简单。此外，XOR 进行结构拆解时，可以分为 INV 的尺寸+传输门的尺寸。由于传输门逻辑受工艺偏差影响较小，在设计中采用最小尺寸，以减小电路负载。

结论二：对基本逻辑单元的结构进行分析，其包含几种共性的结构特点。

在进行基本逻辑单元尺寸设计时，为保证其稳定性，需要保证在不同工作状态下，电路上拉网络、下拉网络的驱动能力的匹配性。进而分析这些单元的上拉网络、下拉网络的电路结构，发现它们主要由以下几种结构构成：NMOS、PMOS、两级串联的 NMOS、两级串联的 PMOS、三级串联的 NMOS、三级串联的 PMOS，如图 3-8 所示。每种结构包含开启、关断两种工作状态。如此以来，基本逻辑单元的每种工作状态都可以拆解为这几种结构的组合，例如 NAND2 的 A_0_B_0 状态，上拉网络由两个开启的 PMOS 构成，下拉网络由关断的 2 级串联 NMOS 构成。

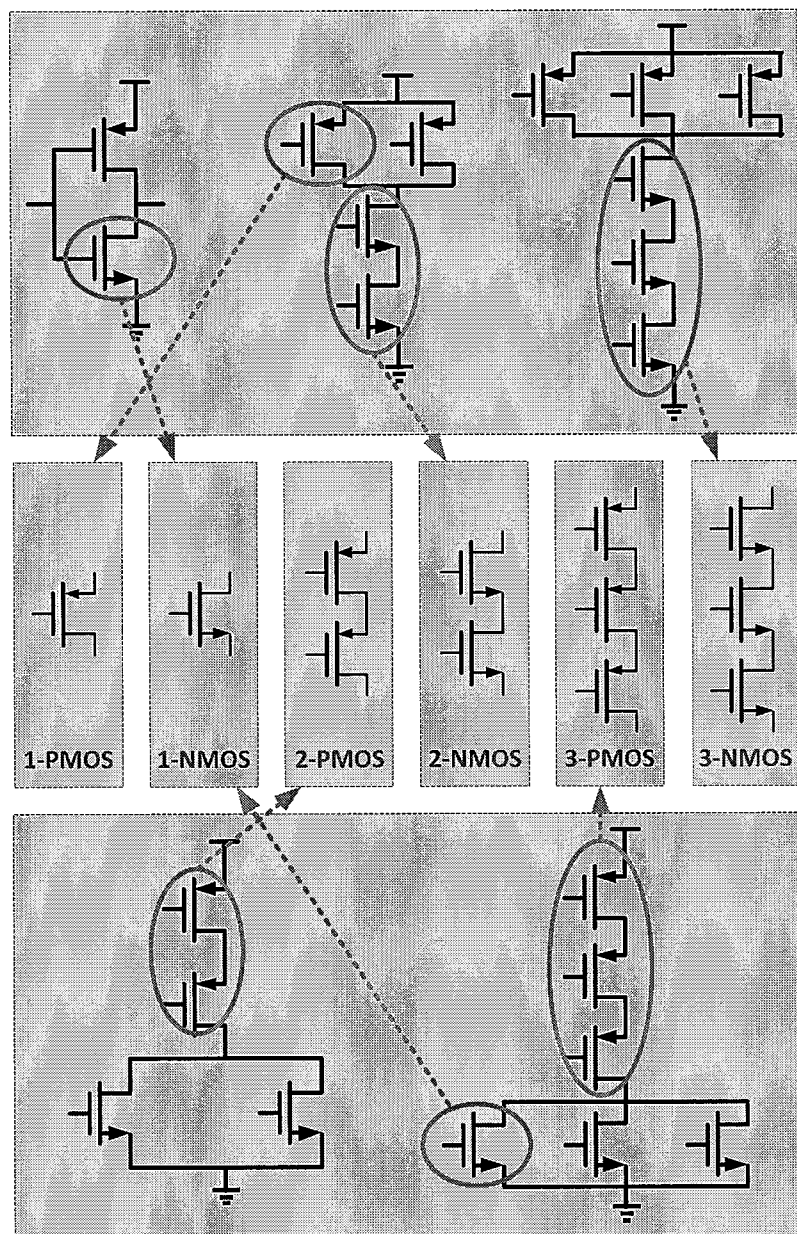


图 3-8 基本逻辑单元的结构

3.4.3 特征结构的驱动能力预分析

库单元的稳定性原本取决于 PMOS 上拉网络与下拉网络之间驱动能力的匹配，而此时则转换为几种特征结构的组合比较。以 NAND2 为例，其 A_0_B_0 工作状态的稳定性就取决于 $I_{on}(2 \times \text{开启的 PMOS}) / I_{off}(\text{关断的串联 NMOS})$ ，表示此时的上拉网络相对于下拉网络的驱动能力优势；类似的，A_1_B_1 工作状态的稳定性，就取决于 $I_{on}(\text{开启的 2 级串联 NMOS}) / I_{off}(2 \times \text{关断的 PMOS})$ ；A_1_B_0 与 A_0_B_1 工作状态的稳定性，近似转化为 $I_{on}(\text{开启的 PMOS}) / I_{off}(\text{关断的 PMOS})$ 。

断的 NMOS)。

通过以上的拆解，基本逻辑单元的结构就转化为这几种特征结构的组合。通过对这几种结构的相对驱动能力分析，可以完成对库单元稳定性的初步判断，大致确定库单元能够接受的晶体管尺寸范围，从而减小尺寸扫描分析时的运算量。

3.4.3.1 反短沟效应

本文第二章讲述了近/亚阈值工作电压下的晶体管的反短沟效应，指出随着沟道长度 L 的变化，晶体管的开启电流呈现出先增加后减小的趋势，即存在最优的沟道长度。我们在进行晶体管尺寸设计时，总希望其能够工作在驱动能力最强的状态，因此将合理利用反短沟效应，调整 L 到最优尺寸。

进一步研究发现，最优沟道长度是与沟道宽度相关的，可以看成是沟道宽度 W 的函数。图 3-9 和图 3-10 分别给出了 0.3V 情况下，NMOS、PMOS 的最优沟道长度与沟道宽度的关系。原本的晶体管尺寸扫描是需要遍历 W 、 L 二维参量的变化，此时，通过引入反短沟效应的结论，转化为一维参量，大大减小了运算量。

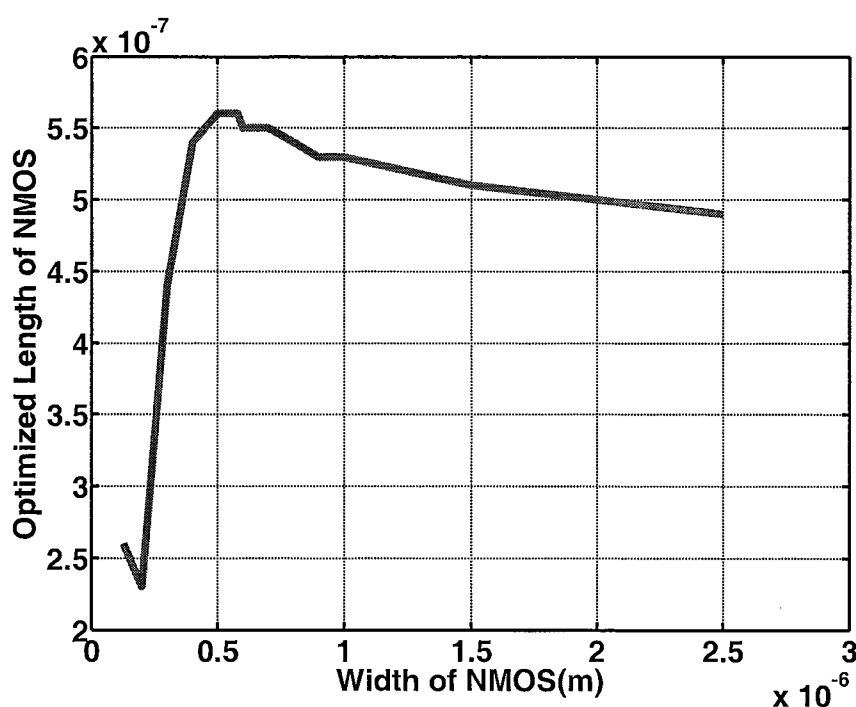


图 3-9 NMOS 最优沟道长度与沟道宽度的关系

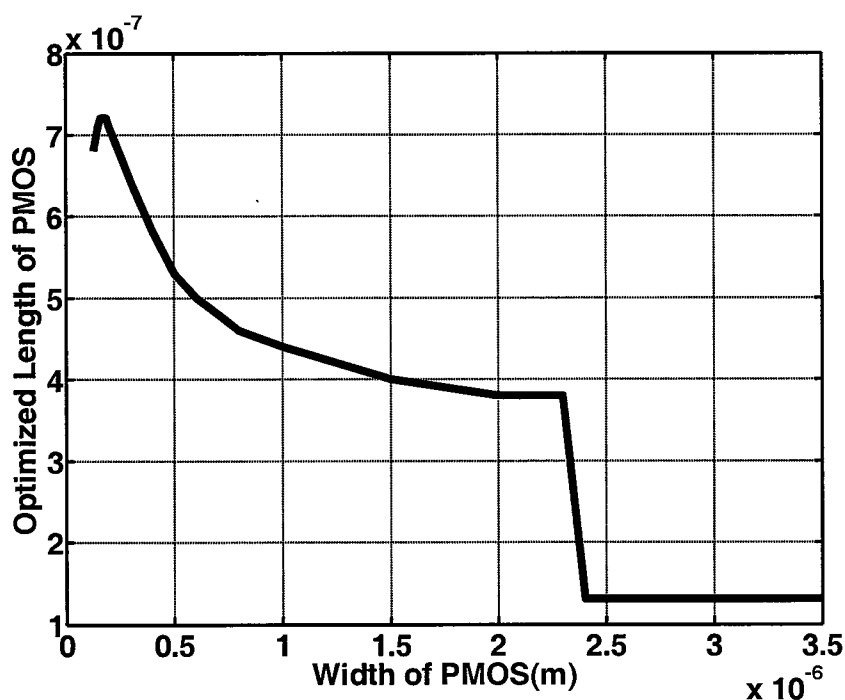


图 3-10 PMOS 的最优沟道长度与沟道宽度的关系

3.4.3.2 特征结构的驱动能力分析

引入反短沟效应的结论之后，遍历六种特征结构的驱动能力随沟道宽度 W 的变化关系，如图 3-11 所示。由图中可以看出以下趋势：

(1) 同尺寸的情况下，随着晶体管串联数目的增加，电路的驱动电流下降，变化的量级大致在 2-5X 左右。

(2) 同电路结构的情况下，PMOS 的驱动电流随尺寸变化较大，变化范围可在 10X 左右调整；NMOS 驱动电流随尺寸变化较小，变化范围在 3-5X 左右。

(3) PMOS 开启、NMOS 关断的状态，相对驱动能力较弱，因此电路的这种工作状态比较容易失效。尤其在 3 级 PMOS 串联开启，而 NMOS 关断的情况，驱动电流达到同一量级，极容易失效，在电路设计时，必须增大 PMOS 尺寸。

(4) NMOS 开启、PMOS 关断的状态，相对驱动能力较强，驱动电流的比例基本在 10^3 以上，能够保证电路的稳定性。

(5) 不同工艺角下，上述的影响被进一步放大。其中 PMOS 开启、NMOS

关断的状态在 FNSP 下，稳定性极其恶劣；而 NMOS 开启、PMOS 关断的状态在各工艺角下，依然能够保持较高的相对驱动能力优势。

通过对以上六种特征结构的驱动电流的分析，可以初步判断电路的各种工作状态的稳定性，有利于分析电路的易失效模式。同时，六种特征结构的驱动电流的比较，为尺寸调整提供了大致的范围及方向，是后续针对具体电路确定大致尺寸范围的基础。

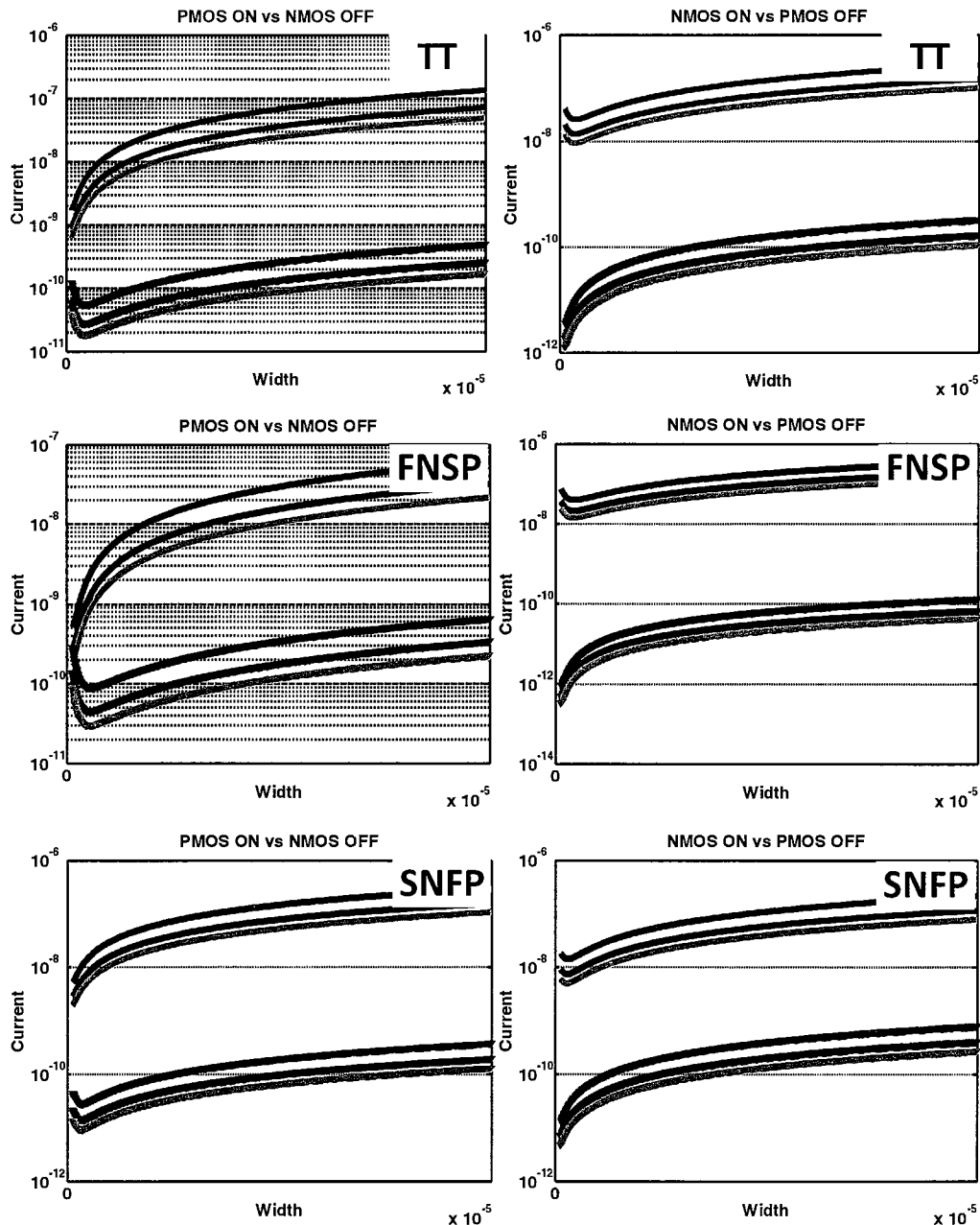


图 3-11 六种特征结构的驱动能力随沟道宽度 W 的变化关系

3.4.4 库单元最优尺寸的选择

本文提出的库单元最优尺寸设计流程，大致包括以下步骤：

(1) 评价库单元不同工作状态的稳定性，确定最容易失效的工作状态。保证库单元稳定性的同时，降低后续尺寸评价的工作量。

(2) 针对最易失效工作状态，通过特征结构相对驱动能力分析，确定库单元尺寸扫描的大致范围，缩小后续最优尺寸的查找范围。

(3) 遍历步骤二的尺寸范围，保证库单元稳定性的基础上，寻找面积、功耗最小的库单元尺寸，即库单元设计的最优尺寸。

接下来，以或非门为例，对库单元尺寸设计的流程进行详细阐述。

3.4.4.1 稳定性最差的工作状态

为保证库单元的功能正确性，我们必须保证库单元在所有的工作状态下，都能够正常工作。然而库单元所有可能的工作状态，往往有很多种，有时候会有十几种，甚至几十种。因此，会造成在库单元的稳定性评价时运算量较大。为降低稳定性评价时的运算量，我们首先对库单元的工作状态进行评价，找到最容易失效的工作状态，那么在接下来稳定性评价的分析，就可以针对易失效状态进行分析。

以或非门为例，其工作状态包括： $A_0_B_0$ 、 $A_0_B_1$ 、 $A_1_B_0$ 、 $A_1_B_1$ 四种。

(1) $A_0_B_0$ 状态

从特征结构搭建的角度，这种状态可以理解为： $I_{on}(2\text{-stack PMOS})/(2*I_{off}(NMOS))$ 。要求 2-stack PMOS 的开启电流要远大于 2*NMOS 的漏电电流，才能够将输出上拉至 VDD。

(2) $A_0_B_1/A_1_B_0$ 状态

从特征结构搭建的角度，这种状态可以理解为： $I_{on}(NMOS)/I_{off}(PMOS)$ 。要求 NMOS 的开启电流要远大于 PMOS 的漏电电流，才能够将输出下拉至

VSS。

(3) A₁B₁ 状态

从特征结构搭建的角度，这种状态可以理解为： $(2 \cdot I_{on}(NMOS)) / (2 \cdot \text{stack } I_{off}(PMOS))$ 。要求 2*NMOS 的开启电流要远大于 2-stack PMOS 的漏电电流，才能够将输出下拉至 VSS。

在以上的三种工作状态中，定性的来看，A₀B₀ 状态下，为保持电路稳定，要求 PMOS 尺寸要越大越好；A₁B₁ 状态，为保持电路稳定则要求 NMOS 尺寸要大一些；而 A₀B₁ 与 A₁B₀ 状态则处于上述两种状态的中间。因此，在尺寸范围的寻找过程，A₀B₀ 状态和 A₁B₁ 状态是我们要重点考察的两种极端状态。

量化来看，参考特征结构的驱动能力分析，很容易得到 A₀B₀ 状态是其最容易失效状态，尤其在 FN_{SP} 情况下，因此需要增大 PMOS 尺寸，以保证驱动能力的相对优势。而另一个极端状态 A₁B₁ 状态，则较容易满足。上述两种状态的综合分析，决定了 NOR2 单元的尺寸设计范围。

3.4.4.2 尺寸范围确定

为确保在这两种情况下，电路都能够正常工作，则要求在这两种工作情况下，开启网络的驱动能力相对于关断网络的驱动能力，都有较强的优势。具体的量化分析时，体现在对应特征结构的 I_{on}/I_{off} 比例较大。前节给出了最易失效的两种工作状态分析，A₀B₀ 的驱动能力分析体现为： $I_{on}(2 \cdot \text{stack } PMOS) / (2 \cdot I_{off}(NMOS))$ ；A₁B₁ 的驱动能力分析体现为： $(2 \cdot I_{on}(NMOS)) / (2 \cdot \text{stack } I_{off}(PMOS))$ 。为了确定晶体管尺寸的大致范围，我们必须对晶体管尺寸进行遍历，考量在不同的晶体管尺寸下，上述两种比例的分布情况。

此时，对 Width 进行扫描，计算在这两种情况下，两种 I_{on}/I_{off} 的比例，得到如图 3-12 所示的分布情况。从图中可以看出，(1) A₁B₁ 工作状态下对应的 I_{on}/I_{off} 要远远大于 A₀B₀ 工作状态。(2) I_{on}/I_{off} 比例的变化趋势是相反的，一种的增加对应着另一种的降低。(3) 为了保证标准单元功能的正确性，必须同时保证两种工作状态下的 I_{on}/I_{off} 的比例都比较高，而此时主要保证

A_0_B_0 工作状态的驱动能力优势。研究指出,为保持单元稳定, I_{on}/I_{off} 的比例一般要超过 100, 依此为评价依据, 则产生了尺寸范围筛选评判标准。在不同的工艺角下, 分别进行上述分析, 由此可以得到保证两种工作方式都比较稳定工作的晶体管尺寸的大致范围。

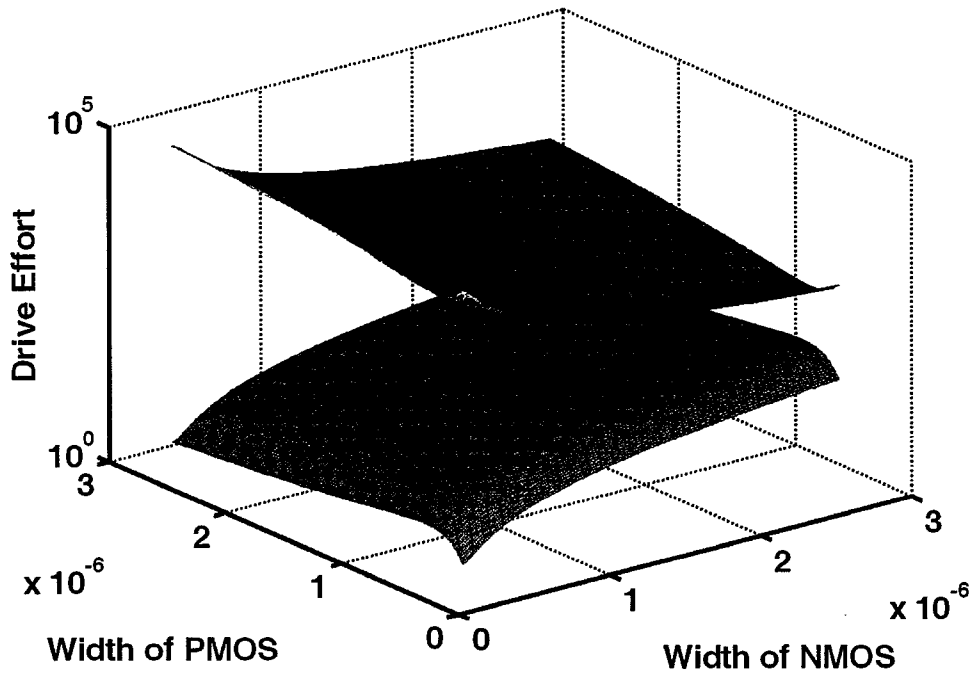


图 3-12 I_{on}/I_{off} 的比例与 Width 的变化关系

3.4.4.3 最优尺寸确定

基于上述对相对驱动能力分析, 确定了晶体管尺寸设计的大致范围。接下来, 在设定的尺寸范围内, 分析不同尺寸组合下的 NOR2 的噪声容限, 给出其稳定性的量化评价。在分析过程中, 需要针对在不同工作模式、不同工艺角、不同的温度下, 分别进行评价, 给出最差的噪声容限情况, 确保库单元在所有可能的情况下的单元稳定性。

对应每一种尺寸组合, 分析流程如下: (1) 针对不同工作模式, 分析噪声容限。NOR2 的工作模式包括 A_hl_B_ll、B_hl_A_ll、A_hl_B_hl。针对每种工作模式, 我们在不同的工艺角、温度下, 对 NOR2 进行电压转移特性曲线分析。由电压转移特性曲线, 计算不同工作模式下的噪声容限情况, 包括高电平噪声容限、低电平噪声容限。(2) 对噪声容限进行统计, 设定噪声容限标准, 进行

衡量。如果该尺寸下对应的所有工艺角、温度、工作模式下，噪声容限都能够满足要求，我们认为该尺寸对应的 NOR2 设计是稳定的。

在尺寸扫描范围内，按照以上方法对所有尺寸组合进行分析，经过筛选淘汰，就能够产生符合噪声容限标准的所有尺寸组合。此时，我们认为这些尺寸组合均能够满足库单元的稳定性要求。

最后，我们在所有可选的尺寸组合中，衡量其面积、电容的大小。简化起见，我们对每种组合下的所有晶体管的 WL 乘积进行累加，得到库单元的晶体管栅面积，在一定程度上反映了栅电容的大小。选择所有尺寸组合中的最小值，如此以来，可以保证功耗最小。

此时得到的库单元尺寸设计，被认为是满足稳定性要求的最优尺寸设计，用以指导后续的标准单元设计。

3.4.4.4 最优尺寸的稳定性评价

为进一步保证上述选择方案的可行性，我们在尺寸设计流程的最后，对选定的尺寸组合进行稳定性评价，以进一步确认该尺寸下的库单元稳定性。尺寸评价时，采用前一章节的稳定性评价方法，得到的分析结果如图 3-13 所示，满足 10% 误差标准。由此，证实了该尺寸设计方法的可行性。

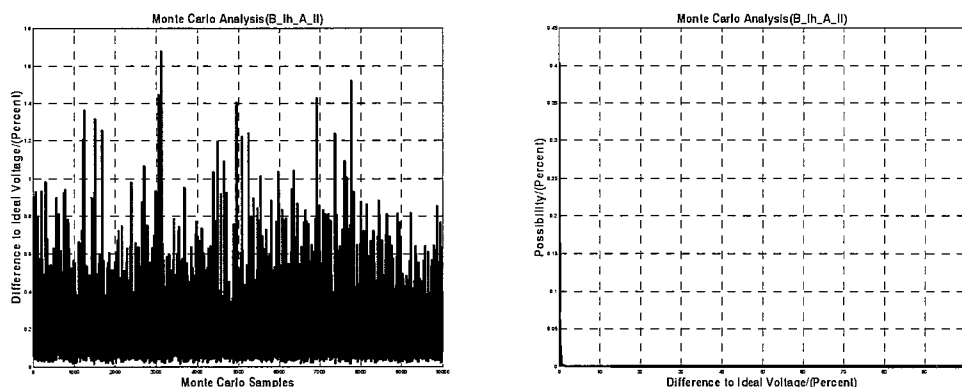


图 3-13 对 NOR2 最优尺寸的稳定性评价

3.4.5 尺寸设计总结

综合以上所述，本文提出的最优尺寸确定方法，主要包括以下步骤：

(1) 预分析阶段：引入 RSCE 效应的结论，将尺寸分析的从二维分析降低到一维分析。对库单元进行结构分析和特征提取，得到六种基本的特征结构。对六种特征结构的驱动电流分析，得到在特定工艺下的相对驱动能力强度，从而对库单元的易失效结构有定性的把握。

(2) 尺寸范围确定阶段：分析库单元易失效工作模式，得到约束尺寸设计的两种极端工作模式。对两种极端工作模式，采用特征结构的相对驱动能力分析，得到尺寸设计的大致范围。

(3) 最优尺寸确定阶段：遍历尺寸范围内的所有尺寸组合，采用噪声容限评价标准，选择稳定的尺寸组合。在稳定的尺寸组合内，选择面积、功耗的最优尺寸。

该方法通过前两个步骤的分析，大大降低最优尺寸遍历的运算量，从而能够简单快速的完成对最优尺寸的查找。

3.5 标准单元库版图设计

库单元尺寸确定之后，要对标准单元库进行版图设计。为支持数字设计 EDA 流程，标准单元库的版图设计，与普通版图设计稍有不同，主要表现为格点规则要求、统一库单元高度、半尺寸设计规则等。因此在进行库单元的版图设计时，要注意以下问题：

(1) 确定格点的间距，包括水平方向的格点间距、垂直方向的格点间距。本次设计过程中，参考 smic 130nm 标准单元库中采用的间距尺寸，水平格点间距为 0.46 μm ，垂直格点间距为 0.41 μm 。

(2) 库单元高度的确定。出于布局布线的方便性，所有库单元采用统一高度。而库单元高度，决定了单元版图内水平布线的通道数目，因此标准单元库的单元高度取决于布线最复杂单元的高度需要。在本次设计中，单元高度取决于 DFFR，如图 3-14 所示，因此，最终选择的库单元高度为 $9 \times \text{垂直格点间距} = 3.69\mu\text{m}$ 。

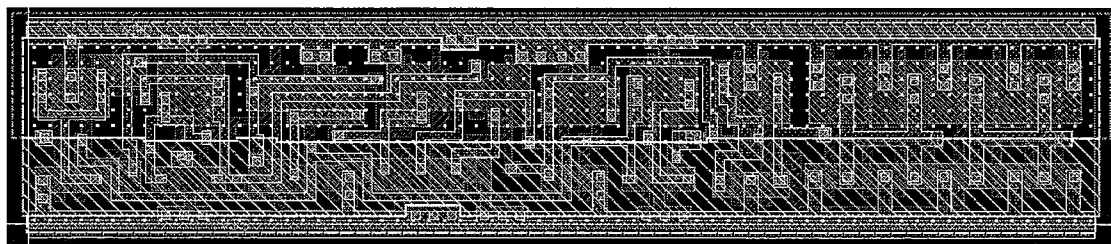


图 3-14 DFFR 标准单元版图

(3) PIN 的格点规则。在标准单元的版图设计中, 要求所有的输入输出 PIN 都要打在水平方向的半格点、垂直方向的整格点上。这样, 库单元拼接完成之后, 布局布线工具才能够对位于格点上的 PIN 脚进行高效的端口连接。

(4) 共用 N 阱规则。典型的 CMOS 工艺通常都需要一个关于 N 阱间距的规则, 这个间距一般要求很大。如果任意两个相邻单元之间的间距为 N 阱的最小尺寸, 就会浪费大量的面积。然而, 采用共用 N 阱的方式, 就可以使器件靠得更近, 从而节省一定的面积。

(5) 半尺寸设计规则。prBoundary 是库单元之间拼接的边界, 需要保证当库单元完成拼接时, 四个方向均不会出现新的 DRC 错误, 故在库单元内部各层图形与 prBoundary 之间, 遵循半尺寸设计原则, 即器件与 prBoundary 之间的距离设定为半个设计规则的距离。这样两个库单元进行拼接时, 可以保证器件之间的距离等于一个设计规则的距离。

3.6 本章小结

本章对近/亚阈值电压下标准单元库的设计方法展开研究, 包括标准单元库的目标电压的确定、库单元种类及结构设计、晶体管尺寸设计、库单元版图设计等重要问题。尤其在目标电压的确定方面, 将低电压下稳定性对尺寸的要求引入到最优能耗点评价电路, 形成了更为合理的目标电压确定方法。在库单元的晶体管尺寸设计方面, 采用特征结构预分析及相对驱动能力分析, 大大降低了最优尺寸确定的工作量, 改进了传统的最优尺寸设计方法。总之, 经过以上对各设计环节的研究, 形成了一种面向极低工作电压进行标准单元库设计的方法。

第4章 低电压数字设计流程

基于前述章节对低电压标准单元库的设计及稳定性评价问题的研究，本章主要对低电压数字电路的设计流程进行研究，包括标准单元库在低电压下的特征化、面向特定应用需求的最优工作电压评价、面向极低性能需求的最低工作电压评价。

4.1 数字标准单元库的低电压特征化

随着电源电压的降低，库单元的时序特性、功耗特性都在发生变化。因此，为支持低电压数字电路的设计流程，需要对标准单元库重新进行特征化，以产生在新的工作条件下的时序信息、功耗信息。这种库文件是数字电路的设计综合、后端实现的基础。库信息的准确性决定了时序分析的准确程度，是数字电路功能正确的前提和保证。

4.1.1 时序库的非线性模型

在 smic130nm CMOS 工艺下，库文件的时序、功耗信息一般采用非线性模型，以二维查找表的形式记录，如表 4-1 所示。其中，查找表的横坐标是 input_transition，表征库单元可能出现的 transition 情况；查找表的纵坐标是 load_capacitance，表征库单元可能出现的负载电容情况。由 min_transition、max_transition、max_capacitance、min_capacitance 决定了查找表的覆盖范围，查找表的规模决定了库信息的准确性。在实际应用中，如果是查找表中的点，则可以直接查表得到，如果查找表中没有，则按照非线性模型的计算方式，以插值的计算方法近似得到。

表 4-1 采用非线性模型的库文件查找表格式

cell_fall delay(ns)		load capacitance(pf)				
		0.0001	0.004258	0.018857	0.046734	0.090165
Input Transition (ns)	0.00476	0.010573	0.022481	0.063144	0.140613	0.261202
	0.03989	0.017859	0.033032	0.074034	0.151609	0.272292
	0.16323	0.024418	0.052775	0.111284	0.190359	0.311006
	0.39875	0.025828	0.067111	0.153618	0.260416	0.385689
	0.76568	0.021078	0.075451	0.189293	0.331526	0.492512

由上述分析可以看出，为保证查找表的准确性，需要满足以下要求：（1）

查找表的横、纵坐标的范围，要能够覆盖库单元所有可能的使用情况；（2）查找表的横纵坐标的中间点，点数越多，线性插值计算的误差就越小，结果也就越准确。

然而，随着电源电压的降低，库单元的驱动能力逐渐减弱，因此在相同的负载电容下，电路的 delay、transition 都会迅速变大。图 4-1 给出了库单元 INVXL 的 delay、transition 随电源电压的变化趋势。如果沿用正常电压下的查找表范围及规模，则必然会引起库信息的严重不准确。因此，在低电压条件下，对标准单元库重新特征化时，必然引入两个方面的问题：重新确定查找表的边界、重新确定查找表的规模。

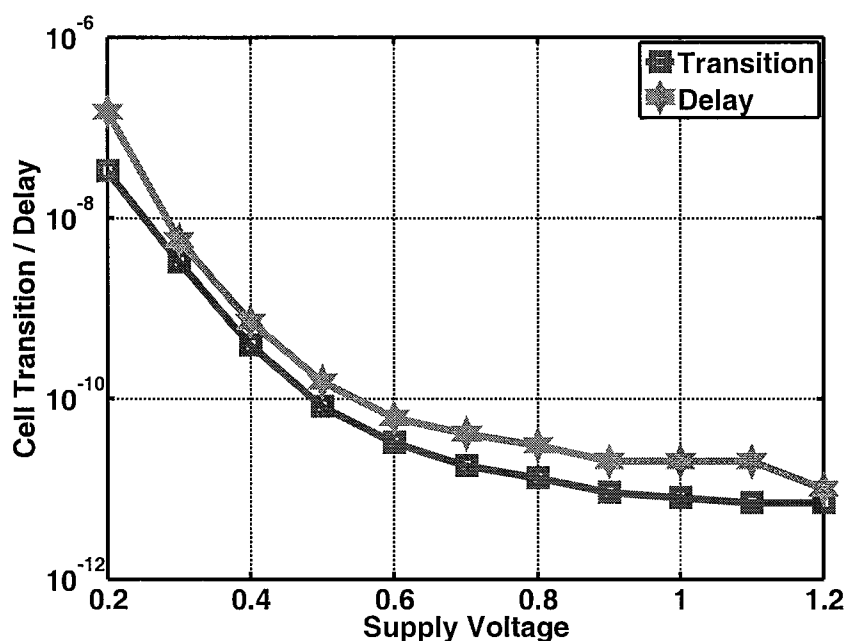


图 4-1 INVXL 的 delay、transition 随电源电压的变化趋势

4.1.2 面向低电压的查找表边界确定

面向低电压的查找表边界的确定，主要考虑两个方面的内容：库单元可能出现的输入 transition 的情况、库单元可能出现的输出负载电容的情况。

4.1.2.1 load_capacitance 的边界

关于 load_capacitance 边界的确定，我们可以分两种情况进行考虑：一种是商用标准单元库的重新特征化；一种是定制标准单元库的特征化。

商用标准单元库的重新特征化, load_capacitance 可以直接采用正常电压下的负载电容的范围。因为随着电源电压的降低, 在电源电压进入亚阈值工作状态之前, 可以认为其输入电容不发生变化。

然而, 对于定制标准单元库时, 负载电容的范围确定则较为复杂。基于对库单元所有可能使用情况的分析, 我们可以得到如下的分析方法:

最小负载电容的确定方法。考虑所有库单元可能出现情况, 可以认为最小负载电容=最小的栅电容。最小的栅电容, 取所有库单元输入端口的最小电容。因此, 确定最小负载电容时, 我们需要考量所有库单元的每个输入端口的栅电容, 然后取其最小值。

最大负载电容的确定方法。最大负载电容取 15 倍最小的栅电容或者 4 倍最大输入电容中的较大者。然后, 我们遍历库单元的栅电容, 然后得到最小栅电容及最大栅电容, 计算最大负载电容。

由以上分析方法, 可确定面向低电压情况下的负载电容范围。

4.1.2.2 Input_transition 的边界

随着电源电压的降低, 库单元的 transition 变化如图 4-1 所示, 因此, 无论是基于商用标准单元库的特征化, 还是面向定制标准单元库的特征化, 均存在 input_transition 的确定问题。为保证查找表的覆盖范围, 我们从应用角度考虑数字设计中, 可能出现的所有 transition 情况。

min_transition 的确定方法。min_transition 表征库单元使用过程中, 所有可能出现的最小 transition, 其必然满足以下特点: (1) 负载电容最小, 即采用最小负载电容; (2) 前级驱动单元, 采用最强驱动能力单元; (3) 测试激励, 采用理想测试激励; (4) 工作模式, 遍历所有工作模式, 考察对应出现的 rise_transition、fall_transition, 选择其中的最小值。按照以上条件, 搭建测试环境, 就能够确定 min_transition。

max_transition 的确定方法。max_transition 表征库单元使用过程中, 所有可能出现的最大 transition, 其必然满足以下特点: (1) 负载电容最大, 即采用最

大的负载电容；(2) 前级驱动单元，采用最弱驱动能力单元；(3) 工作模式，遍历所有工作模式，考察所有工作模式，考察对应的 rise_transition 、 fall_transition ，选择其中的最大值；(4) 测试激励，需要考虑遍历 input_transition 对 output_transition 的影响。

上述四个方面，阐述了 max_transition 评价电路的大致结构。然而，在对单个单元库进行分析时，需要遍历 output_transition 随 input_transition 的变化关系，如图 4-2 所示。图中可以看出，随着 input_transition 的增加， output_transition 也在逐渐增加。只不过 output_transition 增加的速度较慢，逐渐被 input_transition 超越。对于单个库单元而言，我们选定 input_transition 等于 output_transition 的点，作为一个备用的 $\text{max_input_transition}$ 。然后，对于标准单元库中的每一个库单元都进行上述分析，就能够得到一系列备用的 $\text{max_input_transition}$ 。在这些备用的 $\text{max_input_transition}$ 中，选择其中最大的，作为这套标准单元库的 $\text{max_input_transition}$ 。

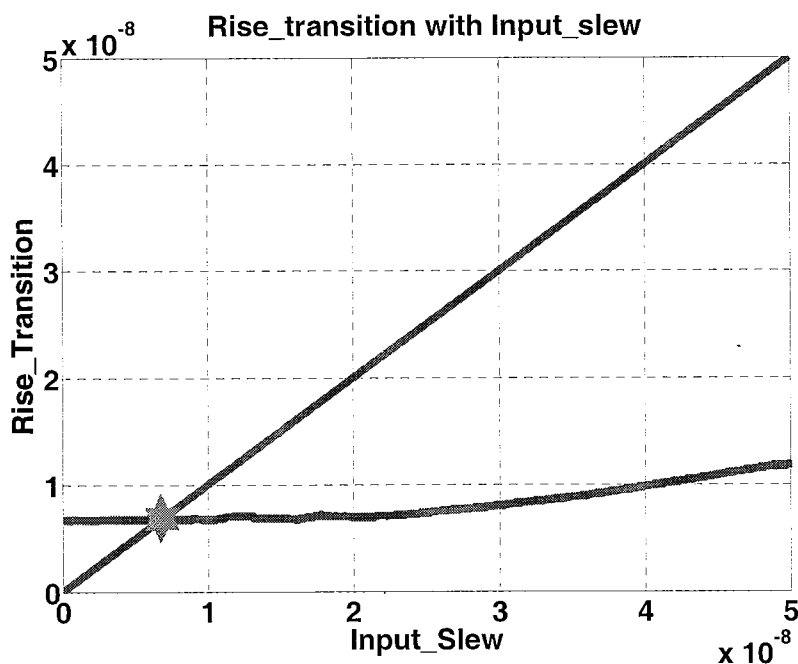


图 4-2 output_transition 随 input_transition 的变化关系

以上方法，给出了 max_transition 的确定方案。这种方法的合理性，表现为任意选择数字电路中的一个库单元，假设其 input_transition 不大于 $\text{max_input_transition}$ ，则其 output_transition 一定小于等于 $\text{max_input_transition}$ 。

进而分析其后级单元。前级的 output_transition 就是后级单元的 input_transition, 也就是说, 后级的 input_transition 也一定不大于 max_input_transition, 所以其 output_transition 也一定小于 max_input_transition, 由此可以类推到整个设计, 则可以保证整个设计都不会超过 max_input_transition。这样, 也就证明了通过这种方法得到的 max_input_transition 是有效的。

综合以上的分析过程, 为我们提供了一种切实可行的评价方法, 在低电压下对标准单元库进行特征化时, 用以确定查找表的范围。

4.1.2.3 查找表横纵坐标的选取

查找表横纵坐标的边界确定之后, 我们接下来要确定中间值的取值方案。一般而言, 中间值的取值方案有两种, 一种是线性取值, 这种方案在最大最小的范围内, 取值较为平均; 另一种是对数取值, 这种方案在横纵坐标较小的范围内, 取值较密, 而在取值范围较大的区域, 取值较少。这两种取值方案, 前者的查找表误差, 在整个横纵坐标范围内, 比较平均; 而后者的查找表误差, 在横纵坐标较小的区域, 误差较小, 在横纵坐标较大的区域, 误差较大。

据统计, 在电路实现中, 查找表横纵坐标较小的位置, 使用频率较高。而横纵坐标较大的位置, 使用频率较低。因此, 采用对数取值方案能够有效的降低查找表使用过程中的整体误差。商用标准单元库一般也采用对数取值方案, 因此, 低电压库单元的特征化, 依然沿用这一特征, 采用对数取值方案。

4.1.3 面向低电压的查找表规模确定

根据查找表 NLDM 模型的计算方式, 很明显, 查找表规模越大, 横纵坐标点数取得越多, 则查找表得到的数据就越精确。但是这也使得库文件急剧增大, 给数字流程中的工具分析带来一定的负担。在正常电压下的标准单元库, 查找表的规模设定为 7x7, 保证了查找表拥有合适的精度。然而, 在电源电压下降时, 库单元的 delay、transition 都相应变大, 如果依旧采用原来的 7x7 查找表, 则无法保证精度, 必须对查找表规模进行扩展。

本章提出了一种确定低电压下查找表规模的方法: 以正常电压下查找表的相对误差标准为目标, 通过对低电压下不同规模的查找表进行误差分析, 确定

低电压下合适的查找表规模。

4.1.3.1 正常电压下，标准单元库的相对误差

首先，对大量设计中，库单元的使用情况进行统计分析，统计分析其 transition、load_capacitance 的使用情况，统计结果，如图 4-3、4-4 所示。

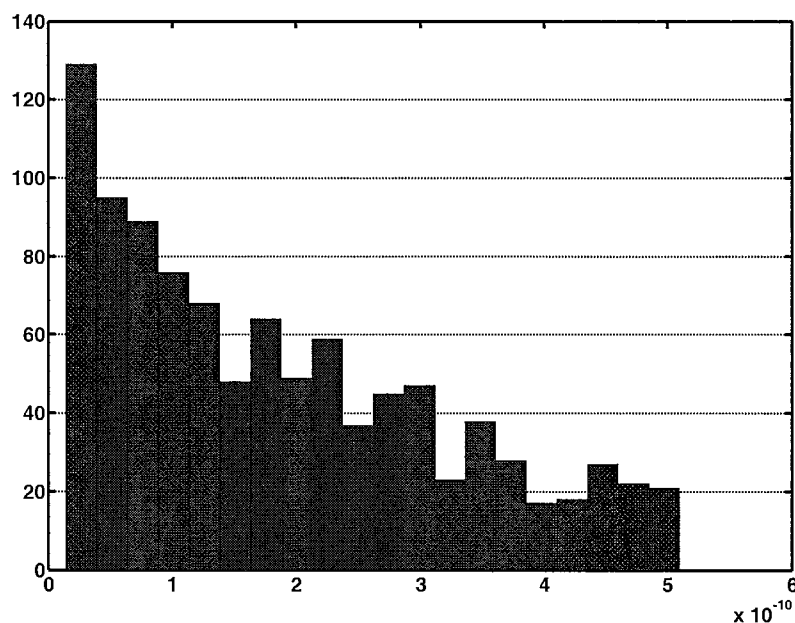


图 4-3 在电路设计中，统计库单元的 Transition 使用分布情况

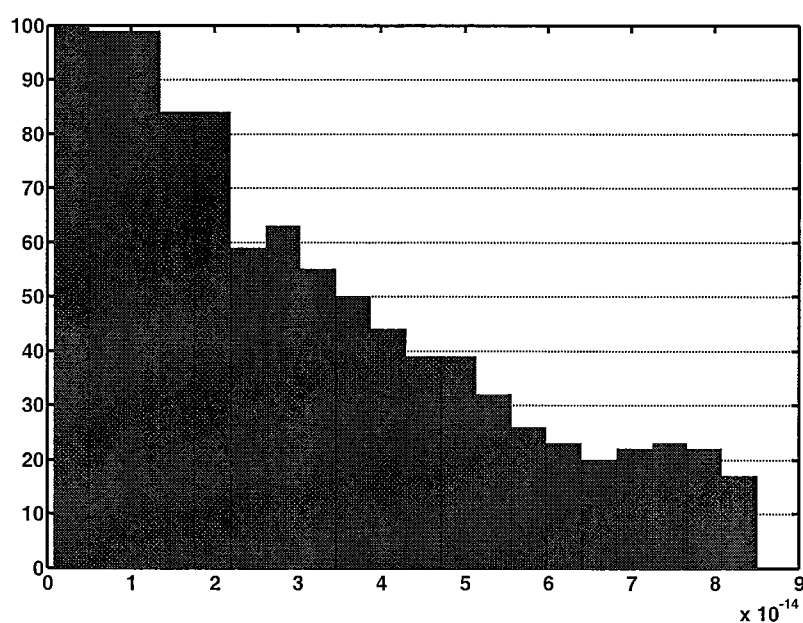


图 4-4 在电路设计中，统计库单元的 Load_capacitance 的使用分布情况

其次，按照上述对 input_transition、load_capacitance 的统计信息，按照查找表计算方式、HSPICE 仿真方式分别计算其对应的延时信息。

然后，进行误差统计，得到在标准电压下，标准单元库的相对误差统计，如图 4-5 所示。

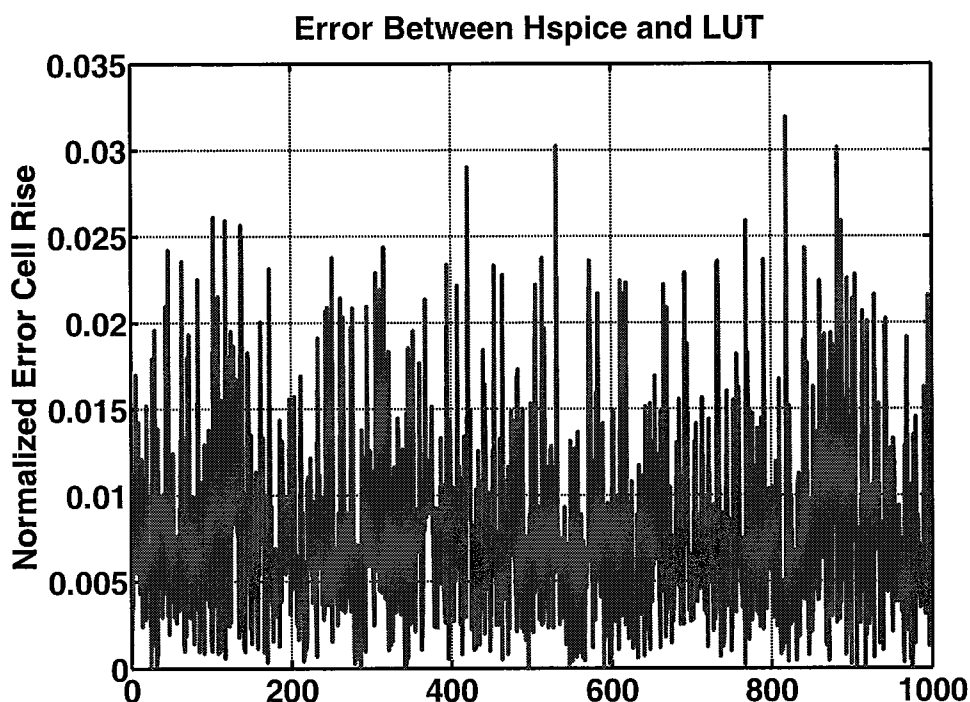


图 4-5 标准单元库的相对误差统计

4.1.3.2 低电压下，标准单元库的相对误差

以上述相对误差统计的结果，作为低电压下标准单元库特征化时，扩展查找表规模的依据，以求达到同正常电压时，同样的相对误差。

然而，同样的设计，在低电压（0.5V）进行电路综合，然后进行统计分析，得到的 input_transition、load_capacitance 统计信息稍有不同，如图 4-6、4-7 所示。

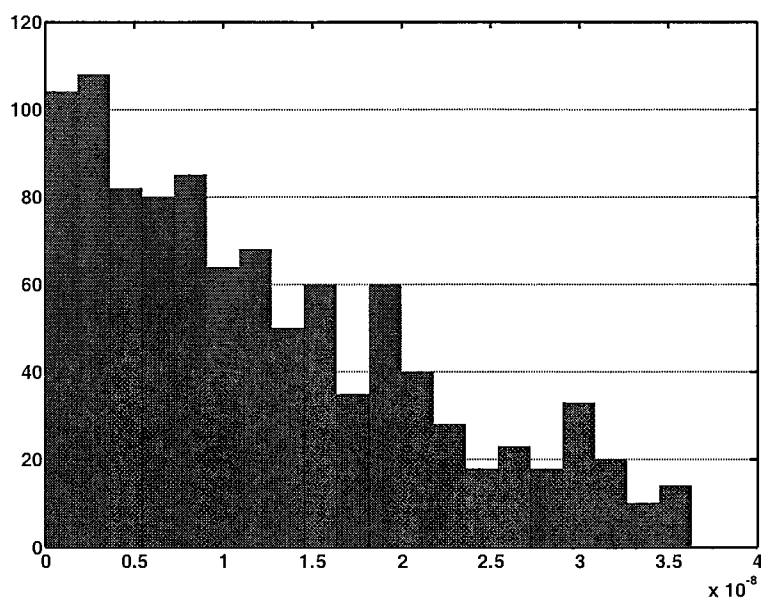


图 4-6 在电路设计中，统计库单元的 Transition 使用分布情况

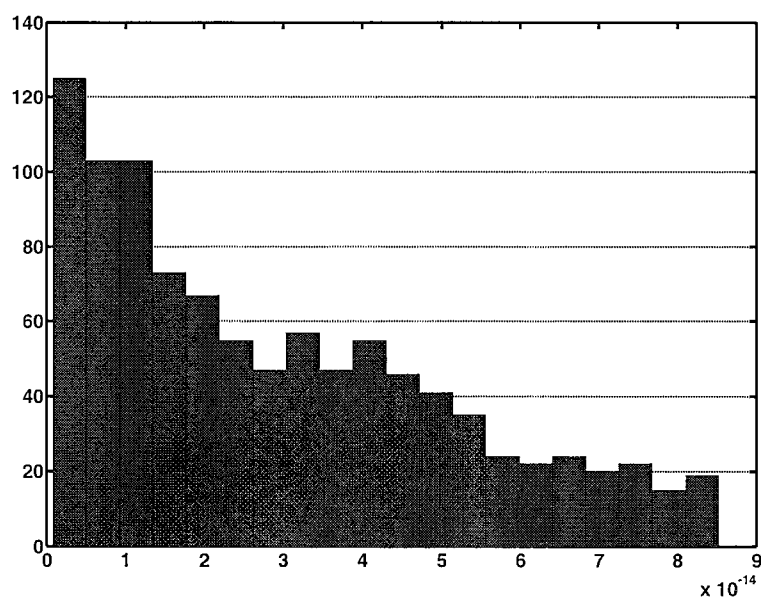


图 4-7 在电路设计中，统计库单元 Load_capacitance 的使用分布情况

在低电压下，扩展特征化时的查找表规模，以产生不同规模的时序库文件。进而统计不同查找表规模，对应产生的查找表数据与 HSPICE 数据之间的相对误差，进而分析这种相对误差随着查找表规模的变化关系，如图 4-8 所示。图中蓝色曲线，表示随着查找表规模的增大，相对误差的统计总和在逐渐减小，表明随着查找表规模越大，查找表模型产生的延时信息越准确。红色虚线代表

正常电压下, 商用标准单元库采用 7x7 规模的查找表, 对应产生的相对误差信息。从图 4-8 中可以看出, 在低电压条件下, 当查找表规模扩展为 20x20 左右时, 相对误差信息大致能够达到商用标准单元库在正常电压下的误差统计信息。因此, 在低电压 0.5V 下, 查找表规模扩展为 20x20。图 4-9 中进一步给出了, 在 20x20 的查找表规模下, 相对误差的统计图。

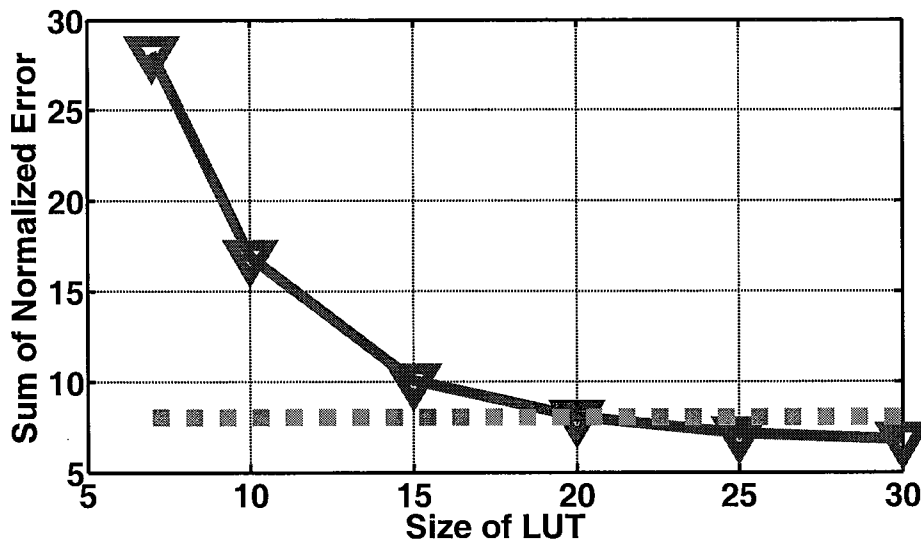


图 4-8 相对误差随着查找表规模的变化关系

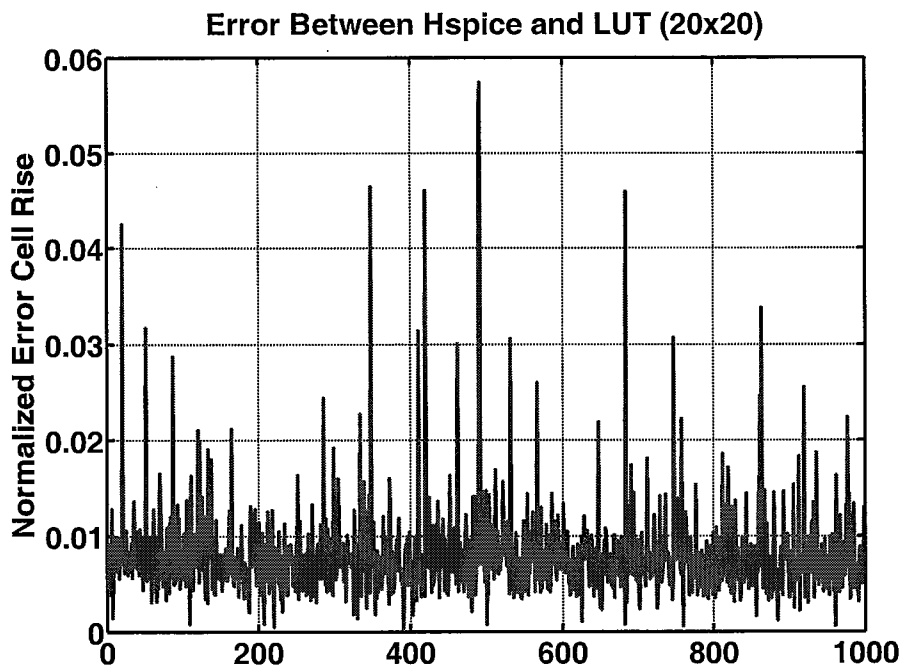


图 4-9 20x20 查找表相对误差的统计图

4.2 不同应用需求的最优工作电压评价

数字电路设计总是面向一定的应用领域，然而不同应用领域，追求的性能指标也就不同。从低电压设计技术的使用来讲，数字电路系统可以分为以下三类：

- 1) 应用领域一：性能要求较高。这类应用，需要通过尽量提高设计并行度、流水线深度等设计技术，才得以满足系统性能的要求。一旦电源电压下降，电路时序无法满足，因此这类系统很难采用低电压设计技术进行功耗优化。
- 2) 应用领域二：性能要求较低。面向这类应用的数字电路系统，在正常工作电压下，时序很容易满足，而且关键路径往往存在较大的建立时间冗余。因此，这类系统允许一定的性能恶化，为电源电压的降低提供了一定的空间，适合采用低电压设计技术进行功耗优化。
- 3) 应用领域三：性能要求极低。面向这类应用的数字电路，性能问题已不再重要，能耗成为系统设计的首要因素，因此在设计中力求电路工作在其最优能耗点。这类系统一般会引入电源门控技术降低系统漏电，同时采用近/亚阈值设计技术进行功耗优化。

综上所述，低电压设计技术适用于应用领域二和应用领域三，本文主要针对上述两种应用，研究电源电压的降低，对数字电路设计造成的影响，以探索面向不同的应用需求，寻求最优的工作电压，使得系统能耗最小。

4.2.1 数字电路的能耗构成分析

系统的总能耗由三部分组成：短路能耗 E_{internal} (Internal Power)、翻转能耗 E_{switch} (Switch Power) 和静态能耗 E_{leakage} (Leakage Power)。首先，我们在假定电路结构与工作频率不发生变化的情况下，分析在单次数据处理中，系统的各部分能耗随电源电压的变化关系。

短路能耗，可以表示为： $E_{\text{internal}} = \sum(E_{\text{internal}} * T_r)$ 。其中， E_{internal} 表示库单元单次翻转消耗的短路能耗， T_r 表示单次数据处理过程中，电路节点的翻转次

数。由于电路结构不发生变化，可以认为单次数据处理过程中，电路的翻转情况不发生变化，即 T_r 不变。因此数字电路的短路能耗取决于每个库单元的短路能耗随电源电压的变化趋势。图 4-10 中给出了库单元 INV20、DFF 的短路能耗的变化趋势，随电源电压的下降而减小。

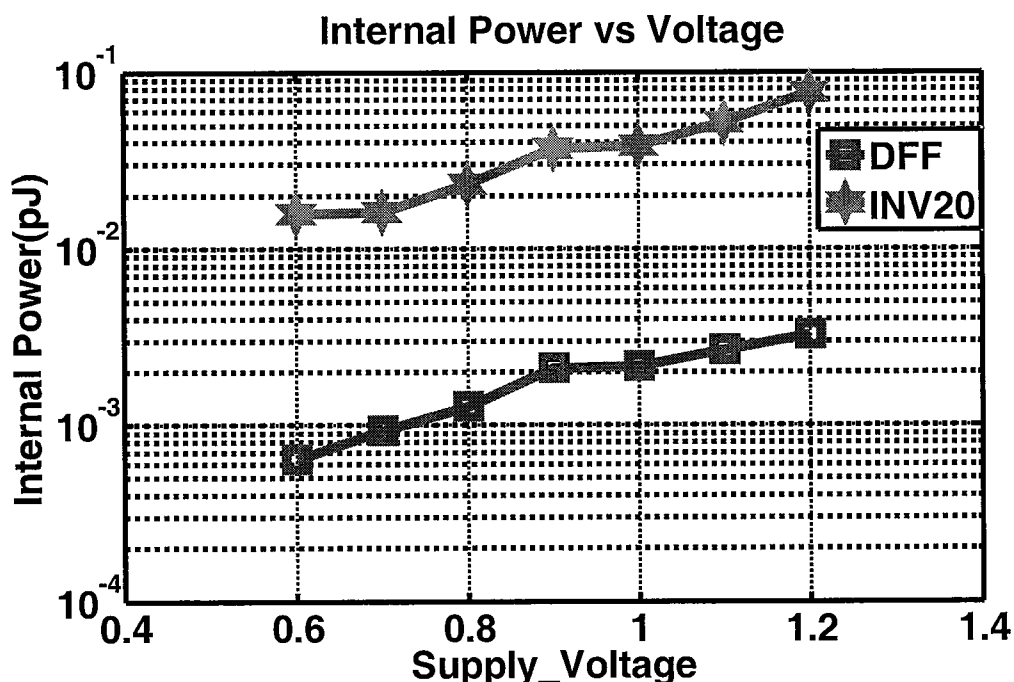


图 4-10 INV20、DFF 的短路能耗随电压的变化趋势

翻转能耗，可以表示为： $E_{\text{switch}} = \text{sum}(C \cdot V^2 \cdot T_r \cdot 0.5)$ ，其中， C 表示电路负载电容， V 表示电源电压， T_r 表示电路各节点的翻转率。在上述公式中，由于电路结构与工作频率不发生变化，因此可以认为在单次数据处理过程中， C 和 T_r 不发生变化。这样，从公式可以看出，翻转能耗随电源电压的下降，以平方关系迅速减小。

静态能耗，可以表示为： $E_{\text{leakage}} = I_{\text{leakage}} \cdot V \cdot T$ 。其中， I_{leakage} 表示漏电电流，电路结构不发生变化的情况下，漏电电流会随电源电压的降低而降低； V 表示电源电压， T 表示单次数据处理的电路活跃时间。因此，在 T 不变的情况下，电路的静态能耗会随着电源电压的降低而减小。

综合以上分析，在电路结构与工作频率不发生变化的情况下，电路总能耗随电源电压的下降而减小。

4.2.2 面向特定性能需求的最优工作电压评价

以上的趋势分析，都是以电路结构与工作频率不变为前提的，然而随着电源电压的下降，库单元的性能在逐渐恶化。当电源电压下降到一定程度时，同样的电路结构必然无法满足电路的性能需求。此时，需要对电路进行改进，以提高电路性能。

在数字电路的设计流程中，性能改进的手段主要体现在两个方面：在系统架构设计阶段，采用增加并行逻辑、提高流水线深度等措施提高电路并行度；在 EDA 数字设计流程中，根据 EDA 工具的优化算法，在设计综合、后端实现过程中，增加并行逻辑，提高设计并行度。很显然，以上性能优化的措施，都是通过提高设计并行度来完成的，因此必然会导致电路的面积、逻辑单元数有一定程度的增加，导致电路功耗付出一定代价。

根据以上分析可知，电源电压的下降会对电路产生两种相互矛盾的变化趋势：一方面，电源电压的降低，使得系统的静态能耗、翻转能耗、短路能耗下降，有利于系统能耗的降低；另一方面，为满足应用对性能的要求，在架构及 EDA 流程中必须增加并行逻辑进行性能优化，导致系统功耗、面积的上升。这两种相互矛盾的趋势导致，在面向特定性能需求的应用进行低电压设计时，存在最优的电源电压。它是对上述两种趋势的很好折中，能够让系统工作在能耗的最优值。

基于以上分析，面向特定性能需求类应用，本章提出了一种最优工作电压的评价方法，使得系统能够工作在最优能耗点。接下来，以 8bit，4 阶 FIR 为例，面向特定时钟频率 110MHz，详细介绍最优工作电压评价方法。

4.2.2.1 低电压技术的适用性评价

当 Verilog HDL 代码完成之后，电路的整体架构就已经确定，本节以此为基础，主要讨论后续的 EDA 设计流程。EDA 工具虽然不会改变电路的系统架构，如流水线深度、系统并行划分等，但是它会对寄存器到寄存器之间的逻辑链路进行结构优化，以满足不同的约束要求，对电路的功能、性能都会产生较大的影响。

Verilog HDL 代码完成之后,我们首先要在正常电压下对电路进行分析,以评价电路的时序是否紧张,系统是否有进行低电压设计的降压空间。图 4-11 中给出了在正常电压下对电路架构的评价流程,步骤如下:

(1) 采用极为宽松的时序约束,在采用正常电压的时序库文件,对设计进行综合。此时的设计约束,时钟周期尽可能的大,面积约束尽可能宽松,设计规则要求也尽可能的宽松,至少做到电路综合过程中,不会因为时钟周期、面积要求、设计规则约束,进行电路优化。在约束设置中,唯一将功耗指标设置最为严格,将其作为电路综合时,EDA 工具进行电路优化的唯一目标。此时,电路综合产生的网表,电路并行度较低,库单元种类基本采用最小驱动能力。

(2) 采用宽松的约束文件,统计分析网表的时序分布、库单元使用数量及种类。对 Path Slack 进行分析,得到电路所有路径的延时分布情况,并给出关键路径的比例。此时的库单元使用数量及种类,反映了 EDA 工具不需要任何时序优化,仅对代码完成映射时,采用的数量及种类。

(3) 采用正常的约束文件,对综合网表重新进行上述分析。如果此时的 Setup Slack > 0 ,则表明在正常电压下,电路具有性能很容易满足,具有进一步降低电源电压的空间。如果此时的 Setup Slack < 0 ,则表明性能约束对电路结构有一定要求,采用现有网表无法满足性能要求。

(4) 采用正常的约束文件、正常电压的库文件,对 Verilog HDL 代码进行重新综合,重新进行 Path Slack 分析及库单元使用情况统计。对比此时的分析结果,与步骤 2 中的分析结果,可以发现关键路径的分布情况、库单元使用情况都发生了明显的变化,关键路径的比例增加,库单元的数量、驱动能力上升。表明在正常电压下的时序约束,导致设计综合时,对电路进行了一定的设计优化。

根据以上分析结果,如果步骤 3 中 Setup Slack > 0 ,则表明电路有一定的性能冗余,适合进行低电压设计。如果评价进行到步骤 4,则需要进一步评估关键路径及库单元使用的变化情况,可能不宜采用低电压技术进行功耗优化。

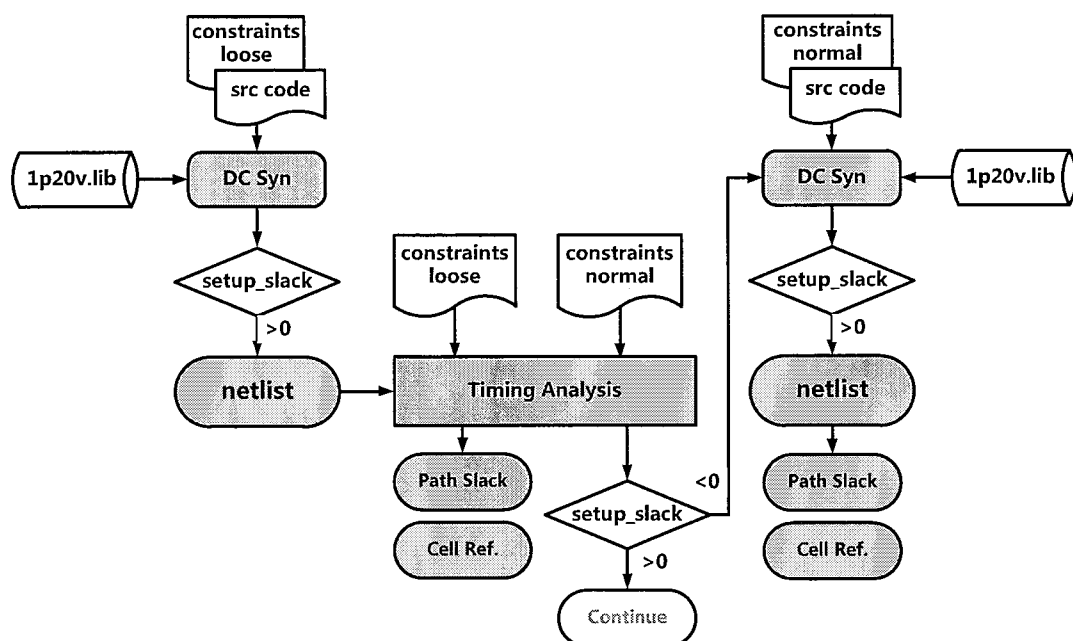


图 4-11 正常电压下对电路架构的评价流程

4.2.2.2 最优工作电压的评价

经过对正常电压下数字电路的评价，如果 Setup Slack 较大，适宜采用低电压设计，则需要进一步评价电路的最优工作电压。在时序约束不变的情况下，随着电源电压的降低，Setup Slack 会逐渐减小；当电源电压降低到一定程度时，Setup Slack 为零。此时说明，如果电路结构不发生变化，则不允许电源电压的进一步降低。为支持电源电压持续下降，则 EDA 工具必然进行电路优化，以库单元数量、驱动能力和电路面积来换取性能。在此之后，电路的 Setup Slack 保持为零，随着电源电压的持续降低，电路优化付出的代价越来越大。

综合以上分析，面向特定性能需求时，数字电路最优工作电压的评价，可以分为两个阶段：Setup Slack > 0 阶段、Setup Slack < 0 阶段。Setup Slack > 0 阶段，在于寻找 Setup Slack = 0 的电压值，这是工具需要对电路进行优化的开始；而 Setup Slack < 0 阶段，则是寻找电压降低和性能优化代价的折中点，也就是电路的最优工作电压。面向特定性能需求的低电压设计流程，如图 4-12 所示。

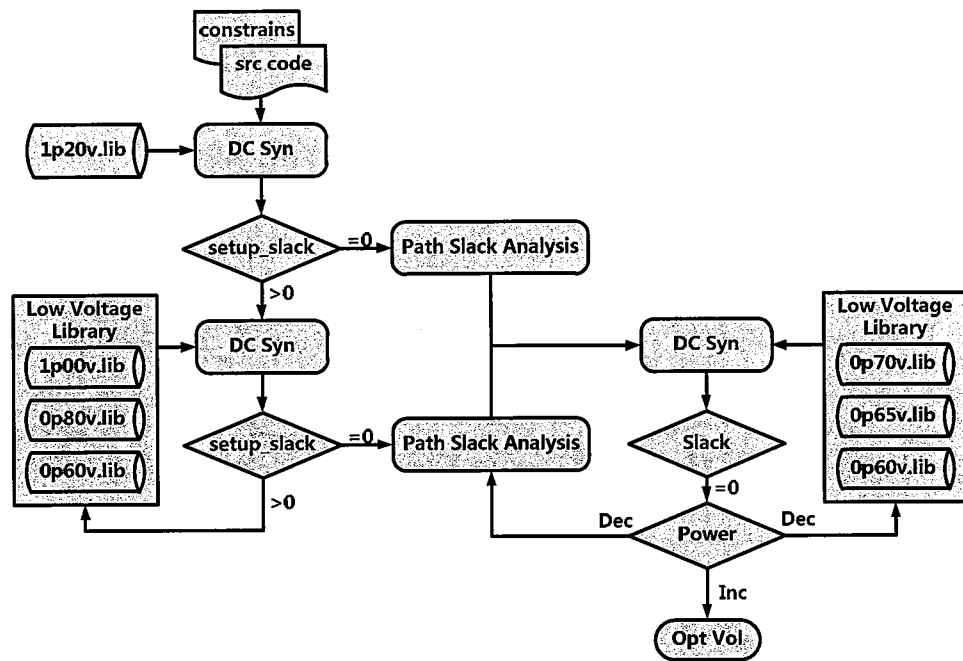


图 4-12 面向特定性能需求的低电压设计流程

采用以上最优工作电压评价流程，面向时钟频率 110MHz 的性能需求，我们对 8bit、4 阶的 FIR 进行最优工作电压分析。

(1) Setup Slack > 0 阶段

首先，对 FIR 电路在 1.20V 正常电压下进行电路综合，分析其时序报告并进行 Path Slack 分析，如图 4-13 所示。此时，关键路径的 Setup Slack = 4.65n > 0，表明 FIR 电路在正常电压下时序较容易满足，允许一定的性能恶化，适合进行低电压设计。

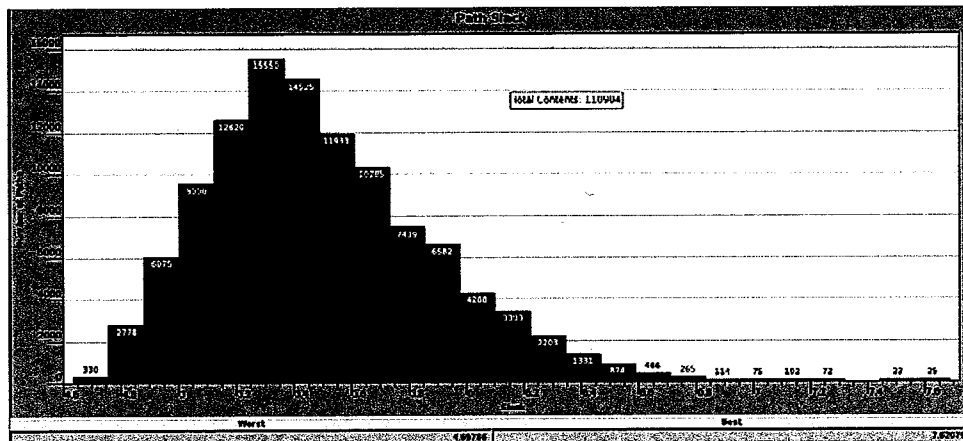


图 4-13 FIR 电路 1.20V 正常电压 Path Slack 分布

然后，逐渐降低电源电压，采用低电压库对 FIR 电路重新进行综合，分析其时序报告并进行 Path Slack 分析，路径的分布情况如图 4-14 所示。图中给出了关键路径的 Setup Slack 变化。由图中可以看出，随着电源电压的下降，Path Slack 的整体分布逐渐向 0 靠近，关键路径的 Setup Slack 在逐渐减小，表明路径延时在逐渐增大。此外，从图 4-14 中可以看出 Path Slack 分布的波形形状变化不大，同时，从库单元的种类、数量上也可以看出，在这一阶段，FIR 电路的结构基本没有发生变化，库单元的数量随电压的变化如图 4-15 所示。然而，在电源电压下降到 0.80V 时，电路的 Setup Slack = 0，开始进入最优工作电压评价的第二阶段。

电源电压为 0.8V 时，电路的 Path Slack 分布如图 4-16 所示。由图中可以看出，Setup Slack 主要分布在 1.2ns-3.2ns 之间，表明电路还有一定的降压设计空间。

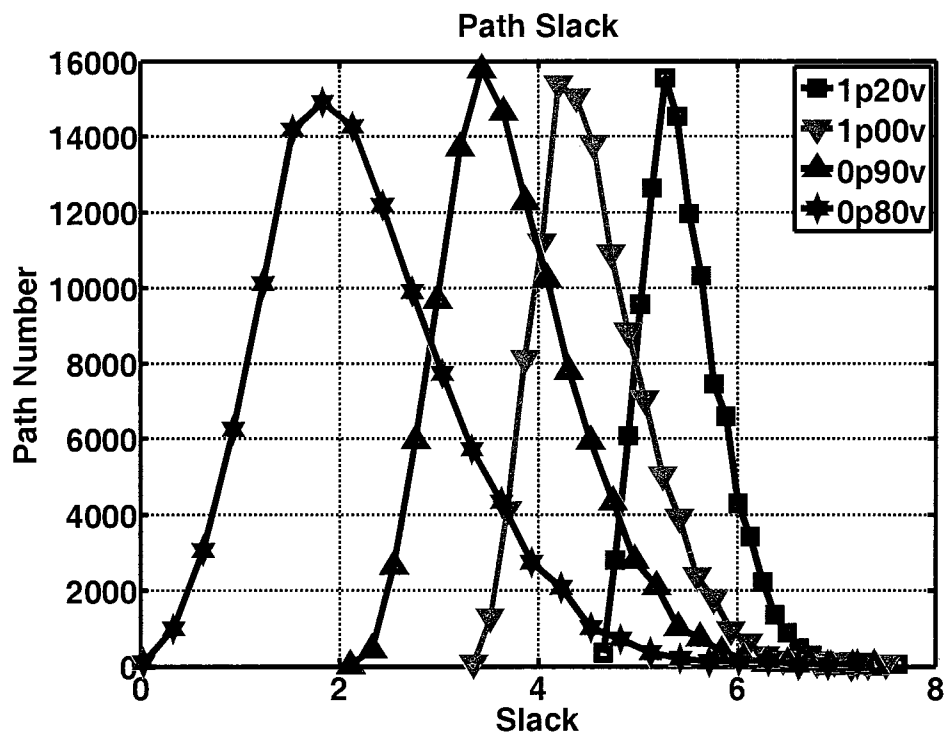


图 4-14 Path Slack 分布与电压的关系

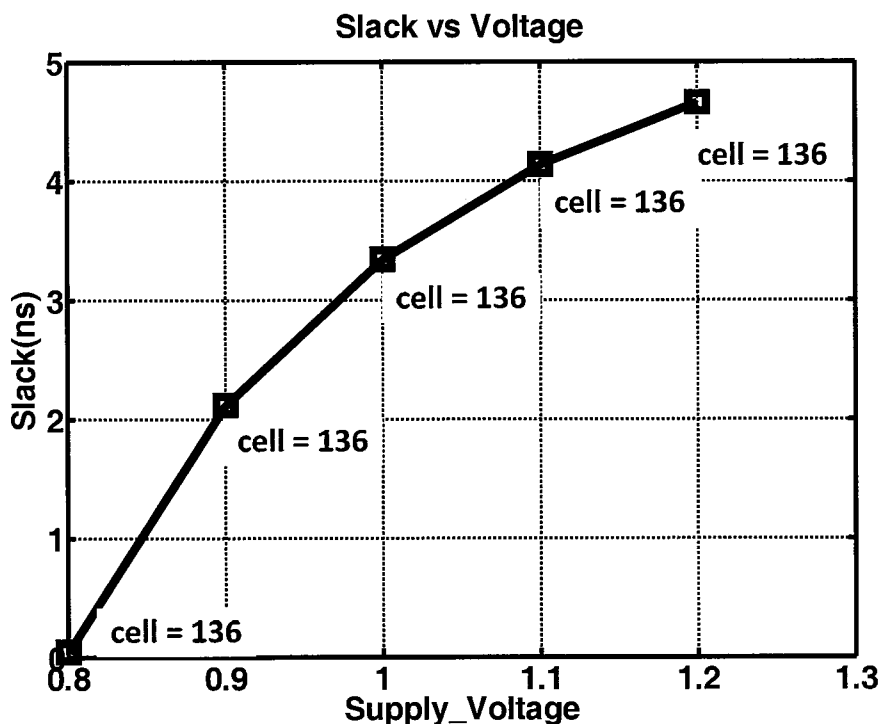


图 4-15 库单元数量随电压的变化情况

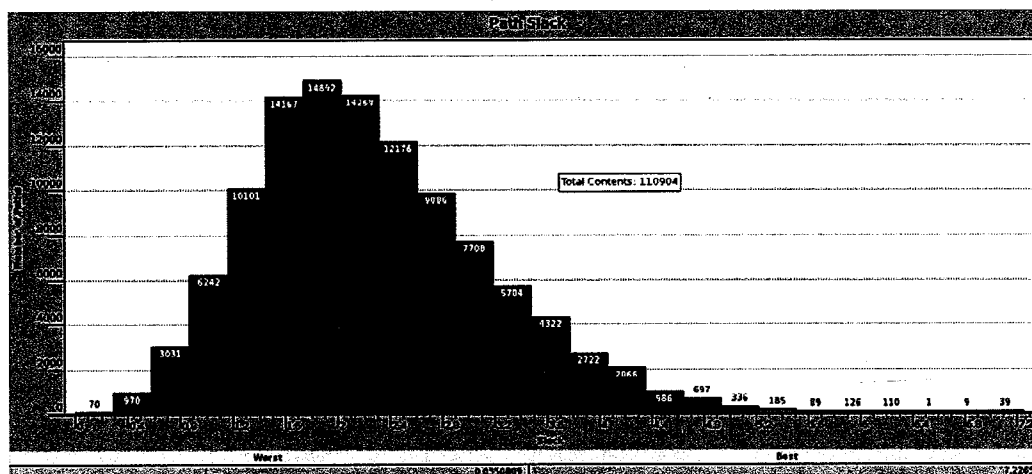


图 4-16 FIR 电路 0.8V 正常电压 Path Slack 分布

(2) Setup Slack = 0 阶段

进入 Setup Slack = 0 的阶段之后，电源电压降低导致的性能恶化，必须通过提高结构的并行度来进行补偿。因此，在电路综合阶段，EDA 工具的优化会导致库单元数量、驱动能力增加，关键路径的比例也会逐渐上升。这样，电源电压降低带来的功耗优势，会被库单元数量、尺寸、面积增加带来的代价而削弱。

在电源电压变化的这个阶段，Path Slack 分析如图 4-17 所示，很明显的可以看出，在电源电压在 0.8V 以上变化时，关键路径的分布曲线变化不大；然而自 0.8V 之后，随电源电压下降，关键路径的比例迅速增加。这种路径分布曲线的变化，体现出随电源电压的下降，电路综合过程中付出的代价越来越高。

同样，图 4-18 中给出了库单元采用的数量、FIR 电路中的逻辑路径随电源电压的变化趋势。由图中可以看出，随着电源电压的降低，在 Setup Slack > 0 阶段库单元采用的数量、逻辑路径的数量都没有发生明显的变化，然而在 Setup Slack = 0 阶段，由于电路优化的作用，库单元数量明显增加，逻辑路径的数量也相应的迅速增加。

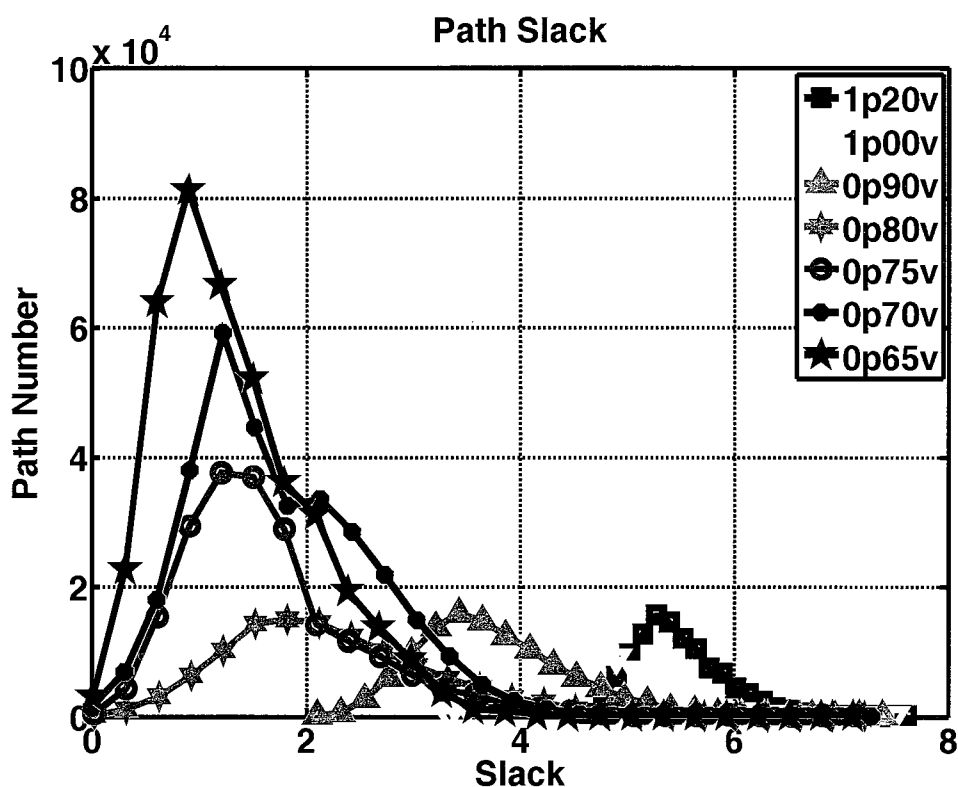


图 4-17 Path Slack 分布与电压的关系

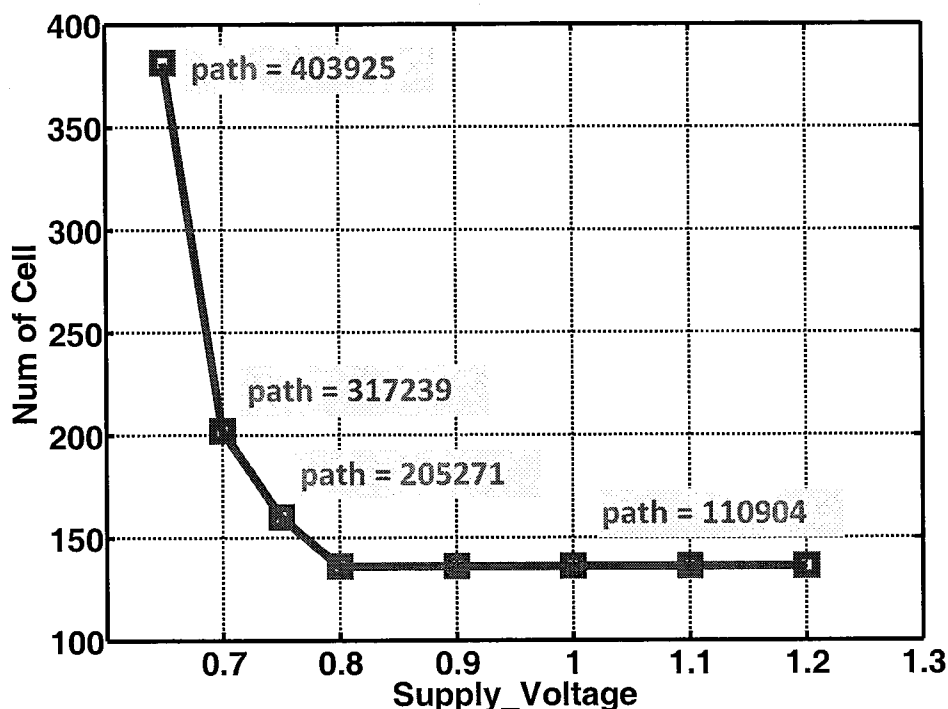


图 4-18 库单元数量、FIR 电路逻辑路径随电源电压的变化

综合以上所述,分析 FIR 电路功耗随电源电压的变化趋势,如图 4-19 所示。结合前面对 Path Slack 的分析,可以得到以下结论:

Setup Slack > 0 阶段: 1.20V-0.80V, 随电源电压的下降, 电路结构基本不发生变化, 电路功耗呈平方关系下降;

Setup Slack = 0 阶段: 0.80V-0.65V, 随电源电压的下降, 电路结构发生变化, 低电压对功耗起优化作用, 结构的时序优化增加电路功耗, 因此电路功耗呈现先下降后上升的趋势。在 0.75V 时, 两种作用相互抵消, 达到电路的最低功耗点, 即电路的最优工作电压。因此, 对 110MHz、8bit、4 阶 FIR 电路而言, 其存在最优工作电压, 位于 0.75V。

以上结论对于面向特定性能需求的数字电路而言, 具有普遍的指导意义。首先, 对于任意数字设计, 形成了一种在正常电压下的分析方法, 以评价该数字设计是否适合采用低电压技术进行功耗优化; 其次, 对适合采用低电压技术的数字设计, 提供了一种评价其最优工作电压的方法。

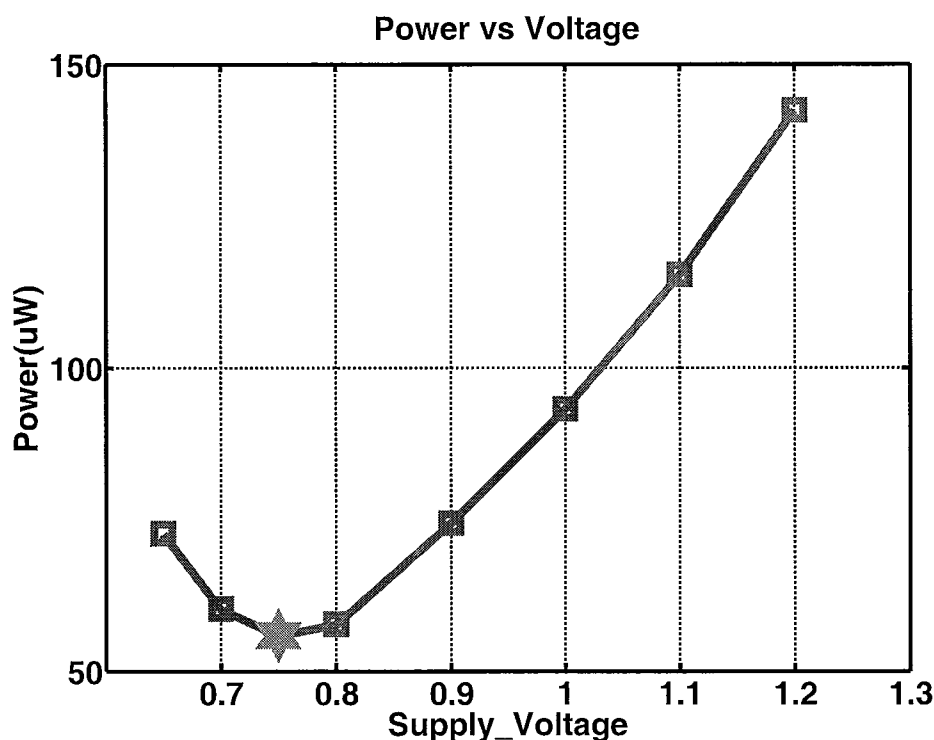


图 4-19 FIR 电路功耗随电源电压的变化

4.2.3 面向极低性能需求的最优工作电压评价

上一节中的最优工作电压评价方法，是面向特定性能需求的应用背景的，即电路的工作频率不发生变化，而且电路供电始终处于开启状态。然而在大量的无线传感节点应用中，数据处理的时间间隔很长，电路对性能要求极低，能耗成为系统设计的主要目标，尤其对静态能耗的优化，成为电路设计考虑的重要因素。在这类系统中，往往引入电源门控技术。单次数据处理完成之后，马上关断供电电源，以消除不必要的静态能耗损失。

基于以上对应用的分析，这类系统呈现出一些特点，不同于上一节中描述的电路系统：（1）性能要求极低，允许电源电压的一直降低，而不需要进行结构的并行度优化；（2）电路静止时间较长，静态能耗占系统能耗的重要部分，因此引入电源门控技术；（3）单次数据处理时，电路的工作时间不再固定，电源电压较高时，电路性能较高，数据处理的速度较快，电源关断的时间就可以长一些。反之，如果工作在较低的电源电压，则数据处理就需要较长的时间，电源关断的时间就会稍短一些。这些工作特点，导致了系统的翻转能耗、短路能耗与漏电能耗，呈现出不一样的变化趋势。

由翻转能耗、短路能耗的计算公式可知，它们取决于电源电压、电路结构及数据处理算法的复杂程度。在单次数据处理的过程中，可以认为数据处理算法的运算量是固定的，这与系统的工作时间无关。因此，翻转能耗、短路能耗仅与电源电压相关。随电源电压的下降，这两类动态能耗都逐渐减小。

由静态能耗的计算公式可知，静态能耗的变化取决于静态功耗、电路工作时间的综合结果。其中，静态功耗随电源电压的下降逐渐减小，然而电路的工作时间受性能恶化的影响，随电源电压的下降在逐渐增加。尤其当电源电压下降到近/亚阈值范围时，电路的工作时间呈现指数形式上升如图 4-20 所示，导致静态能耗呈现上升趋势。

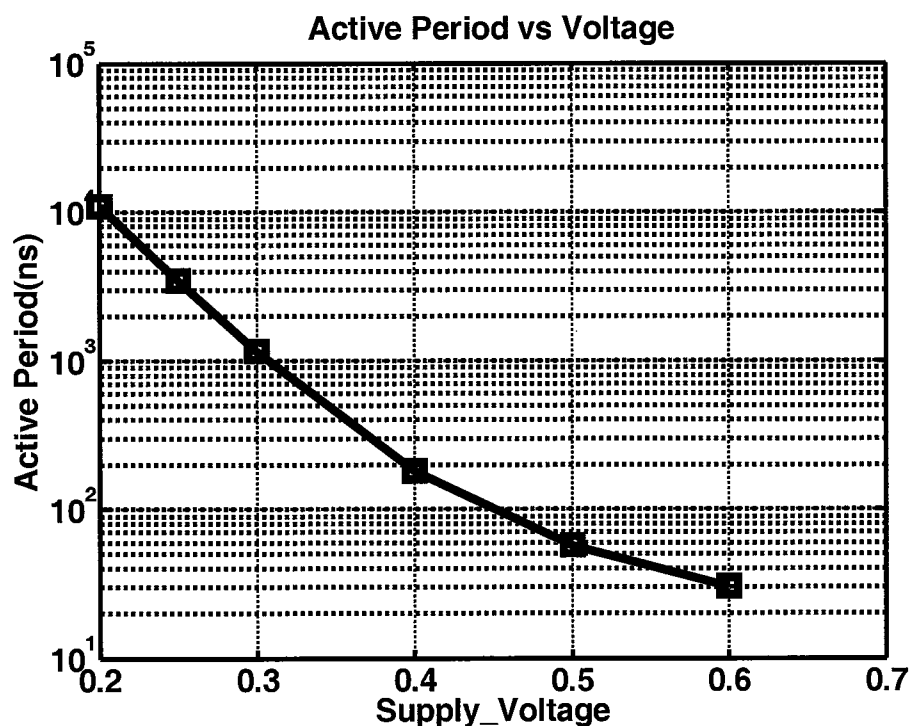


图 4-20 电路的工作时间随电压的变化

综合以上三种能耗的变化趋势，类似于第二章中描述的最优能耗点评价。图 4-21 给出了 8bit、4 阶 FIR 电路的系统能耗随电源电压的变化趋势，动态能耗逐渐下降，如红色曲线所示，静态能耗在低电压部分逐渐上升，如绿色曲线所示。系统的最优能耗点出现 0.25V，如蓝色曲线所示。

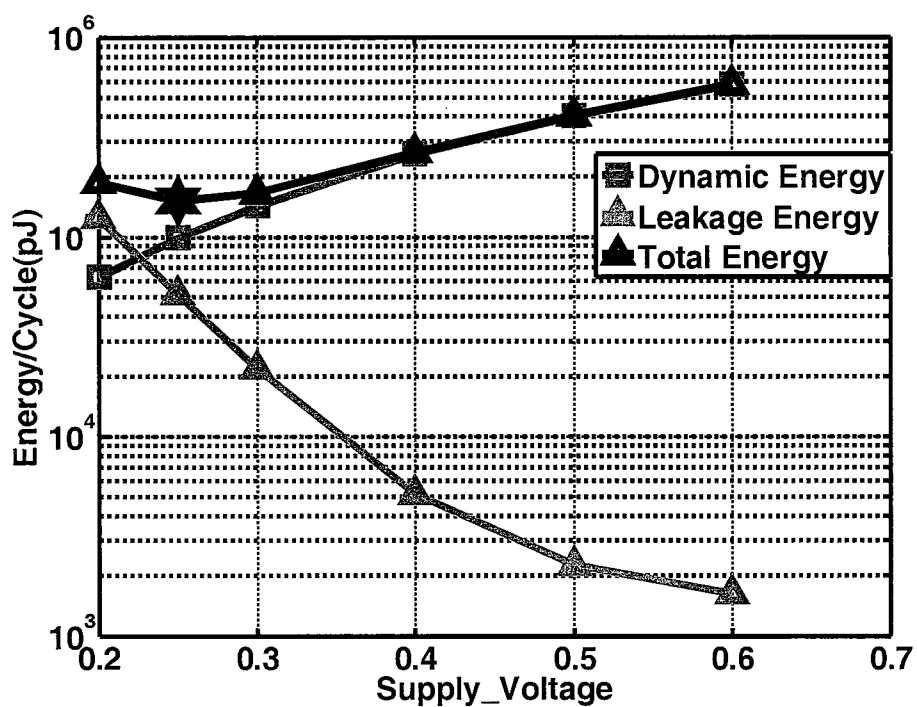


图 4-21 FIR 电路的系统能耗随电源电压的变化

4.3 本章小结

本章针对低电压数字设计流程展开了深入研究。首先，研究了电源电压降低对查找表 NLDM 模型的影响，通过相对误差分析，提出了一种在低电压下确定查找表边界及查找表规模的量化分析方法。其次，对不同性能需求的应用领域，进行了最优工作电压评价，并针对有特定性能需求的应用领域及性能要求极低的应用领域，分别给出了最优工作电压的评价方法。

第5章 低电压数字设计方法的测试验证

本文在前述章节对低电压数字设计方法进行了深入研究,研究低电压对库单元稳定性造成的影响,形成了标准单元库的最低工作电压评价方法;研究低电压下稳定性对库单元尺寸的影响,形成了改进的最优目标电压确定方法;研究近/亚阈值工作电压下库单元的结构设计、尺寸设计方法,形成了极低电压标准单元库设计方法;研究不同应用下的性能要求,形成了电路系统的最优目标电压确定方法。综合以上研究结论,形成了低电压数字电路的设计方法。

为验证上述相关结论,本文设计了相应的测试电路,采用 smic130nm CMOS 工艺进行流片。本章将逐一介绍验证电路,详细阐述验证电路的设计思路及 PCB 测试方案,并对测试结果进行分析。

5.1 最优目标电压确定方法的测试验证

第四章中指出,标准单元库的目标电压越低,则导致库单元设计时的尺寸越大,这种尺寸变化反过来可能会使得电路能耗增加。因此,改进的最优目标电压确定方法将这种尺寸变化的趋势引入到最优能耗点评价电路中,形成了一种考虑电路稳定性的目标电压确定方法。

5.1.1 验证电路的设计思路

5.1.1.1 电路设计

按照第四章的结论,图 5-1 中给出了 NAND2 的五种设计尺寸,A5、A4、A3、A2、A1 的电路稳定性越来越差,它们能够接受的最低工作电压分别为 0.15V、0.20V、0.25V、0.30V、0.35V。采用上述五种 NAND2,分别搭建如图 5-2 给出的最优能耗点评价电路,就形成了五种结构相同、尺寸不同的最优目标电压评价电路。

对于以上电路,在测试过程中,传统的最优能耗点评价,是以假设电路稳定为前提的。因此在考虑单周期能耗点随电源电压的变化时,测试的电压范围可以从正常电压 1.2V 下降到任意低电压。然而,如果考虑电路稳定性的影响,上述五种评价电路的电压测试范围则各不相同,其中 A5 可遍历 0.15V~1.20V

的电压范围，而 A1 只能遍历 0.35V~1.20V 的电压范围。此时，最优能耗点的取值将受电压范围的限制，大大不同于传统最优能耗点的评价。

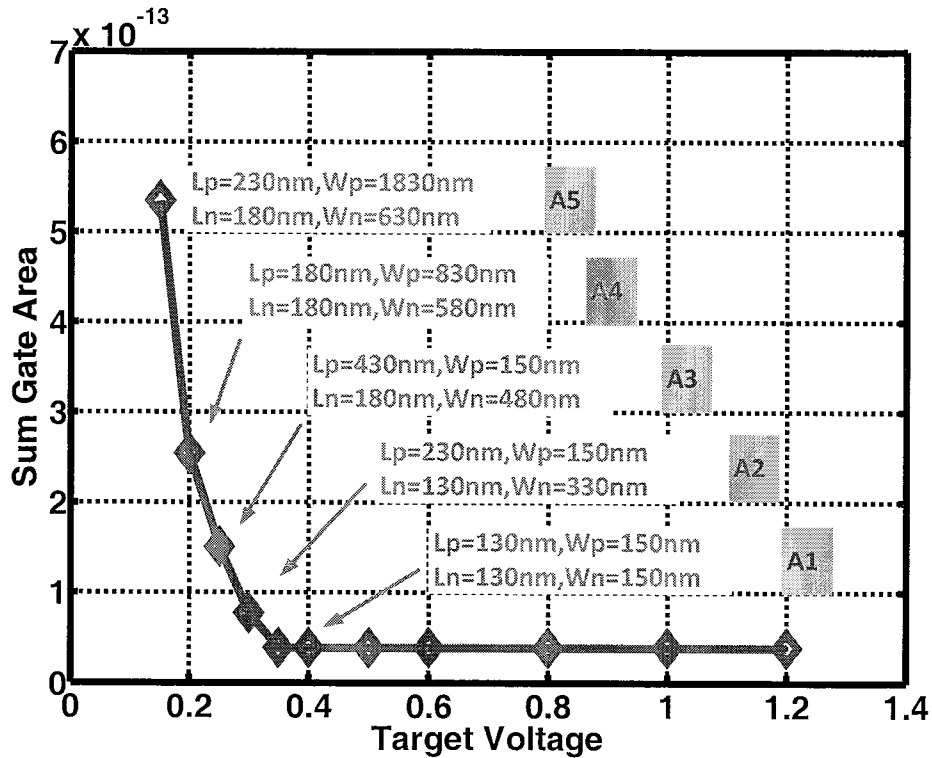


图 5-1 库单元 NAND2 的尺寸随目标电压的变化趋势

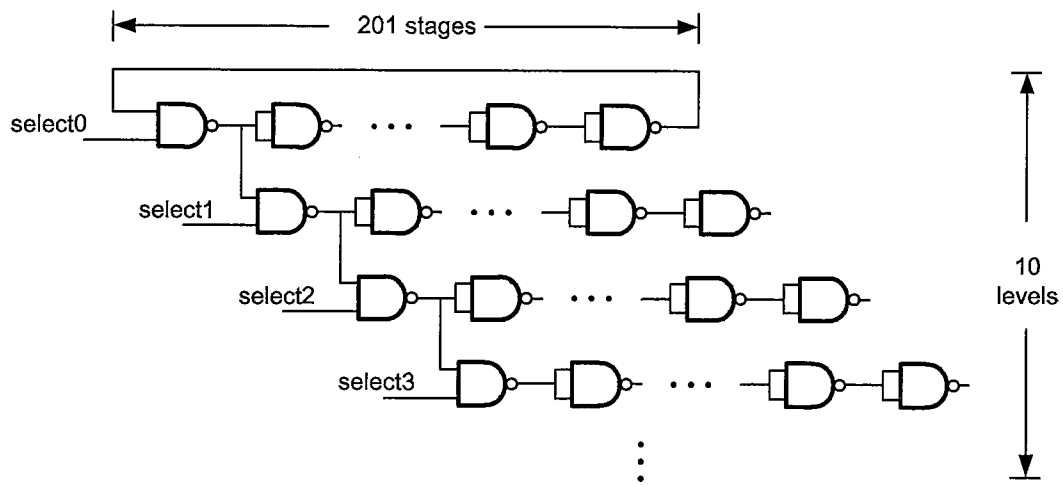


图 5-2 最优能耗点评价电路

5.1.1.2 版图设计

为验证上述结论，采用 smic130nm CMOS 工艺对五种不同尺寸的最优能耗

点评价电路进行设计流片，芯片照片如图 5-3 所示。图中给出了版图设计的布局，白色框图给出了五种评价电路的位置，蓝色框图给出了芯片的电源 PAD。芯片供电电源 PAD 统一采用模拟 IO PAD，可以实现对评价电路的电源电压的任意调节。此外，为保证五种评价电路之间能耗测试的独立性，分别采用独立的电源供电，在版图设计时，每个评价电路采用独立的电源域。

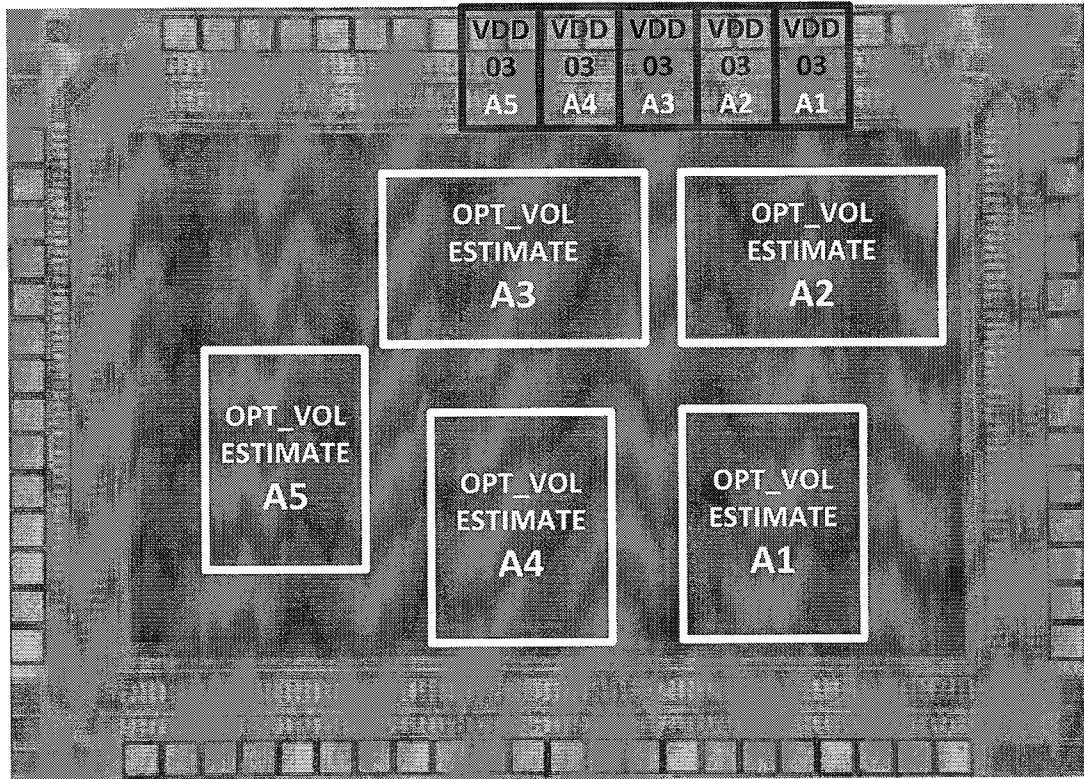


图 5-3 最优目标电压评价电路的芯片照片

5.1.2 测试方案及 PCB 板设计

5.1.2.1 测试方案设计

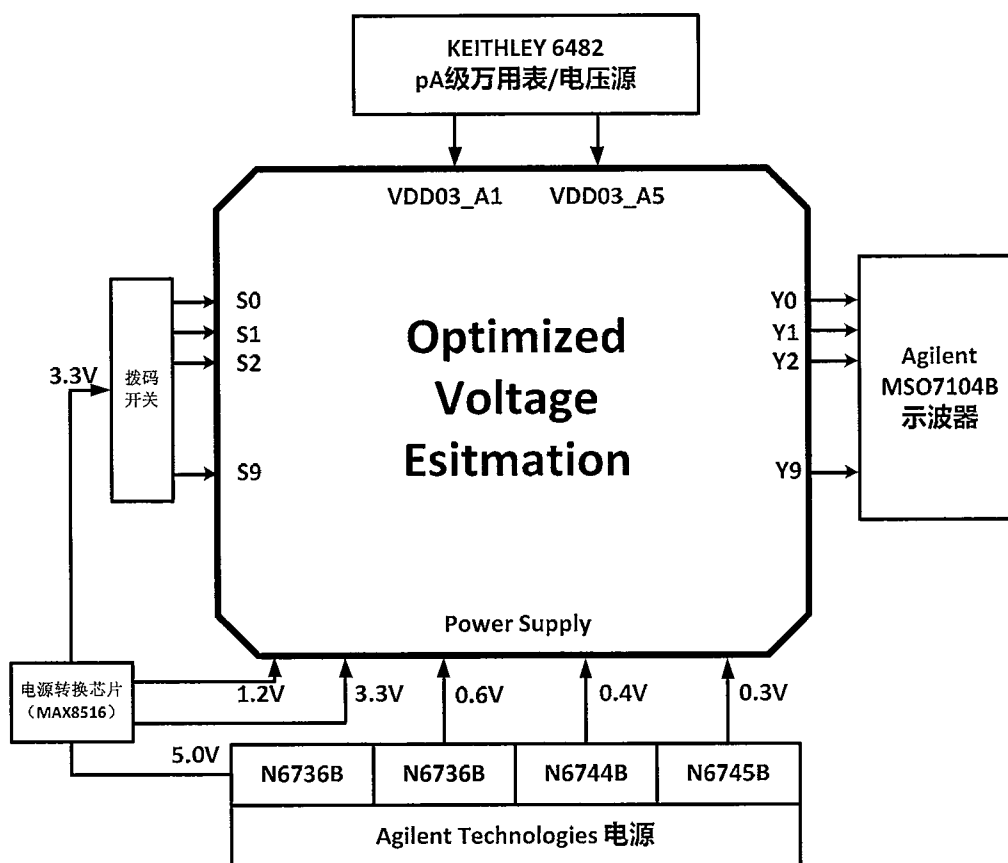


图 5-4 最优目标电压评价电路的测试方案

最优目标电压评价电路的测试方案，如图 5-4 所示。芯片的输入信号为 S0~S9 控制端，控制信号采用固定电平 3.3V 或者 GND，采用拨码开关完成。测试方案中的电源供给，主要分为三个部分：（1）Agilent N6736B 平板电压源为 PCB 板上提供稳定的 5.0V 电源电压，然后该电源经过 LDO 模块 MAX8516 产生稳定的 3.3V 的 PAD ESD 电源及 1.2V 电源，供给数字 IO PAD 使用；（2）采用 Agilent N6736B 提供 0.6V，而 0.4V、0.3V 电源采用精度更高、稳定性更好的 N6745B、N6744B 平板电源模块提供。这三个电源是电平转换电路 LevelShifter 的供电电源，用于将内部电路的低电压信号提升为 1.2V 的正常数字电平；（3）采用 Keithley 6482 Dual-Channel PicoAmmeter/Voltage Source 直流电压源，对内部待测的最优目标电压评价电路供电。Keithley 6482 既可以提供高精度、高稳定性的电压源，又可以完成对电压源电流的测试，测试精度达

100pA 级，以支持高精度的能耗运算。最后，采用 Agilent MSO7104B 示波器，对芯片输出信号进行采集分析，以测试不同电压下的电路振荡频率，用于计算单周期能耗。上述测试方案所需要的仪器总结在表 5-1 中。

表 5-1 最优目标电压评价电路的测试仪器列表

仪器名称	测试中的主要功能
Agilent N6736B、N6745B、N6744B	为待测试板提供高精度、高稳定性的直流电源
Keithley 6482 Dual-Channel PicoAmmeter/Voltage Source	为待测电路提供高精度、高稳定性的直流电源 测试待测芯片的工作电流
Agilent MSO7104B OscilloScope	采集芯片输出信号，测试芯片振荡频率

5.1.2.2 PCB 板设计

因为最优目标电压评价电路需要工作在极低的电源电压，因此在 PCB 板设计时，需要尽量避免信号的干扰及外部噪声的引入，因此本文采用四层 PCB 板设计。顶层主要放置元器件和信号连线；第二层的电源层，根据芯片内部的电源域划分，被分为相应的电源区域；第三层为地平面；底层是信号层，放置一些元器件和信号走线。本文采用采用 Allegro 软件进行 PCB 板设计，图 5-5 给出了 PCB 板设计的原理图及相应 PCB 版图。图 5-6 给出了 PCB 板的测试照片，供电系统与测试板核心部分通过导线连接，增强测试灵活性。

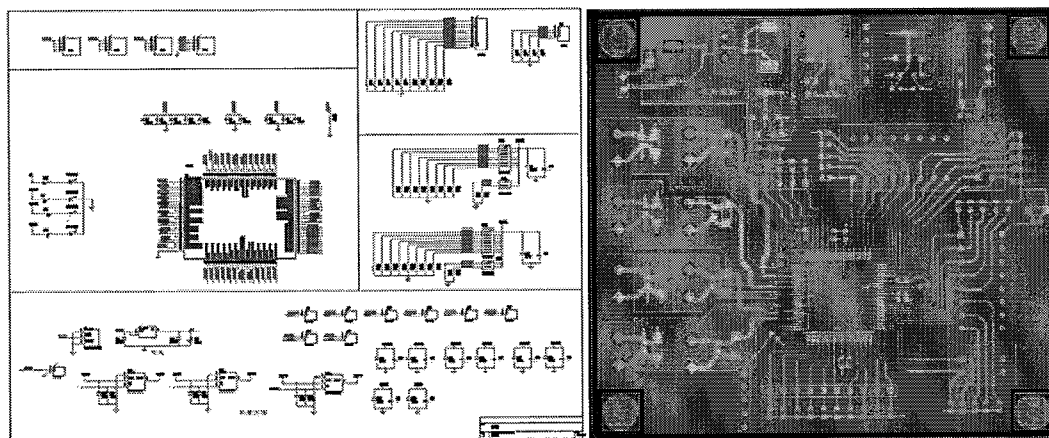


图 5-5 PCB 板的原理图设计及版图设计

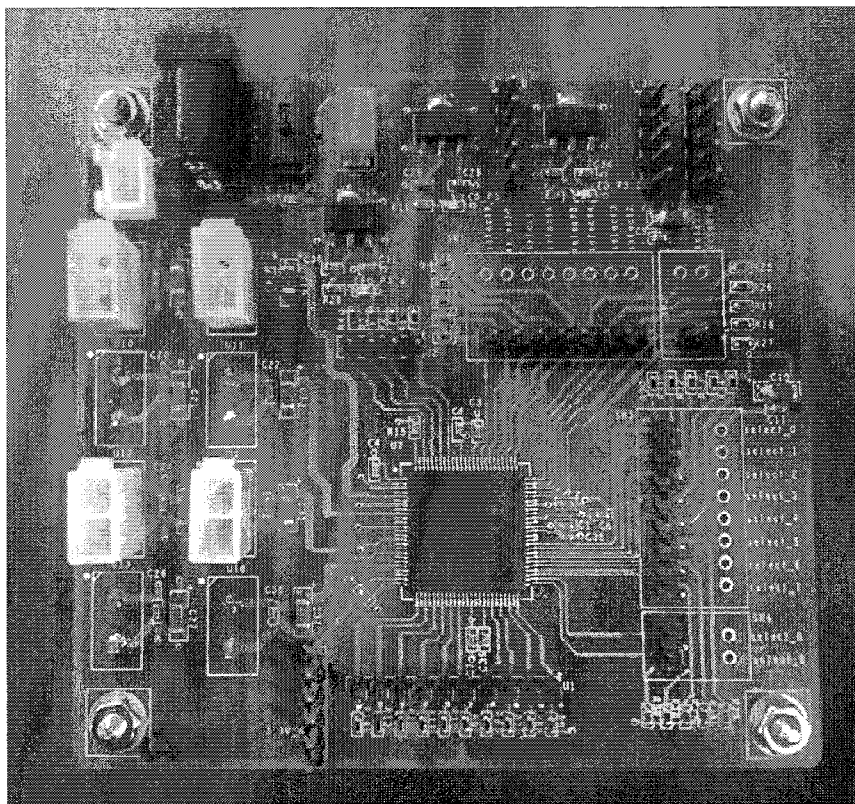


图 5-6 PCB 板的测试照片

5.1.3 测试结果分析

测试芯片内包含着五种不同尺寸的最优能耗点测试电路，形成了考虑稳定性分析的最优目标电压测试电路。在不同翻转率情况下，对五种测试电路的单周期能耗随电源电压的变化趋势分别进行测试整理。

5.1.3.1 不考虑稳定性的最优目标电压评价

不考虑稳定性的测试情况，可以认为五种测试电路在任意电压下都能够正常工作。为达到这个效果，在测试过程中选择稳定性较好的待测芯片，使得芯片能够在较低的电压下工作。

图 5-7 给出了在翻转率为 50% 时，五种待测电路的单周期能耗随电源电压的变化趋势。测试结果显示，在翻转率为 50% 时，五种待测电路的单周期能耗呈现出基本相同的变化趋势，最优能耗点位置均在 0.25V 电源电压位置。从最优能耗点的能耗值来看，A5 评价电路由于尺寸较大的原因，其最优能耗点的能耗值较大，而采用工艺最小尺寸的 A1 电路，其最优能耗点的能耗值最小。测

试结果表明, 如果不考虑库单元稳定性的因素, 默认库单元在任意电压下均能够正常工作的情况下, 工艺最小尺寸能够达到最小功耗。

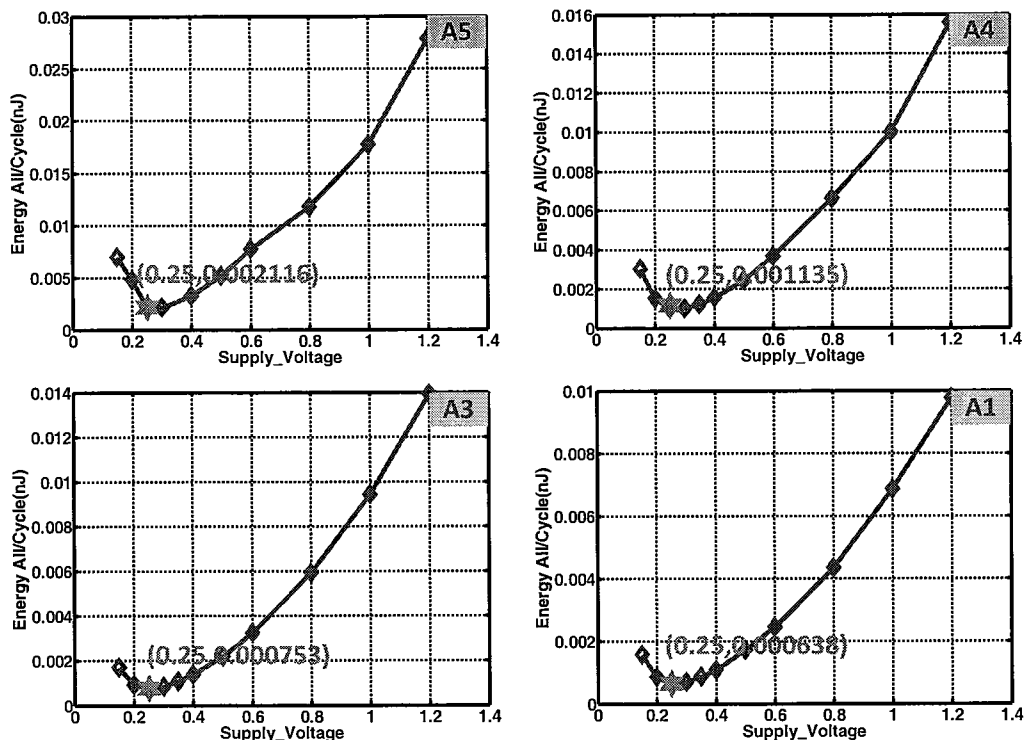


图 5-7 当 toggle_rate = 50% 时, 单周期能耗随电源电压的变化趋势

测试过程中, 通过改变 S0~S9 的控制信号, 改变电路的翻转率, 会发现评价电路的最优能耗点位置随着电路翻转率的变化而改变。图 5-8 给出了评价电路 A1 电路最优能耗点随翻转率的变化趋势图。由图中可以看出, 随着评价电路翻转率的上升, 电路的最优能耗点位置对应的电源电压在逐渐增加。

在标准单元库的目标电压设计时, 一般采用翻转率为 50% 情况下, 对应的电路最优能耗点位置。因此按照传统的最优目标电压确定方法, 标准单元库的目标电压应当设计为 0.25V。

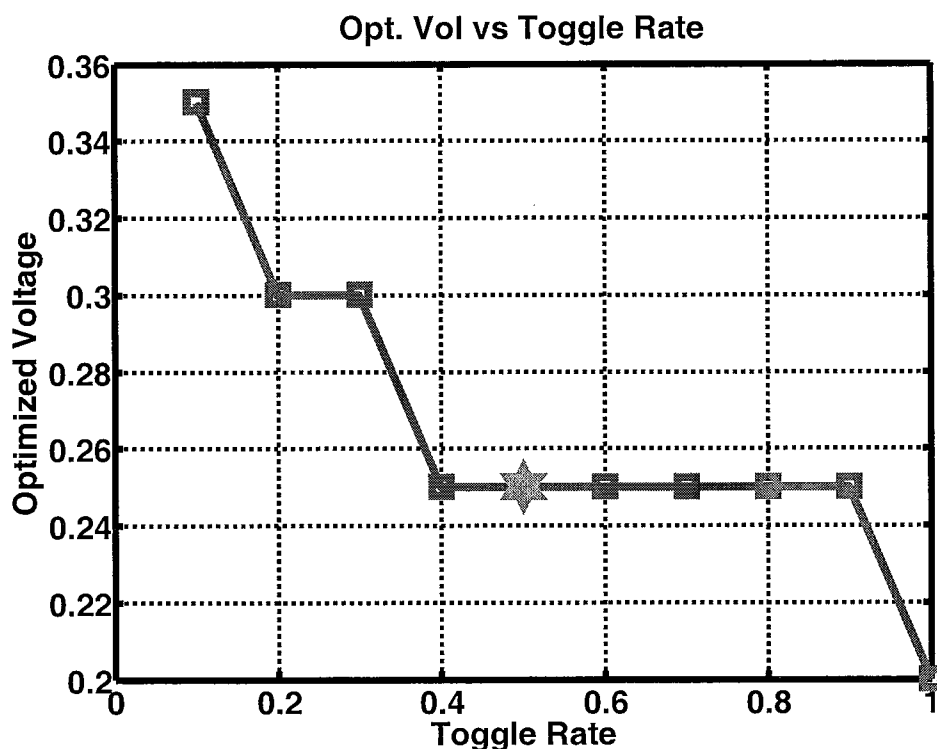


图 5-8 最优能耗点随评价电路的翻转率的变化趋势

5.1.3.2 考虑稳定性的最优目标电压评价

考虑 NAND2 单元的稳定性, 则五种评价电路可接受的最低工作电压不同, 它们能够接受的工作电压范围如表 5-2 所示。此时, 在测试过程中电源电压的调节范围就受到限制, 当电源电压低于最低工作电压时, 则认为电路不再稳定, 能耗值无效。因此, 在考虑稳定性的情况下, 电路的最优能耗点评价必须在工作电压范围内, 这样五种评价电路的单周期能耗随电源电压的变化曲线, 如图 5-9 所示。

表 5-2 考虑稳定性变化的评价电路测试

评价电路	工作电压范围	最优工作电压	最优能耗点
A5	0.15V~1.20V	0.25	0.002115635
A4	0.20V~1.20V	0.25	0.00113583
A3	0.25V~1.20V	0.25	0.00075342
A2	0.30V~1.20V	0.30	0.00069574
A1	0.35V~1.20V	0.35	0.00085685

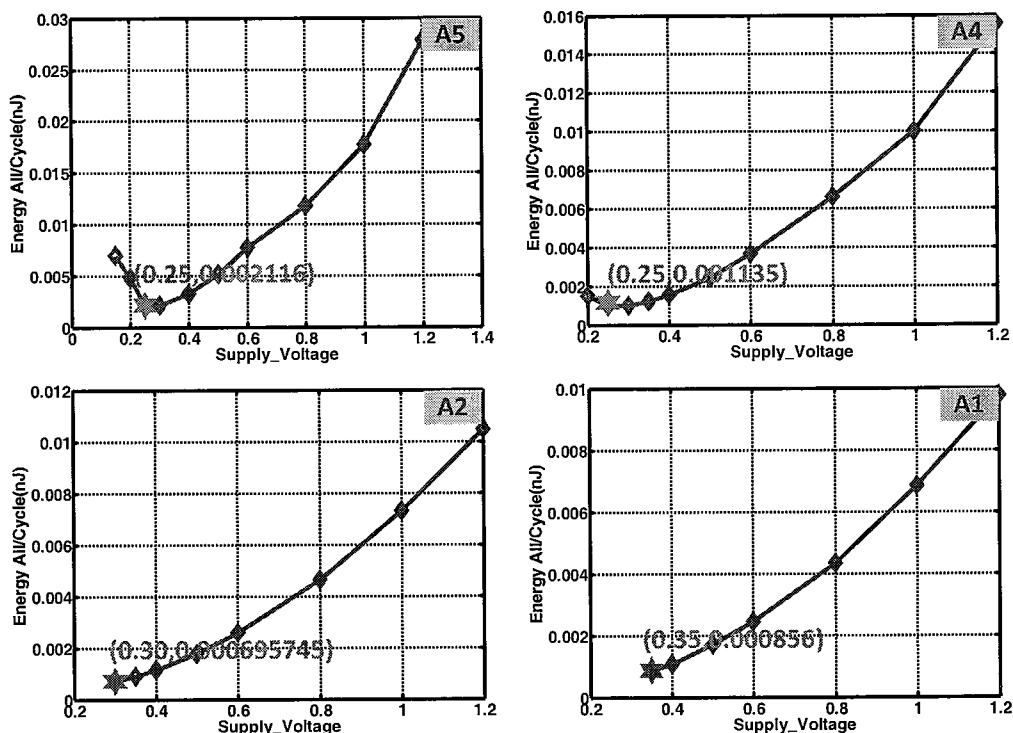


图 5-9 考虑电路稳定性, 单周期能耗随电源电压的变化趋势

由上图可以看出, 考虑电路稳定性之后, 五种评价电路的单周期最优能耗点不再固定在 0.25V。五种评价电路中, A5、A4 电路的稳定性较高, 可以工作在极低的电压, 能够很好的覆盖电路最优能耗点, 但为此付出的尺寸代价也比较大; A1、A2 电路的稳定性较差, 工作电压范围不能达到电路的最优能耗点, 因此电路的最优能耗点就变成了电路的最低工作电压。此时, 由于目标电压较高, 所以电路尺寸较小, 甚至在 A1 电路中可以采用工艺最小尺寸, 所以电路的最优能耗值也可以较低。

综上所述, 随着电路的目标电压设定的不同, 会造成影响评价电路能耗变化的两个矛盾的因素: 一方面, 目标电压较低有利于电路工作在最优能耗点, 有利于降低能耗; 另一方面, 目标电压较低, 又同时导致电路尺寸较大, 使得电路能耗增加。因此, 两种矛盾的趋势造成了系统的最优能耗随目标电压的变化趋势如图 5-10 所示。由图中可以看出, 考虑低电压下, 电路稳定性对尺寸设计的影响, 会导致系统最优能耗点对应的电压上升, 即为使得电路工作在最优能耗点, 在进行标准单元库设计时, 目标电压应适当提高。

根据测试结果,面向 smic130nm 工艺下进行标准单元库设计时,最优目标电压应设置在 0.30V。

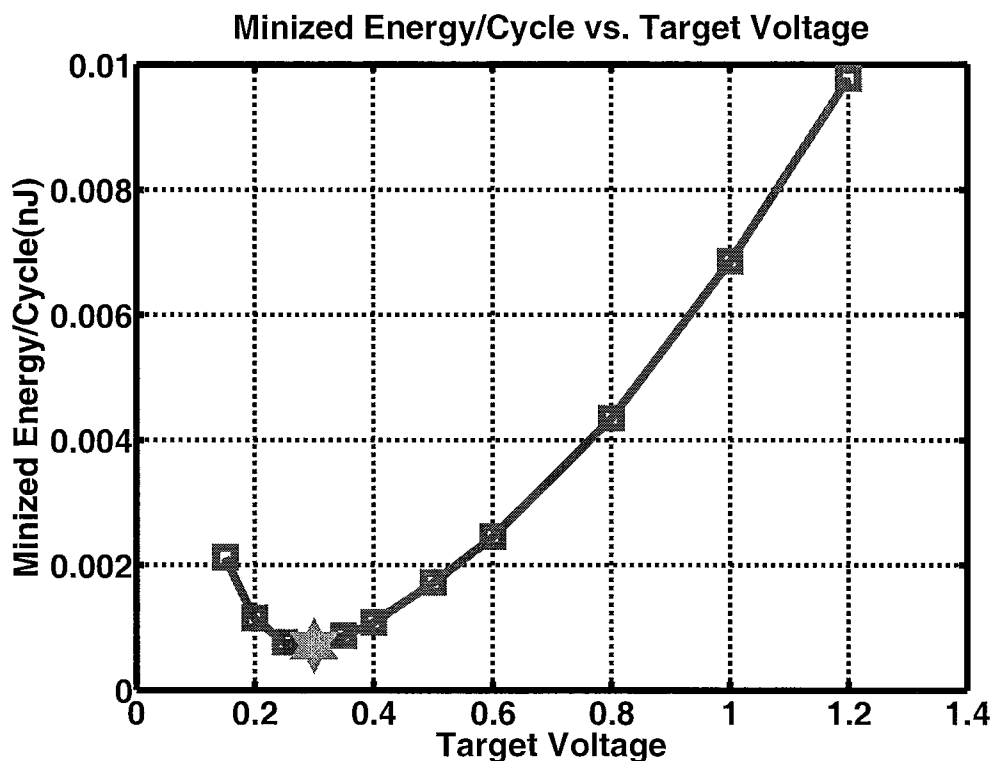


图 5-10 评价电路的最优能耗随目标电压的变化趋势

5.2 近/亚阈值标准单元库设计的测试验证

本文第四章介绍了面向近/亚阈值工作电压的标准单元库设计方法,在单元类型的选择、单元结构的选择、晶体管的尺寸设计及版图设计等不同层面力求提高库单元在近/亚阈值工作电压下的稳定性,尤其在库单元的尺寸设计方面,通过对库单元的结构进行特征提取和驱动能力分析,形成了运算量较小的最优尺寸设计方法。

5.2.1 验证电路的设计思路

按照近/亚阈值标准单元库的设计方法,采用 smic130nm CMOS 工艺,面向 0.30V 的目标电压,设计了一套标准单元库,包含 15 种逻辑单元,共 61 个。为验证标准单元库的稳定性,本文对标准单元库中的逻辑单元进行了流片。受 IO 数量的限制,在进行芯片设计时,每种单元仅选择最小驱动进行测试。此外,芯片还设计了对电平转换电路的单独测试。

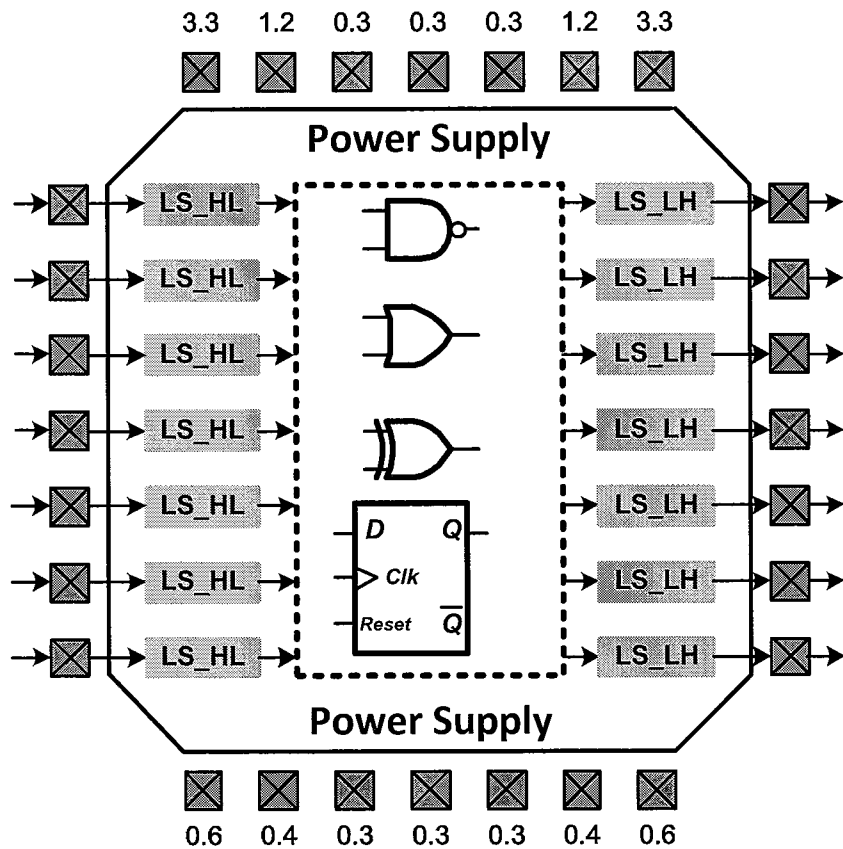


图 5-11 标准单元库验证芯片的设计方案

验证芯片的设计思路如图 5-11 所示，采用标准的数字 IO PAD 进行信号传输，为验证在低电压工作条件下标准单元的功能稳定性，需要解决如下问题：

- (1) 产生低电压输入信号，送入库单元的端口；
- (2) 库单元的工作电压要任意可调；
- (3) 库单元的低电压输出信号，可送出芯片端口，被测试仪器采集。

接下来从上述三个方面进行验证芯片的详细介绍。

5.2.1.1 低电压信号的输入

在验证芯片的设计方案中，由于采用数字 IO PAD 进行信号传输，因此芯片输入信号电平为 3.3V 标准电压。而内部低电压的测试信号是通过对输入信号逐级进行电平转换得到的。因此，验证芯片设计时，低电压信号的输入采用多级电平转换的方案，主要包括以下两部分：

(1) 数字输入 PAD 的电平转换电路

在 smic130nm 工艺下, 标准数字输入 PAD 内部包含电平转换电路, 将 3.3V 的外部输入信号转换为 1.2V 的内部信号, 送给内部电路使用。

(2) 从高到低的电平转换电路 (LS_HL)

LS_HL 电路的结构如图 5-12 所示, 采用三级缓冲器 (buffer) 将 1.2V 信号转换为内部低电压信号。假设芯片低电压电路采用 0.3V 电源电压, 则电平转换电路可以逐级将信号从 1.2V 降低到 0.6V, 到 0.4V, 到 0.3V, 匹配内部低电压电路的使用。

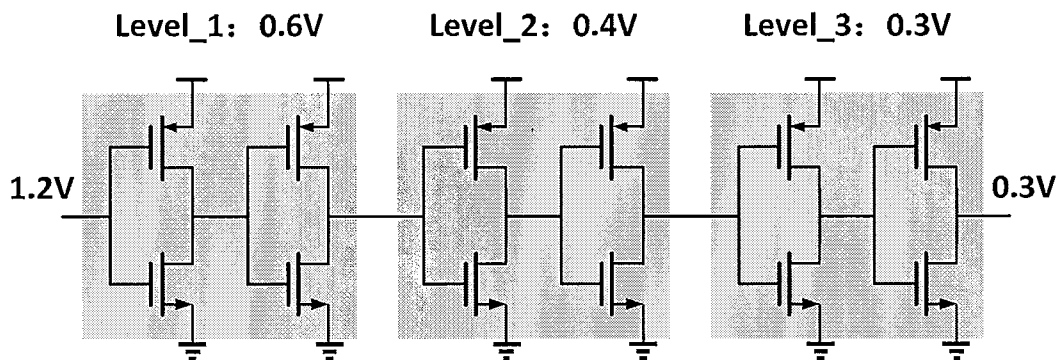


图 5-12 电平转换电路 (LS_HL) 的结构

5.2.1.2 低电压信号的输出

由于采用数字 IO PAD 进行信号传输, 而标准 IO PAD 要求内部电路的输出信号电平为 1.2V, 因此内部低电压输出信号必须经过电平转换, 抬升电平至正常电压 1.2V, 才能够被数字输出 PAD 识别, 最终产生 3.3V 的标准输出电平, 进行测试。因此, 验证芯片的信号输出方案, 采用从低到高的多级电平转换, 主要包括以下两部分:

(1) 从低到高的电平转换电路 (LS_LH)

在验证芯片的设计中, 电平转换电路的功能稳定性是低电压信号能否被采集的关键。电平转换电路必须能够实现对极低电压信号的电平抬升, 否则电平转换电路将可能成为芯片功能测试的制约因素。因此, 芯片设计中 LS_LH 的电路结构如图 5-13 所示, 采用三级电平转换电路 (LevelShifter) 完成从内部低电

压信号到正常电平 1.2V 的转换。级联的三级电平转换电路，可以通过不同的电压组合，确保可以将极低的电压信号抬升到正常电平。假设芯片内部低电压电路采用 0.3V 电源电压，则电平转换电路可以将低电压输出信号逐级从 0.3V 抬升到 0.4V、到 0.6V、再到 1.2V 标准数字电平输出。

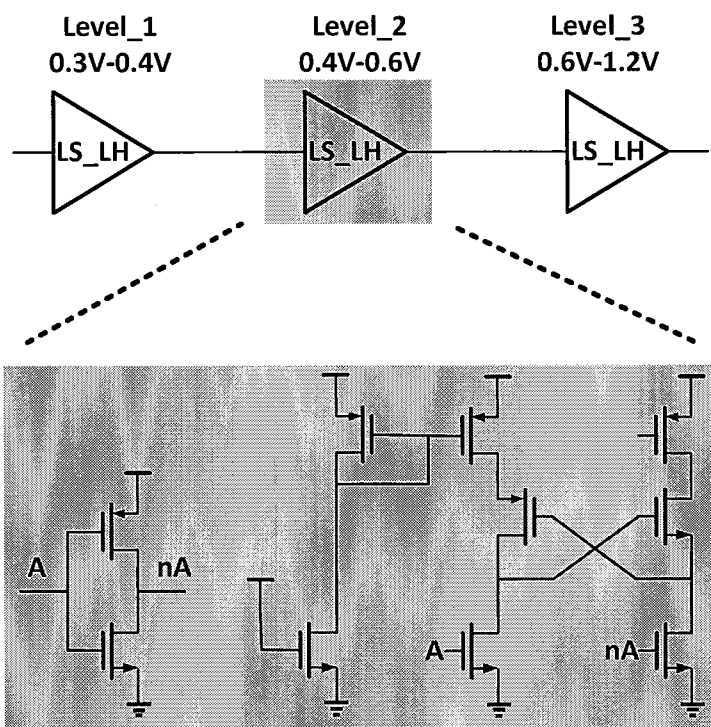


图 5-13 电平转换电路 (LS_LH) 的结构

(2) 数字输出 PAD 的电平转换电路

在 smic130nm 工艺下，标准数字输出 PAD 内部包含电平转换电路，可以将 1.2V 的内部电路输出信号转换为 3.3V 的芯片输出信号，以便测试仪器的采集。

5.2.1.3 电源供电方案

从以上芯片设计方案中可以看出，由于多级电平转换电路的采用，要求芯片供电电源较多，如表 5-3 所示。芯片设计中，VDD33、VDD12 采用标准的数字电源 PAD 进行供电，而其余 VDD06、VDD04、VDD03、VDD_CORE 均采用模拟 PAD 供电，以支持电源电压可调。其中，电源 VDD06、VDD04、VDD03 是 LS_HL、LS_LH 电平转换电路的从高到低的三级转换电平，其中 VDD03 与

内部低电压电路的工作电压 VDD_CORE 保持一致。这三个电源电压的外部可调，可以满足不同的电平转换需求。

表 5-3 芯片设计的电源供电方案

电源名称	电平	供电 PAD	主要用途
VDD33	3.3V	PVDD2W	IO PAD 的 ESD 保护电路
VDD12	1.2V	PVDD1W	IO PAD 的电平转换电路、芯片 LS_LH 的转换电平
VDD06	0.6V	PANA1APW	芯片 LS_LH、LS_HL 电路的电平转换
VDD04	0.4V	PANA1APW	芯片 LS_LH、LS_HL 电路的电平转换
VDD03	0.3V	PANA1APW	芯片 LS_LH、LS_HL 电路的电平转换
VDD_CORE	0.3V	PANA1APW	芯片待测电路的工作电平

5.2.1.4 版图设计

为验证近/亚阈值标准单元库设计方法的有效性，采用 smic130nm CMOS 工艺对验证芯片进行流片，芯片照片如图 5-14 所示。图中给出了版图设计中的布局，白色框图给出了待测库单元的分布位置，蓝色框图给出了芯片的电源 PAD。

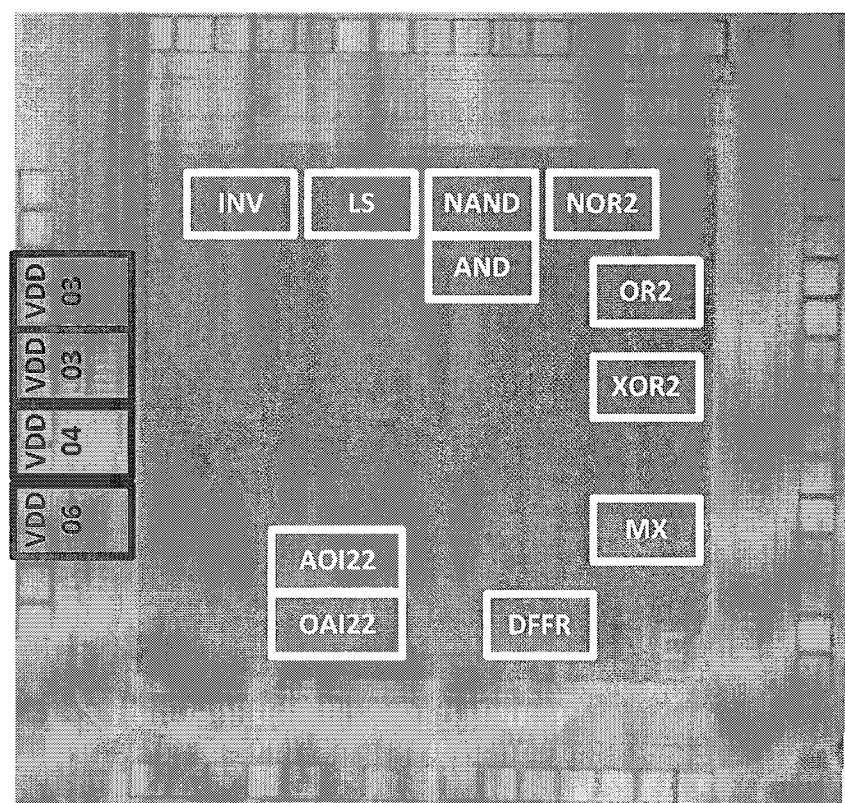


图 5-14 标准单元库稳定性的验证芯片照片

5.2.2 测试方案

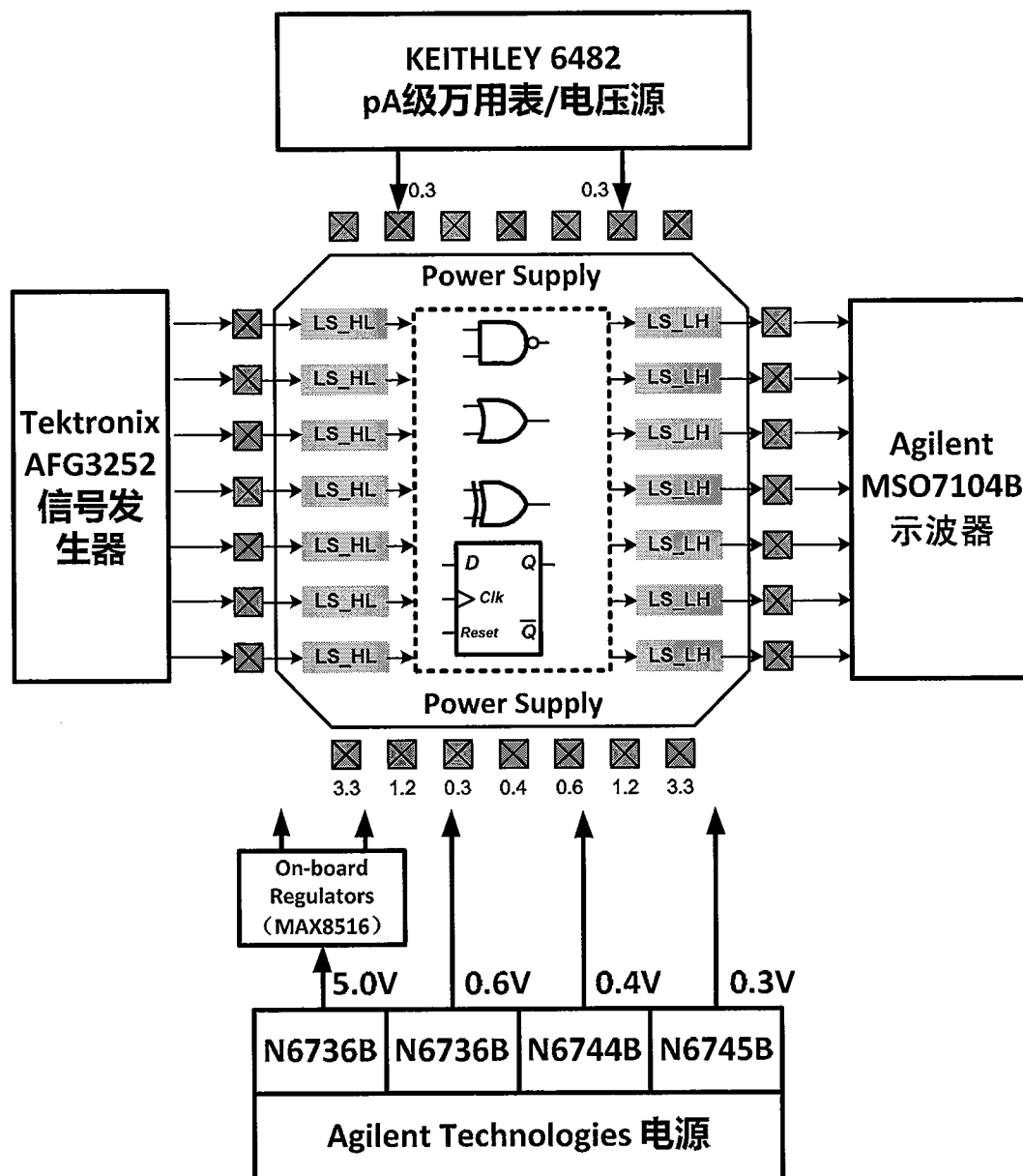


图 5-15 标准单元库稳定性验证芯片的测试方案

标准单元库稳定性验证芯片的测试方案，如图 5-15 所示。首先，测试激励由 Tektronix AFG3252 信号发生器产生，信号电源电压设置为 3.3V。测试方案中的电源供给和电源电流的测试，同最优目标电压验证电路的测试方案是一致的。最后，采用 Agilent MSO7104B 示波器，以测试库单元的功能正确性。图 5-16 给出了实验室搭建的测试平台，上述测试方案所需要的仪器总结在表 5-4 中。

表 5-4 标准单元库稳定性验证芯片的测试仪器列表

仪器名称	测试中的主要功能
Agilent E4438C 信号发生器	产生 3.3V 输入信号，通过 SMA 头接入待测试板
Agilent N6736B、N6745B、N6744B	为待测试板提供高精度、高稳定性的直流电源
Keithley 6482 Dual-Channel PicoAmmeter/Voltage Source	为待测电路提供高精度、高稳定性的直流电源 测试待测芯片的工作电流
Agilent MSO7104B OscilloScope	采集芯片输出信号，测试芯片振荡频率

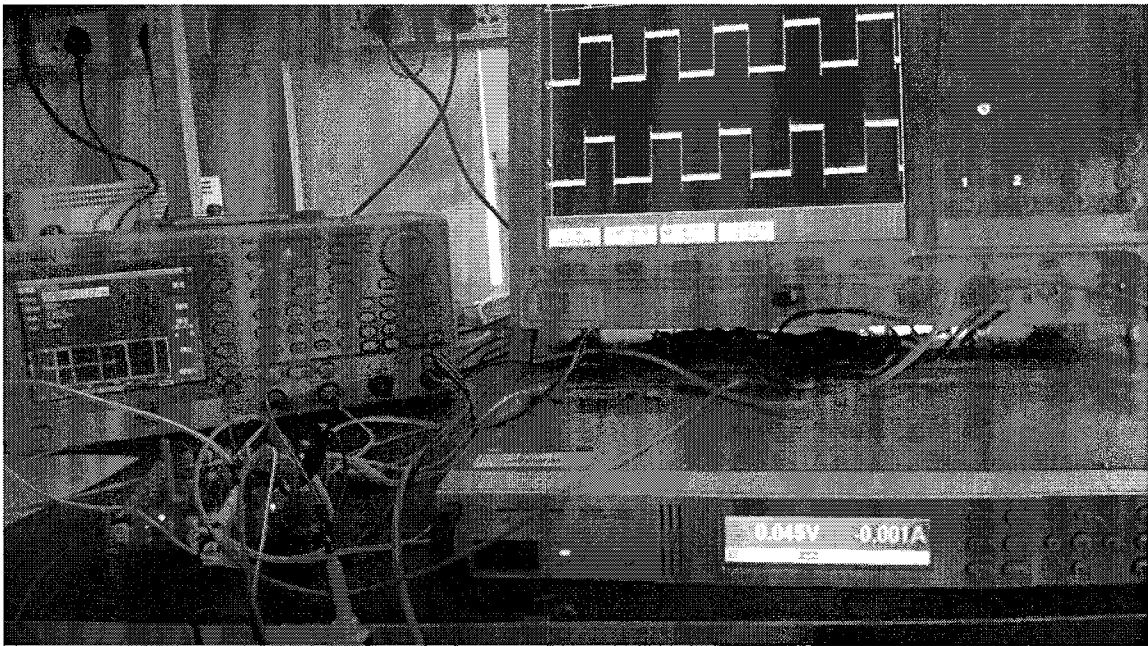


图 5-16 标准单元库稳定性验证芯片的测试平台

5.2.3 测试结果分析

采用上述方案对芯片进行测试，调节内部库单元的工作电压，遍历库单元的性能、稳定性随电源电压的变化关系。

5.2.3.1 电平转换电路的测试结果

电平转换测试电路由 LS_HL、LS_LH 串联构成，中间不加入任何库单元，

只为测电平转换电路的稳定性，测试数字 IO PAD+LS_HL+LS_LH+数字 IO PAD 方案的可行性。基于芯片设计中，信号输入、信号输出方案的设计，电平转换电路是芯片能否正常工作的关键。因此，在测试的开始，先对电平转换电路进行测试。

(1) 稳定性测试

电平转换电路的稳定性是芯片测试的关键，因此首先对其进行稳定性测试。电平转换电路的高到低转换及低到高转换，都有三级电平转换级联而成，合理的分配电源电压转换的梯度，能够有效的提高电平转换电路的稳定性。测试结果显示，实现低电平的抬升时，尤其是从极低电平到正常电平的转换时，不同的目标电压需要不同的电平组合，如表 5-5 所示。

表 5-5 面向不同电平转换范围，电平转换电路的最佳供电组合

电平转换范围	VDD03	VDD04	VDD06	VDD12
1.2~0.04~1.2	0.04	0.15	0.30	1.20
1.2~0.09~1.2	0.09	0.25	0.40	1.20
1.2~0.10~1.2	0.10	0.25	0.40	1.20
1.2~0.15~1.2	0.15	0.35	0.45	1.20
1.2~0.20~1.2	0.20	0.35	0.50	1.20
1.2~0.25~1.2	0.25	0.40	0.50	1.20
1.2~0.30~1.2	0.30	0.40	0.60	1.20
1.2~0.40~1.2	0.40	0.60	0.80	1.20
1.2~0.50~1.2	0.50	0.60	0.80	1.20
1.2~0.60~1.2	0.60	0.80	1.00	1.20

通过合适的电平组合，对电平转换电路的稳定性进行测试。测试结果显示，电平转换电路可以很好的实现 0.3V 到 1.2V 的电平转换，测试过程中，其能够接受的最低工作电压为 40mV，即可以实现从 1.2V 正常电平到 40mV 极低电平的转换，也可以实现从 40mV 到 1.2V 正常电平的转换，如图 5-17 所示。

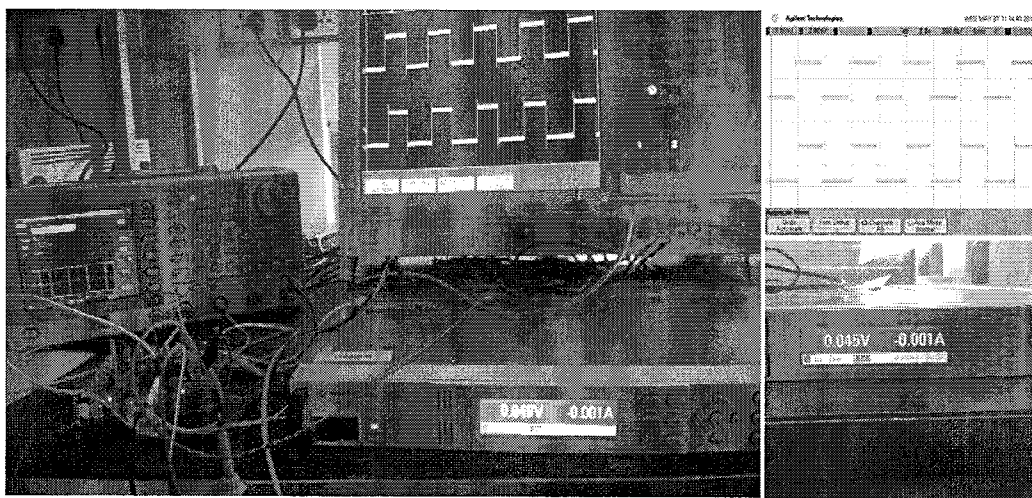


图 5-17 电平转换电路实现将信号从 40mV~1.2V 的电平转换

(2) 性能测试

上述测试结果表明，通过合适的电平组合，可以使得电平转换电路能够实现较好的稳定性，能够将低电平信号抬升到标准电平信号。然而，在不同的低电平情况下，电平转换电路能够接受的最高工作频率也有所不同，图 5-18 给出了最高工作频率随电压的变化关系。

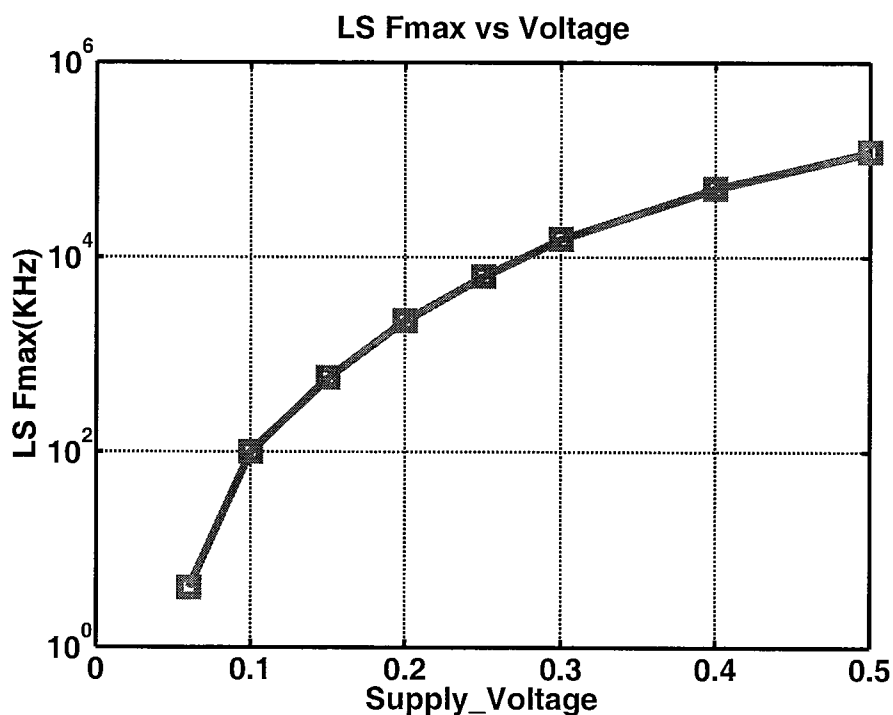


图 5-18 电平转换电路的最高工作频率随电压的变化趋势

5.2.3.2 组合逻辑电路的测试结果

验证芯片内待测试的标准单元，大体上可以分为两类：组合逻辑单元、时序逻辑单元。组合逻辑单元的测试较为简单，本次测试时，主要关注其在低电压下的功能稳定性及单元延时随电源电压的变化。

(1) 稳定性测试

验证芯片的组合逻辑种类包括：INV、NAND2、AND2、NOR2、OR2、XOR2、MX、AOI22、OAI22。测试结果显示，所有的库单元都能够在 0.3V 下正常工作。此外，库单元 INV 可以接受的最低工作电压为 40mV，其最低工作电压可能受限于电平转换电路的限制，而其他库单元可接受的最低工作电压为 60mV。图 5-19 给出了 XOR2 电路在 60mV 工作电压下的功能测试结果，图 5-22 给出了 XOR2 的电路延时随电源电压的变化趋势图。



图 5-19 XOR2 在 60mV 工作电压下的功能测试

(2) 延时测试

在芯片设计时，每个库单元的输入端口都施加了 LS_HL 单元，输出端口增加了 LS_LH 单元，因此测试时无法直接得到库单元的延时。在计算库单元延时过程中，我们首先对 LS_HL+LS_LH 单元随电源电压的延时进行测试，然后在同样的电平组合下测试 LS_HL+库单元+LS_LH 的电路延时，最后通过做差的形式，完成对库单元延时的近似评估。这种评价方式有一定的误差，无法评估高电压区域的库单元延时，因为高电源电压下，单个库单元的延时较小，可能

被淹没在测试误差中。然而，在电源电压较低时，库单元延时较大，能够完成对库单元延时的近似观察。图 5-20 给出了 XOR2 的电路延时，在低电压范围内，随电源电压的变化趋势。

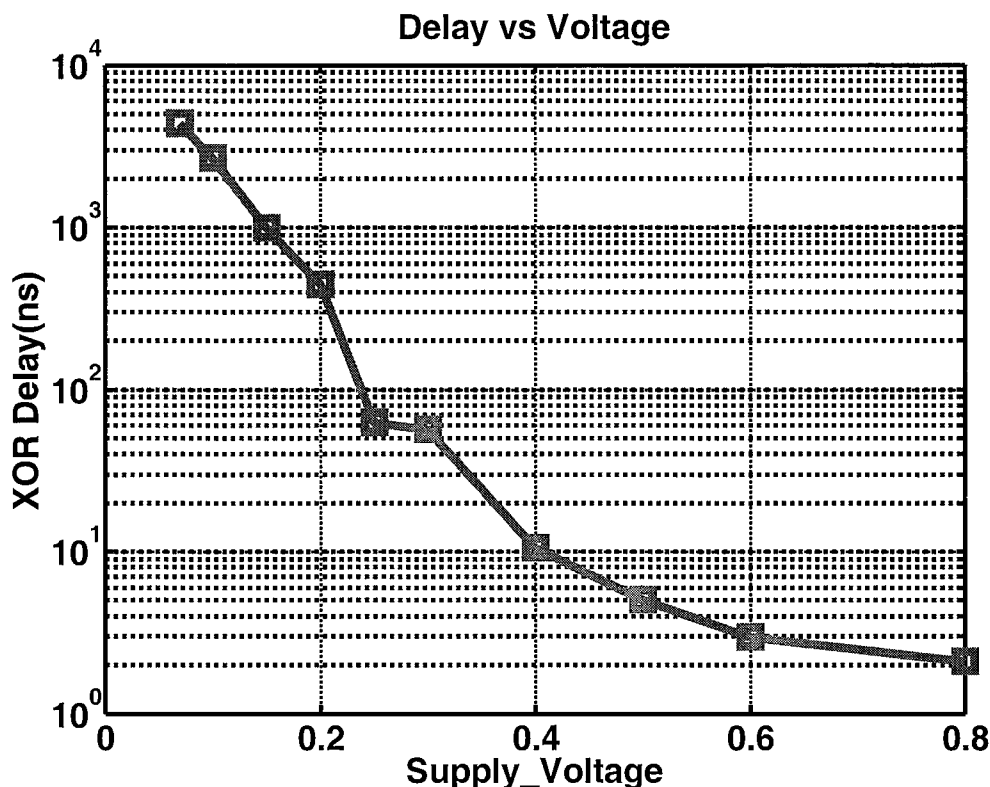


图 5-20 XOR2 的电路延时随电源电压的变化趋势

5.2.3.3 时序逻辑电路的测试结果

此次测试芯片的时序逻辑单元仅包括 DFFR 单元。时序逻辑电路的测试，相较于组合逻辑而言稍微复杂，测试项目包括：功能稳定性、电路延时、时序分析。

(1) 功能稳定性测试

DFFR 的功能稳定性包含其多种工作模式的功能正确性。测试结果显示，DFFR 能够在 0.3V 下正常工作。测试中，其能够接受的最低工作电平为 90mV。图 5-21 给出了其在 90mV 下的时钟上升沿存储数据、复位信号将输出 Q 置零、输出 QN 是 Q 的反向等不同功能特征。

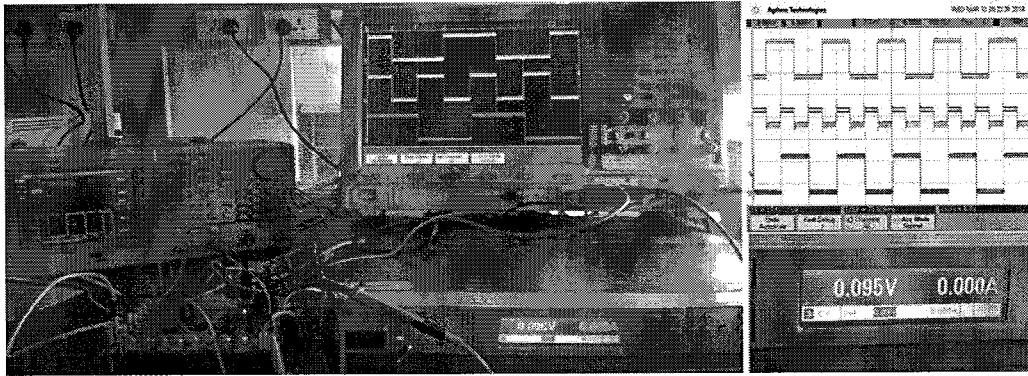


图 5-21 DFFR 的功能稳定性测试

(2) 延时测试

DFFR 的电路延时测试，主要指在建立时间、保持时间完全满足的情况下，时钟 Clock 到输出端 Q 的延时，延时测试方法与组合逻辑类似。图 5-22 给出了 DFFR 的电路延时随电源电压的变化关系。

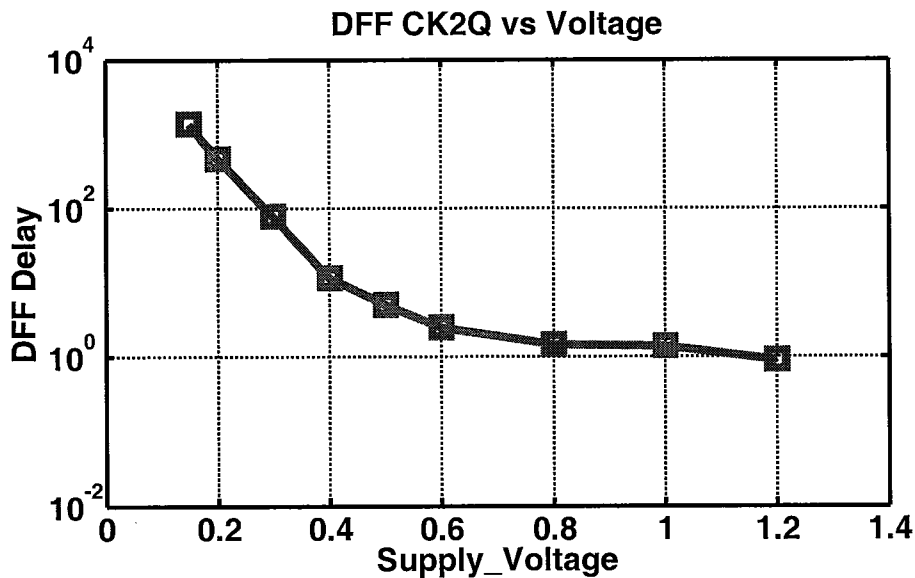


图 5-22 DFFR 的电路延时随电源电压的变化趋势

(3) 时序测试

DFFR 的时序测试，包括建立时间、保持时间、最小时钟脉宽、最小复位脉宽、Removal 时间、Recovery 时间诸多参量的测试。图 5-23 给出了 DFFR 的建立时间随电源电压的变化关系，由图中可以看出在近/亚阈值工作电压下，DFFR 的建立时间随工作电压呈指数关系下降。

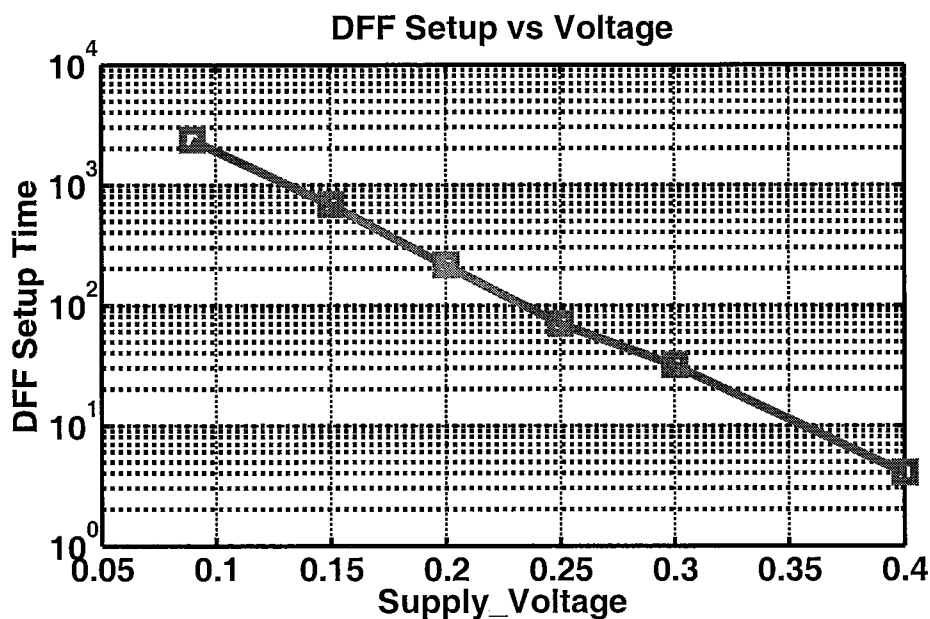


图 5-23 DFFR 的建立时间随电源电压的变化关系

5.2.4 测试总结

综上所述，能够得到以下结论：

- (1) 采用第三章中的结构、尺寸设计方法得到的标准单元库，能够在低电压下正常工作，具有较高的稳定性；
- (2) 采用数字 IO PAD+电平转换电路的测试方案，能够很好的完成对低电压数字标准单元库的测试；
- (3) 采用三级级联的电平转换结构能够提高电平转换电路的稳定性，同时具有较灵活的电平组合方案；
- (4) 形成了一种面向低电压电路的测试方案，为后续低电压芯片测试提供一定的参考。

5.3 FIR 电路的测试验证

本文第四章介绍了进行低电压数字电路设计的流程，包括低电压下库的特征化方法、面向不同应用领域的性能需求，如何确定低电压数字电路设计的最优工作电压，形成了低电压数字电路的设计方法。

5.3.1 验证电路的设计思路

本章采用第四章提出的低电压数字电路设计方法,面向 0.3V 工作电压,设计了一款 8bit, 4 阶的 FIR 滤波器,采用标准的数字设计流程进行芯片设计,并采用 smic130nm CMOS 工艺进行流片。

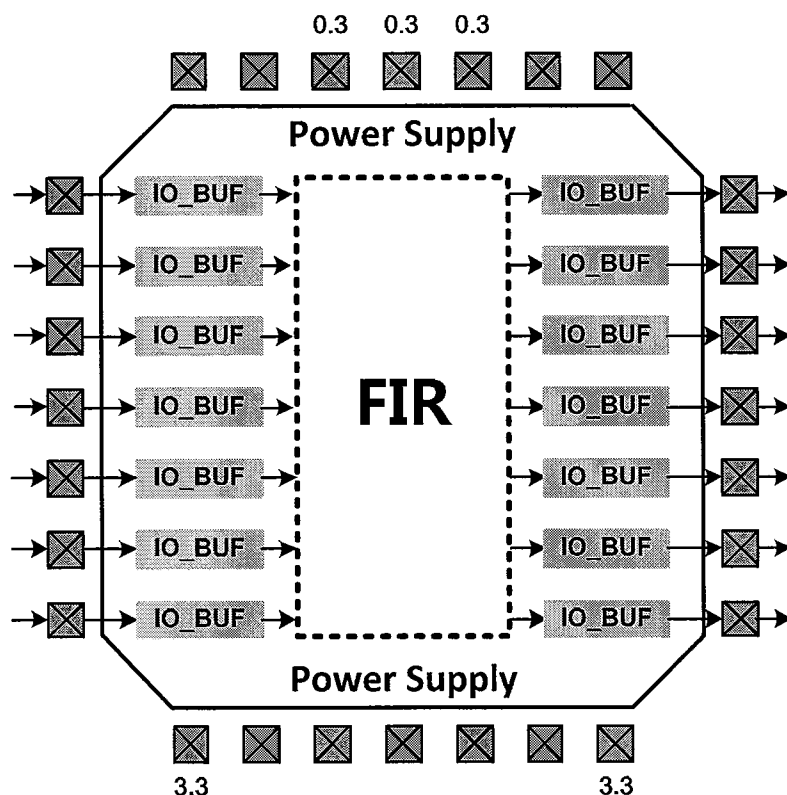


图 5-24 FIR 验证芯片的设计方案

验证芯片的设计思路如图 5-24 所示,采用标准的模拟 IO PAD 进行信号传输,芯片输入信号为低电压信号,经过模拟 IO PAD 送给 IO_BUF。此处,IO_BUF 的电源电压采用低电压,是为了增强输入信号的驱动能力而设计。IO_BUF 将输入的低电压信号直接送给 FIR 电路的输入端口 X,然后经过 FIR 电路的处理,产生低电压输出信号 Y。为增强低电压内部电路的驱动能力,在 FIR 电路的输出信号后面增加了 IO_BUF,用以增强输出信号的驱动能力,以确保低电压信号可以驱动模拟 IO PAD、PCB 板以及测试仪器带来的负载。

由上述分析可知,采用模拟 IO PAD 的芯片设计方案,内部电路统一采用低电源电压,该低压电源采用模拟电源 PAD 进行供电。因此,这种设计方案对

外部电源供电方案要求较低，芯片整体仅需要两个外部电源，一个用来提供高精度、高稳定性的低电压供电，另一用来提供模拟 IO PAD 的 ESD 保护电路的 3.3V 电源。

在以上设计方案中，IO_BUF 是低电压电路设计的关键，其驱动能力决定了低电压输出信号能否被成功送出芯片。IO_BUF 由四级尺寸逐级加大的反相器构成，为满足测试需要，在进行尺寸设计时，在 IO_buffer 的输出端口施加负载电容 10pf，以近似 IO PAD、PCB 板、测试仪器引入的电容。测试结果表明，IO_BUF 在 0.3V 下具有足够的驱动能力，可以很好的支撑外部测试的需要，测试中，IO_BUF 能够被正常测试的最低电源电压为 150mV，如图 5-25 所示。

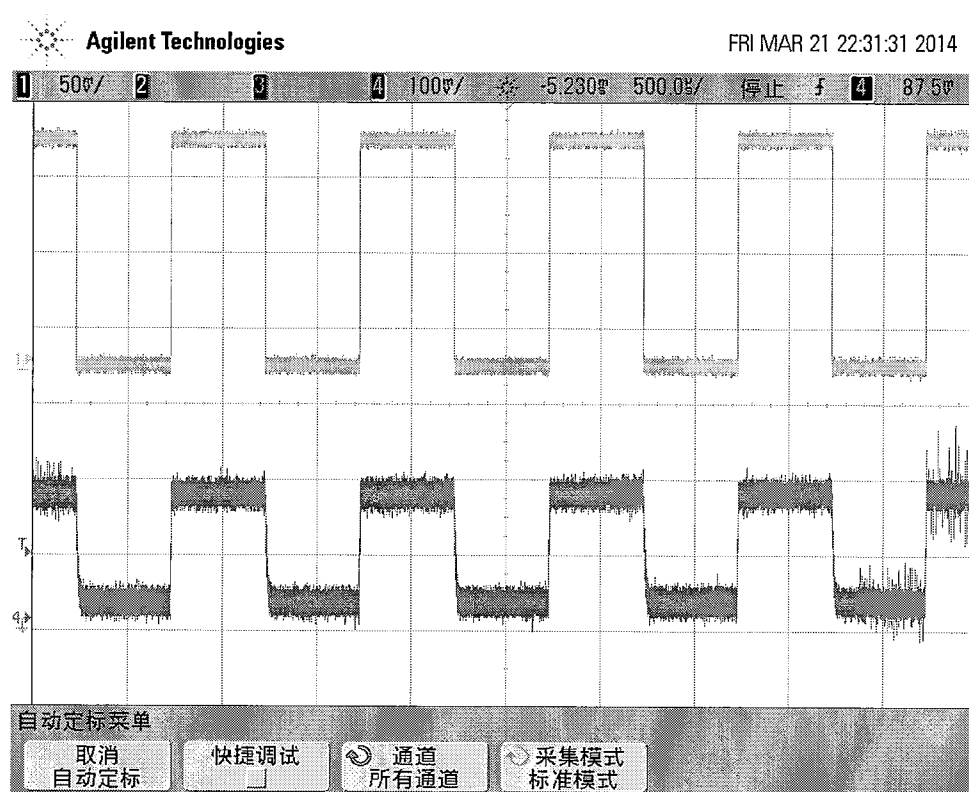


图 5-25 IO_BUF 在 150mV 下的功能测试

按照上述验证芯片的设计思路，为验证低电压数字电路设计方法的有效性，采用 smic130nm CMOS 工艺对验证芯片进行流片，芯片照片如图 5-26 所示。其中 ULV_FIR 电路部分是基于第三章设计的近/亚阈值标准单元库，采用标准数字设计流程进行设计，因而该验证芯片还能够进一步验证近/亚阈值标准单元库的稳定性。

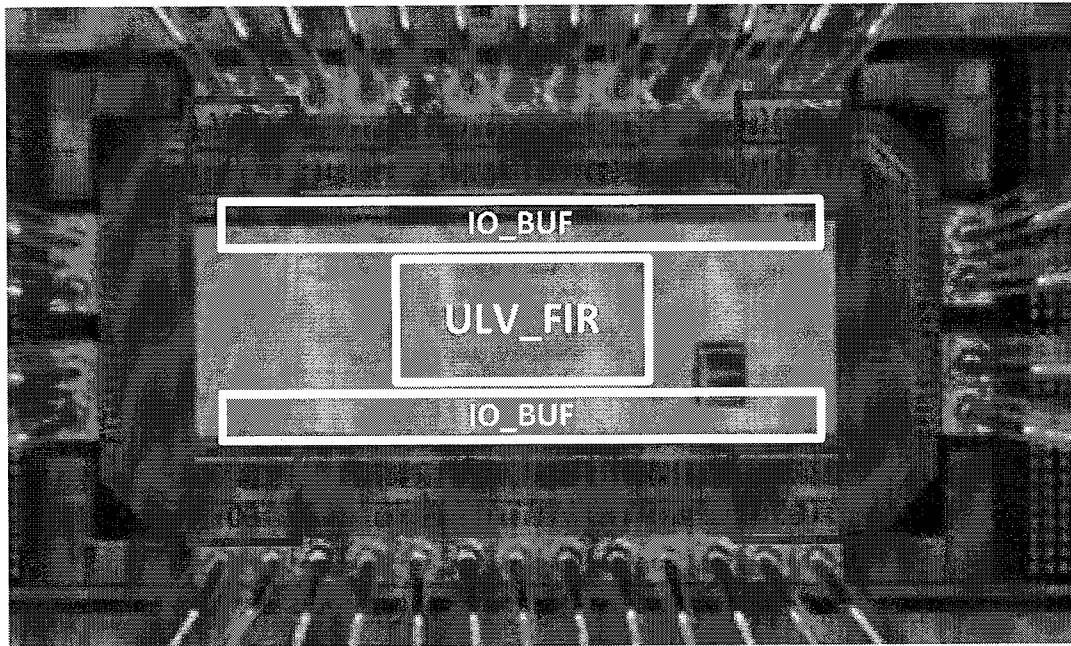


图 5-26 FIR 验证电路的芯片照片

5.3.2 测试方案

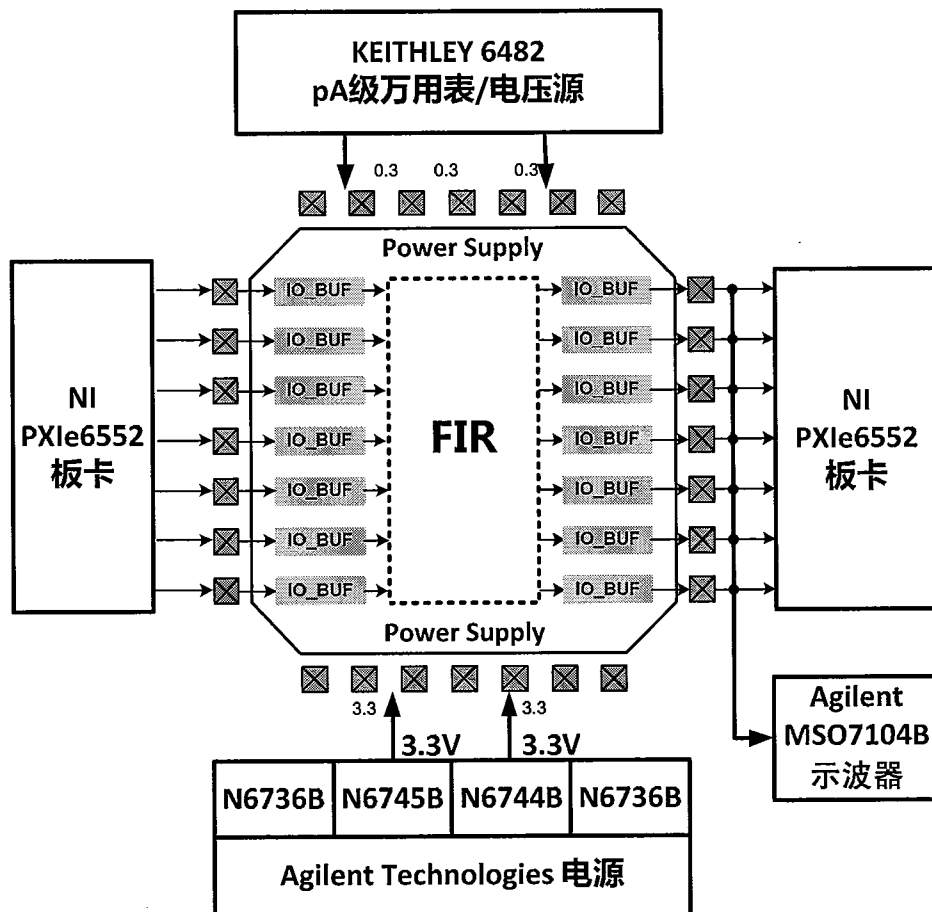


图 5-27 FIR 验证芯片的测试方案

FIR 验证芯片的测试方案,如图 5-27 所示。首先,测试激励由 NI PXIe6552 板卡产生,按照测试激励文件产生 FIR 电路的时钟、复位信号及 8bit 输入数据,信号电平任意可调,因此可直接生成低电压输入信号,送入芯片。其次,芯片的 8bit 低电压输出信号,通过 NI PXIe6552 板卡采集,通过设置合适的判决电平,可完成对任意电平的输出信号进行采集。然后,采用 Agilent 的 N6745B 高精度平板电源为模拟 IO PAD 供 3.3V 电源。最后,芯片内核供电采用 Keithley 6482 Dual-Channel PicoAmmeter/Voltage Source 直流电压源。Keithley 6482 既可以提供高精度、高稳定性的电压源,又可以完成对电源电流的测试,测试精度达 100pA 级,以支持高精度的能耗评价。

由上述测试方案可以看出,采用模拟 IO PAD 的测试方案,要比采用数字 IO PAD 的测试方案简单很多,但对测试仪器的要求也比较高。测试仪器要能够直接产生低电压多路信号、能够直接采集低电压多路信号,这些要求往往导致传统的信号产生及采集方案很难满足。图 5-28 给出了实验室搭建的测试平台,上述测试方案所需要的仪器总结在表 5-6 中。

表 5-6 FIR 验证芯片的测试仪器列表

仪器名称	测试中的主要功能
NI PXIe6552 信号产生与采集板卡	产生 20 路任意电平的输入信号 采集 20 路任意电平的输出信号
Agilent N6745B	为待测试板提供高精度、高稳定性的直流电源
Keithley 6482 Dual-Channel PicoAmmeter/Voltage Source	为待测电路提供高精度、高稳定性的直流电源 测试芯片的工作电流
Agilent MSO7104B OscilloScope	采集芯片输出信号,测试芯片输出波形

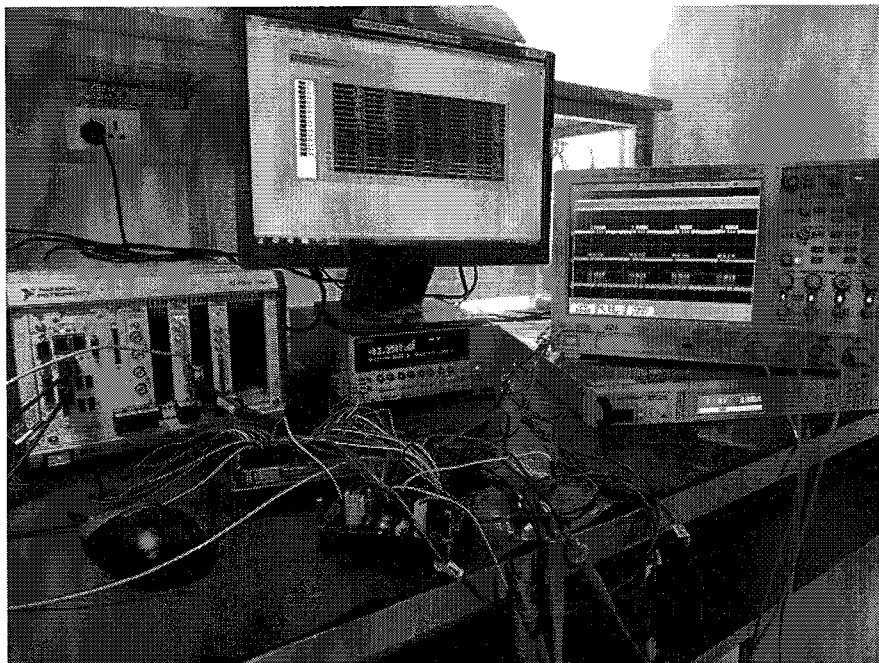


图 5-28 FIR 验证芯片的测试平台

5.3.3 测试结果分析

采用上述方案对芯片进行测试，调节 FIR 验证电路的工作电压，测试 FIR 电路的性能、能耗、功耗、稳定性随电源电压的变化关系。

5.3.3.1 功能稳定性测试

在测试过程中，首先，根据 Modelsim 仿真结果产生了相应的测试向量、芯片输出数据，存成 txt 文件。然后，按照 PXIe 6552 板卡的测试要求，采用 LabView 工具，将 txt 文件中的测试向量，转换为板卡可以传输的测试激励。接着，采用 LabView 搭建测试环境，形成低电压信号发送、采集的平台。最后，将采集数据与代码仿真的 txt 文件进行比对，确认功能的正确性。

测试结果显示，基于近/亚阈值标准单元库、采用低电压数字电路设计流程的 FIR 芯片可以在 0.3V 下正常工作。测试中，其能够接受的最低工作电压为 180mV，如图 5-29 所示。这进一步证明了近/亚阈值标准单元库的稳定性，证明了近/亚阈值库单元设计方法的可行性。

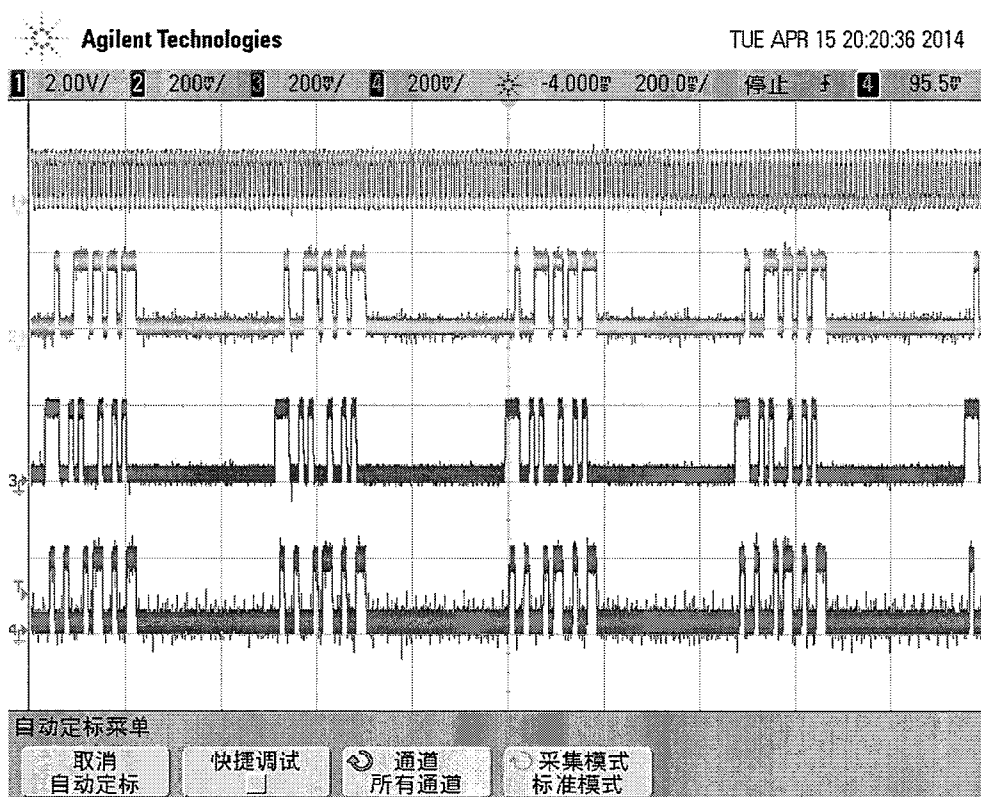


图 5-29 VDD=180mV 时, FIR 验证芯片的测试波形图

5.3.3.2 性能测试

在不同的电源电压下, 测试 FIR 电路可以接受的最高工作频率, 得到如图 5-30 的变化趋势。由图中可以看出, 随着电源电压的上升, FIR 性能在逐渐增大。在近/亚阈值区域, 增长趋势呈指数形式; 在超阈值区域, 呈线性形式。

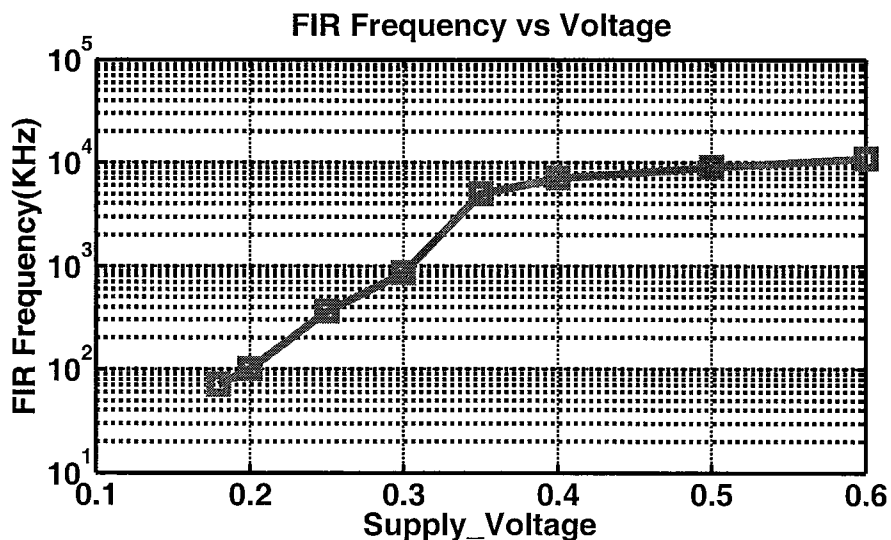


图 5-30 FIR 的最高工作频率随电源电压的变化趋势

5.3.3.3 功耗及能耗测试

根据第四章中的结论，面向不同性能要求的应用，FIR 电路的工作状态也不相同。面向有特定性能的需求，比如 500KHz，FIR 电路每隔 2us 就需要进行一次数据处理，因此不宜采用电源门控技术。然而，当性能需求极低时，比如 100Hz，则 FIR 电路进行数据处理的时间间隔为 10ms，则应当引入电源门控，以减小静态漏电能耗。

(1) 面向特定性能需求，不引入电源门控技术

FIR 电路工作在 500KHz，此时不引入电源门控技术，即电路处于一直够工作的状态，则电路的单周期能耗=平均功耗×时钟周期。因此，电路功耗与电路的单周期能耗呈现相同的变化趋势。图 5-31 给出了 FIR 电路在 500KHz 下，电路的功耗随电源电压的变化关系。

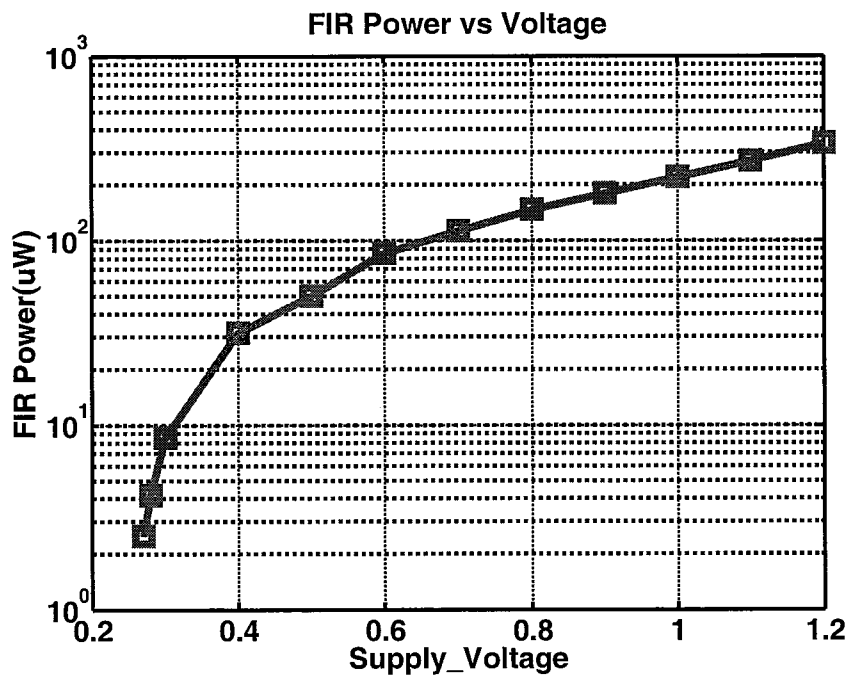


图 5-31 500KHz 下，FIR 电路功耗随电源电压的变化关系

(2) 面向性能需求极低，引入电源门控技术

引入电源门控技术，则单次数据处理时，电路完成处理之后，就会关断电源，消除静态能耗损失。这样，如果电路工作在较高电平，则电路性能较高，虽然翻转期间功耗较高，但翻转时间较短，之后的很长时间都处于关断状态；

而如果电路工作在较低电平，则电路性能较低，虽然翻转期间功耗较低，但翻转时间较长，电路关断的时间较短。因此，不同的电源电压是在电路翻转时间与电路活跃功耗之间的折中。

单次数据处理的翻转时间，可以理解为电路能够接受的最高时钟频率的倒数。而电路的活跃功耗，可以理解为电路处于最高时钟频率工作时的平均功耗。因此，电路的单周期能耗=最高时钟频率的功耗×最高时钟频率的对应的时钟周期。按照这种计算方式，可以得到引入电源门控技术之后，电路的单周期能耗随电源电压的变化关系如图 5-32 所示。由图中可以看出，引入电源门控技术之后，电路的单周期能耗呈现先下降后上升的趋势，最优能耗点在 0.25V。

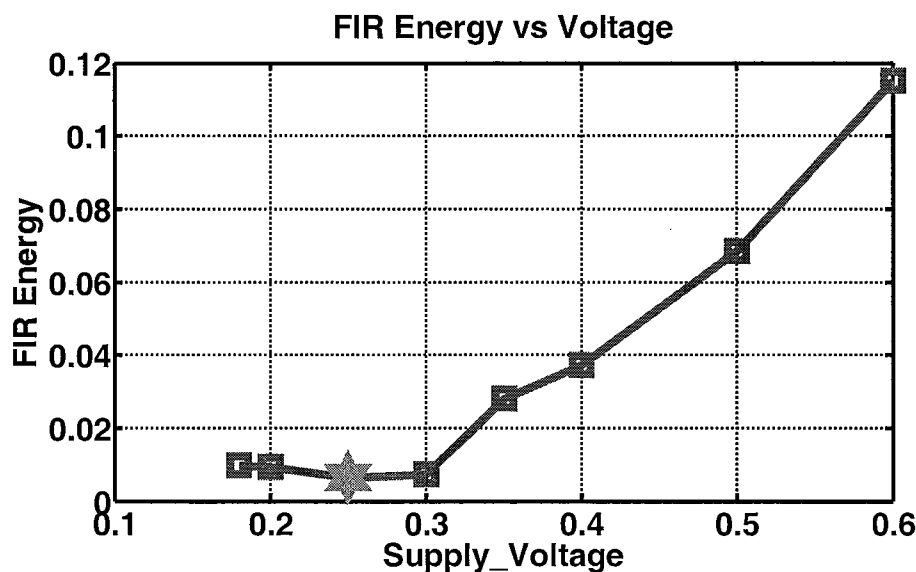


图 5-32 引入电源门控技术，电路的单周期能耗随电源电压的变化关系

5.4 本章小结

前述章节对低电压数字电路的设计流程进行了深入研究，并提出了一系列的方法和结论。为验证相关结论，本章有针对性的设计了对应的验证电路，采用 smic130nm CMOS 工艺进行了流片。为验证最优目标电压的确定方法，本章设计了五种不同稳定性、不同尺寸的评价电路。测试结果表明，在面向 smic130nm CMOS 工艺设计标准单元库时，不考虑稳定性影响的情况下，最优目标电压为 0.25V；然而如果引入稳定性对尺寸的要求之后，最优目标电压在 0.30V。为验证近/亚阈值标准单元库设计方法的有效性，本文对定制的标准单

元库进行流片测试。测试结果显示，定制的标准单元库能够正常工作的最低电源电压为 90mV，具有极高的稳定性。采用低电压数字设计流程，基于定制的标准单元库，设计了面向极低电压的 FIR 测试电路。测试结果表明，FIR 电路能够正常工作的最低电源电压为 180mV，进一步验证了近/亚阈值标准单元库的稳定性，同时也验证了低电压数字电路设计方法的有效性。

此外，本次测试中尝试了对低电压设计的多种测试方案，包括数字 IO PAD 方案、模拟 IO PAD 方案，涉及电源供电方案、信号电平转换方案、低电压驱动 BUFFER 方案、PCB 板噪声抑制方案、低电压信号产生和采集方案，为后续的低电压电路的测试积累了一定的经验。

第6章 总结与展望

6.1 工作总结

随着无线传感节点、医疗电子等极低功耗应用领域的兴起，系统功耗问题日益凸显，在许多应用领域中成为系统设计的首要目标。因为芯片功耗与电源电压的平方成正比，降低电源电压能够有效的降低系统功耗，所以低电压设计技术成为一直以来低功耗技术的研究主线。本文着眼于低电压数字电路设计流程的各环节展开全面研究，包括标准单元库的稳定性评价、定制标准单元库的最优目标电压评价、近/亚阈值标准单元库设计方法、低电压下标准单元库的特征化以及不同应用需求下的最优工作电压评价。本文主要的研究工作和取得的研究成果包括：

(1) 综合考虑温度、工艺变化、外部噪声等因素对库单元稳定性造成的影响，考察库单元在不同电源电压下的功能稳定性，形成了一种量化评价标准单元库稳定性的方法。采用该方法对商用标准单元库进行评价，可得到其能够正常工作的最低工作电压。

(2) 传统的最优目标电压确定方法不考虑库单元稳定性，往往导致目标电压定得太低，最终导致为保持库单元稳定性，付出较大的功耗代价。本文针对传统方法的不足，引入稳定性评价标准，将不同目标电压对库单元尺寸设计的影响引入最优能耗点评价电路，提出了一种改进的最优目标电压确定方法。

(3) 深入研究面向近/亚阈值工作电压的标准单元库设计流程，包括库单元类型选择、结构设计、晶体管尺寸设计以及标准单元库的版图设计。尤其在库单元的最优尺寸设计方面，通过对库单元的结构分析，提取共性结构，进而采用驱动能力匹配分析方法，缩小最优尺寸查找的扫描范围，最后在有限范围内遍历分析噪声容限，完成最优尺寸的确定，形成了一种运算量较小的最优库单元尺寸的确定方法。

(4) 面向特定性能需求的应用领域，研究电源电压降低对数字设计流程的影响，分析关键路径延时及关键路径所占比例的变化趋势，提出了一种确定数

字电路设计最优工作电压的评价方法。

(5) 面向性能需求极低的应用领域,通过引入电源门控技术,构建适用最优能耗点评价的电路结构,形成了一种确定数字电路设计最优工作电压的评价方法。

6.2 工作展望

以上对低电压设计流程的研究,仍存在一些需要改进和补充的地方:

(1) 极低电压数字电路设计受工艺变化影响较大,因此库单元、数字电路设计的稳定性评价,需要进行大量的芯片测试,充分反映电路性能、稳定性受工艺偏差的影响情况。因此,后续还需要进一步完善测试数据。

(2) 面向极低电压的大规模数字电路时序分析方法,还有待进一步研究。在近/亚阈值工作状态下,局部工艺偏差影响较大,如何在时序分析中加入工艺偏差的影响,还需要进一步的研究。

(3) 当前的极低电压数字电路设计,还只是局限于由数字库单元形成的简单电路。后续需进一步将近/亚阈值的 SRAM 纳入设计中,形成完善的极低电压数字电路系统。

(4) 极低电压数字电路设计,在不同工艺角之间的性能变化较大。按照传统设计思路,电路设计必须满足最差工艺角的性能需求,因此必然造成其他工艺角的性能浪费。因此,如何实现电路性能的最大利用,抵御工艺角变化带来的影响,仍需要进一步研究。