



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

圆片级封装晶圆翘曲与纳米孪晶铜重布线层塑性应变机理研究

作者姓名: 程功

指导教师: 杨恒 研究员 罗乐 研究员

中国科学院上海微系统与信息技术研究所

学位类别: 工学博士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院上海微系统与信息技术研究所

2019 年 6 月

**Study on Wafer Warpage in Wafer Level Package and Plastic
Deformation of Nanotwinned Copper Used in Redistribution Layer**

**A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Doctor of Philosophy
in Microelectronics and Solid-State Electronics**

**By
Cheng Gong**

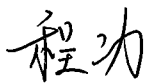
**Supervisor: Professor Yang Heng
Professor Luo Le**

**Shanghai Institute of Microsystem and Information Technology
Chinese Academy of Sciences**

June 2019

中国科学院大学
研究生学位论文原创性声明

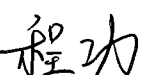
本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

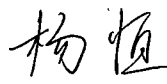
作者签名：
日 期：2019.6.13

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：
日 期：2019.6.13

导师签名：
日 期：2019.6.13

摘 要

近年来,人们对电子产品的小型化和多功能化的要求日趋强烈,先进封装技术作为缩小器件尺寸的重要方式得到了快速发展。圆片级封装作为一种小尺寸、低成本的封装技术,已得到越来越广泛的应用。但由于其工艺流程需要在制作有电路图形的硅晶圆表面制备 RDL(重布线层),其中包括铜金属、PI(聚酰亚胺)等多层材料,并经历多种热工艺过程,其布线层内部应力和晶圆翘曲等问题引起广泛关注。

本文以业界广泛采用的圆片级封装工艺为背景,研究了 RDL 中的铜布线层在后续热工艺过程中的微结构演变及应力变化。结合与半导体工艺相兼容的纳米孪晶铜制备工艺,提出了几种能够有效降低由铜布线层带来的翘曲的方法。

首先,本文对电子封装的发展历程、圆片级封装的发展趋势和圆片级封装中的翘曲问题作了背景介绍,综述了翘曲问题的相关研究进展。随后,研究了圆片级封装过程中的翘曲随工艺流程的变化。由于铜布线层在后续热处理过程中要经历复杂的应力演变过程,并且相较于 PI,布线铜层的杨氏模量更大,因此相同厚度的铜布线层引入的晶圆翘曲是 PI 的 3 倍左右。铜布线层在第一次热处理中的翘曲演变曲线与后续处理中的翘曲演变曲线均不相同,晶圆翘曲的增大主要是在第一次热处理时产生的。研究表明:如果不改变最高加热温度,铜布线层引入翘曲在后续热处理中保持不变。

随后,研究了铜布线层的翘曲演变机理。在加热过程中,由于晶粒长大、扩散蠕变、位错蠕变等多种机理的共同影响,铜布线层在加热到 400°C 之后的内应力会降低至 0 附近。而在随后的降温过程中,由于布线层和硅衬底的热膨胀系数不匹配会导致翘曲增加,这个过程也伴随着各种原子扩散和蠕变带来的应力松弛现象。综合本文对影响翘曲演变的各因素的研究结果,确定了铜布线层在热循环中的翘曲演变是多种扩散和蠕变机理参与的塑性滞后现象。

本文创造性地提出采用纳米孪晶铜作为铜布线材料以降低封装翘曲,并且采用快速退火法、脉冲电镀法和直流电镀法等三种方法制备了纳米孪晶铜。采用脉冲电镀法制备纳米孪晶铜的过程中,脉冲电流参数对镀层形貌有重要影响。当脉冲导通时间为 4 ms,断开时间为 96~396 ms,峰值电流密度为 100 A/dm^2 时制备

的样品孪晶密度最高。采用准原位方法对样品的生长过程进行观察,发现孪晶片层在三晶界交叉位置形核,并沿(111)面不断扩展,重复该过程即可形成高密度的纳米孪晶铜。

论文最后采用纳米孪晶铜、表面钝化层和低温冷却等三种方法降低了铜布线层引入的晶圆翘曲。其中,电镀铜的微结构对其翘曲演变有非常重要的影响,采用纳米孪晶铜和甲基磺酸铜镀液制备的电镀铜样品均可以降低布线层在加热过程中的应力松弛,从而降低晶圆翘曲。表面钝化层也能够有效降低布线层在加热过程中的应力松弛,但由于在加热和降温过程中,钝化层对表面扩散的抑制作用一直存在,因此钝化层对室温翘曲的降低作用不明显。采用液氮冷却方法也可以降低晶圆翘曲。由于铜布线层在冷却至液氮温度的过程中,经历了弹性变形阶段和塑性变形阶段,在升温时,一部分塑性变形会保留下来,从而降低布线层的整体翘曲,方便后续工艺制程。在对低温处理的样品继续进行加热之后,其翘曲演变和冷却之前的曲线基本重合。

通过对圆片级封装中翘曲问题的系统研究,发现铜布线层微结构及热处理温度对晶圆翘曲有重要影响。采用纳米孪晶铜等不同微结构样品及低温冷却等方法可有效降低晶圆翘曲。以上研究成果有助于深入理解翘曲演变规律,对工业界开发低翘曲的圆片级封装工艺制程有重要意义。

关键词: 圆片级封装, 晶圆翘曲, 热应力, 蠕变, 纳米孪晶铜

Abstract

In recent years, the miniaturization and versatility of electronic products are increasingly demanded. Advanced packaging technology is an important way to reduce the size of devices and developing rapidly. As a small-sized, low-cost packaging technology, wafer level package (WLP) is more and more widely used. However, redistribution layer (RDL), which includes multilayer materials such as copper and PI, is required on silicon wafer, and the whole set needs to go through various thermal processes. The internal stress and wafer warpage have aroused wide attention.

Based on the WLP process used in industry, this dissertation mainly focuses on the microstructure evolution and stress change of the copper layer in RDL during the thermal processes. In combination with the preparation process of nanotwinned copper, which is compatible with the semiconductor process, several methods for effectively reducing the warpage caused by the copper layer are proposed.

Firstly, this dissertation gives a background introduction to the evolution of electronic package, the developing trend of WLP, and a review of relevant researches on wafer warpage. Then the wafer warpage changing along with the fabrication process is studied. Since the copper layer undergoes a complicated stress evolution during the subsequent thermal processes, and Young's modulus of copper is larger than that of PI, the wafer warpage introduced by copper layer of the same thickness is about two times more than that of the PI. The warpage evolution of the copper layer during the first thermal cycle is different from the warpage evolution in the subsequent thermal cycles. The increment in wafer warpage is mainly generated during the first thermal process. If the maximum heating temperature is unchanged, the wafer warpage introduced by copper layer will remain stable in the subsequent thermal processes.

The mechanism of warpage evolution of copper layers is studied. Due to the combined effects of various mechanisms such as grain growth, diffusion creep, dislocation creep, etc., the internal stress of the copper layer at 400°C will decrease to near 0 during the heating process. The increment of wafer warpage during the cooling process is due to the CTE mismatch between copper and silicon substrate. Besides, stress relaxation caused by various atomic diffusion and creep also occurs at this stage. After analyzing the factors that affect the wafer warpage evolution, it is determined that the warpage evolution of the copper layer during the thermal process is a static

hysteresis phenomenon involving various diffusion and creep mechanisms.

The method to reduce the wafer warpage by adopting nanotwinned copper is proposed in this dissertation. Three methods, i.e. rapid annealing method, pulse plating method, and direct current plating method are adopted to prepare nanotwinned copper. During the preparation of nanotwinned copper by pulse plating, the parameters of pulse current have an important effect on the morphology of copper. When the on-time is 4 ms, off-time is 96 ~ 396 ms, and the peak current density is 100 ASD, the sample has the highest density of twin lamellae. The quasi *in-situ* method is used to observe the growth process of twin lamellae, and it is found that twin lamellae nucleate at the triple junction of grain boundaries and expand along the (111) plane. A high density of nanotwinned copper is formed by repeating this process.

At the end of this dissertation, three methods, i.e. nanotwinned copper, surface passivation layer and low-temperature cooling are proposed to reduce the wafer warpage. The microstructure of electroplated copper has a very important influence on wafer warpage evolution. Nanotwinned copper and copper samples prepared in copper methanesulfonate are effective in reducing the stress relaxation of the copper layer during heating, and thereby reduce the wafer warpage. The passivation layer can also reduce stress relaxation during heating. However, this inhibitory effect on surface diffusion is effective during both heating and cooling, the effect of reducing the wafer warpage at ambient temperature is therefore not obvious. Wafer warpage can be reduced by cooling in liquid nitrogen. Since the copper layer undergoes elastic and plastic deformation during cooling in liquid nitrogen, and a part of the plastic deformation will be retained after heating back to ambient temperature, the wafer warpage is reduced that way. This will contribute to the subsequent fabrication process. After reheating the low-temperature treated sample, the warpage evolution curve will substantially coincide with the warpage evolution curve before cooling.

After this systematic research on warpage in WLP, it is found that microstructure of copper and thermal profile have an important influence on wafer warpage. Warpage can be effectively reduced by tailoring the microstructure (e.g. nanotwinned copper) and low-temperature cooling. These results are helpful for the in-depth understanding of warpage evolution and the development of low warpage WLP process in the industry.

Keywords: Wafer level package, wafer warpage, thermal stress, creep, nanotwinned copper.

目 录

第 1 章 引言	1
1.1 电子封装概述	1
1.1.1 电子封装的发展历程	1
1.1.2 先进电子封装方案	4
1.2 圆片级封装	7
1.2.1 圆片级封装的发展趋势	8
1.2.2 扇入型圆片级封装	9
1.2.3 扇出型圆片级封装	11
1.3 圆片级封装中的翘曲问题	14
1.3.1 翘曲的相关概念及数学描述	14
1.3.2 翘曲问题的国内外研究现状	17
1.4 纳米孪晶铜	19
1.4.1 重布线金属的纳米孪晶化	19
1.4.2 纳米孪晶铜的性能	20
1.5 本文的研究意义、内容及创新点	23
第 2 章 铜布线层引入的晶圆翘曲及演化规律	27
2.1 铜布线层对晶圆翘曲的影响	27
2.1.1 晶圆翘曲的测量方法	27
2.1.2 晶圆翘曲随工艺的演变趋势	29
2.1.3 PI 和铜对翘曲的影响	29
2.2 铜布线层翘曲/应力演变规律	31
2.2.1 铜布线层在温度循环中的应力演变曲线	32
2.2.2 翘曲演变曲线的理论分析	34
2.2.3 加热开始阶段的应变弛豫	36
2.3 热处理中铜布线层翘曲演变的影响因素	40
2.3.1 最高加热温度对翘曲演变的影响	40
2.3.2 温度变化速率对翘曲演变的影响	44
2.3.3 恒温处理对翘曲演变的影响	46
2.4 翘曲演变机理	48

2.4.1 塑性滞后.....	48
2.4.2 翘曲演变机理总结.....	49
2.5 本章小结.....	50
第 3 章 与半导体工艺相兼容的纳米孪晶铜制备工艺.....	53
3.1 快速退火法制备纳米孪晶铜.....	54
3.1.1 样品制备.....	54
3.1.2 快速退火纳米孪晶铜的微结构表征.....	56
3.1.3 快速退火过程中的应力分析.....	60
3.1.4 孪晶片层厚度的控制方法.....	62
3.2 脉冲电镀法制备纳米孪晶铜.....	64
3.2.1 脉冲电镀.....	64
3.2.2 脉冲电镀纳米孪晶铜工艺研究.....	65
3.2.3 纳米孪晶铜形貌表征.....	66
3.2.4 纳米孪晶的生长过程.....	73
3.2.5 脉冲电镀工艺总结.....	76
3.3 直流电镀法制备纳米孪晶铜.....	76
3.3.1 直流电镀工艺.....	76
3.3.2 形貌表征.....	77
3.3.3 直流电镀目前存在的问题.....	78
3.4 本章小结.....	79
第 4 章 降低铜布线层翘曲的方法.....	81
4.1 电镀铜微结构对晶圆翘曲演变的影响.....	81
4.1.1 实验样品的制备.....	81
4.1.2 样品形貌表征.....	82
4.1.3 翘曲演变曲线.....	84
4.1.4 热处理过程中的应变松弛分析.....	85
4.2 钝化层对晶圆翘曲演变的影响.....	89
4.2.1 微结构演变.....	89
4.2.2 翘曲演变曲线.....	90
4.2.3 应变松弛分析.....	91
4.3 低温冷却对晶圆翘曲演变的影响.....	94
4.3.1 实验方案.....	94

4.3.2 低温处理前后的翘曲演变曲线.....	95
4.3.3 低温处理时的翘曲演变曲线.....	97
4.4 本章小结.....	99
第 5 章 全文总结与展望.....	101
5.1 全文总结.....	101
5.2 创新点.....	102
5.3 展望.....	103
参考文献.....	105
致 谢.....	115
作者简历及攻读学位期间发表的学术论文与研究成果	117

图目录

图 1.1	电子封装的三个级别 ^[1]	2
图 1.2	封装形式的演变历程 ^[2]	3
图 1.3	芯片尺寸封装的类型 ^[3]	4
图 1.4	MCM、SIP、SOP 结构示意图 ^[4]	5
图 1.5	实现系统级封装的不同技术路线图 ^[5]	6
图 1.6	典型的 SIP 芯片结构图 ^[6]	7
图 1.7	Fan-in WLP 和 Fan-out WLP 结构及引脚示意图 ^[7]	8
图 1.8	典型 WLP 工艺流程图 ^[8]	9
图 1.9	三星 Galaxy S9 中采用的 WLCSP 芯片 ^[6]	10
图 1.10	三星 Shannon 965 收发机芯片结构图 ^[6]	11
图 1.11	典型的 Chip-First (Die-down)的工艺流程图 ^[9]	12
图 1.12	典型的 Chip-First (Die-up)的工艺流程图 ^[9]	12
图 1.13	安靠开发的的 Chip-Last (RDL-First)工艺流程图 ^[9]	13
图 1.14	采用 Fan-out WLP 工艺实现系统级封装 ^[10]	14
图 1.15	不同的晶圆翘曲形态 ^[12]	15
图 1.16	ASTM-F534 标准中翘曲 Bow 的测量方法 ^[13]	16
图 1.17	ASTM-F1390 标准中翘曲 Warp 的测量方法 ^[14]	16
图 1.18	晶圆翘曲与曲率的几何关系示意图	17
图 1.19	孪晶界原子排布示意图 ^[34]	19
图 1.20	纳米孪晶铜的微观形貌	20
图 1.21	纳米孪晶铜与纳米晶粒铜的强度和延展性对比 ^[54]	21
图 2.1	MOS 翘曲测量设备结构示意图	28
图 2.2	薄膜压应力与拉应力示意图	28
图 2.3	晶圆翘曲随工艺步骤的演变趋势 ^[12, 30]	29
图 2.4	第一层 PI 和第二层 PI 在固化过程中的翘曲演变 ^[12]	30
图 2.5	电镀铜膜结构示意图	32
图 2.6	铜布线层引入翘曲/应力随温度演变曲线	33

图 2.7	铜布线层在拉应力和压应力状态下的原子迁移方向示意图.....	35
图 2.8	晶圆翘曲和温度随时间变化曲线.....	37
图 2.9	晶圆翘曲和温度随时间变化曲线.....	37
图 2.10	晶圆翘曲和温度随时间变化曲线.....	38
图 2.11	晶圆翘曲和温度随时间变化曲线.....	38
图 2.12	KGL 理论示意图 ^[93]	40
图 2.13	翘曲随温度演变曲线及插图中的热处理曲线.....	41
图 2.14	第二次热循环中翘曲随温度演变曲线.....	42
图 2.15	第三次热循环中翘曲随温度演变曲线.....	43
图 2.16	塑性应变速率随最高加热温度的变化.....	44
图 2.17	温度变化速率对翘曲演变的影响.....	45
图 2.18	恒温处理对翘曲演变的影响.....	46
图 2.19	铜布线层在 300°C 和 100°C 恒温处理时的应力松弛曲线.....	47
图 2.20	弹性滞后和塑性滞后的应力-应变曲线 ^[99]	49
图 2.21	铜布线层在热处理过程中各阶段变形机理.....	50
图 3.1	制备的铜布线层结构示意图.....	55
图 3.2	退火炉结构示意图.....	55
图 3.3	三组样品的热处理曲线.....	56
图 3.4	不同工艺条件处理前后样品的 FIB 图像.....	57
图 3.5	20°C/min 快速退火的样品 TEM 形貌图.....	58
图 3.6	样品的晶粒尺寸分布和孪晶片层厚度分布.....	59
图 3.7	室温至 375°C 和室温至 300°C 热处理过程中的铜布线层应力曲线.....	61
图 3.8	不同 η 时, 温度变化值和孪晶片层厚度 t_c 关系曲线.....	63
图 3.9	实验采用的脉冲电流波形及参数示意图.....	65
图 3.10	脉冲电镀样品的 SEM 形貌.....	67
图 3.11	样品 PED-396 的形貌表征.....	68
图 3.12	脉冲电镀制备的样品的粒径和孪晶厚度的分布.....	71
图 3.13	DCD-4 和 DCD-20 的直流电镀样品的 SEM 形貌.....	72
图 3.14	DCD-4 和 DCD-20 的晶粒尺寸统计图.....	72
图 3.15	脉冲电镀样品的准原位表征.....	74

图 3.16	纳米孪晶形核和长大过程示意图.....	75
图 3.17	直流电镀铜布线层的表面和横截面形貌 FIB 图像	77
图 3.18	台面-台阶-扭折生长模型示意图.....	78
图 3.19	直流电镀纳米孪晶铜中的过渡层 ^[129]	79
图 4.1	实验样品和电镀参数示意图.....	82
图 4.2	样品在热处理前后晶粒平均尺寸.....	82
图 4.3	样品 A~C 在热处理前后的表面形貌.....	83
图 4.4	样品 A~C 在第一次和第二次热循环中的翘曲演变曲线.....	84
图 4.5	样品 A~C 在第一次加热过程中的测量结果和拟合结果.....	87
图 4.6	第一次降温时各样品的 ε - T 曲线	88
图 4.7	无钝化与表面钝化样品示意图.....	89
图 4.8	无钝化与钝化样品的晶粒尺寸.....	90
图 4.9	无钝化和表面钝化样品在第一次和第二次热处理时的翘曲演变曲线...	91
图 4.10	升温时无钝化层和表面钝化样品的 ε - T 曲线	92
图 4.11	降温时无钝化层和表面钝化样品的 ε - T 曲线	93
图 4.12	样品内部扩散路径和方向示意图（不按比例）	94
图 4.13	热处理过程温度曲线.....	95
图 4.14	热处理中无钝化层和表面钝化样品的翘曲演变曲线.....	96
图 4.15	推测的无钝化和表面钝化样品在液氮冷却过程中的翘曲演变曲线.....	98

表目录

表 2.1	圆片级封装所用材料物理特性.....	31
表 2.2	降温阶段翘曲-温度曲线斜率绝对值及对应的应变松弛速率	44
表 3.1	脉冲电镀所采用的电流密度.....	66
表 3.2	各样品表面形貌、孪晶晶粒占比和布线层应力.....	70
表 4.1	各样品在第一次降温阶段参数 n 和 Q 的拟合结果.....	88
表 4.2	无钝化层和表面钝化样品参数 n 和 Q 的拟合结果.....	92

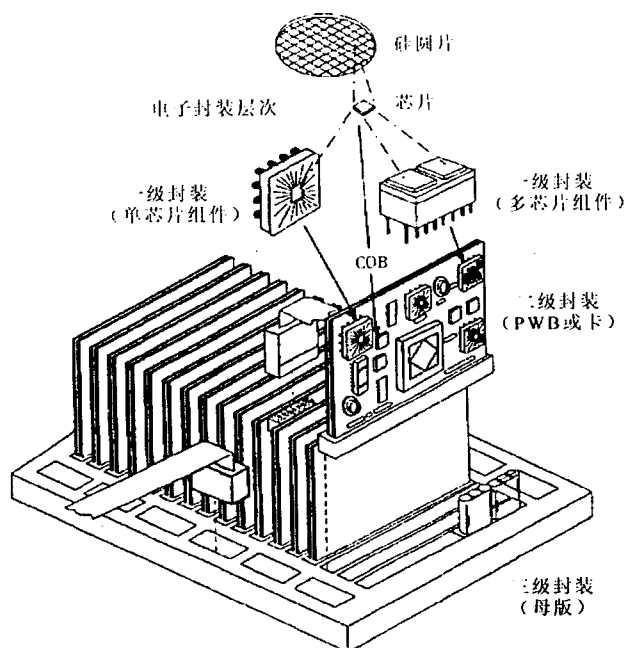
第1章 引言

当今无论是我们日常使用的手机、笔记本电脑、可穿戴的智能手环和手表，还是要求更高的航空航天和军工产品都对产品的小型化提出了越来越高的要求。为了实现上述要求并不断地降低集成电路的制造成本，50年来，半导体行业一直按照摩尔定律发展。目前大规模商用的最先进工艺的关键尺寸已经降低至7 nm。但是，随着集成电路关键尺寸的不断降低，芯片制造成本将不断提高。并且先进微电子工艺的节点尺寸已经不再指代晶体管的实际沟道长度，而只是晶体管集成度的体现。业界认为从130 nm到28 nm，每个晶体管的制造成本相对上一代都有所下降，但是下降幅度在收窄。到了20 nm以后，成本开始逐步提高。这就意味着，发展先进制程在成本方面不再具有优势。业界普遍认为集成电路关键尺寸降低到5 nm之后，再继续降低将面临很大的困难。所以，通过降低集成电路关键尺寸来减小芯片尺寸的方法将受到诸多限制。面对这一问题，业界和学者给出了三种方案：“More Moore（深度摩尔）”、“Beyond CMOS（新器件）”和“More than Moore（超越摩尔）”。More Moore做的是采用各种先进工艺使微电子的集成度沿着摩尔定律的道路继续往前推进。Beyond CMOS做的是发明在硅基CMOS遇到物理极限时所能倚重的新型器件。More than Moore做的是发展在之前摩尔定律演进过程中所未开发的部分。继续摩尔定律面临着许多困难，而Beyond CMOS所倚重的新器件目前主要在实验室研发阶段，离大规模商用还有很远的距离。More than Moore是目前最可能实现继续降低芯片成本、提高集成电路密度的方法。其技术的实现则在很大程度上依靠电子封装技术的不断发展。

1.1 电子封装概述

1.1.1 电子封装的发展历程

电子封装有狭义和广义两种定义方式，狭义的电子封装技术是指利用膜技术及微细连接技术，将半导体元器件及其它构成要素在框架或基板上布置、固定及连接，引出接线端子，并通过可塑性绝缘介质或者陶瓷、金属管壳密封固定，形成具有机械和电气可靠性的电子器件或部件，即形成封装体的工艺过程。广义的电子封装技术指的是狭义的封装概念和电子组装及基板技术的总和。

图 1.1 电子封装的三个级别^[1]Figure 1.1 Three levels of electronic package^[1]

广义的电子封装可分为三个层次。如图 1.1 所示，用封装外壳将芯片封装成单芯片组件或者多芯片组件的过程称为一级封装，也就是上文所说的狭义的电子封装。一级封装采用的互连技术有引线键合、载带自动焊、倒装焊和穿硅通孔（TSV）等。将一级封装的电子器件和其它元器件一同组装到印刷电路板或者其它基板上的过程称为二级封装。早期的二级封装方式以插装为主，但是自 80 年代以后，表面贴装技术成为主要的二级封装技术。将二级封装的板卡插装到母版上的过程称为三级封装。如个人电脑主板上的 PCI-E、DIMM 等接口均属于三级封装的范畴。电子封装提供了电源分配、信号分配、散热通道、机械支撑和环境保护等五方面的主要功能^[1]。

近 40 年来，电子封装技术经历了迅速的发展。电子封装技术主要经历了三个阶段。上世纪 80 年代以前，封装的主要形式以插装为主，主要的封装形式有双列直插封装（DIP）、针栅阵列封装（PGA）等，并分别用于低引脚数和高引脚数芯片的封装。DIP 和 PGA 等由于引脚节距的限制，无法实现高密度封装。

伴随着印刷电路板（PCB）板级组装技术由插装向表面贴装（SMT）演进，80 年代出现了将引脚弯成 L 型或者 J 型的小尺寸封装（Small Outline Package, SOP）、引脚数目更多的四边引线扁平封装（Quad Flat Package, QFP）、无引线陶

瓷封装芯片载体 (Leadless Chip Ceramic Carrier, LCCC)、无引线塑料芯片载体 (Plastic Leadless Chip Carrier, PLCC)、球栅阵列封装 (Ball Grid Array, BGA) 等封装形式。

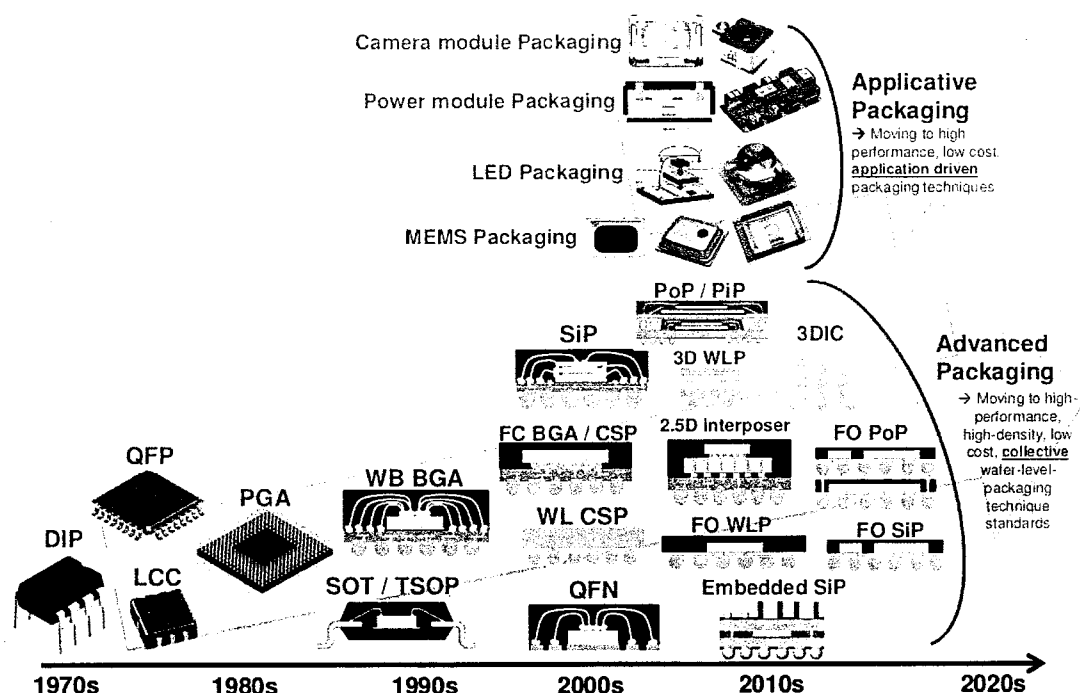


图 1.2 封装形式的演变历程^[2]

Figure 1.2 Advanced packaging roadmap^[2]

从上世纪 90 年代末开始, 随着电子产品的不断小型化和手机、笔记本等便携电子设备的大规模使用, IC 工艺得到了迅猛发展, 也催生了各种新型芯片封装形式的大量出现。在此阶段出现了封装密度较高的芯片尺寸封装 (Chip Scale Package, CSP)、多芯片组件 (Multi-chip Module, MCM)、堆叠封装 (Package on Package, PoP) 等众多先进封装方案。与此同时, 伴随着电子器件种类的不断丰富, 专门应用于特定类型电子器件, 如摄像模组、MEMS 和 LED 的封装方案也不断发展。

伴随着芯片集成度的不断提高, 封装体的引脚数量和封装密度也不断上升。以广泛应用的 Intel 个人电脑处理器为例, 其 1971 年发布的第一款 Intel 4004 仅有 2300 个晶体管, 16 个管脚。而 2018 年最新发布的 Intel Core i9 9900K 有 1151 个引脚, 分布于 $37.5\text{ mm} \times 37.5\text{ mm}$ 的面积内。

1.1.2 先进电子封装方案

芯片尺寸封装是一种应用越来越广泛的封装形式。按照 IPC-J-STD-012 的定义, 芯片尺寸封装是一种单芯片、可直接进行表面贴装的封装形式。在芯片尺寸封装技术发展之初, 封装体和芯片投影面积之比小于 1.2:1 即可认为是芯片尺寸封装。如图 1.3 所示, 芯片尺寸封装的实现有多种工艺途径, 但随着微纳加工技术的不断发展, 目前一般认为封装体面积和芯片面积之比为 1:1 的封装形式是芯片尺寸封装。其中发展最为迅速的一种封装形式是圆片级芯片尺寸封装 (Wafer Level Chip Scale Package, WLCSP)。这种封装技术中所有的封装、测试工艺均在晶圆上批量实现, 这样将大大降低封装成本。目前该技术正逐渐成为主流的芯片尺寸封装技术。关于圆片级封装的内容在下节中有详细介绍。

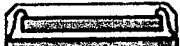
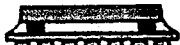
分类	样式		器件	应用
转接板	TAB 倒装芯片		Flash, SRAM, ASIC, 微控制器, DSP	摄影机, 手机, 存储卡, 计算机
	引线键合			
基板	倒装芯片		控制器, DSP, SRAM, ASIC	手机, 摄影机, PDA
	引线键合			
引线框架	引线键合		Flash, DRAM, 模拟芯片	手机, 存储卡, 笔记本
WLP	RDL		存储器, 控制器, ASIC 传感器, 功率器件	计算机, 通讯设备
	基板			

图 1.3 芯片尺寸封装的类型^[3]

Figure 1.3 Different types of chip scale package^[3]

为了实现芯片的多功能, 多芯片组件和堆叠封装应运而生。多芯片组件可定义为在高密度多层互连基板上, 采用微焊接和互连工艺把构成电路的各种微型元器件组装起来, 形成高密度、高性能、高可靠性、立体结构的微电子产品 (包括组件、部件、子系统、系统) 的高密度封装技术。在 MCM 被提出之后, 电子封装逐渐向三维封装 (3D package) 发展。SIP 就是 3D 封装的一个典型代表。SIP

是将一个或多个具有不同功能的裸芯片及无源器件封装在一个封装体内,并具备一个系统的基本功能的封装技术。随着摩尔定律的失效,这种封装形式将会为进一步提高封装密度提供技术路径。在系统封装中,还有一个重要的概念是 SoP (System on package)。SoP 是由乔治亚理工大学封装研究中心在上世纪 90 年代中期提出的,该技术是指将不同种类的元件,通过不同技术,以 2D、3D 的方式连接到整合型基板上或混载于同一封装体内,由此构成一个系统或一个子系统的全部或大部分功能的封装形式。以上三种封装类型的结构图如图 1.4 所示,其中 SIP 技术与目前学界针对摩尔定律失效给出的三个解决方案之一的超越摩尔 (More than Moore) 相契合。超越摩尔的核心概念是系统性能的提升不再单纯地依靠工艺制程的进步,而是更多地依靠电路设计以及系统算法的优化,而且集成度的提高不一定要靠把更多模块放到同一个 SOC 芯片上,而是可以采用先进封装技术来实现集成。

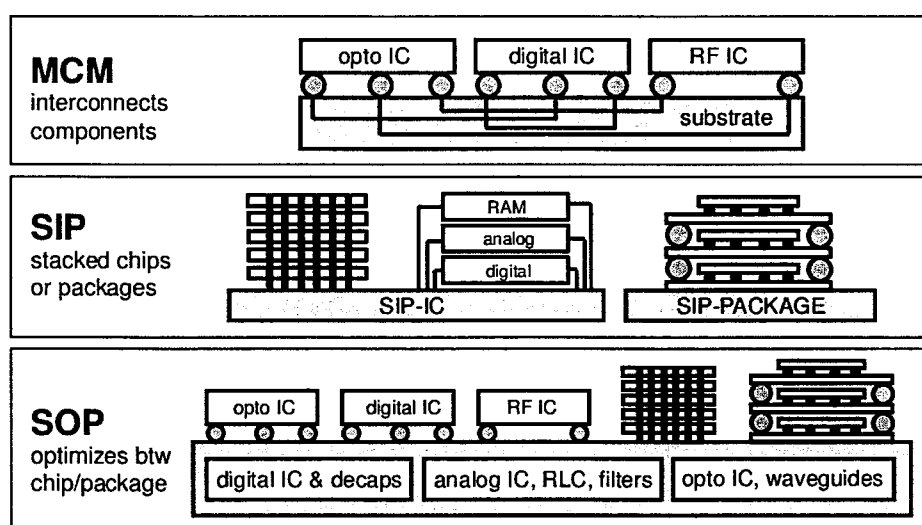


图 1.4 MCM、SIP、SOP 结构示意图^[4]

Figure 1.4 Diagram of MCM, SIP, and SOP^[4]

实现系统级封装的技术路线根据内部封装结构的区别也可以细分为许多种类,如图 1.5 所示。可以通过引线键合或者倒装焊的方式实现多芯片在基板上的 2.5D 堆叠;也有的采用引线键合或者堆叠封装等方法实现多芯片的三维堆叠;还有的方案采用在存储器上广泛应用的 TSV 技术实现多层堆叠;另外还有一种采用埋入式技术的芯片封装集成方案。这些方案使得最终的封装体内可以集成数

字电路、模拟电路、MEMS、无源器件等元器件。相较于将这些芯片在同一工艺制程下集成，SIP 在实现电子产品的多功能化、小型化和集成化的同时，大幅降低了芯片的研发成本，缩短了研发周期。由于其内部不同类型的芯片可以分别采用最经济的方式流片，并可以随着工艺制程的演进进行重新设计，使得 SIP 具有很高的灵活性。

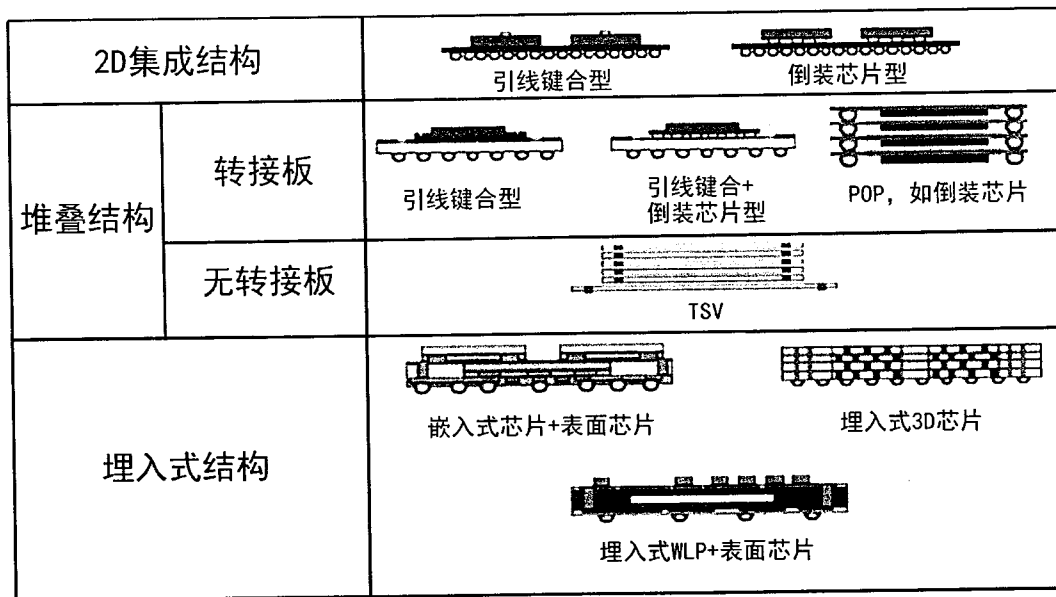
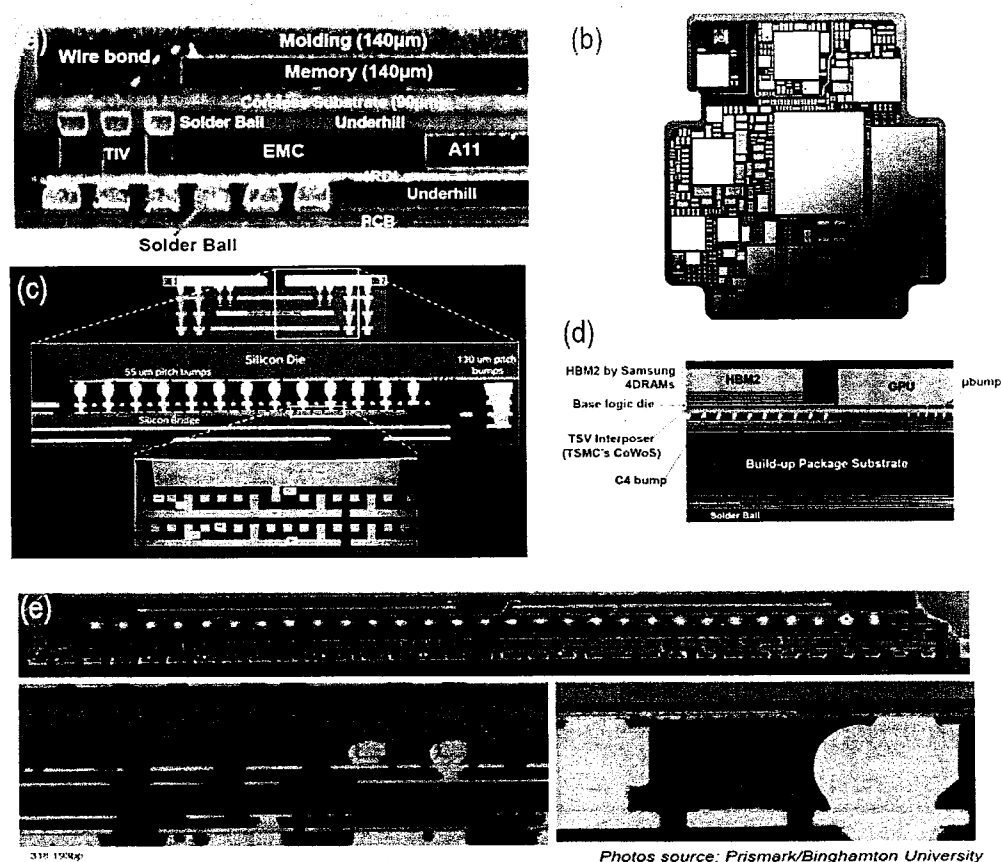


图 1.5 实现系统级封装的不同技术路线图^[5]

Figure 1.5 Different ways to realize SIP^[5]

基于上述优点，SIP 技术已经在移动电话等电子设备中得到了广泛应用。图 1.6 列举了几款典型的 SIP 芯片模组的结构。其中图（a）（e）均为手机处理器芯片，其内部集成了处理器、存储器、基带等芯片，并采用了堆叠式封装（Package on Package）的结构。两者内部主要区别在于苹果 A11 中处理器的封装采用了扇出型圆片级封装（Fan out WLP），即使用重布线层（RDL）进行互连，而三星 Exynos9810 中处理器采用了传统的基板进行互连。图（b）中苹果手表的封装结构将几乎全部电子器件封装在了单一封装体内，基本实现了全部的系统功能。图（c）所示的 Intel EMIB 封装结构采用较小面积的埋入式硅转接板用于处理器芯片和高速内存之间的通信。图（d）是一种典型二维排布的 SIP 结构，将 GPU 和高速缓存封装在同一封装体内。

图 1.6 典型的 SIP 芯片结构图^[6]

(a) 苹果 A11 处理器封装结构, (b) 苹果手表 S1 封装结构, (c) Intel EMIB 封装结构, 应用于 i7-8705G, (d) 英伟达 P100 计算卡封装结构, (e) 三星 Exynos 9810 封装结构。

Fig 1.6 Structure diagram of typical SIP chips^[6]

(a) Apple A11 processor package structure, (b) Apple Watch S1 package structure, (c) Intel EMIB package structure, applied to i7-8705G, (d) NVIDIA P100 computing card package structure, (e) Samsung Exynos 9810 package structure.

在物联网、可穿戴设备等小型化、微型化设备不断发展, 各种新型电子设备层出不穷, 而摩尔定律发展已经放缓的今天, 电子封装技术已经成为进一步实现芯片模组多功能化和小型化的主要手段。研究更为先进的封装工艺和技术已经成为当务之急。

1.2 圆片级封装

圆片级封装(WLP, Wafer level package)是近年来快速发展的一种封装技术。圆片级封装的所有封装、测试都在晶圆上完成。通过 RDL, WLP 直接将芯片焊

盘重新分布在芯片表面，因此不需要封装基板和引线键合等其它互连技术。在 RDL 上完成植球工艺之后即可直接与 PCB 互连。另外由于采用圆片级技术，一次工艺流程之后就可以完成对晶圆上所有芯片的封装过程，因此 WLP 具有效率高、成本低的优点。

1.2.1 圆片级封装的发展趋势

由于封装完成后直接和 PCB 互连，导致焊球的节距受到 PCB 工艺限制而不能太小（现在典型的焊球节距为 300~400 μm ）。当芯片尺寸太大时，芯片四周的引脚与中心的距离就会变大。由于芯片所用硅材料和 PCB 的热膨胀系数不匹配，就会导致四周引脚在经过热循环过程和老化测试时应力过大，从而引起封装体的失效。而对于小尺寸的芯片，由热失配带来的应力问题不会十分显著，因此不会显著影响芯片的可靠性。因此最初的圆片级封装用于芯片尺寸较小，引脚数量也比较少的芯片。封装体的焊球完全局限于芯片尺寸范围之内，即扇入型圆片级封装（Fan-in WLP）。随着芯片工艺制程的不断演进，芯片尺寸逐渐减小，而引脚节距依旧受到 PCB 工艺的限制，使得引脚所占的面积超出了芯片范围，扇出型圆片级封装（Fan-out WLP）应运而生。Fan-out WLP 也使得引脚数量较多的芯片采用圆片级封装成为了可能。随着缩短芯片间通信距离、降低时延等要求的不断提高，在此基础上发展出来了多芯片集成技术，即将两个或者两个以上芯片封装在同一个封装体内，使用 RDL 作为芯片之间的互连层的技术也已经出现并在不断扩展其应用范围。

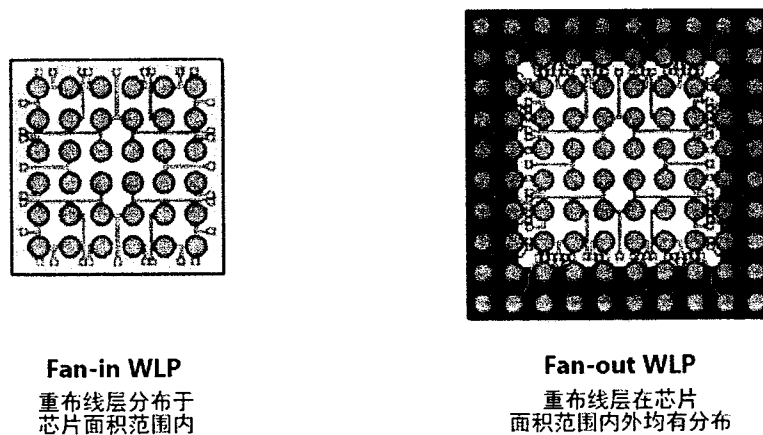


图 1.7 Fan-in WLP 和 Fan-out WLP 结构及引脚示意图^[7]

Figure 1.7 Structure diagram of Fan-in WLP and Fan-out WLP^[7]

图 1.7 是 Fan-in WLP 和 Fan-out WLP 结构及引脚示意图, 两者除了结构上的区别之外, 在工艺流程上也有明显区别。为了能够实现 Fan-out WLP, 需要在划片之后重新制作重构晶圆, 然后再进行封装工艺。这样做的好处是可以采用经过测试证明工作良好的 KGD (Known Good Die) 进行后续的工艺流程, 可以节省一部分成本, 提高封装的良品率。

1.2.2 扇入型圆片级封装

大多数其它类型的封装首先需要进行晶圆切割, 然后将单个芯片放入引线框架或基板中并连接焊盘与引脚, 并分别进行塑封。而圆片级封装则是在完整晶圆上进行封装工艺。典型的 WLP 工艺流程如图 1.8 所示, 在完成有源区制作之后, 圆片表面首先进行清洗, 并制备 PI 介质层, 经过光刻露出焊盘用于互连。然后在钝化层表面采用溅射方法制备 Ti/Cu, 然后经过光刻、电镀、去胶、去种子层等工艺过程形成互连层。重复上述流程即可以制备多层 RDL。最后在完成 UBM (Under Bump Metallization) 制备之后进行植球或者采用电镀并回流的工艺制备凸点, 这样就完成了封装流程, 经过划片即可直接焊接在 PCB 上。由于 Fan-in WLP 的封装面积和芯片面积完全一致, 因此 Fan-in WLP 又被称为圆片级芯片尺寸封装 (WLCSP, Wafer Level CSP)。

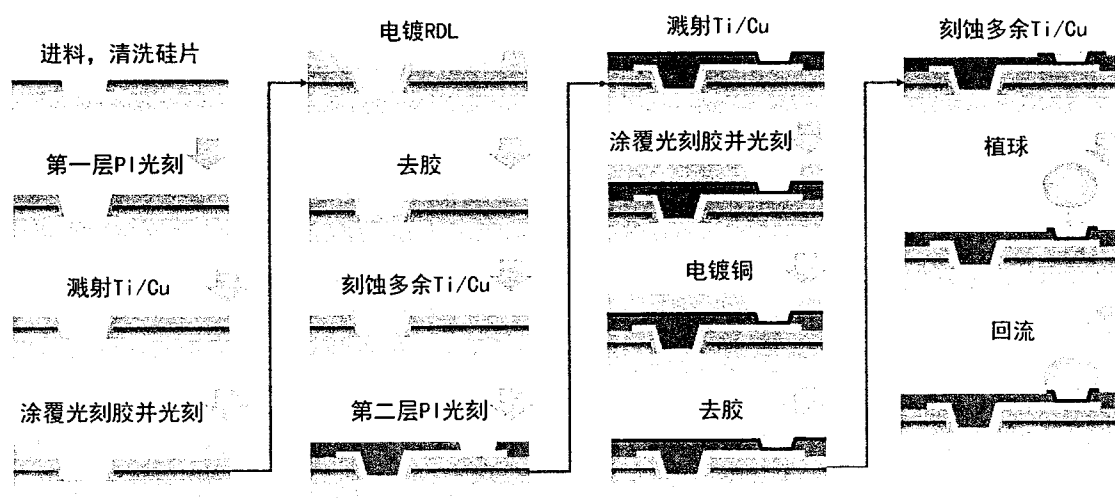


图 1.8 典型 WLP 工艺流程图^[8]

Figure 1.8 Typical flow chart of WLP process^[8]

重布线是圆片级封装的核心工艺之一，其作用是将芯片四周的 I/O 端口重新排布实现面阵列，改善信号质量、散热条件、机械性能，增加引脚间距，降低封装难度，提高封装可靠性等。相比于传统封装，Fan-in WLP 的最大特点是芯片在晶圆上批量封装，产品一致性好、封装效率高。在一片 12 寸晶圆上往往有数千颗乃至数万颗芯片。传统封装数千至数万次的重复操作若采用 Fan-in WLP 则只需一次即可。另外，WLP 中采用 RDL 代替了传统的基板。一般而言，基板占封装成本的 50% 左右，因此 WLP 可以有效降低封装成本。并且由于 RDL 比传统基板薄很多，WLP 的封装厚度因此可以降低，更有利于芯片散热。基于以上优点，WLCSP 在便携式电子产品中得到了广泛的应用。

图 1.9 中展示了三星 Galaxy S9 手机中采用的芯片，从图中我们可以看出主板上的 18 颗芯片中有超过一半（10 颗）采用了 WLCSP 的封装工艺，手机内部所有的电源管理芯片及射频收发芯片都采用了 WLCSP 的封装工艺，并在焊球部位填有底充胶，以提高器件的可靠性。这些芯片往往尺寸较小，引脚数量较少，功能单一。WLCSP 的大量采用大大降低了主板尺寸，给电池等其它部件留出了更多空间。

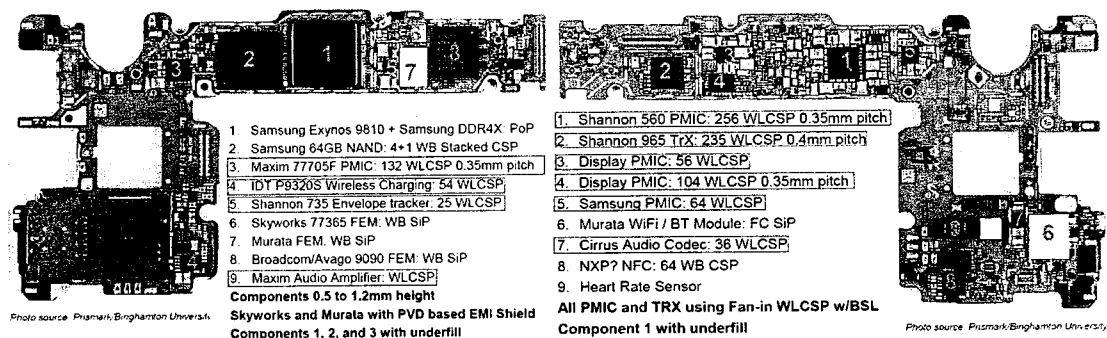


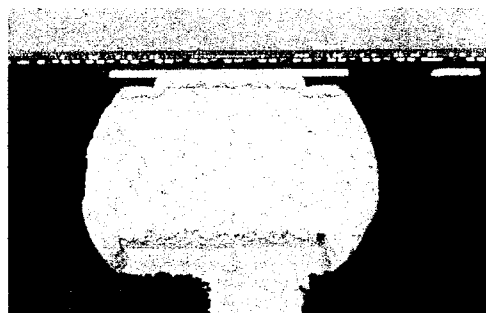
图 1.9 三星 Galaxy S9 中采用的 WLCSP 芯片^[6]

Figure 1.9 WLCSP chips used in Samsung Galaxy S9^[6]

RDL 通常采用 PI（聚酰亚胺）或者 PBO（聚苯撑苯并二恶唑）作为应力缓冲层和介质层，电镀铜层作为布线层。此外，为了降低硅芯片和树脂材料之间的应力，提高封装的可靠性，也有将焊料凸点制备于铜柱（Cu pillar）之上等不同工艺出现。随着工艺的不断成熟，Fan-in WLP 的引脚数量已由不足百个逐渐发展到 200 个以上。目前业界采用的金属互连层和介质层厚度分别为 4~6 μm 和 6~7

μm , 引线间距则为 $12\sim 15\ \mu\text{m}$ 。图 1.10 中是三星 Shannon 965 收发机芯片剖面图和相关参数。

- 6 x 6 mm Fan-In WLCSP
 - 235 balls @ 0.4mm pitch
 - 140 μm standoff height
 - 330 μm die thickness
 - 20 μm BSL, no underfill
- 1 metal RDL; 12-15 μm L/S
 - 5 μm metal thickness
 - 7 μm dielectric thickness



Photos source: Prismark/Binghamton University

图 1.10 三星 Shannon 965 收发机芯片结构图^[6]

Figure 1.10 Structure of Samsung Shannon 965 transceiver chip^[6]

1.2.3 扇出型圆片级封装

扇出型圆片级封装 (Fan-out WLP) 有时也称为埋入式圆片级球栅阵列封装 (eWLB, Embedded Wafer Level BGA)。扇出型圆片级封装中所指的圆片是重构晶圆。由于在某些应用中, 芯片引脚不能完全分布于芯片面积之内, 若要将芯片封装引脚布置于芯片面积范围之外, 则需要将圆片进行划片之后, 再重塑成重构晶圆, 并在重构晶圆上完成封装工艺流程。也有三星等厂商利用原有的面板产线进行改造并开发的扇出型板级封装 (Fan-out PLP)。

根据工艺流程的不同, 扇出型封装可以分为三类: Chip-First (Die-down), Chip-First (Die-up), Chip-Last (RDL-First)^[9]。目前绝大多数制造商采用的方案都是 Chip-First (Die-down) 或者 Chip-First (Die-up) 方案。典型的 Chip-First (Die-down) 的工艺流程如图 1.11 所示。首先被划片并检测之后的 KGD 被放置于覆有热释胶带的载板上, 然后依次经过模塑成型、移除载板、RDL 层制备和植球, 最后经划片成为封装完成的芯片。Chip-First (Die-down) 的工艺流程相对简单。由英飞凌开发的这种封装工艺已经被日月光、星科金朋等封装企业用于基带、射频器件、MCU 等芯片的封装。

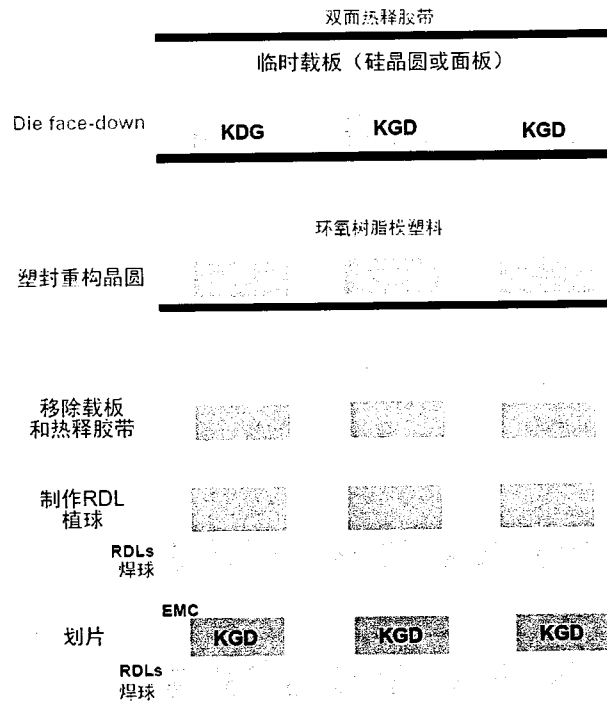


图 1.11 典型的 Chip-First (Die-down)的工艺流程图^[9]

Figure 1.11 Typical flow chart of Chip-First (Die-down) process^[9]

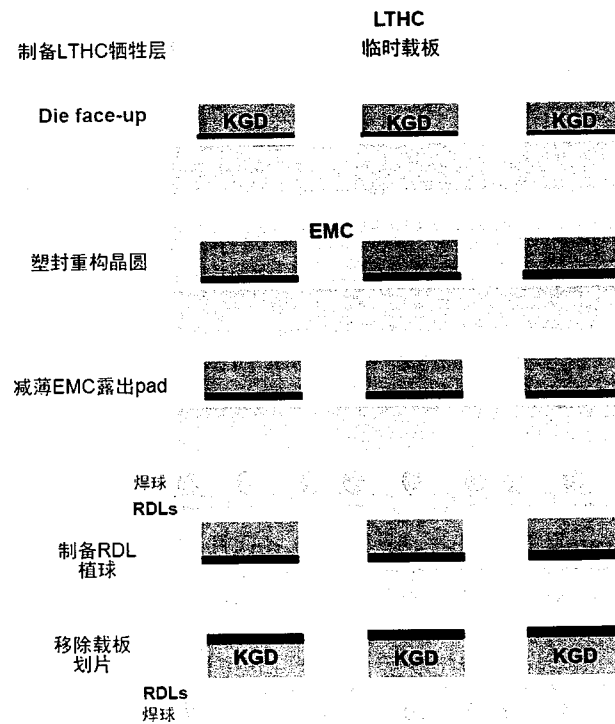


图 1.12 典型的 Chip-First (Die-up)的工艺流程图^[9]

Figure 1.12 Typical flow chart of Chip-First (Die-up) process^[9]

与 Chip-First (Die-down)的工艺流程有所区别的是在 Chip-First (Die-up)工艺流程中,经测试后的 KGD 是有源区向上布置的,如图 1.12 所示。在经过模塑成型工艺形成重构晶圆之后,研磨掉表面的模塑料,露出芯片焊盘,并在这上面依次制备 RDL 层和焊球。最终移除临时载板并划片以形成完整的晶圆。苹果 A11 处理器所采用的台积电 InFo (Integrated Fan-Out) 封装工艺中,处理器 SOC 芯片所采用的就是这种 Chip-First (Die-up)的封装工艺。

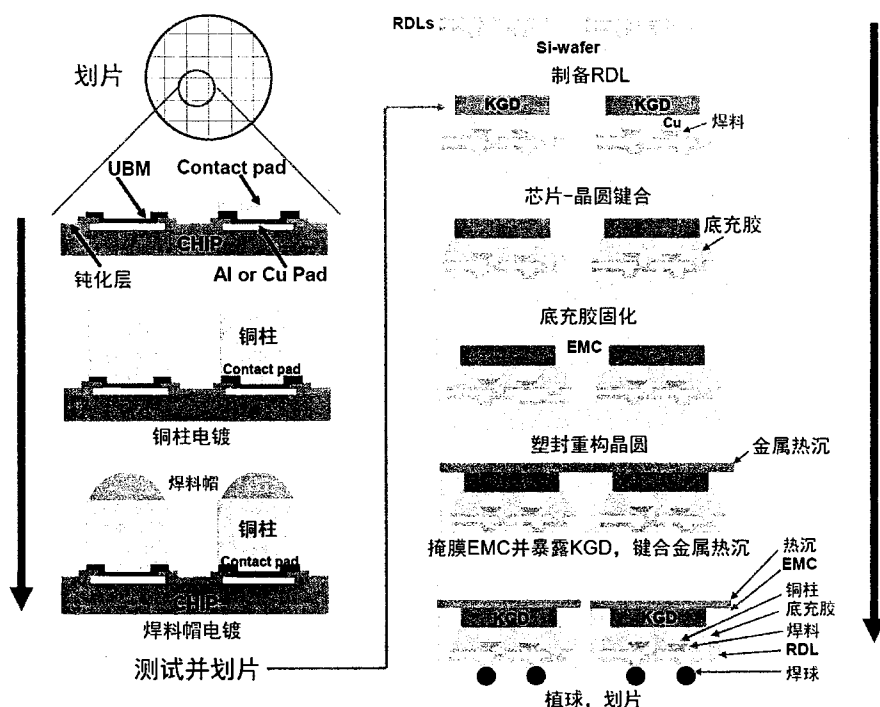


图 1.13 安靠开发的 Chip-Last (RDL-First)工艺流程图^[9]

Figure 1.13 Typical flow chart of Chip-Last (RDL-First) process developed by Amkor^[9]

另外一种应用于高端和高密度芯片的 Fan-out WLP 工艺是 Chip-Last (RDL-First)工艺。最为典型的是安靠 (Amkor) 开发的 SWIFT (Silicon Wafer Integrated Fan-out Technology)。这种工艺采用硅晶圆作为临时载板,其工艺流程如图 1.13 所示。首先在完成芯片制造的晶圆上制备钝化层、UBM,然后电镀出铜柱凸点,并制备焊料帽,经过划片、测试等流程选择出 KGD。同时需要在另外的空白晶圆上制备 RDL 层用于芯片互连。然后将分立的 KGD 倒扣在 RDL 上,经过填充底充胶、注塑成型等工艺形成外部封装管壳。研磨掉多余的模塑料使芯片能够与金属散热片有效热连接,最后采用研磨工艺去除硅载板,并再次进行划片。由于

这种工艺采用硅晶圆作为临时载板，并在上面制备 RDL 层，因此可以实现高密度的互连，但与此同时封装成本也提高很多。

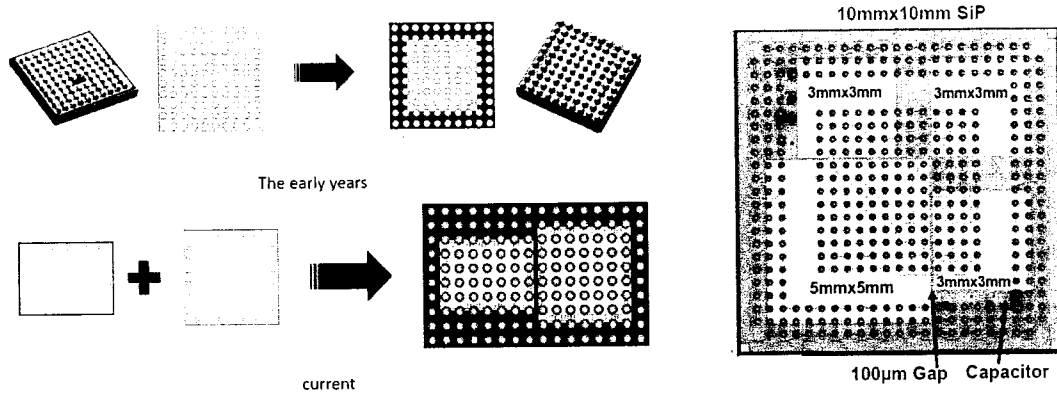


图 1.14 采用 Fan-out WLP 工艺实现系统级封装^[10]

Figure 1.14 SIP adopting Fan-out WLP^[10]

如图 1.14 所示，采用 Fan-out WLP 可以实现圆片级封装的高效率的同时，也可以在重构晶圆中集成多颗芯片同时进行封装，并可以在模塑料内集成电容、电感等无源器件，形成系统级封装^[11]。并且相较于传统的“引线键合+封装基板”等工艺，采用 Fan-out WLP 工艺实现的系统级封装具有封装尺寸小、厚度低（内部没有封装基板）、封装效率高的优点。

1.3 圆片级封装中的翘曲问题

上文中虽然阐述了圆片级封装的诸多优点，但是在实际封装工艺流程中，由于晶圆上的图形化、多层布线和介质层、不同材料相互堆叠，导致晶圆内部的应力较大，从而产生翘曲变形。在经过晶圆减薄之后，晶圆的翘曲往往更加严重。圆片级封装中的晶圆翘曲会严重影响后续工艺中的光刻对准精度，也会对晶圆的转移等操作产生影响。晶圆内部过大的应力还会造成再布线层的分层、焊球脱落等问题，将严重影响芯片的可靠性。

1.3.1 翘曲的相关概念及数学描述

如图 1.15 所示，在不同受力状态下，圆片翘曲可能产生不同的形态。当晶圆减薄前且内应力均匀时，晶圆往往呈现旋转对称的形状，形如球冠形；当晶圆

图形化之后,应力常表现出 X、Y 两个方向的不对称分布,当某一个方向的应力较大时,晶圆表现出圆柱面的形状;如果在 X、Y 两轴上的应力方向不相同(一轴为拉应力,另外一轴为压应力),则晶圆可能表现出马鞍面的形状;实际情况中,由于晶圆制造工艺复杂,应力分布复杂,晶圆常表现为复杂形状。尤其在晶圆减薄之后,在应力作用下的晶圆可能表现出各种不同的形状。

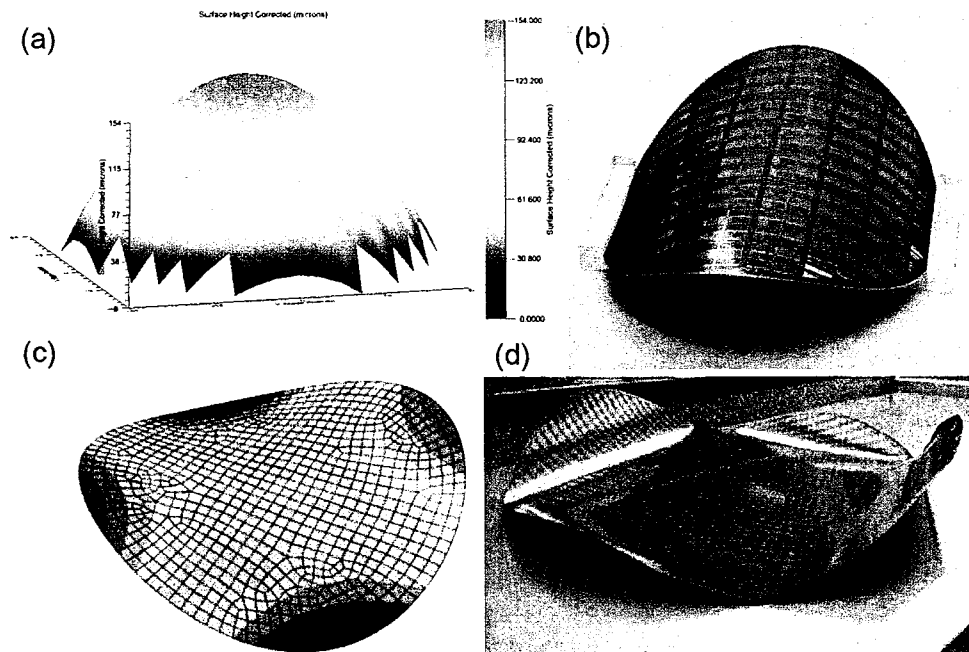


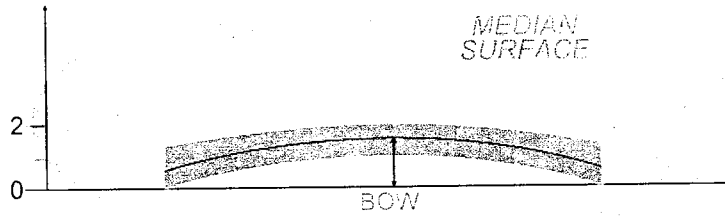
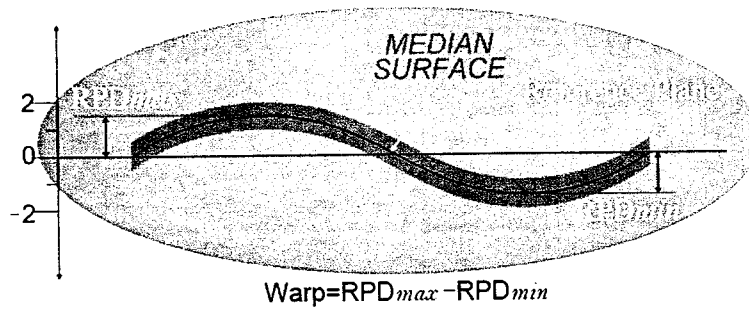
图 1.15 不同的晶圆翘曲形态^[12]

(a) 球冠形, (b) 柱面, (c) 马鞍面, (d) 复杂形状。

Figure 1.15 Different wafer warping patterns^[12]

(a) spherical, (b) cylindrical, (c) saddle, (d) complex shape.

对于球冠型翘曲,可采用美国材料与实验协会(ASTM)推荐的 ASTM-F534 标准中的 Bow 进行描述,如图 1.16 所示,其被定义为晶圆面中心位置与参考平面之间的距离。参考平面是由晶圆边缘区域三个均匀分布的点构成的平面。对于复杂的翘曲形状,ASTM 在 ASTM-F1390 标准中定义了另外一种翘曲 Warp 的表示方法,如图 1.17 所示。在此标准中,Warp 被定义为晶圆面中距离参考平面最大距离 RPD_{max} 与最小距离 RPD_{min} 的差值。当晶圆呈现球冠形时,其 Warp 值与 Bow 值相同。与 Bow 仅考虑晶圆中心位置不同,Warp 是对整个圆片变形状况的衡量,更具有普适性。

图 1.16 ASTM-F534 标准中翘曲 Bow 的测量方法^[13]Figure 1.16 Measurement method for Bow in ASTM-F534 Standard^[13]图 1.17 ASTM-F1390 标准中翘曲 Warp 的测量方法^[14]Figure 1.17 Measurement method for Warp in ASTM-F1390 Standard^[14]

由于本文相关实验中所采用的 4 寸硅片厚度为 420 μm ，内部应力分布比较均匀，故圆片翘曲通常呈现球冠形。球冠形晶圆翘曲和曲率的几何关系如图 1.18 所示，两者可通过以下公式计算：

$$\left(\frac{1}{\kappa} - \text{Warp}\right)^2 + R^2 = \left(\frac{1}{\kappa}\right)^2 \quad \dots\dots\dots(1.1)$$

其中， κ 为晶圆翘曲曲率， R 是晶圆半径尺寸， Warp 为晶圆翘曲。当 $\text{Warp} \ll \frac{1}{\kappa}$ ，

即圆片翘曲比较小时，曲率和晶圆翘曲近似满足：

$$\kappa = 2 \cdot \frac{\text{Warp}}{R^2} \quad \dots\dots\dots(1.2)$$

对于本文中采用的 4 寸硅圆片， $R=50 \text{ mm}$ ，晶圆翘曲 $\text{Warp} = \frac{1}{2} \cdot R^2 \cdot \kappa = 1250 \cdot \kappa \mu\text{m}$ ，

其中曲率 κ 的单位为 m^{-1} 。

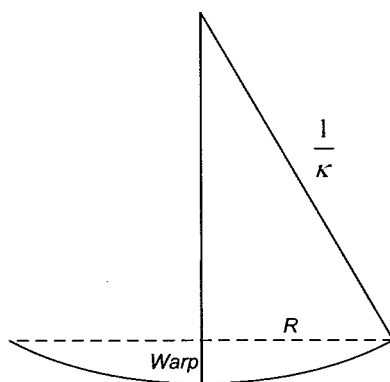


图 1.18 晶圆翘曲与曲率的几何关系示意图

Figure 1.18 Schematic plot of the geometrical relationship of warpage and curvature

布线层的内应力可以通过 Stoney 公式进行计算。Stoney 方程于 19 世纪初由 G. G. Stoney 提出，用于计算厚衬底上薄膜中的应力^[15]。此公式的应用前提是薄膜厚度远远小于衬底厚度，圆片级封装的结构通常满足上述条件。方程的具体形式如下：

$$\sigma = \frac{1}{6} \cdot \frac{E_s}{1-\nu_s} \cdot \frac{h_s^2}{h_f} (\kappa - \kappa_0) \dots \dots \dots (1.3)$$

其中， σ 为薄膜中的内应力， E_s 和 ν_s 分别为衬底的杨氏模量和泊松比， h_s 和 h_f 分别为衬底和薄膜的厚度， $\kappa - \kappa_0$ 是翘曲曲率的变化值。

1.3.2 翘曲问题的国内外研究现状

由于圆片级封装在近年来的快速发展，封装工艺中的翘曲问题也逐渐成为学术界和工业界关注的热点。圆片级封装工艺过程中翘曲问题产生的主要原因是 RDL 制备过程中所采用的不同材料和必须经历的热工艺过程。

各种金属材料在后道工艺和封装工艺中已广泛采用，而早期的研究则集中于铝、钨等材料。如 1987 年 Intel 公司的 P. A. Flinn 等人研究了硅晶圆上覆铝薄膜在温度循环过程中的应力的演变过程。发现铝膜在升温过程中发生了显著的塑性变形，并建立了相应的材料模型^[16]。斯坦福大学的 A. I. Sauter 等人研究了具有图形结构的铝布线层中的应力演变，并详细分析了铝布线表面的钝化层对其变形的影响。结果表明，当有钝化层时，布线中更多的为静水压力，发生塑性变形、蠕变倾向较小^[17]。之后 Intel 公司 J. Lee 和 A. S. Mack 等对 SiN_x 介质、金属 W

等材料的物理特性进行了表征,并详细研究了工艺过程中的应力,研究表明介质层中主要为热应力,而金属 W 中的应力则由内应力和热应力共同构成,且总的应力水平在工艺过程中变化很大,随着互连线层数的增多,最下层互连线中积累的应力不断增大^[18]。

此后,随着大马士革工艺在半导体制造中的广泛应用,铜应力成为研究的焦点。美国新墨西哥大学的 Y. L. Shen 研究小组对 IC 芯片中的铜和 low-k 介质层的物理特性、结构中的应力演变进行了研究。但其结果主要局限于 IC 的后道工艺层面^[19-21]。在晶圆级翘曲的仿真方法上,人们也开展了相关研究。如 R. V. Silfhout^[22]等人在有限元分析中采用体单元与梁单元相结合的方法,模拟不同薄膜的沉积,简化了晶圆级仿真模型的复杂度,提高了仿真结果与测试结果的吻合度。

随着移动设备的快速发展,人们对封装体厚度的要求越来越高,芯片的厚度也随之越来越薄。减薄后的晶圆因为刚度减小,更容易发生严重翘曲。N. R. Draney^[23]以及 IMEC 的 J. Chen^[24]等人自 2003 年开始研究减薄工艺对圆片翘曲的影响。其采用 AFM 和拉曼测试的方法分析了粗磨(Course grinding)和细磨(Fine grinding)之后硅片的表面形貌、积累的损伤应力以及对圆片翘曲的影响。并指出在减薄研磨之后进行湿法腐蚀、干法刻蚀及 CMP 工艺可以有效去除积累的应力层,从而使得减薄工艺不在硅的背面引入新的应力。研究发现,在应力相同的情况下,晶圆翘曲值与晶圆厚度的平方呈反比,因而随着晶圆厚度的减小,圆片翘曲会迅速增大。

目前,国内对翘曲的研究仍停留在单芯片器件或多芯片组件上,对 WLCSP 中的翘曲研究较少,与国际研究水平差距较大。本人所在课题组自 2010 年起,开始对圆片级封装中翘曲的产生机理进行系统地研究,积累了相关的经验^[25-33]。结合来自企业的 WLP 样品和自制的模拟 WLP 单步工艺样品,我们对圆片级封装不同制程阶段的翘曲演化进行了测试工作。过去业界普遍认为圆片级封装中翘曲的产生主要是由于重布线层中 PI 在固化过程中的体积收缩所引致,但通过对典型的重布线结构 2P1M(两层 PI 和一层金属)的翘曲演化进行原位测试,本小组发现改变 PI 固化曲线对翘曲的影响十分有限,并在其翘曲演变曲线中发现了回滞现象。为了进一步澄清各部分材料对翘曲的影响,我们对单层铜厚膜金属对翘曲的影响做了专门研究。重布线层在电镀完毕之后至少要经历两次高温过程:

PI 固化和植球时的回流焊，其最高温度分别为 375°C 和 260°C。在对铜布线层热处理工艺中的翘曲演变进行测量时，我们也在其翘曲演变中发现了回滞现象。经过对特定 2P1M 布线结构进行定量表征，确定了铜布线层对翘曲的影响约为总翘曲的 1/3，表明圆片级封装中的铜布线层对翘曲的影响是不可忽略的。通过在芯片划片槽位置制备一定深度的隔离槽可以有效降低晶圆整体翘曲，有利于后续工艺的进行^[31]。但这将显著降低晶圆的强度。围绕晶圆翘曲的进一步研究表明，晶圆上铜布线层的塑性应变特性与其微结构之间存在着密切的关系，这对晶圆翘曲同样具有重要的影响。减小铜布线层在温度循环中的塑性变形将可能显著减小 RDL 引起的翘曲。因此，在铜基材料中寻找一种新的铜材料和制备工艺，在保持铜材料优良电学性能的情况下，提高热机械性能，降低高温工艺过程中的塑性变形，减小晶圆翘曲，成为一种迫切需求。

1.4 纳米孪晶铜

1.4.1 重布线金属的纳米孪晶化

通过进一步研究发现，在 RDL 的金属布线层制备过程中，铜厚膜的晶粒中可能产生热机械性能和电学性能优良的纳米孪晶。由于孪晶界本身界面能较低，其对自由电子的散射作用也比较弱，并且易与位错、晶界发生复杂的反应，因此孪晶界是一种重要的强化机制。此外，孪晶界对铜布线层内部的原子扩散也有抑制作用。因此，采用纳米孪晶铜作为 RDL 中的互连材料有望降低由铜布线层引入的晶圆翘曲。

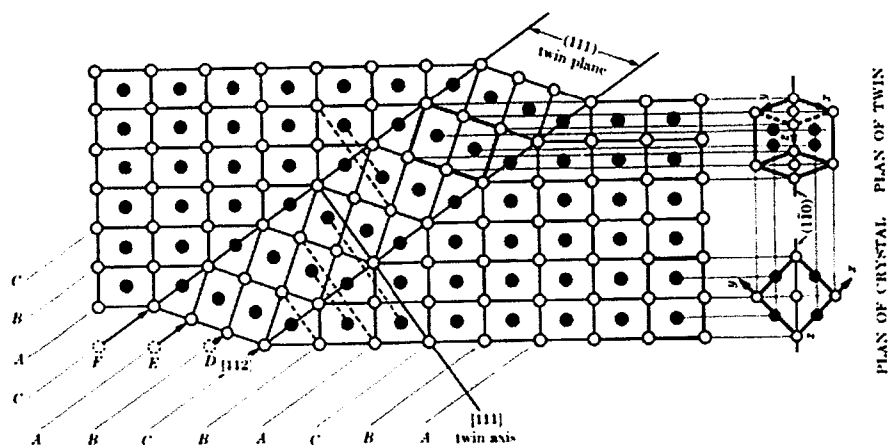


图 1.19 孪晶界原子排布示意图^[34]

Figure 1.19 Schematic diagram of atomic arrangement of twins^[34]

孪晶是一种常见的晶体缺陷，指两个晶体（或一个晶体的两部分）沿一个公共晶面构成镜面对称的位向关系，这两个晶体就称为“孪晶”，此公共晶面就称为孪晶界。图 1.19（a）是面心立方晶体中孪晶界的原子排布示意图。材料在生长过程中由于受到外部因素的作用，会产生堆垛层错。原子在堆垛层错的基础上继续生长就会产生孪晶。由于铜为面心立方晶体，并且层错能较低，因此在铜晶粒中很容易产生孪晶。一般情况下，晶粒内部孪晶界密度很低，孪晶片层厚度通常在微米尺度内，这并不会显著影响材料的性能。如果铜晶粒内部的孪晶密度很高，并且相邻孪晶界之间的距离即孪晶片层厚度在 $2\text{ nm}\sim 200\text{ nm}$ 范围内，则被称为纳米孪晶铜。如图 1.20 所示，纳米孪晶铜的微观形貌为相互平行的一簇直线。

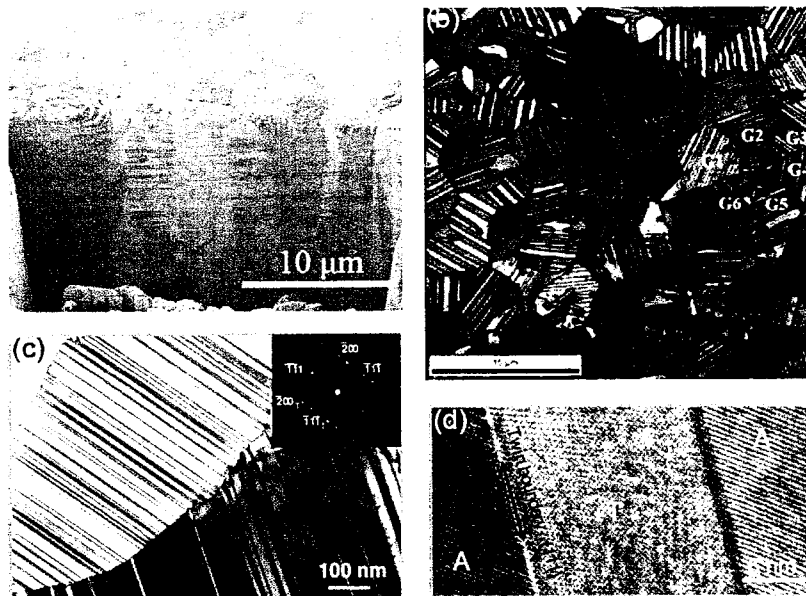


图 1.20 纳米孪晶铜的微观形貌

（a）直流电镀 FIB 图像^[35]，（b）脉冲电镀铜 EBSD 图像^[36]，（c）脉冲电镀铜 TEM 图像^[37]，（d）脉冲电镀铜 HRTEM 图像^[37]。

Figure 1.20 Micromorphology of nanotwinned copper

(a) FIB image of DC plated film^[35], (b) EBSD image of pulse plated film^[36], (c) TEM image of pulse plated film^[37], (d) HRTEM image of pulse plated film^[37].

1.4.2 纳米孪晶铜的性能

1.4.2.1 力学性能

纳米孪晶铜具有非常特殊的机械性能，首先表现为超高强度。孪晶界是一种

特殊的界面，具有与晶界类似的强化作用，即既可以发射位错，又可以阻碍位错运动^[38-43]。其与位错反应具体分为以下三种：①位错沿着(111)面在孪晶界面内滑移。②螺位错穿过孪晶界面，且滑移面倾斜于孪晶界。③位错起源于孪晶界和晶界的交界位置，并且沿着共格孪晶界面滑移。孪晶界的强化效应源于孪晶界阻碍滑移带运动，材料变形后沿孪晶界可以观察到大量的位错塞积^[43-45]，引起的应力集中诱发位错反应^[46]： $1/2[101] \rightarrow 1/6[1\bar{2}1] + 1/3[111]$ 。孪晶界的存在也可以有效地阻止裂纹的扩展，从而提高材料的断裂强度^[47-50]。纳米孪晶铜的断裂强度随孪晶片层厚度的关系曲线如图 1.21 (a) 所示。图中实验结果表明在无织构的纳米孪晶铜中，当孪晶片层厚度为 15 nm 左右时，其断裂强度最高。此时，材料的拉伸屈服强度可达 900 MPa，断裂强度高达 1068 MPa，比普通粗晶铜高出一个数量级^[37]。J. R. Greer 团队更是将纳米孪晶铜的屈服强度提高到了 2.5 GPa^[51]。当孪晶片层厚度小于 15 nm 时，材料强度反而随着孪晶片层厚度的减小而下降，即两者之间的关系由 Hall-Petch 关系过渡为反常 Hall-Petch 关系^[52, 53]。在纳米晶粒铜和有织构的纳米孪晶铜中则没有产生反常 Hall-Petch 现象。

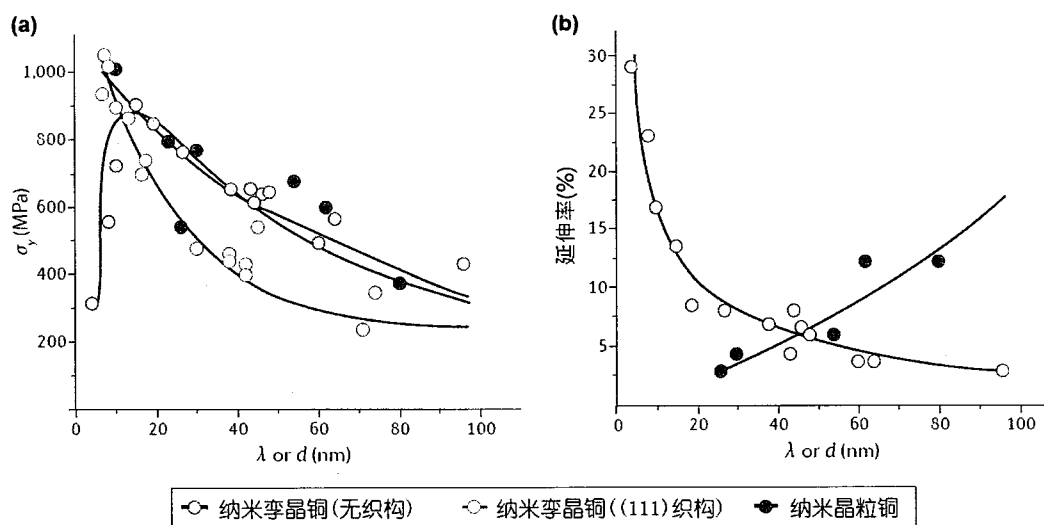


图 1.21 纳米孪晶铜与纳米晶粒铜的强度和延展性对比^[54]

(a) 断裂强度和 (b) 延伸率与纳米孪晶铜孪晶片层厚度或纳米晶粒铜晶粒尺寸的关系。

Figure 1.21 Comparison of the strength and ductility of <111> textured nanotwinned copper and nanograined copper without texture^[54].

Relationship between (a) breaking strength, (b) elongation and twin lamellae thickness in nanotwinned copper or grain size in nanograined copper.

纳米孪晶铜/纳米晶粒铜的延展性随孪晶片层厚度或者晶粒尺寸的变化如图 1.21 (b) 所示。纳米孪晶铜不仅提高了材料的强度，避免了铜互连中由应力带来的断裂失效，还同时提高了材料的弹性和塑性。其原理就是上文中提到的，即孪晶界有助于抑制裂纹的萌生和扩展^[55]。具体而言，材料在变形过程中，起源于三晶界交叉位置的位错向晶界内运动时受到孪晶界的阻碍，并与孪晶界发生反应，位错分解为可穿过孪晶界的新位错^[45, 56, 57]。这种反应需要外加能量才能进行，从而实现了孪晶的强化，同时也保证了材料塑性变形的继续进行。孪晶片层的宽化也是纳米孪晶铜塑性变形的重要机制之一^[58]，通过孪晶片层的宽化，可以有效地释放材料的内应力。实验表明，纳米孪晶铜的弹性应变与单晶铜相当，大约为 1%~2%。这比粗晶铜的弹性应变 ($\approx 10^{-4}$) 要高很多。纳米孪晶铜样品的塑性也随样品中孪晶密度的增加而增大，当平均孪晶片层厚度为 90 nm 时，样品的延展率约为 3%；而当平均孪晶片层厚度减小到 15 nm 时，其延展率大于 13%，远高于文献报道的纳米晶粒铜的塑性 ($< 3\%$)^[59-61]。

1.4.2.2 电学性能

良好的导电性对电子产品至关重要，电阻会造成 RC 延迟，焦耳热等一系列的问题，由于导电性好的材料通常也具有良好的导热性能，导电性一直是互连材料最重要的指标之一。晶界是造成电子散射和电阻率升高的主要原因之一。共格孪晶界属于堆垛层错，即在晶格中整体缺少（或增加）了一层原子。所以在共格孪晶界面附近的原子与晶格内部原子具有相同的原子密度和电子云密度，共格孪晶界并不会造成额外的对自由电子的散射作用，因而不会造成材料电性能的恶化。事实上，孪晶界对电性能的影响主要是孪晶界面位置的空位和位错等缺陷造成的。实验表明，纳米孪晶铜的电导率为标准退火铜的 97%^[37]，室温中所测定的铜晶界的界面电阻率和堆垛层错的界面电阻率分别是 $3.6 \times 10^{-16} \Omega \cdot \text{m}^2$ 和 $3.4 \times 10^{-17} \Omega \cdot \text{m}^2$ ，共格孪晶界的界面电阻率约为层错界面电阻率的一半，在铜中该值为 $1.7 \times 10^{-17} \Omega \cdot \text{m}^2$ 。共格孪晶界的界面电阻率仅约为晶界面电阻率的 5%，因此晶粒内部大量的孪晶界并不会显著影响材料的导电性能。

纳米孪晶铜中的孪晶界可以有效阻止电迁移并且抑制裂纹扩展^[62, 63]。原位 TEM 观察发现纳米孪晶铜样品中的电迁移率比普通铜样品低一个数量级，并且发现了孪晶界对原子扩散的钉扎作用^[64]。由于阴极附近的孪晶界的存在，受到电

子云撞击的铜原子的迁移受到了限制。高密度的孪晶界在铜布线层中形成了类似竹节形的结构,这对提高布线层的抗电迁移特性和可靠性具有很重要的意义。

1.4.2.3 其它性能

纳米孪晶铜还有许多其它的特殊性能,使其在集成电路互连领域有广阔的应用前景。首先是纳米孪晶铜可以降低 Kirkendall 孔洞的形成^[65,66]。以常用的锡基凸点在铜 UBM 上焊接为例, Cu_3Sn 中由于 Sn 的高速扩散流失而得不到补充,就会产生大量的孔洞。这些孔洞在服役过程中会扩展,形成弱的结合面,降低结合强度,甚至诱发裂纹。Kirkendall 孔洞形成的必要条件之一是空穴达到过饱和,从而实现微孔洞形核。纳米孪晶铜与锡基凸点结合时,高密度的孪晶界上的扭折缺陷能够吸收大量的空穴,使得空穴浓度无法达到过饱和,故微孔洞形核受阻,从而抑制了 Kirkendall 孔洞的形成。

纳米孪晶铜的另一优点是可以实现沿 $\langle 111 \rangle$ 晶向的定向生长^[67],从而可以制备出均一的电镀铜层。纳米孪晶铜的抗辐照性能和耐腐蚀性能相较于普通粗晶铜也有明显提高^[68-70],这将有助于提高电子器件在恶劣条件下的服役时间,提高器件的可靠性。

纳米孪晶铜的热稳定性也非常优良。K. N. Tu 和 A. Misra 等的研究团队分别报道了电镀纳米孪晶铜和溅射纳米孪晶铜优良的热稳定性^[71-79]。其中,溅射制备的纳米孪晶铜在 $0.8 T_m$ (熔化温度)下仍然能够维持良好的晶粒尺寸、孪晶片层厚度以及硬度。其原理在于孪晶界可以有效地限制晶界的移动和晶粒粗化,与此同时,并不会在晶粒内部带来过高的界面能^[54]。

1.5 本文的研究意义、内容及创新点

综上所述,虽然学术界对 IC 制造和封装过程中的芯片应力和翘曲进行了许多研究,但是针对 RDL 中的铜布线层对晶圆翘曲和应力的影响研究比较少。铜布线层在热工艺过程中的翘曲/应力演变规律依旧没有得到系统的研究。目前也没有发现业界有通过改变铜布线层的微结构降低圆片翘曲的方法的报道。此外,在圆片级封装重布线中实现高密度、均匀生长的纳米孪晶铜制备方案,尚无报道。欲深入研究纳米孪晶铜重布线在经历热过程时对晶圆翘曲的影响,还需要深入理解孪晶铜在高温下的行为以及考虑圆片级封装的特殊约束条件,这些工作对纳米

孪晶铜在微电子领域的应用具有重要的意义。

本文拟紧扣集成电路圆片级封装重布线层中铜布线层在温度变化过程中塑性应变这一基础问题,对铜布线的塑性应变特性及其对硅晶圆翘曲的影响进行深入研究,结合 WLP 典型热过程如固化和回流等研究 WLP 中铜布线的翘曲变化特征和模式,研究铜布线塑性应变与微结构的关系及其对硅晶圆翘曲的影响。同时,结合国际和国内关于孪晶铜的最新研究成果,在 RDL 金属布线制备过程中开展与 WLP 制程兼容的大面积纳米孪晶铜的制备方法及其塑性应变的研究,并提出了采用纳米孪晶铜等不同微结构的布线层降低晶圆翘曲的方法。通过对铜布线层的塑性变形机理进行研究,本文还提出了表面钝化层及低温冷却等降低由铜布线层带来的翘曲的方法。诸研究成果将为进一步澄清圆片级封装铜布线塑性应变与微结构的关系及其对硅晶圆翘曲的影响奠定基础。全文的主要内容如下:

第一章为研究背景概述。详细介绍了电子封装的演变历程及发展方向,对扇出型和扇入型圆片级封装技术的发展状况、技术要点和应用情况进行了介绍。最后,对圆片级封装中所面临的翘曲问题进行了论述,介绍了晶圆翘曲的相关概念和翘曲问题的国内外研究现状,并对拟采用的新型互连材料——纳米孪晶铜的微结构和性能作了介绍。

第二章详细研究了热处理时的各工艺参数对翘曲演变的影响。首先介绍了圆片级封装中晶圆翘曲随工艺演变的趋势,厘清了铜布线层和 PI 介质层对晶圆翘曲的影响比例。由于铜布线层的杨氏模量是 PI 介质层的 34 倍左右,并且电镀铜布线层在热处理过程中产生了非常复杂的微结构演变和塑性变形,导致相同厚度的铜布线层对翘曲的影响是 PI 介质层的 3 倍左右。随后,本章详细研究了电镀铜布线层在热处理过程中的演变规律,以及铜布线层在加热初始阶段表现出的应变弛豫特性。本章第三节对铜布线层内应力的影响因素进行了研究。铜布线层的室温翘曲和最高的热处理温度密切相关,但是两者并不是正相关。将铜布线层的热处理温度从 300°C 提高到 400°C 有可能降低其室温翘曲和内应力。温度变化速率对翘曲演变也有影响,但并不会显著改变铜布线层的室温翘曲。铜布线层在恒温处理时会发生显著的应力松弛现象,但是在随后的加热过程中,其翘曲演变曲线会重新回到原来的翘曲演变趋势上,从而不会对铜布线层的室温翘曲产生影响。本章最后介绍了铜布线层塑性变形机理,并对铜布线层在室温至 400°C 范围内的翘曲演变机理进行了总结。

第三章介绍了三种与半导体工艺相兼容的纳米孪晶铜的制备方法。本章通过快速退火法、脉冲电镀工艺和直流电镀工艺分别制造了纳米孪晶铜镀层，并分别研究了三种工艺制备纳米孪晶铜的原理及其铜镀层的微结构。本章还对脉冲电镀纳米孪晶铜中的孪晶生长过程进行了研究，这为纳米孪晶铜的工业应用提供了技术基础。采用纳米孪晶铜作为圆片级封装中的 RDL 布线层将有机会降低由铜布线层引入的晶圆翘曲。

第四章研究了三种不同方法降低铜布线层引入的晶圆翘曲。本章首先采用硫酸铜镀液和甲基磺酸铜镀液制备了三种不同微结构的铜布线层，并且测量其晶圆翘曲的演变曲线。通过建立翘曲演变曲线和应变松弛速率之间的关系，采用拟合方法得到了在不同微结构的铜布线层中，应力和温度对晶圆翘曲演变的影响，明晰了各样品晶圆翘曲演变曲线的成因。采用脉冲电镀制备的高密度孪晶铜和甲基磺酸铜镀液制备的电镀铜布线层，铜布线层引入的翘曲分别降低了 21% 和 35%。本章还研究了表面钝化对晶圆翘曲的影响。研究结果发现，由于表面钝化层对原子扩散和位错滑移的限制作用同时存在于升温和降温阶段，因此整体上样品的室温翘曲不会受到表面钝化层太大的影响。通过在铜布线层表面制备 50 nm TaN 钝化层的方法，其室温翘曲仅降低了 6% 左右。最后，本章提供了一种能够根据需要调整铜布线层引入的晶圆翘曲的方法，即低温冷却法。由于在低温冷却过程中，铜布线层内部也经历了弹塑性变形，当其恢复到室温之后，会有一部分塑性变形保留下来，从而能够降低布线层内部的拉应力，也能够降低晶圆翘曲。

第五章为全文总结及展望。对全文工作进行了总结，并且提出了对今后相关工作的展望。

根据论文内容，本文的创新点总结如下：

1) 详细研究了铜布线层在热处理时的翘曲演变、应力松弛和塑性滞后特性。经过实验，发现对铜布线层的室温翘曲影响最为明显的是铜布线层的微结构和热处理时的最高加热温度，其他工艺参数对铜布线层室温翘曲的影响十分有限。

2) 探索了脉冲电镀工艺制备纳米孪晶铜的工艺参数。通过准原位的方法，对脉冲电镀条件下纳米孪晶铜的生长过程进行了表征，并提出了生长过程理论，为制备工艺提供了技术指导。

3) 通过建立翘曲演变曲线和应变松弛速率之间的关系，采用拟合方法得到了在不同微结构的铜布线层中，应力和温度对晶圆翘曲演变的影响，明晰了各样

品晶圆翘曲演变曲线的成因。

4) 提供了一种能够调整铜布线层引入的晶圆翘曲的方法，即低温冷却法。在低温冷却过程中，铜布线层内部经历了弹塑性变形，当其恢复到室温之后，会有一部分塑性变形保留下来，从而能够降低布线层的内应力，也能够降低晶圆翘曲。

第2章 铜布线层引入的晶圆翘曲及演化规律

晶圆翘曲对圆片级封装的影响正在越来越受到业界关注。晶圆翘曲将影响圆片在后续的工艺过程中的光刻对准和机械手操作等工艺。晶圆翘曲也对器件的可靠性带来严重影响。因此,研究圆片级封装中翘曲产生的原因显得尤为重要。本章首先研究了圆片级封装翘曲产生的原因,发现铜布线层在热工艺过程中的微结构演变对晶圆翘曲的增大产生了重要的影响。然后本章分析了铜布线层的应力演化机理,并分析了热处理过程中影响铜布线层应力演变行为的工艺参数。通过上述研究,勾勒出了铜布线层翘曲演化的轮廓,为探索降低圆片级封装翘曲的方法奠定了基础。

2.1 铜布线层对晶圆翘曲的影响

圆片级封装的翘曲主要是由于在封装过程中,采用 RDL 代替封装基板作为互连结构,其直接制备在硅圆片上,并通常由多层 PI 和 Cu 布线层构成。在 PI 固化和焊球回流等工艺过程时,PI 和铜构成的复合材料经历了复杂的演化,并导致了晶圆翘曲。为深入研究引起晶圆翘曲的原因,有必要分别对各层材料对晶圆翘曲的影响进行研究。

2.1.1 晶圆翘曲的测量方法

本文采用 MOS (Multi-beam Optical Sensor) 翘曲测量系统对热工艺过程中的晶圆翘曲进行原位测量。翘曲测量设备的结构示意图如图 2.1 所示。测量时,由设备上方的激光发射装置产生一束激光,然后经过分光镜片分成 3×4 共 12 束相互平行的激光阵列,并照射到需要进行测量的抛光晶圆上。CCD 探测到反射光束,并可以实时测量相邻光束之间的距离。随着圆片翘曲的不断变化,激光光束之间的距离也随之发生变化。硅片的翘曲曲率 κ 可以通过内部光路的几何关系和光束间距 d 计算得出。晶圆翘曲的测量精度可达 10^{-5} m^{-1} 。晶圆载具下方有石英红外加热装置,可以实现对晶圆的热处理。腔内的温度均匀性可以达到 $\pm 1^\circ\text{C}$ 。腔内温度可通过热电偶测量。RDL 内应力可以通过 Stoney 公式(式(1.3))计算得出。

基于上述翘曲测量方法,本文采用 4 英寸双抛硅片制备试验样品,以使得能

够有一个表面保持镜面反射。

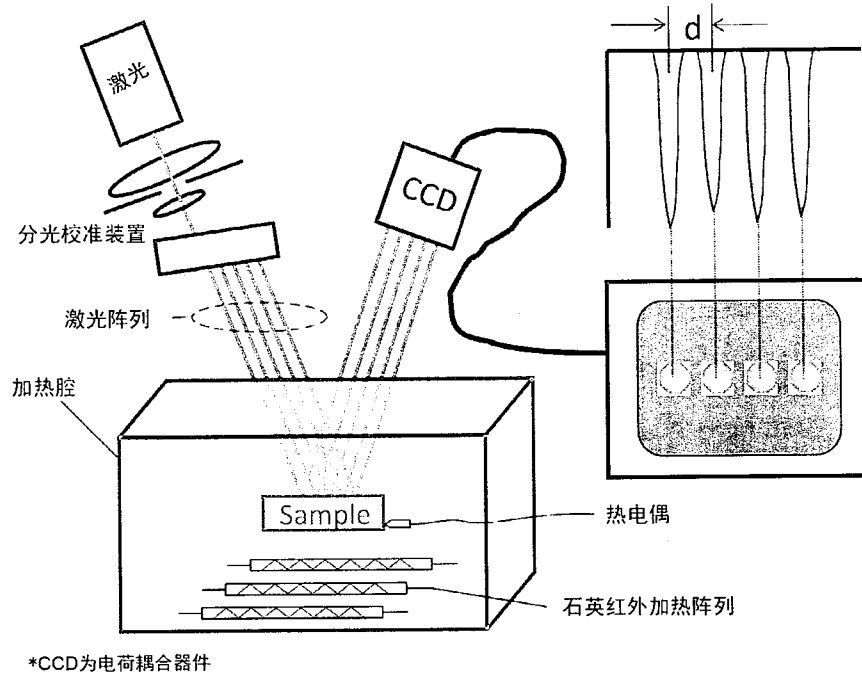


图 2.1 MOS 翘曲测量设备结构示意图

Figure 2.1 Structure of multi-beam optical sensor system

在本文中，用正数表示铜膜内部存在拉应力，此时翘曲曲率也为正值；使用负数表示铜膜内部存在压应力，此时翘曲曲率也为负值。铜膜内应力和衬底形变的关系如图 2.2 所示。

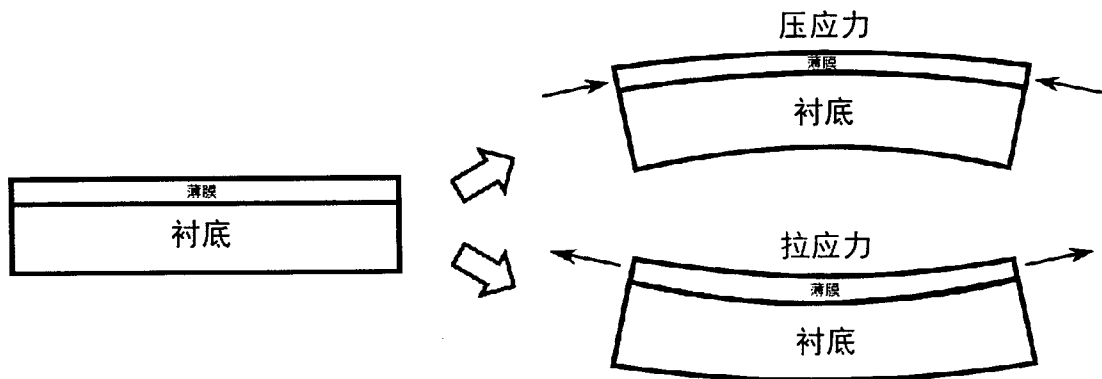


图 2.2 薄膜压应力与拉应力示意图

Figure 2.2 Compressive stress and tensile stress of thin film on substrate

2.1.2 晶圆翘曲随工艺的演变趋势

根据图 1.8 所示的圆片级封装工艺流程图，我们对制备钝化层、第一层 PI 固化、电镀铜布线层、第二层 PI 固化、制备 UBM、植球等各工艺步骤之后的晶圆翘曲进行了测量，从而得到了整个工艺流程中的晶圆翘曲变化趋势（见图 2.3）。从图中可以看出，焊盘和钝化层沉积对晶圆翘曲的总体影响比较小。在第二层 PI 固化完成之后制备的面积占比很小的 UBM 和焊球制作过程对翘曲的影响也比较有限。整个工艺流程中对晶圆翘曲影响最大的工艺步骤为两层 PI 固化的工艺过程。第一层厚度为 $10\text{ }\mu\text{m}$ 的 PI 旋涂并固化使得圆片翘曲值增加了 $54\text{ }\mu\text{m}$ （由 $10\text{ }\mu\text{m}$ 增大至 $64\text{ }\mu\text{m}$ ），第二层厚度为 $10\text{ }\mu\text{m}$ 的 PI 旋涂及固化工艺使得晶圆翘曲增加了 $128\text{ }\mu\text{m}$ （由 $72\text{ }\mu\text{m}$ 增加至 $200\text{ }\mu\text{m}$ ）。虽然厚度为 $5\text{ }\mu\text{m}$ 的铜布线层的电镀过程引入了 $8\text{ }\mu\text{m}$ 的翘曲（ $64\text{ }\mu\text{m}$ 上升至 $72\text{ }\mu\text{m}$ ），但是对晶圆整体翘曲的影响也比较小。两层相同厚度的 PI 在经过相同热工艺的固化之后，对翘曲的影响却呈现了一倍以上的差距，这其中的原因值得深究。

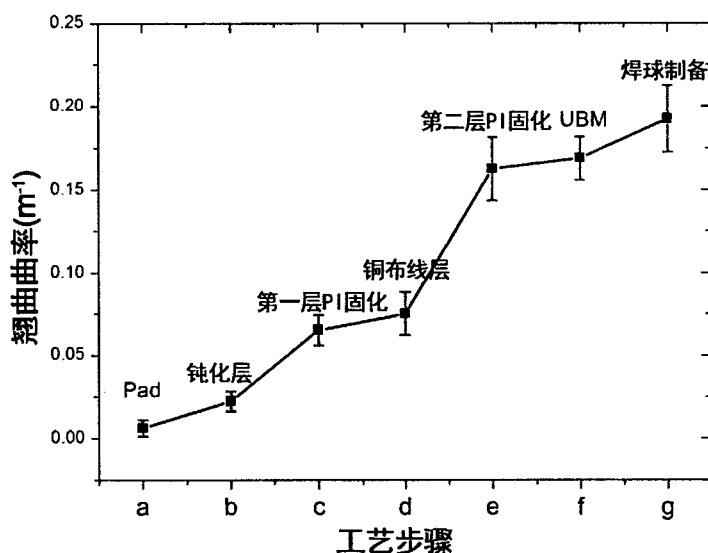


图 2.3 晶圆翘曲随工艺步骤的演变趋势^[12, 30]

Figure 2.3 Wafer warpage evolution during the process steps^[12, 30]

2.1.3 PI 和铜对翘曲的影响

为了研究相同厚度 PI 对翘曲影响产生明显差异的原因，以及铜布线层在这中间的作用，我们分别测量了第一层和第二层 PI 在固化过程中晶圆翘曲的演变

曲线,如图 2.4 所示。在图 2.4 (a) 中,第一层 PI 固化过程中的加热阶段翘曲几乎不随温度产生变化,这是由于旋涂的 PI 还未固化,不能受力。PI 在经过在 375°C 固化交联之后,形成高分子薄膜。值得注意的是由于 PI 的玻璃化转变温度 (T_g) 为 290°C ,因此当温度降低至 290°C 之前,PI 处于高弹态。此时,PI 的弹性模量很低,即很小的受力就会产生很大的形变,因此翘曲依旧几乎不随温度变化。在温度进一步降低过程中,玻璃态的 PI 和 Si 的 CTE 不匹配,使得晶圆翘曲随着温度的降低而不断升高。再次重复这一温度循环(见三角标注),翘曲将沿着这一曲线重复演变。高温阶段应力的几乎完全松弛和降温过程中 CTE 不匹配带来的热应力是导致圆片翘曲的主要原因。在这一工艺过程中,圆片翘曲曲率由 0.01 m^{-1} 上升至 0.07 m^{-1} ,对应翘曲由 $12.5\text{ }\mu\text{m}$ 升高至 $75\text{ }\mu\text{m}$ 。

如图 2.4 (b) 所示,在完成铜布线层电镀和图形化之后进行的第二层 PI 固化工艺过程中,晶圆翘曲经历了复杂的演变过程。图中实心正方形曲线为固化工序中翘曲随温度变化的曲线。在升温过程中,首先晶圆翘曲随着温度的升高不断降低。由于在固化温度 375°C 下,两层 PI 都处于高弹态,因此 RDL 中应力几乎完全松弛。当温度降低至 290°C 以下时,晶圆翘曲才随着温度的下降不断上升,直至回到室温时,翘曲增大到原来的 2.5 倍左右,由于每次试验的测量误差,使得本小节中的翘曲测量结果与上一小节有一定区别,但总体趋势依然保持一致。重复室温至 375°C 的温度循环,晶圆翘曲演变呈现回滞曲线,并且在 290°C 时由于 PI 的玻璃化转变出现一个明显的转折。

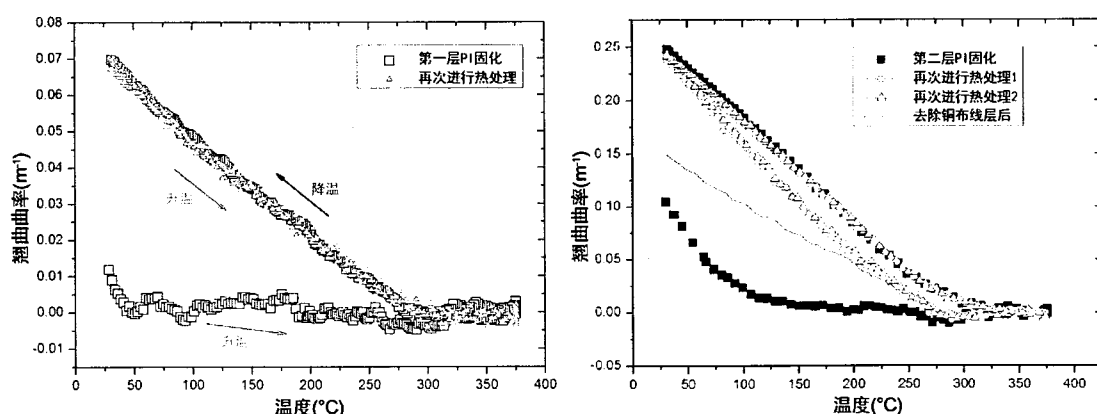


图 2.4 第一层 PI 和第二层 PI 在固化过程中的翘曲演变^[12]

Figure 2.4 Warpage evolution during the curing process of 1st and 2nd PI layer^[12]

为了进一步验证铜布线层对翘曲的影响,图中测量了在将铜布线层通过过硫酸铵腐蚀方法去除之后的翘曲演变情况(见实线)。由测量结果可以发现最终的圆片翘曲降低了很多,并且回滞现象消失。曲线整体的演变趋势和第一层PI的演变趋势十分相似,只是由于厚度加倍使得晶圆整体翘曲也加倍。这就解释了两层相同PI在固化过程中对翘曲影响差距如此之大的原因:第二层PI固化时引入的翘曲除一部分是由于PI固化收缩引起的之外,大部分翘曲是由于铜布线层的内应力引起的。经过实验测量,在整个工艺过程中,由两层PI(厚度共计 $20\text{ }\mu\text{m}$)引入的晶圆翘曲为 $104\text{ }\mu\text{m}$ 左右,而由铜布线层(厚度为 $5\text{ }\mu\text{m}$)引入的晶圆翘曲为 $82\text{ }\mu\text{m}$ 。即相同厚度铜布线层引入的翘曲是PI引入翘曲的3倍左右。随着芯片集成度的不断提升,若在RDL中采用多层铜布线,使铜互连层占比进一步提高,电镀铜层对晶圆翘曲的影响也会更大。

表2.1列出了圆片级封装中用到的主要材料的物理特性。虽然PI和Si的CTE之差远远大于Cu和Si的CTE之差,但是由于Cu的杨氏模量是PI的34倍之多。因此,相同情况下铜对晶圆翘曲的影响更大。另外,电镀铜层在经历PI固化的热工艺过程中,其内部晶粒组织会经历复杂的演变,导致了铜布线层对圆片翘曲的影响比PI更大。

表 2.1 圆片级封装所用材料物理特性

Table 2.1 Material properties used in WLP

	固化温度 ($^{\circ}\text{C}$)	介电常数	Tg ($^{\circ}\text{C}$)	CTE (ppm)	抗拉强度 (MPa)	杨氏模量 (GPa)	延展率
PI	375	3.3	290	35	200	3.5	45%
Cu	---	---	---	16.4	500	120	40%
Si	---	---	---	2.8	---	130	---

2.2 铜布线层翘曲/应力演变规律

由于铜布线层对圆片级封装中晶圆翘曲的影响很大,而且铜布线层在热工艺过程中的应力演变受到众多条件的影响,因此有必要对铜布线层的应力演变规律

进行深入细致的研究。

2.2.1 铜布线层在温度循环中的应力演变曲线

为了揭示铜布线层在经历类似 PI 固化等热处理过程中的应力演变以及其对整体晶圆翘曲的影响, 本文采用如图 2.5 所示的样品对铜布线层应力演变规律进行了研究。在 4 英寸 450 μm 厚的晶圆上先后制备了 200 nm 热氧化层、100 nm TiW 扩散阻挡层、500 nm 铜种子层和 5 μm 电镀铜层。采用前述方法对晶圆的翘曲进行了原位测量。测量过程中, 样品分别以 $\pm 10^\circ\text{C}/\text{min}$ 的温度变化速率进行升温 and 降温处理, 测量的温度区间为室温至 400°C , 并经过两个温度循环。由于 PVD 层的厚度比电镀 Cu 膜的厚度薄得多, 并且对实验结果的影响很小, 因此本文忽略了它对曲率的影响。

如果铜布线层弹性变形的话, 则其在热处理过程中的应力-温度曲线的斜率可根据胡克定律计算为:

$$\frac{d\sigma}{dT} = \frac{E_{\text{Cu}}}{1-\nu_{\text{Cu}}} \cdot (\alpha_{\text{Cu}} - \alpha_{\text{Si}}) = 2.5 \text{ MPa}/^\circ\text{C} \dots\dots\dots(2.1)$$

其中, E_{Cu} 和 ν_{Cu} 分别为铜的弹性模量和泊松比, α_{Cu} 和 α_{Si} 分别为硅和铜的线热膨胀系数。

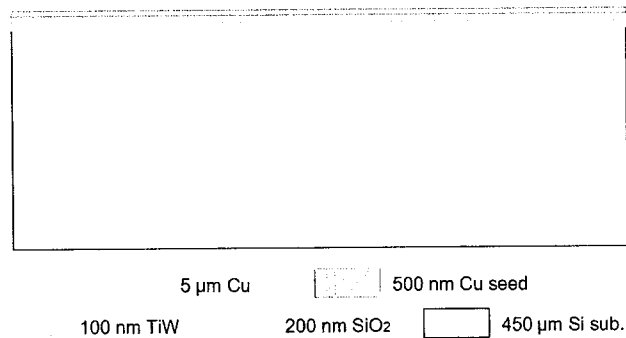


图 2.5 电镀铜膜结构示意图

Figure 2.5 Schematic plot of electroplated copper

铜布线层引入的翘曲/应力随温度变化的测量结果如图 2.6 所示。电镀完成之后的铜膜初始内应力为 75 MPa, 对应的晶圆翘曲曲率为 0.078 m^{-1} 。由于铜材料的屈服强度很低, 在第一个温度循环的加热过程中, 铜布线层首先经历了一个

短暂的弹性变形阶段 ($<60^{\circ}\text{C}$ 时), 然后迅速发生了塑性变形和应力松弛。当温度达到 200°C 时, 铜布线层内的压应力达到最大值。在这之后, 应力松弛速度大于热应力的增加速度, 使得铜布线层的压应力不断减小。在降温阶段, 样品内应力随温度的降低不断增大。由铜布线层和硅衬底 CTE 不匹配带来的热应力和应力松弛现象同时发生。这一阶段的应力-温度曲线近似成线性变化, 但明显小于弹性形变的斜率。当样品冷却至室温之后, 可以发现其内应力达到了 250 MPa , 相比电镀完成时增加了两倍多, 对应的晶圆翘曲也增大很多。

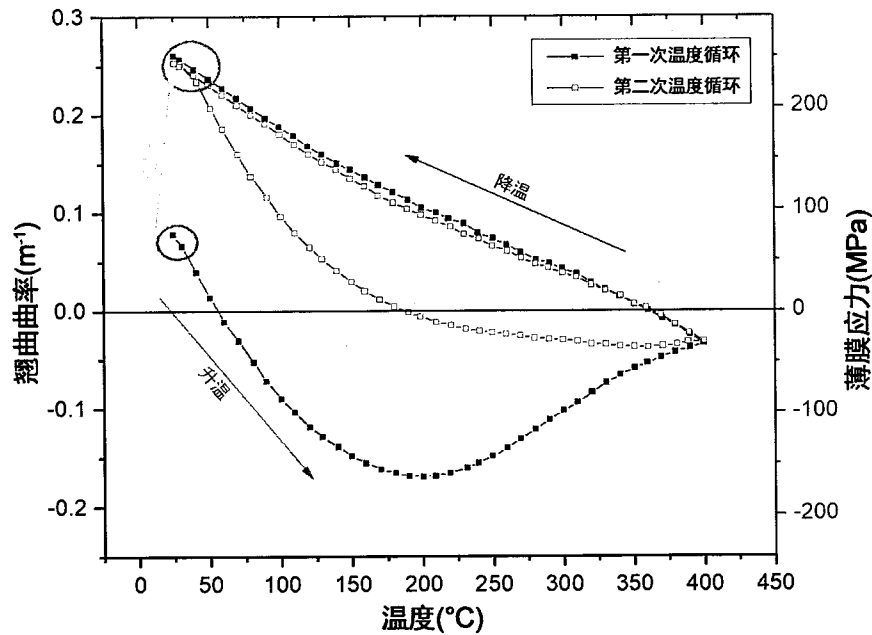


图 2.6 铜布线层引入翘曲/应力随温度演变曲线

Figure 2.6 Wafer warpage/Stress changes along with temperature

在第二次热循环过程中, 铜布线层内应力演变依然呈现“弹性变形+塑性变形”的规律。铜样品在经历短暂的弹性变形阶段之后, 紧接着发生了塑性变形。但是与第一次热循环中的加热过程不同的是此阶段并没有压应力迅速降低的现象产生。并且其降温阶段的曲线几乎与第一次温度循环中的降温曲线完全重合, 样品的室温翘曲几乎不发生变化。更为重要的是在第二次温度循环过程中, 铜布线层的应力演变曲线形成了回滞环。这也正是图 2.4 (b) 中产生回滞环的原因。如果继续重复测量电镀铜样品在室温至 400°C 温度区间内的应力/翘曲演变规律

的话，铜布线层的应力演变曲线将不断重复此回滞环。

电镀铜布线层在第一次热循环过程的应力演变正是带来上一节中第二层 PI 固化引起晶圆翘曲迅速升高的原因。因此这一阶段的晶圆翘曲演变机理值得深入研究。众多文献都着重研究第二次热循环过程中回滞现象的成因^[80-82]，但是却忽视了第一次热循环过程中铜布线层中的应力演变才是引起圆片级封装中晶圆翘曲增大的根本原因。

2.2.2 翘曲演变曲线的理论分析

由于电镀过程中，铜原子沉积速率较高，因此其内部晶粒尺寸较小，而且存在大量缺陷，结构很不稳定。因此在第一次热处理的升温过程中，铜布线层内部晶粒开始长大。晶粒长大速率和加热温度 T 及时间 t 都密切相关，并可通过以下经验公式计算^[83]：

$$d^{1/n} - d_0^{1/n} = K \cdot t \dots\dots\dots(2.2)$$

其中， n 为经验常数，取值介于 0.4~0.5 之间， d 是在经过 t 时间退火后的晶粒尺寸， d_0 是退火前的晶粒尺寸。 K 是与温度相关的速率函数。实验证明在全温度范围内， K 符合阿雷尼厄斯（Arrhenius）方程^[83]：

$$K = K_0 \cdot \exp\left(-\frac{Q_{\text{growth}}}{RT}\right) \dots\dots\dots(2.3)$$

其中， $R=8.314 \text{ J}/(\text{mol} \cdot \text{K})$ ， T 为绝对温度， K_0 和 Q_{growth} 都是常数。 Q_{growth} 代表晶粒生长的激活能。

晶粒长大使得在沉积过程中形成的晶界数量减小，晶粒内部的大量缺陷得到消除，从而降低了布线层所占据的整体体积。甚至由晶粒微结构演变带来的体积缩小抵消了铜布线层的热膨胀。由于此时布线层内部是压应力状态，其的体积缩小将释放掉大部分压应力。铜布线层的微结构演变随着温度的升高而不断加强，从而使布线层内的残余压应力在 400°C 时仅为 32 MPa 。当温度达到 400°C 之后，铜布线层的晶粒结构达到此温度下的稳定状态。如不继续提高加热温度的话，晶粒微结构将保持稳定，不再发生显著的体积缩小的现象。

在降温阶段，铜布线层内部微结构保持稳定，不再发生演变。但在初始的温度比较高的阶段，铜晶粒内部原子扩散系数比较高，在铜布线层内部由 CTE 不匹配产生的拉应力促使铜原子不断沿晶界或晶粒内部向衬底方向扩散，如图 2.7

(a) 所示, 从而释放掉了部分应力, 使降温阶段的斜率 (绝对值) 低于弹性变形的斜率。

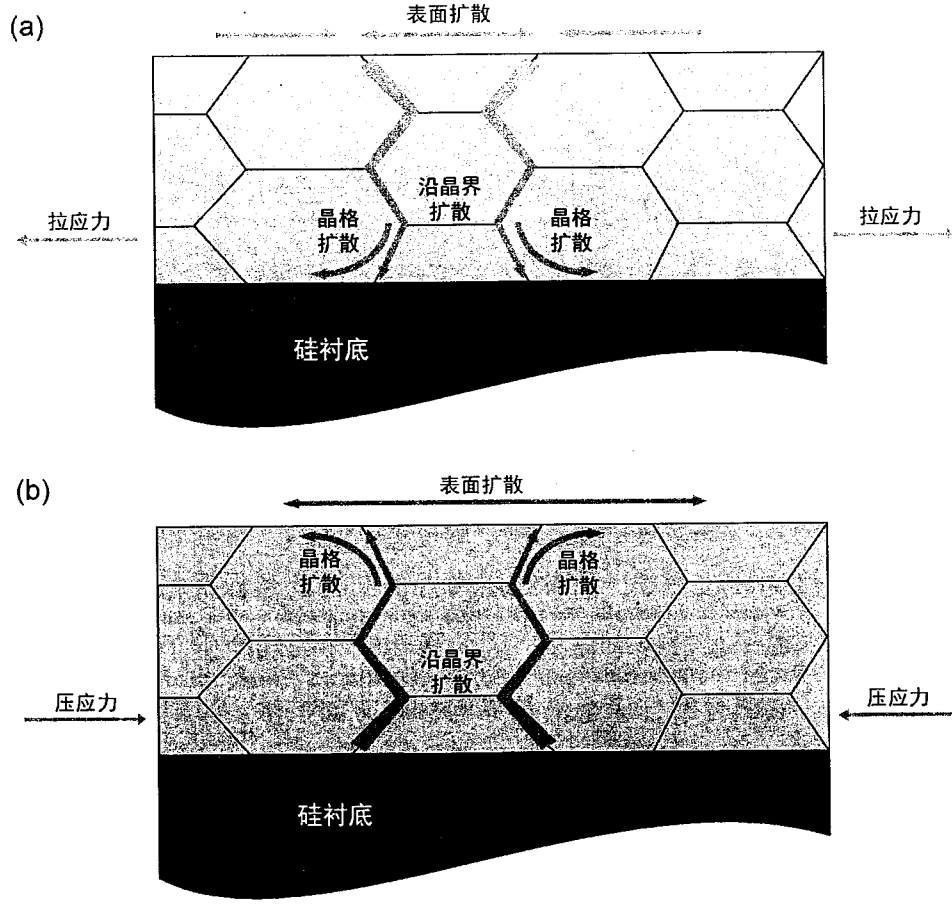


图 2.7 铜布线层在拉应力和压应力状态下的原子迁移方向示意图

Figure 2.7 Direction of atomic diffusion during tensile stress and compressive stress

原子沿晶界扩散引起的应力松弛 (Coble Creep) 应变速率 $\dot{\epsilon}_{GB}$ 满足^[84]:

$$\dot{\epsilon}_{GB} = A \frac{\sigma \Omega \delta_D D_{GB}}{k_B T d^3}, \quad D_{GB} = D_{GB0} \exp\left(-\frac{Q_{GB}}{RT}\right) \dots \dots \dots (2.4)$$

其中, A 是与晶粒形状有关的常数, σ 为布线层的应力, Ω 为原子体积, δ_D 为晶界宽度, D_{GB} 为扩散常数, $k_B T$ 是系统的热力学温度, d 为晶粒尺寸。原子沿晶粒内部扩散引起的应力松弛 (Nabarro-Herring Creep) 应变速率 $\dot{\epsilon}_{NH}$ 满足^[85]:

$$\dot{\epsilon}_{NH} = B \frac{\sigma \Omega D_L}{k_B T d^2}, \quad D_L = D_{L0} \exp\left(-\frac{Q_L}{RT}\right) \dots \dots \dots (2.5)$$

其中, B 是与晶粒形状、尺寸等有关的常数, D_L 是原子晶格自扩散系数。

随着温度的不断降低, 虽然原子扩散系数随之降低, 但铜布线层内部的应力不断增大, 驱动晶粒内部位错滑移和攀移, 使铜布线层的应力松弛继续发生并保持相当的水平。最终使降温阶段的应力-温度曲线呈现近似直线变化。由位错运动导致的应力松弛 (Dislocation Creep) 的应变速率 $\dot{\epsilon}_D$ 为^[86]:

$$\dot{\epsilon}_D = C \left(\frac{Gb}{kT} \right) \left(\frac{\sigma}{G} \right)^n \left(\frac{b}{d} \right)^p D, \quad D = D_0 \exp \left(-\frac{Q}{RT} \right), \quad n = 5 \sim 7 \quad \dots\dots\dots(2.6)$$

其中, C 为常数, G 为材料剪切模量, b 为位错柏氏矢量, n 为应力项指数, p 为晶粒尺寸项指数, D 为原子扩散系数。

由图 2.6 可以发现, 冷却至室温之后的铜布线层翘曲较热处理之前增加了两倍以上。以上对翘曲演变机理的分析为降低由铜布线层引入的翘曲提供了思路: 通过限制铜布线层在热处理过程中的晶粒微结构演变来控制应力松弛的程度。

在第二次温度循环过程中, 铜布线层内部微结构依然保持稳定。在加热过程中的低温阶段, 铜原子扩散速率较小, 因此最初铜布线层产生了弹性变形。由于此阶段应力较大, 依旧有部分原子沿晶界向衬底方向扩散, 加剧了热膨胀带来的失配, 使得部分样品中此阶段的斜率 (绝对值) 甚至大于弹性应变斜率^[87]。随着温度的进一步升高, 铜原子扩散系数随着升高, 而促使铜原子向衬底扩散的驱动力不断降低, 从而铜布线层内部产生了塑性变形。当布线层内部应力转换为压应力之后, 扩散系数也随着温度的升高不断增大, 铜原子倾向于向布线层表面方向扩散, 如图 2.7 (b) 所示, 因此释放了一部分热应力, 使应力-温度曲线趋于平缓。但是由于没有发生剧烈的结构演变, 因此也没有产生如第一次热循环中的压应力下降的现象。第二次温度循环的降温阶段将重复第一次温度循环降温阶段的原子扩散过程, 使得两条曲线基本重合。所以回滞环的产生的原因是铜原子在热循环过程中发生了可逆的扩散运动。

2.2.3 加热开始阶段的应变弛豫

在如图 2.6 所示的铜布线层应力-温度演变曲线中观察到一个奇怪的现象: 在每一次升温的开始阶段, 都会有一个阶段的曲线斜率 (绝对值) 低于弹性变形阶段的斜率。而在降温阶段, 没有类似现象发生。在文献报道的应力-温度曲线中也发现了类似现象^[88-91]。造成这一现象的原因值得深究。

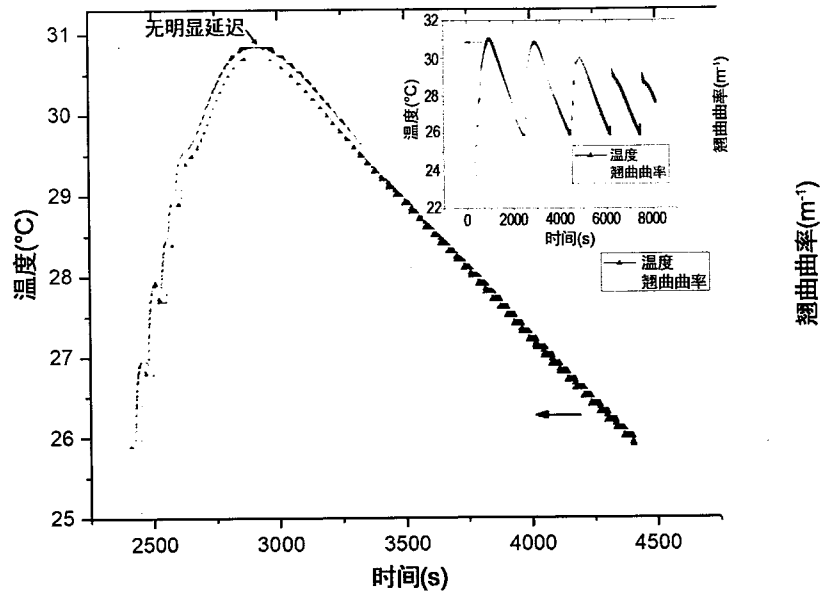


图 2.8 晶圆翘曲和温度随时间变化曲线

插图为完整的测试曲线，加热速率为 $0.66^{\circ}\text{C}/\text{min}$ 。

Figure 2.8 Warpage and temperature changes along with time

The inset is the whole thermal profile, and the heating rate is about $0.66^{\circ}\text{C}/\text{min}$.

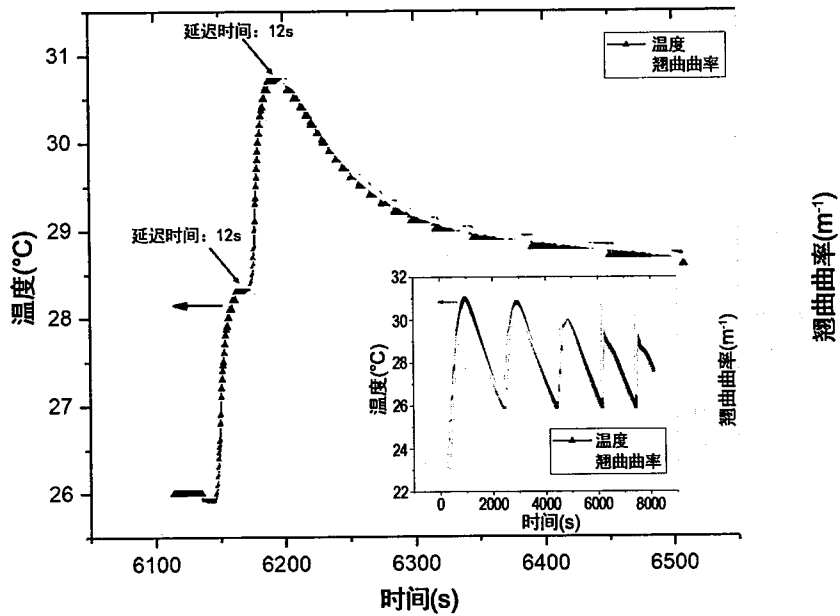


图 2.9 晶圆翘曲和温度随时间变化曲线

插图为完整的测试曲线，加热速率为 $5^{\circ}\text{C}/\text{min}$ 。

Figure 2.9 Warpage and temperature changes along with time

The inset is the whole thermal profile, and the heating rate is about $5^{\circ}\text{C}/\text{min}$.

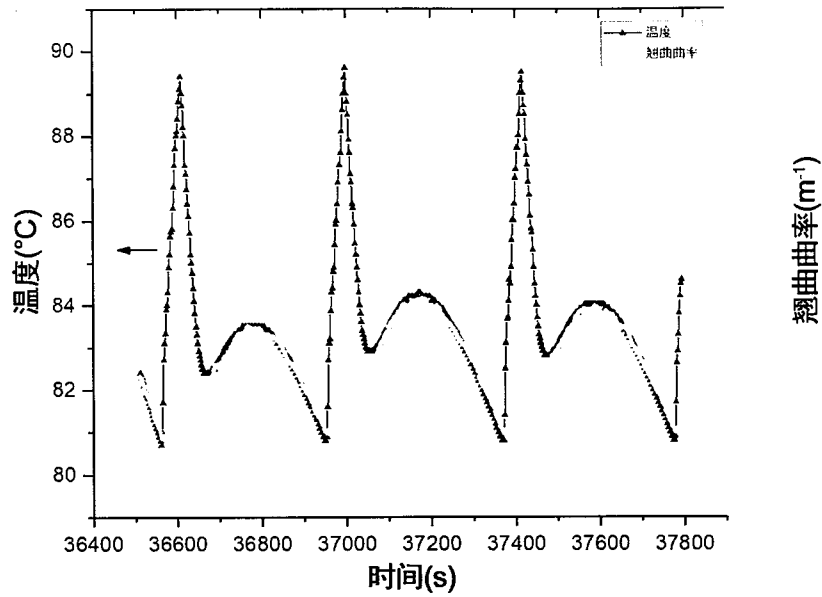


图 2.10 晶圆翘曲和温度随时间变化曲线

加热速率为 $10^{\circ}\text{C}/\text{min}$ 。

Figure 2.10 Warpage and temperature changes along with time

The ramp rate is $10^{\circ}\text{C}/\text{min}$.

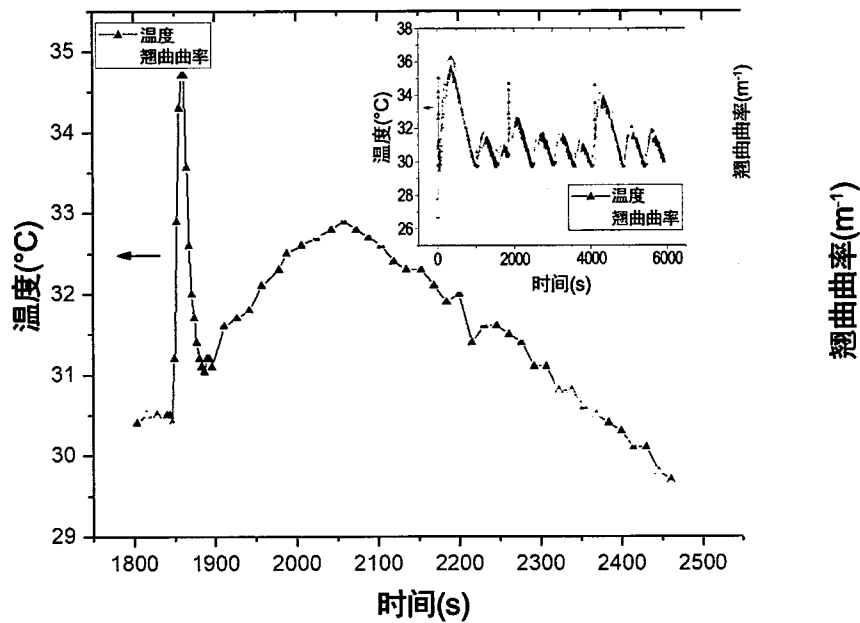


图 2.11 晶圆翘曲和温度随时间变化曲线

插图为完整的测试曲线，加热速率为 $20^{\circ}\text{C}/\text{min}$ 。

Figure 2.11 Warpage and temperature changes along with time

The inset is the whole thermal profile, and the heating rate is about $20^{\circ}\text{C}/\text{min}$.

为此我们研究了电镀铜布线层样品在这一温度范围内的应力-温度响应。温度变化速率为 $0.66^{\circ}\text{C}/\text{min}$, $5^{\circ}\text{C}/\text{min}$, $10^{\circ}\text{C}/\text{min}$ 和 $20^{\circ}\text{C}/\text{min}$ 情况下的翘曲演变曲线分别如图 2.8~图 2.11 所示。当温度变化速率为 $0.66^{\circ}\text{C}/\text{min}$ 时, 样品的翘曲完全随着温度曲线的变化而变化, 两者之间没有明显的延迟。当温度变化速率提高到 $5^{\circ}\text{C}/\text{min}$ 后, 可以发现虽然翘曲和温度升高的起点相互重合, 但是翘曲的峰值和温度的峰值之间出现了 12 s 左右的延迟。这说明此时铜布线层的变形已经不能跟上温度的变化。进一步提高温度变化速率到 $10^{\circ}\text{C}/\text{min}$ 之后, 这一现象更为明显。快速升温阶段, 铜布线层中没有发生完全的弹性变形。在温度变化 8.7°C 的情况下, 铜布线层的翘曲仅仅增加了 $4.07 \times 10^{-3} \text{ m}^{-1}$ 。而根据式(2.1), 这阶段的翘曲变化应该达到 $3.2 \times 10^{-2} \text{ m}^{-1}/^{\circ}\text{C}$ 。即在快速加热时, 仅仅发生了 14% 的弹性变形之后, 铜布线层的翘曲又随温度的下降迅速降低。图 2.11 显示了温度变化速率为 $20^{\circ}\text{C}/\text{min}$ 时的铜布线层翘曲和温度分别随时间变化的图像。从图中可以看到铜布线层几乎没有对温度变化做出反应。而在随后的较慢的温度变化时, 铜布线层翘曲随之一同变化。

铜布线层中产生的应变弛豫特性可以通过 Koehler-Granato-Lücke (KGL) 理论进行解释^[92]。如图 2.12 所示, 最初铜布线层内部的位错被多个杂质原子等缺陷钉扎。位错线两端为强钉扎, 不能脱钉。在向铜布线层内部施加的热应力较低时, 被钉扎的位错首先发生了弓出的现象, 这种位错的运动受到限制, 在总体上发生的应变比较小。而当施加的应力比较大时, 被弱钉扎的位错发生滑移, 从而形成宏观的较大的应变。当逐渐撤去施加的应力, 位错逐渐回到原来位置。由此使得铜布线层的应力-应变曲线呈现如图 2.12 (b) 所示的变化。

在本实验中, 铜布线层温度的变化值仅为 5°C 左右, 由此引起的热应力也仅有 12 MPa。这一应力仍不足以使得位错脱离弱钉扎, 因此布线层内部只发生了图 2.12 中的 a)~c) 过程。由于此过程中的位错运动是强迫阻尼振动, 从而与温度变化速率相关^[93,94]。当温变速率过快时, 位错滑移跟不上应力的变化, 从而产生了应变弛豫。上述现象解释了图 2.6 中在升温开始阶段的应力-温度曲线斜率 (绝对值) 比弹性斜率偏低的现象。而在降温阶段, 位错已经脱离弱钉扎开始滑移, 即处于图 2.12 中的 e)~g) 过程。这一过程是与频率无关的过程, 如图 2.12 (b) 所示, 此阶段斜率没有产生变化, 因此也不会应力-应变曲线上表现出斜率 (绝对值) 偏低的现象。

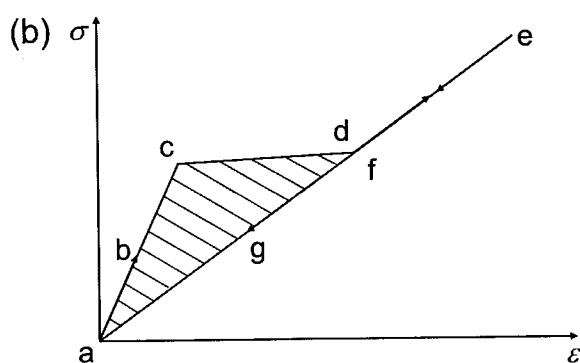
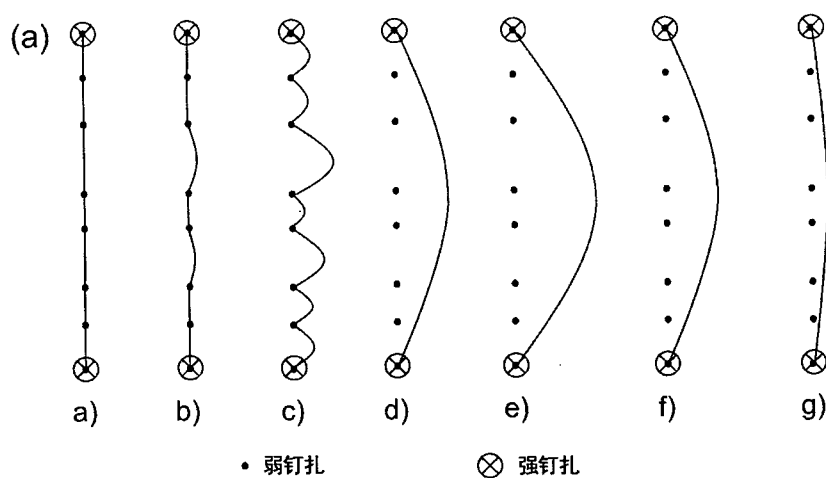

 图 2.12 KGL 理论示意图^[93]

 Figure 2.12 Schematic plot of the KGL theory^[93]

2.3 热处理中铜布线层翘曲演变的影响因素

从上节中对翘曲演变机理的分析可以发现，各机理均与原子扩散密切相关，而原子扩散是一个弛豫过程，会受到应力和温度等多种条件的影响。因此热处理过程中的最高加热温度、温度变化速率等参数均会对铜布线层的应力演变产生影响。另外研究铜布线层在恒温条件下的应力松弛现象对完整理解其对晶圆翘曲的影响也十分重要。

2.3.1 最高加热温度对翘曲演变的影响

热处理温度对电镀铜布线层中的微结构演化和各种扩散机理有决定性影响，因此需要研究加热温度对翘曲变化的影响。由于电镀铜层在第一次和以后的热处理时的翘曲演变有区别，因此我们进行了两组实验，分别研究了最高加热温度对第一次和第二次热处理过程的影响。

2.3.1.1 第一次温度循环

电镀完成的样品经历了室温 $\rightarrow 100^{\circ}\text{C} \rightarrow 30^{\circ}\text{C} \rightarrow 200^{\circ}\text{C} \rightarrow 30^{\circ}\text{C} \rightarrow 300^{\circ}\text{C} \rightarrow 30^{\circ}\text{C} \rightarrow 400^{\circ}\text{C} \rightarrow 30^{\circ}\text{C} \rightarrow 400^{\circ}\text{C} \rightarrow 30^{\circ}\text{C}$ 的温度过程，温度变化速率为 $10^{\circ}\text{C}/\text{min}$ 。实验的热处理曲线和测量结果分别如图 2.13 所示，图中翘曲演变曲线和热处理曲线的图例在各阶段一一对应。

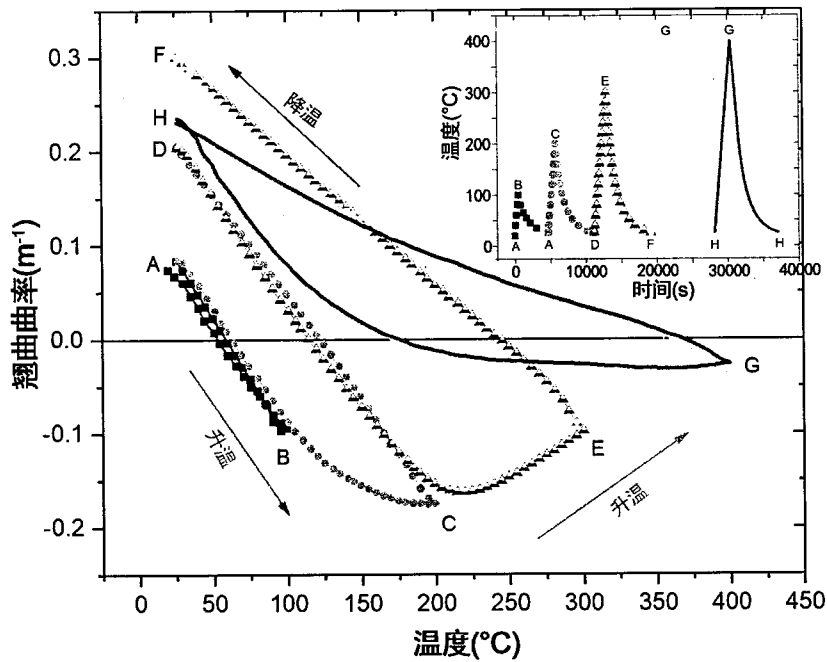


图 2.13 翘曲随温度演变曲线及插图中的热处理曲线

Figure 2.13 Wafer warpage evolution with the inset of temperature profile

从图像中可以发现样品的最终室温翘曲和热处理温度密切相关。在退火温度为 100°C 的循环中（实心方块， $A \rightarrow B \rightarrow A$ ），除升温开始阶段外，铜布线层呈线弹性变化，室温翘曲基本保持不变。当退火温度提高至 200°C 后（实心圆形， $A \rightarrow C \rightarrow D$ ），样品在升温阶段发生了塑性变形和应力松弛。并且在降温阶段，也发生了应力松弛现象，并导致样品的室温翘曲曲率增大至 0.3 m^{-1} ，大约为电镀完成时的三倍左右。继续提高热处理温度至 300°C （下填充三角， $D \rightarrow E \rightarrow F$ ），样品首先沿弹性变形的曲线演变，温度到达 200°C 之后，在高温和晶粒生长的作用下发生应力松弛。冷却过程中的翘曲演变曲线已经偏离弹性变形的斜率，说明在布线层内部发生了程度更大的应力松弛。最终，样品室温翘曲进一步升高到 0.34 m^{-1} 。而当其退火温度进一步升高至 400°C 之后（实心倒三角， $F \rightarrow G \rightarrow H$ ），样品的最

终室温翘曲反而较退火至 300°C 的情况有所降低。这是由于在样品从 400°C 温度冷却时，应力松弛现象更明显，使得 GH 段的斜率明显小于 EF 段，从而降低了室温翘曲。这一现象提醒我们要谨慎选择样品的退火温度，在一些情况下，单纯的降低退火温度并不一定会使晶圆翘曲降低。再次进行 400°C 的热处理（深红线条， $\text{H} \rightarrow \text{G} \rightarrow \text{H}$ ），样品的室温翘曲不再发生改变，并且形成了闭合的滞回曲线。

最终，图 2.13 中退火曲线构成的 ABCEGH 各点构成的轮廓和图 2.6 中的连续曲线一致。电镀铜布线层在第一次退火循环的最高温度决定了样品中的微结构演变和晶粒长大的程度，也决定了其在降温过程时的应力松弛程度。

2.3.1.2 第二次温度循环

电镀铜布线层在经过第一次热循环之后再次调整热处理温度的翘曲演变曲线如图 2.14 所示。翘曲演变曲线和热处理曲线的图例在各阶段一一对应。从图中可以看出，当样品在 400°C 条件下退火之后，再次调整退火温度几乎对圆片翘曲没有任何影响。和上节类似的是，越高的热处理温度将会使得样品在降温过程中的翘曲-温度曲线的斜率（绝对值）越小，即应力松弛程度越高。再次重复调整热处理温度从 $100^{\circ}\text{C} \sim 400^{\circ}\text{C}$ 变化之后的翘曲随温度演变曲线如图 2.15 所示。此时翘曲演变基本重复了其在第二次热循环时的演变规律。

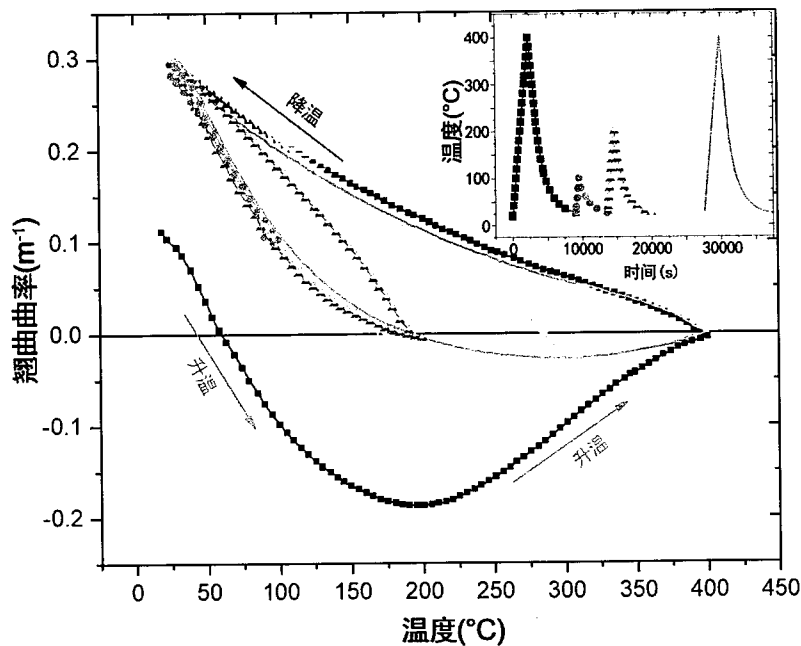


图 2.14 第二次热循环中翘曲随温度演变曲线

Figure 2.14 Wafer warpage evolution during the 2nd thermal cycle

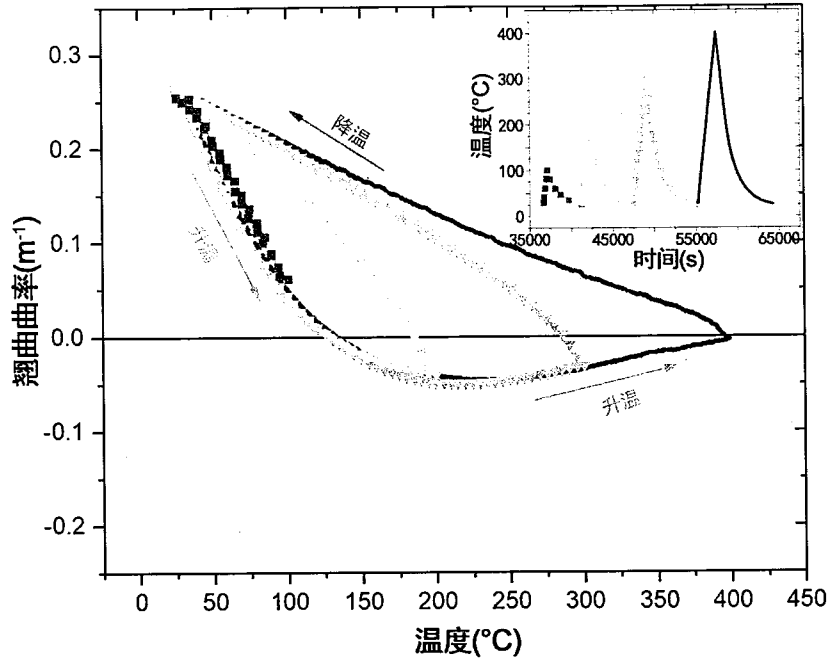


图 2.15 第三次热循环中翘曲随温度演变曲线

Figure 2.15 Wafer warpage evolution during the 3rd thermal cycle

2.3.1.3 加热温度和降温阶段应变松弛的关系

铜布线层内应力 σ 和应变松弛 ε_{relax} 的关系满足^[95]:

$$\Delta\sigma = M_{Cu} \cdot \Delta\alpha \cdot \Delta T + M_{Cu} \cdot \varepsilon_{relax} \quad \dots\dots\dots(2.7)$$

其中 $M_{Cu} = E_{Cu} / (1 - \nu_{Cu})$ 为铜的双轴模量, $\Delta\alpha = \alpha_{Si} - \alpha_{Cu}$ 。结合 Stoney 公式, 并且两边同时对温度求导可得翘曲-温度曲线斜率和应变松弛速率 $\dot{\varepsilon}_{relax}$ 的关系:

$$\dot{\varepsilon}_{relax} = \frac{dT}{dt} \left(-\Delta\alpha - \frac{1}{6} \cdot \frac{M_{Si}}{M_{Cu}} \cdot \frac{h_s^2}{h_f} \cdot |k| \right) \quad \dots\dots\dots(2.8)$$

其中 $M_{Si} = E_{Si} / (1 - \nu_{Si})$ 为硅的双轴模量, 采用线性拟合方法对图 2.13~图 2.15 中的降温阶段的翘曲-温度曲线进行拟合得到的其斜率绝对值 $|k|$ 及应变松弛速率 $\dot{\varepsilon}_{relax}$, 如表 2.2 所示。

通过图 2.16 可以直观地发现降温过程中的应变松弛速率和最高加热温度的对应关系。当加热温度大于 100°C 后, 随着最高加热温度的上升, 应变松弛速率也不断升高, 铜布线层内的应力松弛更为明显。在第一次热循环过程中, 应变松弛速率基本随着加热温度的上升线性变化, 而在随后的热循环过程中, 应变松弛速率的增长呈现先快后慢的趋势。并且应变松弛速率随着加热循环的重复也不断

小幅上升。

表 2.2 降温阶段翘曲-温度曲线斜率绝对值及对应的应变松弛速率

Table 2.2 Slope of warpage- T curve and the corresponding rate of strain relaxation

	$ k _{T=100}$ MPa/°C	$\dot{\varepsilon}_{T=100}$ $\times 10^{-6}/s$	$ k _{T=200}$ MPa/°C	$\dot{\varepsilon}_{T=200}$ $\times 10^{-6}/s$	$ k _{T=300}$ MPa/°C	$\dot{\varepsilon}_{T=300}$ $\times 10^{-6}/s$	$ k _{T=400}$ MPa/°C	$\dot{\varepsilon}_{T=400}$ $\times 10^{-6}/s$
第一次热循环	2.49	0	2.09	0.40	1.35	1.14	0.70	1.79
第二次热循环	2.48	0	1.64	0.84	1.12	1.36	0.79	1.69
第三次热循环	2.48	0	1.44	1.04	0.94	1.54	0.70	1.78

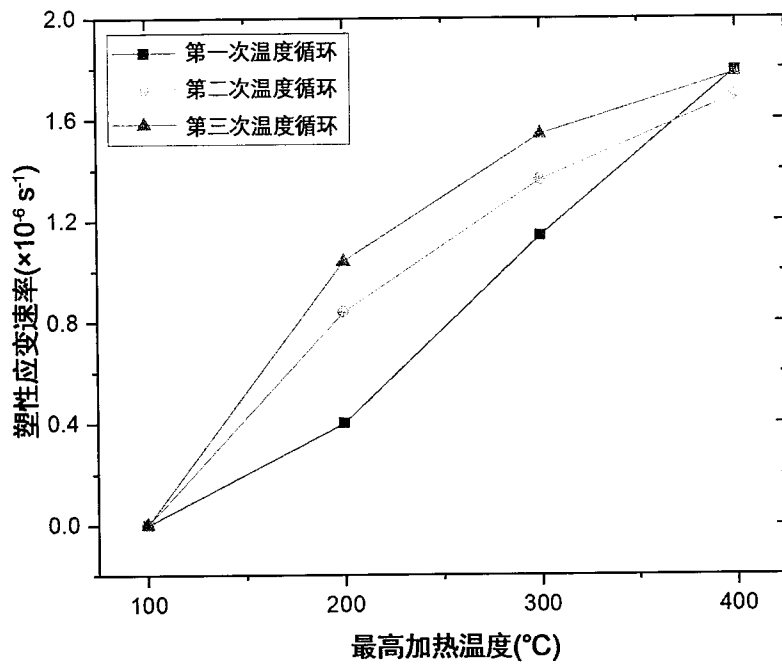


图 2.16 塑性应变速率随最高加热温度的变化

Figure 2.16 Rate of strain relaxation changes along with the highest heating temperature

2.3.2 温度变化速率对翘曲演变的影响

图 2.17 显示了温度变化速率对翘曲演变的影响，由于第一次热循环翘曲的特殊性，因此第一次温度循环测量结果没有显示。图中相关数据是发生在第一次

热循环之后的测量结果,此时电镀铜的微结构已经稳定。图中黑、红、蓝、绿分别代表了温度变化速率为 $2^{\circ}\text{C}/\text{min}$ 、 $5^{\circ}\text{C}/\text{min}$ 、 $10^{\circ}\text{C}/\text{min}$ 、 $20^{\circ}\text{C}/\text{min}$ 的翘曲演变曲线。从图中可以发现,翘曲演变的整体轮廓变化不大,尤其室温样品的室温翘曲没有发生变化。

下面详细分析图中各段的翘曲演变行为与温度变化速率的关系:在升温阶段,样品在室温至 100°C 阶段的翘曲演变曲线几乎重合,翘曲演变的区别开始发生在 100°C 之后。在温度和压应力下发生的原子扩散距离和扩散时间密切相关,在温度变化速率不断提高时,原子扩散距离就不断变短,从而使得塑性变形和应力松弛更小。在降温的初始阶段,翘曲-温度曲线的斜率(绝对值)也随着温变速率的不断提高而变大。但是由于在降温的后期,随着温度的下降,降温速率也不断减小,从而给了铜布线层足够的时间完成应力松弛。因此使得各条件下样品翘曲-温度斜率相差不大,最终降至室温时的圆片翘曲也几乎没有发生变化。温度变化速率对翘曲演变曲线整体的影响为:随着温度变化速率的不断提高,曲线围成的回滞环面积不断提高。

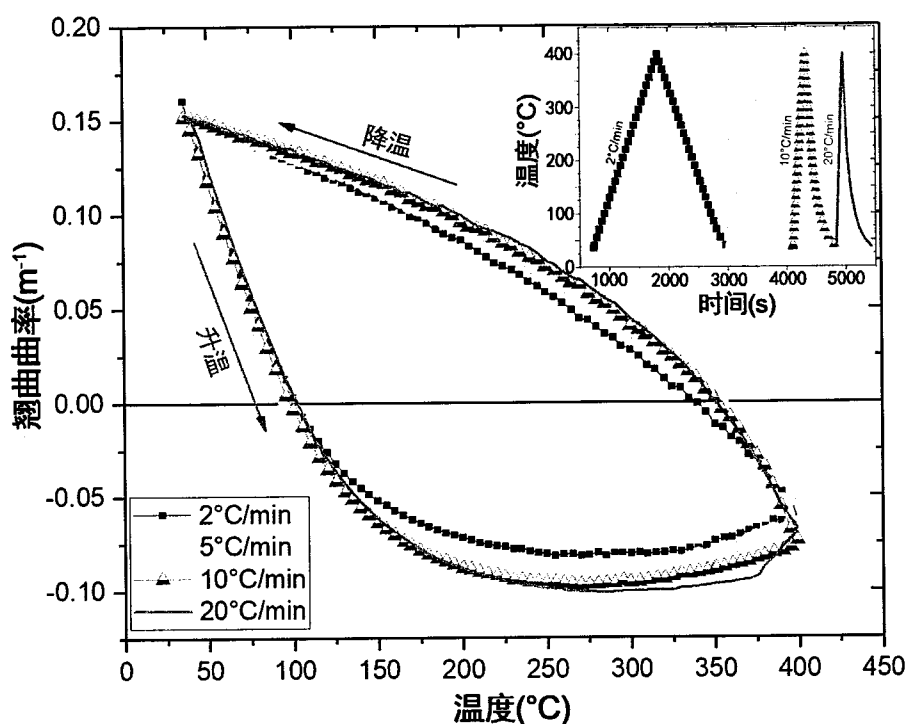


图 2.17 温度变化速率对翘曲演变的影响

Figure 2.17 Effect of ramp rate on warpage evolution

2.3.3 恒温处理对翘曲演变的影响

在进行翘曲测试时,将电镀完成的样品在某一温度恒温处理一段时间,将不会改变翘曲演变的整体趋势。将样品以 $10^{\circ}\text{C}/\text{min}$ 的速率从室温升温至 300°C ,并恒温处理 43 小时,然后继续升温至 400°C ,随后降至室温。我们实时测量了样品的翘曲随温度变化的演变曲线,如图 2.18 所示,插图为温度和晶圆翘曲随时间的变化曲线。图中可以看出在恒温处理时,铜布线层内的压应力发生了显著下降。并且,恒温处理的后期压应力转换为拉应力。这一现象是 2.2.2 节中所述的晶粒内部发生微结构演变并导致体积收缩的有力证明。如果晶粒内部不发生体积收缩,则仅靠原子扩散等机理导致的应力松弛只可能释放部分应力,而不能改变应力的方向。在长达 43 小时的恒温处理过程中,晶粒长大和微结构演变已经达到此温度条件下的极限,使得铜布线层总体积达到最小,从而释放了全部压应力并且在布线层内部产生了拉应力。

在恒温处理结束并继续升温时,CTE 不匹配产生的热应力使得铜布线层继续变形,拉应力重新演变为压应力。当温度达到 375°C 之后,铜布线层在此温度下重新产生晶粒生长,并且电镀铜的翘曲-温度曲线也重新回到了原来的曲线上。降温时的曲线斜率也与没有恒温处理的样品基本相同。

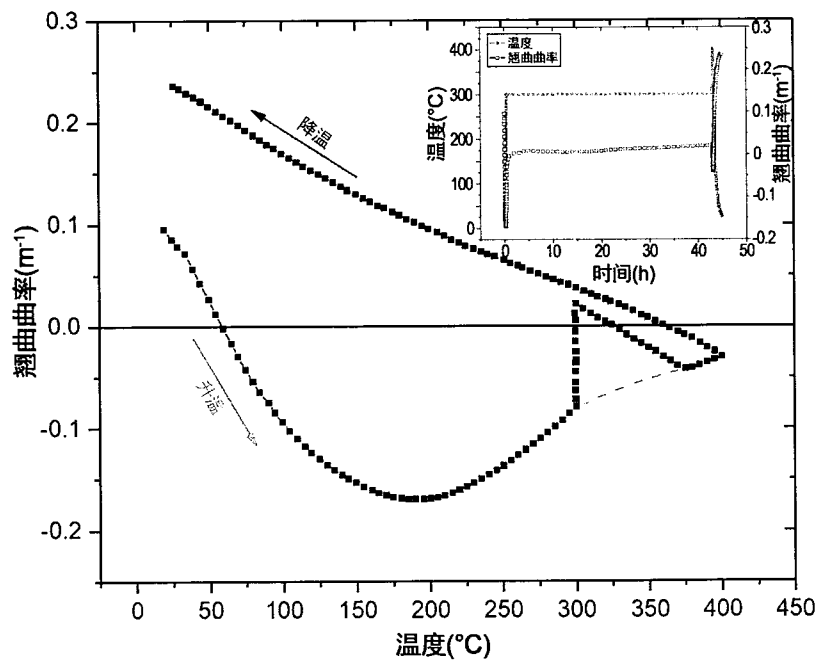


图 2.18 恒温处理对翘曲演变的影响

Figure 2.18 Effect of isothermal on wafer warpage evolution

为了进一步研究温度对电镀铜样品应力松弛现象的影响,我们另外将样品于 100°C 条件下进行了恒温处理并实时测量了其翘曲随时间的变化趋势。图 2.19 中仅分别截取了铜布线层在 100°C 和 300°C 恒温处理开始之后的测量数据,并对测量数据进行了拟合。由图 2.19 中的拟合曲线可以发现,采用单项指数函数拟合时,在开始的快速应力松弛阶段,拟合结果与测量结果差异较大。为了获得更精确的拟合结果,本节采用两项指数函数和的方程进行了拟合^[82,90],方程表达式为:

$$\sigma = \sigma_{\infty} - \Delta\sigma_1 \cdot \exp\left(-\frac{t}{\tau_1}\right) - \Delta\sigma_2 \cdot \exp\left(-\frac{t}{\tau_2}\right) \dots\dots\dots(2.9)$$

其中, σ_{∞} 为应力松弛的渐近线,即最终铜布线层的内应力。 τ_1 和 τ_2 分别为两指数项的时间常数,分别表示较慢和较快的应力松弛项。图 2.19 显示了样品在 100°C 和 300°C 恒温条件下,采用两项指数函数方程的应力松弛的拟合结果。拟合曲线和测量结果的相关性很好。在两拟合结果中,较慢项的时间常数 τ_1 均比较快项的时间常数 τ_2 大一个数量级。横向比较不同条件下的应力松弛拟合方程,可以发现 300°C 时快速应力松弛项的时间常数 τ_2 仅为 100°C 条件下的一半左右,并且 300°C 时铜布线层中整体松弛的应力 $\Delta\sigma_1 + \Delta\sigma_2$ 是 100°C 条件下的两倍。

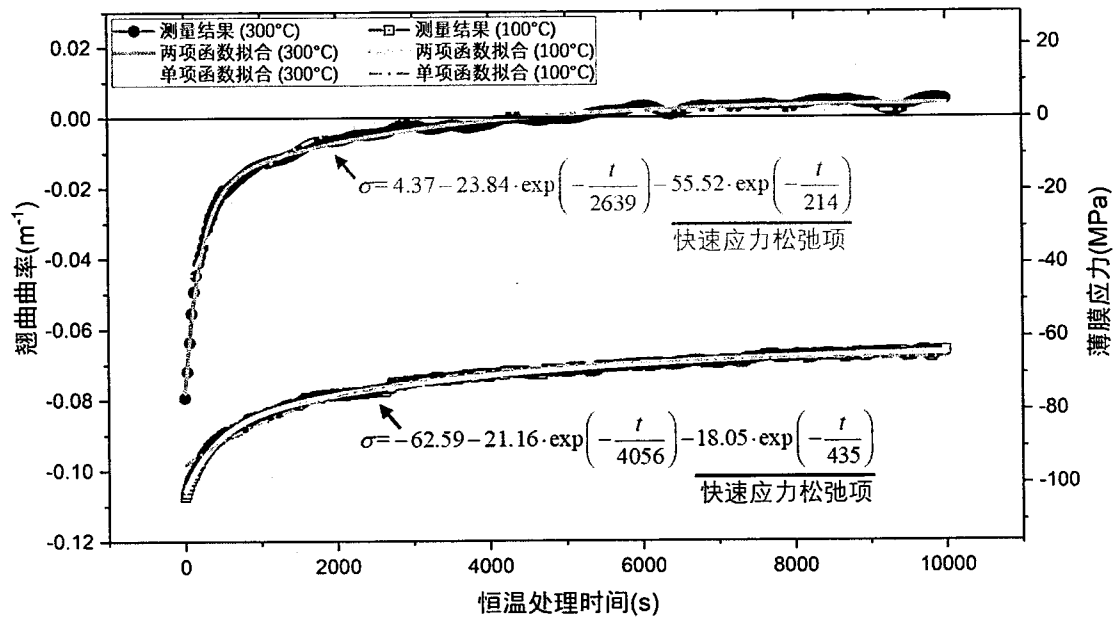


图 2.19 铜布线层在 300°C 和 100°C 恒温处理时的应力松弛曲线

Figure 2.19 Stress relaxation of copper during isothermal annealing at 300°C and 100°C

根据原子扩散理论，应力松弛的时间常数 τ 满足：

$$\tau \propto kT \cdot \exp\left(\frac{Q_{eff}}{kT}\right) \dots\dots\dots (2.10)$$

据此可以推算出在此条件下的铜原子自扩散激活能约为 10 kJ/mol，此值显著小于文献报道铜金属中的原子自扩散激活能^[96-98]。一方面这是因为电镀铜布线层厚度仅为 5 μm ，因此在厚度方向仅有几层晶粒，这大大加快了原子沿晶界的扩散速度。另一方面，在电镀制备的布线铜层中存在大量缺陷，晶粒尺寸也比较小，为原子扩散提供了更多短路通道。这些原因使得铜布线层的扩散激活能显著小于文献报道的数值。

2.4 翘曲演变机理

综合前文对铜布线层翘曲演变规律的研究，本节对翘曲演变中回滞环的成因进行分析，并总结各阶段内的应力松弛和塑性变形的机理。

2.4.1 塑性滞后

金属材料在变形过程中会产生两种机理不同的回滞曲线，分别为弹性滞后和塑性滞后两种^[99, 100]。弹性滞后或者滞弹性产生的原因，是由于在弹性范围内应变落后于应力变化。如图 2.20 (a) 所示，在对其进行加载时，由于应变落后于应力的变化，使得在加载初期，应力增加时，应变增加值比较小；加载后期，两者变化速率达到平衡，从而呈现线性变化。在逆向加载时，情况相似，从而形成了滞回线。滞弹性内耗的特点是回线面积与振动频率的关系很大，但与振幅无关。如果实验时应力的加载和卸载都非常缓慢，即使是滞弹性材料也不会产生滞回线。而塑性滞后（又称静滞后）情况则不同，如图 2.20 (b) 所示，加载时材料首先产生弹性变形，随后达到弹性极限之后发生塑性变形。逆向加载时，也是首先产生弹性变形，随后发生塑性变形，从而形成滞回线。塑性滞后的特点是滞回线面积与加载速率无关，而与振幅有关。

在 2.3.1 小节中，我们发现最高加热温度（即振幅）对翘曲演变曲线形成的滞回环面积影响很大。而在 2.3.2 小节中，虽然曲线滞回线面积随着温度变化速率的升高有少许上升，但是总体来讲，其对滞回线面积的影响不大。另外铜布线层在温度和应力的共同作用下发生的蠕变也可以解释温度变化速率对滞回线面

积的影响,蠕变也是与速率相关的弛豫过程。因此,综合前文对铜布线层翘曲演变规律的总结,铜布线层产生的滞回线属塑性滞后,布线层内产生了可逆的塑性变形和蠕变过程。

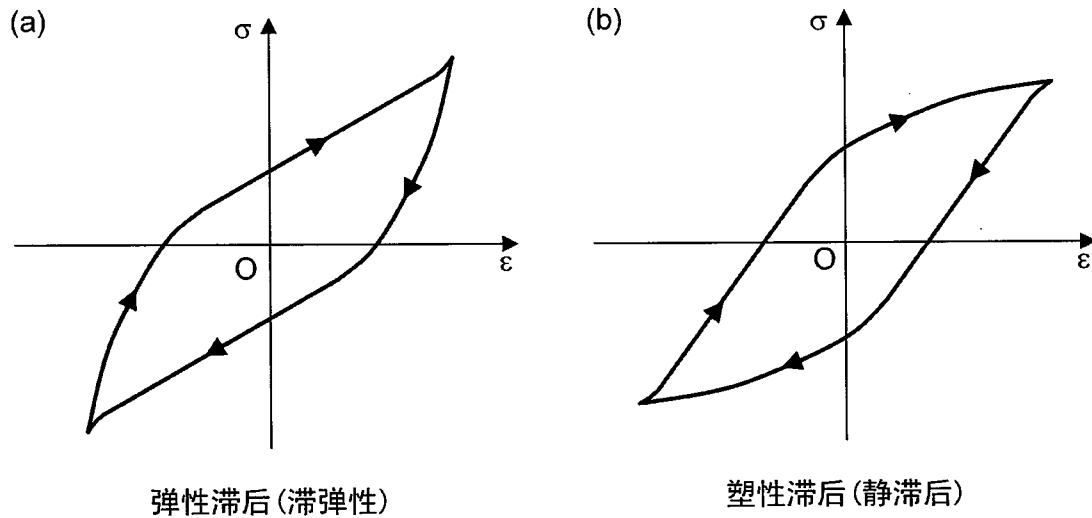


图 2.20 弹性滞后和塑性滞后的应力-应变曲线^[99]

Figure 2.20 Stress-strain curve of elastic hysteresis and static hysteresis^[99]

2.4.2 翘曲演变机理总结

综合前述内容,我们对电镀铜布线层在室温至 400°C 温度区间内的翘曲演变有了一个相对完整的认识。图 2.21 为铜布线层在经过室温→400°C→30°C→400°C→30°C→300°C→30°C 的热处理过程时的翘曲随温度的演化曲线,热处理过程的升降温速率为 $\pm 10^\circ\text{C}/\text{min}$ 。分段对该曲线进行分析,可以勾勒出铜布线层翘曲演变模型的基本轮廓:

AB 段和 A'B'段: 应变弛豫阶段。由于 2.2.3 节中阐述的应变弛豫现象,这一阶段的曲线斜率(绝对值)低于弹性变形阶段。

BC 段和 B'C'段: 弹性变形阶段。铜布线层在热应力作用下发生了弹性变形。由于此阶段温度比较低,因此没有产生明显的应力松弛现象。

CDE 段: 微结构演变驱动的应力松弛阶段。在较高的温度和应力作用下,铜布线层产生应力松弛。同时在加热过程中,铜晶粒开始长大,铜布线层体积的减小使得铜布线层中的压应力得以松弛,并且在加热后期应力松弛的速率远远大于

热应力的上升速率。铜布线层内的压应力逐渐下降。

EF 段和 GF 段：高温驱动的应力松弛阶段。此阶段应力松弛的主要驱动力是高温。此时原子扩散系数较高，原子在拉应力的作用下不断向衬底方向扩散释放了部分热应力。由于 GF 段温度低于 EF 段，因此应力松弛较小，从而翘曲-温度曲线的斜率（绝对值）比较高。

FA'段：高应力驱动的应力松弛阶段。此阶段应力松弛的主要驱动力是铜布线层内部较高的拉应力，原子在拉应力的驱动下继续向衬底方向扩散，从而释放了部分热应力。

C'E 段和 C'G 段：塑性变形阶段。和 CD 段类似，铜布线层在温度和应力的多重作用下产生了塑性变形。

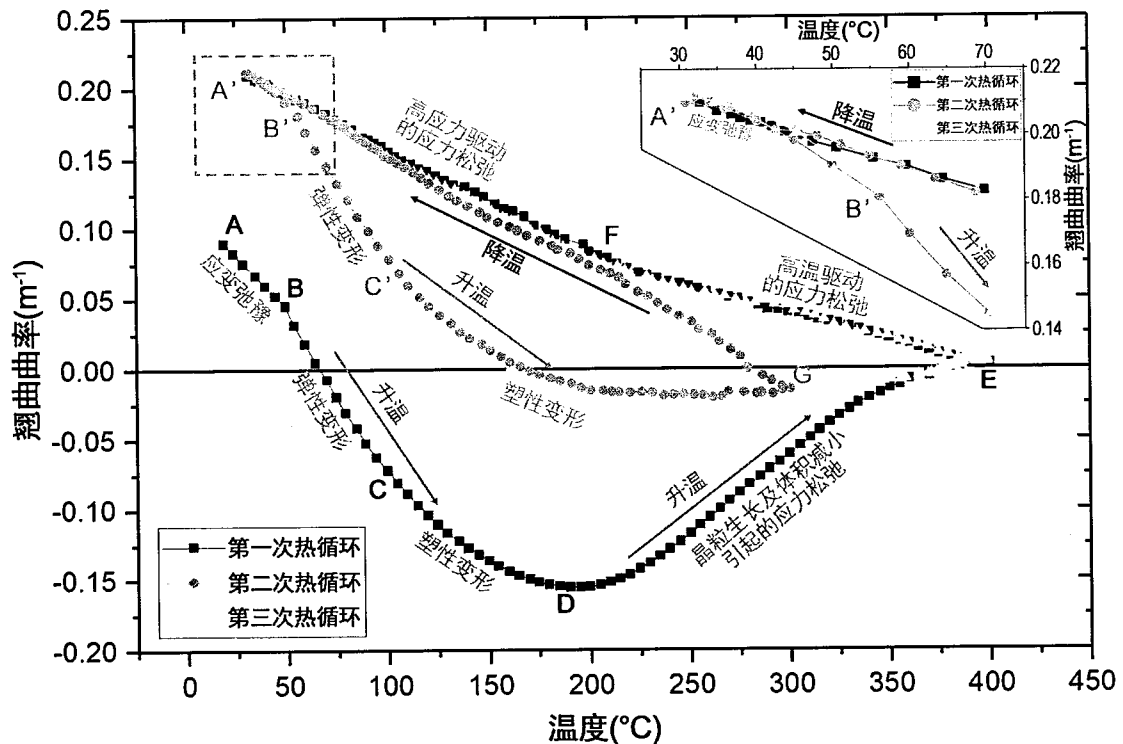


图 2.21 铜布线层在热处理过程中各阶段变形机理

Figure 2.21 Deformation mechanisms of copper film at different stages of thermal process

2.5 本章小结

本章首先介绍了圆片级封装中晶圆翘曲随工艺演变的趋势，厘清了铜布线层和 PI 介质层对晶圆翘曲影响的比例。由于铜布线层的杨氏模量比 PI 介质层大很

多,并且电镀铜布线层在热处理过程中产生了非常复杂的微结构演变和塑性变形,导致相同厚度的铜布线层是PI介质层对翘曲影响的3倍左右。随后,本章详细研究了电镀铜布线层在热处理过程中的演变规律,分阶段介绍了铜布线层塑性变形机理以及铜布线层在加热初始阶段表现出的应变弛豫特性。本章随后对铜布线层内应力的影响因素进行了研究。铜布线层的室温翘曲和最高的热处理温度密切相关,但是两者并不是正相关。将铜布线层的热处理温度从300℃提高到400℃有可能降低其室温翘曲和内应力。温度变化速率对翘曲演变也有影响,但是并不会显著改变铜布线层的室温翘曲。铜布线层在恒温处理时会发生显著的应力松弛现象,但是在随后的加热过程中,其翘曲演变曲线会重新回到原来的翘曲演变趋势上,从而不会对铜布线层的室温翘曲产生影响。综合以上研究结果,本章最后对铜布线层在室温至400℃范围内的翘曲演变机理进行了总结,并认为在温度循环中产生的回滞曲线属于多种扩散和蠕变机理共同参与的塑性滞后现象。

本章详细研究了热处理时的各工艺参数对翘曲演变的影响,并发现对铜布线层的室温翘曲影响最为明显的是铜布线层的微结构和热处理的最高加热温度,这也为随后研究降低铜布线层翘曲的方法提供了思路。

第3章 与半导体工艺相兼容的纳米孪晶铜制备工艺

由于铜的抗电迁移性能和导电性能明显优于铝,因此在大马士革工艺发明之后,铜互连迅速取代了铝互连,成为了集成电路后道工艺主要的互连材料。与铝相比,铜的主要优势表现在以下四个方面:铜的电阻率($1.67\ \mu\Omega\cdot\text{cm}$)仅为铝电阻率($2.66\ \mu\Omega\cdot\text{cm}$)的63%,这使得相同条件下铜互连的RC延迟大大减小,并使相应互连线的焦耳功耗降低很多;铜的导热系数是铝的1.7倍,散热性能更加优良;铜的抗电迁移能力比铝更强:在同样的条件下,铜发生电迁移的电流密度上限为 $5\times 10^6\ \text{A}/\text{cm}^2$,远大于铝的上限 $2\times 10^5\ \text{A}/\text{cm}^2$,这大大提高了集成电路的可靠性;铜与硅的兼容性好。在温度低于 400°C 时,铜在硅中的扩散系数低,且不与硅发生反应。化学机械抛光技术和双大马士革工艺的发明,为实现铜互连开辟了道路。

自从2004年中国科学院金属研究所卢柯团队制备出同时具有优良力学性能和良好导电性的纳米孪晶铜材料^[37]之后,纳米孪晶铜的优良特性逐渐被人们所认识。纳米孪晶铜的晶粒内部有高密度的孪晶界,孪晶片层的平均厚度为2 nm~200 nm,纳米孪晶铜也由此得名。纳米孪晶铜同时具备的高强度、高塑性和良好的热稳定性对集成电路互连至关重要。这可以允许电路互连时采用尺寸更小的材料,并且同时避免材料断裂的困扰。这在互连尺寸降低到亚微米甚至纳米级时意义更为重要。一些传统的同时提高材料强度与塑性的方法都会导致电性能的退化,从而影响其在互连领域的应用。而纳米孪晶铜在提高强度的同时,并不会导致电性能的恶化。

纳米孪晶铜因其与半导体技术相兼容的制备工艺,优良的力学和物理性能,从而能够应用在封装互连的RDL、TSV、UBM、铜-铜键合等领域。纳米孪晶铜的这些应用将有效地降低互连材料在热工艺中产生的蠕变,减小封装过程中的工艺翘曲,抑制Kirkendall孔洞的形成,提高电子器件在恶劣环境下的服役时间。采用纳米孪晶铜作为RDL中的互连材料有望降低由铜布线层引入的晶圆翘曲,因此研究与半导体工艺相兼容的纳米孪晶铜的制造工艺显得尤为重要。本章将系统研究与半导体工艺相兼容的纳米孪晶铜制备工艺,以及电镀过程中的孪晶生长过程,以期得到符合半导体工艺要求的铜互连。

3.1 快速退火法制备纳米孪晶铜

在半导体工艺过程中,需要不可避免的经历各种退火过程。例如在离子注入工艺完成之后需要对晶圆进行一次快速退火,用于提高注入杂质的激活率与迁移率,消除在离子注入工艺中引入的晶格损伤。圆片级封装样品在快速退火过程中,由于 RDL 和衬底硅材料的热膨胀系数 (CTE) 不匹配,会导致在 RDL 层内部产生很大的拉应力。众所周知,由于在低温下,位错滑移和原子扩散受到抑制,而在极高塑性变形速率下,原子受到弛豫作用的影响很难在短时间内运动很长的距离,因此孪晶化成为在这些情况下材料塑性变形的重要机制。利用快速退火过程中产生的较高的应力以及很高的应变速率,我们开发了一种能够在圆片级尺度上将普通的电镀铜转化为纳米孪晶铜的方法。

3.1.1 样品制备

在实验过程中,我们采用厚度为 420 μm 的 4 英寸双抛硅片作为衬底。首先采用热氧化的方法在晶圆表面制备了 500 nm 厚度的氧化层,然后采用磁控溅射方法在双抛片的一面上制备 40 nm 厚的 Ti 作为粘附层和扩散阻挡层,紧接着溅射一层 200 nm 厚的铜种子层。溅射时腔内气压小于 10^{-5} Pa,溅射功率为 100 W。溅射制备的铜种子层有很强的<111>方向的择优取向。最后在溅射铜层表面制备 8 μm 厚的电镀铜层。电镀工艺采用了普通的直流电镀工艺,电流密度为 0.7 ASD (A/dm^2)。电镀液为浓度为 0.5 mol/L 的高纯 CuSO_4 溶液,另加入 1.5 mol/L 硫酸和其它添加剂。在电镀过程中辅以机械搅拌。制备完成后的样品结构示意图如图 3.1 所示。

经过表征,在制备的电镀铜样品中并没有发现明显的孪晶。为了将普通铜晶粒转变为纳米孪晶铜,我们将样品置于退火炉中进行了快速退火处理。为了防止铜布线层氧化,在进行退火工艺前,首先将腔内气压抽到 50 Pa 以内,然后充满高纯氮气至一个大气压,并如此反复几次,以最大程度地避免氧化。在退火过程中,保持腔内气压持续小于 50 Pa。三组样品分别以 $20^\circ\text{C}/\text{min}$, $10^\circ\text{C}/\text{min}$, $2^\circ\text{C}/\text{min}$ 的速度被加热到 300°C ,并保持 2 min。然后,样品再以不同的速率冷却至室温。各组样品的加热曲线如图 3.3 所示。为了实现更高的冷却速度,氮气流不断吹向样品以带走更多热量。一组样品最初的冷却速度达到了 $2^\circ\text{C}/\text{s}$,但随着温度的不断下降,冷却速率不断降低。另外两组样品的冷却速率分别为 $10^\circ\text{C}/\text{min}$

和 2°C/min。

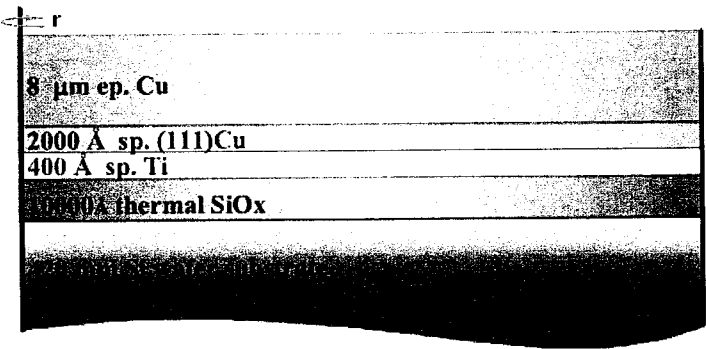


图 3.1 制备的铜布线层结构示意图

Figure 3.1 Schematic plot of Cu film structure.

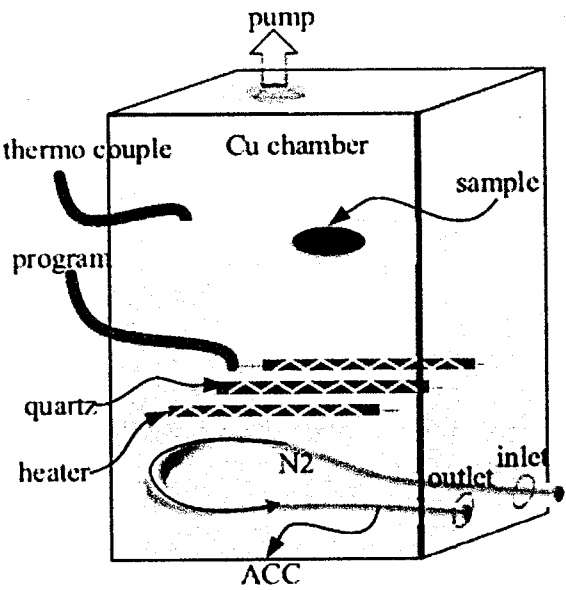


图 3.2 退火炉结构示意图

Figure 3.2 Schematic plot of the oven

为了测量铜布线层内应力在热处理过程中的变化，实验中采用前述 MOS（Multi-beam Optical Sensor）翘曲测量系统对铜布线层内部应力随温度的变化进行原位测量。由于氧化层和扩散阻挡层厚度较薄，因此本文中忽略其对晶圆翘曲的影响。

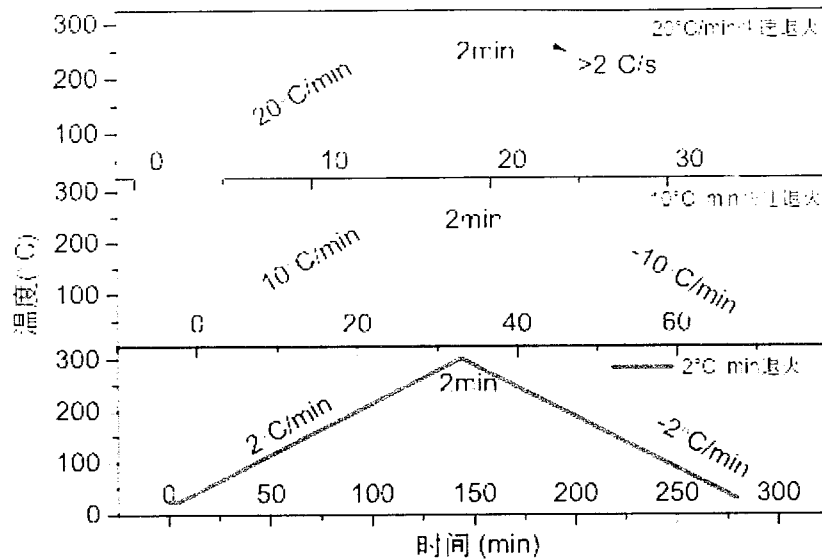


图 3.3 三组样品的热处理曲线

Figure 3.3 Temperature profiles of different sets.

3.1.2 快速退火纳米孪晶铜的微结构表征

采用扫描电镜 (SEM)、聚焦离子束 (FIB)、电子背向散射衍射 (EBSD) 和透射电镜 (TEM) 等材料分析手段均能观察到材料内部的孪晶分布。由于 FIB 所采用的 Ga 离子具有很高的动量, 因此它的沟道效应很明显。在某些特殊取向情况下, Ga 离子未与样品中的原子发生碰撞而减速, 而是穿透了晶格间隙。这种效应可以用来分析铜布线层的晶粒尺寸和大致的晶体取向。如果晶粒的晶体取向使得沟道效应的开口垂直于离子束方向, Ga 离子进入晶粒越深, 从晶粒发射出来的二次电子数量会减小很多, FIB 图像衬度也就会更暗。如果晶体取向发生变化, FIB 图像衬度也随之发生变化。由于孪晶中相邻孪晶片层的晶体取向有差异, 如果将样品的倾斜角度调整到合适的范围, 以使得相邻两孪晶片层的沟道效应差异明显, 将获得很好的孪晶衬度^[35, 65, 101]。

我们采用 FIB 对电镀完成后的初始形貌和不同工艺条件热处理之后的样品进行了观察。样品表面形貌如图 3.4 所示。为了获得更好的图像清晰度和不同取向的衬度, 图 3.4(a) 中的样品是经过机械和化学抛光处理之后的样品, 而图 3.4(a) 之外的其它样品未经机械和化学抛光处理, 以免在抛光过程中引入变形孪晶。与电镀样品退火前的初始状态相比, 经过 20°C/min 快速热处理样品的平均晶粒尺寸仅增长 3%, 而且表面没有孔洞等缺陷产生。更为重要的是, 经过快速

退火处理之后的样品中出现了排列紧密的孪晶结构。将此样品在 85°C 温度下放置 2 天之后, 其表面形貌和孪晶密度没有发生明显变化。这说明在半导体器件的正常工作温度下, 铜布线层内部的孪晶不会发生明显的去孪晶化。在 $10^{\circ}\text{C}/\text{min}$ 热处理样品中也发现了比较高密度的孪晶, 而以 $2^{\circ}\text{C}/\text{min}$ 热处理的样品表面发生了明显的氧化现象, 出现了大量孔洞, 并且晶粒内部没有明显的孪晶产生。

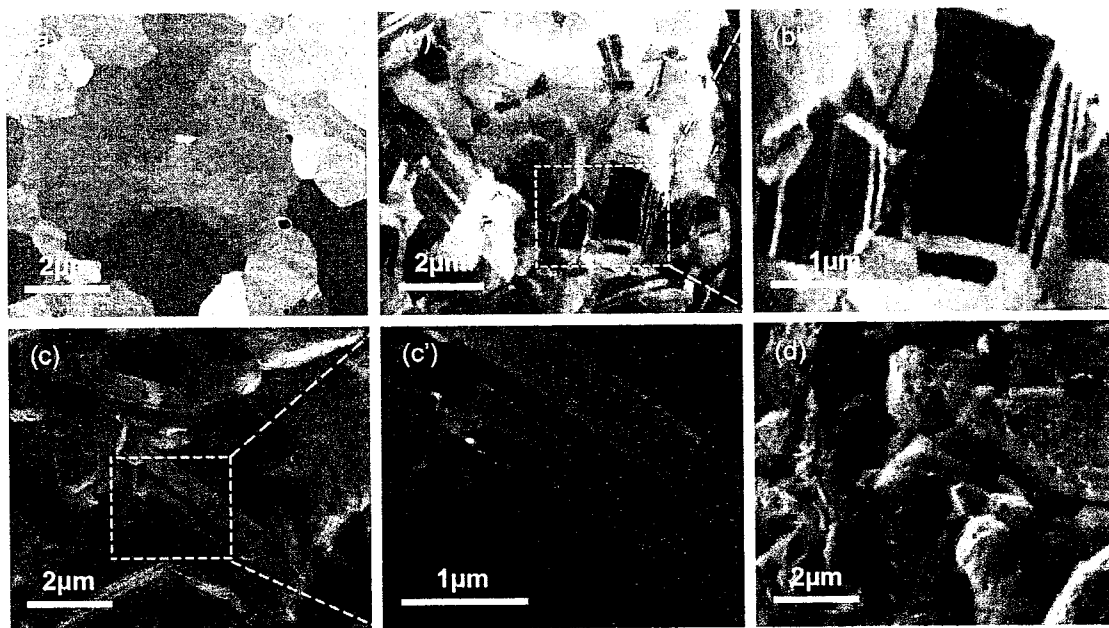


图 3.4 不同工艺条件处理前后样品的 FIB 图像

(a) 电镀样品退火前的初始状态, (b) 以 $20^{\circ}\text{C}/\text{min}$ 进行快速退火的样品 FIB 形貌及其 (b') 局部放大图, (c) 以 $10^{\circ}\text{C}/\text{min}$ 进行快速退火的样品 FIB 形貌及其 (c') 局部放大图, (d) 以 $2^{\circ}\text{C}/\text{min}$ 进行热处理之后的样品 FIB 形貌。

Figure 3.4 FIB image of different sets with different treatment

FIB ion image of (a) as-plated, (b) and (b') annealed at the rate of $20^{\circ}\text{C}/\text{min}$, (c) and (c') annealed at the rate of $10^{\circ}\text{C}/\text{min}$, (d) annealed at the rate of $2^{\circ}\text{C}/\text{min}$.

采用 TEM 进一步分析了 $20^{\circ}\text{C}/\text{min}$ 快速退火的样品, 样品的 TEM 图如图 3.5 所示。在 TEM 明场相中可以看到明显的孪晶, 并且孪晶片层厚度达到了纳米级别。由于晶界位置的原子排列比较杂乱, 而且晶格畸变能比较大, 原子扩散系数也相对较高^[102], 孪晶主要是在晶界位置萌生, 尤其是在三晶界的交叉位置萌生并不断长大的。在加热过程中的热应力和原子迁移是产生孪晶的重要原因。图 3.5 (c) 中的切片样品选择的是与 $[011]$ 晶向相互垂直的晶体片层。在插图中的选

区电子衍射图中出现了明显的由于孪晶形成的两套衍射斑点。在图 3.5 中的 TEM 明场相和高分辨电镜图像中可以发现，在孪晶界位置有多层堆垛层错（SF）。而且，并没有发现在变形孪晶中普遍发现的位错钉扎现象。这将有效避免由孪晶界位置的位错钉扎等缺陷带来的对材料力学和导电性能的影响^[103]。

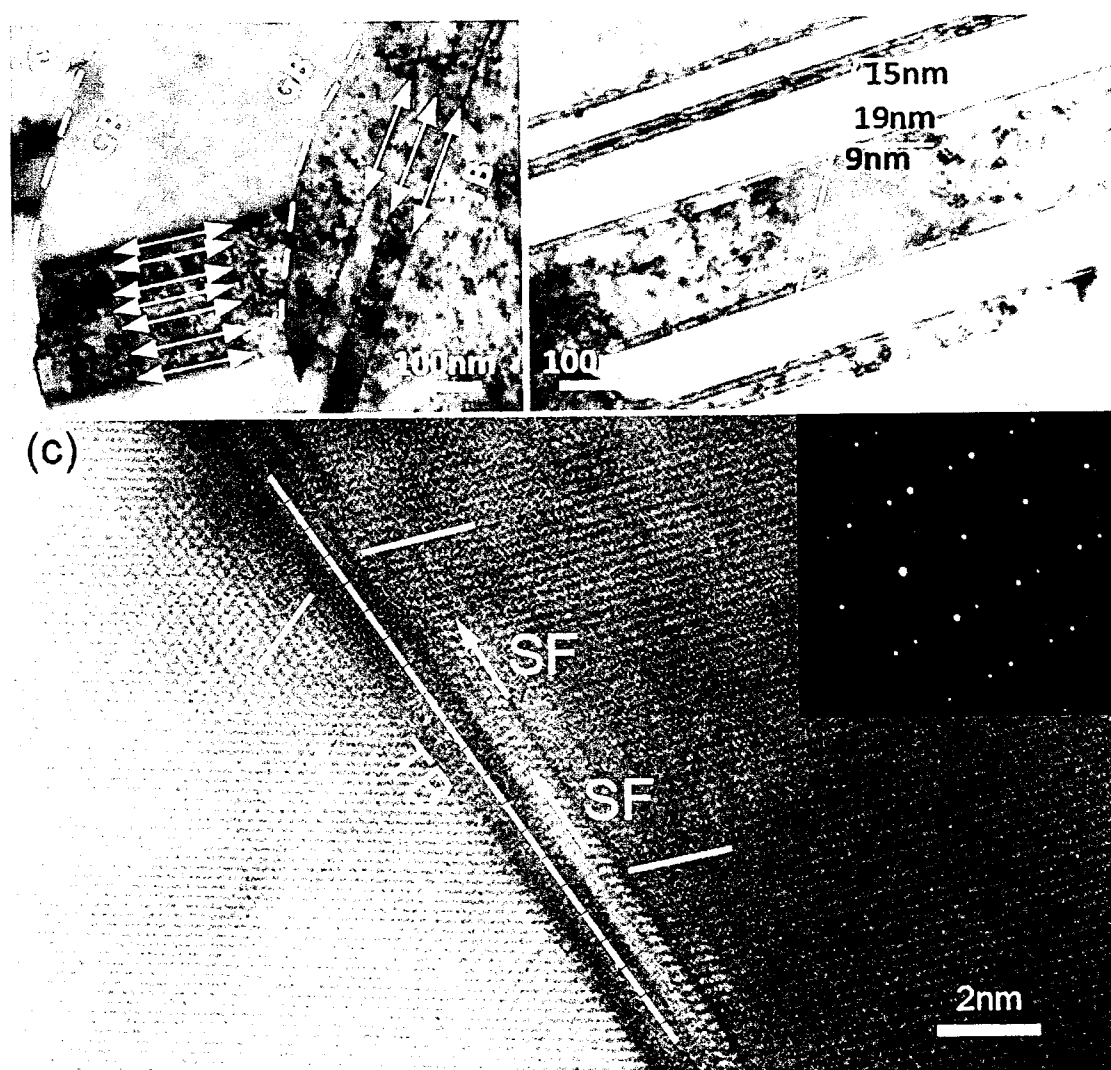


图 3.5 20°C/min 快速退火的样品 TEM 形貌图

(a) 孪晶界萌生于晶界交叉位置，(b) 纳米孪晶铜样品的 TEM 明场相，(c) 样品的高分辨相，由插图中的选区电子衍射图谱可以看出明显的孪晶衍射图像。

Figure 3.5 TEM images of the sample annealed at the speed of 20°C/min.

(a) TBs originate from triple junctions of grain boundaries. (b) TEM bright field image of Cu grains containing nanoscale twin boundaries. (c) HRTEM image with inset of the SAD pattern. Obvious twins are detected.

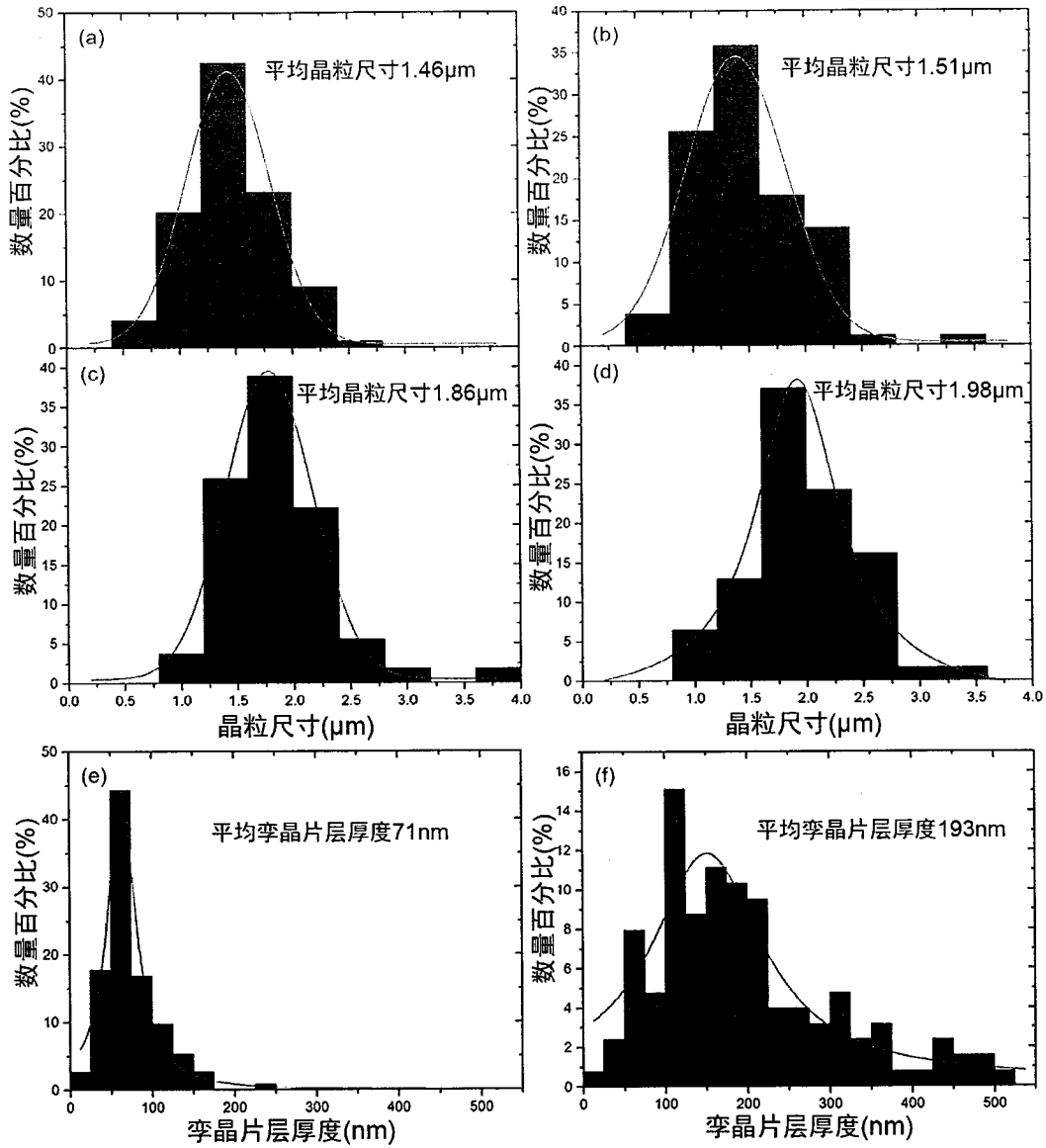


图 3.6 样品的晶粒尺寸分布和孪晶片层厚度分布

(a) 电镀初始状态和 (b) 20°C/min, (c) 10°C/min, (d) 2°C/min 热处理的晶粒尺寸分布和平均晶粒尺寸。(e) 20°C/min, (f) 10°C/min 热处理的孪晶片层厚度分布和平均厚度。温度变化速率越大, 则晶粒长大程度越小, 孪晶密度越大。

Figure 3.6 Distribution of grain size and twin thickness of different sets

Distribution of grain size for (a) as-plated, (b) CLRA, (c) normal annealed and (d) slow annealed Cu film, and the distribution of twin thickness for (e) CLRA and (f) normal annealed Cu film. A larger ramp rate results in smaller grain growth but a higher density of nanotwins.

由于本工艺采用的热处理温度仅为 300°C, 和芯片封装时采用的回流焊等工艺温度比较接近。而且工艺处理时间很短, 因此不会对芯片有源区造成伤害。因

此这种工艺完全和目前的半导体制造工艺相兼容。

经过以不同升温速度进行热处理之后,分别对样品的晶粒尺寸和孪晶片层厚度进行统计,统计结果如图 3.6 所示。 $20^{\circ}\text{C}/\text{min}$ 快速退火处理和 $10^{\circ}\text{C}/\text{min}$ 退火处理的电镀铜中的平均孪晶片层厚度分别为 71 nm 和 193 nm。较低的温度变化速率使得生成的孪晶密度下降很多。与此同时,较低的温度变化速率使得热处理时间更长,晶粒尺寸长大也更大。 $20^{\circ}\text{C}/\text{min}$ 快速退火处理和 $10^{\circ}\text{C}/\text{min}$ 退火处理之后,晶粒长大分别为 3%和 27%。对于以更低的温度变化速率进行热处理的样品,由于其在高温阶段停留时间过长,样品表面发生了明显的氧化现象,平均晶粒尺寸长大了 36%。由于温度变化速率越大,铜布线层内部的应变速率就越大,所以以上结果表明孪晶形核对应变速率具有很高的敏感性。这种对应变速率的敏感性可以通过扩散时间来解释。在铜晶粒中,位错沿 $\{111\} \langle 110 \rangle$ 滑移系进行滑移所需的临界切应力只需 $0.98 \text{ MPa}^{[104]}$,而通过第一性原理计算得出的孪晶形核则需要至少 120 MPa 的应力^[105]。当应变速率较低时,铜晶粒内部的塑性变形主要是通过位错滑移实现的,更长的热处理时间使得位错滑移有足够的时间完成。而当应变速率足够高时,发生位错滑移的时间很短,当达到孪晶化的临界应力之后,铜晶粒的塑性变形则主要通过孪晶化完成。因此更高的温度变化速率使得铜晶粒内部的孪晶密度更高。

3.1.3 快速退火过程中的应力分析

在经历低温高应变速率和严重塑性变形的金属中经常会观察到孪晶界的产生,这也为我们对快速退火中产生纳米孪晶的原因提供了思路。为了研究铜布线层在热处理过程中的应力变化,我们使用 2.1.1 节中的方法对应力进行了原位测量。我们测量了样品在室温至 375°C 和室温至 300°C 热处理过程中的铜布线层应力演变曲线。由于设备限制,我们仅实际测量了温度变化速率为 $\pm 5^{\circ}\text{C}/\text{min}$ 和 $\pm 10^{\circ}\text{C}/\text{min}$ 下的应力响应,根据理论计算,我们也推导出了温度变化速率达到 $\pm 20^{\circ}\text{C}/\text{min}$ 的应力响应。不同温度变化速率条件下,铜布线层的应力演变曲线分别如图 3.7 所示。

图 3.7 中的测量结果表明铜布线层的初始应力达到了 250 MPa ,并且在经历热处理过程并冷却至室温之后依旧保持了这一数值。在加热的初始阶段,铜布线层内部产生弹性变形,当应力变化达到一定数值之后产生塑性变形。在 300°C 时,

铜布线层内部的应力状态为 110 MPa 压应力，在保温 2 min 过程中，应力也没有发生明显变化。

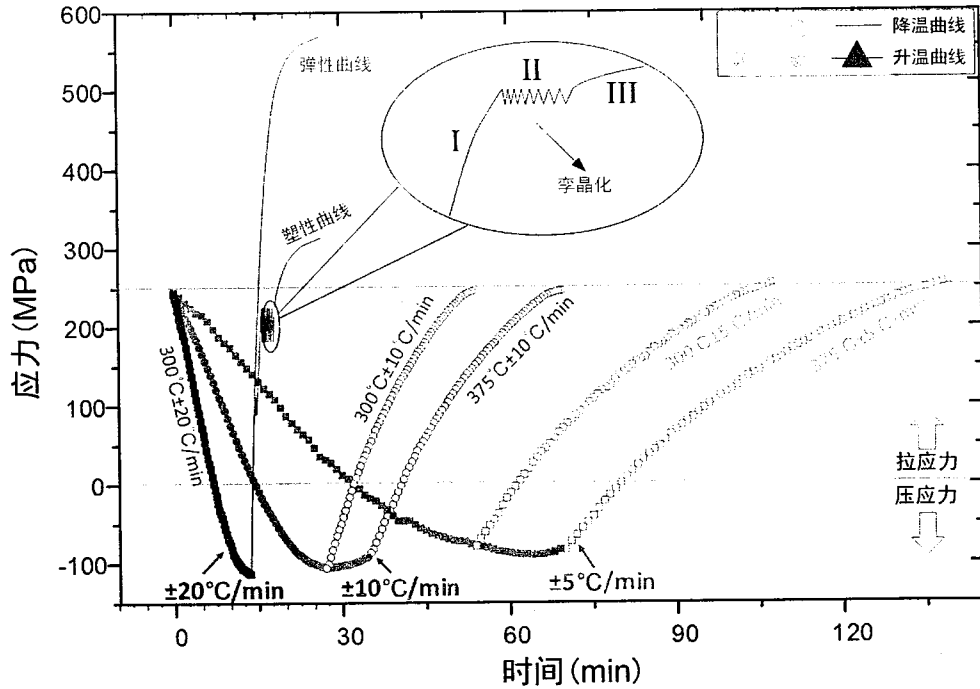


图 3.7 室温至 375°C 和室温至 300°C 热处理过程中的铜布线层应力曲线

Figure 3.7 The film stress during thermal cycling form RT to 375 °C or from RT to 300 °C

采用全弹性模型即胡克定律可以计算出当温度从 300°C 降至 30°C 时，热应力的变化值为：

$$\sigma_f = \int_{300^{\circ}\text{C}}^{30^{\circ}\text{C}} M_f \Delta \alpha dT = M_f \Delta \alpha \times (-270^{\circ}\text{C}) = 675 \text{ MPa} \dots\dots\dots(3.1)$$

其中， M_f 为铜布线层的双轴应力， $\Delta \alpha$ 为铜布线层和硅衬底之间的 CTE 之差。根据实际测量的铜布线层在室温和 300°C 的应力结果（分别为 250 MPa 和 -110 MPa），可以得出在冷却过程中，有 $675 \text{ MPa} - (250 \text{ MPa} + 110 \text{ MPa}) = 315 \text{ MPa}$ 的应力通过塑性变形得以松弛。根据前文中的分析，当温度变化速率较低时，这部分应力是通过位错滑移实现的。

当温度变化速率为 20°C/min 时，虽然在冷却过程中产生了类似的应力变化，但是由于热处理时间很短，孪晶化成为了应力松弛和塑性变形的机理。根据图 3.7 中的结果可以发现，降温的初始阶段主要发生弹性变形，而塑性变形是在

温度降低到 100°C 以下时产生的。根据公式, 铜原子短路扩散的扩散率可由以下方程计算得出^[106]:

$$D_{gb} = 0.3 \exp(-17.8T_m / RT) \dots\dots\dots(3.2)$$

其中, T_m 是铜的熔点, 式中 R 取值为-2.26, 由此得出在这个过程中原子扩散的平均自由程 l 为:

$$l = \sqrt{D_{gb} \cdot t} = \sqrt{0.3 \exp(-17.8T_m / RT) \cdot t} = 16 \text{ nm} \dots\dots\dots(3.3)$$

在如此短的扩散距离内若要能够产生足够的塑性变形释放应力的方法就是孪晶化。一旦孪晶形核, 其长大速度将会很快, 使得材料内部的应力在短时间内降低很多, 孪晶会在应力上升的过程中不断形核并长大, 从而在应力-应变曲线上形成一个锯齿形平台^[107]。如图 3.7 中的插图所示, 图中第 I 阶段, 铜布线层内应力几乎随温度呈现线性变化, 在铜布线层内应力小于 120 MPa 时, 位错滑移是应力松弛产生的主要原因。当铜布线层内应力达到 120 MPa 之后, 孪晶化成为了应力松弛的重要机理, 并且在曲线上形成了波浪形曲线 (第 II 阶段)。在第 III 阶段, 由于孪晶化过程中的部分晶粒取向发生改变, 一些新的滑移系被激活, 因此位错滑移代替孪晶化过程重新成为应力松弛的主要机理。

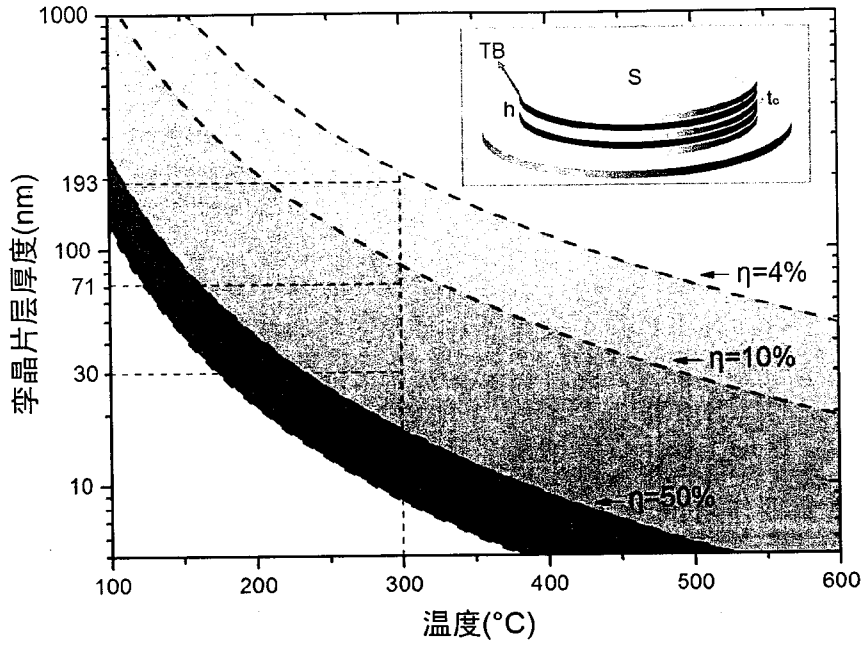
对此理论的另外一个有力证明是在 20°C/min 的快速退火处理之后, 电镀铜晶粒长大仅为 3%, 而另外两组对照样品晶粒长大比较多, 说明对照组中的应力松弛更多的是由原子扩散和晶界迁移完成的。

3.1.4 孪晶片层厚度的控制方法

采用这种工艺得到的纳米孪晶铜的平均孪晶片层厚度可以通过半定量方法计算得出。如果通过孪晶化释放的应力越高, 则其孪晶片层厚度会更低^[108]。上一节阐明了在热处理过程中, 位错滑移和孪晶化过程同时对塑性变形有很大贡献, 孪晶化在应力松弛中只占了一部分。我们可以推断: 如果热处理过程中的温度变化速率更高或者温度变化范围更大, 均能提高铜布线层内部的孪晶密度。热处理过程中, 铜布线层内部总体的应变能可以通过以下方程计算得出:

$$E_\varepsilon = \int_V \sigma_f d\varepsilon = \frac{shE_{ef}}{2} \varepsilon^2 = \frac{shE_{ef}}{2} (\Delta\alpha \cdot \Delta T)^2 \dots\dots\dots(3.4)$$

其中, s 和 h 分别为计算区域内的投影面积和厚度, E_{ef} 是铜布线层的杨氏模量, $\Delta\alpha$ 是铜和硅热膨胀系数之差, ΔT 是热处理工艺的温度变化值。

图 3.8 不同 η 时, 温度变化值和孪晶片层厚度 t_c 关系曲线Figure 3.8 The critical twin thickness vs. temperature range with the variation of η

通过孪晶化释放的应变能的计算公式如下:

$$E_{\text{twin}} = s(\gamma_{\text{TB}} - \gamma_{111}) \frac{h}{t_c} \dots\dots\dots (3.5)$$

其中, t_c 是孪晶片层厚度, γ_{TB} 和 γ_{111} 分别为孪晶界面和 (111) 面的界面能。结合上述两个公式可以得到孪晶化对应力松弛的贡献率 η :

$$\eta = \frac{2(\gamma_{\text{TB}} - \gamma_{111})}{t_c E_{\text{ef}} (\Delta\alpha\Delta T)^2} \dots\dots\dots (3.6)$$

基于公式(3.6), 可以画出贡献率 η 和孪晶片层厚度 t_c 之间的对应关系图, 见图 3.8。图中 $\eta=100\%$ 的曲线是取得所对应孪晶厚度所必须的最低温度变化值, 但是孪晶转化效率一般都比较低。图中虚线表明了在上节实验条件下 (即温度变化值为 300°C 时), 实际得到的孪晶片层厚度和效率的对应关系。 $10^\circ\text{C}/\text{min}$ 退火对应的孪晶转化效率稍高于 4%, 而 $20^\circ\text{C}/\text{min}$ 退火所对应的孪晶转化效率也仅仅为 12% 左右。当孪晶片层厚度小于 30 nm 时, 材料的综合性能达到最佳水平^[44, 109]。从图中可以看出, 相同条件下, 更高的温度变化范围将会明显提高孪晶密度, 但是当温度变化范围达到 400°C 以上时, 其对提高孪晶密度的作用将变得不太明显。另外, 通过提高温度变化速率, 或者在铜布线层表面制备钝化层等方法均能

降低位错滑移和表面扩散等机理对塑性变形和应力松弛的贡献,从而提高孪晶转化效率。

此前,铜布线中的退火孪晶在半导体工业中并没有引起注意。但是通过揭示高密度孪晶的非凡特性,采用快速退火法制备的高密度纳米孪晶铜将会是一种非常有应用前景的互连材料。由于快速退火工艺采用了比较低的热处理温度(300°C),因此,此工艺并不会对芯片有源区造成额外的影响,制备方法与半导体生产工艺相兼容。而且,通过前面的分析,可以采取简单的手段对纳米孪晶密度进行控制。这项工作不仅为纳米孪晶铜的生产提供了实用的方法,而且展示了退火工艺的重要作用。

3.2 脉冲电镀法制备纳米孪晶铜

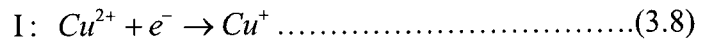
由于电镀工艺的生产效率高,目前圆片级封装 RDL 中的铜互连线主要是采用电镀方法进行制备的。探索电镀工艺直接形成纳米孪晶铜互连层就显得尤为重要。因为铜布线层内应力被证明在孪晶形核和长大过程中扮演了非常重要的作用^[110-112],因此采取脉冲电镀的方法增大镀层沉积过程中的形核率,并提高铜布线层的内应力成为一种有效地制备纳米孪晶铜的方法。

3.2.1 脉冲电镀

铜电镀的化学过程很复杂,包括几个同时进行的反应,但所有铜电镀的基础是铜离子的还原反应:



一般假设铜的还原反应可以分为以下两个步骤:



第 I 步骤的反应速率决定了铜还原的整体反应速率,因为第 II 步骤的反应速度比第 I 步骤高约三个数量级^[113]。

一般而言,圆片级封装 RDL 互连铜层是采用如 3.1.1 节所使用的直流电镀工艺进行的。但随着对镀层的性能要求越来越高,脉冲电镀工艺也得到了人们的重视。脉冲电镀是指用脉冲电源代替直流电源的电镀,电镀过程中可通过控制波形、频率、占空比及平均电流密度等参数,使镀层沉积速率在很宽的范围内变化,从

而在某种镀液中获得具有一定特性的镀层。周期反向脉冲电镀已经在电镀高深宽比的 TSV 等方面得到了广泛的应用^[113-116]。

3.2.2 脉冲电镀纳米孪晶铜工艺研究

由于电镀是非常复杂的电化学过程,影响最终镀层微结构的参数包括电镀液成分、添加剂、温度、电流密度等。实验过程中,采用目前工业界广泛采用的硫酸铜镀液进行电镀,溶液的主要成分为 80 g/L CuSO₄, 50ppm Cl⁻。镀液中加入少量硫酸以使 pH 调整到 1 左右。文献表明 Cl⁻的加入能够加速铜的沉积,并且能够提高镀层的显微硬度,提高镀层质量^[117-119]。电镀液温度保持室温,并且辅以磁力搅拌。电镀采用的衬底和 3.1.1 节中相同。

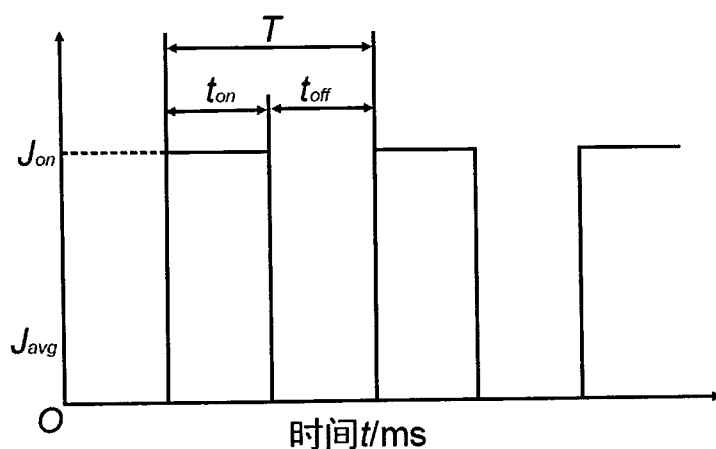


图 3.9 实验采用的脉冲电流波形及参数示意图

T —脉冲周期; t_{on} —脉冲宽度(导通时间); t_{off} —脉冲间隔(断开时间);

J_{avg} —平均电流; J_{on} —峰值电流

Figure 3.9 Pulse current waveform and parameter diagram

T —Pulse period; t_{on} —Pulse width (on time); t_{off} —Pulse spacing (off time);

J_{avg} —Average current; J_{on} —Peak current

电镀过程中采用的电流波形如图 3.9 所示。通过改变脉冲断开时间,我们制备了八组不同的样品,各组样品编号和电镀参数如表 3.1 所示。所有样品电镀中采用的脉冲导通时间 $t_{on}=4$ ms, 电流密度为 $J_{on}=100$ ASD。脉冲断开时间由 1 ms 至 1196 ms 不等。此外,采用直流电镀法,在电流密度分别为 4 ASD 和 20 ASD 的

条件下制备了两组对照组编号为 DCD-4 和 DCD-20。通过控制电镀总时长，最终镀层的厚度保持在 $7\text{ }\mu\text{m}$ 左右。

我们采用前面介绍的 MOS 翘曲测量系统对电镀完成之后的样品内应力进行了测量，并且采用 SEM、FIB、TEM 等手段对电镀铜层的微结构进行了表征。

表 3.1 脉冲电镀所采用的电流密度

Table 3.1 Current density used in pulse electrodeposition

样品编号	J_{on} (ASD)	t_{off} (ms)	脉冲频率 (Hz)	J_{avg} (ASD)
PED-1	100	1	200	80
PED-6	100	6	100	40
PED-21	100	21	40	16
PED-46	100	46	20	8
PED-96	100	96	10	4
PED-196	100	196	5	2
PED-396	100	396	2.5	1
PED-1196	100	1196	0.83	0.33
DCD-4	4	---	---	4
DCD-20	20	---	---	20

注：脉冲电镀样品的脉冲导通时间为 t_{on} 为 4 ms。

3.2.3 纳米孪晶铜形貌表征

3.2.3.1 脉冲电镀实验组形貌

脉冲电镀样品的 SEM 形貌如图 3.10 所示，图中 (a)~(h) 分别为样品 PED-1~PED-1196 的 SEM 形貌。从图中可以看出， t_{off} 很短的 PED-1 中没有明显的阶梯状条纹，而且当 $t_{off}=1\text{ ms}$ 时，相当于平均电流密度为 80 ASD，在这样的条件下，镀层表面的结晶还不完全。而进一步升高脉冲电流的断开时间之后，明显的阶梯状条纹开始出现。但当 t_{off} 提高到 1196 ms 之后（图 3.10 (h)），样品 PED-1196 中发现的阶梯状条纹密度反而没有其它样品高。

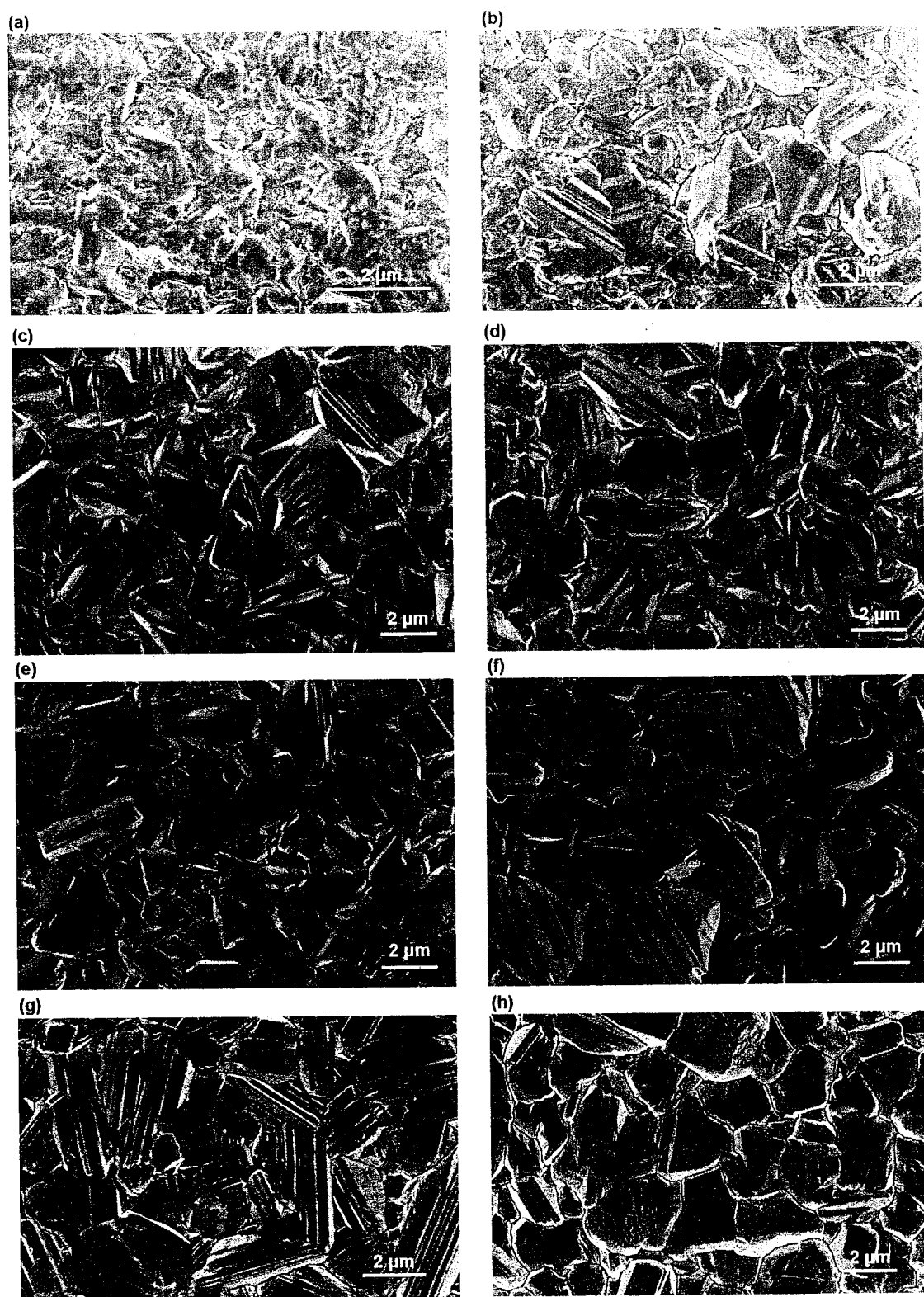


图 3.10 脉冲电镀样品的 SEM 形貌

(a) ~ (h) 分别为样品 PED-1 ~ PED-1196 的 SEM 形貌。

Figure 3.10 SEM image of the pulse electroplated samples

(a)~(h) are the SEM image of PED-1 ~ PED-1196, respectively.

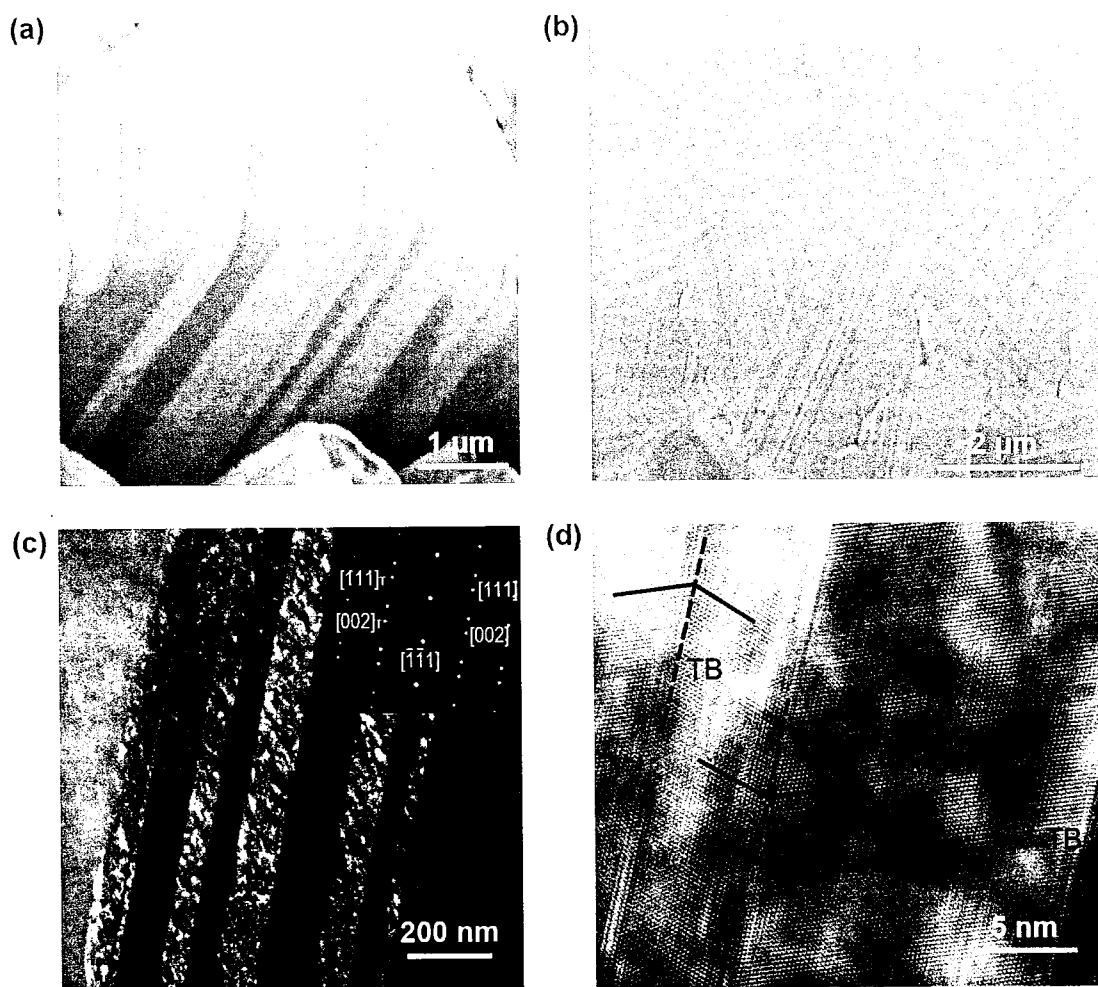


图 3.11 样品 PED-396 的形貌表征

(a) 表面及横截面 FIB 图像, (b) 电解抛光后样品的 SEM 形貌 (c) 横截面 TEM 暗场相和选区电子衍射图, (d) 横截面 HRTEM 图。

Figure 3.11 Microstructure of PED-396

(a) FIB image of the surface and cross-section, (b) SEM image after electrolytic polishing, (c) Cross-sectional TEM dark field image, with the inset of selected area electron diffraction (SAED) pattern, and (d) Cross-sectional High-resolution TEM image of sample PED-396.

采用多种方法对样品形貌进行分析（见图 3.11）可以证明上述 SEM 图像中的每一条阶梯状条纹就是一片孪晶层。在图 3.11 (a)中的 FIB 图像中能够看到明显的由孪晶取向差异带来的衬度区别。图 3.11 (b)是样品经过电解抛光之后的 SEM 形貌图，由于晶粒取向的差异使得在电解抛光时相邻孪晶片层的腐蚀速率有所区别，从而显示出了晶粒内的孪晶分布，孪晶界沿长轴方向平行排列。图

3.11 (c)中的 TEM 暗场相中也可以发现明显的孪晶, 并且相邻孪晶界之间的距离只有 100 nm 左右, 选区电子衍射图谱中也清晰地显示了两套衍射图谱, 这正是由孪晶造成的。在图 3.11 (d)中的高分辨 TEM 图像中, 可以清晰地看到孪晶界面。与上节中的快速退火法制备的纳米孪晶铜样品不同, 采用脉冲电镀工艺直接产生的纳米孪晶铜的孪晶界面上没有明显的多层堆垛层错的堆积, 而只有一条清晰的孪晶界面。通过 XRD 分析, 没有发现脉冲电镀纳米孪晶铜强烈的<111>方向择优生长的情况。

3.2.3.2 脉冲电镀样品的晶粒尺寸和内应力

通过统计各电镀样品在 $3500 \mu\text{m}^2$ 的面积内有高密度孪晶片层的晶粒面积占总表面积的比例可以得到孪晶晶粒占比这一重要参考指标。各样品中的孪晶晶粒占比如表 3.2 所示。由表中统计结果可以看出, 当 t_{off} 介于 96 ms 和 396 ms 之间时, 样品的孪晶占比最大, 达到了 90%左右。而统计晶粒中的孪晶片层厚度可以发现, 平均孪晶片层厚度随着 t_{off} 的增长呈逐渐上升趋势, 当 t_{off} 介于 96 ms 和 396 ms 之间时, 孪晶片层厚度为 100 nm 左右。另外, 表中还显示了晶粒平均直径的统计结果和电镀铜布线层的应力数值。

由于电镀时采用的电流密度决定了沉积到衬底表面的原子流量, 因此电镀过程中的形核率与过电势和电流密度等成正比。形核率 N 可以通过下面的公式进行计算^[120]:

$$N = k_1 \cdot \exp\left(\frac{bs\varepsilon^2}{zekT\eta}\right) \dots\dots\dots (3.10)$$

其中, k_1 是常数, b 为形核几何因子, s 代表原子簇表面被一个原子占据的区域, ε 为特定的边缘能, z 指沉积原子的化学价, η 是过电势, k 和 e 分别为玻尔兹曼常数和电子电量。电流密度越大, 则沉积到衬底上的原子流量越大, 这就使得衬底表面原子形核率升高, 从而使晶粒尺寸减小。表 3.2 中的统计结果也证实了这一推论。与此同时, 很高的形核率也会导致沉积的布线层内部的晶界密度升高, 晶界体积占布线层整体体积的比例增大。由于晶界处的原子排布相对杂乱无章, 因此原子密度相对于密堆积的晶粒内部较低, 从而当晶粒长大并不断吞噬这些晶界时, 布线层内部由于体积缩小^[121]将会产生很大的拉应力。形核率越高, 则最终布线层内部拉应力越大。

表 3.2 各样品表面形貌、孪晶晶粒占比和布线层应力

Table 3.2 Surface morphology, twin density and film stress of these samples

样品编号	晶粒平均直径(μm)	表面形貌	孪晶晶粒占比	平均孪晶片层厚度 (nm)	布线层应力 (MPa)
PED-1	1.15	无孪晶	---	---	94.9
PED-6	1.17	阶梯状	30%	85.6	84.3
PED-21	1.61	阶梯状	45%	104.7	75.7
PED-46	1.44	阶梯状	70%	86.5	65.3
PED-96	1.54	阶梯状	90%	100.7	63.6
PED-196	1.71	阶梯状	90%	107.9	38.6
PED-396	1.93	阶梯状	90%	116.2	48.1
PED-1196	2.10	阶梯状	25%	145.8	21.8
DCD-4	2.35	无孪晶	---	---	9.23
DCD-20	2.40	无孪晶	---	---	62.3

脉冲电镀样品详细的晶粒尺寸分布和孪晶片层厚度分布如图 3.12 所示。图中也清晰地显示了晶粒尺寸和孪晶片层厚度随 t_{off} 的不断增长而不断变大的趋势。在脉冲电镀过程中，铜布线层的沉积是分步骤完成的。在脉冲导通时间 t_{on} 内，铜原子不断聚集并形核，由于此时电流密度很大，达到了 100 ASD，而持续时间很短，仅为 4 ms，因此衬底表面形核率较高，从而使得在此阶段的晶粒尺寸比较小，而且布线层内部应力很大。由于铜材料孪晶界的界面能很低，和大角度晶界相比，孪晶界的界面能仅有其 0.034 倍^[72]。这就使得高应力/应变的铜材料的总能量比通过孪晶化降低应力/应变之后的总能量要高^[111, 122]。布线层内部的拉应力成为了驱动晶粒内部形成孪晶的驱动力。当导通电流截止之后，这些沉积在材料表面的原子发生了扩散和重新排布，布线层内部应力也随之降低。这样周期性的电流导通和关断使铜布线层内部的应力也随之周期性变化^[108]。

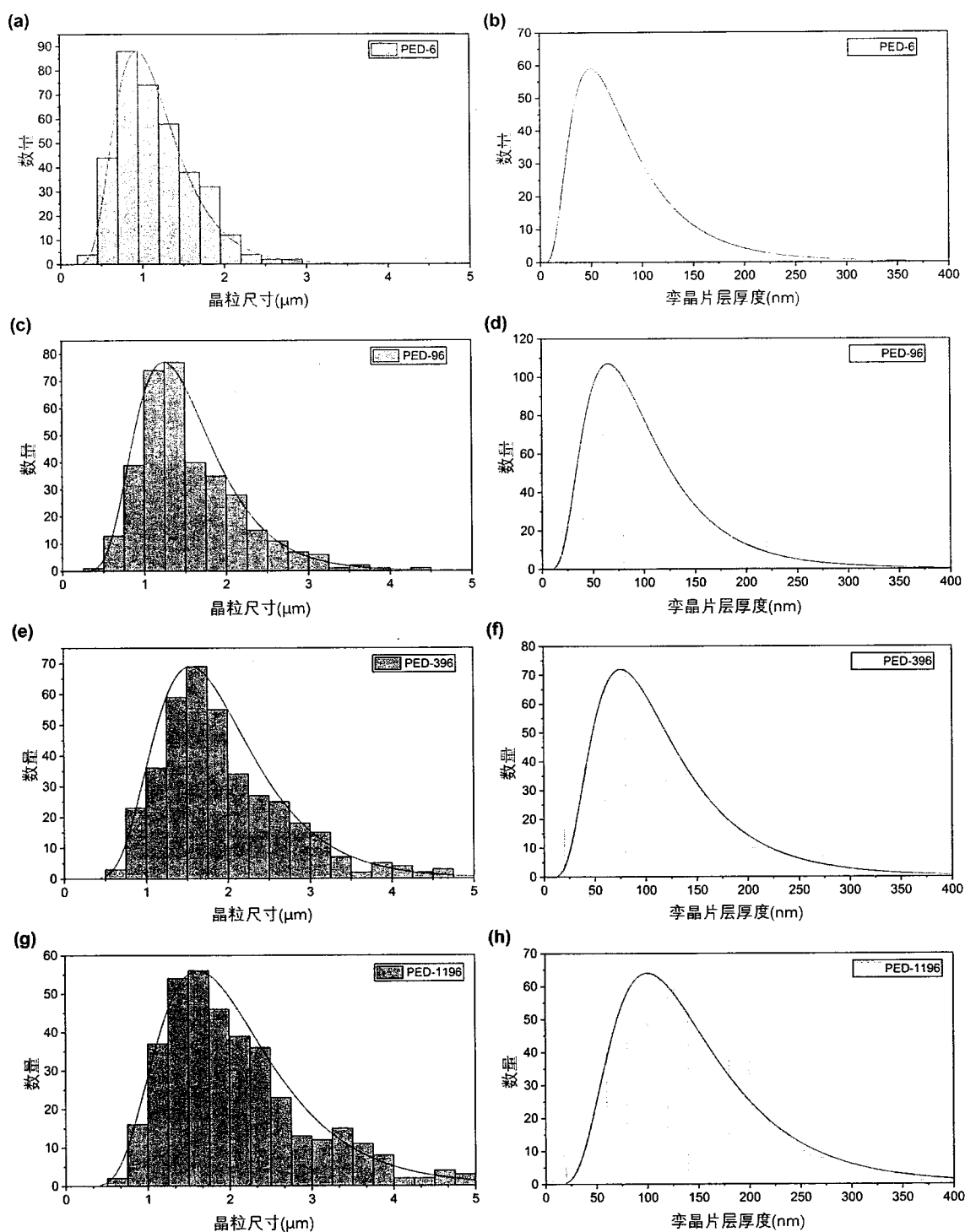


图 3.12 脉冲电镀制备的样品的粒径和孪晶厚度的分布

(a, c, e, g) PED-6, PED-96, PED-396 和 PED-1196 的粒径分布。(b, d, f, h) PED-6, PED-96, PED-396 和 PED-1196 的孪晶厚度分布。

Figure 3.12 Distribution of grain diameters and twin thicknesses of PED prepared samples

(a, c, e, g) The distribution of grain diameter of PED-6, PED-96, PED-396, and PED-1196. (b, d, f, h) The distribution of twin thickness of PED-6, PED-96, PED-396, and PED-1196.

3.2.3.3 直流电镀对照组表面形貌

采用直流电镀制备的样品 SEM 形貌如图 3.13 所示。当电流密度为 4 ASD 时，电镀铜布线层的表面比较平整，晶界位置没有明显的孔洞等缺陷。当电流密度升高到 20 ASD 之后，晶粒表面明显变得粗糙，而且在晶界位置出现了许多微孔洞，影响了镀层的质量。如果进一步提高电流密度，甚至会出现镀层烧焦现象，镀层呈粉末状，不能附着在衬底上。很明显的是，直流电镀样品中没有出现和脉冲电镀样品相似的阶梯状孪晶条纹。

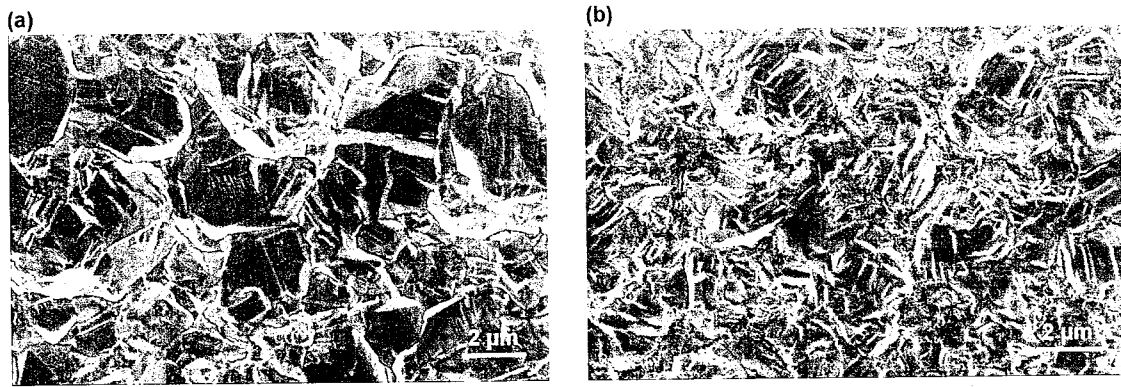


图 3.13 DCD-4 和 DCD-20 的直流电镀样品的 SEM 形貌

Figure 3.13 SEM image of direct current electroplated samples DCD-4 and DCD-20

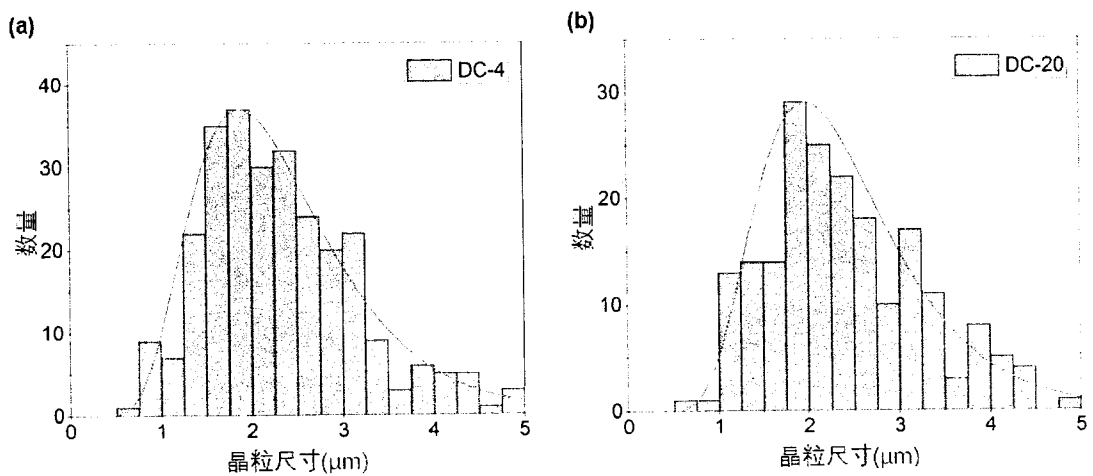


图 3.14 DCD-4 和 DCD-20 的晶粒尺寸统计图

Figure 3.14 Distributions of grain diameters of DCD-4 and DCD-20

两组样品的晶粒尺寸分布统计图如图 3.14 所示, DCD-4 和 DCD-20 的晶粒平均直径分别为 $2.35\ \mu\text{m}$ 和 $2.40\ \mu\text{m}$ 。经测量, 两组样品的镀层应力分别为 $9.23\ \text{MPa}$ 和 $62.3\ \text{MPa}$ 。这也符合上文中提到的规律: 电镀时的平均电流密度越大, 则镀层内应力越大。

3.2.4 纳米孪晶的生长过程

由于 PED-1 样品在制备时, 脉冲电流断开时间短, 持续较高的沉积速率使得晶粒结晶不完全, 镀层质量较差, 晶粒内部也没有高密度孪晶界产生。如果 t_{off} 增大到 $1196\ \text{ms}$, 则在 t_{on} 期间沉积在衬底表面的原子有足够的时间进行扩散并找到平衡位置, 应力在此期间得到了比较完全的松弛, 则能够避免在晶粒中产生堆垛层错等缺陷, 因而导致其孪晶密度比较低。只有当 J_{on} , t_{on} , t_{off} 等参数调整到适宜范围时, 才能够制备出高密度纳米孪晶样品。

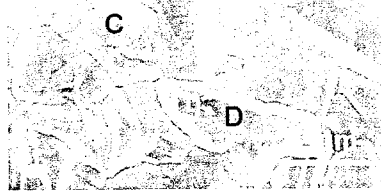
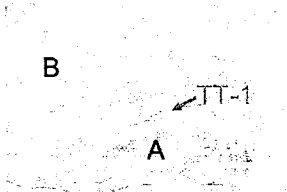
为了得到一个完整的孪晶片层生长过程, 我们采用了准原位的方法对纳米孪晶片层的生长过程进行了研究。采用 SEM 对脉冲电镀沉积 1 小时之后的样品进行观察, 并记录观察位置。随后将此样品再进行电镀 $2\ \text{min}$, $4\ \text{min}$, $6\ \text{min}$, $8\ \text{min}$ 之后, 分别使用 SEM 观察同一位置。如图 3.15 所示, 一系列的 SEM 图像显示出了纳米孪晶片层的形核和长大的过程。由于 (111) 面的表面能最低, 因此一旦在晶粒内部产生 (111) 的共格孪晶界之后, 晶粒在长大过程中, 逐渐露出 (111) 平面 (如图 3.15 中晶粒 C 所示)。这样就会在 (111) 平面和相邻晶粒之间形成一个三晶界交叉的位置。

图 3.15 中显示了三个带有纳米孪晶的晶粒 (标记为 A, D 和 F)。在晶粒 A 中可以看到三层纳米孪晶片层 (TT-1 ~ TT-3) 相继形核并沿 (111) 面不断长大, 直至延伸到相邻晶粒的晶界位置。在晶粒 B 和 D 中也发现了孪晶片层 (标记为红色箭头) 的这种生长方式。如果镀层生长均匀的话, 每电镀 $2\ \text{min}$ 则会有 $200\ \text{nm}$ 铜原子沉积到衬底表面。但是, 从图 3.15 中可以看出, 露出 (111) 面的含纳米孪晶的晶粒生长速度比其它晶粒生长的快。另外, 从 SEM 图像中可以发现孪晶片层沿平行孪晶界方向的生长速度远大于垂直方向的生长速度。

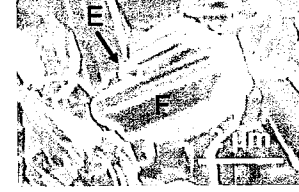
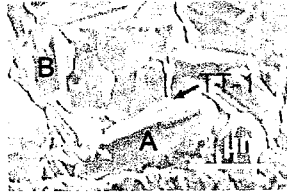
图 3.15 右列图中显示了小晶粒逐渐融合进大晶粒的过程。位于晶粒 F 旁边凹陷位置的晶粒 E 中的原子在电镀过程中不断的扩散并融合进晶粒 F 中, 最终使晶粒 F 中的孪晶延长了 $1.2\ \mu\text{m}$ 。这也与上文中解释的电镀铜布线层内部产生

拉應力的原因相一致。

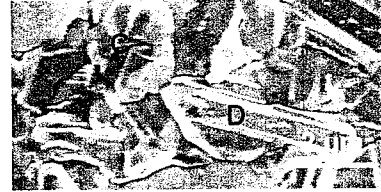
(a) 电镀时间: 1 h



(b) 电镀时间: 1 h + 2 min



(c) 电镀时间: 1 h + 4 min



(d) 电镀时间: 1 h + 6 min



(e) 电镀时间: 1 h + 8 min



图 3.15 脉冲电镀样品的准原位表征

(a) 电镀 1 小时之后的样品形貌, (b ~ e) 同一晶粒再电镀 2 min, 4 min, 6 min, 8 min 之后的形貌。图像中可以观察到明显的孪晶片层形核和生长过程。小晶粒 E 也逐渐被大晶粒吞并。

Figure 3.15 SEM images of in situ characterization

(a) Surface morphology of PED-96 after electrodeposition for 1 hour. (b ~ e) Surface morphology of the same grain, but after another electrodeposition under the same condition for 2 minutes each. Obvious terrace nucleation at the triple junction of GBs and terrace extending along the lateral flat (111) plane is detected. Small grain E gradually coalesces into grain F.

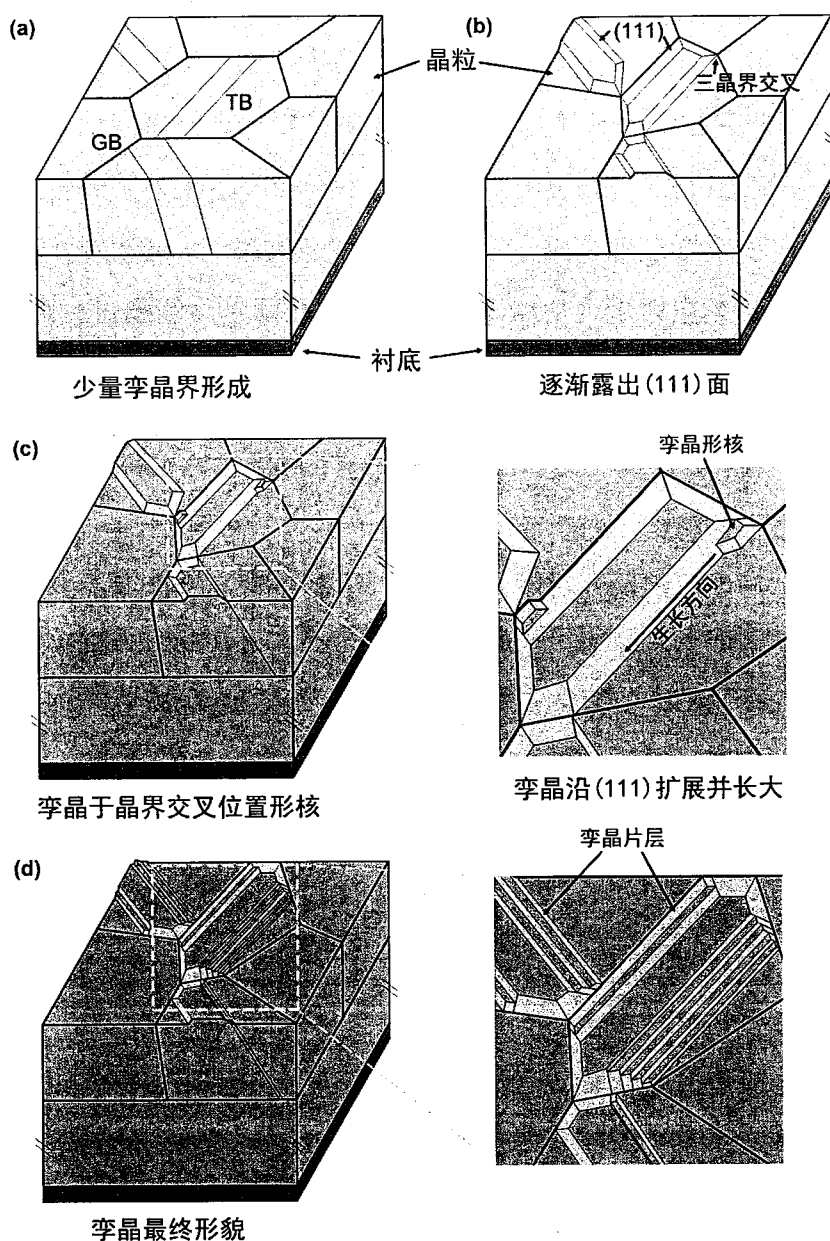


图 3.16 纳米孪晶形核和长大过程示意图

Figure 3.16 Schematic illustration of the nucleation and growth of nanotwinned copper

经过上文分析，我们可以总结出脉冲电镀纳米孪晶铜的形核和长大的过程，示意图如图 3.16 所示。首先，由于应力和相邻晶粒的挤压作用，在电镀过程中铜晶粒内部会自然形成一些孪晶界。这些带有孪晶界的晶粒在生长过程中会逐渐露出侧面和表面的低能界面 (111) 面（见图 3.16 (a, b) 所示）。这些 (111) 面在后续的孪晶形核和长大过程中扮演了基体的作用。由于三晶界交叉的位置原

子排列无规律,并且有较高的残余应力^[102, 123],因此原子团簇易于在此位置形核(见图 3.16 (c)所示),并不断长大。由于其沿着(111)面生长的速度大于垂直方向,当其延伸到相邻的晶界位置时,一层孪晶片层就形成了(见图 3.16 (d)所示)。不断重复此过程,新的团簇继续在三晶界交叉位置形核并长大,就形成了纳米孪晶铜。由于孪晶形核是一个瞬态过程,时间很短,因此难于被观察到。之前的文献通常认为电镀过程中纳米孪晶的形成和回复再结晶过程相关^[111],但图 3.15 表明,脉冲电镀的纳米孪晶铜是在电镀过程中直接形核长大的。另外,分子动力学仿真的结果也证实了这一过程^[124]。

3.2.5 脉冲电镀工艺总结

通过调整脉冲电流的断开时间,本节得到了制备含高密度孪晶的纳米孪晶铜所需的实验条件和电流参数。通过准原位观察的方法对脉冲电镀纳米孪晶铜的生长过程进行了观察,结合纳米孪晶铜的表面形貌、镀层应力等结果推演了纳米孪晶形核以及长大的过程。以上发现为理解脉冲电镀铜布线层中纳米孪晶片层的形核和生长提供了基础。本节也提供了通过设计原子沉积速率而获得高密度纳米孪晶铜的工艺方法。

3.3 直流电镀法制备纳米孪晶铜

脉冲电镀法制备纳米孪晶铜需要一套精密的脉冲电源,并且脉冲电流波形需要调试到合适的范围才能制备出高密度纳米孪晶铜。并且由于频繁切换电流密度,导致其电镀效率比较低。因此有必要研究采用直流电镀法直接制备高密度纳米孪晶铜的方法。

3.3.1 直流电镀工艺

直流电镀采用了和前述工艺相同的衬底进行电镀,即在硅衬底上依次制备热氧化层、TiW 扩散阻挡层、Cu 种子层。与之不同的是,为了能够获得均匀的镀层,本节采用 20 mm×20 mm 大小的衬底进行电镀。

电镀过程中使用的电镀液与脉冲电镀法使用的电镀液不同。直流电镀制备纳米孪晶铜的镀液除含有 80 g/L CuSO₄、50 ppm Cl⁻和少量 H₂SO₄ 等成分之外,还含有 20 ppm 明胶作为添加剂。明胶是由动物皮肤、骨等结缔组织中的胶原部分降解而成的白色或淡黄色、半透明、微带光泽的薄片或粉粒。其在冷水中吸水膨

胀，但溶于热水。明胶作为电镀铜镀液的添加剂已经有悠久的历史。明胶或胶的加入会使阴极极化明显提高^[125, 126]，可细化晶粒^[127]，并使得最终的镀层为柱状晶^[128]。实验时，首先将明胶溶于热水中，然后加入电镀液中并搅拌均匀。实验时加入的明胶的浓度为 20 mg/L。电镀时采用磷铜作为阳极，并辅以 1000 rpm 高速磁力搅拌，电流密度为 10 ASD。

3.3.2 形貌表征

在电镀完成之后，我们采用 FIB 对纳米孪晶铜布线层的形貌进行了表征，其表面和横截面形貌分别如图 3.17(a)和(b)所示，其在离子束作用下产生了明显的孪晶衬度。

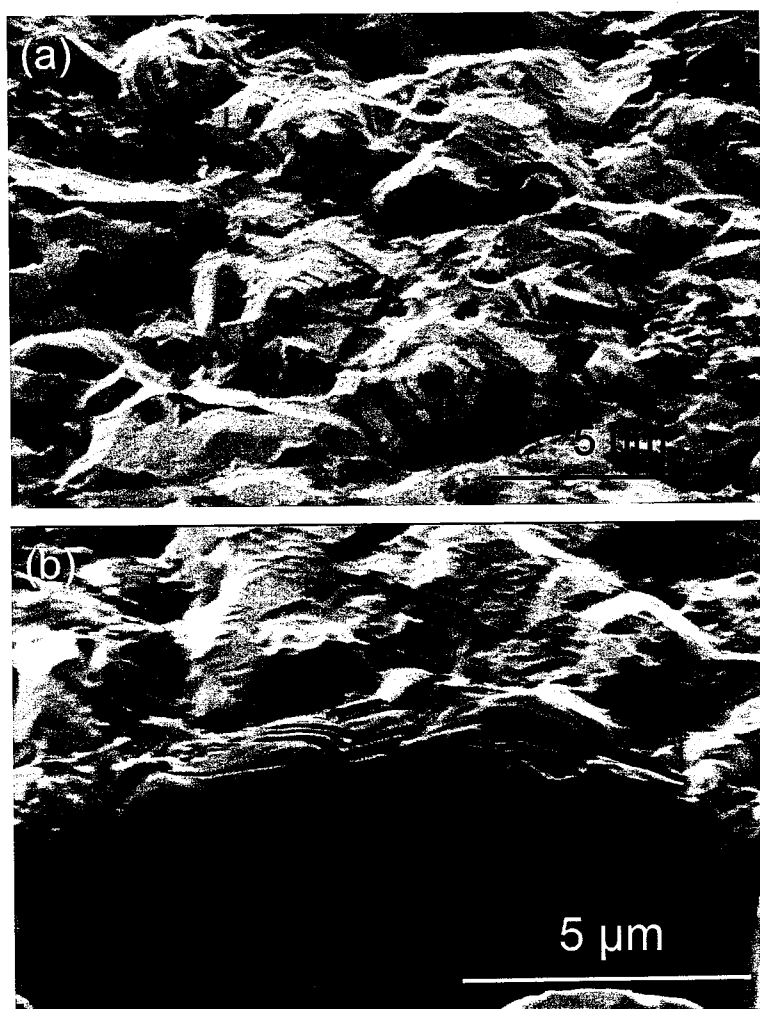


图 3.17 直流电镀铜布线层的表面和横截面形貌 FIB 图像

Figure 3.17 FIB image of surface and cross-sectional morphology of DC plated Cu film

从表面形貌来看,直流电镀的纳米孪晶铜样品的每一个晶粒都呈六边金字塔形,并且孪晶界垂直于生长方向。从镀层的横截面形貌可以看出直流电镀镀层内部呈现明显的柱状晶结构。通过镀层形貌可以分析直流电镀纳米孪晶铜布线层的生长过程。磁控溅射法制备的铜种子层具有很强的 $\langle 111 \rangle$ 方向织构,并且呈现柱状晶结构。这一点在制备直流电镀纳米孪晶铜时有非常重要的作用^[129]。它使得铜原子在明胶和高速磁力搅拌的作用下,不断以台面-台阶-扭折(TLK, terrace-ledge-kink)模型生长(模型示意图见图 3.18)。由于露出表面的晶粒呈现六边金字塔结构,这又提供了原子沉积的台阶构造,使其不断沿生长方向沉积为柱状晶结构。在铜布线层沉积过程中,由于受到阴极极化升高^[126, 130, 131]带来的影响,很容易出现堆垛层错,从而形成高密度孪晶。

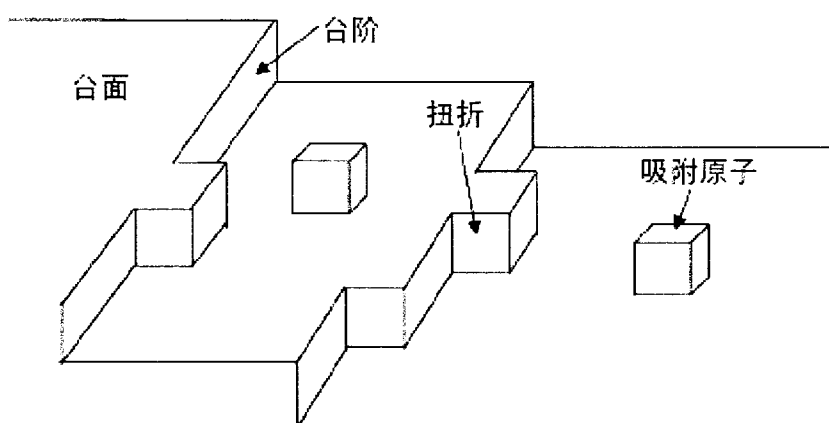


图 3.18 台面-台阶-扭折生长模型示意图

Figure 3.18 Terrace-ledge-kink growth model

3.3.3 直流电镀目前存在的问题

虽然采用直流电镀工艺成功制备了高密度孪晶样品,但是此样品是在 20 mm × 20 mm 大小的衬底上制备的,当衬底尺寸增大到 4 英寸甚至 12 英寸晶圆时,均匀地制备大面积的纳米孪晶铜依旧存在技术难题。在直流电镀工艺中,高密度纳米孪晶的形成需要对电镀液进行高速搅拌,但是在尺寸电镀槽中以如此高转速进行电镀将会使镀液中产生严重的气泡等问题,导致镀层质量较差。而且采用直流电镀的工艺制备晶圆级的铜布线层时,难以保证孪晶片层的均匀性和镀层厚度的均匀性。

此外,在镀层生长过程中,由于铜种子层的晶粒尺寸和电镀铜层的晶粒尺寸有数十倍的差距,因此将会在电镀铜层底部产生 $2\text{ }\mu\text{m}$ 左右的过渡层^[126]。随着在圆片级封装中采用的 RDL 密度越来越高,目前铜布线层厚度已经下降到 $5\text{ }\mu\text{m}$,这就使得布线层厚度的一半被过渡层占据。在这种情况下,纳米孪晶铜的优点将不能很好地发挥出来。鉴于上述直流电镀纳米孪晶铜的局限性,在后文中所述的纳米孪晶铜主要是采用脉冲电镀法制备的纳米孪晶铜样品。

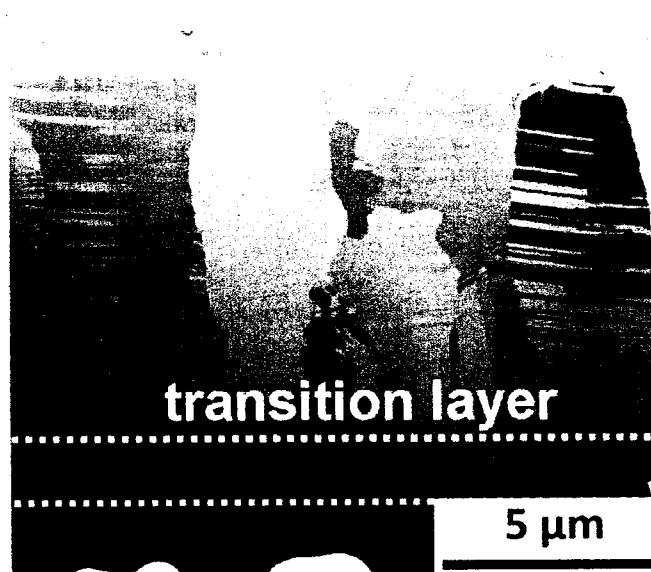


图 3.19 直流电镀纳米孪晶铜中的过渡层^[129]

Figure 3.19 Transition layer in DC electroplated nanotwinned copper^[129]

3.4 本章小结

纳米孪晶铜是晶粒内部有高密度孪晶的铜材料,由于其优良的力学、电学性能和抑制 Kirkendall 孔洞的能力,在微电子互连领域的应用十分广泛。将纳米孪晶铜应用于圆片级封装的 RDL 布线层中,将能够有效地提高器件的可靠性,也将能够降低由铜布线层引入的圆片翘曲。

本章对纳米孪晶铜的制备工艺进行了研究,并采用三种不同的方法制备了纳米孪晶铜样品:

- 1) 采用快速退火法制备了纳米孪晶铜。对制备工艺、纳米孪晶铜的微结构以及孪晶片层厚度的控制方法进行了详细研究。快速退火法制备纳米孪晶铜的基本原理是利用在快速退火过程中的热应力,使得本来没有高密度孪晶的样品通过

孪晶化的方法产生塑性变形。该工艺与目前的半导体工艺相兼容,工艺简单可控,另外可以通过热处理工艺参数调节纳米孪晶片层的平均厚度,这可为工业应用提供技术参考。

2) 采用脉冲电镀工艺制备了纳米孪晶铜。通过控制脉冲波形相关参数,对电镀工艺进行了探索,随后对电镀铜层的形貌进行了表征,并测量了各个实验条件下的镀层应力。通过准原位的方法,本文提出了在实验条件下纳米孪晶铜的生长过程的理论,使我们在脉冲电镀实验条件下纳米孪晶的形核和生长过程理解更加深刻,并为制备工艺提供了技术指导,

3) 采用直流电镀工艺制备了纳米孪晶铜。通过在电镀液中加入明胶作为添加剂,成功地采用直流电镀工艺制备了纳米孪晶铜。与脉冲电镀工艺制备的纳米孪晶铜形貌不同的是直流电镀样品为柱状晶,并且孪晶片层垂直于生长方向。该实验条件下的晶粒生长方式符合台面-台阶-扭折(TLK, terrace-ledge-kink)生长模型。但是采用此工艺制备圆片级纳米孪晶铜依旧存在一些技术难题,还需要进一步优化工艺才能大规模应用。

第4章 降低铜布线层翘曲的方法

通过第2章中对铜布线层翘曲演变分析,可发现各种原子扩散机理在翘曲演变过程中发挥了非常重要的作用。本章通过比较不同微结构的样品在热处理过程中的翘曲演变的区别,发现纳米孪晶铜结构和普通直流电镀铜的翘曲演化曲线有明显区别,并且相同厚度的纳米孪晶铜能够显著降低其引入的晶圆翘曲。另外,本章通过研究甲基磺酸铜电镀液制备的铜布线层的翘曲演变特点,发现了其对降低布线层引入翘曲的重要作用。本章还通过在布线层表面制备 TaN 钝化层,分析了表面扩散对翘曲演变的重要作用。受到第2章中加热温度对铜布线层翘曲演变的影响规律的启发,本章最后通过低温冷却的方法在最大程度上降低了铜布线层引入的翘曲,并且通过调节冷却温度能够实现对翘曲的自由调整。

4.1 电镀铜微结构对晶圆翘曲演变的影响

在第2章中对铜布线层翘曲演变分析过程中,我们证明了铜布线层内部的微结构对翘曲演变的重要影响,因此本节采用了三种具有不同微结构的电镀铜样品,并且对其翘曲演变进行了原位测量和分析。

4.1.1 实验样品的制备

实验所用衬底与与前文叙述保持一致,采用三种不同的电镀工艺制备了具有不同微结构的样品,如图4.1所示。样品A采用硫酸铜镀液和直流电镀工艺制备,镀液主要成分为硫酸铜和硫酸,并含有必要的添加剂。电镀时的电流密度为2 ASD。样品B采用3.2.2节中的硫酸铜镀液配方,采用脉冲电镀工艺进行制备。脉冲导通时间为4 ms,断开时间为196 ms。样品C采用甲基磺酸铜镀液进行电镀,镀液中含甲磺酸 $\text{CH}_3\text{SO}_3\text{H}$ 100 g/L, Cu^{2+} 50 g/L, Cl^- 50 mg/L, 并加入加速剂 7 mg/L, 整平剂 5 mg/L。电镀时采用直流电,电流密度为2 ASD。三组样品的电镀层厚度均为7 μm 。

采用 MOS 翘曲测量系统分别原位测量了三组样品在室温至 400°C 范围内,前两次温度循环的翘曲演变曲线,并通过 Stoney 公式(式 1.3)计算了镀层内应力。

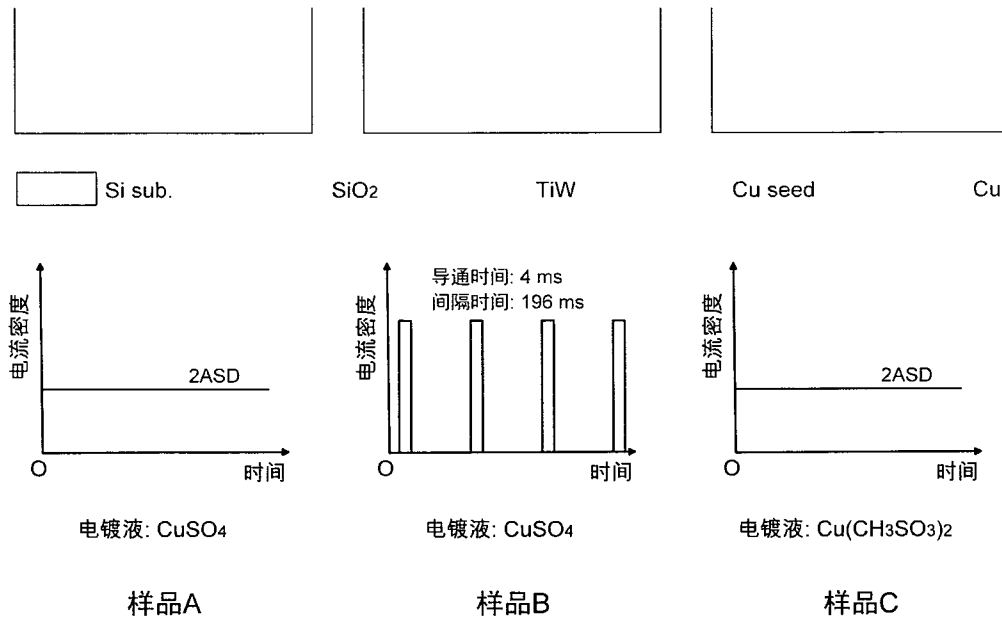


图 4.1 实验样品和电镀参数示意图

Figure 4.1 Schematic plot of set structure and detailed current waveform

4.1.2 样品形貌表征

采用 SEM 和 FIB 对样品形貌进行了表征，并且对样品退火前后的晶粒尺寸进行了分析。样品在退火前后的晶粒尺寸如图 4.2 所示。

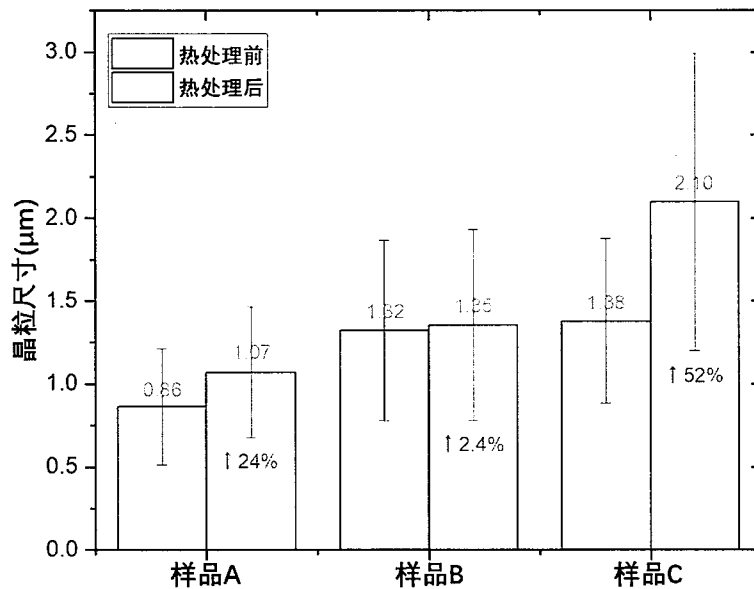


图 4.2 样品在热处理前后晶粒平均尺寸

Figure 4.2 Histogram of the average grain diameter before and after the thermal process

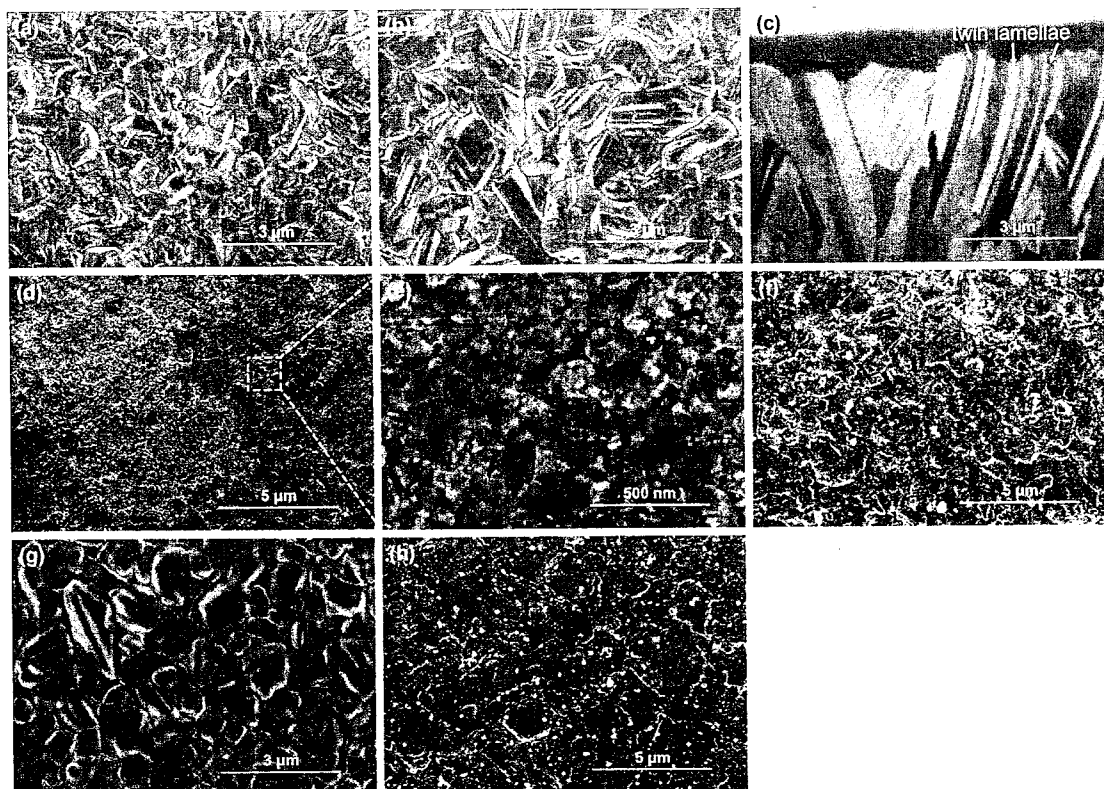


图 4.3 样品 A~C 在热处理前后的表面形貌

(a) 样品 A 表面形貌, (b) 样品 B 表面形貌, (c) 样品 B 横截面的 FIB 形貌, 可以看到非常多的孪晶 (d) 样品 C 表面形貌, (e) 样品 C 大晶粒晶界位置的形貌放大图, (f) ~ (h) 退火后样品 A~C 的 SEM 形貌。

Figure 4.3 Microstructures of Set A ~ Set C before and after a thermal cycle

(a) SEM image of Set A. (b) SEM image of Set B. (c) FIB image of the cross-section of Set B, there are many twin lamellae detected in the grain. (d) SEM image of Set C. (e) Enlarged SEM image of grain boundaries of Set C, and many nanograins can be seen. (f)~(h) are the SEM image of Set A ~ Set C after the thermal cycle, respectively.

如图 4.3 所示, 由于电镀参数不同, 电镀铜样品的表面形貌也产生了较大区别。两组硫酸铜电镀液制备的样品表面粗糙, 并且脉冲电镀样品内有非常明显的纳米孪晶结构。图 4.3 (c) 中的 FIB 图像也证实了孪晶的存在。经过退火之后, 样品 B 中的孪晶大部分消失, 同时晶粒尺寸仅增长了 2.4%。由于甲基磺酸铜镀液中的整平剂的作用, 样品 C 晶粒的表面形貌非常平坦, 其平均晶粒尺寸为 1.38 μm 。图 4.3 (e) 中显示了在大晶粒晶界位置的放大形貌, 我们在这一位置发现了大量直径仅为 50 nm 左右的纳米晶粒。这些晶粒的存在使得晶界的界面能得到

平衡的同时保持了镀层表面的平整。经过热处理之后，晶界位置的小晶粒和大晶粒逐渐融合，并且在晶界位置形成了热蚀沟，平衡了相邻晶界的界面能^[132]。热处理之后，样品 C 的晶粒尺寸长大了 52%。

4.1.3 翘曲演变曲线

样品 A~C 在第一次和第二次热循环过程中的翘曲演变曲线分别如图 4.4(a) 和 (b) 所示，在第一次热循环中均发生了铜布线层室温翘曲的大幅增长。在第二循环中形成了闭合的滞回曲线，且样品的室温翘曲保持稳定。因此铜布线层在第一个热循环中的翘曲演变对其最终翘曲起决定性作用。

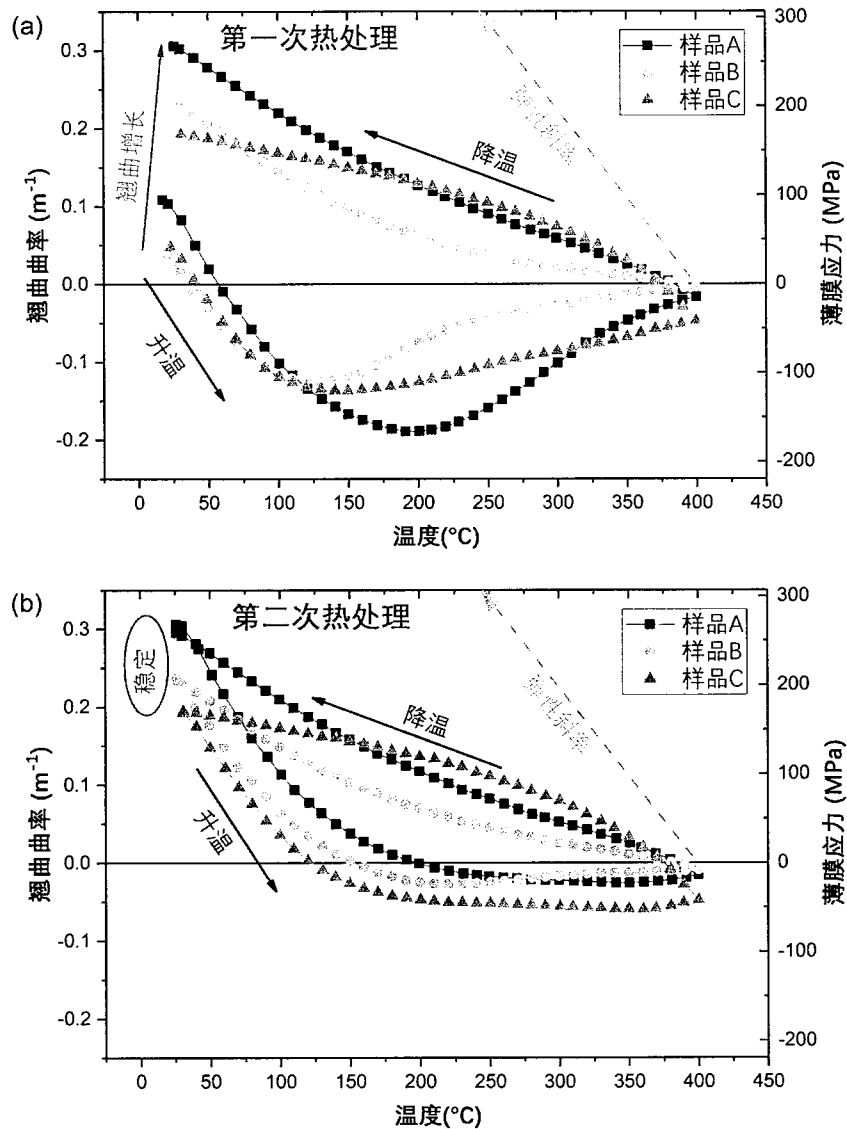


图 4.4 样品 A~C 在第一次和第二次热循环中的翘曲演变曲线

Figure 4.4 Wafer warpage evolution of Set A~C during the first and second thermal cycle

虽然三组样品的翘曲演变趋势大体相似,但是详细比较三组曲线,我们发现各组样品在相同温度下的应力松弛程度有明显区别。A、B 两组样品在 400°C 时的残余应力均降至 0 左右,而样品 C 在 400°C 时的残余应力为 49 MPa。在降温过程中,高温条件下残余较多压应力的样品 C 在降至室温时翘曲最小,并且 A~C 三组样品在从 400°C 降至室温阶段的曲线分别呈现几乎线性、向下凸起和向上凸起。最终,三组样品的室温翘曲曲率分别为 0.295 m^{-1} , 0.234 m^{-1} , 和 0.193 m^{-1} 。换算成 4 英寸硅片的翘曲值分别为 $368 \mu\text{m}$, $292 \mu\text{m}$, $241 \mu\text{m}$ 。含有纳米孪晶的样品 B 和晶粒尺寸更大的样品 C 在室温时的翘曲比普通直流电镀方法制备的样品 A 分别降低 21%和 35%。这说明铜晶粒中的纳米孪晶结构和较大的晶粒尺寸均对降低铜布线层引入的翘曲有重要作用。

4.1.4 热处理过程中的应变松弛分析

4.1.4.1 拟合方程的建立

铜布线层内应力和其在热处理过程中发生的应变松弛 $\varepsilon_{\text{relax}}$ 满足以下关系:

$$\Delta\sigma = M_{\text{Cu}} \cdot \varepsilon_{\text{elastic}} + M_{\text{Cu}} \cdot \varepsilon_{\text{relax}} = M_{\text{Cu}} \cdot (\alpha_{\text{Si}} - \alpha_{\text{Cu}}) \cdot \Delta T + M_{\text{Cu}} \cdot \varepsilon_{\text{relax}} \dots\dots\dots(4.1)$$

将等式左右两边分别对温度 T 求导可得:

$$\pm \frac{d\sigma}{dT} = \pm M_{\text{Cu}} \cdot (\alpha_{\text{Si}} - \alpha_{\text{Cu}}) + M_{\text{Cu}} \cdot \dot{\varepsilon}_{\text{relax}} \cdot \frac{dt}{dT} = M_{\text{Cu}} \cdot \left(\pm \Delta\alpha + \frac{\dot{\varepsilon}_{\text{relax}}}{\dot{T}} \right) \dots\dots\dots(4.2)$$

其中在升温过程中, $\frac{d\sigma}{dT}$ 和 $\Delta\alpha$ 前面的符号取“+”;在降温过程中, $\frac{d\sigma}{dT}$ 和 $\Delta\alpha$ 前面的符号取“-”。公式中,温度须采用绝对温标。结合 Stoney 公式可以得到翘曲演变曲线斜率与应变松弛速率 $\dot{\varepsilon}_{\text{relax}}$ 之间的关系:

$$\pm \frac{d\kappa}{dT} = 6 \frac{M_{\text{Cu}}}{M_{\text{Si}}} \cdot \frac{h_{\text{Cu}}}{h_{\text{Si}}^2} \cdot \left(\pm \Delta\alpha + \frac{\dot{\varepsilon}_{\text{relax}}}{\dot{T}} \right) \dots\dots\dots(4.3)$$

结合 2.2.2 小节中对晶粒长大、Coble 蠕变、N-H 蠕变、位错蠕变等各种应力松弛原理的理论分析,我们总结出一个共同特点,即每一项特定的应力松弛的机理均符合阿雷尼厄斯 (Arrhenius) 方程,并且均与布线层内应力有密切的关系。实验也证实了温度和应力是影响铜布线层翘曲演变的重要因素。为了分析温度和应力对不同微结构的铜布线层翘曲演变的影响,并且尽量简化参数,后文中采用以下拟合方程对应变松弛速率进行分析:

$$\dot{\varepsilon} = A\sigma^n \exp\left(-\frac{Q}{RT}\right) \dots\dots\dots(4.4)$$

其中, A 为常数, n 为应力指数, Q 为应变松弛的扩散激活能, R 是气体常数, 其值为 $8.314 \text{ J}/(\text{mol}\cdot\text{K})$ 。根据应力指数 n 和扩散激活能 Q 可确定各样品应力松弛的主要作用机理。位错蠕变中 n 的值大于等于 $3^{[133-135]}$, Coble 蠕变和 N-H 蠕变的 n 值等于 $1^{[85, 136, 137]}$ 。由于晶粒长大是单纯在温度的作用下发生的, 因此, 晶粒长大对应的 n 值为 0 。结合式(4.3)和式(4.4)可以通过拟合方法确定各样品的应力指数 n 和扩散激活能 Q 。

4.1.4.2 第一次升温过程分析

由于第一个热循环中的翘曲演变对最终布线层的室温翘曲起着决定性作用, 尤其是其在升温过程的应力松弛对后续翘曲演变有重要的影响, 因此, 对三组试验样品升温时的翘曲演变过程均作了详细的拟合分析。三组样品在加热到 50°C (323K) 左右时内应力由拉应力转变为压应力, 产生了方向的改变。本节只关注应力的大小, 而不关注应力的方向, 因此在拟合过程中统一使用应力的绝对值, 因而在 $\dot{\varepsilon}-T$ 图像上呈现出 50°C 左右的转折点。

三组样品在第一次加热过程中的测量数据和拟合结果如图 4.5 所示。图中可以发现 A 组和 C 组样品均采用单一方程进行拟合后, 拟合结果和实验结果的一致性很好。在 B 组样品中, 我们发现其应变松弛曲线在 270°C (543K) 左右时产生转折, 这表明在加热过程中, 样品 B 内部产生应力松弛的主要机理发生了变化。因此采用分段函数对其进行拟合。图 4.5 (d) 中显示了各样品的拟合参数。

样品 A 和 C 中参数 n 的拟合结果分别为 0.39 和 0.52 , 均明显小于 1 , 这证实了晶粒长大在此阶段的应力松弛中扮演了重要作用, 晶粒尺寸统计结果也表明两样品在热处理过程中晶粒分别长大了 24% 和 52% 。比较三组样品, 容易发现在 260°C 以下时, 样品 B 中参数 n 的拟合结果比样品 A、C 大。样品 B 中参数 n 为 $0.96 \approx 1$, 这表明低温阶段样品 B 的主要塑性变形机理是原子的短路扩散和穿晶扩散。在 260°C 以下时, 样品 B 的参数 Q 也比样品 A、C 大, 这证实了晶粒内部孪晶界对原子扩散的抑制作用^[64], 因此在纳米孪晶铜中, 原子扩散所需的扩散激活能更高。当温度升高到 270°C 以上时, 晶粒长大成为了应力松弛的主要机理, 并且晶粒内部发生了去孪晶化过程^[73, 75], 因此参数 n 和 Q 均出现下降。与此同时, 当温度高于 270°C 时, 布线层内应力小于 35 MPa , 从而使应力的作用

变得十分有限。由于在升温过程中, 样品 B 内部首先发生了去孪晶化过程, 然后发生了晶粒长大。晶粒内部的孪晶和去孪晶化过程客观上消耗了部分能量, 最终使得其在热处理时, 晶粒尺寸仅长大 2.4%。

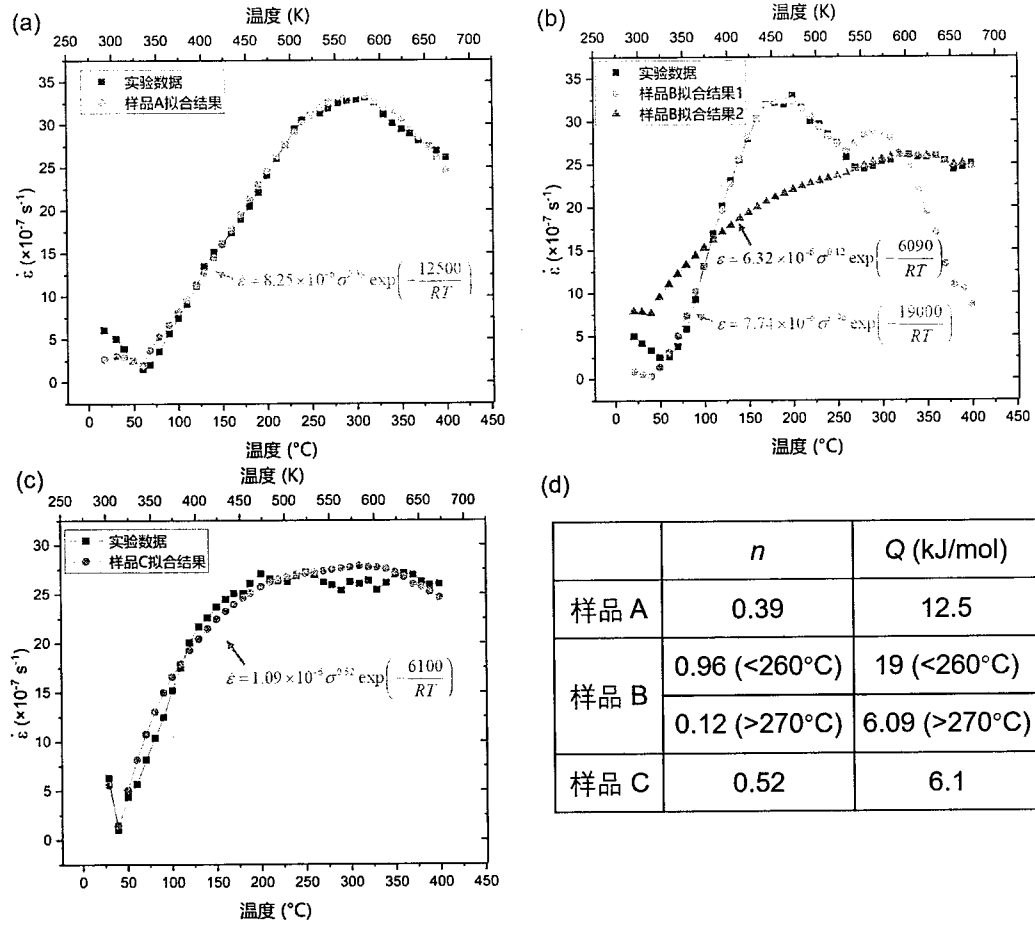


图 4.5 样品 A~C 在第一次加热过程中的测量结果和拟合结果

Figure 4.5 Experimental and Fitting results during the first heating process of Set A ~Set C

4.1.4.3 第一次降温过程分析

第一次降温过程中的 $\dot{\epsilon}$ - T 曲线如图 4.6 所示, 结合图 4.4 中的翘曲演变结果, 可将降温过程以 230°C 为界大致分成两个区域。当温度大于 230°C 时, 各样品温度比较高, 而内应力比较低。当温度低于 230°C 时, 各样品内应力比较高, 而温度比较低。并且设备能够保持温度在 230°C 以上时的降温速率为 10°C/min, 而当温度降低之后, 其降温速率也缓慢下降。在一定温度区间内, $\dot{\epsilon}$ - T 曲线和坐标轴包围的面积代表了此温度区间内的应力释放程度。在大于 230°C 的高温低应力阶段, 样品 B 的应力松弛最大, 样品 A 次之, 样品 C 最小。在温度小于 230°C

的低温高应力阶段, 样品 C 中的应力松弛最大, 样品 B 次之, 样品 A 最小。样品在各阶段应力松弛的程度不同在宏观上造成了降温阶段样品 A 的翘曲-温度曲线近乎线性, 样品 B 的翘曲温度曲线向下凸起, 而样品 C 的翘曲温度曲线向上凸起。

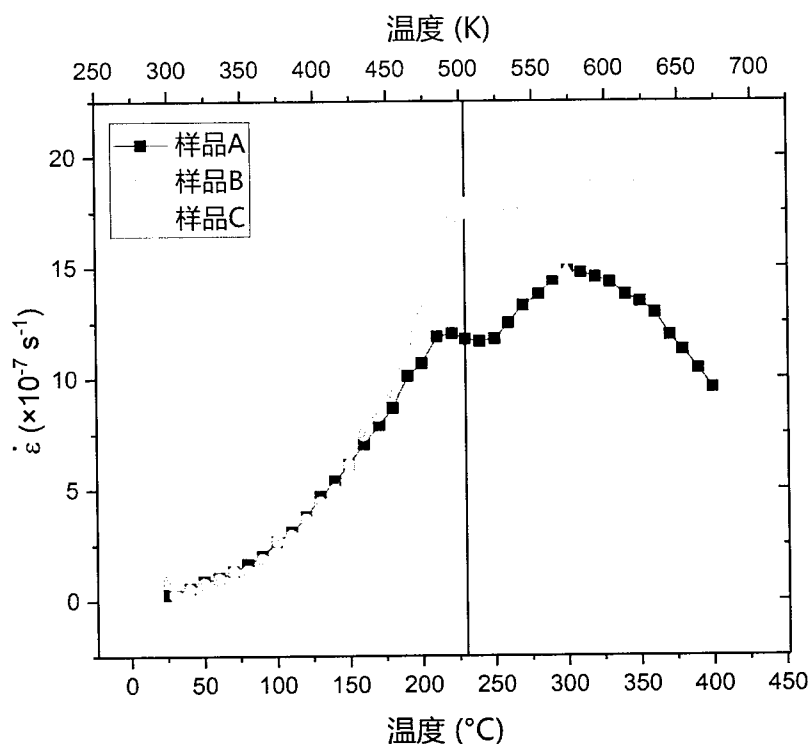


图 4.6 第一次降温时各样品的 $\dot{\varepsilon}$ - T 曲线

Figure 4.6 $\dot{\varepsilon}$ - T curve during the first cooling process

表 4.1 各样品在第一次降温阶段参数 n 和 Q 的拟合结果

Table 4.1 Fitting result of Parameter n and Q of Set A ~ C during first cooling

	n	Q (kJ/mol)
样品 A	1.8 (<230°C)	33.8 (<230°C)
	0.16 (>230°C)	5.7 (>230°C)
样品 B	0.26 (<230°C)	28 (<230°C)
	0.02 (>230°C)	2.3 (>230°C)
样品 C	1.40	18.7

根据表 4.1 所示的各样品的 ε - T 曲线拟合结果, 可以判断样品 A、B 在高温阶段主要是扩散蠕变等机理导致的应力松弛; 而在样品 C 中, 位错蠕变发挥了重要作用。在低温阶段, 样品 A 和 C 主要通过位错蠕变产生塑性变形, 而样品 B 中的主要变形机理依然是扩散蠕变。

4.2 钝化层对晶圆翘曲演变的影响

4.2.1 微结构演变

样品结构示意图如图 4.7 所示, 电镀所用衬底与前文相同, 无钝化层样品采用甲基磺酸铜镀液进行电镀, 电镀时电流密度为 2 ASD, 镀层厚度为 7 μm 。表面钝化样品采用相同的电镀方法, 并且在电镀完成之后, 采用溅射方法在电镀铜层表面制备 50 nm 厚的 TaN 作为钝化层。溅射时的衬底温度保持在室温, 故在此过程铜布线层不会发生微结构的演变。

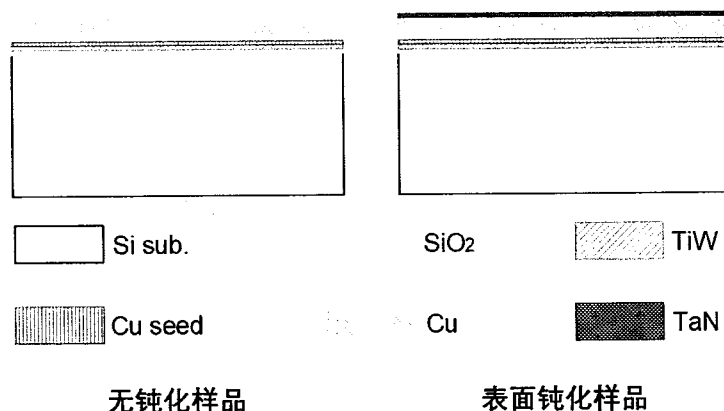


图 4.7 无钝化与表面钝化样品示意图

Figure 4.7 Schematic plot of unpassivated and passivated sets

在电镀铜样品室温至 400°C 范围内进行热处理时, 我们原位测量了各样品的翘曲演变曲线, 并且在热处理前后对样品晶粒尺寸进行统计。结果如图 4.8 所示, 无钝化层的样品在热处理前后晶粒平均尺寸由 1.38 μm 上升到 2.10 μm , 长大了 52%, 而表面钝化后的样品晶粒平均尺寸由 1.38 μm 上升到 1.49 μm , 增长幅度仅为 7.8%。晶粒尺寸的统计结果表明由于钝化层对表面扩散的抑制作用, 晶粒长大被抑制。

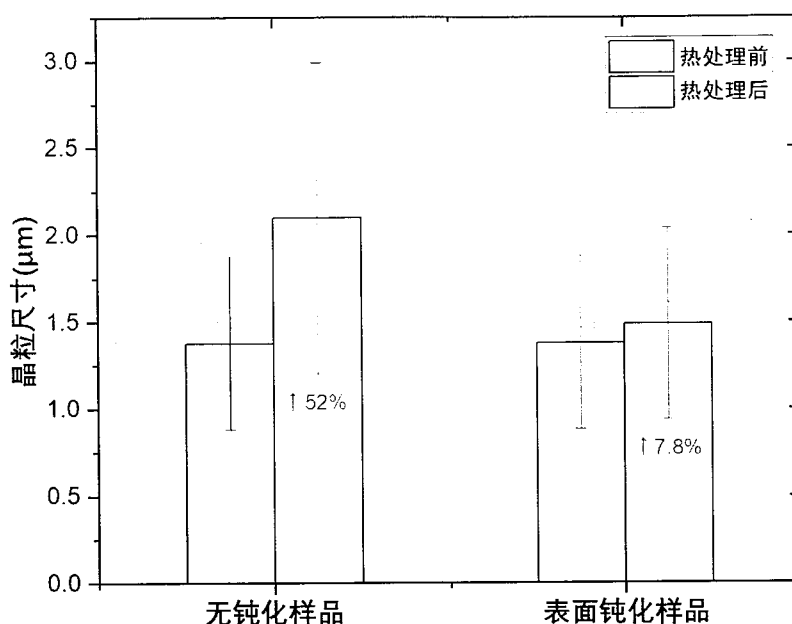


图 4.8 无钝化与钝化样品的晶粒尺寸

Figure 4.8 Grain diameter of unpassivated and passivated sets

4.2.2 翘曲演变曲线

两样品在第一次和第二次室温至 400°C 温度循环中的翘曲演变曲线分别如图 4.9 (a) 和 (b) 所示。由于钝化层仅为 50 nm, 因此可忽略表面钝化层对翘曲演变的影响。

在第一次加热初期, 两样品沿几乎相同的斜率产生弹性变形, 并且布线层内应力由拉应力变为压应力。随后, 无钝化层样品中的压应力在 125°C 左右达到最大值, 而表面钝化样品的应力最大值发生在 200°C 左右。由此说明, 钝化层的存在延后了铜晶粒内部晶粒长大的过程。与此同时, 由于钝化层的存在, 使得铜布线层能够承受更大的压应力。表现在翘曲演变曲线上, 无钝化层样品在升温至 400°C 时的残余应力为 49 MPa, 而表面钝化样品的残余应力达到了 87 MPa。降温过程中, 钝化层依旧存在对原子表面扩散的抑制作用, 使得其在降温初期出现了比无钝化层样品更明显的弹性变形阶段, 积累了更多的热应力。这一弹性变形的增加使得在降温过程中, 表面钝化样品积累了更多的由 CET 不匹配带来的热应力, 因此两样品最终在室温时的翘曲值相差不大。两样品在退火后的室温翘曲曲率分别为 0.193 m^{-1} 和 0.181 m^{-1} , 对应 4 寸圆片的翘曲值分别为 241 μm 和 226 μm 。钝化层对样品的影响仅为 6%。第二次温度循环过程中, 表面钝化样品依旧

承受了更大的压应力，并且降温时的演变曲线基本与第一次温度循环时相同。样品的翘曲演变曲线形成了回滞环。

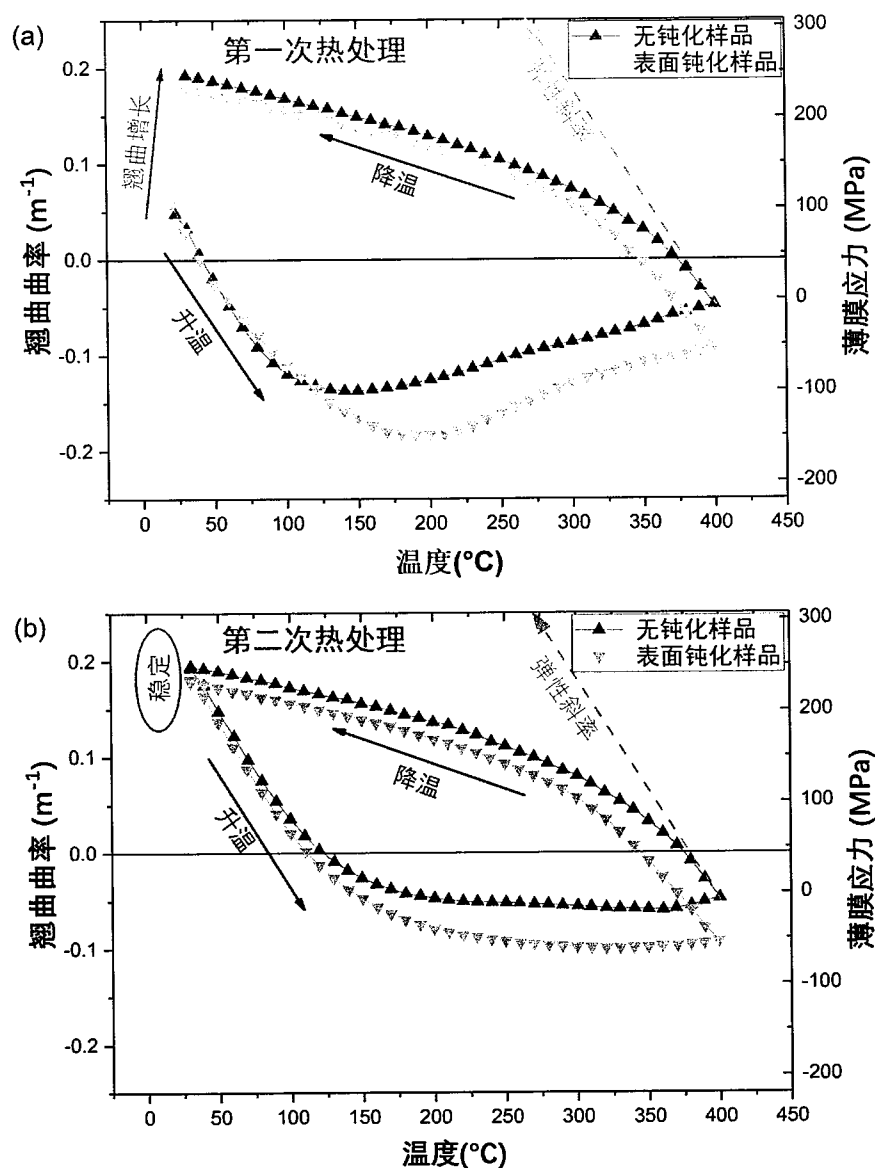


图 4.9 无钝化和表面钝化样品在第一次和第二次热处理时的翘曲演变曲线

Figure 4.9 Wafer warpage evolution of unpassivated and passivated sets during the first and second thermal cycle

4.2.3 应变松弛分析

无钝化层和表面钝化样品的 $\dot{\epsilon}$ - T 曲线分别如图 4.10 (a) 和 (b) 所示，表 4.2 显示两样品的参数 n 和 Q 的拟合结果。当温度低于 170°C 时，两样品应力指数 n 和扩散激活能 Q 的拟合结果相差不大，说明此过程中发生了相似的原子扩散过

程。当温度高于 170°C 时, 表面钝化样品内的扩散激活能 Q 和应力指数 n 均明显升高, 说明在表面钝化样品内部铜原子的扩散受到阻碍, 从而开启了位错蠕变等蠕变过程。由于升温过程中, 表面钝化层样品的总变形量少于无钝化的样品(表面钝化样品的 $\dot{\varepsilon}$ - T 曲线下面包围的面积更小), 同时其样品内部的一部分蠕变又是通过位错蠕变等机理完成的, 因此导致了表面钝化样品的晶粒长大程度远小于无钝化层的样品。

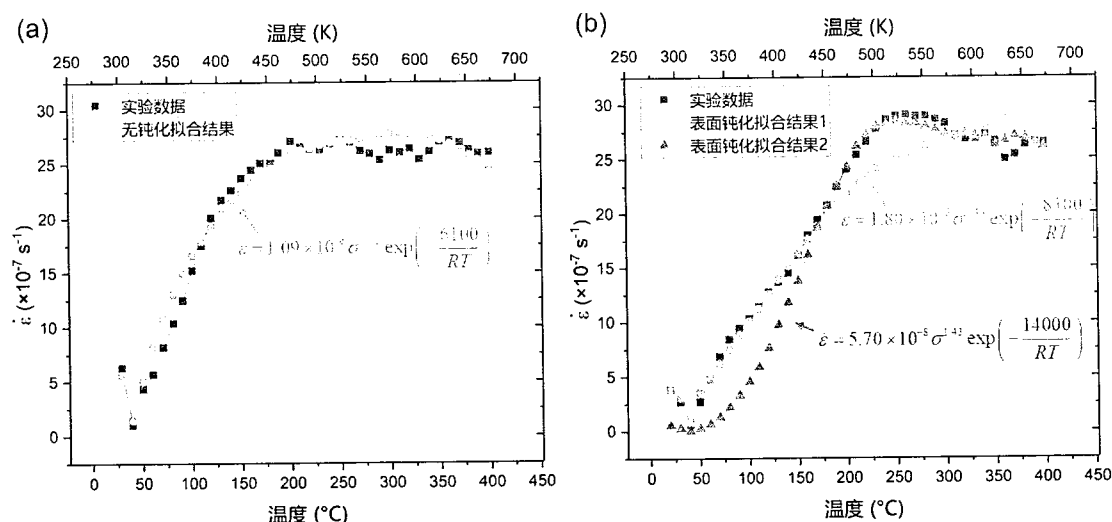


图 4.10 升温时无钝化层和表面钝化样品的 $\dot{\varepsilon}$ - T 曲线

Figure 4.10 $\dot{\varepsilon}$ - T curve of unpassivated and passivated sets during heating

表 4.2 无钝化层和表面钝化样品参数 n 和 Q 的拟合结果

Figure 4.2 Fitting result of n and Q in unpassivated and passivated sets

	第一次升温过程		第一次降温过程	
	n	Q (kJ/mol)	n	Q (kJ/mol)
无钝化层	0.52	6.1	1.40	18.7
表面钝化	0.44 (<170°C)	8.1 (<170°C)	2.03	22.6
	1.43 (>170°C)	14 (>170°C)		

在降温过程中, 这种趋势依旧十分明显。由表 4.2 中显示的两样品在降温时参数 n 和 Q 的拟合结果可以发现, 降温过程中表面钝化样品的应变激活能 Q 也

比无钝化样品高。根据两样品的 $\dot{\epsilon}$ - T 曲线，表面钝化样品曲线与坐标轴围成的面积明显小于无钝化样品，表明其应力松弛因受到了表面钝化层的影响而降低。

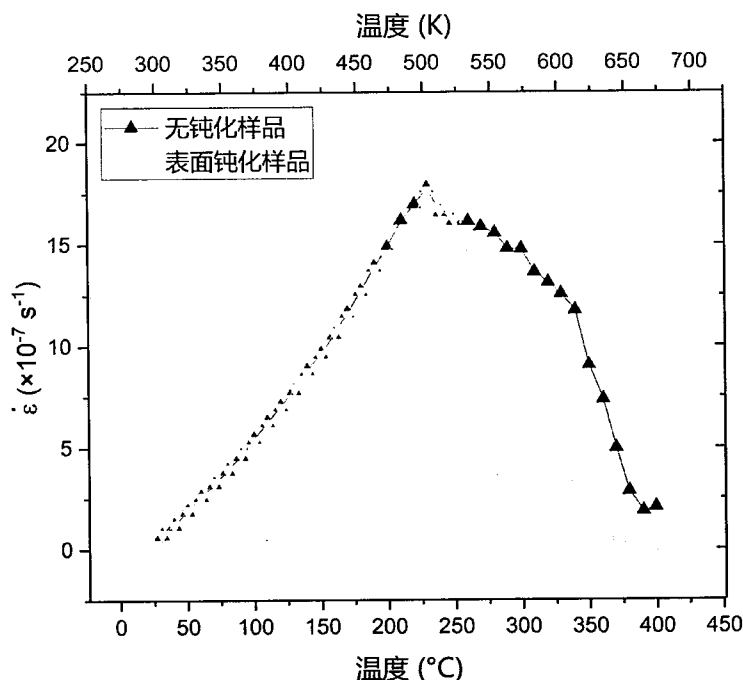


图 4.11 降温时无钝化层和表面钝化样品的 $\dot{\epsilon}$ - T 曲线

Figure 4.11 $\dot{\epsilon}$ - T curve of unpassivated and passivated sets during cooling

钝化层对原子扩散的影响主要发生在温度较高阶段，这跟电镀铜层内部的扩散路径密切相关。无钝化层样品和表面钝化样品内部的主要原子扩散通道如图 4.12 所示。图中的箭头显示了主要的原子扩散的路径。铜布线层内部的原子扩散主要是沿晶界的扩散和短路扩散。当布线层内受到压应力时，以上扩散通道和表面扩散一起串联构成了完整的原子扩散过程。由于铜原子表面扩散的扩散激活能显著低于其在材料内部自扩散的扩散激活能^[98]，无钝化层的样品表面原子扩散更容易发生，限制整个扩散通路扩散速率的是铜材料内部自扩散过程。而在 TaN 钝化的样品中，原子沿铜与 TaN 界面的扩散速率比沿晶界扩散的扩散速率低 2~3 个数量级^[138]，因此受约束的表面扩散速率限制了整个扩散通道的原子迁移速率。钝化层在限制表面扩散的同时，其与电镀铜层的界面也成为了电镀铜内部位错的钉扎位置，从而限制了位错的运动。由于钝化层对扩散蠕变和位错蠕变均有限制作用，使得其在加热过程中的应力松弛更小，样品在高温时的残余压应力更高。这本可以降低样品的室温翘曲，但是由于钝化层对原子扩散的抑制作用同样发生

在降温阶段,使得其在降温过程中的应力松弛同样比无钝化层样品更少。两过程中的作用相互抵消,使得钝化层对电镀铜层室温翘曲的降低作用不明显。如前文的测量结果,钝化层仅降低了 6% 的室温翘曲。

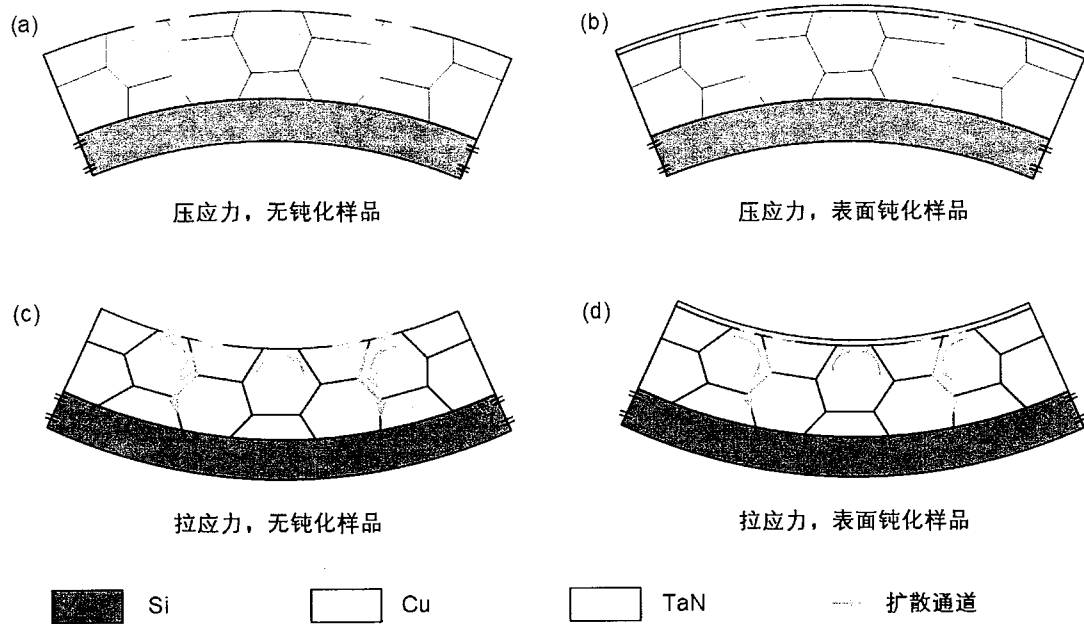


图 4.12 样品内部扩散路径和方向示意图 (不按比例)

Figure 4.12 Schematic diagram of diffusion path and direction of unpassivated and passivated sets (Not to scale)

4.3 低温冷却对晶圆翘曲演变的影响

前文中研究的都是电镀铜样品在加热过程中的翘曲演变行为,由于铜布线层在加热时产生的压应力和微结构演变使得其产生应力松弛和塑性变形,并导致了翘曲的增加。相似的,对电镀铜进行低温冷却,使其在拉应力作用下产生塑性变形,然后对样品进行升温。如果塑性变形保持到室温,将能够有效降低铜布线层的翘曲。研究表明,低温处理对 CMOS 器件的影响比较有限,器件功能可在回到室温之后恢复^[139, 140]。

4.3.1 实验方案

本节采用甲基磺酸铜镀液进行电镀铜布线层的制备,电流密度为 2 ASD,镀层厚度为 7 μm 。表面钝化样品采用相同的电镀方法,并且在电镀完成之后,采用溅射方法在电镀铜层表面制备 50 nm 厚的 TaN 作为钝化层。溅射时的衬底温

度保持室温，故在此过程铜布线层不会发生微结构的演变。样品的结构示意图如图 4.7 所示。为了研究低温冷却对铜布线层翘曲演变的影响，首先原位测量铜布线层在室温至 400°C 的两个温度循环内的翘曲演变曲线，然后将无钝化和表面钝化样品置于液氮（-196°C）中冷却 5 min。随后将样品从液氮中取出，并逐渐恢复到室温。随后再次原位测量样品在室温至 400°C 的两次温度循环中的翘曲演变。整个热处理过程的温度曲线如图 4.13 所示。由于前文已经对样品在第一次温度循环中的翘曲演变曲线做了详细的分析，并且第一次温度循环中的演变曲线与以后的演变曲线均不同，在此实验中不具备参考意义，因此本节中省略了第一次温度循环中的翘曲演变的测量结果。另有一组样品被冷却至-80°C，并恢复至室温，并测量其翘曲演变结果。

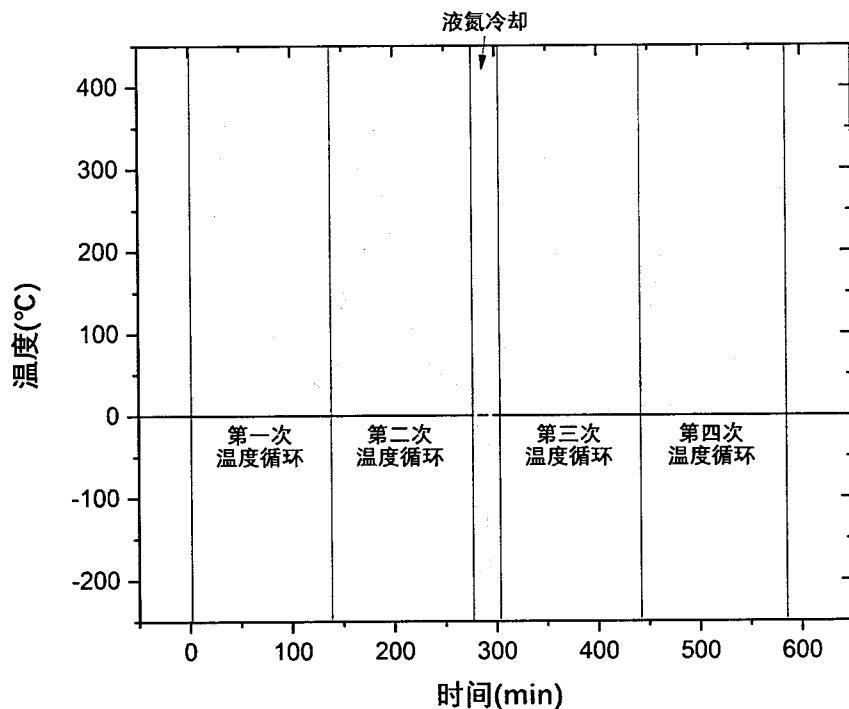


图 4.13 热处理过程温度曲线

Figure 4.13 Temperature profile of the thermal treatment

4.3.2 低温处理前后的翘曲演变曲线

冷却至-80°C 处理的钝化和无钝化样品在低温处理前后的晶圆翘曲没有产生明显的变化，而在液氮（LN₂）中进行处理的两样品产生了明显的塑性变形。两样品在液氮温度（-196°C）处理前的第二温度循环和低温处理之后的第三、第

四温度循环过程中的翘曲演变曲线如图 4.14 所示。无钝化及表面钝化样品的翘曲演变曲线在第二次温度循环过程中形成了回滞环,然后将样品冷却到液氮温度并恢复室温之后,铜布线层内部的拉应力转换为压应力。经过液氮冷却之后,无钝化层样品的室温翘曲从 0.205 m^{-1} 降低到 -0.013 m^{-1} (负号表示晶圆弯曲方向发生了改变,详见图 2.2),表面钝化样品的室温翘曲从 0.213 m^{-1} 降低到 -0.067 m^{-1} 。相当于无钝化和表面钝化样品的翘曲分别降低了 94% 和 69%。

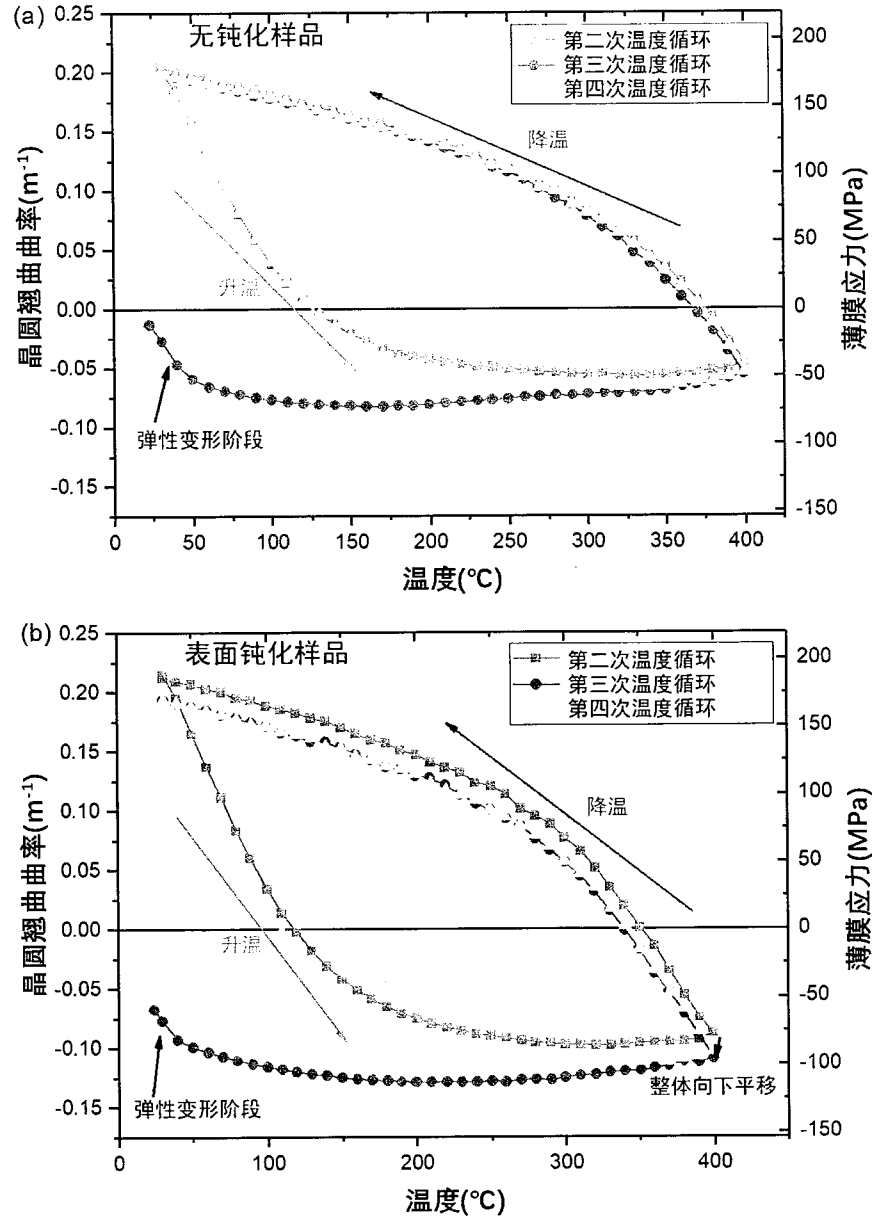


图 4.14 热处理中无钝化层和表面钝化样品的翘曲演变曲线

Figure 4.14 Wafer warpage evolution of unpassivated and passivated sets during the thermal process

在第三个热循环加热初期,两样品的翘曲演变曲线都有一个明显的弹性变形阶段,压应力逐渐升高并很快产生塑性变形,当温度加升高到 100°C 以上时,两样品的翘曲几乎不随温度的继续升高发生变化,这说明几乎所有的 CTE 不匹配带来的热应力全部通过蠕变、塑性变形等方式释放。当降温时,两样品的翘曲演变曲线几乎与第二次热循环重合,并且在随后的第四次热循环过程中,翘曲演变的趋势也没有产生变化。

比较无钝化层样品和表面钝化样品的翘曲演变曲线,可以发现几点不同。首先,由于表面钝化层对原子扩散和位错滑移的限制作用,使得表面钝化样品中承受了更多的压应力。第二,经过液氮冷却之后,表面钝化样品内部的压应力也更大,从而使其在加热过程中更快的发生了屈服。第三,液氮处理使得表面钝化的样品在第三、第四次热循环过程中的翘曲演变曲线发生了整体向下的平移,即对其产生了永久的影响,而在无钝化层的样品中没有发生类似现象。

4.3.3 低温处理时的翘曲演变曲线

通过铜布线层在低温处理前后的翘曲演变曲线测量结果和前文中对翘曲演变规律的研究,可以推断出两样品在冷却过程中的翘曲演变过程,图 4.15 中的虚线显示了一些文献中对低温处理中的翘曲演变曲线的推断结果^[80, 141],但是该曲线不能解释铜布线层降温至 -80°C 对室温翘曲没有影响的现象。

如图 4.15 中的实线所示,由于液氮冷却时,电镀铜布线层温度较低,铜原子扩散速率也比较低。与此同时,此过程中的降温速率也很高,电镀铜布线层在数分钟之内就由室温降低至 -196°C ,铜原子的迁移距离受到限制。因此,在冷却的初期出现了明显的弹性变形阶段。两样品在冷却到 -80°C 之后恢复到室温,其翘曲没有发生明显变化证实了这一假设。室温冷却至 -80°C 过程中,铜布线层翘曲演变处于弹性变形阶段。当温度进一步降低之后,铜布线层在不断增大的拉应力作用下产生塑性变形。当样品从液氮中取出时,铜布线层内部逐渐升温,并且产生弹性变形,当变形量达到一定程度之后发生塑性变形。由此,铜布线层内部的拉应力转变为压应力,并且铜布线层引入的晶圆翘曲得以降低。

样品从恢复到室温之后到继续测量其翘曲演变之间,有一段室温恒温存放的时间,在这段时间内,两样品铜布线层内部的应力均发生了应力松弛现象,松弛的应力在后续加热过程中迅速通过弹性变形的方式恢复。这个过程和 2.3.3 小节

中的恒温处理相似。由图 4.15 中红色圆圈中所示，由于表面钝化层对原子扩散和位错滑移的限制作用，无钝化样品的应力松弛程度比表面钝化样品大很多，因此无钝化样品内部的应力更小，翘曲也更小。如果调整铜布线层的冷却温度，将能够直接调整铜布线层引入的晶圆翘曲，直至在合适的温度下，其室温翘曲可降至零左右。

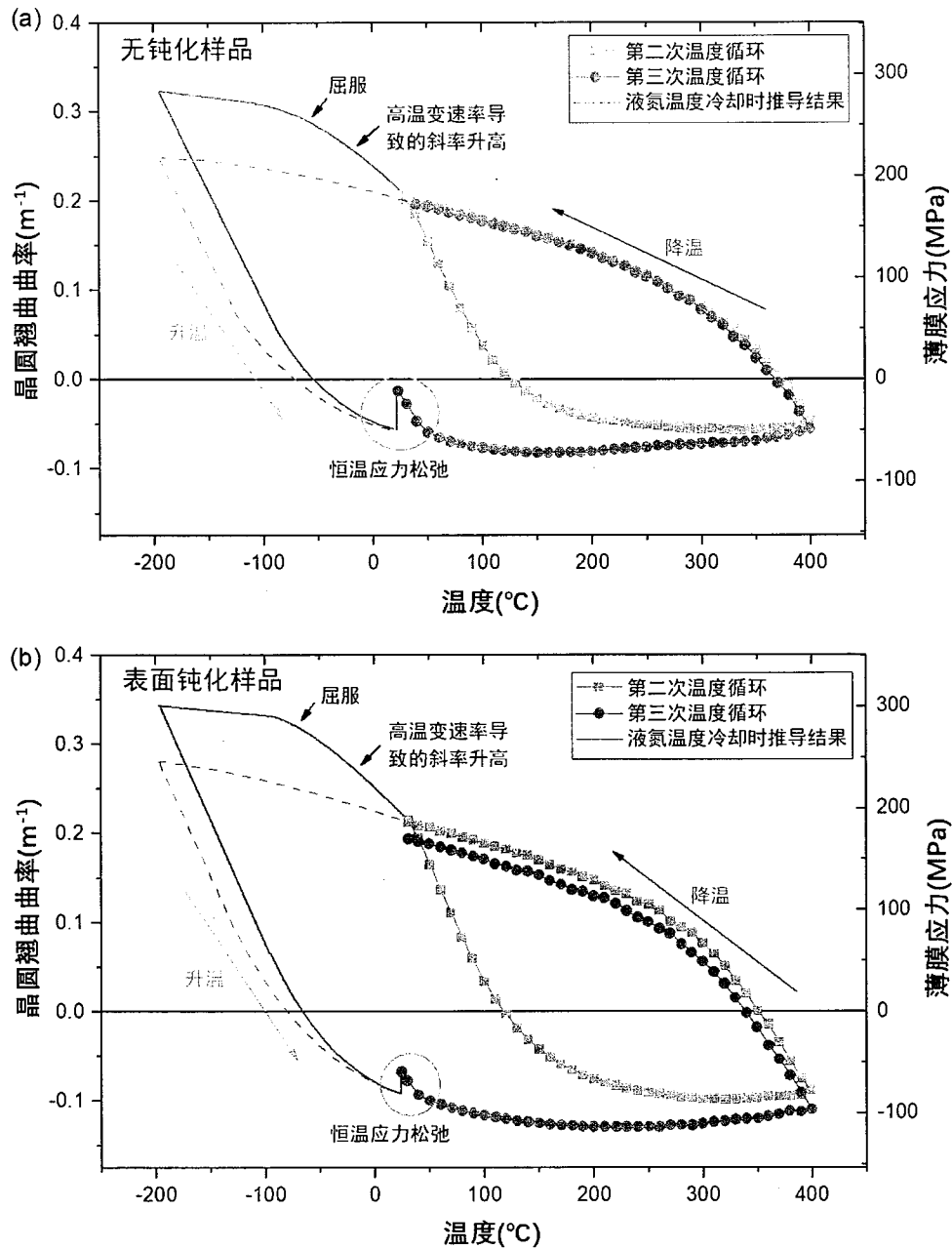


图 4.15 推测的无钝化和表面钝化样品在液氮冷却过程中的翘曲演变曲线

Figure 4.15 Deduced wafer warpage evolution of unpassivated and passivated sets during cooling in liquid nitrogen

4.4 本章小结

本章采用硫酸铜镀液和甲基磺酸铜镀液制备了三种不同微结构的铜布线层，并测量了其晶圆翘曲的演变曲线。通过建立翘曲演变曲线和应变松弛速率之间的关系，采用拟合方法得到了在不同微结构的铜布线层中，应力和温度对晶圆翘曲演变的影响，明晰了各样品晶圆翘曲演变曲线的成因。采用脉冲电镀制备的高密度孪晶铜和甲基磺酸铜镀液制备的电镀铜布线层，铜布线层引入的翘曲分别降低了 21% 和 35%。本章还研究了表面钝化对晶圆翘曲的影响。研究结果发现，由于表面钝化层对原子扩散和位错滑移的限制作用同时存在于升温 and 降温阶段，因此整体上样品的室温翘曲不会受到表面钝化层太大的影响。通过在铜布线层表面制备 50 nm TaN 钝化层的方法，其室温翘曲仅降低了 6% 左右。最后，本章提供了一种能够根据需要调整铜布线层引入的晶圆翘曲的方法，即低温冷却法。由于在低温冷却过程中，铜布线层内部也经历了弹塑性变形，当其恢复到室温之后，会有一部分塑性变形保留下来，从而能够降低布线层内部的拉应力，也能够降低晶圆翘曲。

第5章 全文总结与展望

近年来,人们对电子产品的小型化和多功能化的要求日趋强烈,先进封装技术作为缩小器件尺寸的重要方式得到快速发展。圆片级封装作为一种小尺寸、低成本的封装技术,已经得到越来越广泛的应用。但由于其工艺流程需要在制作有电路图形的硅晶圆表面制备由铜金属和PI等多层材料构成的RDL,并经历多种热工艺过程。因此,布线层内部应力和晶圆翘曲等问题值得关注。

5.1 全文总结

本文以业界广泛采用的圆片级封装工艺为背景,研究了RDL中的铜布线层在热工艺过程中的微结构演变和应力变化。结合与半导体工艺相兼容的纳米孪晶铜制备工艺,提出了几种能够有效降低由铜布线层引入的晶圆翘曲的方法。

首先,对电子封装的发展历程、圆片级封装的发展趋势和圆片级封装中晶圆翘曲问题的背景进行了介绍,综述了翘曲问题的相关研究进展。随后,定量研究了铜布线层对圆片级封装中翘曲问题的影响和铜布线层翘曲演变的规律,确定了翘曲演变的重要影响因素,并对翘曲演变机理进行了总结。本文创造性地提出采用纳米孪晶铜作为铜布线材料以降低封装翘曲,并采用快速退火法、脉冲电镀法和直流电镀法等三种方法制备纳米孪晶铜。最后提出三种降低封装翘曲的方法,即分别采用纳米孪晶铜、表面钝化层和低温冷却等方法降低了铜布线层引入的圆片翘曲。

综合全部研究内容,有以下主要结论:

1) 由于铜布线层在后续热处理过程中要经历复杂的应力演变过程,并且相较于PI来讲,布线铜层的杨氏模量更大,因此相同厚度的铜布线层引入的晶圆翘曲是PI的3倍左右。铜布线层在第一次热处理中的翘曲演变曲线与后续处理中的翘曲演变曲线均不相同,晶圆翘曲的增大主要是在第一次热处理时产生的。其最高加热温度基本上决定了铜布线层的翘曲量,铜布线层引入翘曲在后续热处理中保持不变。

2) 在加热过程中,受晶粒长大、扩散蠕变、位错蠕变等多种机理的共同影响,铜布线层在加热到400℃之后的内应力会降低至0附近。而在随后的降温过

程中, 由于布线层和硅衬底的 CTE 不匹配会导致翘曲增加, 这个过程中也伴随着各种原子扩散和蠕变带来的应力松弛现象。由于在不同加热温度下的应力松弛程度不同, 因此将加热温度从 300°C 升高到 400°C , 将使得铜布线层翘曲曲率由 0.30 m^{-1} 降低至 0.24 m^{-1} 。结合温度变化速率对翘曲演变曲线的影响, 本文认为, 铜布线层在热循环中的翘曲演变是多种扩散和蠕变机理参与的塑性滞后现象。

3) 采用脉冲电镀法制备纳米孪晶铜的过程中, 脉冲电流参数对镀层形貌有重要影响。当脉冲导通时间为 4 ms , 断开时间为 $96\sim 396\text{ ms}$, 峰值电流密度为 100 ASD 时制备的样品孪晶密度最高。采用准原位的方法对样品的生长过程进行观察, 发现孪晶片层在三晶界交叉位置形核, 并沿 (111) 面不断扩展。孪晶片层的不断形核和扩展就形成了高密度的纳米孪晶铜。

4) 电镀铜的微结构对其翘曲演变有非常重要的影响, 采用脉冲电镀纳米孪晶铜和甲基磺酸铜镀液制备的电镀铜样品均可以降低布线层在加热过程中的应力松弛, 从而分别将晶圆翘曲降低 21% 和 35% 。表面钝化层也可以降低布线层在加热过程中的应力松弛, 但钝化层对表面扩散的抑制作用一直存在于加热和降温过程中, 因此表面钝化层对室温翘曲的降低作用不明显。通过在再布线层表面制备 50 nm TaN 钝化层, 晶圆翘曲仅降低了 6% 。

5) 采用液氮冷却方法可以降低晶圆翘曲。由于铜布线层在冷却至液氮温度的过程中, 经历了弹性变形阶段和塑性变形阶段, 在升温时, 一部分塑性变形会保留下来, 从而降低布线层的整体翘曲, 方便后续工艺制程。通过液氮冷却, 无钝化层的样品翘曲可由 0.205 m^{-1} 降低至 -0.013 m^{-1} (负号表示晶圆弯曲方向发生了改变), 表面钝化样品的室温翘曲可从 0.213 m^{-1} 降低到 -0.067 m^{-1} 。相当于无钝化和表面钝化样品的翘曲分别降低了 94% 和 69% 。该处理方式有效减小铜布线层翘曲提供了思路。而再次对低温处理的样品继续进行加热之后, 其翘曲演变和冷却之前的曲线基本重合。

5.2 创新点

根据论文内容, 本文的创新点总结如下:

1) 阐明了铜布线层应力演化与圆片级封装中翘曲的相互关系, 详细研究了铜布线层在热处理时的翘曲演变、应力松弛和塑性滞后特性。通过理论分析, 对铜布线层在室温至 400°C 范围内的翘曲演变机理进行了总结。发现对铜布线层的

室温翘曲影响最为明显的是铜布线层的微结构和热处理时的最高加热温度,其他工艺参数对铜布线层室温翘曲的影响十分有限。

2) 采用脉冲电镀工艺制备了纳米孪晶铜。通过控制脉冲波形相关参数,对电镀工艺进行了探索。并对电镀铜层的形貌进行了表征,测量了各实验条件下的镀层应力。通过准原位的方法,提出了在实验条件下纳米孪晶铜的生长过程的理论,加深了对在脉冲电镀实验条件下纳米孪晶的形核和生长过程的理解,并可为此工艺的工业应用提供技术指导。

3) 采用硫酸铜镀液和甲基磺酸铜镀液制备了三种不同微结构的铜布线层,并测量了其晶圆翘曲的演变曲线。通过建立翘曲演变曲线和应变松弛速率之间的关系,采用拟合方法得到了在不同微结构的铜布线层中,应力和温度对晶圆翘曲演变的影响,明晰了各样品晶圆翘曲演变曲线的成因。采用脉冲电镀制备的高密度孪晶铜和甲基磺酸铜镀液制备的电镀铜布线层,铜布线层引入的翘曲可分别降低 21%和 35%。

4) 提供了一种能够根据需要调整铜布线层引入的晶圆翘曲的方法,即低温冷却法。由于在低温冷却过程中,铜布线层内部也经历了弹塑性变形,当其恢复到室温之后,会有一部分塑性变形保留下来,从而能够降低布线层内部的拉应力,也能够降低晶圆翘曲。

5.3 展望

脉冲电镀制备的纳米孪晶铜在加热过程中会产生去孪晶化现象,这会在某种程度上降低其可靠性,研究热稳定性更高的纳米孪晶铜样品将有望进一步降低铜布线层引入的翘曲。深入的研究电镀铜层在低温处理时的翘曲演变,研究不同温度下处理对布线层室温翘曲的影响将会更有利于这种方法的工业应用。纳米孪晶铜作为一种新型的铜材料,在电子封装中有广泛的应用,将其应用于微凸点、UBM 等领域,可进一步发挥其优异的力学和电学性能。因此,进一步研究纳米孪晶铜的制备方法显得尤为重要。如果能够降低直流电镀法制备的纳米孪晶铜与种子层之间的过渡层,将能够在充分发挥纳米孪晶铜的作用的同时,避免过渡层的影响。此外,开发晶圆尺度上制备纳米孪晶铜的直流电镀方法对其工业应用也十分重要。由于铜布线层在封装互连领域的应用会越来越广泛,因此对纳米孪晶铜的制备和其在不同领域的应用的研究必将为有效改善圆片级封装的翘曲问题

带来新的解决方案。