

密级: _____



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

介质/SiC 界面研究和 MOSFET 器件研制

作者姓名: _____ 王弋宇 _____

指导教师: _____ 刘新宇 (研究员) _____

_____ 中国科学院微电子研究所 _____

学位类别: _____ 工学博士 _____

学科专业: _____ 微电子学与固体电子学 _____

研究所: _____ 中国科学院微电子研究所 _____

2015 年 5 月

**Research on the properties of dielectric/SiC interface and
fabrication of SiC MOSFETs**

By

[Yiyu Wang]

A Dissertation/Thesis Submitted to

The University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Doctor/Master of Philosophy

in

Microelectronic and Solid State Electronics

Institute of Microelectronics, Chinese Academy of Sciences

April, 2015

关于学位论文使用权声明

任何收存和保管本论文各种版本的单位和个人，未经著作权人授权，不得将本论文转借他人并复印、抄录、拍照、或以任何方式传播。否则，引起有碍著作权人著作权益之问题，将可能承担法律责任。

关于学位论文使用授权的说明

本人完全了解中国科学院微电子研究所有关保存、使用学位论文的规定，即：中国科学院微电子研究所有权保留学位论文的副本，允许该论文被查阅；中国科学微电子研究所可以公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存该论文。

（涉密的学位论文在解密后应遵守此规定）

签 名：王弋亭 导师签名：刘新宇 日 期：

关于学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名：王弋亭 导师签名：刘新宇 日 期：

摘要

碳化硅（SiC）是第三代半导体——宽禁带半导体材料，具有禁带宽度大、临界击穿场强高、热导率高等优点，是制作高压、大功率半导体器件的理想材料，SiC 电力电子器件是下一代高效电力电子器件技术的核心。SiC MOSFETs 相比于 Si MOSFETs 导通电阻更小、开关电压更高、应用频率更高、温度性能更好，特别适用于功率开关应用。SiC MOSFET 器件的集成制造工艺，特别是栅介质工艺，是当前研究的热点。本论文主要针对介质/SiC 界面调控和 SiC MOSFET 器件制作的关键工艺进行了细致研究，取得的主要研究成果如下：

1、对比研究了不同 C-V 表征方法在 SiC MOS 界面态提取中的优缺点，针对氮化后 SiC MOS 界面出现的快界面态，采用了低温电导法测试，通过降低测试温度来增大界面态的响应时间，在 1 MHz 频段内获得界面陷阱的完整电导响应峰，对 SiC MOS 界面态密度进行了准确表征。

2、基于工业级的 centrotherm 氧化炉，开发出一套稳定可重复的 SiC 高温干氧氧化和 POA 退火工艺，有效地抑制氧化过程和降温过程中缺陷的生成。在此基础上开展了 SiO₂/SiC 界面氮化处理研究，发现氮化后界面处会生成常温下响应频率远超 1 MHz 的快界面态，在靠近 4H-SiC 导带位置其密度超过了 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ，是制约氮化工艺提升 SiC MOSFET 迁移率的主要因素。并进一步开展了 N 和 H 结合钝化界面的研究，通过在 NO 处理后，再引入 FGA 退火，进一步钝化氮化后生成的 Si 和 C 的悬挂键，将靠近 SiC 带隙中间的深能级缺陷降到了 $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下。

3、研究了钝化工艺对 SiO₂ 栅介质可靠性的影响。发现 FGA 处理比 NO 处理更能有效地消除介质中的缺陷，提高击穿场强、SiO₂/SiC 势垒高度和击穿电荷量。通过 NO 和 FGA 退火工艺的结合，在改善界面特性的同时，也能显著地提高栅介质的质量，使介质击穿场强超过 10 MV/cm，势垒高度达到 2.70 eV，介质的击穿电荷也提升了 2 个量级。

4、成功开发了 SiC MOSFET 器件涉及到的关键技术，主要包括：SiC 标记和隔离槽的 ICP 刻蚀工艺、SiC DMOSFET 器件的同时形成 P 型和 N 型欧姆接触的合金工艺、SiC 离子注入高温激活的碳膜保护工艺等。并在国内率先研制成功

SiC VDMOSFET 器件, 其栅介质采用氮化处理, 场迁移率峰值达到 $11.4 \text{ cm}^2/\text{Vs}$, 接近商业化 SiC MOSFET 器件水平。

5、探索了 Al_2O_3 介质在 SiC 上的应用。通过 ALD 技术在 SiC 衬底上沉积的 Al_2O_3 , 其介电常数 8.4, 禁带宽度 6.5 eV, 没有过渡层, 界面态约为量级, 在改善 SiC MOS 界面方面具有巨大的潜力。研究发现, Al_2O_3 介质中靠近 SiC 边界处存在很多电子陷阱, 会导致严重的电子注入现象; 通过 O_2 高温退火可以有效地减少 Al_2O_3 介质中的缺陷, 抑制电子的注入。

关键字: 碳化硅, 场效应晶体管, 界面态密度, NO 退火, FGA 退火, 可靠性, 载流子迁移率, 三氧化二铝

Abstract

The silicon carbide, which exhibits a wider band gap as well as superior breakdown field and thermal conductivity over conventional Si, is the ideal material for a new generation of power devices. The SiC MOSFETs with low on-resistance, high breakdown voltage, high operating frequency, low power loss and good temperature characteristics, has gain considerable attention. In this dissertation, the passivation mechanism of dielectric/SiC interface and the critical fabrication process for SiC MOSFET fabrication are paid attention to, and the main results of this research are summarized as follows:

1. The different C-V methods for characterization of SiO₂/SiC interface are studied. The advantages and shortcomings of these methods have been analyzed. Low-temperature conductance measurements were applied to evaluate the fast interface states generated at the nitride SiO₂/SiC interface. Since the response frequency of interface states is lowered with decreasing temperature, for $T < 210\text{K}$, 1MHz is almost high enough for the interface-state conductance peak to be clearly observed.

2. A stable and repeatable process for high-temperature dry oxidation of SiC and post-oxidation annealing has been established on industrial centrotherm-oxidator. Then the N and H passivation of the SiO₂/SiC interface has been studied. Very fast states were observed after NO annealing and the response frequency was higher than 1 MHz at room temperature. The D_{IT} was still more than $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ close to conduction band, which restricted the further improvement of the mobility. Hydrogen could terminate the residual Si and C dangling bonds generated after NO annealing and the D_{IT} was further reduced. The combined treatment of NO and forming gas annealing reduced the density of interface states in deep energy trap level to less than $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$.

3. The effect of passivation processes on the reliability of SiO₂ dielectric has been investigated. Compared with the NO annealing, the FGA annealing was more

effective to eliminate the defects in the bulk SiO₂. Through the combined treatment of NO and forming gas annealing, we have improved the electrical properties of the SiO₂/SiC interface and the quality of the SiO₂ dielectric at the same time. The breakdown field of SiO₂ was increased to 10 MV/cm. The barrier height between SiO₂ and SiC was increased to 2.70 eV. The Q_{BD} of SiO₂ was also increased by two orders of magnitude.

4. The critical fabrication processes for SiC MOSFET fabrication have been developed. An optimized ICP etching was applied to develop alignment marks etching and isolation groove etching on 4H-SiC. Simultaneous formation of ohmic contact on p-type and n-type 4H-SiC was achieved through optimizing the activation conditions and the annealing temperatures. Furthermore, a carbon film formed on an ion-implanted SiC wafer was used as cap layer of the SiC wafer surface during the high-temperature activation process. We have reported the first SiC VDMOSFET in China and its maximum field effect mobility is 11.4 cm²/Vs.

5. ALD Al₂O₃ film has been applied as an alternative gate dielectric for SiC MOSFETs. It simultaneously presents a large dielectric constant ($\epsilon \sim 8.4$) and a large band gap (~ 6.5 eV). No distinct interface transition layer has been found. The D_{IT} is about 10¹² eV⁻¹cm⁻² close to the conduction band of 4H-SiC. Al₂O₃ has demonstrated its excellent potential to be applied in SiC MOSFETs. However, a severe charge trapping behavior was observed in Al₂O₃/SiC structure. Further researches indicate that charge trapping sites in Al₂O₃/SiC structure originate from the native defects in Al₂O₃ films, predominantly the border traps. The bulk properties of the Al₂O₃ film could be improved through high-temperature annealing at O₂ atmosphere.

Keywords: SiC, MOSFET, Density of interface states, NO annealing, FGA annealing, Reliability, Mobility, Al₂O₃

目录

第一章 绪论	1
1.1 前言.....	1
1.2 SiC 材料在功率电力电子器件中的应用.....	3
1.2.1 SiC 材料结构	3
1.2.2 SiC 材料特性和电学特性	5
1.3 SiC MOSFET 器件发展历程与关键制约因素	6
1.4 SiC MOS 界面调控机理及对 MOS 器件性能的影响	8
1.4.1 基于氧化工艺优化的调控	8
1.4.2 界面氮化调控 (Interface nitridation)	9
1.4.3 其他调控方法	10
1.5 国内 SiC 产业发展和 SiC MOS 研究的现状	11
1.6 论文研究的意义.....	12
1.7 论文的主要工作.....	13
第二章 MOS 理论和 SiC MOS 界面特性	15
2.1 理想 MOS 电容的电学特性	15
2.2 理想 MOS 和 SiC MOS 电容的 C-V 特性	17
2.3 MOSFET 器件物理.....	19
2.4 SiC/SiO ₂ 的界面特性及对 SiC MOSFET 器件性能的影响	23
2.4.1 MOS 系统中的电荷及其分布	23
2.4.2 SiC 的氧化动力学和 SiO ₂ /SiC 界面结构	24
2.4.3 SiO ₂ /SiC 结构中界面态的分布和来源	27
2.4.4 SiC/SiO ₂ 界面对 SiC MOSFET 器件特性的影响	29
2.5 本章小结.....	34
第三章 SiO₂/SiC 介质界面的测试表征	35
3.1 界面态密度表征方法研究.....	35
3.1.1 Terman 方法	35
3.1.2 高低频方法 (Hi-low method)	37

3.1.3 C- ϕ_s 方法	39
3.1.4 电导法	42
3.2 C-V 方法提取衬底掺杂浓度	48
3.2.1 最大-最小 MOS 电容法	48
3.2.2 微分电容法	49
3.3 SiO ₂ /SiC MOS 栅介质的表征	50
3.3.1 氧化物可靠性的表征方法	51
3.3.2 氧化物击穿特性的统计分析方法	52
3.4 界面化学组成和栅介质材料特性表征	54
3.4.1 X 射线光电子能谱 (XPS)	54
3.4.2 椭圆偏振仪测试 (Spectroscopic Ellipsometry)	55
3.5 本章小结	58
第四章 SiO₂/SiC 界面调控研究	59
4.1 氧化工艺和钝化工艺的研究方案	59
4.2 SiC 的高温氧化工艺	62
4.3 SiO ₂ /SiC 的 N ₂ /O ₂ 钝化工艺	63
4.4 SiO ₂ /SiC 的 N/H 钝化工艺	67
4.4.1 常温电导法测试	69
4.4.2 低温电导法测试	71
4.4.3 平带电压漂移测试	74
4.5 SiO ₂ /SiC 的可靠性研究	75
4.5.1 TZDB 测试和失效统计分布	75
4.5.2 TDDB 测试和统计	78
4.6 本章小结	80
第五章 SiC MOSFET 器件关键工艺研发和器件制备	81
5.1 刻蚀工艺	81
5.1.1 SiO ₂ 掩膜刻蚀工艺	81
5.1.2 SiC 刻蚀工艺	82
5.2 离子注入及激活退火	86

5.2.1 离子注入工艺及其仿真过程	86
5.2.2 高温激活过程中的碳膜保护	88
5.3 4H-SiC 的欧姆接触	92
5.4 SiC MOSFET 器件的工艺流程和版图设计	96
5.5 SiC MOSFET 器件的性能测试	99
5.6 本章小结	101
第六章 Al₂O₃/SiC 介质界面研究	103
6.1 Al ₂ O ₃ /SiC 介质界面的研究思路和方法	103
6.2 Al ₂ O ₃ /SiC 结构的电学特性	105
6.3 Al ₂ O ₃ /SiC MIS 结构的电子注入现象	110
6.3.1 电子陷阱分布的 C-V 滞回研究	111
6.3.2 Al ₂ O ₃ /SiC 界面的能带结构和化学组成	114
6.4 退火工艺对 Al ₂ O ₃ /SiC 界面和介质的影响	117
6.5 本章小结	120
第七章 总结和展望	123
7.1 论文总结	123
7.2 下一步工作	124
参考文献	127
攻读博士期间发表的学术论文	135

第一章 绪论

1.1 前言

随着能源危机不断增大以及环境问题的日益凸显，以节能减排为核心的技术不断涌现出来，其中以改进现有电力系统来提高能源利用率最为引人注目，而改进电力系统的关键是提高核心电力电子器件的效率。电力电子器件是电力电子技术的三大核心基础之一，被比作电力电子装置的“CPU”。电力电子技术的每一次飞跃都是以新器件的出现为契机，作为源头的电力电子器件发展直接带动了电力变流器水平的整体提升，并促进和推动了电力电子技术和应用的迅速发展。因此，高效电力电子器件技术成为研究的热点之一^[1]。

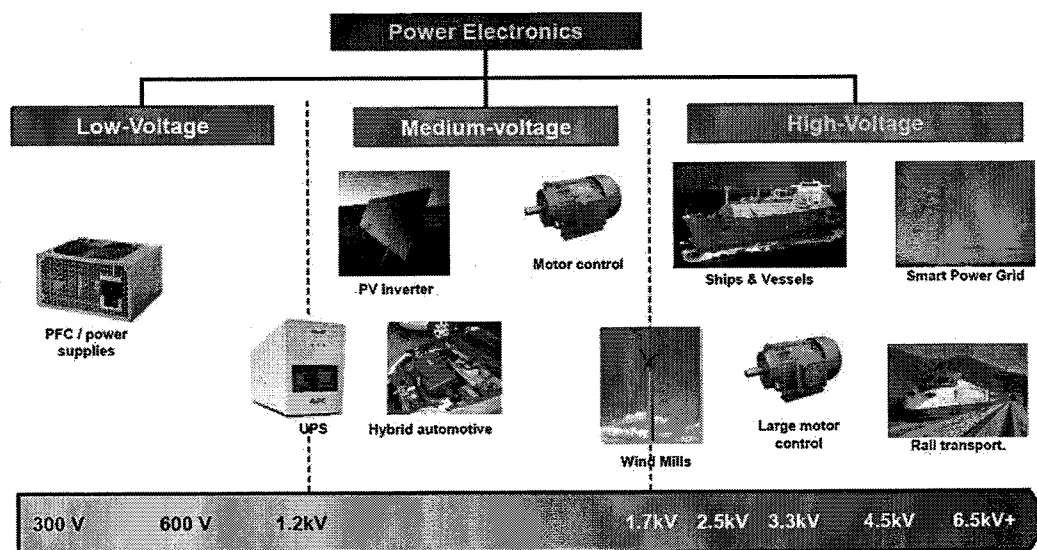


图 1-1 电力电子器件的应用领域

“一代材料，一代器件”。传统基于 Si 材料体系的电力电子器件，已广泛地应用于现代社会生活的各个方面：家用电器、轨道交通、交直流输变电等，如图 1-1 所示^[2]。但是，经过几十年的发展，Si 的电力电子器件性能已经发展到了极限，很难再有大的突破，制约着工作电压和转换效率的进一步提升^[3]；而以 SiC 为主要代表的第三代化合物半导体材料，具有比 Si 更高击穿电场、更快饱和电子漂移速度、更宽的禁带宽度和更高的热导率等优异特性，使其成为新一代高效、高压电力电子器件的理想材料和必然选择^[4-6]。

从 1987 年美国 Cree 公司首次成功地生长出 6H-SiC 单晶开始，碳化硅材料

进入了快速发展的时期，商业化 SiC 晶圆的尺寸越来越大，材料的质量也不断

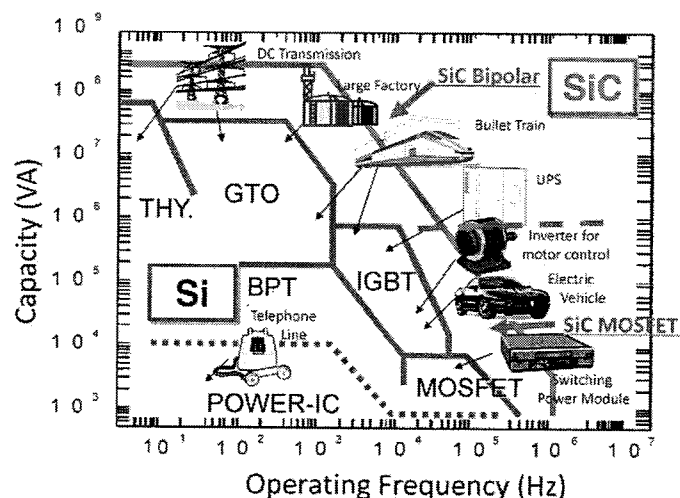


图 1-2 SiC 电力电子器件的应用领域

提升。截止到目前 150mm 的 4H-SiC 晶圆已经开始投放到市场^[7]，器件成本的迅速降低，SiC 器件市场发展迅速，如图 1-3 所示^[8]。以肖特基二极管为主要代表的 SiC 器件，率先实现了商业化，Infineon、Cree、Rohm 和 GeneSiC 等先后推出了自己的 SBD/JBS 产品，产品的耐压范畴覆盖了从 600V 到 1700V。在 JFET 和 BJT 方面，Semisouth 和 GeneSiC 也推出了一系列产品。SiC MOSFET 器件受制于栅氧工艺发展相对滞后。不过，Cree 和 Rohm 于近几年也先后推出了 1200V 和 1700V 的 SiC MOSFET 产品。在功率市场领域，SiC 器件的市场份额正在不断扩大。

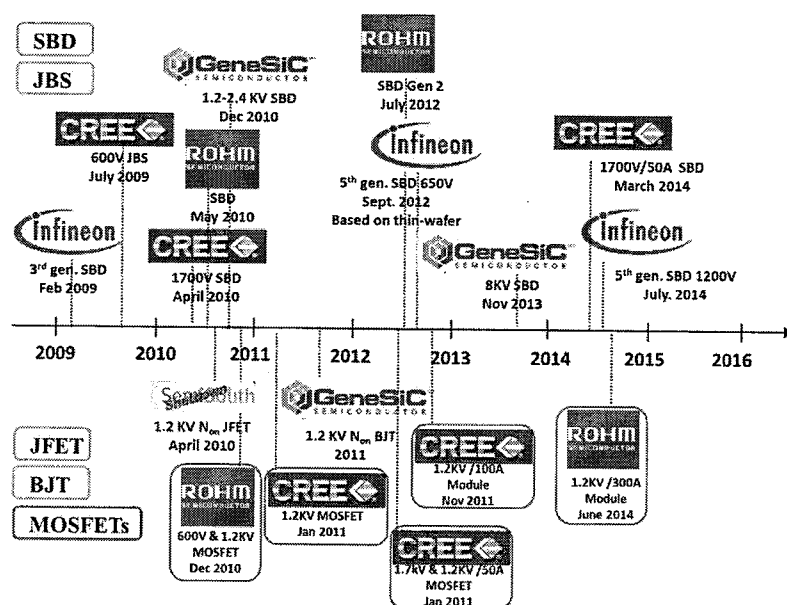


图 1-3 商业化 SiC 器件的发展历程

1.2 SiC 材料在功率电力电子器件中的应用

碳化硅是典型的实用宽禁带半导体材料之一，跟硅和砷化镓一样具有典型的半导体特性，被人们称为继硅和砷化镓之后的“第三代半导体”。由于碳化硅具有高硬度，高击穿场强、抗辐照和高热电导等特性，在制造电力电子器件方面具有广阔的应用前景。

1.2.1 SiC 材料结构

SiC 材料具体悠久的历史，Si-C 键的首次发现者是斯德哥尔摩 Karolinska 大学化学实验室的 Jöns Jakob Berzelius 教授。1823 年，Berzelius 发现了一种未知的化合物，并在这种化合物中发现了相等数量的 Si 原子和 C 原子。碳化硅具有多种同素异形体，迄今为止观察到的同素异形体就有 200 余种，其中当前商业化的 SiC 器件主要基于 4H-SiC 材料。

碳化硅是非常典型的共价键化合物，在它的任何一种结晶形态中，每一个碳原子都被 4 个硅原子紧密包围着，每一个硅原子也都被 4 个碳原子紧密包围着。每个原子与其四个最近邻一起通过很强的 SP^3 共价键结合成一个正四面体。在构造各种碳化硅的同素异形体模型时，无论是 Si-C 双原子层还是这些双原子层的堆垛，都要服从这个基本原则，并且符合密堆积原则。

众所周知，单一类型原子的最密堆积方式是六角密集。在这种堆积方式下，同一层面的原子均匀分布在一个最小单元为正三角形的点阵中。为了实现最密的堆积，任何一层的原子必须与其相邻的原子层的间隙相对。这样，一个参考原子层的上下两个相邻原子层只有两种对准方式：要么对准同一种间隙，要么各自对准一种间隙。这样，在所有的原子层的堆垛中只存在至多 3 种不同的对准关系。如果我们分别用 A、B 和 C 来标识这样 3 种具有不同对准关系的原子层面，既以 A 表示参考原子层及与其原子对原子、间隙对间隙的其他等价原子层，以 B 和 C 分别表示以原子对间隙 B 的原子层和以原子对间隙 C 的原子层，如图 1-4^[9]，则整个密堆积空间中所有的密排面都可以分别用这 3 个字母或其中 2 个来表示，从而写出密排面的堆垛次序。

对碳化硅的原子排列，需要从 Si-C 双原子层的堆垛顺序，即将双原子层作为一个整体的堆垛顺序来考虑。Si-C 双原子层的基本结构由 3 个 Si 原子和位于这 3 个 Si 原子围成的正三角形中心正上方的 1 个 C 原子构成，这个单元的二维周

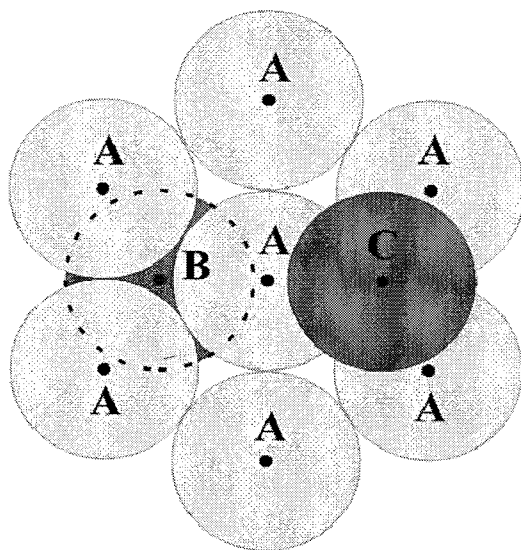


图 1-4 双原子层的 3 种定位

期性延伸即构成一个完整的 Si-C 双原子层。显然最简单的堆垛次序是 ABCABC.....和 ABAB....., 对碳化硅而言就是 3C-SiC 和 2H-SiC。在碳化硅晶体结构的命名方式中, 字母前的数字代表一个堆垛周期中包含的双原子层数目, 字母代表的是晶体结构的类型: C 表示立方体型, H 表示六方体型, R 表示菱面六方体型。

图 1-5 显示了 4H-SiC 的 3-D 晶格结构, Si-C 双原子层中 Si 是浅色原子^[10], C 是深色原子。4H-SiC 最表面完全由 Si 原子层覆盖的称为 (0001) 面; 由 C 原子层覆盖的称为 (000-1) 面; 另外一个经常使用到的面是 a-face, 也称为 (11-20) 面。

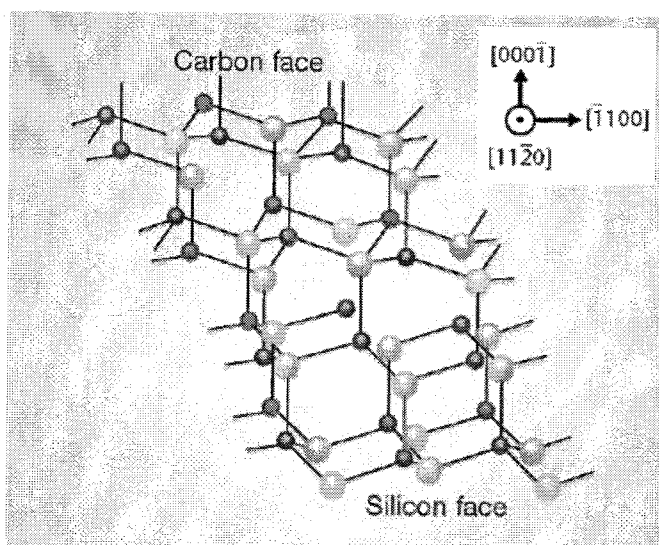


图 1-5 4H-SiC 的 3-D 晶格结构

1.2.2 SiC 材料特性和电学特性

目前主要使用的几种半导体功率器件材料的特性如表 1-1 所示^[11]。对于适用于制备功率器件的半导体材料，其最主要的基本属性通常包括：禁带宽度、本征载流子浓度、载流子迁移率、介电常数、热导率、临界雪崩击穿电场强度和载流子饱和速度。综合以上各种因素，SiC 材料应用到功率器件上具有广阔的应用前景。

表 1-1 几种常见半导体材料物化特性对比

材料	E_g (eV)	n_i (cm^{-3})	μ_n (cm^2/Vs)	ϵ_r (300k)	λ ($\text{Wcm}^{-1}\text{K}^{-1}$)	E_B (MV/cm)	V_{sat} (10^7cm/s)
Si	1.2	1.5×10^{10}	1350	11.7	1.5	0.21+	1
GaAs	1.47	1.8×10^6	8500	12.8	0.55	0.24+	0.7
GaN	3.39	1.9×10^{-10}	900	8.9	1.3	3.2	2.5
3C-SiC	2.6	6.9	900	9.72 -	4.5	0.8	2
4H-SiC	3.28	8.2×10^{-9}	400	9.76 ^a 10.32 ^c	4.5	1	2
6H-SiC	3.08	2.3×10^{-6}	1000	9.66 ^a 10.03 ^c	4.5	3	2

由于禁带宽度和本征载流子浓度限值，Si 器件的工作结温低于 150 °C。而 4H-SiC 材料有 3 倍于 Si 的禁带宽度，它的本征载流子浓度也比 Si 要低十几个量级，使得 SiC 器件可以工作的最高结温达到 600 °C，并且漏电流也大大降低。SiC 材料的热导率也是 Si 的 3 倍以上，极大地降低了对冷却系统的需求，同时也提高了器件工作最大功率密度。此外，SiC 材料的临界雪崩击穿电场强度是 Si 的 10 倍以上，意味着同等击穿量级的器件，SiC 器件的外延层厚度只有 Si 器件的十分之一不到，大大降低了器件工作时的导通电阻。图 1-6 给出了 SiC 相对于 Si 和 GaN 的主要特性的对比^[12]，GaN 虽然也有很高的临界击穿场强，但是 GaN 材料不能同质外延，即无法制备垂直器件，从图中可以看出 SiC 更适合于高温高压大功率的应用。

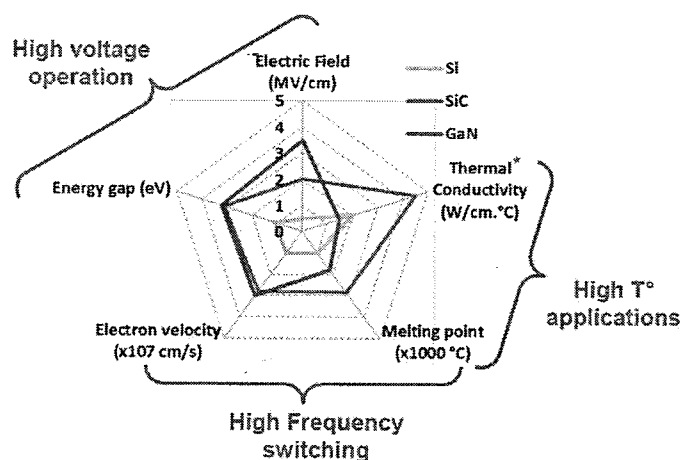


图 1-6 Si、SiC 和 GaN 主要材料特性的对比

1.3 SiC MOSFET 器件发展历程与关键制约因素

20 世纪 70 年代末电力电子器件领域引入 Si MOSFETs 器件, MOSFETs 作为一种场控制型单极性开关器件,它具有工作频率高、驱动功率小、无热电反馈二次击穿、以及跨导的线性度高等双极型功率器件难以相比的优点

SiC MOSFETs 相比于 Si MOSFETs 导通电阻更小、开关电压更高、应用频率更高、器件效率更高、温度性能更好,特别适用于功率开关应用。随着 SiC 材料生长技术的突破,其研发进展迅猛。

最早期的 SiC MOSFET 器件是基于 3C-SiC 材料。虽然沟道迁移率很高,但是 3C-SiC MOSFET 器件的漏电流很大^[13],不能用于实际,需要寻求一个新的材料体系。

随后, 6H-SiC MOSFETs 器件诞生,期间发展了 6H-SiC 衬底材料,以便为 SiC MOSFET 器件的发展打下基础。但是,研究显示 6H-SiC MOSFET 器件的沟道迁移率相对之前研究的 3C-SiC MOSFET 有较大幅度的降低,甚至不到其 1%。这个发现是研究人员始料未及的,究其原因这是由于 $\text{SiO}_2/\text{6H-SiC}$ 界面态密度很高。另外作为垂直结构器件, 6H-SiC 材料的载流子迁移率有严重的各向异性^[14]。

4H-SiC 衬底材料的迁移率各向异性小,禁带宽度大,其相关技术的发展才得以进行。4H-SiC MOSFETs 器件从无到有,并在器件性能方面也不断提升,但是问题也依然存在。图 1-7 给出了近年来 SiC MOSFETs 器件导通电阻随器件击穿电压的变化^[15-24]。从图中可以看出,器件性能虽不断提升,但是器件的导通电阻 (R_{on}) 仍然没有达到理想预期值,距离 SiC 材料的临界性能还是有很大距离。

这主要是因为热氧生长的 SiO_2 和 4H-SiC 的界面处存在较高的界面态密度 (interface state density) [25-27], 尤其是靠近导带处界面态密度超过 $10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 。以 n-type MOSFET 为例, 这些界面陷阱束缚了大量的反型层电子, 导致这些被束缚电子无法为漏电流做贡献[28]。此外, 这些束缚电子也会对沟道中的自由电子形成库伦散射[29,30], 进一步导致载流子迁移率下降到 $10 \text{ cm}^2/\text{V}\cdot\text{s}$ 以下。对于 DMOSFET 或者 UMOSFET 器件, 较低的迁移率导致沟道电阻 (R_{channel}) 在器件

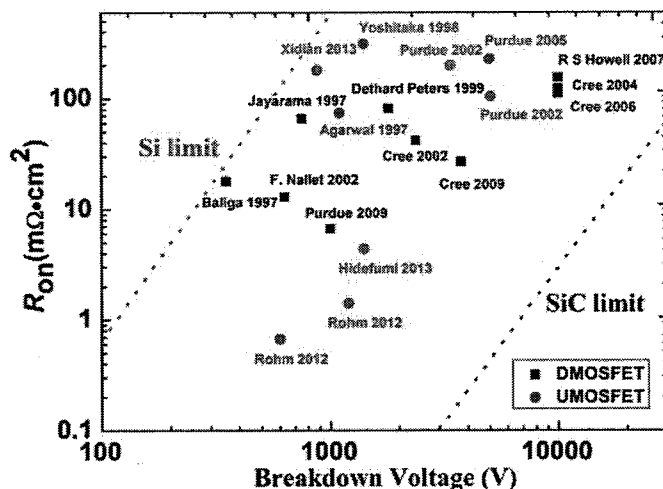


图 1-7 SiC MOSFETs 器件研究制备进展

的导通电阻中占据较大的比例, 如图 1-8 所示, 从而使器件的导通电阻达不到 SiC 材料的预期, 同时也会影响 MOSFET 器件的阈值电压 (V_T) 和长期可靠性 [31,32]。因此, SiC MOS 界面的研究开始成为热点, 并成为制约 SiC MOSFET 器件发展的关键。

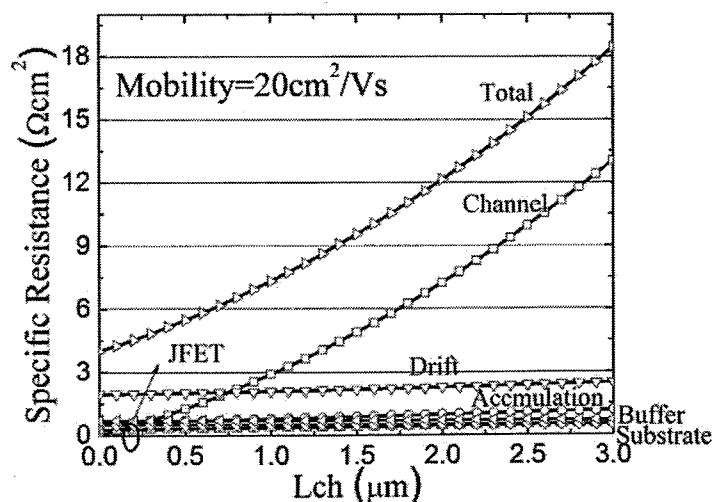


图 1-8 迁移率降为 $20 \text{ cm}^2/\text{Vs}$ 时, 4H-SiC MOSFETs 器件各部分

导通电阻随沟道长度变化关系

1.4 SiC MOS 界面调控机理及对 MOS 器件性能的影响

SiC 是唯一能够热生长 SiO_2 的化合物半导体,这就使得 SiC 可以实现所有 Si MOS 的器件结构。SiC 的热氧化需要比 Si 更高的氧化温度,就击穿场强和可靠性而言, SiC 上热生长的 SiO_2 质量与 Si 相当。但是,在整个禁带宽度内, SiO_2/SiC 的界面态比 SiO_2/Si 要高两个数量级,这些界面态的存在使得 SiC MOS 器件沟道载流子迁移率远远低于体内,极大阻碍了 SiC MOS 器件的发展。为了提高 SiC nMOSFET 反型沟道电子迁移率和器件可靠性,很多研究小组对 SiO_2/SiC 界面做了大量的研究工作。

1.4.1 基于氧化工艺优化的调控

采用合适的氧化热退火和金属后退火(post-metallization annealing)工艺,对于获得高质量的介质/半导体材料界面至关重要。在传统的 Si 工艺中,主要使用 Hydrogen 钝化 SiO_2/Si 的悬挂键来减少界面态,通常在 $\text{N}_2\text{-H}_2$ 的混合气体中 (Forming gas), $400\sim 500\text{ }^\circ\text{C}$ 之间退火^[33,34]。 SiO_2/Si 的通过 Hydrogen 钝化可以降到 $10^9\text{ cm}^{-2}\text{eV}^{-1}$ 以下。但是对于 SiC MOS 界面, $400\sim 500\text{ }^\circ\text{C}$ 之间的 Forming gas 退火对于改善界面效果甚微,意味着 SiO_2/SiC 界面存在的问题与 SiO_2/Si 界面有着本质的区别。Fukuda 等人后来报道^[35,36],高温 H_2 退火, $800\sim 1000\text{ }^\circ\text{C}$,更有利于降低界面态密度,但是具体的机制并不清楚。

一种“低温再氧化”退火 (re-oxidation annealing) 被发现可以有效降低深能级界面态,特别是靠近带隙中间的缺陷能级^[37]。1996 年, Lipkin 等人报道了高温氧化后低温再氧化工艺 (re-oxidation annealing),这种工艺的关键是在氧化后紧跟一步 $950\text{ }^\circ\text{C}$ 的湿氧退火,退火过程中水蒸气的含量也会直接影响界面特性。后来, Kosugi 等人采用这种工艺制备了 4H-SiC(0001)和 6H-SiC(0001)MOSFET,再氧化水蒸气含量为 50%时获得的最大迁移率分别为 $50\text{ cm}^2/\text{V}\cdot\text{s}$ 和 $98\text{ cm}^2/\text{V}\cdot\text{s}$ ^[38]。但是,研究也表明,这种方法对于降低靠近 4H-SiC 导带边缘的界面态效果并不明显。

热氧化后在惰性气体 (Ar or N_2) 中快速热退火也是 SiC MOS 工艺中经常使用到处理工艺^[39]。迄今为止,这种惰性气体的 POA 经常在和氧化同等温度下进行,即 $1100\sim 1200\text{ }^\circ\text{C}$ 。一般认为,这一步 POA 有助于去除 SiO_2/SiC 界面处和 SiO_2

介质中残留的碳；但是，并没有直接证据证明退火过程中有碳往外扩散现象。不过，适度的 Ar POA 确实有助于改善 SiO₂ 介质的特性，并提升其可靠性，因而也得到广泛的使用。最近，也有报道在 1300-1350 °C 的高温下进行 Ar POA 更有利于增强碳间隙原子的外扩散^[40]。尽管，界面态降低了，nMOSFET 的迁移率也得到了提升；不过，改善的幅度很有限。

Yano 等人首次发现在 POCl₃ 中退火，磷原子会在 SiO₂ 介质中均匀地分布，可以有效降低界面态，并极大地提升 n 沟道的载流子迁移率^[41,42]。在 POCl₃ 氛围中 1000 °C 退火 10min °C，制备的 SiC nMOSFET 峰值迁移率可以达到 89 cm²/V·s。通过进一步的优化工艺，采用 1000 °C POCl₃ 退火和 700 °C Forming gas 退火结合，迁移率被提升到了 101 cm²/V·s^[43]。但是，另一方面，POCl₃ 退火也会降低介质的可靠性，注入大量的电子，导致阈值电压的漂移^[44,45]。

通过优化氧化工艺本身提升界面质量也是各个研究小组关注的热点。就 4H-SiC 而言，无论是干氧化(dry oxidation)还是湿氧化(wet oxidation)，对于靠近导带边缘的界面态差别并不大。但是，湿氧化更有助于降低靠近价带边缘的界面态，因而能够提升 p-channel 载流子迁移率。通常而言，湿法氧化对于提升 4H-SiC (000-1)^[46]和 4H-SiC (11-20)^[47]的 MOS 界面特性效果更为显著。对于 4H-SiC (0001) 的高温干氧化，报道认为 1250-1300 °C 是较为合适的氧化温度，可以降低靠近导带边缘的界面态，提升 n-channel 载流子迁移率^[48]。东京大学的 koji kita 等人在此基础上，优化了氧化后退火工艺，进一步将导带下 0.1~0.4eV 区间的界面态密度降到了 10¹¹ cm⁻²eV⁻¹ 以下^[49]。他们在 1300 °C 高温热氧化，紧跟一步 800 °C 氧化退火，避免退火过程中出现氧空位相关的缺陷；同时设备的降温速率大于 600 °C/min，避免了降温过程中不完全氧化导致的碳残留^[50]。此外，Thomas 等人也报道过 1500 °C 的高温氧化 4H-SiC，制备的 n-channel LDMOSFET 峰值迁移率达到 40 cm²/V·s，相比于传统的 1100-1300 °C 氧化提升明显^[51]。

1.4.2 界面氮化调控 (Interface nitridation)

当前，最有效最普及的 SiO₂/4H-SiC 界面钝化工艺仍然是氮化工艺，即氧化以后在含有氮的氛围中(NO^[52-60]、N₂O^[61,62]和 NH₃^[63,64])退火，或者 Nitrogen radicals 中^[65]。此外，直接在 NO 或者 N₂O 中氧化也有过尝试。不仅仅是学术研究中，目前 Cree 和 Rohm 商业化量产的 MOSFET 器件中也采用的是氮化技术^[66]。

图 1-9 显示了分别从 n-type 和 p-type 4H-SiC (0001) MOS 电容中提取的界面态在 4H-SiC 能带中的分布^[67], 可以看到氮化能够在 4H-SiC 整个禁带中有效降低界面态。氧化后界面不做任何处理的 n-channel 4H-SiC (0001) MOSEFT 有效迁移率只有 $4-8 \text{ cm}^2/\text{V}\cdot\text{s}$; 经过 N_2O 处理过后, 迁移率提升到 $25-35 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[61,62]; 而经过 NO 处理过后, 迁移率提升到了 $40-52 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[55,57]。对于 p-channel MOSEFT, 氮化也可以将迁移率从干氧的 $1-2 \text{ cm}^2/\text{V}\cdot\text{s}$ 提升到 $7-12 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[68]。

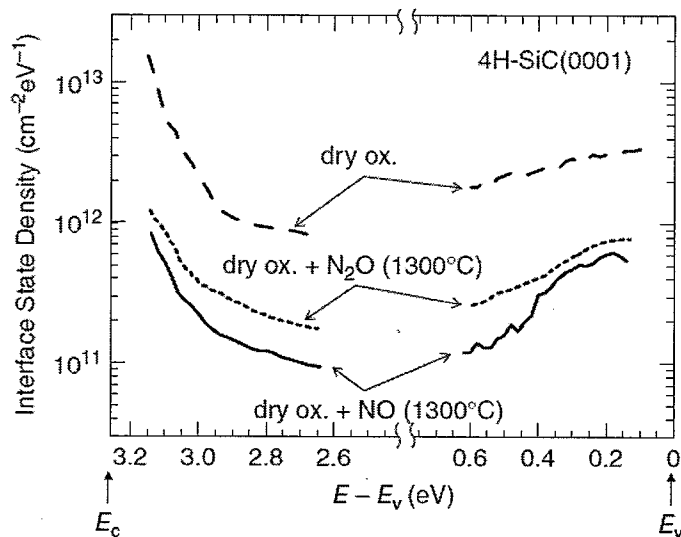


图 1-9 从 n-type 和 p-type 4H-SiC (0001) MOS 电容中提取的界面态在 4H-SiC 能带中的分布

在界面氮化的过程中, N 原子会堆积在 SiO_2/SiC 界面。依据氮化退火的温度和时间, N 原子的密度可以高达到 $5 \times 10^{20} \text{ cm}^{-3}$ 甚至更高^[69]。很多研究小组发现, 界面处的界面态密度随着 N 原子密度的增大而减小^[70]。氮化过程中 N 原子钝化界面缺陷的具体机制仍不明确, 一般认为界面处的 N 能够分解 carbon clusters, 有助于碳的去除^[56,71]。最近, yoshioka 等人发现在氮化退火后会在靠近导带边缘处产生响应频率非常快的界面态。这些快界面态在常温下可以响应 100 MHz 的交流小信号甚至更高^[72]。

1.4.3 其他调控方法

一种“sodium-contaminated”氧化方法, 被发现可以显著地增大沟道迁移率。Xingguang Zhu 等人的报道, 在 Al_2O_3 炉管内进行栅氧氧化后, 4H-SiC (0001) MOSFET 的迁移率提升到了 $120-150 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[73,74]。研究显示, 炉管和生成的 SiO_2 都被 Na 金属高度污染。Na 金属在 SiO_2 介质内以可移动离子的形式存在, 会造

成严重的器件阈值电压的飘移。所以, 尽管这种碱金属掺杂的氧化方法能够显著提升迁移率, 但无法应用到实际的器件制造中。

在近期 ECSCRM 2014 会议上, Cree 公司延续着这种思路提出了一种新型的提高迁移率的方法。Daniel 等人尝试氧化前在 SiC 表面注入碱金属 (Rb、Cs) 和碱土金属 (Ca、Sr、Ba) [75]。因为一方面这些元素在 SiO₂ 中离子化后半径很大, 移动性不强; 另一方面碱土金属在界面处能够像 N、P 一样形成施主能级, 并且形成的键更强。研究发现, Rb 和 Cs 注入能将 n-channel 的迁移率提升到超过 25 cm²/V·s; 而 Sr 和 Ba 分别可以将迁移率提升到 40 和 85 cm²/V·s。其中, Ba 注入后, 靠近导带 0.25 eV 处的界面态密度被减少到 $3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$, 器件的阈值电压在 2 M/cm、175 °C 下表现出了良好的稳定性。这种 Ba 注入的新工艺表现出来了良好的应用前景。

化学气相沉积 (CVD) SiO₂ 介质也被用来做栅介质。经过氮化退火的优化后, 界面态密度和载流子迁移率都可以与热氧加氮化处理后的界面相比拟 [76,77]。由于 SiO₂/SiC 的势垒高度比 SiO₂/Si 要小很多, SiC MOS 结构的高温高场强下的隧穿电流也随之增大, 严重影响了介质的可靠性。因此, 高-K 介质表现出了良好的应用前景。由于 SiC 本身是宽禁带化合物, 只有 Al₂O₃、AlN 和 AlON 这些禁带较宽的高-K 材料适合应用于 SiC MOSFETs [78-80]。Hino 等人使用 Al₂O₃, 制备出迁移率高达 100-200 cm²/V·s 的器件 [81]。

此外, 研究者们也采用其他晶面替代目前常用的(0001)面。Yano 等人发现使用(11-20)晶面比(0001)晶面显著提高了 n-channel 4H-SiC MOSFET 的迁移率 [47]。相似的, Kimoto 等人发现 (03-38) 晶面相应于(0001)晶面也降低了 4H-SiC MOS 的界面态密度, 甚至还低于(11-20)晶面 [82]。使用(11-20)和 (03-38) 晶面对 4H-SiC MOSFET 界面质量改善原因还不明确, 而且这些晶面目前还没有商品化。

1.5 国内 SiC 产业发展和 SiC MOS 研究的现状

近年来, 我国也非常重视宽禁带半导体电力电子器件的发展, 在 863 计划、自然科学基金、国家 02 重大专项分别启动 SiC 单晶、外延材料和器件研制以及装置的探索工作。目前, 我国的 SiC 产业布局已经初具规模。在 SiC 单晶材料生长方面, 天科合达公司和山东天岳公司已经开始提供 6 英寸的衬底。在外延领域, 东莞天域和瀚科天成也开始向国内外提供 6 英寸外延片。在 SiC 器件制造和应用领

域, 已有企业推出 SiC 二极管产品。泰科天润的 1200 V/1700 V/3300 V JBS 器件已经面向市场。中国南车株洲电力机车研究所也在国家重大专项支持下, 与中科院微电子所、西安电子科技大学、电子科技大学合作, 建立一条 4-6 英寸的 SiC 电力电子器件研制线和中高压模块中试线, 现已完成 1200-3300V SiC 肖特基二极管研制。

但在 SiC MOSFET 方面, 国内目前还处于器件原型的研究阶段。中科院微电子所、半导体所、大连理工大学和西安电子科技大学等研究机构 and 高校也都开展了 SiC MOS 界面的研究, 主要集中在表面处理、Al 基栅介质等基础研究方面, 还未有结合工业界设备开展 SiC MOS 栅氧工艺与可靠性相关的研究。总体来看, 在 SiC MOS 领域, 国内与国际先进水平存在着明显的差距。



图 1-10 中国 SiC 产业发展现状

1.6 论文研究的意义

SiC 电力电子器件在高压、大功率、高温、高频及抗辐照等方面具有巨大的应用潜力, 能够有效提高系统效率、降低能耗、减小系统装置的体积和重量、提高系统可靠性。世界各国纷纷大力投入 SiC 电力电子器件技术研究, 并制定了一系列发展推进计划, 意图在新一轮世界能源战略竞争中占据先机。美国的 Cree、GE、IR、SemiSouth、德国 Infineon、欧洲 ST、日本的 ROHM、Toshiba、Toykto 等公司都在 SiC 材料、器件与应用方面取得了巨大进展。随着 SiC 材料技术的不断突破, SiC 功率器件发展迅速, 已经实现了 SiC SBD 系列产品、MOSFET 产品、JFET 产品、SiC 高效功率模块等 SiC 电力电子器件的商品化。

新一代 SiC 电力电子器件产业发展需求紧迫, 将直接影响我国电力电子设备

与系统产业的升级,迫切需要开展 SiC 电力电子器件产业的布局,以避免西方出现基于 SiC 电力电子器件的高性能大容量电力电子装备时,我国一时无法应对的尴尬局面。但是,我国核心的电力电子器件国产化较低, SiC 电力电子器件尚处于原型研制、试制阶段, SiC MOSFET 器件研究更是刚刚起步,严重制约了我国 SiC 电力电子器件产业化进程。

因此,针对 SiC MOSFET 器件研究中的重点难点问题,本论文首先在介质/SiC 界面调控机理方面进行了深入的研究。基于工业机台,开展 SiC MOS 的高温氧化和界面钝化的研究,明确 N/H 钝化的机制,认清钝化工艺对栅介质可靠性的影响,为高性能、高可靠 SiC MOSFET 栅氧工艺攻关提供重要理论和技术支撑。其次,针对 SiC MOSFET 器件制作的关键工艺进行了攻关,取得的技术与成果,有助于实用化的 SiC MOSFET 制备工艺开发,大大促进国产 MOSFET 的产品的研制进程,对于我国 SiC 电力电子技术的发展,具有非常重大的现实意义。

1.7 论文的主要工作

作者自 2010 年 9 月开始攻读博士学位以来,在导师刘新宇研究员、申华军副研究员的指导下,在课题组及实验室全体工作人员的支持下,开展了介质/SiC 界面调控机理研究和 SiC MOSFET 器件的研发。主要在 SiC 高温氧化、SiC MOS 界面钝化机理、栅介质的可靠性、SiC MOSFET 器件关键工艺研发和器件制备,以及 Al_2O_3 高 k 介质在 SiC MOS 中的应用等方面进行学习和研究。本论文共分为七章,各章内容安排如下:

第一章 介绍了 SiC 材料特性及其在电力电子器件应用的优势,总结了 SiC MOSFET 器件的发展历程和制约因素,以及 SiC MOS 界面调控的机理,明确了本论文研究的重要意义。

第二章 介绍了基本的 MOS 理论和 MOSFET 器件物理,并从 SiC 的氧化动力学入手,介绍了 SiO_2/SiC 的介质界面特性,其界面态的分布和起源,以及界面态对器件迁移率的作用机制。

第三章 介绍了 C-V 测试方法在 SiC MOS 中的应用,重点研究了 SiC MOS 界面态的各种 C-V 表征方法,并最终选用电导法作为本文的表征方法。并介绍了栅介质可靠性的测试原理和方法,以及本文用到的其他测试方法。

第四章 基于 centrotherm 氧化炉开展了 SiC 高温热氧和 POA 退火工艺的研究。并采用低温电导法表征了 N 和 H 钝化 SiC MOS 界面,并分析了 N 和 H 的

钝化机理。通过 TZDB 和 TDDB 测试,进一步分析了钝化工艺对栅介质可靠性的作用机理。

第五章 开展了 SiC MOSFET 器件关键工艺研发,主要包括: SiC 标记和隔离槽的 ICP 刻蚀工艺、同时形成 SiC 上 P 型和 N 型欧姆接触的合金工艺、SiC 离子注入高温激活的碳膜保护工艺。并最终制备出 SiC VDMOSFET 器件。

第六章 介绍了 Al_2O_3 介质在 SiC 上的应用,表征了 ALD Al_2O_3 的材料特性和 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的电学特性、物理特性和能带对准结构。对 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的电子注入现象进行了研究,并通过 O_2 高温退火改善 Al_2O_3 介质的质量。

第七章 总结论文的研究成果与意义,并对今后 SiC MOS 界面钝化研究和 SiC MOSFET 器件的研究进行了展望。

第二章 MOS 理论和 SiC MOS 界面特性

金属-氧化物-半导体 (MOS) 电容是 MOSFET 器件的核心, 也是研究半导体表面最为有用的器件结构。尽管 $\text{SiO}_2\text{-Si}$ 系统已经研究得很透彻, 但是 SiC 是宽禁带半导体材料, 有许多不同于 Si 性质。为了更好的研究 SiC MOS 的界面特性, 有必要深入的了解 SiC MOS 的氧化过程, SiC MOS 界面态的分布和起源, 以及其对器件迁移率的影响机制。

2.1 理想 MOS 电容的电学特性

MOS 结构如图 2-1 所示, 图中 d 为氧化层厚度, V 为栅电极上施加的电压。衬底底部制作欧姆接触, 在测量时接地。不加偏压时的理想 MIS 结构的能带图示于图 2-2, 图中画出了 P 型半导体的情形^[33]。其中, χ 和 χ_i 分别为半导体和绝缘体的电子亲和势, ϕ_{Bp} 为以带隙中线为参考的费米势, ϕ_p 为以带边为参考的费米势。

为了清晰地表征理想电容的 C-V 曲线, 对理想电容做如下定义: 第一, 任何偏置条件下, 电荷仅存在于半导体内和靠近氧化层的金属表面, 且数值相等, 符号相反; 第二, 在直流偏置下, 无载流子通过介质进行输运; 第三, 假设金属功函数和半导体功函数的差为 0。没有外加电压时, 能带是平的 (平带状态)。

当理想 MIS 电容 (以 P 型为例) 加反向和正向偏压时, 在半导体表面存在三种情况 (图 2-3), 基本上可以归纳为积累、耗尽和反型。当金属与半导体间加负电压时, 表面处能带向上弯曲, 如图 2-3 (a) 所示。在热平衡情况下, 半导体费米能级应保持定值, 故随着向表面接近, 价带顶将逐渐靠近甚至高过费米能级, 价带中空穴浓度也随之增加。这样, 表面层内就出现空穴的积累而带正电荷。当金属与半导体间加正电压时, 表面处能带向下弯曲, 如图 2-3 (b) 所示。这时越接近表面, 费米能级离价带顶越远, 价带中空穴浓度随之降低。表面处空穴浓度将较体内空穴浓度低得多, 表面层的负电荷基本上等于电离受主杂质浓度, 表面层的这种状态称为耗尽。当加于金属和半导体间的正电压进一步增大时, 表面处能带相对于体内将进一步向下弯曲。这时, 如图 2-3 (c) 所示, 表面处费米能级位置可能高于禁带中央能力 E_i , 也就是说, 费米能级距离导带底比价带顶更近一些。这意味着表面处的电子浓度将超过空穴浓度, 即形成与原来半导体衬底导电

类型相反的一层，叫做反型层。反型层发生在近表面处，从反型层到半导体内部还夹着一层耗尽层。在这种情况下，半导体空间电荷层内的负电荷由两部分组成，一部分是耗尽层中的已电离受主负电荷，另一部分是反型层中的电子，后者主要

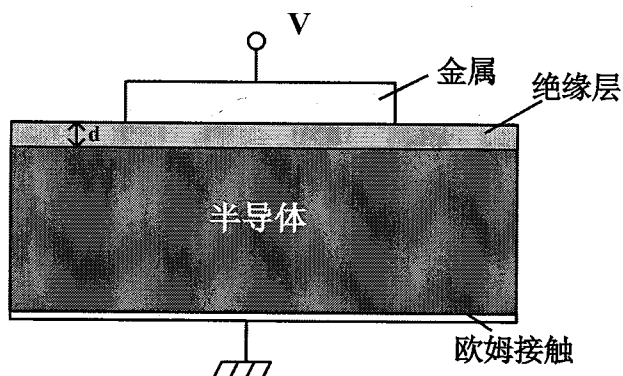


图 2-1 金属-氧化物-半导体 (MOS) 电容简单结构

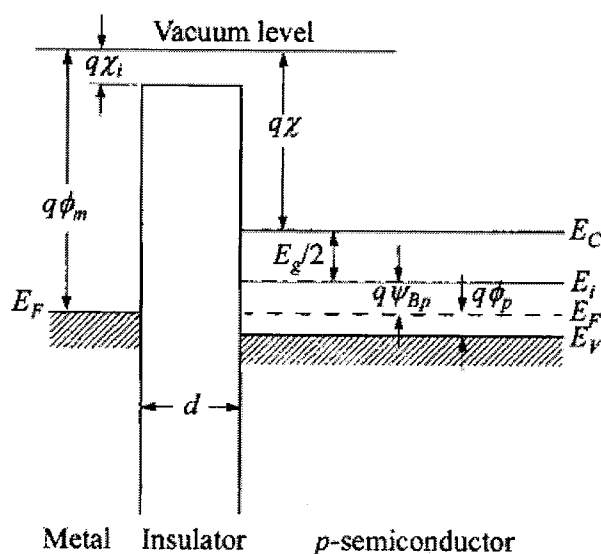
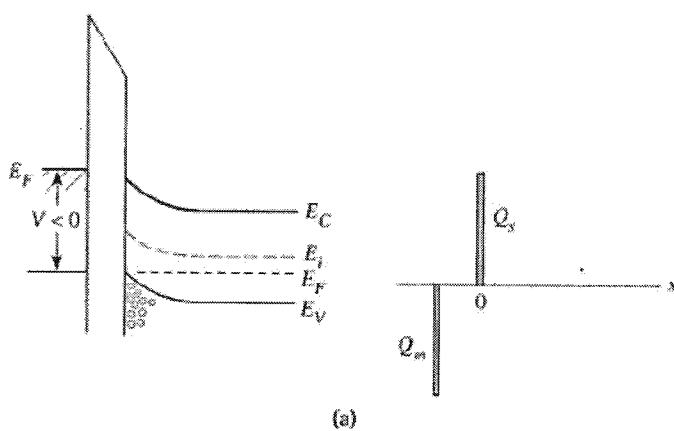


图 2-2 理想 MOS 电容平衡时 ($V=0$) 时的能带图, P 型半导体



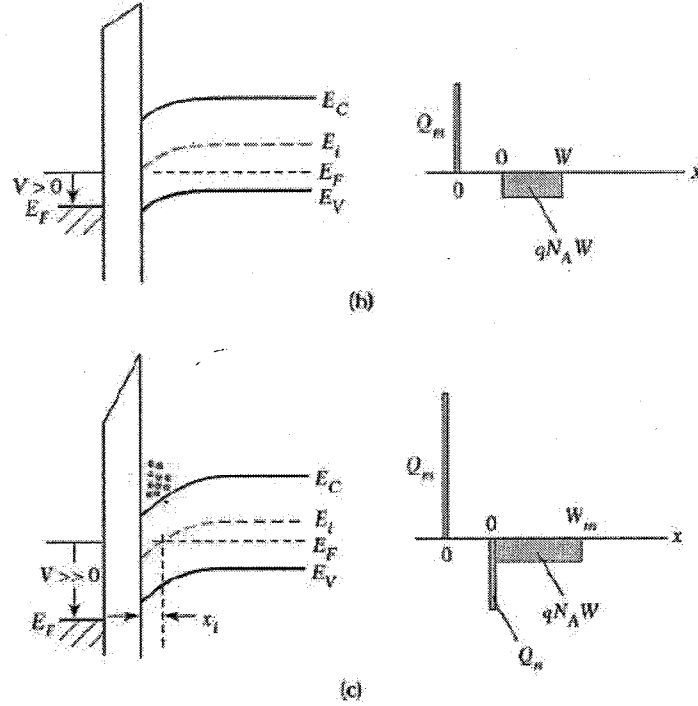


图 2-3 理想 MOS 电容 (P 型) 在不同偏压下的能带图。(a) 积累;
(b) 耗尽; (c) 反型

2.2 理想 MOS 和 SiC MOS 电容的 C-V 特性

在测量 MOS 电容的过程中, 在直流电压上叠加一小信号的交流电压, 随交流电压的变化, 电荷量发生变化, 从而引起电容值变化。由于 MOS 电容上的总电荷必须是 0, 在假设没有氧化物电荷下, $Q_G = -(Q_s + Q_{it})$ 。外加栅压 V_g 由氧化层上的压降 V_{ox} 、表面势 ϕ_s 以及平带电压 V_{FB} 三部分组成:

$$V_G = V_{ox} + \phi_s + V_{FB} \quad (2.1)$$

MOS 电容定义为:

$$C = -\frac{dQ_s + dQ_{it}}{dV_{ox} + d\phi_s} \quad (2.2)$$

通常, 半导体电荷 Q_s 包括空穴电荷 Q_p 、空间电荷区电荷 Q_b 和电子电荷 Q_n , Q_{it} 为界面陷阱电荷。由于 $Q_s = Q_p + Q_b + Q_n$, 方程转化为:

$$C = -\frac{1}{\frac{dV_{ox}}{dQ_s + dQ_{it}} + \frac{d\phi_s}{dQ_p + dQ_b + dQ_n + dQ_{it}}} \quad (2.3)$$

由通用的电容定义得到:

$$C = - \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_p + C_b + C_n + C_{it}}} = \frac{C_{ox}(C_p + C_b + C_n + C_{it})}{C_{ox} + C_p + C_b + C_n + C_{it}} \quad (2.4)$$

MOS C-V 方程对应的等效电路图如图 2-4 所示^[83]。负栅压时，表面处在强积累区， Q_b 起主导作用。 C_p 非常大，近似为短路，等效电路图如图 2-4 (b)。正栅压较小时，表面耗尽，空间电荷区电荷起主要作用，俘获的界面陷阱电荷也起作用，总电容是 C_p 和 C_{it} 并联后再与 C_{ox} 串联，如图 2-4 (c)。在强反型时，如果 Q_n 能够随着加在其上的低频交流电压而变化，那么等效电路又变为氧化层电容，如图 2-4 (d)。当反型层电荷不能跟随交流电压变化时，等效电路如图 2-4 (e) 所示，进入深耗尽区。

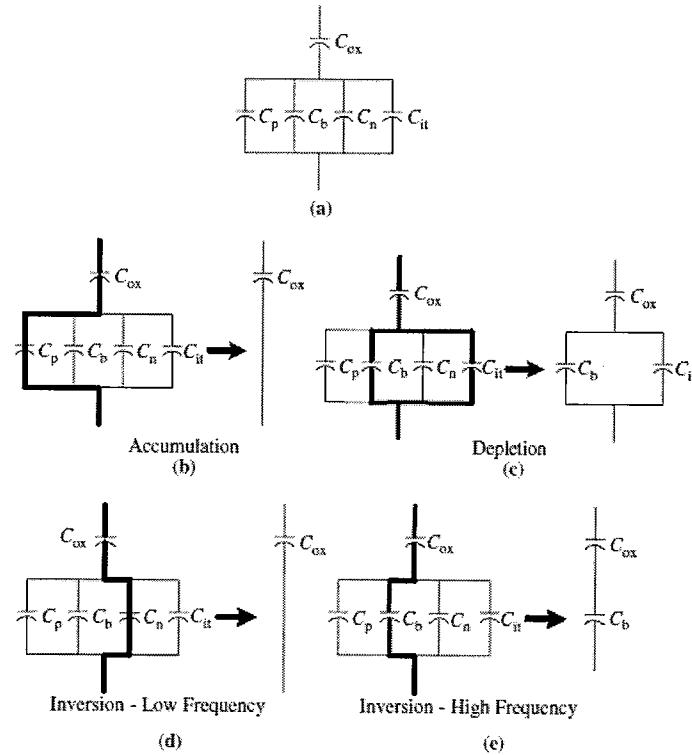


图 2-4 不同偏置条件下 MOS 电容器的电容

SiC 在室温时极低的本征载流子浓度 n_i (Si: $n_i = 1.5 \times 10^{10} \text{ cm}^{-3}$; 4H-SiC: $n_i = 8.2 \times 10^{-9} \text{ cm}^{-3}$) 使得室温下 SiC MOS 电容无法形成反型层。当在 MOS 电容上施加栅压之后，并不会马上产生少数载流子，表面形成反型层的时间约为^[84]：

$$\tau_{th} \approx \frac{2\tau N_A}{n_i} \quad (2.5)$$

这里 τ 为少子寿命，如果取 $\tau = 1 \mu\text{s}$, $N_A = 10^{15} \text{ cm}^{-3}$, Si 的 τ_{th} 约为 0.13s，而 4H-SiC

表面形成反型层则需要 $2.44 \times 10^{17} \text{s}$ 。因此，在室温且无少子注入的时候，可以认为 SiC MOS 电容在所有状态的少子浓度都为零，表现为少子浓度无法跟上栅压的变化（即使在准静态条件下），这就使得 SiC MOS 电容无法达到反型状态，而在相应的栅压下进入深耗尽区。

由于平带电压是衡量 MOS 电容性能的一个重要参量，如何从实验测得的高频 C-V 曲线提取平带电压是一重要的问题。一般地，平带电压可通过平带电容来确定。对于 SiC MOS 电容，其归一化平带电容公式为：

$$\frac{C_{FB}}{C_{ox}} = \frac{1}{1 + \frac{L_D \epsilon_{ox}}{t_{ox} \epsilon_{SiC}}} \quad (2.6)$$

其中， ϵ_{SiC} 为 SiC 的介电常数， L_D 为德拜长度：

$$L_D = \sqrt{\frac{\epsilon_{SiC} \epsilon_0 K T}{q^2 N_A}} \quad (2.7)$$

根据计算得到的平带电容，与实验高频 C-V 曲线比较，即可确定出 SiC MOS 电容的平带电压。

2.3 MOSFET 器件物理

MOSFET 器件是场效应晶体管中最主要的器件，是最典型的压控型电子器件，在逻辑电路和射频电路中都有广泛应用。下面将以 NMOSFET 为例分析器件中电荷的产生和传输机理，并推导出 I/V 特性方程^[33]。

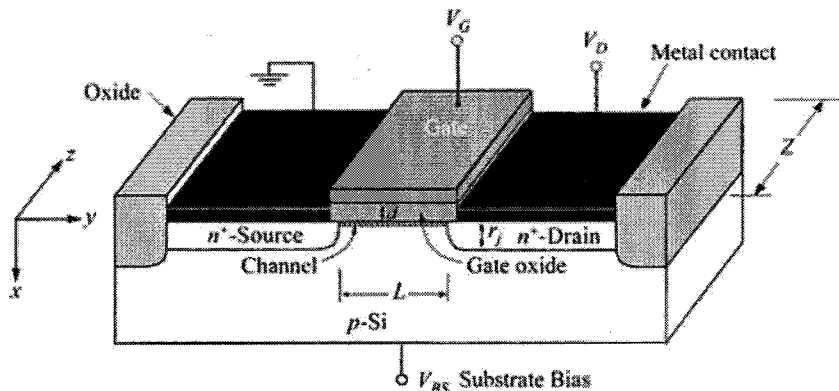


图 2-5 MOSFET 的结构示意图

(1) 阈值电压

如图 2-5 所示，当栅压从 0 V 上升到超过平带电压时，沟道发生反型，载流子开始积累，形成反型层和耗尽层。在 NMOSFET 器件的漏端加一个电压 V_D

时，随着栅压的增加，耗尽层宽度和氧化层与界面处的电势增加。当沟道的载流子足够多时，电子便从源端流向漏端。这时，源和漏之间的栅介质下形成了载流子的沟道，晶体管导通。沟道开始反型时，栅极电压相对应得电压，称之为“阈值电压”， V_{TH} ，如果栅极电压进一步升高，沟道中的电荷密度继续增加，漏电流会相应增加。

实际上，明确定义 V_{TH} 很困难。在半导体物理学中， V_{TH} 的通常定义为界面中的电子浓度等于 P 型衬底的多子时的栅压时的栅电压。定义式如下：

$$V_{TH} = \Phi_{MS} + 2\Phi_F + Q_{dep}/C_{ox} \quad (2.8)$$

Φ_{MS} 是栅金属与衬底之间的功函数之差的电压值， $\Phi_F = (KT/q) \ln(N_{sub}/n_i)$ ，其中， N_{sub} 是衬底的掺杂浓度； Q_{dep}/C_{ox} 是耗尽区电荷， C_{ox} 是单位面积的栅氧化层电容。

(2) I-V 关系

首先，假设 MOSFET 器件中的沟道层是一个载有电流的半导体棒。如果在这一半导体棒的沿电流方向上的电荷密度为 Q_d ，电荷移动速度为 v ，那么沿半导体棒的电流表达式为

$$I = Q_d v \quad (2.9)$$

如此，我们可以用来分析 NMOS 器件，假设 NMOS 器件的源漏端都接地，由栅电容引起的反型电荷密度正比于 $V_{GS} - V_{TH}$ ，当 $V_{GS} > V_{TH}$ 时，栅电荷在沟道中的电荷所镜像，从而产生一个均匀的沟道电荷密度：

$$Q_d = WC_{ox}(V_{GS} - V_{TH}) \quad (2.10)$$

式中， C_{ox} 与 W 相乘表示单位长度上的总电容。

如图 2-6 所示，假设漏极电极和栅电极的电压大于 0 V，由于沟道电势从源端的 0 V 变化到漏极的 V_D ，所以在栅和沟道之间的局部电压差从 V_G 变化到 $V_G - V_D$ 。沿着沟道耗尽区的宽度不同，因此，沿沟道 x 点处的电荷密度可以表示为：

$$Q_d(x) = WC_{ox}(V_{GS} - V_x - V_{TH}) \quad (2.11)$$

V_x 表示 x 点的沟道电势。

$$I_d = WC_{ox}(V_{GS} - V(x) - V_{TH})v \quad (2.12)$$

其中， v 代表沟道中电子的漂移速度。对于半导体中， $v = \mu E$ ，其中 μ 是

载流子的迁移率， E 为电场。注意到 $E(x) = -dV(x)/dx$ ，电子迁移率用 μ_n 表示，我们得到

$$I_D = WC_{ox}(V_{GS} - V(x) - V_{TH}) \mu_n dV(x)/dx \quad (2.13)$$

对应边界条件为 $V(0)=0$ 和 $V(L)=V_{DS}$ 。对上式两边成一 dx 并积分，可得

$$\int I_D dx = \int_{V=0}^{V_{DS}} WC_{ox}(V_{GS} - V(x) - V_{TH}) \mu_n dV \quad (2.14)$$

由于 I_D 沿沟道方向是常数，所以

$$I_D = \mu_n C_{ox} W/L \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.15)$$

L 表示有效沟道长度。

当 $V_{DS} \leq V_{GS} - V_{TH}$ 时，器件工作在线性区，即漏极电流是 V_{DS} 的线性函数。这种线性关系表明源漏之间的通道可以用一个线性电阻表示，该电阻等于

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.16)$$

随着漏电压的增大，由于靠近漏端的电荷被沟道电势减小，电流偏离了线性关系。最终达到一个点 ($V_D = V_{DSat}$)，在该点漏端反型电荷 Q_n 几乎降到零。 $Q_n \approx 0$ 的点称为夹断点，如图 2-6 (b) 所示。实际上电流是连续的， Q_n 所以不会为 0，但很小，因为该处存在强电场和大的载流子速度。

当 $V_{DS} = V_{GS} - V_{TH}$ 时，

$$I_D = \mu_n C_{ox} W/L \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.17)$$

漏电压再增加时，漏电流基本保持恒定，这是因为当 $V_D \geq V_{DSat}$ 时，夹断点开始向源极移动，但夹断点的电压保持在 V_{DSat} 不变。因此，从源到夹断点的载流子数保持恒定，因而从源到漏的电流也保持恒定，只是沟道长度从 L 减小到了 L' ，如图 2-6 (c)。

当 $V_{DS} \geq V_{GS} - V_{TH}$ 时，

$$I_D = \mu_n C_{ox} W/L' \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.18)$$

L' 表示在饱和状态下，沟道的实际长度。

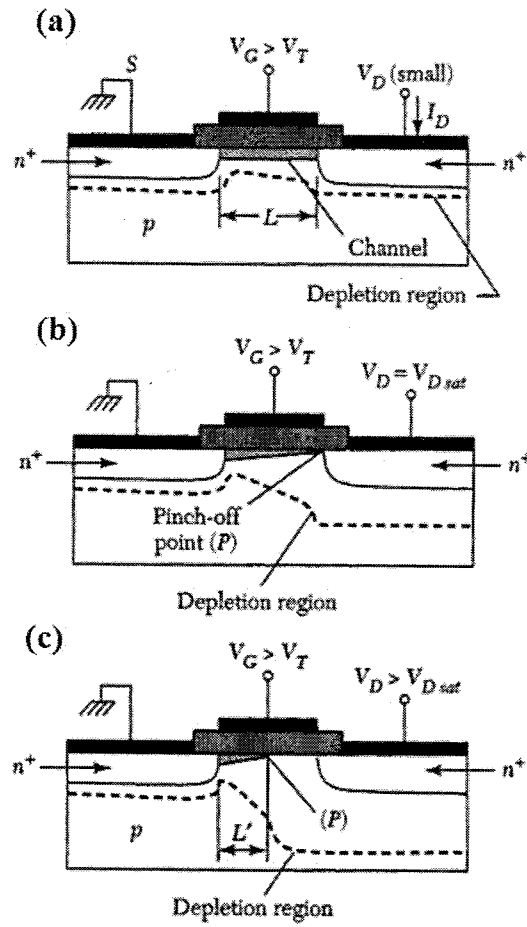


图 2-6 MOSFET 工作在 (a) 线性区 (V_D 较小), (b) 开始饱和, (c) 饱和以后 (有效沟道减小)

理想的 MOSFET 基本输出特性如图 2-7 所示, 右端虚线是漏电流到达最大值 I_{Dsat} 时漏电压 (V_{Dsat}) 的轨迹。 V_D 较小时, I_D 随 V_D 线性变化。

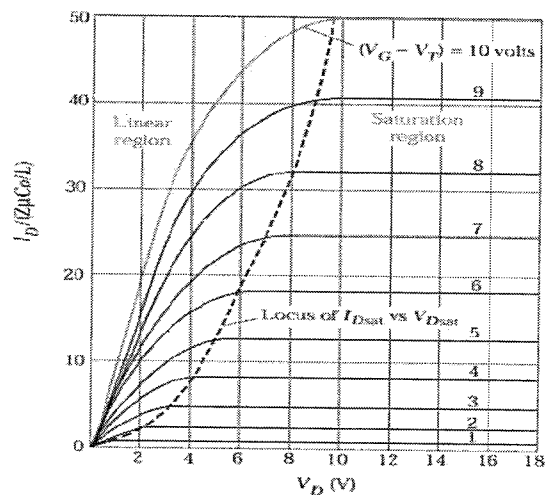


图 2-7 理想 MOSFET 漏特性 (I_D - V_D)。虚线把线性区、非线性区和饱和区隔开

2.4 SiC/SiO₂ 的界面特性及对 SiC MOSFET 器件性能的影响

SiC 是唯一能够热生长 SiO₂ 的化合物半导体,这就使得用 SiC 可以实现所有 Si MOS 器件结构。但是由于 SiC 中含有碳, SiC 的氧化过程和 Si 有所区别, SiC/SiO₂ 的界面也远比 Si/SiO₂ 的复杂。在整个禁带内, SiC/SiO₂ 的界面态比 SiO₂/Si 要高 2 个数量级,这些界面态的存在使得 SiC MOS 器件的性能严重退化, SiC MOS 器件的反型沟道电子迁移率远远低于体内,极大的阻碍了 MOS 器件的发展。为了找到有效的改善方法,系统的研究 SiC/SiO₂ 的界面特性显得尤为重要。

2.4.1 MOS 系统中的电荷及其分布

对氧化物-半导体系统而言,在氧化及后续工艺步骤中不可避免地引入了一些杂质和缺陷。有四种常见的陷阱电荷存在于氧化层和氧化物半导体界面^[83,84],它们分别为:界面陷阱电荷 Q_{it} , 固定氧化物电荷 Q_f , 氧化层陷阱电荷 Q_{ot} , 可移动离子电荷 Q_m 。下图给出了 Si MOS 系统中这四种电荷的位置示意图。

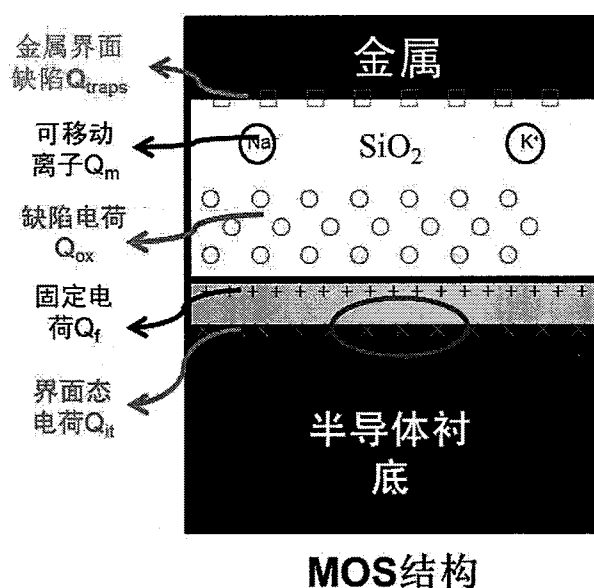


图 2-8 Si-SiO₂ 系统中的电荷及其位置

界面陷阱电荷是正电荷或者负电荷,由结构缺陷、氧化诱导缺陷、金属杂质或辐射及类似的键断裂过程引起的其他缺陷形成。界面缺陷位于 Si-SiO₂ 界面。与固定氧化物电荷或氧化物陷阱电荷不同,界面陷阱电荷与其下面的 Si 层有电学的相互作用。改变表面电势,界面陷阱电荷会相应的充放电。由低温的氢钝化或者含氢的混合气体 (H₂/N₂) 退火,可以中和 Si/SiO₂ 界面陷阱缺陷。但是,对应 SiC 而言, H₂ 退火对界面特性改善不大,说明 SiC/SiO₂ 界面态的起源和 Si

有所不同。

固定氧化物电荷是正电荷，主要由结构缺陷引起，在 Si-SiO₂ 中固定氧化物电荷位于界面 2nm 的范围内。固定氧化物电荷与氧化过程有关，依赖于氧化环境、温度、冷却条件和材料的轴向。固定氧化物电荷与其下面的半导体材料不发生电学交互作用。Q_f 与最终的氧化温度有关。氧化温度越高，Q_f 越低。如果不允许在高温下氧化，氧化后在氮气或氩气中退火，也可以降低 Q_f。值得注意的是，对 SiC 而言，由于其禁带宽度较宽，深能级界面态俘获电荷以后短时间内难以释放出来，其作用和氧化层固定电荷类似。

氧化物陷阱电荷是由氧化物体内俘获的空穴或电子形成的，它可能是正电荷也可能是负电荷。俘获机制可能是离子辐射、雪崩注入、Fowler-Nordheim 隧穿或其他。与固定电荷不同，氧化物陷阱电荷有时可以通过低温 (≤500 °C) 退火进行处理，但此时仍可能存在中性陷阱。

可移动氧化物电荷主要由离子掺杂，如 Na⁺、Li⁺、K⁺引起，也可能是 H⁺引起。负离子和重金属离子尽管在低于时是不可动的，但对此电荷可能有贡献。

2.4.2 SiC 的氧化动力学和 SiO₂/SiC 界面结构

SiO₂/SiC MOS 界面的电学特性取决于许多因素，包括衬底类型，SiC 表面状态，氧化氛围，氧化温度，衬底的掺杂类型、浓度和晶向，以及氧化后的退火工艺等。一般来讲，SiC 的氧化速率比 Si 要慢很多。SiC 不同晶面的氧化速率差异也很大，4H-SiC C 面的氧化速率比 Si 面的快。关于 SiC 的氧化动力学，已经有许多相关的报道。相比于 Si，SiC 的氧化过程更为复杂。4H-SiC (0001) 的氧化通常在干氧的环境中进行，反应方程式如下：



如图 2-9 所示，SiC 的氧化可以理解为以下过程^[85]：

- (1) 氧分子向氧化层表面的输运；
- (2) 氧分子通过氧化层向反应界面处扩散；
- (3) 界面处，碳化硅与氧分子的反应；
- (4) 反应生成气体 (CO) 透过氧化层向外部扩散；
- (5) 反应生成气体在氧化层表面处排除。

但是，实际的氧化过程也会伴随着其他副反应发生^[49]。当氧化温度比理想的氧化

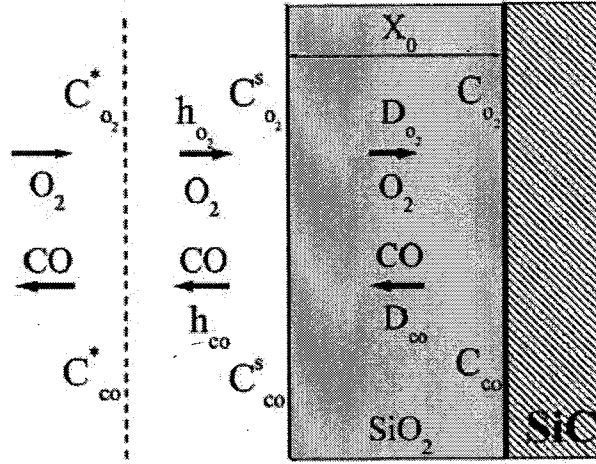
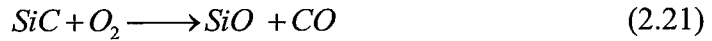


图 2-9 SiC 的氧化过程

温度低时, SiC 和 O_2 的反应不完全, 会有 C 残留, 反应方程式:



而当氧化温度过高时, 又会导致生成的易挥发的 SiO, 在 SiO_2 层中引入缺陷, 反应方程式:



因此, 要在 SiC 衬底上获得界面特性优良的 SiO_2 介质, 还需对氧化工艺进行特别的优化, 这也是目前 SiC MOS 工艺研究的热点。

SiC 的氧化动力学过程可以用类似于 Si 的 Deal-Grove 模型来描述^[86]。Si 的 Deal-Grove 模型中氧化层厚度和氧化时间遵循以下方程:

$$X^2 + AX = B(t + \tau) \quad (2.22)$$

其中, X 表示氧化层的厚度, t 是氧化时间, τ 是与初始氧化状态有关的时间常量, B/A 是线性反应常数, B 是抛物线反应常数。对于很小的 X 值, X^2 的分量可以忽略, 介质的生长速率近似于线性。反应主要是受表面处 O_2 和 SiC 的化学反应速率控制。对于较大的 X 值, 线性项可以忽略, 介质生长近似于抛物线。这时, 反应主要受 O_2 在 SiO_2 介质中扩散速率控制。但是, Deal-Grove 模型并不包括 CO 的外扩散。Song 等人在此基础上进行了改进, 在抛物线反应常数中考虑了 CO 外扩散的影响。并基于改进后的 Deal-Grove 模型提取了 4H-SiC 不同晶面的线性和抛物线反应常数, 如图 2-10、2-11 所示^[85]。可以观察到 C 面的氧化速率比 Si 面快了 10 倍以上, a 面的氧化速率介于二者之间。

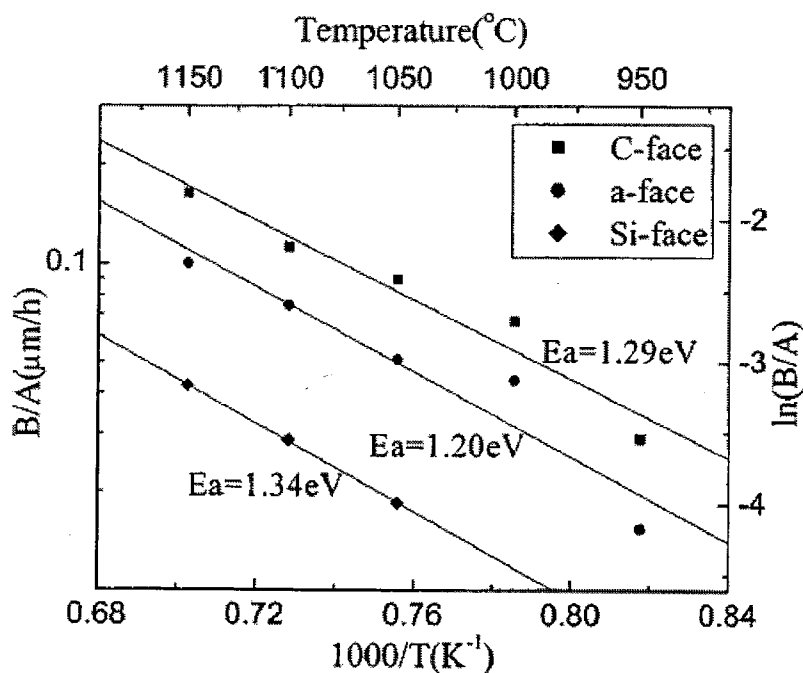


图 2-10 干氧化 4H-SiC 的线性反应常数

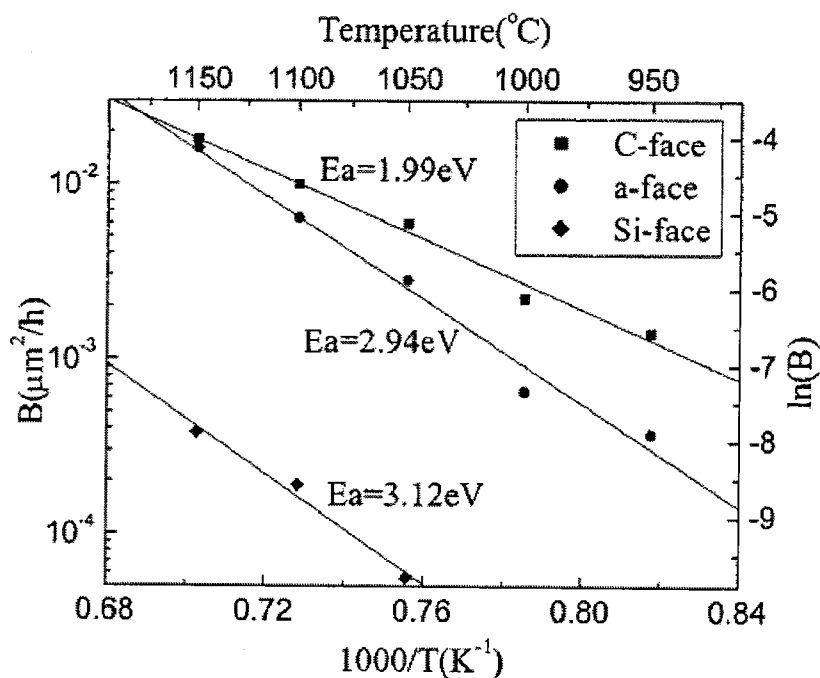


图 2-11 干氧化 4H-SiC 的抛物线反应常数

图 2-12 显示了 40nm-SiO₂/4H-SiC(0001) MOS 界面的 TEM 图像,氧化条件为 1300°C 干氧。可以清楚地观察到, SiO₂ 和 SiC 的界面处十分陡峭, 没有厚的过渡层生成^[87]。进一步 EELS 图谱显示了界面处的组分变化, 扫描分辨率小于 1nm。Si、C 和 O 元素在界面处的过渡都十分陡峭, 被限制在 2nm 以内, 没有观察到 C 原子在界面处的堆积。目前, 受制于测试设备精度的限制, 关于 SiO₂ 和 SiC 界

面处是否存在碳堆积仍存在争论。

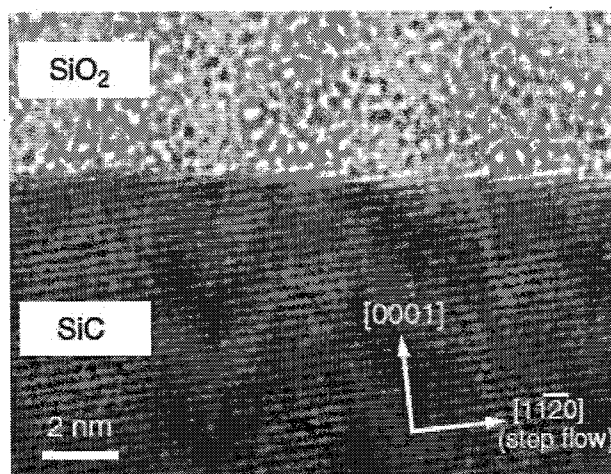


图 2-12 干氧 40nm-SiO₂/SiC 的 TEM 图像

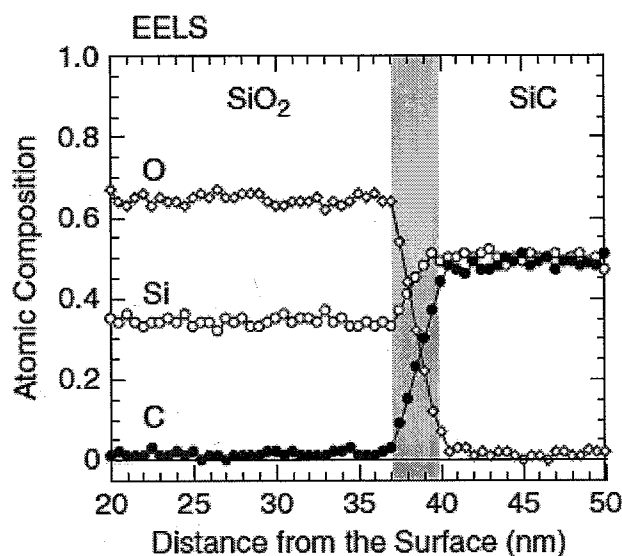


图 2-13 干氧 40nm-SiO₂/SiC 的组分分析

2.4.3 SiO₂/SiC 结构中界面态的分布和来源

尽管受制于表征方法的限制，界面态密度在 SiC 带隙中的分布仍然被初步地揭示出来。对于不同 SiC 的晶型，图 2-14 显示了界面态密度在能级中的分布^[88]。可以观察到，不同 SiC 晶型价带顶的能级在带隙中的位置是几乎对准的，而导带底的位置则随禁带宽度的变化而移动。

能级位置位于禁带下半部分的界面态，主要是类施主型界面态。当这些界面态位于费米能级以上时，会俘获空穴带正电。在 p 型 SiC 中，这些类施主型界面态，特别是靠近禁带中间的深能级缺陷，会俘获空穴并且在常温下难以释放到价

带中。因此，这些俘获空穴的类施主型界面态会和正的固定电荷的作用类似。采用干氧工艺形成的 SiO_2/SiC 界面，类施主型界面态密度高达 $5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 。通过湿法氧化，这些界面态密度可以有效地降低^[38]。对于 p 型 SiC MOS 电容或 p 沟道 MOSFET 器件，这些类施主型界面态会导致 C-V 曲线出现严重的负向漂移。但是，对于 n 沟道的 MOSFET 器件，这些类施主型界面态对电子迁移率的影响甚微。因为 n 型 SiC 材料中，这些类施主型界面态能级位置通常位于费米能级以下，被电子填充，不带任何电性^[89]。类施主型界面态的这种特性对于不同 SiC 晶型是通用的。

在靠近导带底的能级位置，随着不同晶型 SiC 导带底位置的不同，界面态密度的分布有所区分，如图 2-14 所示。大部分位于导带边缘的界面态都是类受主型界面态。当这些界面态位于费米能级以下时，会俘获电子带负电。同样的，那些俘获电子的深能级类受主型界面态会和负的固定电荷的作用类似。值得注意的是，目前 SiC MOS 结构中电中性能级的位置仍然不是很清楚。此外，研究发现经过氮化退火之后，4H-SiC MOS 结构的导带边缘会出现类施主型界面态，所以阈值电压会严重地降低。对于 $\alpha\text{-SiC}$ (0001)，随着靠近导带边缘，界面态密度会呈指数增长^[25-27]。所以，靠近导带边缘，4H-SiC (0001) 界面态密度非常高，而 3C-SiC (111) 的界面态密度相对较低。在 n 沟道的 MOSFET 器件中，反型层中的电子会被这些界面态束缚而无法移动。同时，这些束缚电子的界面态也会充当库伦散射中心。因此，这些靠近导带边缘的类受主型界面态对于提高 n 沟道的迁移率是非常不利的。这也是为什么基于 4H-SiC (0001) MOSFET 器件电子迁移率通常只有 $5 \sim 8 \text{ cm}^2/\text{V} \cdot \text{s}$ ，而基于 3C-SiC 材料的 MOSFET 器件电子迁移率可以超过 $100 \text{ cm}^2/\text{V} \cdot \text{s}$ ^[13]。

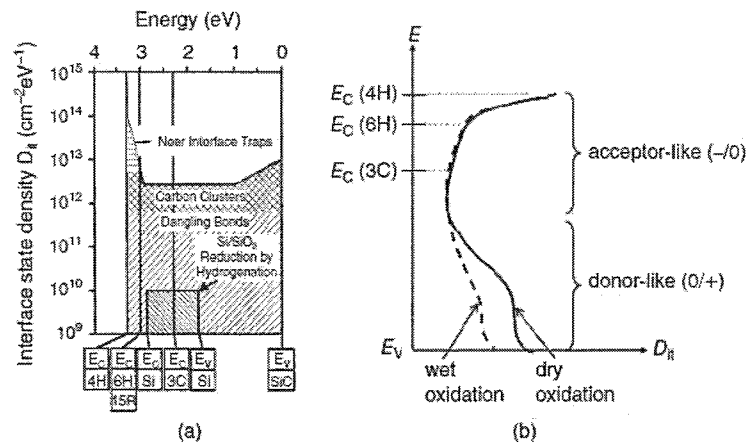


图 2-14 (a) 界面态密度在不同类型的 SiC 能级中的分布模型; (b) 干氧和湿氧氧化对界面态分布的影响。

目前, SiO_2/SiC 高界面态密度的起源还没有完全弄清楚。就 Si MOS 结构而言, 界面处悬挂键被认为是缺陷 (P_b centre) 的最主要来源^[34]。但是, SiO_2/Si 界面处的界面态密度通常只有 $10^9 \sim 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ 量级, 远远低于 SiO_2/SiC MOS 结构中的 $10^{12} \sim 10^{13} \text{ cm}^{-2}\text{eV}^{-1}$ 量级。所以, 基本可以排除悬挂键作为 SiC MOS 界面处缺陷的主要来源。许多研究者发现氧化导致在 SiO_2/SiC 界面存在残留的 C 簇, 基于 SiC MOS 结构和石墨上的 IPE 光谱分析, Afanas 等人提出 C 簇或 C 原子的部分能级位于 SiC 禁带的下半部分, 成为类施主型界面态^[90]。不过, 界面处 C 的密度和界面态密度的直接关系仍没有发现, 关于界面处 C 残留的作用仍然没有定论。靠近 4H-SiC 导带边缘高界面态密度的来源也没有被揭示。为了解释这种现象, 人们提出了一种“near-interface traps”(NITs)作为这些浅能级缺陷的起源^[91]。这些 NITs 位于氧化层内, 距离界面很近, 能够与衬底发生电交换。这些缺陷是 SiO_2 中的本征缺陷, 而不仅仅存在于热氧的 SiO_2/SiC 结构中。通过光激发的电子隧穿观察到距离 SiO_2/SiC 界面 $15 \sim 20 \text{ \AA}$, 在 SiO_2 导带能级以下 2.8eV 处存在大量的 NITs。由于 SiC 各种多型体的价带位置相同, 而 4H-SiC 的禁带宽度大于其他多型体 (如 3C-SiC, 6H-SiC), 使得这些 NITs 刚好位于 4H-SiC 的禁带内, 而在其他多型体和 Si 的禁带宽度外, 因此成为 4H-SiC 导带附近界面态的主要来源, 也造成了 4H-SiC 导带附近的界面态密度分布比其他晶型更为陡峭。但是, 这套理论无法解释为什么 4H-SiC (000-1)和(11-20)晶面的 MOS 结构中没有出现较高的界面态密度^[26]。此外, 一些采用其他栅材料 (Si_3N_4 , Al_2O_3 , 和 AlN) 的 SiC MIS 结构中, 在靠近导带低的位置也发现了较高的界面态密度。所以, 仍需更系统的机理研究来解释这些界面态和 NITs 的起源。

2.4.4 SiC/ SiO_2 界面对 SiC MOSFET 器件特性的影响

近年来, 由于 SiC 栅氧工艺的不断改进, SiO_2/SiC 界面质量得到改善, SiC MOSFET 反型沟道电子迁移率亦随之提高, 但是仍然远远低于 SiC 体材料的载流子迁移率。为了更好地理解反型沟道电子的输运机制及所涉及的物理机理, 需要着重评估各种因素, 特别是 SiO_2/SiC 界面对迁移率的影响。

在 Si 工艺中, 由于 Si MOS 界面通过合适的工艺处理后界面态密度已经十分

低。所以，影响 Si MOSFETs 器件沟道迁移率的主要因素是固定电荷和表面粗糙度^[92]。而对 SiC MOSFETs 器件而言，人们一度认为库伦散射是造成低沟道迁移率的主要因素。因为，研究发现 4H-SiC (0001) MOSFETs 器件的沟道迁移率通常表现出来正温度系数。这其实是一种误解，SiC MOSFETs 的这种正温度系数关系，主要是因为反型层中电子的热激发传导^[93]。

MOSFETs 器件线性区的 n 沟道电子迁移率通常由以下公式获得：

$$\text{Field-effect mobility } \mu_{FE} : \mu_{FE} = \frac{L}{WC_{OX}V_D} \frac{dI_D}{dV_G} \quad (2.23)$$

$$\text{Effective mobility } \mu_{eff} : \mu_{eff} = \frac{L}{WC_{OX}(V_G - V_T)} \frac{dI_D}{dV_G} \quad (2.24)$$

这里， I_D 和 V_D 分别是漏电流和漏电压； L 和 W 分别是沟道的长度和宽度。分析过程中，假设反型层中所有的电子都是位于导带的可移动电子，能够从源电极输运到漏电极。换言之，反型层中的电子浓度(n_{sheet})可以用 $C_{ox} (V_G - V_T)$ 来近似。 C_{ox} 表示栅电容， V_G 表示栅电压， V_T 表示 MOSFETs 器件的阈值电压。但是，实际上 SiC MOS 结构中界面态密度非常高，在对整个禁带内的界面态密度进行积分后得到总的界面态，甚至可以和反型层中电子密度相比拟 ($\sim 10^{12} \text{cm}^{-2}$)。而这些被界面陷阱束缚的电子实际上是不能移动的，也就对反型沟道中的导电电流没有贡献。如果 90% 以上的反型电子都被束缚住了，那么，实际反型沟道中只有 10% 的电子可以自由移动，对漏电流中有贡献。所以，基于上面公式中的提取方法，即便反型层中可移动电子的迁移率可以达到 $100 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ ，考虑到反型层中所有的电子，可移动的自由电子和被界面陷阱束缚的电子，平均下来电子迁移率也只有 $10 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ 。尽管，这些被界面陷阱束缚的电子常温下无法参与移动，对电流无贡献。随着温度的升高，一些束缚电子可以被激发到导带中参与导电。SiC MOSFETs 器件的沟道迁移率表现出正温度系数，这更多因为“反型层电子在界面陷阱中的束缚和释放”，而不是由于“库伦散射”机制。因此，基于前面的载流子提取方法，并不能对 SiC MOS 结构中载流子输运的散射机制给出清晰的见解。

如上所述，反型层中总的电子密度 (n_{total}) 由两部分构成：

$$n_{total} = n_{mobile} + n_{trap} \quad (2.25)$$

其中, n_{mobile} 表示可移动的自由电子, n_{trap} 表示被界面陷阱束缚的电子。可移动电子的实际迁移率和计算得到的迁移率关系如下:

$$\mu_{\text{ch}} = \mu_{\text{real}} \frac{n_{\text{mobile}}}{n_{\text{mobile}} + n_{\text{trap}}} \quad (2.26)$$

导带中可移动电子的实际迁移率可以通过 MOS-Hall effect 测试得到^[28]。在 MOS 结构的霍尔效应测试中, 不仅仅可以得到载流子的实际迁移率, 实际的可移动电子浓度 (n_{mobile}) 也可以计算得到。反型层中总的电子浓度 (n_{total}) 可以用 C_{ox} ($V_G - V_T$) 来近似, 而被束缚电子的比例也可以通过 $(n_{\text{total}} - n_{\text{mobile}}) / n_{\text{total}}$ 来评估。因此, 器件的场迁移率也可表示如下^[29]:

$$\mu_{\text{FE}} = \frac{\mu_{\text{real}}}{1 + \frac{dQ_T / dE_F}{dQ_{\text{inv}} / dE_F}} = \frac{\mu_{\text{real}}}{1 + \frac{q^2 D_{\text{IT}}(E_F)}{C_{\text{inv}}}} \quad (2.27)$$

其中, Q_T 表示反型层中被束缚电荷量, Q_{inv} 表示反型层中的总电荷量, $D_{\text{IT}}(E_F)$ 表示费米能级处的界面态密度, C_{inv} 表示反型层中总的差分电容。因此, 当电子束缚现象很严重时, $q^2 D_{\text{IT}}(E_F)$ 远远大于 C_{inv} , 计算得到的沟道迁移率也就远远低于反型层中可移动电子实际的沟道迁移率。对 4H-SiC 材料而言, 在靠近导带边缘的界面态密度迅速增大, 电子束缚现象尤为严重。

图 2-15 展示了 MOS-Hall effect 测试得到的 n 沟道反型层中可移动电子的实际迁移率随栅压变化关系^[28]。可以观察到霍尔迁移率和计算得到的有效迁移率之间存在着明显的差异, 对于 6H-SiC 被束缚的电子约占反型层中总电子的 30~50%, 对于 4H-SiC, 这一比例则提升到了 70~85%。

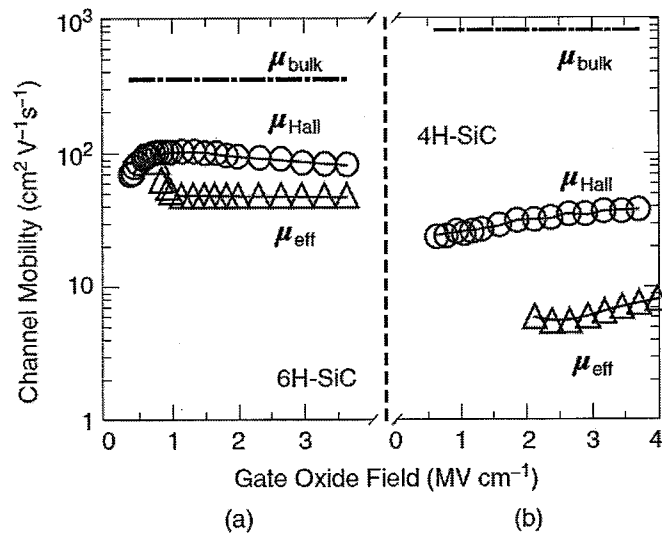


图 2-15 通过 MOS-Hall effect 测试得到的 n 沟道反型层中可移动电子的实际迁移率随栅压变化关系 (a) 6H- (b) 4H-SiC (0001) MOSFETs; 有效迁移率 μ_{eff} 作为对比数据。

对于 SiC MOSFETs 器件, 研究中经常可以观察到线性提取的阈值电压和沟道迁移率之间呈现负相关, 即沟道迁移率下降时, 器件的阈值电压增大。这种现象的部分原因可以归结于阈值电压的提取方法, 结合前面的电子束缚效应可以解释, 如图 2-16 所示。由于, SiC MOS 结构中距离导带的位置越近, 界面态密度越大; 随着栅压的变化, 越来越多的电子被界面陷阱束缚住。因此, 器件的漏电流减小, 在采用线性拟合方法提取器件的阈值电压时, 阈值电压对应增大。

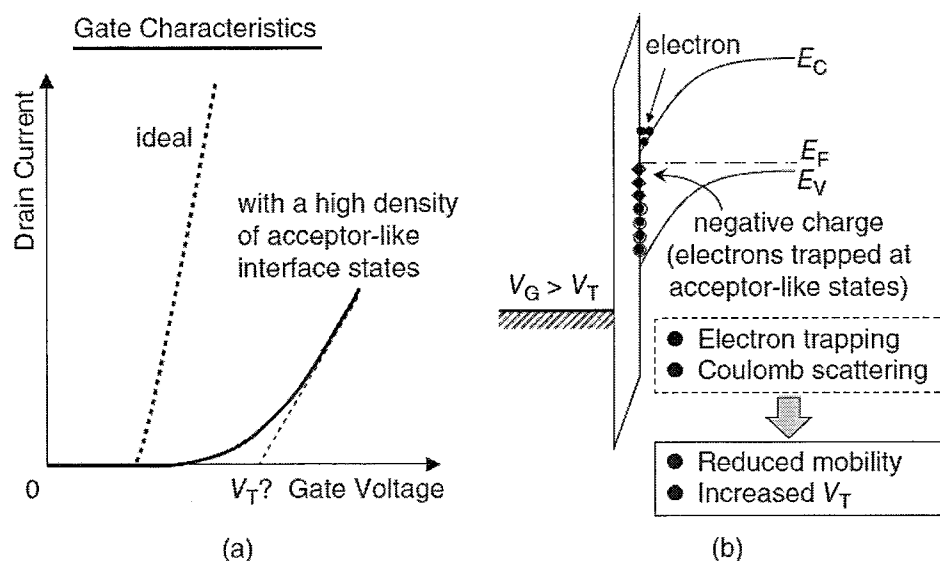


图 2-16 (a) 界面陷阱束缚电子对器件阈值电压的影响 (b) SiC MOSFETs 器件迁移率的主要限制因素

对于直接干氧氧化的 SiC MOS 界面, 界面态密度非常高, 可以观察到沟道迁移率和靠近导带边缘的界面态密度表现出明显的相关性。但是, 对于氮化处理过的或者湿法氧化过得 SiC MOS 界面, 迁移率的主要限制因素仍存在一定争论。例如, 对于 4H-SiC (0001) 经过氮化处理后, 导带下面 0.2~0.3 eV 处的界面态密度可以从 $10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 降到 $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 左右, 但是器件的电子迁移率仍然只有 $30 \sim 50 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 约占体迁移率的 3~5%。图 2-17 展示了 n 沟道电子迁移率和 $E_c - 0.2 \text{ eV}$ 处界面态密度的关系, 其中 (a) 中 D_{IT} 是通过 high (1MHz)-low 方法提取, (b) 中是使用 $C-\phi_s$ 方法提取的^[94]。图 2-17 (a) 中数据较为离散, 但仍可以得到一些结论。例如, 当界面态密度为 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 时, 4H-SiC (0001)

MOSFETs 器件的迁移率只有 8 或 $17 \text{ cm}^2\text{V}^{-1} \text{ s}^{-1}$ 。而 4H-SiC (11-20) 面的上 MOSFETs 器件在同样的界面态密度下, 迁移率可以达到 $71 \text{ cm}^2\text{V}^{-1} \text{ s}^{-1}$ 。很难将这种不同晶面上 MOSFETs 器件迁移率的差异仅仅归结于表面粗糙度的不同。此外, 对于 (0001) 面上的 MOSFETs 器件, 通过优化工艺, 界面态密度可以降低 2 个量级, 而实际上迁移率的提升还不到 1 个量级。而图 2-17 (b) 中, 迁移率和界面态密度之间表现出来明显的线性关系。这主要是由于以下原因:

1. 即便是氮化处理之后, n 沟道的电子迁移率仍然受较高的界面态密度限制。
2. 传统的 high (1MHz)-low 方法无法测量到氮化后界面处的快界面态, 会大大低估实际的界面态密度, 而这些快界面态也会影响沟道的载流子迁移率。

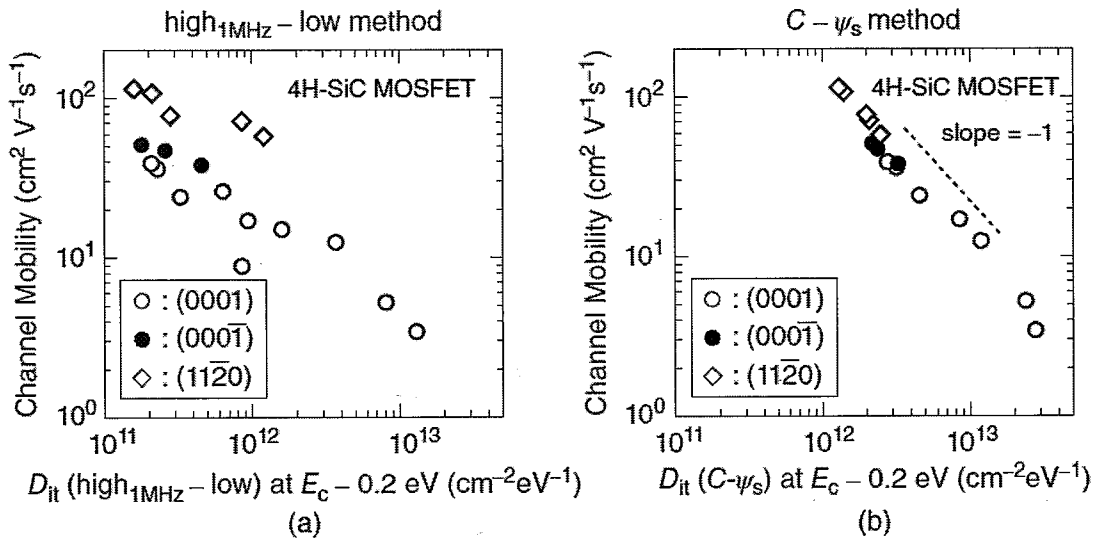


图 2-17 通过 (a) high (1MHz)-low 方法, (b) C- ϕ_s 方法提取的 $E_C-E_T=0.2 \text{ eV}$ 处界面态密度和 n 沟道载流子迁移率的关系

通常, SiC MOSFETs 器件都表现出较大的亚阈值摆幅($200\text{-}500 \text{ mV/decade}$), 而理想值在室温下只有 60 mV/decade , 这也与 MOS 界面处的界面态分布相关。图 2-18 展示了从 SiC MOSFETs 器件亚阈值曲线中提取的界面态密度和从 SiC MOS 电容中用 C-V 方法提取界面态密度的对比^[94]。图 2-18 (a) 中, 从 MOSFETs 器件的亚阈值曲线中提取的界面态密度明显比使用 high (1MHz)-low 方法提取的要大, 这主要是以为 high (1MHz)-low 方法提取的 D_{IT} 中不包括那些快界面态。而从 C- ϕ_s 方法中提取的 D_{IT} 则和亚阈值曲线中提取的较好地吻合了。这进一步说明, 这些快界面态的确影响了 SiC MOSFETs 器件的性能。

对于 SiC MOSFETs 器件而言, 沟道的导通机制十分复杂。商业化的 SiC 材

料一般都是偏离轴向 4° 或者 8° 的, 表面粗糙度要比 Si 材料大很多, 而且 SiC 晶圆的表面处理工艺也不成熟。因此, 表面粗糙散射也会影响迁移率, 特别是当实际器件工作时一般会加较高的栅偏压。界面处的固定电荷也可能会对迁移率造成影响。此外, 电导法测试中发现, 相比于 SiO_2/Si , SiO_2/SiC MOS 界面存在着较

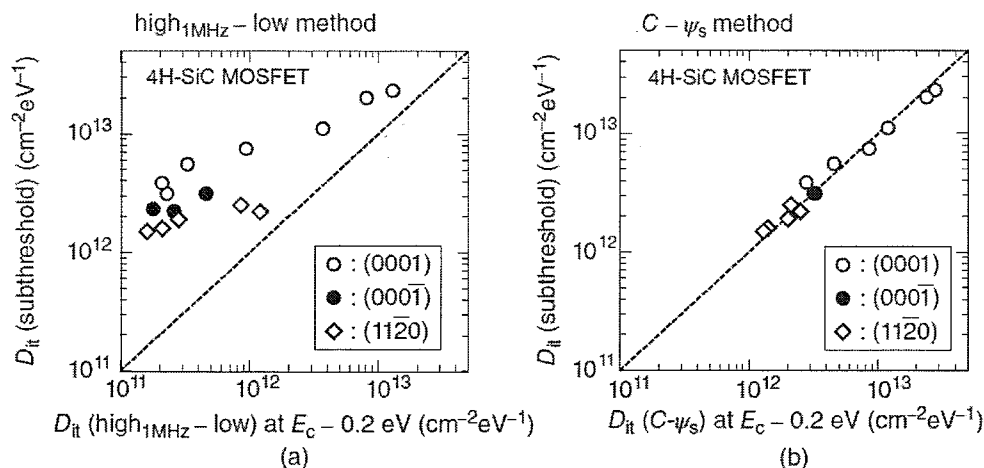


图 2-18 SiC MOSFETs 器件亚阈值区间提取的界面态密度和 MOS 电容 C-V 方法提取界面态密度的对比 (a) high (1MHz)-low 方法, (b) C- ψ_s 方法

大的表面势浮动^[95]。因为, SiC 是化合物半导体材料, SiC MOS 结构的界面处可能不是单一的原子分布, 界面处表面势的浮动也会影响沟道的导通。另外, 研究显示在氧化过程中, 界面处的 carbon 会被发射到体材料里去, 而理论计算发现 carbon clusters 可以在靠近 SiC 导带边缘的地方形成缺陷^[96], 这些相关缺陷也会极大地影响靠近界面处的体迁移率。

2.5 本章小结

本章介绍了 MOS 电容和 MOSFET 器件的基本理论。针对 SiO_2/SiC 独特的界面特性, 本章首先从 SiC 的氧化动力学入手, 比较了 SiC MOS 和 Si MOS 氧化过程的差异, 介绍了 SiC MOS 界面态的可能起源以及分布情况, 并详细分析阐明了界面态对 SiC MOSFETs 器件性能的影响机制, 从器件的阈值电压、迁移率、亚阈值摆幅等方面的进行了具体解释。本章为改善 SiC MOSFET 器件性能的研究提供了基本的理论指导, 明确了开展 SiC MOS 界面研究的重要性。其中, 首先就是开展 SiC MOS 界面态表征的研究, 准确的表征 SiC MOS 结构界面态密度的分布, 从而更好地理解钝化工艺的作用机制, 为优化界面提供技术指导。

第三章 SiO₂/SiC 介质界面的测试表征

C-V 测试方法在表征 MOS 界面的特性方面已经得到了广泛的应用，目前已经存在很多成熟的 C-V 测量方法来获得界面态密度，如 Terman 方法、高低频方法等。由于 SiC 是宽禁带半导体材料，将这些测量方法应用到 SiC 时需特别考虑其应用范围，本章详细研究了 SiC MOS 界面态提取中的各种 C-V 表征方法的优缺点，确定了变温电导法作为本文中界面态的提取方法。为了表征 SiC 上热生长 SiO₂ 的可靠性，本章介绍了栅介质可靠性测试的原理和方法。此外，针对界面的化学组成的 XPS 分析和栅介质厚度的椭圆偏振仪测试，本章亦有描述。

3.1 界面态密度表征方法研究

界面陷阱电荷的性质目前还不能被完全理解，SiC 的界面态表征技术，除了借鉴 Si MOS 中已经应用得很成熟的 terman 方法、Hi-low 方法和电导法等，也有新提出来的 C- ϕ_s 方法，本节将一一介绍这些方法，并详细阐述变温电导法在 SiC MOS 界面态表征中的优势。

3.1.1 Terman 方法

Terman 发展的室温、高频电容方法是确定界面陷阱密度最初使用的方法之一，在 1962 年首次提出^[34]。这种高频 C-V 测量方法是建立在一定的假设基础上的：认为在测量电压频率足够高的时候，界面态无法响应栅压中的交流信号，界面陷阱对电容没有贡献。但是，界面陷阱可以跟随栅压中直流信号的缓慢变化而变化，当栅压变化时，界面陷阱占据率变化，并且引起 hf C-V 曲线沿栅电压轴伸展，如图 3-1 所示。

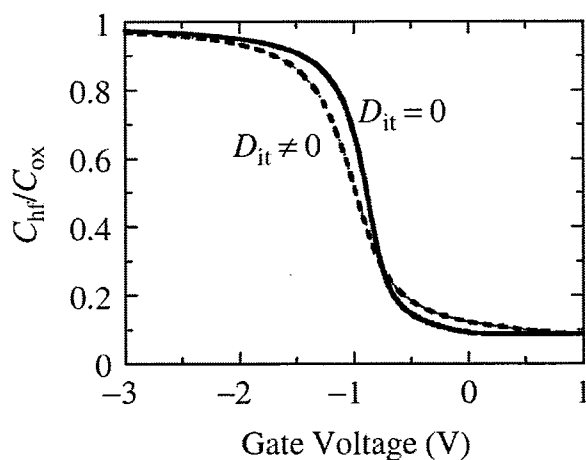


图 3-1 理论高频 C-V 曲线，理想 ($D_{IT}=0$) 和 $D_{IT}=0$

以 p 型 SiC 为例，在高频情况下，少子和界面态电荷都无法响应栅压中的交流信号，对总电容的贡献可以忽略，因此，SiC MOS 高频电容为：

$$C_{hf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_s} \right)^{-1} = \left(\frac{1}{C_{ox}} + \frac{1}{C_p + C_b} \right)^{-1} \quad (3.1)$$

其等效电路图如下：

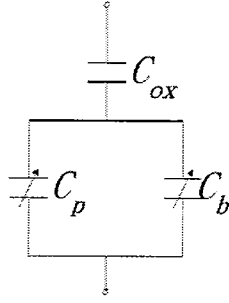


图 3-2 高频 C-V 曲线等效电容示意图

又由于界面态可以跟随栅压中直流信号的变化，且室温下，认为少子浓度为 0，栅压可以表示为：

$$V_g = V_{FB} + \phi_s - \frac{Q_b + Q_p + Q_{IT}}{C_{ox}} \quad (3.2)$$

上式两边对 ϕ_s 求导可得：

$$\frac{dV_g}{d\phi_s} = 1 + \frac{1}{C_{ox}} (C_b + C_p + C_{it}) \quad (3.3)$$

从而得到：

$$C_{it} = C_{ox} \left(\frac{dV_g}{d\phi_s} - 1 \right) - C_s \quad (3.4)$$

根据界面态密度的定义式有：

$$D_{it} = \frac{C_{it}}{q} \quad (3.5)$$

因此，由式可以得到界面态密度为：

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{dV_g}{d\phi_s} - 1 \right) - \frac{C_s}{q^2} \quad (3.6)$$

如果知道了 V_G 和 ϕ_s 的对应关系，就可以根据上式求出界面态密度对表面势

的分布。根据前面所做的假设, 可知在表面势 ϕ_s 相同的情况下, 理想高频电容和实验高频电容是相等的, 因此通过对比理想和实验高频 C-V 曲线就可以获得 V_G 和 ϕ_s 的对应关系。

应用 Terman 方法测量宽带隙半导体的界面态密度时, 必须考虑该方法的有效范围, 即测量的有效能量范围内的界面态不能响应交流信号的变化, 但能跟随直流扫描信号的变化。通常使用 Terman 方法测量 n 型 4H-SiC MOS 电容时, 交流信号频率为 1MHz。而对 4H-SiC MOS 而言, 经过氮化处理后, 导带边缘处界面态可以响应高达 100 MHz 的交流信号^[72], 所以室温下 1 MHz 的 C-V 测试是达不到理想条件的。此外, Terman 方法要求必须获得给定衬底掺杂浓度下的精确理想高频 C-V 曲线, 但由于 SiC 中杂质的不完全离化, 以及杂质浓度可能存在的误差 (如杂质的堆积或向外扩散) 都将给计算得到的理想高频 C-V 曲线带来偏差。最后, ϕ_s - V_G 曲线的图形差分过程本身就很可能引入误差。基于 Terman 方法本身以及在 SiC MOS 测量中的弱点, 导致测得的界面态密度的不可靠。因此, 目前 Terman 方法在 SiC MOS 界面的表征中使用已经不太广泛。

3.1.2 高低频方法 (Hi-low method)

高低频方法是一种最常用的测量界面态密度的方法, 是从 Berglund 的准静态方法发展而来^[83]。此方法比较一低频 C-V 曲线与一无界面陷阱效应的曲线。其中, 无界面陷阱效应的曲线通常使用高频(Hf)下 C-V 曲线代替, 假设频率足够高界面陷阱不响应。“低频”意味着界面陷阱和少数载流子反型电荷必须能够对交流频率测量有响应。

在进行 SiC MOS 电容低频 (准静态) 测量时, 界面态会响应低频信号, 界面态电容会出现在测量电容中。室温下忽略少子, 低频 SiC MOS 电容等效电路图如下:

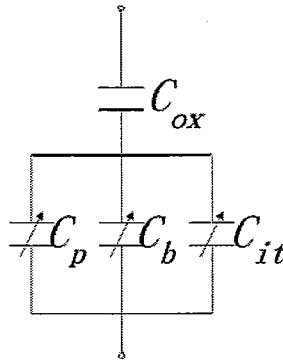


图 3-3 低频 C-V 曲线等效电容示意图

以 p 型 SiC 为例，有：

$$C_{lf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_b + C_p + C_{it}} \right)^{-1} \quad (3.7)$$

代入 D_{IT} 公式可得：

$$D_{it} = \frac{1}{q} \left[\frac{C_{ox} C_{lf}}{C_{ox} - C_{lf}} - (C_b + C_p) \right] \quad (3.8)$$

测量高频 C-V 曲线，然后由 C_{hf} 式有：

$$(C_b + C_p) = \frac{C_{ox}}{C_{ox} - C_{hf}} \quad (3.9)$$

合并 2 式可得：

$$D_{it} = \frac{C_{ox}}{q} \left[\frac{C_{lf}}{C_{ox} - C_{lf}} - \frac{C_{hf}}{C_{ox} - C_{hf}} \right] \quad (3.10)$$

由上式计算出来的 D_{IT} 是关于栅压的分布，要转化成关于能量的分布，需要得到栅压 V_G 与表面势 ϕ_s 的关系。Berglund 提出：

$$\phi_s = \int_{V_{G1}}^{V_{G2}} \left(1 - \frac{C_{lf}}{C_{ox}} \right) dV_G + \Delta \quad (3.11)$$

其中， Δ 是由在 $V_G = V_{G1}$ 处的表面势给出的积分常数。由于平带条件下 ϕ_s 为 0，所以一般取 $V_{G1} = V_{FB}$ ， $\Delta = 0$ 。从 V_{FB} 积分到积累区和从 V_{FB} 到反型区，给出大部分禁带范围内的表面势。

高低频方法能够准确测量的界面态能量范围同样需要考虑，准确测量的界面态能量范围下限由测量高频 C-V 时的交流信号频率决定，上限由准静态（低频）C-V 测量决定。同 Terman 方法一样，对 Hf C-V 曲线，必须有足够高的测量频率，以使界面陷阱不发生响应。一般 1 MHz 的频率对 Si MOS 器件可能足够，但是对于宽禁带 SiC MOS 电容，尤其是经过氮化处理后，其界面处的快界面态响应频率超过 100 MHz。所以，需要高达 100 MHz 的 C-V 测试频率，对测试设备的要求更高了；另一方面这也大大提高了对 MOS 电容欧姆接触的要求^[34]。Lf C-V 曲线一般是使用“Quasi-Static C-V method”（QSC-V）方法获得，通过在电容栅电极上加一变化直流信号，然后测量电流，积分后根据电荷随栅压的变化而得到实际

电容。J A Cooper 等人曾对 Hi-low method 在 SiC 中使用的准确性做过研究，而要准确的测量到 D_{IT} ，需要测试频率下的界面态只响应 Lf C-V，不响应 Hf C-V 曲线。由于 4H-SiC MOS 的表面势浮动一般比较大(~ 4)，其界面态响应的时间常数的离散也非常大。理论计算显示，随着表面势浮动的增大，更多的界面态会响应 Hf 曲线，而响应 Lf 曲线的界面态开始减少，如图 3-4 所示^[97]；所以，使用 Hi-low method 表征 SiC MOS 界面态密度会引入较大的误差。从目前 SiC MOS 界面的氮化研究中就可以看出^[67]，NO 退火处理后，大部分文献报道的基于 Hi-low method 提取的界面态密度在靠近 4H-SiC 导带附近($E_C-E_T \leq 0.2$ eV)，都是低于 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 量级的，相比于直接热氧得到 SiO₂/SiC 的界面态密度下降了 2 个数量级。而实际上对于器件迁移率的提升却没有那么明显，氮化工艺获得的最高迁移率也只有 $40\text{-}52 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[55]，这说明 Hi-low method 用来表征氮化后 SiO₂/SiC 的界面态密度会严重低估界面态密度。

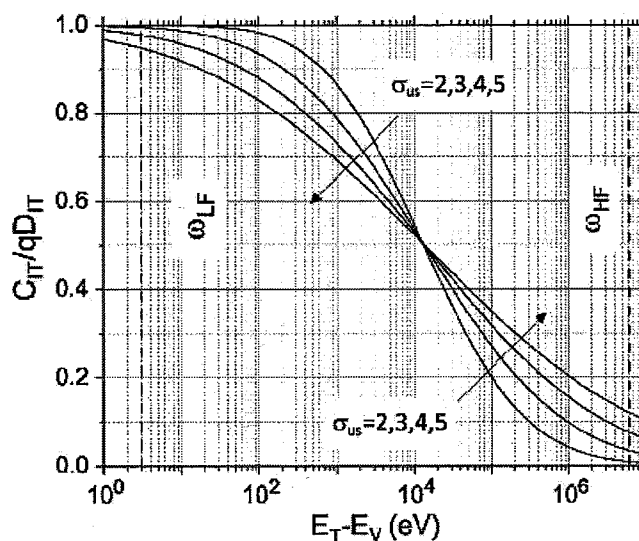


图 3-4 不同 SiC MOS 表面势浮动下， C_{IT} 占实际 D_{IT} 比例随界面态响应频率变化的关系

3.1.3 C- ϕ_s 方法

针对的是 Hi-low method 中存在的两个主要问题：1) 对高频曲线的要求很苛刻，1M 的频率仍有界面态响应；100M 的频率又对材料的欧姆接触提出了更高的要求。2) 在计算表面势的时候，通常在 V_{FB} 处开始积分，而 V_{FB} 一般是通过高频曲线提取，如果高频曲线不能足够接近理想 C-V，会引入表面势误差。日本京都大学的 yoshioka 等人提出了一种新的 C- ϕ_s 方法^[95]，通过比较准静态(QSCV)

曲线中提取的半导体电容和计算得到的理想半导体电容来计算界面态密度。C- ϕ_s 方法实际上是一种 Hi-low method 上的改进。

低频 C-V 曲线通过 QSCV 测试获得。但在 C- Ψ_s 方法中，计算表面势时，不用从平带电压处选取，而通过不定积分获取 ϕ_s 和 V_G 的关系：

$$\phi_s(V_G) = \int (1 - C_{QS} / C_{OX}) dV_G + A \quad (3.12)$$

其中，A 为积分常数，包含在积分得到的 ϕ_s - V_G 对应关系中。

在 C- Ψ_s 方法中，如果高频 C-V 测试的测试频率足够高，在耗尽区时，界面态不会响应，同时也没有反型载流子生成，所以，耗尽区的 MOS 电容 C_{dep} 可以使用 $C_D + C_{it}$ 来近似。因此， $1/(C_D + C_{it})^2$ 和 ϕ_s 满足以下线性关系：

$$\frac{1}{(C_D + C_{it})^2} \approx \frac{1}{C_{dep}^2} = -\frac{2\phi_s}{A^2 \epsilon_{SiC} q N_D} \text{ (depletion)} \quad (3.13)$$

其中，A 为栅电极面积， ϵ_{SiC} 为 SiC 材料的介电常数， N_D 为 SiC 外延层的掺杂浓度， C_D 为耗尽层电容， C_{it} 为界面态电容。可以看出， $1/(C_D + C_{it})^2$ - ϕ_s 这条直线应当经过原点。首先，绘制出 $1/(C_D + C_{it})^2$ - V_G 曲线。根据，QSCV 曲线的积分，已经知道 ϕ_s - V_G 对应关系（包含积分常数 A），将 V_G 转化为 ϕ_s 。而这条曲线在耗尽区应该经过原点，通过截距可以求得 ϕ_s - V_G 对应关系中常数 A 的值，从而获得 ϕ_s - V_G 曲线。此外，通过斜率还可以求得掺杂浓度 N_D 的值。图 3-5 显示了，实验

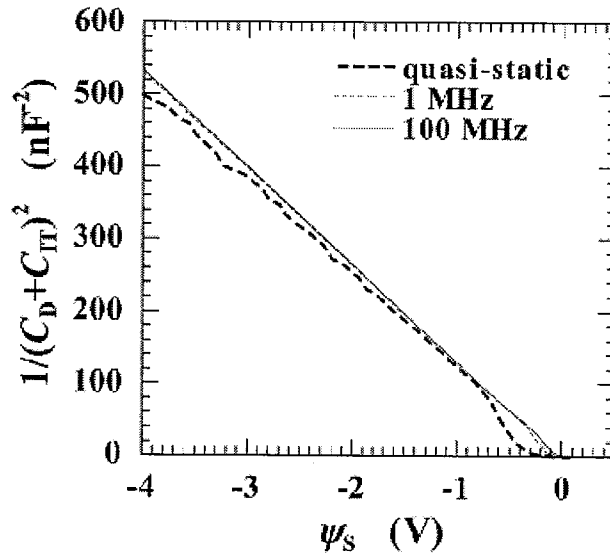


图 3-5 对于 n 型 SiC MOS 电容，不同频率下 $1/(C_D + C_{it})^2$ - ϕ_s 曲线数据计算得到的，不同频率下 $1/(C_D + C_{it})^2$ 曲线随表面势 ϕ_s 变化的关系。可以观察到，对于同一 SiC MOS 电容，1 MHz 和 100 MHz 的 C-V 测试条件下，耗尽区

的 MOS 电容 C_{dep} 差别已经非常小, 这说明 1 MHz 的测试下, 在耗尽区界面态的响应非常少。因此, 在 $C-\phi_s$ 方法中, 高频曲线使用 1 MHz 测试频率即可, 这将极大地降低对设备和器件工艺的需求。已经知道了 ϕ_s-V_G 的对应关系, 进一步, 根据以下公式:

$$C_{D,\text{theory}(\phi_s)} = \frac{AqN_D \left| \exp\left(\frac{e\phi_s}{kT}\right) - 1 \right|}{\sqrt{\frac{2kTN_D}{\epsilon_{\text{SiC}}} \left\{ \exp\left(\frac{e\phi_s}{kT}\right) - \frac{e\phi_s}{kT} - 1 \right\}}} \quad (3.14)$$

计算得到理想情况下的耗尽区的电容值 $C_{D,\text{theory}}$, 如图 3-6, 然后比较低频 C-V 测试得到的 C_D+C_{it} 和计算得到的理想情况下的 $C_{D,\text{theory}}$ 就可以得到界面态密度了。

$$D_{\text{IT}} = \frac{(C_D + C_{\text{IT}})_{\text{QS}} - (C_D + C_{\text{IT}})_{\text{HF}}}{Aq^2} \quad (3.15)$$

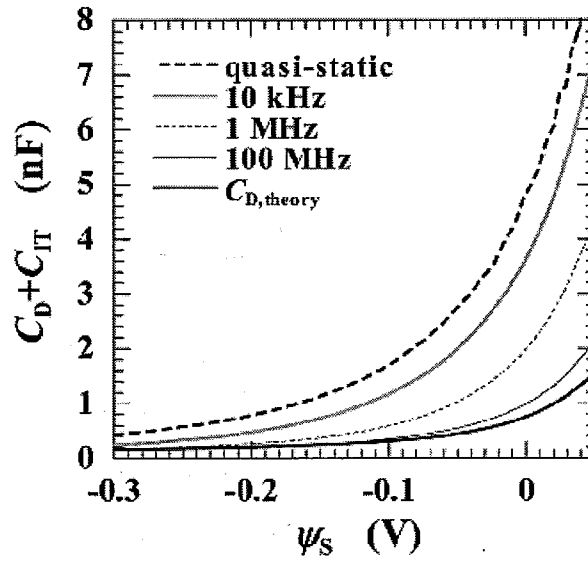


图 3-6 不同频率下 C_D+C_{it} 随表面势变化关系

$C-\phi_s$ 方法相比于前面的 Terman 方法和 Hi-low 方法, 从原理上来讲更为准确, 目前已经得到了一些推广。但是, $C-\phi_s$ 方法的关键在于测量得到准确的 SiC MOS 电容的 QSCV 曲线, 实际上关于 QSCV 的测量目前还没有一个具体的标准, 如何判别测试得到的 QSCV 曲线是否精确是一个问题, 这可能给界面态密度的表征带来极大地误差。此外, 和前面的方法一样, 通过 $C-\phi_s$ 方法仅能得到界面态密度的信息, 而不包括陷阱的其他参数, 如俘获界面, 响应时间常数, 以及表面势的浮动等参数。

3.1.4 电导法

由 Nicolian 和 Goetzberger 在 1967 年提出的电导方法，一般被认为是确定 D_{IT} 最准确最灵敏的方法^[34]。此方法可以获得耗尽和弱反型部分的 D_{it} ，以及多数载流子的俘获截面和关于表面势扰动的信息。但是，测量相当冗长和耗时。此方法以测量 MOS 电容的等效平行电导 G_P 为基础，其中 G_P 是栅压和频率的函数。电导的变化起因于界面陷阱俘获和发射载流子过程中的损耗。

适合于电导方法的 MOS 电容简化等效电路如图 3-7 所示。包括氧化物电容 C_{ox} 、半导体电容 C_s 和界面陷阱电容 C_{it} 。界面陷阱处，载流子的发射-俘获是一个损耗过程，由电阻 R_{it} 表示。分析界面陷阱时，用图 3-7 (b) 中的简化电路，其中 C_P 和 G_P 由下式给出

$$C_P = C_s + \frac{C_{it}}{1 + (\omega\tau_{it})^2} \quad (3.16)$$

$$\frac{G_P}{\omega} = \frac{q\omega\tau_{it}D_{it}}{1 + (\omega\tau_{it})^2} \quad (3.17)$$

其中 $C_{it}=qD_{it}$ ； $\omega=2\pi f$ (f 为测量频率)； τ_{it} 是界面陷阱时间常数 $\tau_{it}=R_{it}C_{it}$ ；以上是界面中具有单能级陷阱的情况，此时， G_P/ω 方程以 $\omega\tau_{it}$ 对称。然而，在半导体的

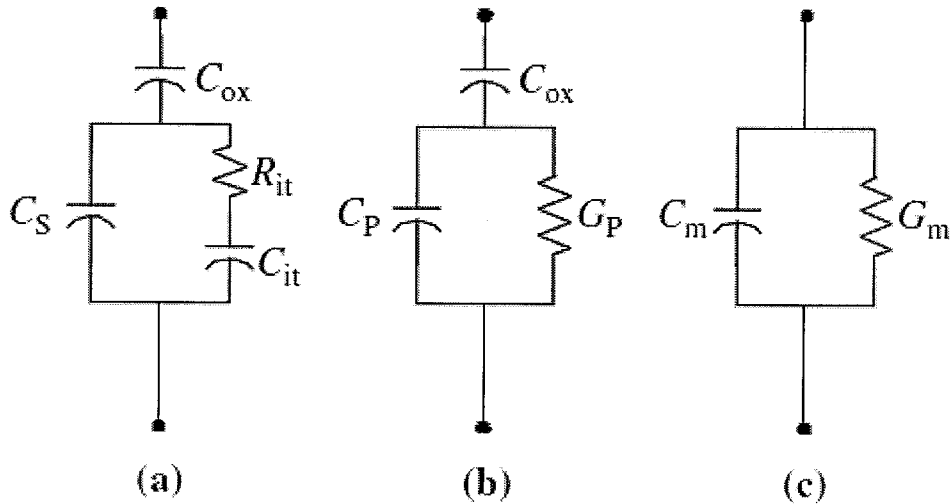


图 3-7 电导测量的等效电路，(a) 界面陷阱时间常数 $\tau_{it}=R_{it}C_{it}$ 的 MOS 电容；
(b) (a) 的简化电路；(c) 实际测量电路

禁带内， $\text{SiO}_2\text{-Si}$ (SiC) 界面的界面陷阱在能级上为连续分布。对这样连续的界面陷阱，俘获和发射主要发生在费米能级上下几个 kT/q 的范围内，这导致时间常数离散并给出归一化的电导为

$$\frac{G_p}{\omega} = \frac{qD_{it}}{2\omega\tau_{it}} \ln(1 + (\omega\tau_{it})^2) \quad (3.18)$$

但是，由于界面处的表面势浮动，实验中 G_p/ω 曲线一般比上述方程预测到的曲线更宽。引起表面势浮动的主要因素包括，氧化物中和界面处电荷的不均匀分布，掺杂浓度的不均匀性，以及界面处氧化层厚度的不均匀性。如图 3-8 所示，这些表面处随机分布的电荷会改变所在位置的电场，从而引起表面势的扰动。

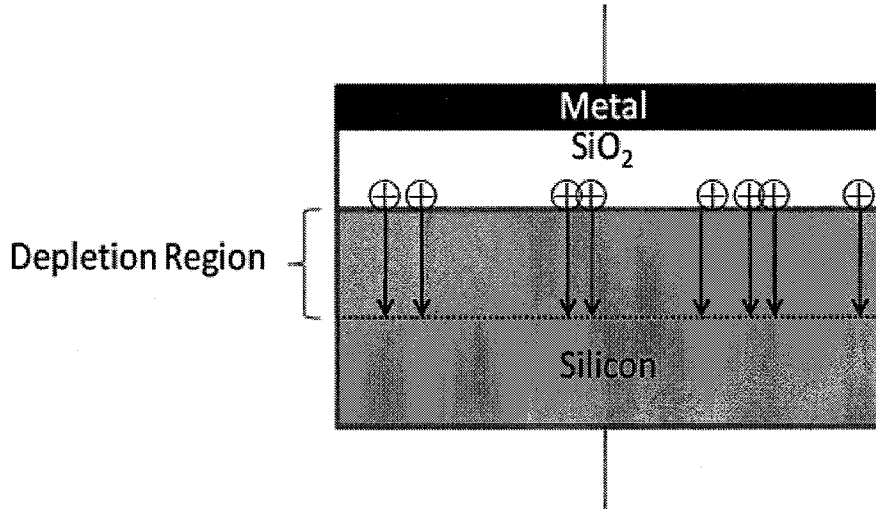


图 3-8 表面处随机分布电荷对电场的影响

考虑到这些扰动时，电导可以表示为

$$\frac{G_p}{\omega} = \frac{q}{2} \int_{-\infty}^{\infty} \frac{D_{it}}{\omega\tau_{it}} \ln[1 + (\omega\tau_{it})^2] P(U_s) dU_s \quad (3.19)$$

其中， $P(U_s)$ 是表面势扰动的几率分布

$$P(U_s) = \frac{1}{\sqrt{2\pi\sigma_s^2}} \exp\left(-\frac{(U_s - \bar{U}_s)^2}{2\sigma_s^2}\right) \quad (3.20)$$

$\bar{U}_s$ 和 σ_s 分别是归一化平均表面势和标准偏差。简单的比较图 3-7 (b) 和 3-7 (c) 的电路，可以给出根据实际测量电容 C_m 、氧化物电容和测量电导 G_m 给出的 G_p/ω

$$\frac{G_p}{\omega} = \frac{\omega G_m C_{ox}^2}{G_m^2 + \omega^2 (C_{ox} - C_m)^2} \quad (3.21)$$

实际的使用电导法测量 D_{IT} 的过程中，器件的串联电阻是不可以忽略的，考虑到串联电阻后的等效电路如图 3-9 (a) 所示。在电容被偏置在强积累区时，没有耗尽区的形成，同时界面陷阱电容也被短路，因此电路可以等效为图 3-9 (b)，

只有氧化层电容和串联电阻的串联。此时，串联电阻 R_s 可以表示如下

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2} \quad (3.22)$$

其中， G_{ma} 和 C_{ma} 分别为强积累区的测量电导和测量电容。根据提取出来的 R_s ，实际测量的电容和电导可以按以下方程更正

$$C_c = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{a^2 + \omega^2 C_m^2} \quad (3.23)$$

$$G_c = \frac{(G_m^2 + \omega^2 C_m^2) a}{a^2 + \omega^2 C_m^2} \quad (3.24)$$

$$a = G_m - (G_m^2 + \omega^2 C_m^2 R_s) \quad (3.25)$$

其中， G_m 和 C_m 分别电导法的测量电导和测量电容。经过校准后的电容 G_c 和电导 C_c 可以代回 G_p/ω 的表达式中，用来求解 D_{IT} 。

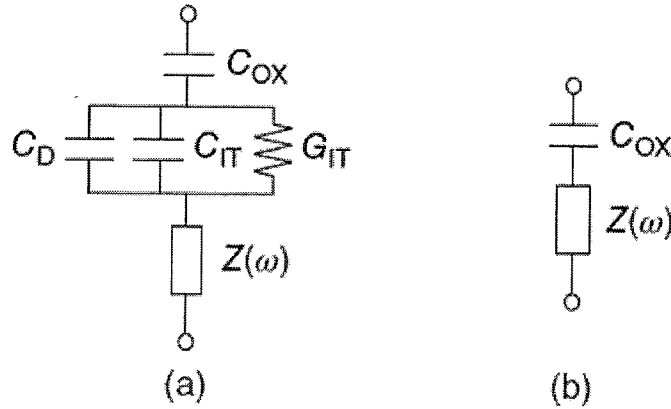


图 3-9 包含串联电阻的电导测量等效电路，(a) 从耗尽到弱积累区，(c) 强积累区

J R Brews 提供了一种较为简单的方法从 MOS 界面陷阱电导的 G_p/ω - f 曲线中提取表面势浮动 σ 和界面态密度 D_{IT} ^[34]。首先，比较在频率为 f_p 处和 nf_p 处（或者 f_p 处和 $1/nf_p$ 处）， G_p/ω 值幅度的变化，其中 f_p 为 G_p/ω 处在峰值处的频率，如图 3-10 所示。 $(G_p/\omega)_{nf_p}$ 和 $(G_p/\omega)_{f_p}$ 的比值可以表示如下

$$\frac{(G_p/\omega)_{nf_p}}{(G_p/\omega)_{f_p}} = \frac{1}{n} \frac{\int_{-\infty}^{\infty} \exp(-\frac{\eta^2}{2\sigma_s^2}) \exp(-\eta) \ln(1 + n^2 \xi_p^2 \exp 2\eta) d\eta}{\int_{-\infty}^{\infty} \exp(-\frac{\eta^2}{2\sigma_s^2}) \exp(-\eta) \ln(1 + \xi_p^2 \exp 2\eta) d\eta} \quad (3.26)$$

其中, $\xi_p = \omega_p \tau_p$, 是关于 σ_s 的函数, 在频率为 f_p 处满足以下关系

$$\int_{-\infty}^{\infty} \exp\left(-\frac{\eta^2}{2\sigma_s^2}\right) \exp(-\eta) \left\{ \frac{2\xi_p^2 \exp 2\eta}{1 + \xi_p^2 \exp 2\eta} - \ln(1 + \xi_p^2 \exp 2\eta) \right\} d\eta = 0 \quad (3.27)$$

通过数学方法解超越方程, 就可以得到 ξ_p 随 σ_s 变化的关系, 如图 3-11 所示。

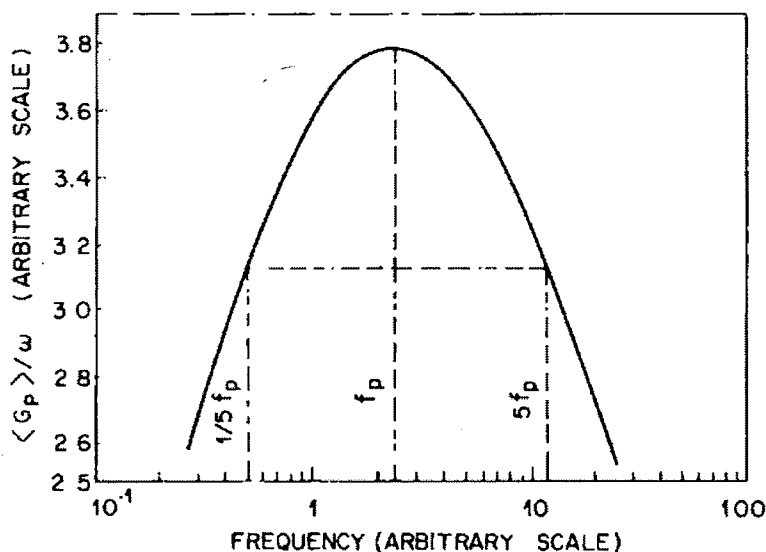


图 3-10 从实验数据中得到的典型的 G_p/ω - f 曲线, f_p 为 G_p/ω 处在峰值处的频率, $5f_p$ 和 $1/5f_p$ 分别定义为最大峰值频率 f_p 的 5 倍频率和 $1/5$ 频率处

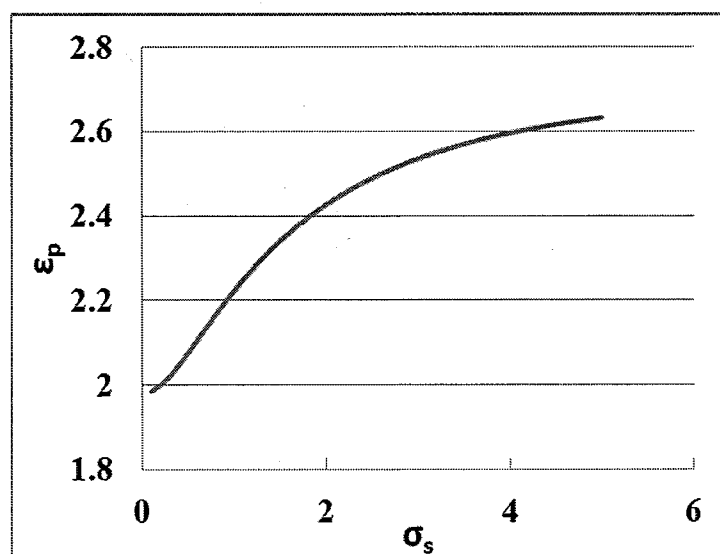


图 3-11 计算得到的 ξ_p 随 σ_s 变化的关系

计算 $(G_p/\omega)_{nf_p}$ 和 $(G_p/\omega)_{f_p}$ 的比值时, 取 $n=5$ 即可满足需求。积分后得到的

$(G_p/\omega)_{5f_p}$ 和 $(G_p/\omega)_{f_p}$ 比值和 σ_s 关系如下

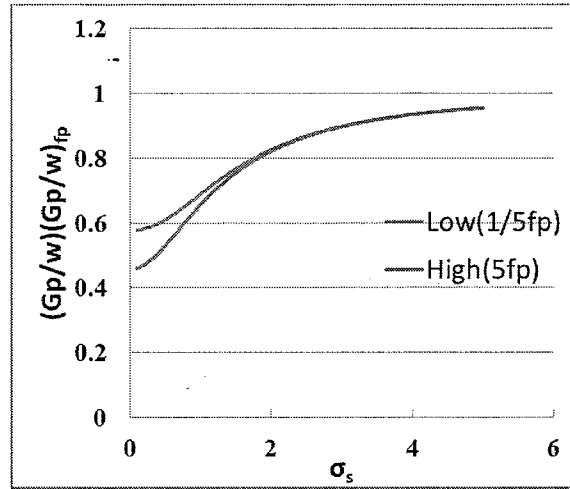


图 3-12 计算得到的 $(G_p/\omega)_{nf_p}$ 和 $(G_p/\omega)_{fp}$ 随 σ_s 变化的关系，红色曲线为 $n=5$ ，

蓝色曲线为 $n=1/5$

这样，只要根据实验数据得到不同栅压偏置下， G_p/ω - f 曲线 $(G_p/\omega)_{5f_p}$ 和 $(G_p/\omega)_{f_p}$ 比值，然后在图 3-12 中查找，即可知道对应的 σ_s 。由 G_p/ω 的基本表达式知道

$$D_{it} = \left(\frac{G_p}{\omega} \right)_{f_p} [f_D \sigma_s q]^{-1} \quad (3.28)$$

其中

$$f_D(\sigma_s) = \frac{(2\pi\sigma_s^2)^{-1/2}}{2\xi_p} \int_{-\infty}^{\infty} \exp\left(-\frac{\eta^2}{2\sigma_s^2}\right) \exp(-\eta) \ln(1 + \xi_p^2 \exp 2\eta) d\eta \quad (3.29)$$

经过计算，可以得到 f_D 和 σ_s 关系，如图 3-13。这样知道了 σ_s ，也就可以计算得到对应的 D_{IT} 了。同时，还可以根据 $\tau_p = \xi_p / \omega_p$ 得到对应的时间常数。

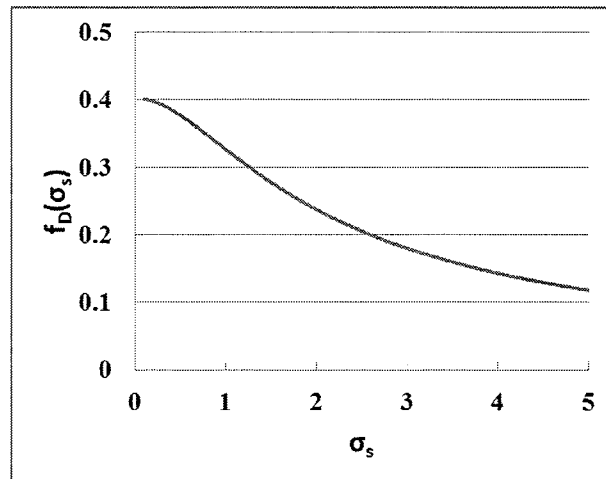


图 3-13 计算得到的 f_D 随 σ_s 变化的关系

通过前面的电导法运算，我们就可以将不同栅压下界面态的 D_{IT} 、 σ_s 和 τ_p 等

参数提取出来。求解特定栅压偏置下界面态在 4H-SiC 禁带中能级位置的方法，如图 3-14，本文主要采用电导法来提取界面态密度。

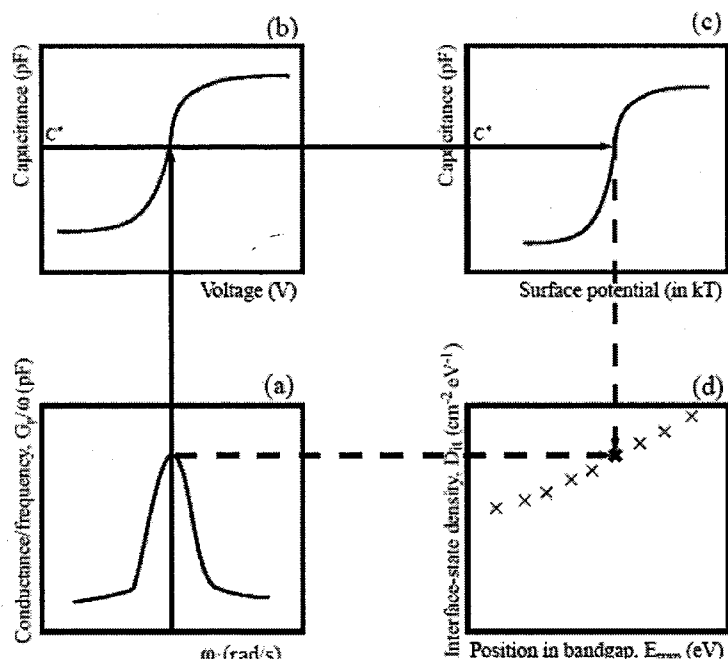


图 3-14 计算界面态能级位置的过程，(a) 获取 G_p/ω - f 曲线，(b) 在 C-V 曲线中查找峰值处对应的电容值，(c) 在理想 C-V 曲线中查找同样电容值下的表面势，(d) 根据费米能级得到界面态在禁带中的能级位置

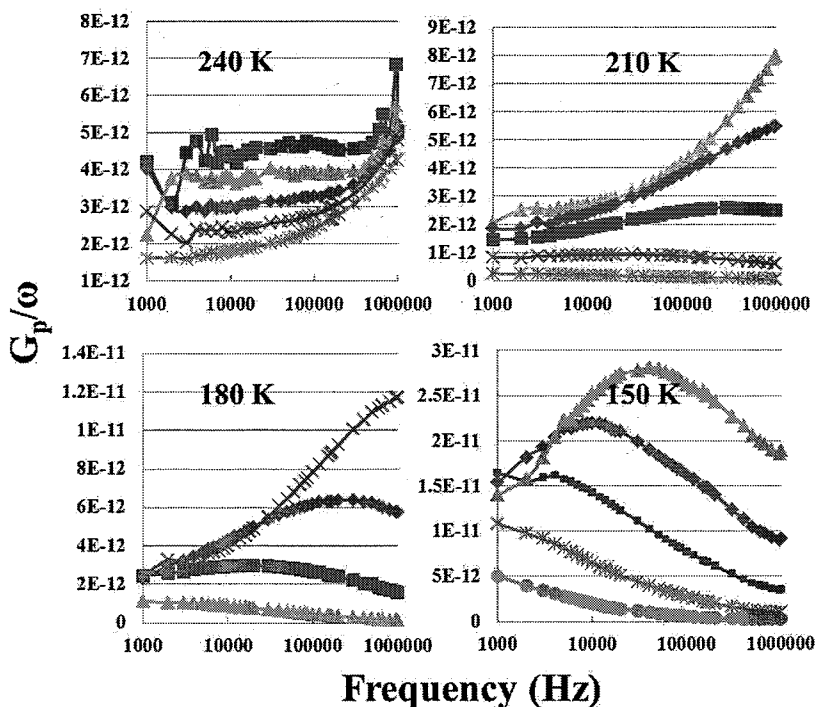


图 3-15 氮化处理过的电容样品，低温电导测试得到的 G_p/ω - f 曲线

在常温电导法测试表征中,发现氮化工艺钝化后的 SiC MOS 界面, 1 KHz~1 MHz 的 C-V 曲线没有出现明显的频散, 对应的界面陷阱的电导峰出现在 1 MHz 的响应频率之上。这说明氮化后界面处生成了许多新的快界面态, 在常温下可以响应的 1 MHz 的 C-V 曲线。考虑到界面态的响应时间是随温度的降低而增大, 因此我们开展了低温电导法测试, 这样就可以在 1 MHz 频率以内准确的表征这些快界面态。图 3-15 显示氮化处理过的 MOS 电容样品低温电导测试得到的不同栅压下的 G_p/ω -f 曲线, 可以观察到随着电导法测试温度的降低, 在 1 MHz 频率以内可以清晰地观察到界面陷阱的电导峰。低温电导法测试将在下一章的应用中详细阐述。

3.2 C-V 方法提取衬底掺杂浓度

在提取 SiC MOS 电容的电学参数, 诸如平带电压、费米能级的时候, 经常需要提供材料的掺杂浓度。因此, 准确的提取衬底外延层的掺杂浓度十分必要, 本小节主要介绍了两种 C-V 提取掺杂浓度的方法及其应用。

3.2.1 最大-最小 MOS 电容法

确定 4H-SiC MOS 电容外延材料掺杂浓度的一种简单方法是测量强积累区的最大高频电容 C_{ox} 和强反型区的最小高频电容 C_{inv} ^[83]。如果栅压足够高使得器件偏置在强反型区时, 那么测量中界面陷阱将不再起作用, 器件在平衡状态时不存在少数载流子的产生。最大-最小电容方法并不能够测量掺杂浓度的分布, 当器件偏置在强反型区时, 从测量中可以获得整个空间电荷区的平均掺杂浓度值。所以, 这种方法可充分应用于外延层掺杂浓度均匀的 4H-SiC 材料。

最大-最小电容法因其简捷而被广泛采用, 它是基于强反型区 MOS 电容的空间耗尽区宽度对衬底掺杂浓度的依赖关系。通常 MOS 电容的表达式为

$$C = \frac{C_{ox}C_s}{C_{ox} + C_s} \quad (3.30)$$

其中, C_s 是半导体的电容, $C_s = K\epsilon_0 A/W$; 若 C_{inv} 是强反型时的电容或最小电容, 则空间耗尽区宽度为

$$W = W_{inv} = \sqrt{\frac{2K_s\epsilon_0\phi_{s,inv}}{qN_A}} \quad (3.31)$$

其中, $\phi_{s,inv}$ 是强反型时的表面势, 经常近似取为

$$\varphi_{s,inv} \approx 2\varphi_F = 2(kT/q) \ln(N_A/n_i) \quad (3.32)$$

又知道 $C_{2\varphi_F} = K_s \varepsilon_0 A / W_{2\varphi_F}$ ，从而可以得到 N_A 的表达式

$$N_A = \frac{4\varphi_F}{qK_s \varepsilon_0 A^2} \frac{C_{inv}^2}{(1 - C_{inv}/C_{ox})^2} \quad (3.33)$$

图 3-16 给出了 SiO₂/Si MOS 电容的 C_{inv} 和 C_{ox} 的曲线。实际上，随着交流电压变化的电荷是可移动的空穴（电子），而不是受主离子，从这一点来看，C-V 表征技术确定的是载流子浓度而不是掺杂浓度。但实际测量的是有效载流子浓度，既不是真实载流子浓度也不是掺杂浓度。不过，一般假设测量温度下所有的受主全部离化，所以近似可以认为测得载流子浓度近似等于实际的掺杂浓度。

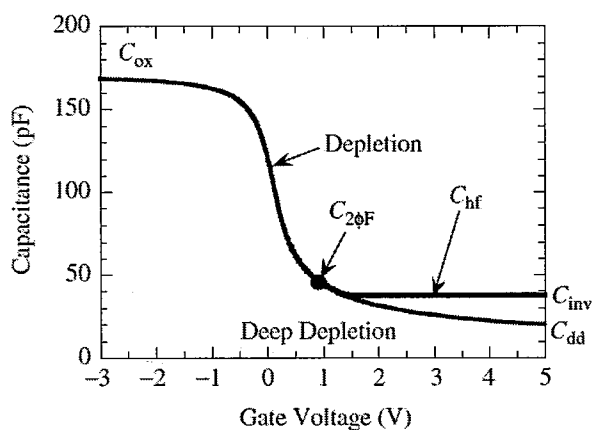


图 3-16 SiO₂/Si MOS 电容的 C-V_G 曲线

3.2.2 微分电容法

微分电容法也是利用了 MOS 电容的反偏空间电荷区的宽度依赖所加电压这一现象^[83]。但是，不同于使用最大-最小电容法时，MOS 电容偏置在强反型区。使用微分电容法，MOS 电容偏置在平衡的耗尽区和非平衡的深耗尽区。当把反偏 MOS 结构的耗尽区电容看成平板电容器的情形，则

$$W = K_s \varepsilon_0 A \left(\frac{1}{C} - \frac{1}{C_{ox}} \right) \quad (3.34)$$

耗尽区的掺杂浓度可以表示为

$$N(W) = -\frac{C^3}{qK_s \varepsilon_0 A^2 dC/dV} = \frac{2}{qK_s \varepsilon_0 A^2 d(1/C^2)/dV} \quad (3.35)$$

掺杂浓度可以从 $1/C_2$ -V 曲线中斜率 $d(1/C_2)/dV$ 得到，计算掺杂浓度所需的深度也可以从耗尽区宽度 W 的表达式中得到。

图 3-17 显示了根据上述两种方法提取的 $\text{Al}_2\text{O}_3/\text{SiC}$ MOS 电容的掺杂浓度值。总共七组样品，蓝色的点是采用最大-最小电容法提取的数值。红色和绿色的点是根据微分电容法提取的数值。由于测量 C-V 时，电压从积累到耗尽（forward）然后又从耗尽回到积累（reverse）；所以，红色的点是根据 forward 曲线计算得到的数值，绿色的点是根据 reverse 曲线得到数值。可以看到，采用最大-最小电容法得到的掺杂浓度均匀性更好，也更接近厂商提供的外延层掺杂浓度 $8 \times 10^{15} \text{ cm}^{-3}$ 。

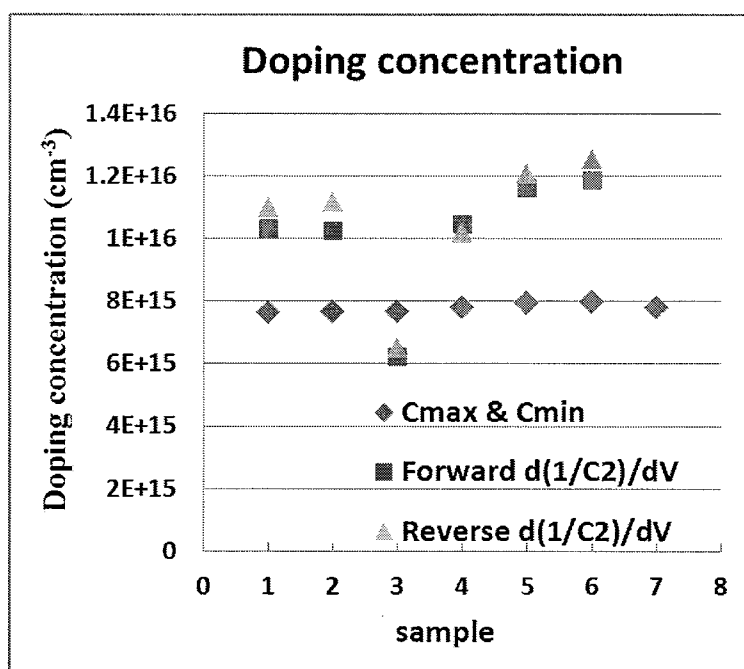


图 3-17 C-V 方法提取的 $\text{Al}_2\text{O}_3/\text{SiC}$ MOS 电容的掺杂浓度

3.3 SiO_2/SiC MOS 栅介质的表征

MOS 器件的栅氧化物对缺陷非常灵敏并且易于退化。虽然氧化物的电阻率非常高，但不是无限大。因此对任何栅压，都有电流通过栅氧化物。对适当的栅压，当氧化物上的电场强度 $E \leq 3 \times 10^6 \text{ V/cm}$ 时，栅电流很小可以忽略。然而，对于比较高的栅电场强度，栅电流随栅压快速增加。为了表征栅氧化物的寿命和完整性，通常使用比工作电压更高的电压或比工作温度更高的温度，使通过氧化的电流可测量。有两个主要的栅电流击穿机制，图 3-18 中显示了这两个机制发生时的条件^[83]。当 $V_{ox} < q\phi_B$ (ϕ_B 为势垒高度，单位 eV) 时，主要是直接隧穿机制，电子要穿越整个氧化层厚度。当 $V_{ox} > q\phi_B$ 时，电子穿越三角形势垒区，主要是 Fowler-Nordheim 隧穿机制。对于我们 SiC MOS 电容，主要应用于功率 MOS，

氧化层一般较厚，所以 Fowler-Nordheim 隧穿机制是主要的。

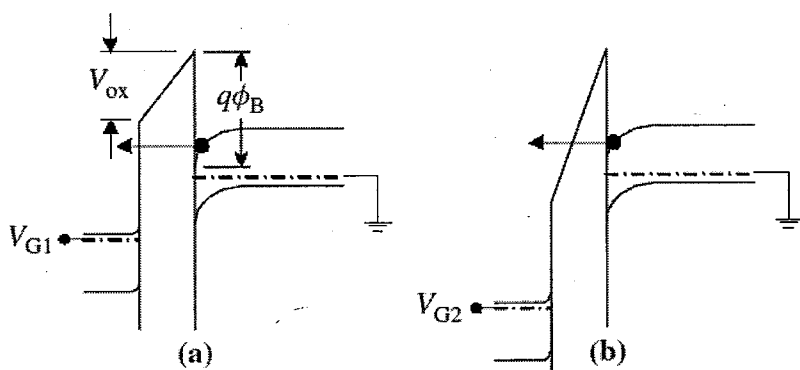


图 3-18 能带结构示意图，(a) $V_{ox} < q\phi_B$ (直接隧穿)，(a) $V_{ox} > q\phi_B$ (Fowler-Nordheim 隧穿)

3.3.1 氧化物可靠性的表征方法

氧化物完整性由 time-zero dielectric breakdown (TZDB) 和 time-dependent dielectric breakdown (TDDB) 确定^[83]。图 3-19 描述了一个方法可以简单地测量 MOS 器件 I_G - V_G ，即不断地增大栅电压直到氧化物击穿。此测量方法被称为 TZDB。如图所示，击穿电压与栅电压的扫描速率相关。这主要是因为对于较低的扫描速率，可以提供更多的时间在氧化物中造成损伤，从而降低栅介质的击穿电压。

除了 TZDB，一般常用的两个技术是图 3-20 所示的恒栅电压和恒栅电流 TDDB 测试。在恒栅电压 TDDB 测试中，用接近击穿电压 (TZDB 获取) 的栅电

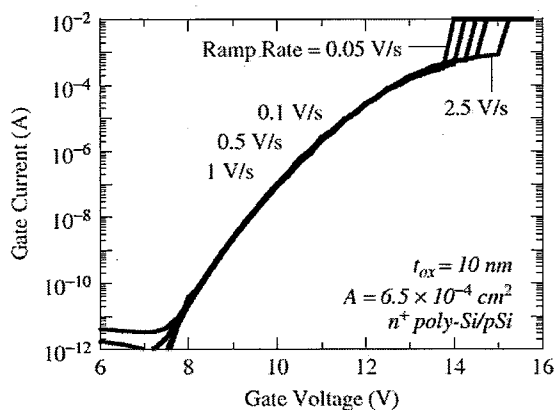


图 3-19 栅电压扫描速率对氧化物 I_G - V_G 曲线的影响

压在室温下测量随时间变化的栅电流。一般的，栅电流逐渐减小，直到击穿发生时突然急剧增大。对于恒电流 TDDB 测试，在栅介质上加一恒定电流，测量随时间变化的栅电压。一般的，栅电压会缓慢增加，直到击穿发生时突然急剧减小。

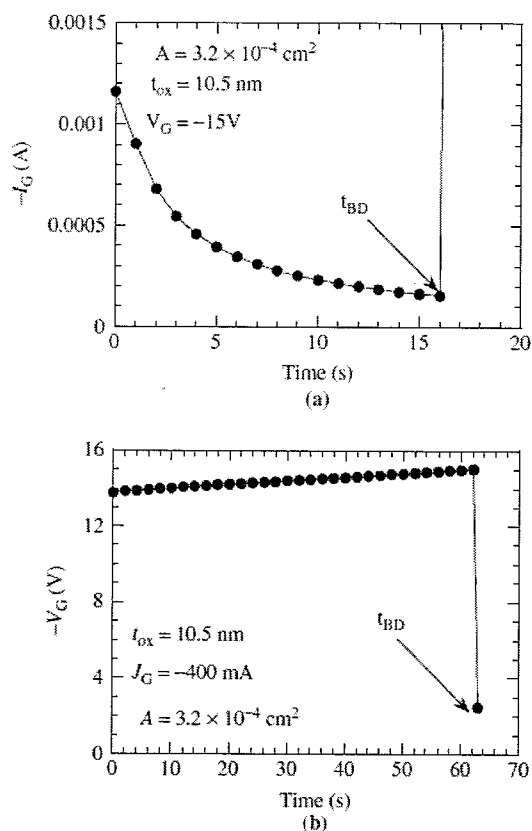


图 3-20 n^+ -gate/SiO₂/p-substrate 电容的(a) constant voltage stress TDDB, (b) constant current stress TDDB

当氧化物达到击穿时，定义击穿电荷为

$$Q_{BD} = \int_0^{t_{BD}} J_G dt \quad (3.36)$$

其中， t_{BD} 为击穿时间； Q_{BD} 为氧化物达到击穿时所需要的通过氧化物的电荷密度。在图 3-20 (a) 中， Q_{BD} 是曲线下面积的积分；对图 3-19 (b) 而言， $Q_{BD} = J_G t_{BD}$ 。 Q_{BD} 不仅与氧化物的种类，也和氧化物的生长方法，以及 Q_{BD} 的测量方法相关。在 TDDB 测试过程中，恒压法施加电压的大小会影响到 Q_{BD} 的值，通常用来进行寿命预测。

3.3.2 氧化物击穿特性的统计分析方法

分析氧化物击穿数据的方法有很多种。最简单的是作失效数量与氧化物电场的关系曲线。还有图 3-21 显示的累计失效随氧化物击穿电场变化的曲线，有时横坐标也用击穿时间表示。

氧化物击穿的统计一般由极值分布或者 Weibull 分布来描述^[98]。考虑一组 NMOS 电容器，每个电容 ($i=1,2,\dots,N$) 在电场 E_i 处失效。对一面积为 A 、缺陷密度为 D 的器件，累计失效 F 为

$$F = 1 - \exp(-AD) \quad (3.37)$$

在图 3-21 中, F 与 E_{ox} 关系曲线有两个不同的区域。那些在低电场击穿的器件是由于氧化物缺陷; 在高场处击穿的器件是由于本征缺陷。对 F 取对数得到

$$-\ln(1-F) = AD \quad (3.38)$$

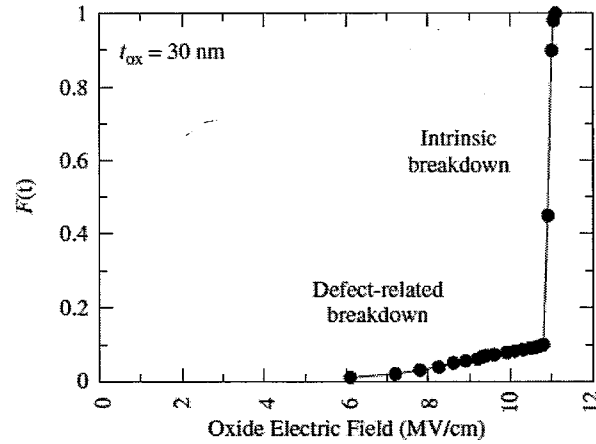


图 3-21 氧化物累计失效与氧化物电场的关系

图 3-22 (a) 绘制了 $-\ln(1-F)$ 随氧化物击穿场强的变化的曲线, 这样的曲线称为 Weibull 曲线。当然, 人们更感兴趣的时 Q_{BD} , 图 3-22 (b) 给出了 Q_{BD} 的 Weibull 曲线, 这幅图较好地反映出了高质量氧化层和低质量氧化层的差别。氧化层 1 的击穿主要是由于缺陷, 而氧化物 2 的击穿主要是由于介质材料的本征特性。

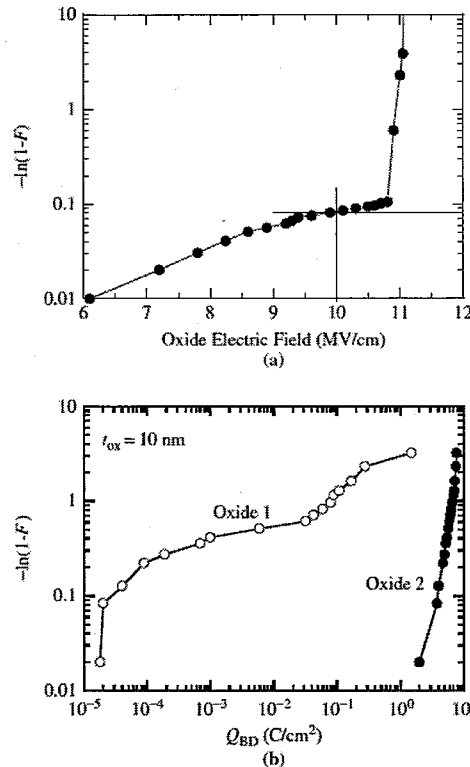


图 3-21 (a) 氧化物击穿电场的 Weibull 曲线, (b) Q_{BD} 的 Weibull 曲线

累计失效 F 有时也写成

$$F = 1 - \exp(-x/\alpha)^\beta \quad (3.39)$$

其中, x 是击穿电荷 Q_{BD} 或者击穿时间 t_{BD} 。特征寿命 α 一般取为 63.2, β 是 Weibull 分布的斜率。绘制 $\ln(-\ln(1-F))$ 关于 $\ln(x)$ 的曲线, 得到一条直线可以提取 β 的值。Weibull 分布中的 β 值是可靠性评估中非常重要的参数, β 值越大, 器件失效越快。

3.4 界面化学组成和栅介质材料特性表征

除了常用的 C-V、I-V 测试手段, 其他的表征方法包括 X 射线光电子能谱和椭圆偏振测试等, 对于测量界面的化学组成、栅介质材料特性也是十分重要。

3.4.1 X 射线光电子能谱 (XPS)

X 射线光电子能谱 (XPS, X-ray Photoelectron Spectroscopy) 是一种基于光电效应的电子能谱, 它是利用 X 射线光子激发出物质表面原子的内层电子, 通过对这些电子进行能量分析而获得表面成分信息的一种能谱^[99]。XPS 主要是测定电子的结合能从而对表面元素进行定性分析。XPS 图谱以光电子的结合能为横坐标, 相对强度(脉冲/S)为纵坐标, 把收集的光电子的数量描绘为结合能的函数^[24]。同一个谱中可以有几个峰表现具体的结合能。而其中的电子结合能是对一个元素和它的化学态的描绘。通过对比谱中的结合能和标准值就可以判断样品中是否存在这种元素以及其所存在的化学态。因此, 某种元素的数量和它的化学态可以通过 XPS 扫描信息获得。

如果 X 射线光电子的能量为 $h\nu$, 逸出固体的动能为 E_k , 电子在该能级上的结合能为 E_b , 则它们之间的关系为

$$E_k = h\nu - E_b - W_s \quad (3.40)$$

其中 W_s 为功函数, 又被称逸出功, 表示固体中被束缚的电子为了要逸出表面除了要克服原子核对它的吸引外, 还需要克服整个晶体对它的吸引, 即电子逸出表面所做的功。X 射线光电子的能量由已知的 X 射线管所用靶材决定, 如果测出功函数和电子的动能, 即可求出电子的结合能 E_b 。电子的结合能是光电子能谱分析的最为基本的信息。当元素处于化合态时, 与纯元素相比, 电子的结合能会有较小的变化, 这个变化被称为化学位移。通过测量化学位移, 就可以了解原子的状态与化学键的情况。XPS 作为一种测量手段的主要作用如下:

- (1) 组成样品的元素的标定
- (2) 各元素含量的计算
- (3) 元素的侧向分布
- (4) 化学态标定
- (5) 测量超薄（小于 5 纳米）样品的厚度。

因此，本文采用XPS技术来研究介质/SiC界面。典型的Al₂O₃/SiC结构的XPS测试结果示意图如图3-23所示。其中横坐标为光电子的结合能，纵坐标为相对强度(脉冲/S)。图3-23显示了不同厚度Al₂O₃/SiC结构Si 2p的XPS图谱，通过对这些元素的价态分析，可以知道Al₂O₃/SiC界面处元素的化学组成，判断界面缺陷的相关起源。

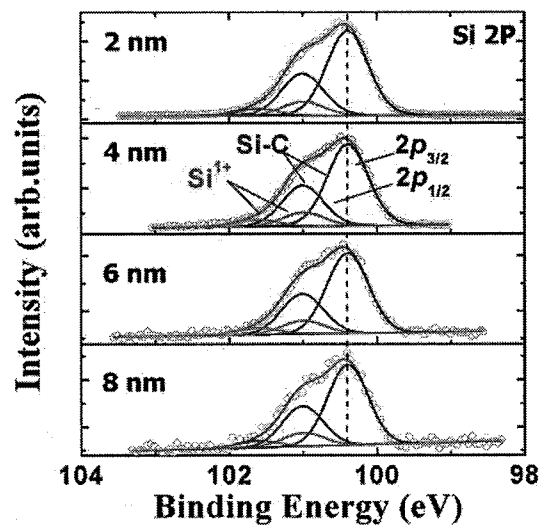


图 3-23 不同厚度 Al₂O₃/SiC 结构 Si 2p 的 XPS 测试结果示意图

3.4.2 椭圆偏振仪测试 (Spectroscopic Ellipsometry)

椭圆偏振仪测试(SE)是研究两媒质界面或薄膜中发生的现象及其特性的一种光学方法，入射光被薄膜样品表面反射或透射前后偏振状态会发生改变，通过测量这些改变就可以获取薄膜材料的光学性质^[100]。椭圆偏振测量技术能同时测定薄膜厚度和光学参数，还可以计算出多层薄膜系统中各层所对应的厚度和光学参数，并且可测量的膜厚范围很广，具有非破坏性、非扰动性、灵敏度高和精确度高等诸多优点，是现代薄膜测量中应用最广泛的方法之一。

椭圆偏振仪的测试原理如下：当一束线偏振光射入到薄膜上，光的电矢量分解为两个分量，即在入射面内的 p 分量及垂直于入射面的 s 分量。入射光在薄膜两个

界面上会有多次的反射和折射，总反射光束将是许多反射光束干涉的结果如图 3-24 所示。利用多光束干涉的理论，得 p 分量和 s 分量的总反射系数

$$R_p = \frac{r_{1p} + r_{2p} \exp(-2i\delta)}{1 + r_{1p}r_{2p} \exp(-2i\delta)}, \quad R_s = \frac{r_{1s} + r_{2s} \exp(-2i\delta)}{1 + r_{1s}r_{2s} \exp(-2i\delta)}, \quad (3.41)$$

光束在反射前后的偏振状态的变化可以用总反射系数比 R_p/R_s 来表征。在椭圆偏振法中，用椭圆参量 Ψ 和 Δ ；来描述反射系数比，其定义为：

$$\tan \Psi \exp(i\Delta) = R_p/R_s \quad (3.42)$$

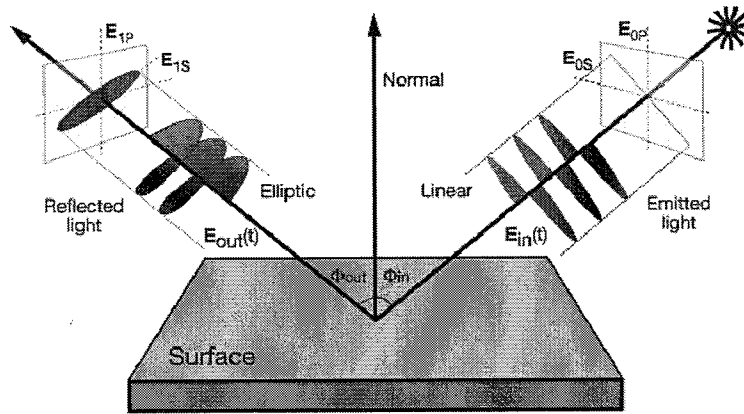


图3-24 椭圆偏振仪测试原理图

在入射波波长，入射角，环境介质和衬底的折射率确定的条件下， Ψ 和 Δ 只是薄膜厚度和折射率的函数，只要测量出 Ψ 和 Δ ，原则上应能解出 d 和 n 。SE 测试具体的流程如图 3-25。

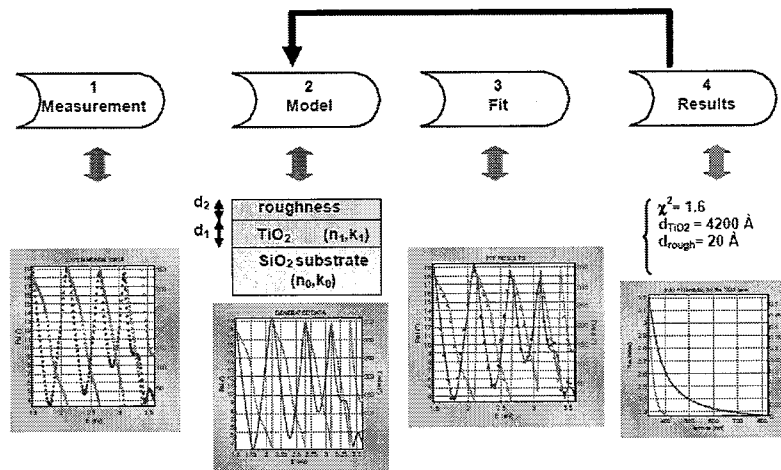


图3-25 椭圆偏振仪测试流程示意图

当把椭圆偏振仪测试应用到 SiC 材料上时，一个需要注意的问题是，由于 SiC 材

料是透明的，会导致“背面反射”现象，如图 3-26。即在常用的光谱椭偏仪测试中，入射光会透过薄膜进入到 SiC 衬底中，然后在 SiC 衬底的背面反射回来，从而导致收集的信号中存在大量的扰动。又由于 4H-SiC 的禁带宽度较大（~3.26 eV），所以能量低于 3.26 eV 的光子都不会吸收，导致数据在 3.26 eV 以下存在较大的波动，会严重影响到数据拟合的准确性，如图 3-27 所示。因此，在准备 4H-SiC 衬底的 reference 文件时，需要对衬底的背面进行处理使其变得粗糙。这样可以在 SiC 材料的背面形成“漫反射”，从而降低“背面反射”对椭偏仪测试的影响。图 3-28 显示了背面粗糙化后，4H-SiC 衬底的椭偏仪测试结果，可以看到曲线在 SiC 的 3.26 eV 以下的区间也非常光滑。因而，建模拟合的过程中，准确性也大大提高了。

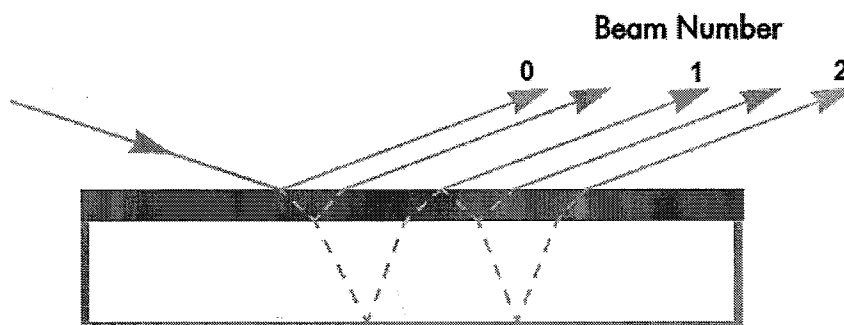


图3-26 透明衬底SiC椭偏仪测试中的背面反射现象

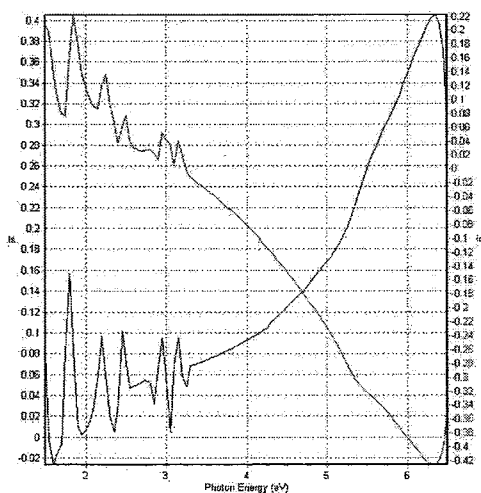


图3-27 Al₂O₃/4H-SiC结构的椭偏仪测试数据

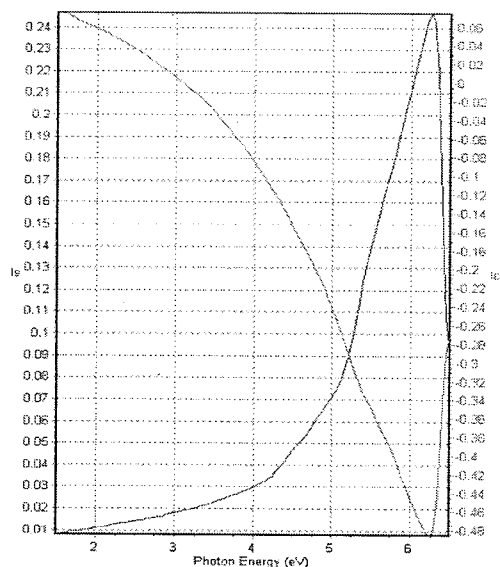


图3-28 SiC衬底背面粗糙化后， $\text{Al}_2\text{O}_3/\text{4H-SiC}$ 结构的椭偏仪测试数据

3.5 本章小结

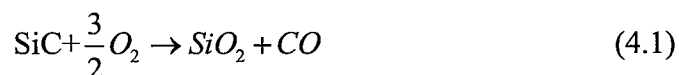
本章详细研究了 SiC MOS 界面态提取中的各种 C-V 表征方法，分析了各自的优缺点，并确定了电导法作为本论文中界面态的表征法。其中，针对氮化后 SiC MOS 界面出现的快界面态，我们采用了低温电导法进行了准确的表征。本章还研究了栅介质可靠性的测试原理与方法，以及 XPS 测试和椭圆偏振测试在表征介质界面过程中的应用，为准确表征 SiC MOS 的介质界面特性提供了可靠的技术手段。

第四章 SiO₂/SiC 界面调控研究

在 4H-SiC MOSFET 的器件结构中, 对器件性能和可靠性影响最大的是栅氧化层和 SiC 与栅氧化层之间的界面。SiC MOSFET 器件的栅氧化层和硅基 MOSFET 的栅氧化层有很大区别, 其中最明显的就是 SiC 晶格中的 C 原子对 SiC-SiO₂ 界面的不利影响, 另外 SiC MOSFET 器件中的栅氧化层和关键的工艺步骤也需要更高的温度, 简单的移植硅基的栅氧化层工艺是不可行的。在本章中, 我们基于 centrotherm 氧化炉, 开展了 SiC 上高温氧化 SiO₂ 膜的界面钝化和可靠性研究。

4.1 氧化工艺和钝化工艺的研究方案

相比于 Si, SiC 的氧化过程更为复杂。4H-SiC (0001) 的氧化通常在干氧环境中进行, 反应方程式如下:



但是, 实际的氧化过程也会伴随着其他副反应发生。当氧化温度比理想的氧化温度低时, SiC 和 O₂ 的反应不完全, 会有 C 残留。而当氧化温度过高时, 又会导致生成的易挥发的 SiO, 在 SiO₂ 层中引入缺陷, 如图 4-1 所示。因此, 要在 SiC 衬底上获得界面特性优良的 SiO₂ 介质, 还需对氧化工艺和钝化工艺进行特别的优化。当前, 许多研究小组更倾向于开发高温氧化工艺, 因为普遍认为 C 相关的缺陷是 SiC MOS 界面的主要缺陷来源, 从激活能的角度高温更有利于 CO_x 的释放。高温氧化之后的 SiC MOS 界面仍有较大的提升空间, 可以通过氧化后退火 (POA) 来进一步改善。

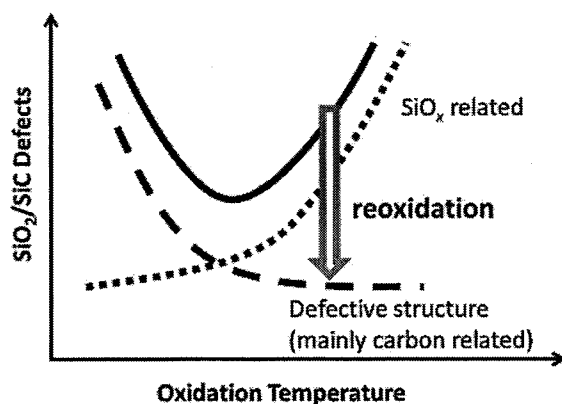


图 4-1 碳相关缺陷的降低和 SiO_x 相关缺陷增多之间的折中关系; 实线表示氧化

后界面总的缺陷数量；红色箭头表示高温氧化后界面处仍有很大的改善空间，可以通过退火工艺来实现。

关于 SiC MOS 界面的钝化工艺，无论是科研界还是工业界，目前主要采用的依然是氮化工艺，即在氧化以后在含有氮的氛围中退火。在氮化过程中，扩散到界面处 N 原子，可以分解界面处的碳簇，减小碳簇的尺寸，从而有力消除界面处的碳，降低界面态密度。

本章主要致力于从两方面来改善 SiC MOS 界面的特性。一是优化高温氧化后的 POA 条件，通过在降温过程中引入不同温度不同分压下的 O_2 reoxidation 工艺，来消除高温氧化后界面处残留的碳相关缺陷，以及新生成的氧空位相关缺陷。二是通过 N 和 H 结合的方式来钝化界面缺陷，因为尽管 N 钝化的过程有利于分解碳簇，但是伴随着大碳簇的消除，界面处同时也会伴随着 Si 和 C 的悬挂键的生成。而 Si 工艺中常用的 FGA 退火有助于钝化这些缺陷，因此，通过 NO 退火和 FGA 退火的结合可以进一步改善界面。

详细的 SiO_2/SiC MOS 氧化工艺与钝化工艺研究中采用的研究方案如下：

首先，我们将标准的 RCA 清洗来去除 SiC 晶片表面可能存在的有机颗粒和金属沾污，具体流程如下：

- (1) $H_2SO_4:H_2O_2=3:1$, 沸腾时放入 SiC 晶片，10min，清水冲洗；
- (2) 30:1 的 BOE，2min，清水冲洗；
- (3) $NH_4OH:H_2O_2:H_2O=1:1:5$ ，10min，清水冲洗；
- (4) 30:1 的 BOE，2min，清水冲洗；
- (5) $HCl:H_2O_2:H_2O=1:1:6$ ，10min，清水冲洗；

第二步，去除自然氧化层。

第三步，高温热氧。

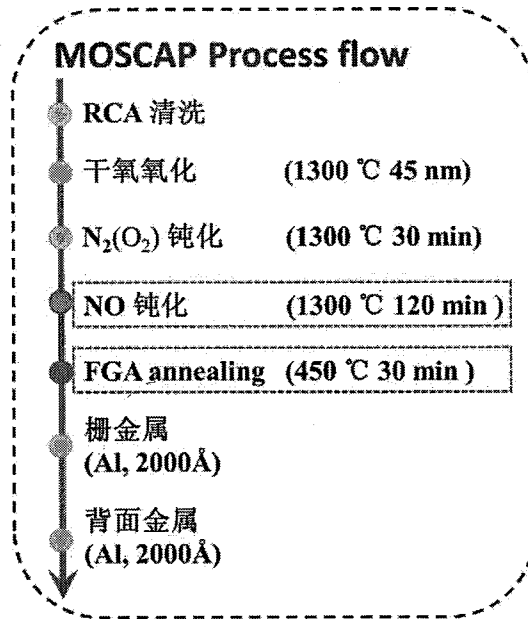
第四步， N_2 退火（部分样品 O_2 分压下 reoxidation）。

第五步，NO 退火。

第六步：FGA 退火。（5% H_2 +95% N_2 ）

第七步：栅金属。

第八步：背面金属。

图 4-2 SiO₂/SiC 界面研究所采用的技术方案

本论文中，采用 Al 作为栅金属，制作 4H-SiC 外延衬底的 MOS 电容。主要是因为 SiO₂ 对于 Al 腐蚀液 (H₂O/HNO₃/H₃PO₄/CH₃COOH 混合配比) 具有良好的抗腐蚀性，可以采用湿法腐蚀工艺形成栅电极。而采用光刻胶剥离工艺，一般会有有机物残留在 SiO₂ 表面。所有的 SiC 外延片都是 (0001) 晶面的 N 型外延衬底，衬底掺杂浓度约为 $1 \times 10^{18} \text{ cm}^{-3}$ ，杂质离子为 N；外延层的掺杂浓度约为 $8 \times 10^{15} \text{ cm}^{-3}$ ，杂质离子也为 N。

图 4-3 显示了 SiC MOS 电容的版图。在该版图中，圆的直径依次为 300 微米、250 微米、200 微米、150 微米、100 微米、80 微米和 50 微米。在 C-V 测试过程中，信号输入探针主要扎在 100 微米电容圆内，整个背面欧姆接触接地。

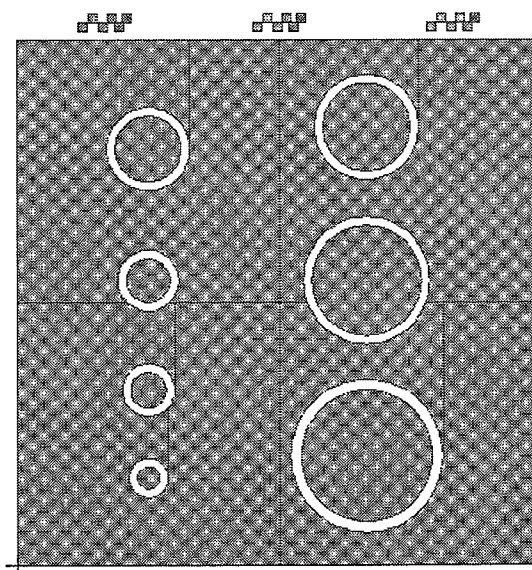


图 4-3 SiC MIS 电容研究过程中采用的 TOP-DOWN 结构测试版图

4.2 SiC 的高温氧化工艺

氧化炉采用德国 centrotherm 公司 Oxidator-150 型氧化炉，如图 4-4 所示^[101]。Oxidator-150 采用 SiC 炉管，垂直结构，兼容 4 寸和 6 寸晶圆。加热方式为电阻加热，最高可以加热到 1400℃。其运行 SiC 高温氧化工艺时，适用温度区间为 900℃到 1380℃。最大升温速度为 7.5 K/min；降温时最大降温速率为 10 °C/min。干氧工艺和氢氧点火氧化工艺均可兼容，并且能够在氧化炉中进行 NO、N₂ 和 Ar 等气体的退火工艺。

Oxidator-150 氧化炉的高温氧化工艺具有良好的均匀性，1300℃干氧氧化 95min 的氧化膜均匀性测试结果如表 4-1 所示。可以看到 4 英寸 SiC 上 SiO₂ 膜，其点与点之间的均匀性，晶圆与晶圆之间的均匀性，以及批次与批次之间的均与性，都小于 3%。

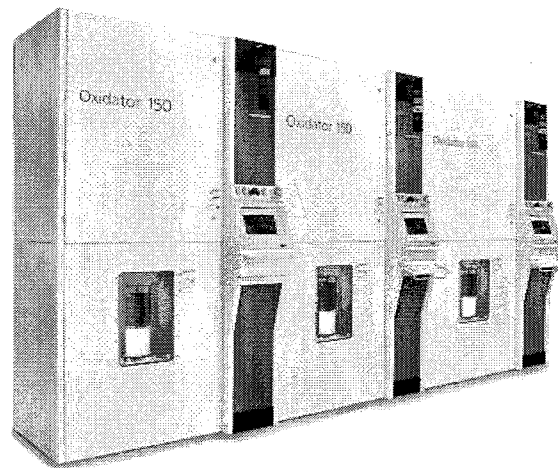


图 4-4: Centrotherm 氧化炉

表 4-1 1300℃干氧氧化 95min 的氧化膜均匀性测试

NO.	片上平均 厚度 (nm)	点与点间均 匀性 (%)	片与片间 均匀性 (%)	批次和批次间 均匀性 (%)
1	105.7	1.42		
	106.4	1.32		
2	106.9	2.29	2.09	2.71
	102.5	0.20		
3	100.4	0.45		

本文实验中所采用干氧氧化工艺的升降温曲线和气体流量控制曲线如图 4-5 所示。4H-SiC 材料 1300℃干氧氧化速率标定, 如图 4-6 所示。总共在 1300℃下进行 15 min、45 min 和 90 min, 3 个点的 4 寸 wafer 氧化实验, wafer 上的 9 点测试得到的平均厚度分别为 31.5、56.9 和 93.6 nm。根据实际应用中 SiC MOSFETs 器件阈值电压的需求, SiO₂ 氧化膜目标厚度应为 45 nm 左右。参照我们的氧化结果, 预计需要氧化 31.3 min。标准氧化流程中, 实际 1300℃氧化 31 min, 椭圆仪测试 SiO₂ 膜厚平均值为 44.3 nm。

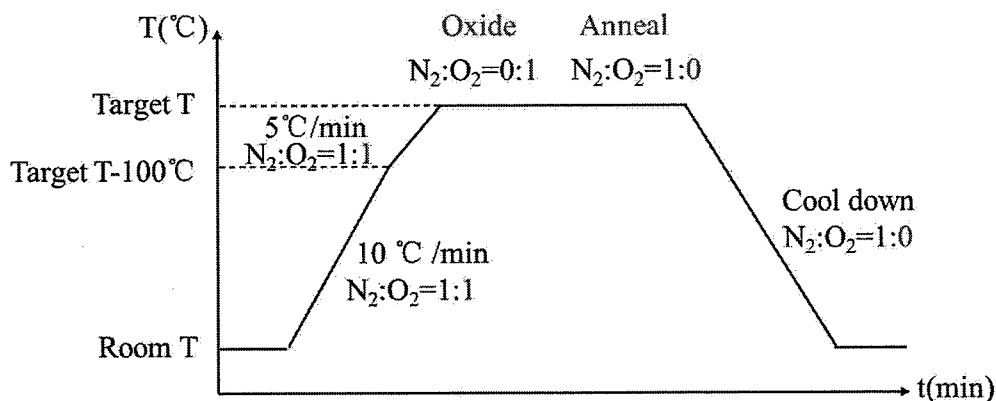


图 4-5 氧化工艺升降温和气体流量曲线

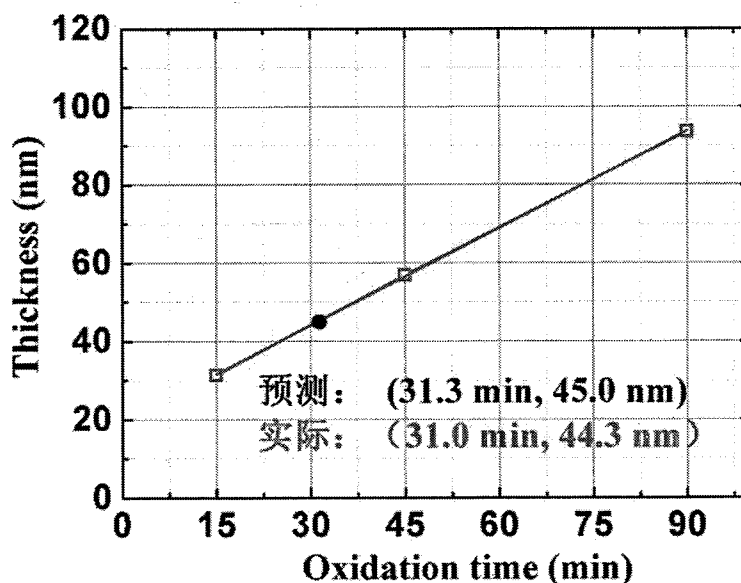


图 4-6 1300℃干氧氧化速率标定

4.3 SiO₂/SiC 的 N₂/O₂ 钝化工艺

SiO₂/Si 系统中很早就开展了 O₂ 退火来改善 SiO₂ 氧化膜质量的研究。研究发现对应于不同的退火温度, 所需的 O₂ 分压不同, 存在一个临界范围^[102,103]。参照

Si 基 MOS 的实验, SiO_2/SiC 的 N_2/O_2 钝化工艺的实验方案如表 4-2 所示, 总共设计了 2 组对比实验。其中, 1 号样品氧化后 N_2 氛围下自然降温, 作为参照样品; 3 号、5 号和 6 号样品氧化后, 分别在不同温度 (1300°C 、 1100°C 和 900°C) 下退火 30min, 气体氛围为 $\text{N}_2/\text{O}_2=0.9:0.1$, 用于比较退火温度对 N_2/O_2 钝化工艺的影响; 2 号、3 号和 4 号样品氧化后, 分别在不同气体流量比下 ($1:0$ 、 $0.9:0.1$, $0.7:0.3$) 退火 30min, 温度为 1300°C , 用于比较 O_2 分压对 N_2/O_2 钝化工艺的影响。

表 4-2 N_2/O_2 钝化方案设计

氧化工艺			POA 退火工艺		
NO.	氧化温度 ($^\circ\text{C}$)	氧化时间 (min)	N_2/O_2 流量比 (slm)	温度 ($^\circ\text{C}$)	时间 (min)
1	1300	31	N_2 自然降温, 参照样品		
2			1:0		
3			0.9:0.1	1300	
4			0.7:0.3		30
5			0.9:0.1	1100	
6			0.9:0.1	900	

由于测试过程中发现, 各个样品 C-V 曲线的迟滞都特别大, 平带漂移现象比较严重, 所以无法使用电导法准确提取 D_{IT} 等电学数据。各个样品的 C-V 曲线的频散都很明显, 其中 1 MHz 的 C-V 曲线界面态响应少, 但随着测试频率的降低, 响应的界面态越来越多, 对应的频散越大, 因此通过 C-V 的频散可以定性的评估 SiC MOS 界面的好坏。C-V 测试频率从 1 KHz 到 1 MHz, 扫描电压从 -10 V 到 20 V, 然后从 20 V 扫回 -10 V。以下主要分析不同条件电容的反向 C-V 曲线频散, 从而定性判断界面质量。

图 4-7 比较了退火温度对 N_2/O_2 钝化工艺的影响。可以观察到, 相比于 N_2 自然降温的样品 1, 1300°C 退火的样品 3 频散要小得多, 说明退火有利于改善高温氧化的 SiC MOS 界面。但是, 随着退火温度下降, 1100°C 退火的样品 5 和 900°C 退火的样品 6 的频散呈明显增大的趋势; 说明就 POA 效果而言, 高温退火明显比低温退火的效果要好。温度更高, 更有利于介质内 CO_x 的释放, 提高介质的致密性, 降低界面态密度。同时, 对于 N_2/O_2 的混合气体退火, O_2 有利于消除界

面处残留碳簇和氧空位等缺陷；但当退火温度降低时，也可能发生不完全氧化，从而生成新的缺陷。因此，从这一组实验的对比来看，对于 N₂/O₂ 钝化工艺，POA 的退火温度为 1300℃ 时，更有利于改善 MOS 界面特性。

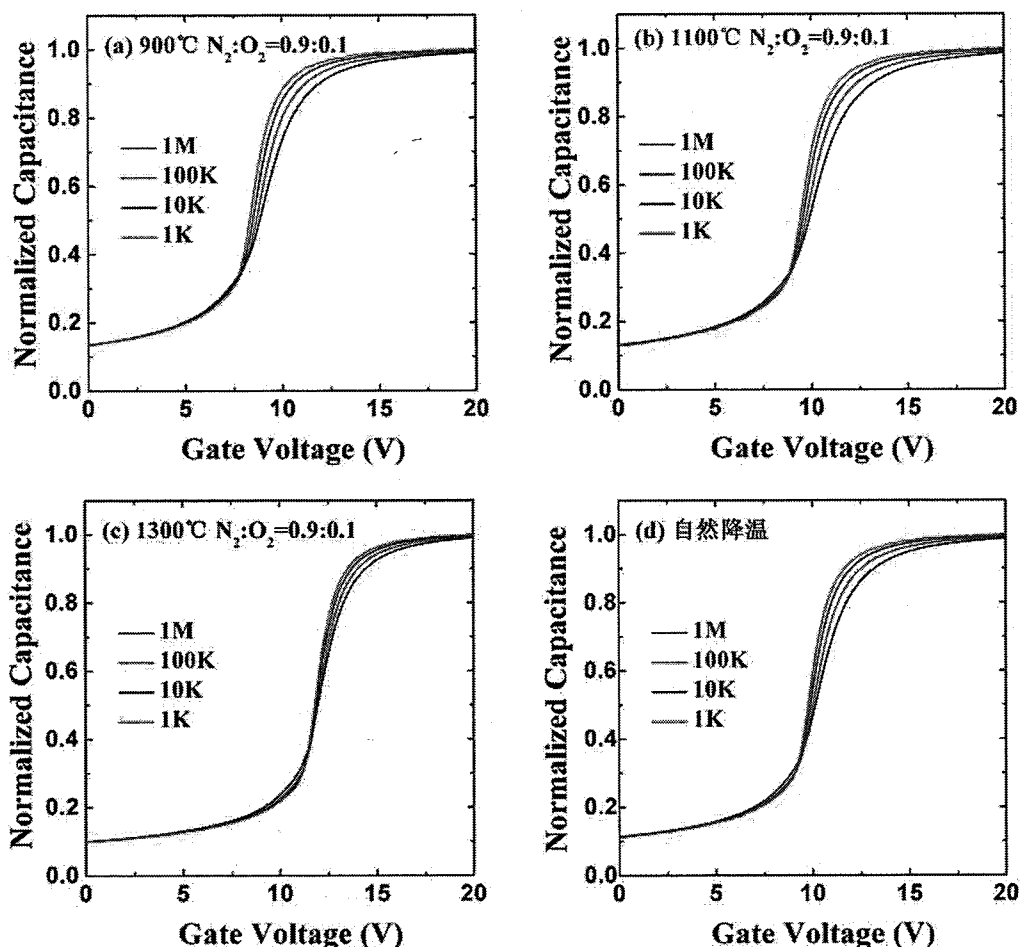


图 4-7 1 KHz~1 MHz C-V 频散曲线，样品氧化温度均为 1300℃，POA 退火氛围均为 N₂/O₂=0.9:0.1，退火温度 (a) 900℃，(b) 1100℃，(c) 1300℃，(d) 自然降温

图 4-8 比较了退火氛围中 N₂/O₂ 的比例对 N₂/O₂ 钝化工艺的影响。可以观察到，1300℃ N₂ 退火样品 2 和 1300℃ N₂/O₂(0.9/0.1) 的样品 3，都能有效地降低频散，图 4-9 中两者的 1 MHz 归一化 CV 曲线重合度也很高。而 1300℃ N₂/O₂(0.7/0.3) 的样品 4，频散明显增大，其 1 MHz 的归一化 C-V 曲线相比于参照样品也出现了明显的延伸，退火后界面特性变差。这说明退火氛围中 O₂ 含量不宜过高；因为，O₂ 氛围下退火时，通过 O₂ 消除界面缺陷和氧化生成新的缺陷这两种机制是存在竞争的。厚度测试显示，1300℃ N₂/O₂(0.7/0.3) 样品 4 的 SiO₂ 厚

度是 51.7 nm，而参照样品的 SiO₂ 厚度是 44.3 nm，说明此时氧化机制在起主导作用。

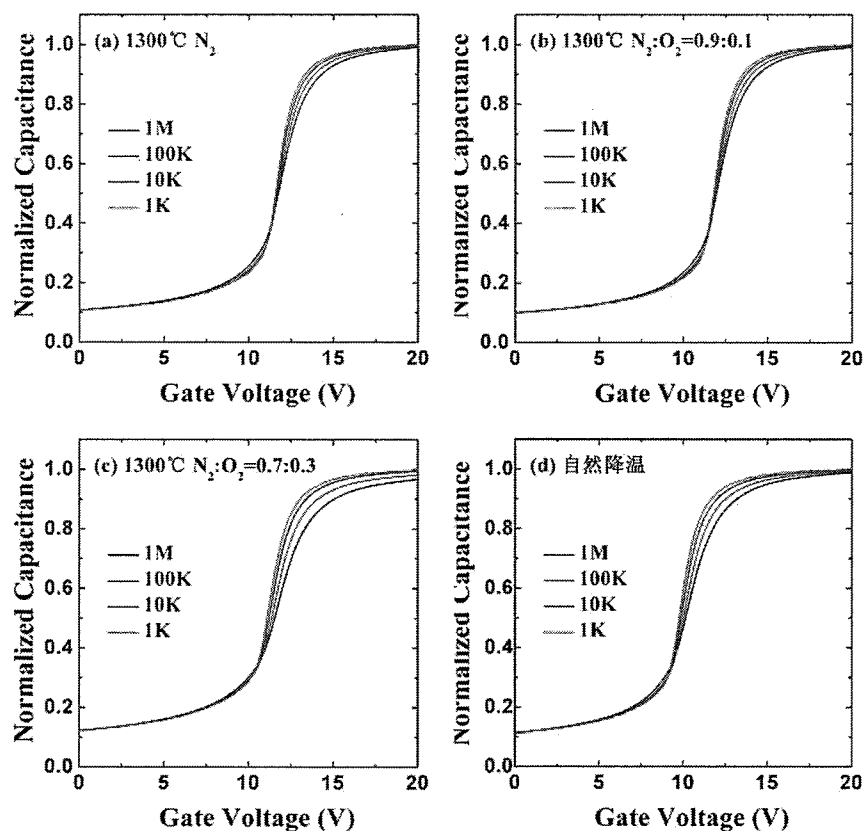


图 4-8 1 KHz~1 MHz C-V 频散曲线，样品氧化温度均为 1300℃，POA 退火温度均为 1300℃，退火氛围 (a) N₂ 退火，(b) N₂/O₂=0.9:0.1，(c) N₂/O₂=0.7:0.3，(d) 自然降温

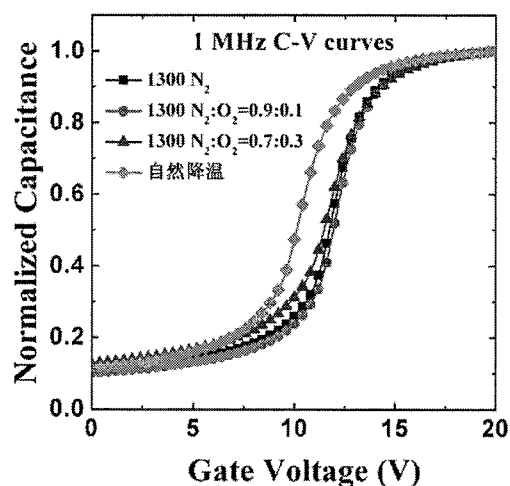


图 4-9 从图 5-9 C-V 频散曲线中提取出来的不同样品的 1 MHz 的归一化 C-V 曲线

综合两组实验来看，我们 N₂/O₂ 钝化工艺并没有取得预期的效果，POA 退火工艺中采用 N₂/O₂ 钝化相比于 N₂ 氛围下退火没有明显的改善，这可能与我们的氧化炉的降温过程有关。退火后的降温过程中，样品实际还是要在 N₂ 氛围下降温，而从退火温度缓慢的降到室温这个过程本身也不可避免的会产生缺陷。受制于设备的性能的限制，我们的降温过程不可能快速完成，这可能也是 N₂/O₂ 钝化工艺对界面改善不明显的原因^[49]。因此，在后面的实验中，考虑到工艺的重复性和稳定性，我们的 POA 工艺，主要采用 1300℃ 下 N₂ 退火 30min。

4.4 SiO₂/SiC 的 N/H 钝化工艺

除了优化氧化过程本身，另外一个改善界面的主要方法就是采用特殊的钝化工艺。本文主要通过 NO 和 Forming Gas 退火来钝化 SiC MOS 界面的缺陷。

由于，传统使用的 Hi-low 方法会低估靠近 SiC 导带处的快界面态，因此本文中我们主要通过变温电导法来提取 D_{IT}。电导法测试中一般采用并行模式(parallel mode)测量，分别得到并行电容和并行电导，如图 4-10 所示。然后，根据第三章的方法提取参数。

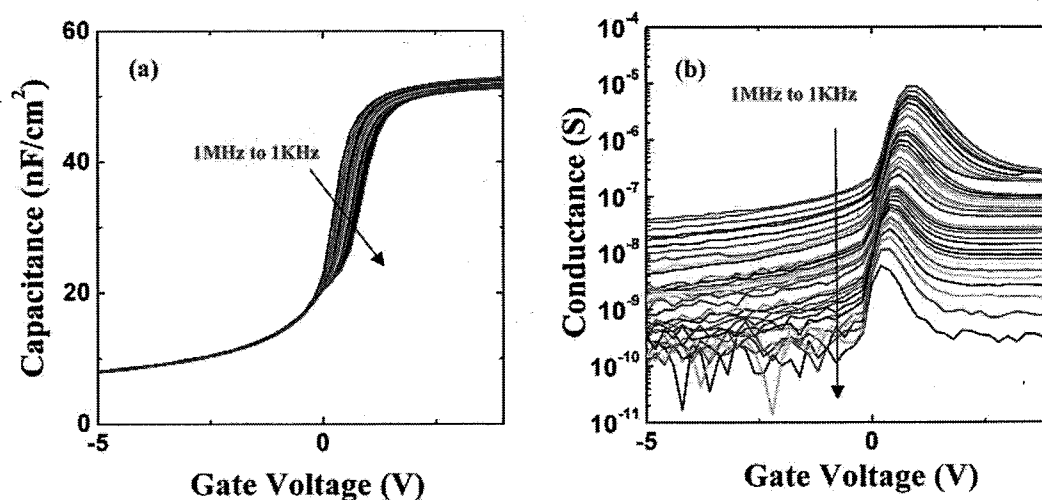


图 4-10 典型的电导法得到 (a) 并行电容，(b) 并行导电

另外一个需要注意的问题是，由于我们采用的是变温测试，因此在计算缺陷能级位置的时候，需要考虑 SiC 载流子浓度和禁带宽度随温度变化的关系。考虑到 SiC n 型掺杂的不完全电离^[104]，外延层中的实际载流子浓度为

$$n = N_D^+ = \frac{\gamma}{2} \left(\sqrt{1 + \frac{4N_D}{\gamma}} - 1 \right) \quad (4.2)$$

其中

$$\gamma = \frac{N_C}{g_D} \exp\left(-\frac{E_C - E_D}{kT}\right) \quad (4.3)$$

N_D 为外延层掺杂浓度, E_C 为导带态密度, g_D 为施主简并因子一般取 2, E_D 为电离能, 对于 N 一般取 61 meV。图 4-11 显示了根据上述公式计算得到的, N 元素掺杂的电离百分比随温度和掺杂浓度变化关系, 其中, 本次试验样品的掺杂浓度为 $4.37 \times 10^{15} \text{ cm}^{-3}$ 。

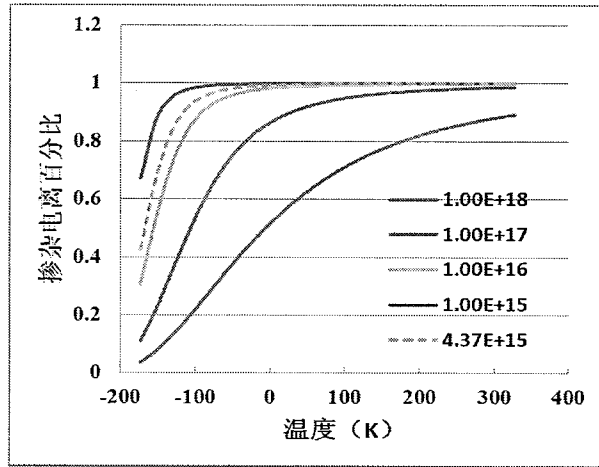


图 4-11 n 型 4H-SiC 材料中, N 元素掺杂的电离百分比随温度和掺杂浓度变化关系

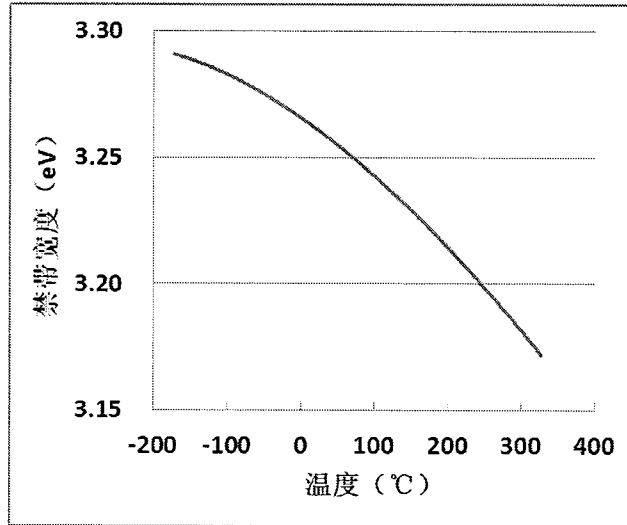


图 4-12 4H-SiC 的禁带宽度随温度的变化关系

4H-SiC 的禁带宽度随温度变化关系为

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{T + \beta} \quad (4.4)$$

其中, $E_g(0)$ 为绝对零度时的禁带宽度, α 为 $8.2 \times 10^{-4} \text{ eV K}^{-1}$, β 为 1800 K。计算得到的 E_g 随温度变化关系如图 4-12 所示。

4.4.1 常温电导法测试

总共 4 组样品, 其中参照样品氧化后只作 N₂ 退火, FGA 退火工艺为 450°C 30min, NO 退火工艺为 1300°C 120min, N 和 H 结合处理的样品先经受 NO 退火, 再作 FGA 退火。

常温电导法测试频率从 1 KHz 到 1 MHz, 固定频率后扫描电压。测试得到的并行电容曲线如图 4-13 所示, as-oxidized 样品和 FGA 样品都可以观察到明显的频散, 这意味着界面处存在较高的界面态密度。而 NO 样品和 NO&FGA 样品的 C-V 曲线从 1 KHz 到 1 MHz 几乎完全重合。不同栅压下的界面态电导随频率变化的曲线如图 4-14 所示, 对于 as-oxidized 样品和 FGA 样品, 可以在频带内清晰地观察到较宽的单峰, 与 C-V 测试结果相吻合。参照电导法计算过程, 提取不同栅压下 G_p/ω -f 曲线的峰值, 通过计算即可得到该栅压下的界面态密度和能级位置。图 4-15 显示了 as-oxidized 样品和 FGA 样品的界面态密度及其对应的时间常数在 4H-SiC 能级中的分布。与早期的文献报道相符合, H₂ 退火对于降低 D_{IT} 作用并不明显。一方面, H₂ 只能钝化 Si 的悬挂键和孤立 C 原子的悬挂键 (isolated C dangling bonds)^[105], 而这些缺陷在直接氧化的 SiC MOS 界面并不是主要缺陷。另一方面, H₂ 在 SiO₂ 薄膜中扩散能较大 (>2.5 eV), 需要的退火温度较高^[106]。图 4-15 (b) 显示了表面势浮动在 4H-SiC 能级中的分布, 相比于 Si MOS 结构 (~2), SiC MOS 界面的表面浮动较大, 通常在 4 左右。

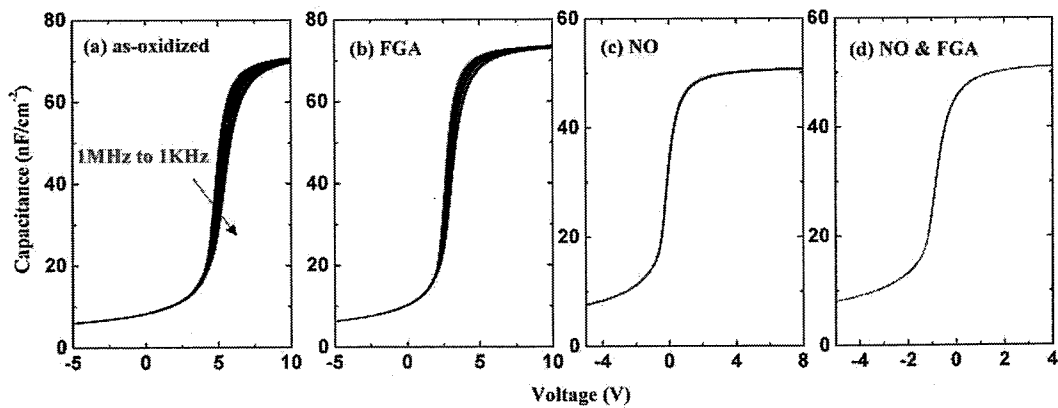


图 4-13 常温电导法测试得到不同频率的并行 C-V 曲线 (a) 直接氧化的样品, (b) FGA 退火样品, (c) NO 退火样品, (d) NO 和 FGA 退火样品

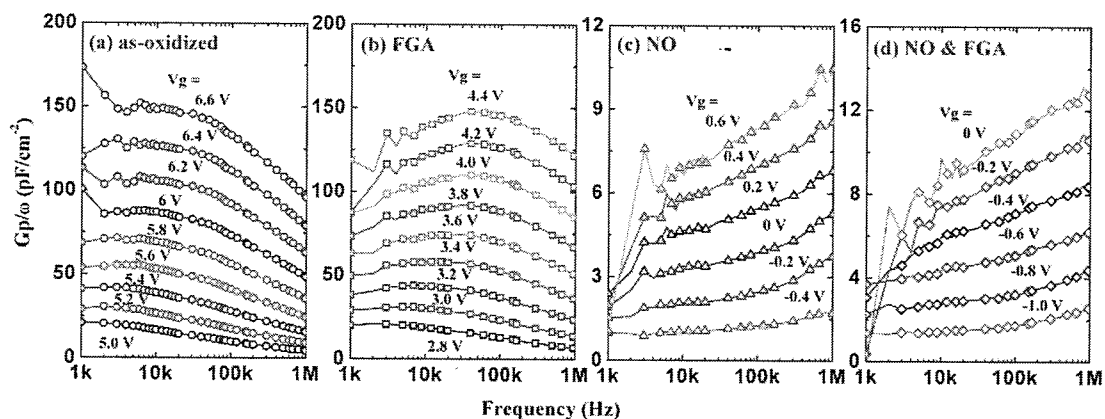


图 4-14 常温电导法测试得到的不同栅压下的 G_p/ω -f 曲线 (a) 直接氧化的样品, (b) FGA 退火样品, (c) NO 退火样品, (d) NO 和 FGA 退火样品

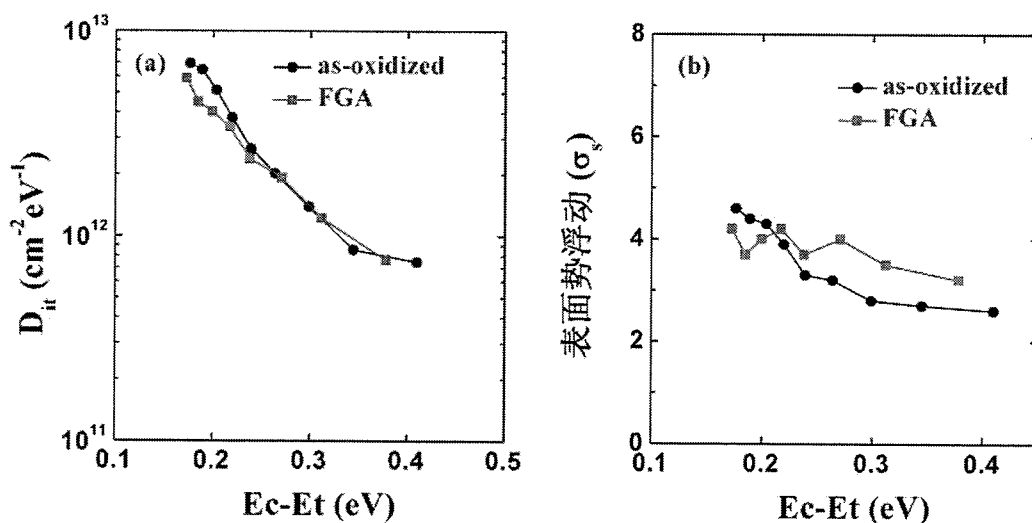


图 4-15 常温电导法提取得到的 (a) 界面态密度在 4H-SiC 能级中的分布, (b) 表面势浮动在 4H-SiC 能级中的分布

从图 4-14 (c) 和 (d) 中可以看到, NO 样品和 NO&FGA 样品在 1 KHz 到 1 MHz 的频段内没有出现明显的电导峰, 但这并不意味着这些样品的界面态密度很低, 从曲线的趋势可以判断它们的峰值应该出现的频段应该位于 1 MHz 以上。这说明经过 NO 退火后, 类似于 as-oxidized 样品中传统的界面态密度大大降低了; 但是, 界面处生成了许多新的快界面态, 常温下可以响应的频率很高。有两种方法可以表征这些快界面态, 一是提高 C-V 测试频率, 但是这对测试设备和电容的欧姆接触提出了更高的需求; 另一种降低电导法测试的温度, 因为界面态的响应时间随温度的降低而增大。因此, 对于 NO 样品和 NO&FGA 样品将通过低温电导法来表征界面态密度。

4.4.2 低温电导法测试

低温电导法测试, 温度区间以 30 K 为间隔, 从 293 K 一直测试到 150 K。图 4-16 显示了 NO&FGA 样品低温 (210K/180K/150K) 电导法测试得到的并行 C-V 曲线。当温度降到 210 K 时, C-V 曲线开始出现微弱的频散; 并且随着测试温度的继续降低, C-V 的频散越来越显著。由于界面态的响应频率随着温度的降低而降低, 可以观察到当 $T \leq 210\text{K}$ 时, 最高 1 MHz 的测试频率已经足够观察到清晰的界面电导峰。图 4-17 和 4-18 分别显示了 NO&FGA 样品和 NO 样品, 低温电导法测试得到的不同栅压下的 G_p/ω -f 曲线, 都可以观察到明显的界面态电导峰。从中提取的界面态密度归纳在图 4-19 中, 通过低温电导法测试, 可以将测试的能级范围延伸到 SiC 导带下方约 0.1 eV 处。相比于直接热氧的界面, NO 退火后, 界面态密度在测试的整个能带范围内都显著地降低了。但是, 在靠近 SiC 导带处 ($E_C - E_T \leq 0.2\text{ eV}$), 界面处新产生的快界面态密度仍然在 $10^{12}\text{ cm}^{-2}\text{eV}^{-1}$ 以上。对于 NO&FGA 样品, 经过 N 和 H 的结合处理后, 界面得到进一步改善。尽管, NO 处理后的 FGA 退火对于减少靠近导带处的浅能级缺陷效果不是很明显; 但是, 靠近 SiC 带隙中间的深能级缺陷得到了有效地降低, 在 $E_C - E_T \geq 0.4\text{ eV}$ 处, 界面态密度被进一步降到了 $10^{11}\text{ cm}^{-2}\text{eV}^{-1}$ 以下。

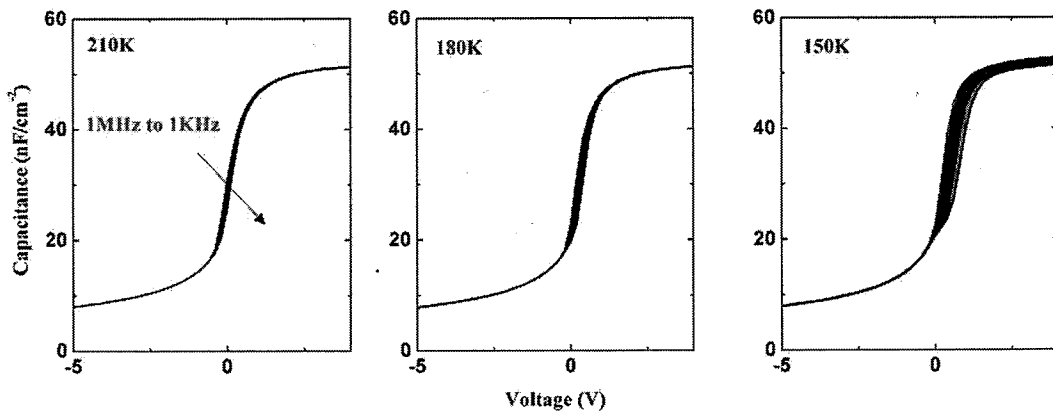


图 4-16 NO&FGA 样品低温电导法测试得到不同频率的并行 C-V 曲线(a)210K
(b) 180K, (c) 150K

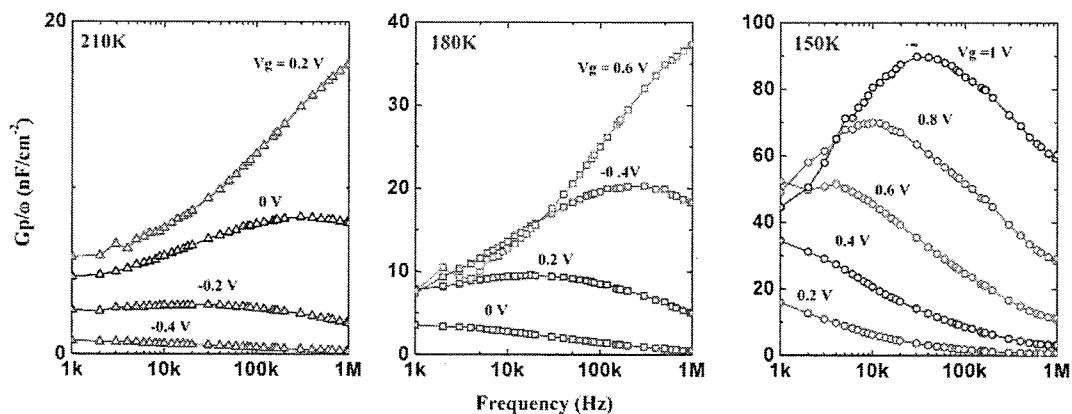


图 4-17 NO&FGA 样品低温电导法测试得到的不同栅压下的 G_p/ω -f 曲线 (a) 210K (b) 180K, (c) 150K

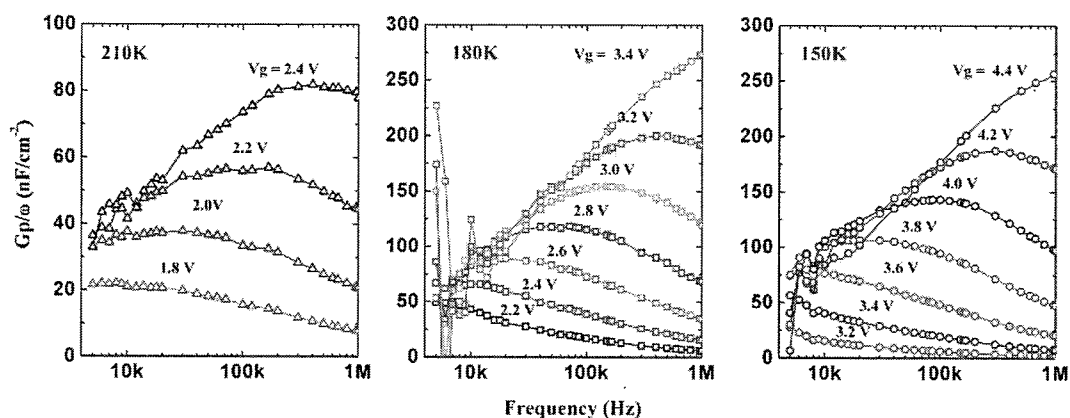


图 4-18 NO 样品低温电导法测试得到的不同栅压下的 G_p/ω -f 曲线 (a) 210K (b) 180K, (c) 150K

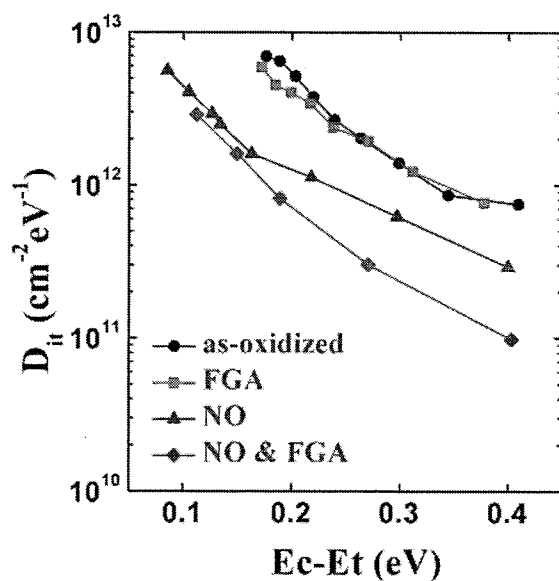


图 4-19 所有样品的界面态密度在 4H-SiC 能级中的分布

一般认为, SiC MOS 的界面态主要起源于 Si-O-C 键, C 簇, 以及 C 的悬挂键等^[107], 所以 Si 工艺中通用的 FGA 退火对于 SiC MOS 界面的钝化效果不明显。但是, 氮化工艺会分解这些 C 簇以及复杂的 Si-O-C 键, 同时产生那些能够被 H₂ 钝化的 Si 和 C 的悬挂键, 如图 4-20 所示。因此, NO 退火后再经过 FGA 处理, SiC MOS 中深能级界面态($E_C - E_T \geq 0.2$ eV)进一步的降低了。这也与理论计算的结果一致, 碳相关缺陷的能级位置可以位于 4H-SiC 禁带内大部分能级; 但是在靠近 SiC 导带边缘, 碳相关缺陷无法给出缺陷能级^[108,109]。对于靠近 SiC 导带的浅能级界面态的起源, 目前还没有定论。不过, 基本可以排除 Si 和 C 的悬挂键, 因为 FGA 退火对于钝化这些缺陷效果不明显。日本京都大学最新的研究报道这些快界面态密度随着氮化后 SiO₂/SiC 界面处 N 元素浓度的增大而增大^[110]。我们经历过 NO 处理的样品, 在 XPS 测试中, 界面处也都观察到了显著地 N 1s 峰, 如图 4-21 所示。所以, 工艺处理后堆积在界面处的 N 原子可能是这些浅能级缺陷的来源之一。

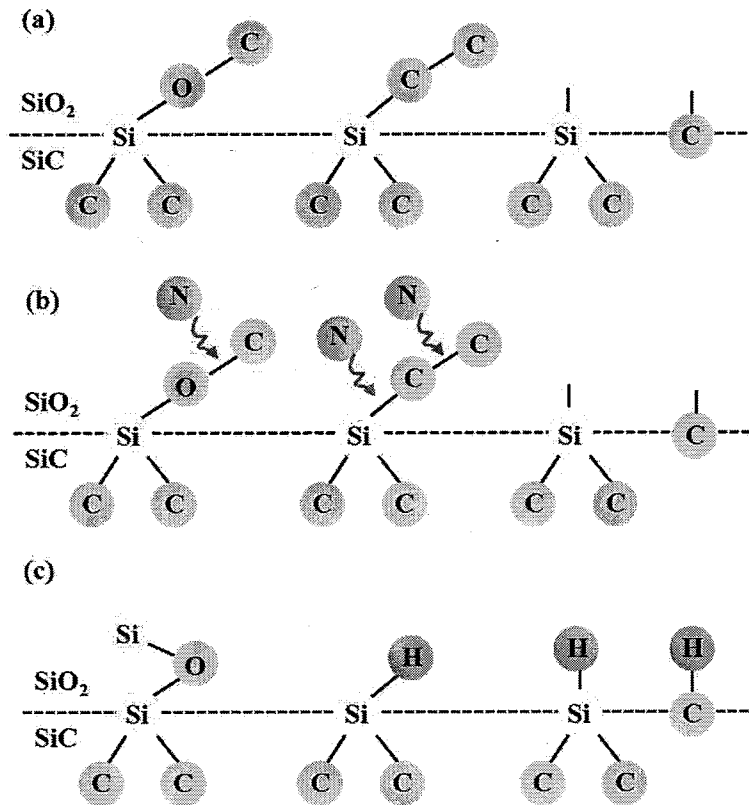


图 4-20 (a) 直接氧化后的 SiC MOS 界面, (b) N 钝化 (c) 和 H 钝化 SiC MOS 界面态的示意图

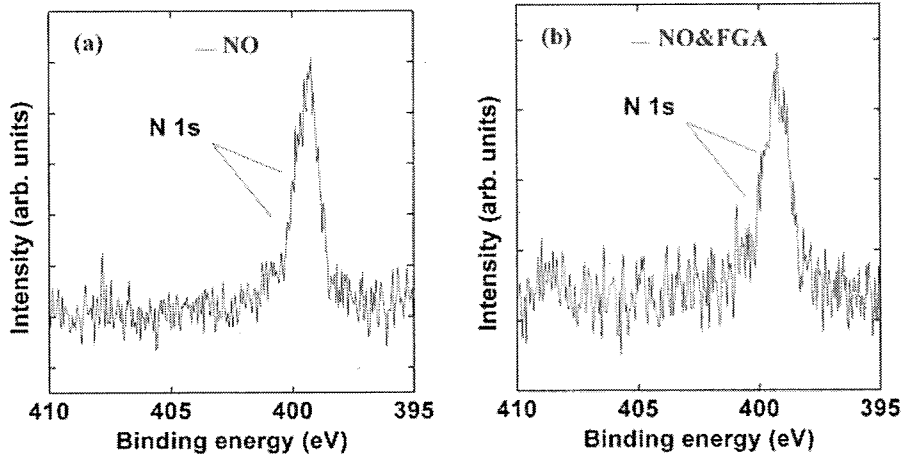


图 4-21: XPS 测试的 N 1s 峰, (a) NO 样品, (b) NO&FGA 样品

4.4.3 平带电压漂移测试

为了评估各个样品平带电压的稳定性, 进行了室温下 1 MHz 的 C-V 测试, 如图 4-22 所示。电压扫描方向从耗尽区到积累区, 其中耗尽区电压固定为 -5 V, 积累区电压从 10 V 到 24 V 递增, 间隔为 2 V。由于 C-V 曲线在电压大于 10 V 区间是几乎水平的, 为了显示方便, 图 4-22 中只显示了电压区间 -5 V 到 10 V 的 C-V 曲线, 从中提取的平带电压漂移随积累区电压变化的曲线显示在图 4-23 中。As-oxidized 样品和 FGA 样品都可以观察到明显的正的平带电压漂移。这主要是因为是在强积累区, 深能级的类受主型界面态俘获电子; 而常温下这些电子无法被释放, 以类似负的固定电荷的形式存在; 因而, 导致 C-V 曲线出现正向漂移。对于 NO&FGA 样品, 平带电压的漂移现象几乎消失, 这得益于经过 NO 和 FGA 钝化后界面态密度显著地降低了。因此, 通过 N 和 H 的结合的钝化方式能够有效地抑制 SiC MOS 界面的平带电压的漂移, 同时也为稳定 SiC MOSFETs 器件的阈值电压提供工艺上的指导和借鉴。

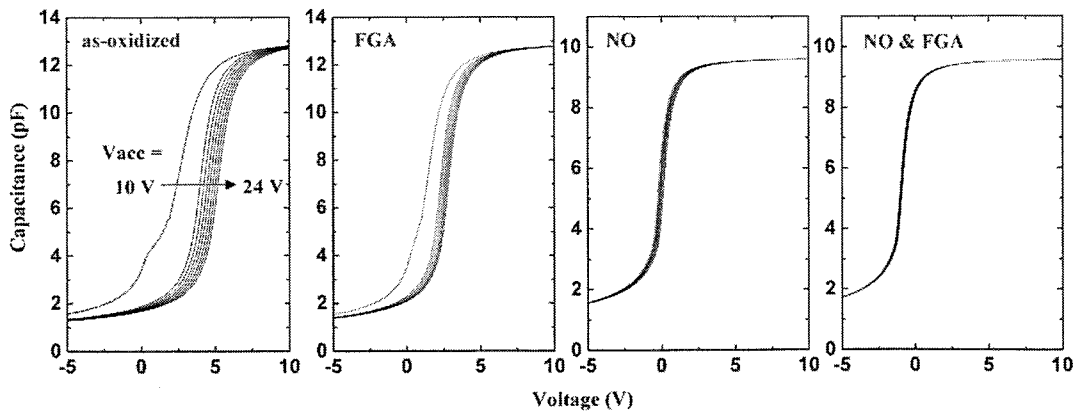


图 4-22 室温测量不同样品的 1 MHz C-V 曲线，电压从耗尽区扫到积累区，其中耗尽区电压为 -5 V，积累区电压从 10 V 到 24 V，扫描间隔为 2 V

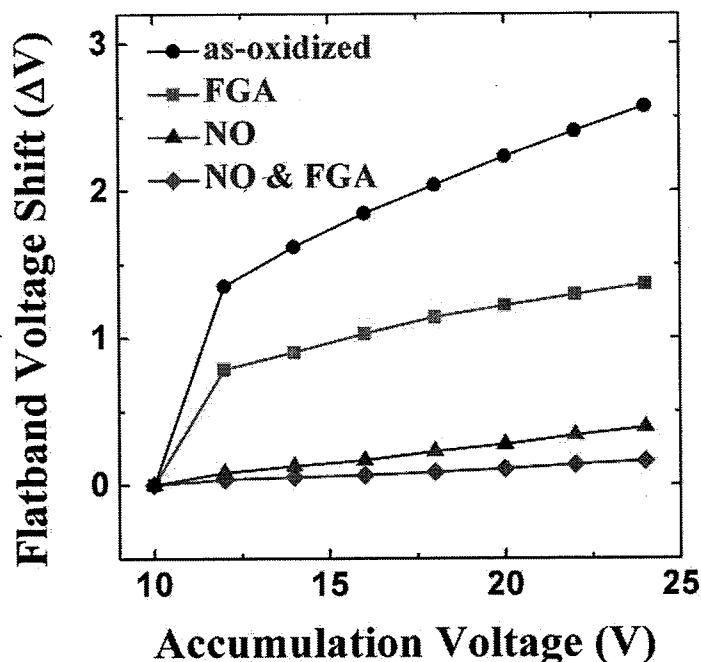


图 4-23 从图 4-22 中提取的，所有样品的平带电压漂移随积累区电压变化的曲线

4.5 SiO₂/SiC 的可靠性研究

SiO₂ 栅介质的稳定性与可靠性也是 SiC MOS 结构中研究的关键问题，介质层的质量直接关系到器件的性能和可靠性。由于，SiC 材料的临界击穿场强高，所以相比于 Si，SiC 上的 SiO₂ 介质，高电场强度下的可靠性更是一个突出的问题。本节主要采用了 TZDB 和 TDDB 方法来分析表征不同钝化工艺 (NO/FGA/NO&FGA) 对 SiO₂ 介质可靠性的影响。

4.5.1 TZDB 测试和失效统计分布

首先进行的是 TZDB 测试，因为通过统计 TZDB 测试下 SiO₂ 硬击穿的击穿场强分布，可以为确定恒定场强 TDDB 的测试偏压提供借鉴。总共四种电容样品，编号仍为 as-oxidized、FGA、NO 和 NO&FGA，电容制备工艺也前面小节完全相同。I-V 测试扫描电压范围为 0 V 到 100 V，扫描间隔为 0.1 V，限流 10 mA。计算击穿场强时，首先要从栅压中减去 C-V 测试得到的每种样品的平带电压 V_{FB} 。每种电容测试 30 个样品。

图 4-24 给出了不同样品的累计失效率随击穿电场的分布。可以看到 as-oxidized 样品，击穿场强的分布都在 10 MV/cm 以下。经过 NO 处理后，击穿特性略有改善，但是整体的分布仍在 10 MV/cm 以下。而 FGA 样品，可以将最高击穿提升高 10.5 MV/cm。同时经受 NO 和 FGA 的样品，最大击穿场强可以进一步提升到 12 MV/cm 左右，达到 SiO₂ 材料的临界击穿场强。这说明，相比于 NO 退火，FGA 退火中的 H₂ 更能有效地钝化的 SiO₂ 介质中缺陷，提升介质的质量，NO&FGA 样品能获得较好地击穿特性。

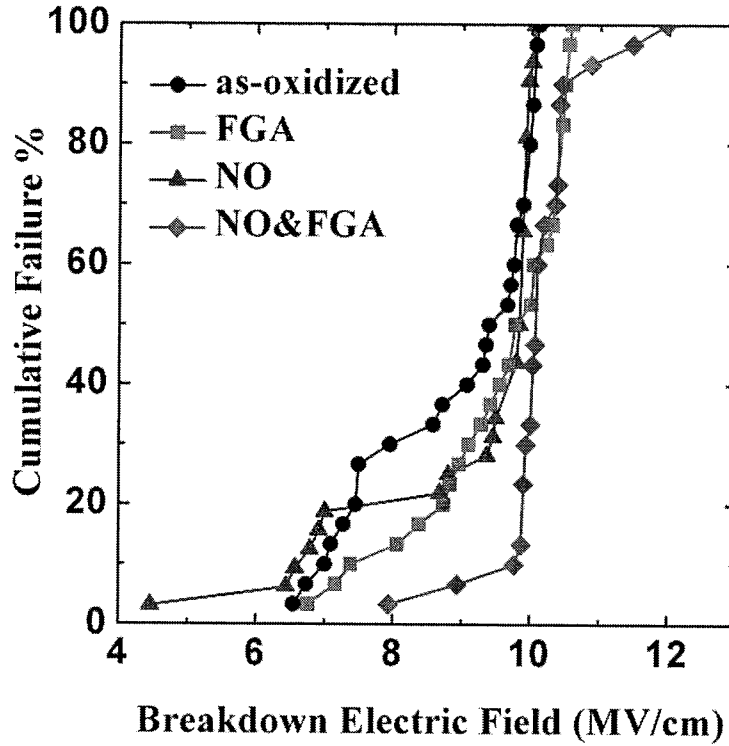


图 4-24 不同样品的累计失效率随击穿电场的分布

对于 SiC MOS 系统，高电场下主要的漏电的机制是 FN 隧穿，我们可以通过对 I-V 测试数据的拟合，得到 SiO₂ 和 SiC 界面处的导带势垒高度 (Φ_B)。FN 电流可以由以下公式给出^[111]

$$I_{FN} = A_G A E_{ox}^2 \exp\left(\frac{-B}{E_{ox}}\right) \quad (4.5)$$

其中， A_G 是栅面积， E_{ox} 是氧化物电场， A 和 B 一般为常数， B 的表达式为

$$B = \frac{8\pi\sqrt{2m_{ox}}\Phi_B^3}{3qh} = 6.83 \times 10^{-7} \sqrt{(m_{ox}/m)\Phi_B^3} \quad (4.6)$$

其中， m_{ox} 是氧化层中的电子有效质量， m 是自由电子质量。通过对 I_{FN} 的取对

数，可以得到

$$\ln\left(\frac{I_{FN}}{A_G E_{ox}^2}\right) = \ln\left(\frac{J_{FN}}{E_{ox}^2}\right) = \ln(A) - \frac{B}{E_{ox}} \quad (4.7)$$

$\ln(J_{FN}/E_{ox}^2) - 1/E_{ox}$ 曲线为 Fowler-Nordheim 曲线，如果通过氧化物的是纯 F-N 导电，应为直线。通过，对 F-N 曲线的线性拟合，斜率给出 B，即可计算得到势垒高度 Φ_B 。图 4-25 显示了不同样品典型的 Fowler-Nordheim 曲线。

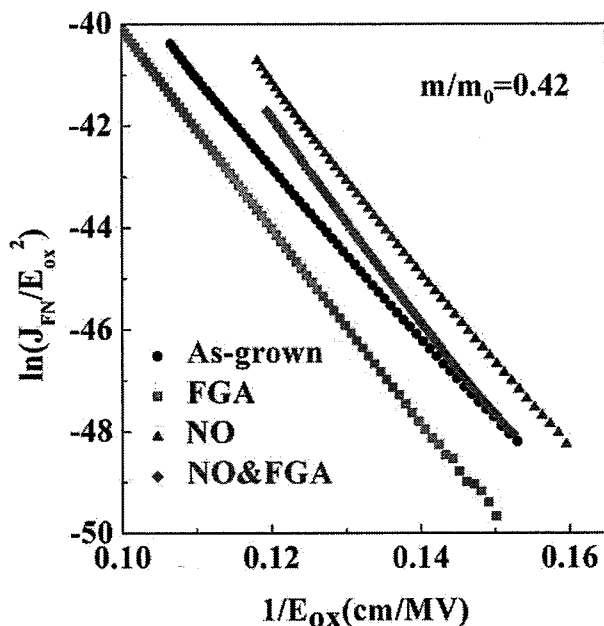


图 4-25 as-oxidized 样品的典型 Fowler-Nordheim 曲线

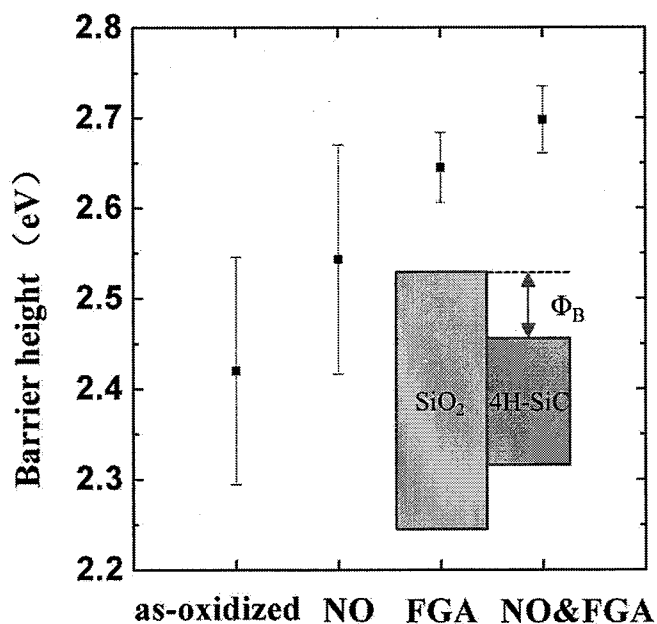


图 4-26 不同样品的势垒高度 Φ_B 分布图， Φ_B 通过常温 F-N 拟合得到

图 4-26 显示了不同样品的势垒高度 Φ_B 分布图。As-oxidized 样品平均势垒高度只有 2.42 eV，且分布的离散较大。经过 NO 退火后，平均势垒高度提升到了 2.54 eV，但是分布范围仍有 0.2 eV。FGA 样品的平均势垒高度是 2.65 eV，势垒高度的离散程度也比前面两个样品小了很多。由此可见，FGA 退火更能有效地提高 SiO₂/SiC 界面的势垒高度，并获得较好地均匀性。通过 NO 和 FGA 的结合，可以将平均势垒高度进一步提升到 2.70 eV，达到理想状态下的 SiO₂/SiC 界面处的势垒高度，并且势垒的波动范围也限制在了 0.05 eV 以内。

4.5.2 TDDb 测试和统计

本文选取的 TDDb 测试方法是恒栅电压 TDDb 测试，其中偏压的选取参考 TZDB 测试得到的击穿场强分布。本节主要侧重比较同一场强偏置下各个样品的击穿电荷量和 weibull 分布的 β 因子，从而初步判断高温氧化的 SiO₂ 膜的质量，以及各个钝化工艺对其的影响。由于预测栅介质的寿命需要测试不同场强下的失效时间，而 TDDb 测试本身又是一个非常耗时的测试，这部分工作目前仍在展开中。

图 4-27 显示了典型的恒栅电压 TDDb 测试过程，在栅介质上加一恒定的栅压，然后测试栅电流。通过，对栅电流的积分，即可得到击穿时通过 SiO₂ 必要的电荷量 Q_{BD} 。不同样品击穿电荷 Q_{BD} 的 weibull 曲线如图 4-28 所示，在累计失效为 63.2% 时，提取的 Q_{BD} 归纳在表 4-3 中。对于 as-oxidized 样品，其 SiO₂ 击穿电荷量只有 0.0014 C；SiC 上高温氧化生成 SiO₂ 薄膜的质量与 Si 上比，还是有一定差距。相比于 NO 退火，FGA 退火的样品的 Q_{BD} 值更好。而经过 NO 和 FGA 的共同处理， Q_{BD} 值可以进一步提升到 0.2680 C。这与 TZDB 测试得到的结果相吻合，相比于 NO 退火，FGA 退火改善介质质量的效果更显著。

此外，我们还从图 4-28 中提取了各个样品 Q_{BD} 值 weibull 分布的 β 因子。 β 是 weibull 分布的斜率， β 值越大，器件失效越快。As-oxidized 样品的 β 值是 2.2。NO 样品和 FGA 样品的 β 值分别是 3.3 和 3.6，这说明经过钝化工艺后器件的失效加快。NO&FGA 样品的 weibull 曲线不是严格线性的，提取其失效较快的区域，得到的 β 值为 2.1。这说明 NO&FGA 样品，器件失效的速率得到显著地减缓。因此，通过 NO 和 FGA 退火工艺的结合，在改善界面特性的同时，也能显著地提高栅介质的质量。

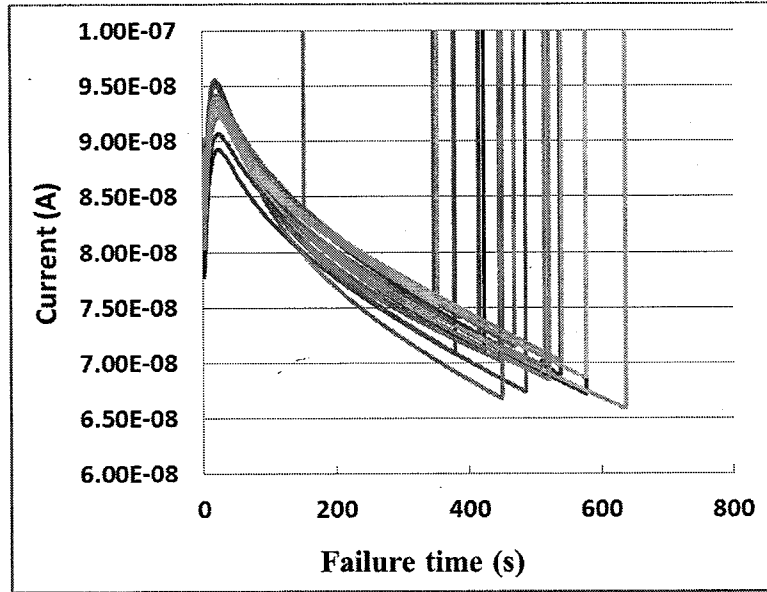


图 4-27 as-oxidized 样品的恒电压 TDDB 测试

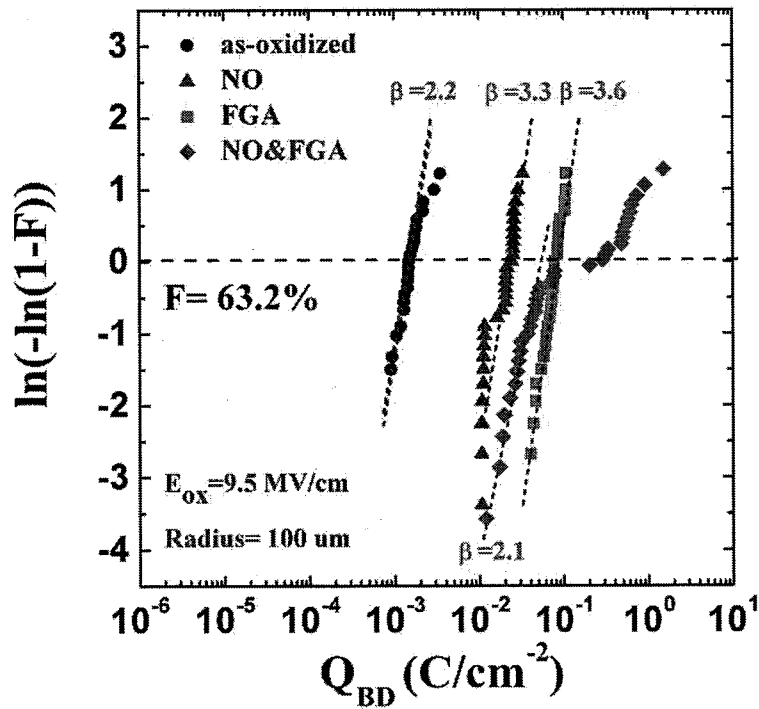


图 4-28 不同样品击穿电荷 Q_{BD} 的 weibull 曲线，偏置场强 9.5 MV/cm，
电容半径 100 μm

表 4-3 从图 5-28 中提取出来的 Q_{BD}

NO.	As-oxidized	FGA	NO	NO&FGA
$Q_{BD} (\text{C}/\text{cm}^2)$	0.0014	0.0782	0.0239	0.2680

4.6 本章小结

SiC MOS 界面是 SiC MOSFET 器件研究中最核心也是最关注的问题。本文开了一套 SiC 高温热氧和 POA 退火工艺。并基于 NO 和 FGA 退火结合的方式来改善 SiC MOS 的界面。通过, 低温电导法, 我们能够精确的表征氮化的快界面态密度, 并区分 N 和 H 钝化在界面改善中各自的作用机制。此外, 我们还通过 TZDB 和 TDDB 测试, 分析了各种钝化工艺对 SiO_2/SiC 界面势垒和击穿电荷的影响, 为器件的可靠性研究提供了借鉴。主要成果如下:

1) 基于 centrotherm 氧化炉, 开发了一套 SiC 高温热氧工艺, 4 英寸 SiC 上 SiO_2 膜, 其点与点之间的均匀性, 晶圆与晶圆之间的均匀性, 以及批次与批次之间的均与性, 都小于 3%。

2) 研究了 N_2/O_2 钝化对于界面的影响, 发现在 O_2 分压下退火存在 O_2 消除缺陷和再氧化生成新缺陷的竞争机制, N_2 氛围下的高温 POA 更有利于改善介质界面。

3) 采用低温电导法来表征氮化后的 MOS 界面, 发现氮化后界面处会生成快界面态, 常温下其响应频率远远超过 1 MHz。在靠近 4H-SiC 导带位置快界面态密度超过了 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$, 这将是制约氮化工艺提升 SiC MOSFET 迁移率的主要因素, 氮化工艺仍需开展进一步的优化工作。

4) 通过 NO 和 FGA 退火的结合, 进一步降低了氮化后的界面态密度, 同时也降低了 SiO_2 介质中的缺陷密度, 平带漂移得到有效抑制。

5) 研究了各种工艺钝化后, SiO_2 介质的可靠性, 为器件级应用提供了指导。

第五章 SiC MOSFET 器件关键工艺研发和器件制备

半导体工艺技术一直以来都是整个微电子行业的核心技术，SiC 电力电子器件的制作过程中，对工艺的要求尤为苛刻，需要大量的研发投入。在本论文中，我们对 SiC MOSFET 器件涉及到的关键技术进行了研发，为保障器件的制作和器件的应用打下了良好基础。主要包括器件制备中的几个关键工艺，如刻蚀工艺、欧姆接触、激活退火等，并给出了 4H-SiC MOSFETs 器件工艺流程和器件版图，最后制备出 SiC VDOSFET 和 LDMOSFET 器件进行了测试分析。

5.1 刻蚀工艺

在 SiC 功率器件的制备工艺中，诸如标记刻蚀、隔离区刻蚀、UMOS 的栅槽刻蚀、和离子注入掩膜等步骤，经常会用到刻蚀工艺。本节主要介绍 SiO_2 掩膜的刻蚀工艺和 SiC 的刻蚀工艺。

5.1.1 SiO_2 掩膜刻蚀工艺

SiO_2 的刻蚀工艺在 Si 工艺中已经发展得很成熟，SiC 功率器件的制备过程中， SiO_2 是最常用的掩膜，在 SiC 刻蚀掩蔽和离子注入掩蔽过程中得到广泛的应用。

刻蚀 SiO_2 的过程中，一般采用光刻胶（AZ5214）做掩膜，刻蚀之前对光刻胶进行热烘和 UV 固化处理，增强光刻胶的抗刻蚀能力。但是，由于光刻后光刻胶的侧墙角度一般不是太陡直，刻蚀后会将倾角转移到 SiO_2 上。实际的离子注入工艺中，希望 SiO_2 能够具有良好的陡直性。此外， SiO_2 和 SiC 刻蚀的选择比一般不是很高，如果直接使用 SiO_2 作为 SiC 刻蚀掩膜，很难找到 SiO_2 刻蚀的截止点，有可能会刻蚀到 SiC 表面引入损伤。

非晶硅（a-Si）相比于光刻胶侧墙的倾角小、抗腐蚀能力强，并且非晶硅与 SiC、非晶硅与 SiO_2 都有很高的选择比。因此，我们使用 a-Si/ SiO_2 /a-Si 掩膜来代替单层 SiO_2 掩膜。首先，LPCVD 生长 80 nm 非晶硅，此非晶硅作为刻蚀 SiO_2 的掩膜；然后 PECVD 生长 2 μm 厚 SiO_2 ，作为 SiC 刻蚀或离子注入的掩膜；之后 LPCVD 生长 80 nm 非晶硅，此非晶硅作为判断刻蚀 SiO_2 的截止层。对非晶硅和 SiO_2 的刻蚀分别利用 Lam Research 公司的 Rainbow 4420 和 Rainbow 4520 刻蚀。图 5-1 显示了 Si 基衬底上 a-Si/ SiO_2 /a-Si 掩膜的横截面 SEM 图像，可以观察到，厚 SiO_2 掩膜侧墙的十分陡直，刻蚀截止在了下层的 a-Si 处。图 5-2 显示了

a-Si 截止层的横截面 SEM 图像，a-Si 厚度约为 78 nm。由于， SiO_2 和 a-Si 较高的选择比，a-Si 层只过刻蚀了不到 3 nm。a-Si 和 SiC also 具有很高的选择比，所以 我们也能精确的判断 a-Si 掩膜刻蚀的截止点，

因此，通过采用 a-Si/ SiO_2 /a-Si 掩膜，在 SiC 刻蚀掩蔽和离子注入掩蔽过程中 可以获得陡直的掩膜；同时，也能精确的判断掩膜刻蚀的截止点，在离子注入过程，减少过刻蚀对 SiC 表面的刻蚀损伤。



图 5-1 a-Si/ SiO_2 /a-Si 掩膜的横截面 SEM 图像，刻蚀截止在下层的 a-Si 处



图 5-2 a-Si 截止层的横截面 SEM 图像

5.1.2 SiC 刻蚀工艺

SiC 材料硬度高、化学性质稳定，难以通过湿法腐蚀形成各种结构，目前只能采用干法刻蚀的方法。目前刻蚀 SiC 最常用的气体是 F 基气体，如 CHF_3 ^[112]、 CF_4 ^[113]、 SF_6 ^{[114]-[116]}，本文采用了 $\text{SF}_6/\text{O}_2/\text{Ar}$ 作为刻蚀气体，刻蚀掩膜采用 SiO_2

掩膜，刻蚀设备采用德国 Sentechna 公司的 SI 500 系列 ICP 刻蚀机。我们研究了不同刻蚀参数对 SiC 刻蚀速率、刻蚀选择比、微沟槽的消除的影响，选用了如下的刻蚀条件：ICP 功率变化范围为 400~800W，偏压功率为 30W~200W，刻蚀压强为 0.2~2Pa，通过改变 O₂ 的流速使得 O₂ 含量变化范围为 10%~50%来研究氧气含量对刻蚀效果的影响。

固定 ICP 偏压功率、气体流量、和温度，ICP Power 变化范围 400W~800W，实验结果如图 5-3 所示。从图中可以看出，SiC 的刻蚀速率随着源功率的增大而增加，这是因为在气体流量不变的情况下，增大 ICP 源功率，等离子体内活性基团及高能离子的密度会随之增大。其中，活性基团的增加增强了等离子体刻蚀中的化学作用，而高能粒子密度增加，使得更多的离子向衬底撞击，加快了刻蚀过程中刻蚀产物和表面聚合物溅射解吸附的效率，因此刻蚀速率提高；此外随着 ICP 源功率的增加衬底偏压会降低，衬底偏压的降低使得离子向衬底撞击的动能减小，从而降低了物理溅射作用，不利于刻蚀产物的去除，但总的作用效果是，刻蚀速率随着源功率的增大而增大，说明在此气体流量下，等离子体浓度的增加对刻蚀速率的影响更大。

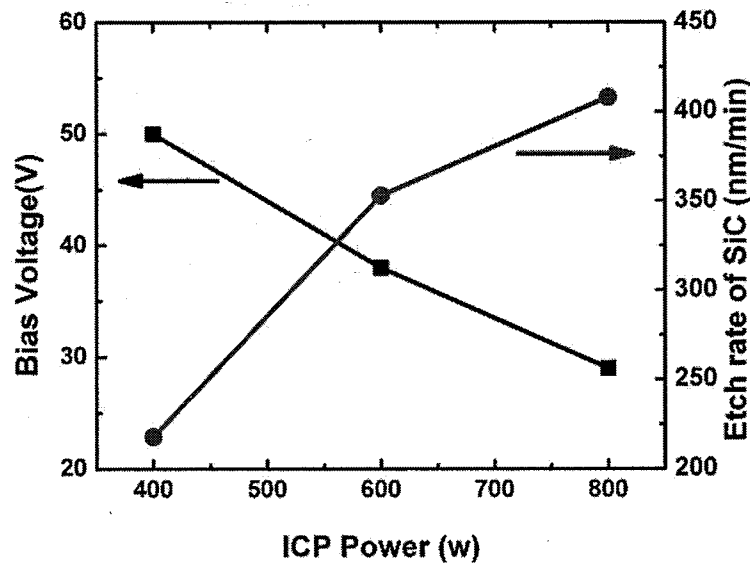


图 5-3 ICP 功率对偏压与 SiC 刻蚀速率的影响

随着 RF 功率增大，衬底偏压也增大，如图 5-4 (a) 所示。偏压增大使得定向轰击离子的能量更高，从而增强物理溅射作用，加快表面聚合物的去除速率，刻蚀速率增大。从图 5-4 (b) 可以看出，刻蚀选择比随着偏压功率的增大先降低，之后

基本保持不变。RF功率增大使得衬底偏压增大，偏压主要影响物理溅射左右，而溅射对材料的选择比很差，因此当偏压增大时刻蚀选择比会降低。

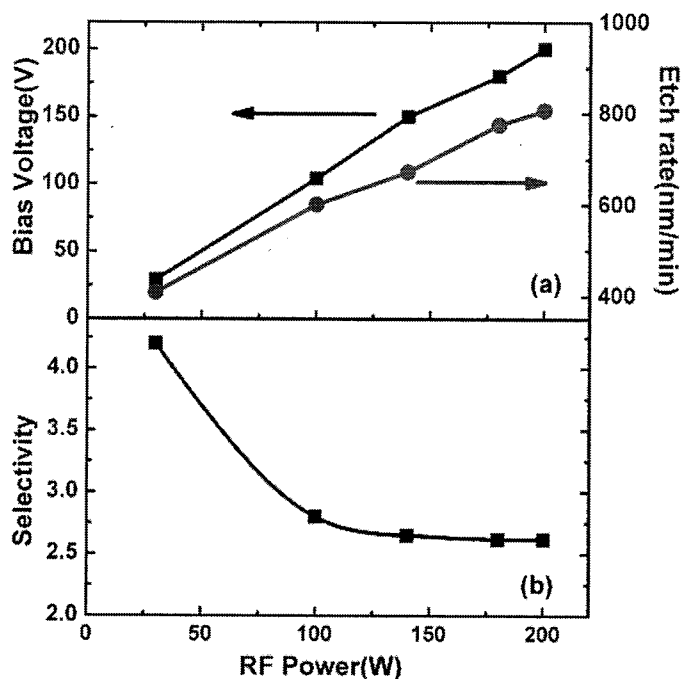


图 5-4 RF 功率对 (a) 偏压与 SiC 刻蚀速率的影响, (b) SiO₂ 和 SiC 刻蚀选择比的影响

如图 5-5 所示, 随着气体压强降低, SiC 刻蚀速率降低, 这是因为在气体流量不变的情况下, 降低气体压强, 腔室中气体的抽取速率加快, 使得腔体中等离子体密度降低, 刻蚀速率降低。随着气体压强的降低, 刻蚀选择比增大。这是因为压强对 SiO₂ 刻蚀速率的影响远远超过了对 SiC 的刻蚀速率, 所以当压强降低时, SiO₂ 刻蚀速率降低下降更快因此, 刻蚀选择比增大。

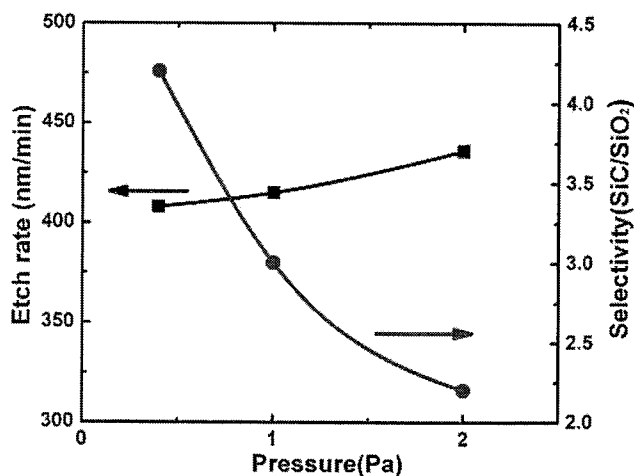


图 5-5: 压强对刻蚀速率与刻蚀选择比的影响

O_2 含量对 SiC 和 SiO_2 刻蚀速率的影响如图 5-6 (a)所示。当氧气含量小于 40% 时，随着氧气含量的增大，SiC 刻蚀速率几乎不变；当氧气含量大于 40% 时，此时腔体内有效刻蚀气体的等离子体密度显著降低达到临界点，从而导致 SiC 刻蚀速率降低。氧气含量的增大可以抑制 SiO_2 中氧原子与 SF_6 中 S 元素的反应从而降低反应速率，所以 SiO_2 的刻蚀速率随着 O_2 含量的增大而显著的减小，这使得 SiC 与 SiO_2 的刻蚀选择比增大，如图 5-6 (b)所示。当进一步增大 O_2 含量到 50%，会发现刻蚀选择比变化趋于平缓。

O_2 含量也会对刻蚀的 SiC 表面形貌产生影响， O_2 含量为 10% 和 50% 时，AFM 测试得到 SiC 表面均方根粗糙度 (RMS) 分别为 0.13 nm 和 0.36 nm。这是因为氧气含量的增大导致氩离子比例的降低，使得物理轰击作用减弱、表面聚合物的去除速度减慢、聚合物增多，从而导致表面变粗糙。

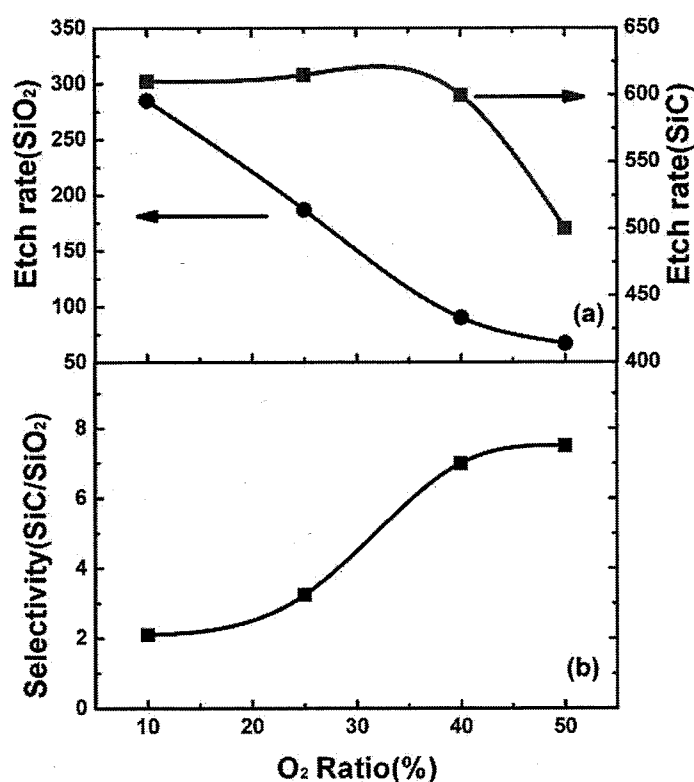


图 5-6 O_2 含量对 (a) SiC 和 SiO_2 刻蚀速率, (b) 刻蚀选择比的影响

通过优化 ICP 刻蚀工艺，最终获得了高刻蚀速率，高陡直性，高刻蚀选择比，无微沟槽且底脚圆滑的 SiC 刻蚀工艺条件，并成功应用到了 SiC 功率器件的制备过程中。图 5-7 显示了 SiC 标记刻蚀的 SEM 图像，图 5-8 显示了 SiC U 型栅槽刻蚀的 SEM 图像。

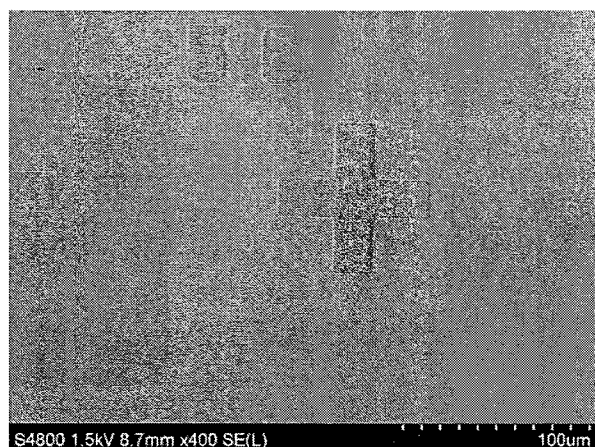


图 5-7 SiC 标记刻蚀的 SEM 图像

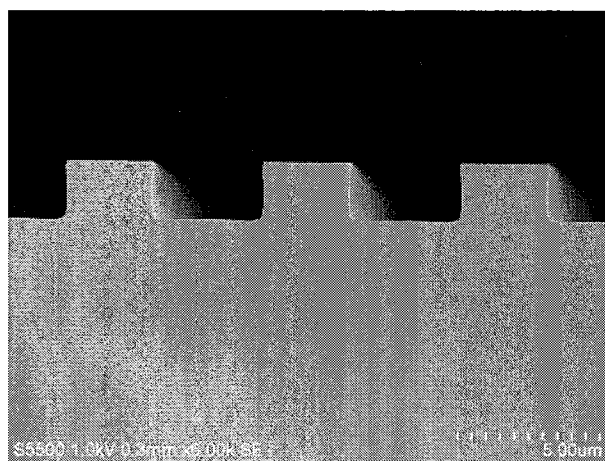


图 5-8 SiC U 型栅槽刻蚀的 SEM 图像

5.2 离子注入及激活退火

在 SiC 器件工艺中，由于杂质的扩散能力系数低，离子注入技术是实现掺杂的关键工艺。为了激活注入的掺杂和消除注入过程造成的损伤缺陷，需要对 SiC 在高温下进行激活退火。由于 SiC 晶格的高键合能，要获得合理的电激活，需要进行超过 1500℃ 的退火^[1]。本节主要介绍 SiC 离子注入工艺及其仿真过程，以及高温激活过程中的碳膜保护作用。

5.2.1 离子注入工艺及其仿真过程

4H-SiC 材料离子注入时，对 P 型注入，主要注入离子元素为 Al 和 B。而对 N 型注入，主要注入离子元素为 N 和 P。注入离子的选择主要考虑因素为：离子在 4H-SiC 材料内的扩散、注入能量、注入深度、激活能等。

对 N 型掺杂，N 离子注入后主要替代 C 空位，P 离子则主要替代 Si 空位。由于 N 元素原子质量小，可以得到相对较深的注入范围，产生的晶格损伤也较小，因此在 N 型注入中经常使用。在注入浓度小于 $1 \times 10^{17} \text{cm}^{-3}$ 时，高温激活后 N

离子可达到几乎 100% 的替位激活率。然而，为了获得较大的注入浓度，注入剂量一般都很高，同时也会造成较大的注入损伤，且高注入浓度的 N 离子会形成电中性的化合物。通过，提高注入时的温度可以减少注入损伤。室温下注入 N 离子时，其最大注入浓度需要控制在 $3 \times 10^{19} \text{cm}^{-3}$ 以下；高温注入 N 离子可以控制在 $5 \times 10^{19} \text{cm}^{-3}$ 以下。

对 P 型掺杂，Al 离子倾向于占据 Si 空位，B 离子则可以占据 Si 或者 C 空位，但更倾向于 C 空位。B 离子注入中，由于 B 离子较小的原子质量，可以得到灵活的离子注入范围，且其注入晶格损伤较小。Al 在 SiC 中的电离能小于 B，且固溶度也比 B 高一个数量级，在高替位浓度应用中更适合。为了获得优化的注入激活效果，Al 注入时都需要高温注入。由于，B 的扩散能力较强，离子注入拖尾较长，且高温激活后，表面浓度会降低，如图 5-9 所示。因此，在 P 型注入中一般使用 Al。

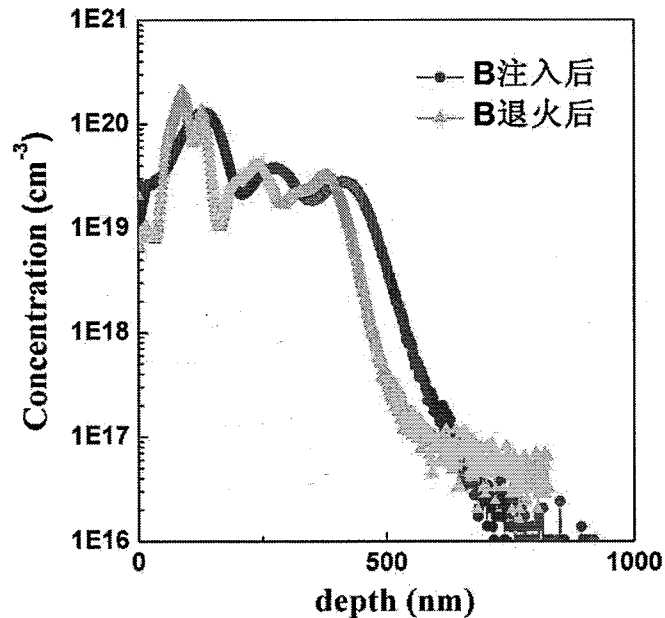


图 5-9 退火前后 B 离子注入的 SIMS 分析

离子注入工艺前需要通过计算模拟得到目标注入掺杂分布所需注入能量与计量的组合设计。首先需要得到精确的不同能量 (KeV~MeV) 离子注入分布模型，一般采用 Monte Carlo 统计模型，采用这一模型模拟离子注入的软件主要是 SRIM 软件。

离子注入的仿真主要流程为：首先确定注入离子的大致能量范围，利用 SRIM 软件仿真这一能量区间的不同能量，得到不同能量下该离子注入后的浓度分布情

况,才能得到最终的注入浓度分布,接着根据不同能量下离子注入的分布,选择合适的能量,乘以合适的剂量,叠加得到最终的浓度分布。以 SiC MOSFET 器件的 P-well 区域为例,首先利用 SRIM 软件仿真得到不同 Al 能量的注入后浓度分布数据,采用叠加原理,选择 550 keV($2.25 \times 10^{13} \text{cm}^{-2}$), 400 keV($1.45 \times 10^{13} \text{cm}^{-2}$), 300 keV($9.15 \times 10^{12} \text{cm}^{-2}$) 的能量剂量组合,即可得到如图 5-10 的注入浓度分布叠加图。去除 100nm 的掩蔽层后表面浓度为 $2 \times 10^{16} \text{cm}^{-3}$, 最高浓度为 $1 \times 10^{18} \text{cm}^{-3}$, 深度达到 0.8 μm , 满足设计要求。

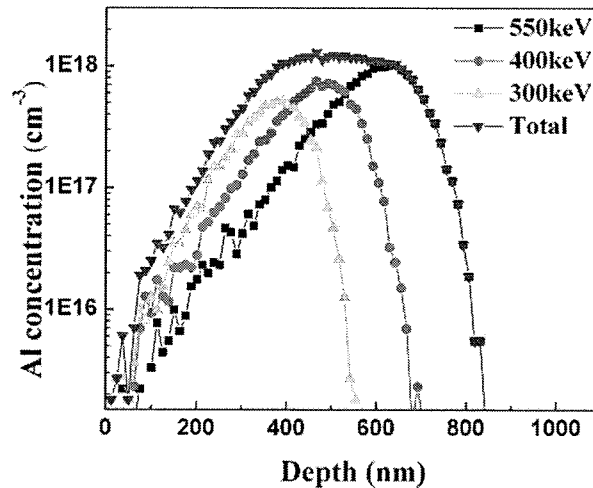


图 5-10 Al 离子注入形成 P-well 区域浓度分布

5.2.2 高温激活过程中的碳膜保护

SiC 离子注入的高温激活退火过程中, Si 容易从 SiC 表面升华, 并以 Si、Si₂C、SiC₂ 等形式重新沉积在晶片表面, 形成台阶簇, 导致表面变粗糙^[117]。为了阻止 SiC 表面 Si 的升华, 本文通过高温碳化处理, 将 AZ5214 光刻胶转化为纳米晶体石墨的方法在 SiC 表面制备碳膜, 作为高温激活过程中 SiC 表面的保护层。

图5-11显示了Si上未退火的AZ5214光刻胶以及700℃、750℃、800℃ Ar 氛围下碳化形成碳膜的Raman光谱。其中未退火的光刻胶的数据作为参照。700℃退火的样品, 在波数为1348 cm⁻¹和1596 cm⁻¹ 处分别出现了D峰和G峰。G峰和D峰是由于碳膜中sp²结构产生的, 其中G峰是由碳环或长链中的所有sp²原子对拉伸运动产生的, D峰是由碳环中sp²原子呼吸振动模式产生, D峰和G峰的出现显示光刻胶已经开始向纳米晶体石墨方向的转变^[118]。随着退火温度的增大, 750和800℃的样品D峰和G峰的位置没有发生太大的变化; 但是, I_D: I_G的比值随退火温度升高显著增大, 如表5-1所示, 这意味着碳膜成分中sp²比例不断增大, 往

石墨方向转变的程度不断增强。其中800℃退火样品的SEM截面图如图5-12所示，退火后光刻胶的厚度约为366 nm，光刻胶涂层已经向纳米颗粒转变，与Raman测试结果相吻合。Raman和SEM数据显示，经过高温退火后AZ5214光刻胶已经向纳米晶体石墨方向转变，其中800℃退火的样品形成的碳膜厚度均匀，整体覆盖良好。

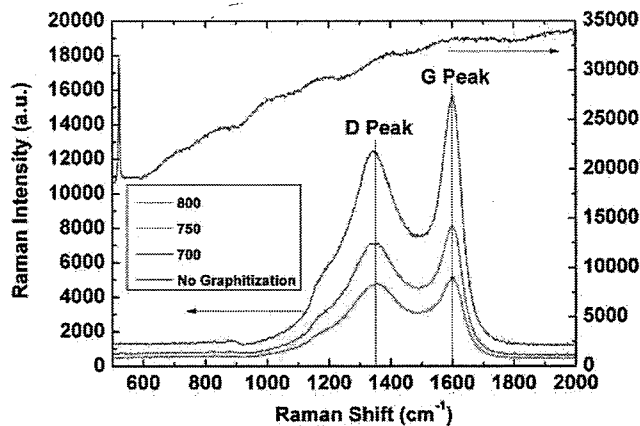


图5-11 未退火的AZ5214光刻胶以及700 °C、750 °C、800 °C Ar 氛围下碳化形成碳膜的Raman 光谱

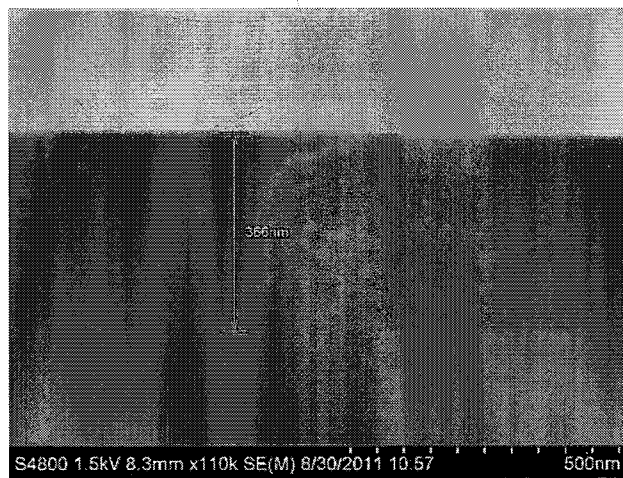


图 5-12 AZ5214 800℃退火样品的 SEM 截面图

表 5-1 不同温度退火样品 D peak、G peak 分布位置和 $I_D: I_G$ 的比值

Sample	$I_D: I_G$	D Peak (cm^{-1})	D Peak (cm^{-1})
700 °C	3.07	1348	1596
750 °C	3.40	1350	1594
800 °C	3.57	1353	1595

SiC样品的碳膜通过AZ5214光刻胶的在Ar氛围下800摄氏度退火40分钟热转化形成。有碳膜和无碳膜的SiC样品在Ar气氛下1650℃高温激活退火30min。图5-13显示了AZ5214光刻胶800℃和1650℃ Ar氛围下退火后的Raman光谱。1650℃激活退火后， $I_D:I_G$ 比例进一步变小，D*峰出现，标志纳米晶体石墨开始向石墨转变，晶粒尺寸增大。四探针测试显示，800℃退火和1650℃退火后，碳膜方阻的均值分别为169 $\Omega/\square$ 和78 $\Omega/\square$ ，随着石墨化程度的程度的加深，碳膜的阻值也开始下降。

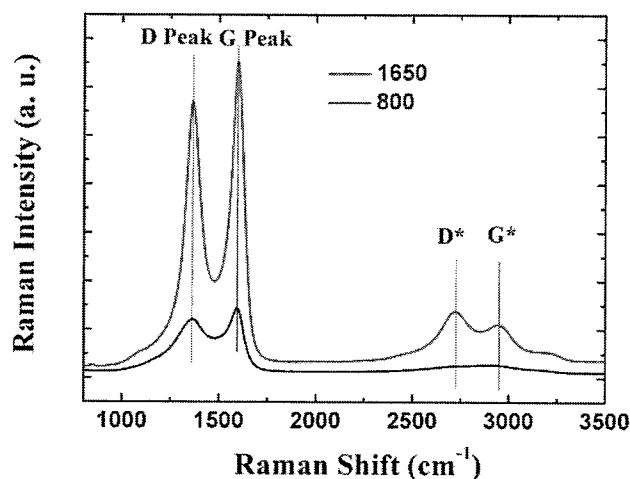


图5-13 AZ5214光刻胶800℃和1650℃ Ar氛围下退火后的Raman光谱

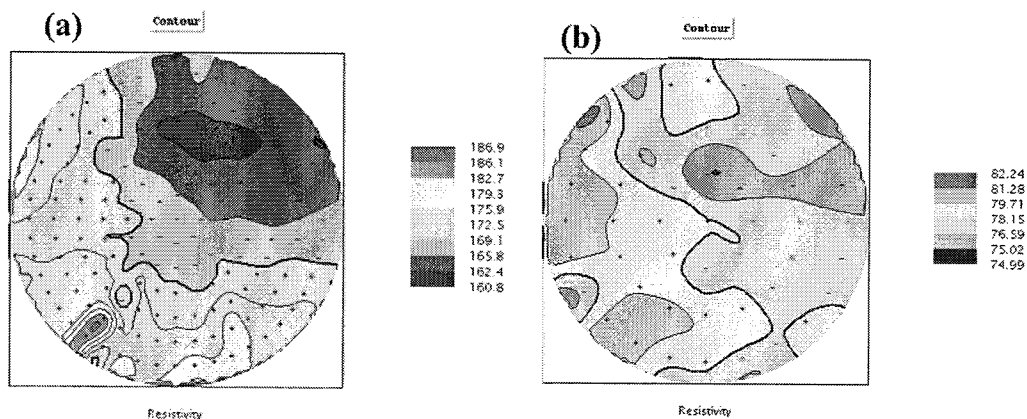


图5-14 四探针测试碳膜的方阻 ($\Omega/\square$), (a) 800℃退火后, (b) 1650℃高温激活退火后

去除表面碳膜后有碳膜保护区和无碳膜保护区的SEM图像如图5-15所示，无碳膜保护区的台阶簇比有碳膜保护区的更加明显，表面更粗糙。更进一步的AFM图像如图5-16所示，有碳膜保护的离子注入区的RMS为0.6 nm，与未注

入退火的材料（没展示）处于同一量级，并且表面台阶起伏只有 ± 2 nm。但是，无碳膜保护的离子注入区 RMS 为 3.6 nm，表面台阶起伏达到 ± 10 nm，表面退化严重。主要是因为 SiC 离子注入高温激活退火过程中，退火温度太高，Si 容易从 SiC 表面升华，并以 Si、Si₂C、SiC₂ 等形式重新沉积在晶片表面，形成台阶簇；并且退火温度越高，在 SiC 表面形成沟槽的深度和宽度越大，表面也越粗糙。以 1650℃ 为例，沟槽的深度和宽度分别达到 20 nm 和 600 nm，会严重影响器件性能。因此，在离子注入高温激活退火工艺中使用碳膜作为 SiC 表面的覆盖层，碳膜能够作为阻挡层抑制表面处 Si 的升华和再沉积过程，从而避免表面变得过于粗糙，有效改善晶片表面形貌，提升器件性能。

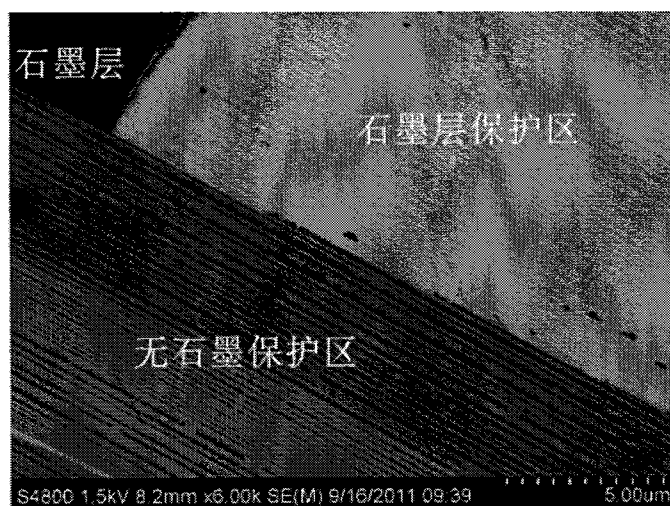


图 5-15 SiC 高温激活退火后有碳膜保护区和无碳膜保护区的 SEM 图像

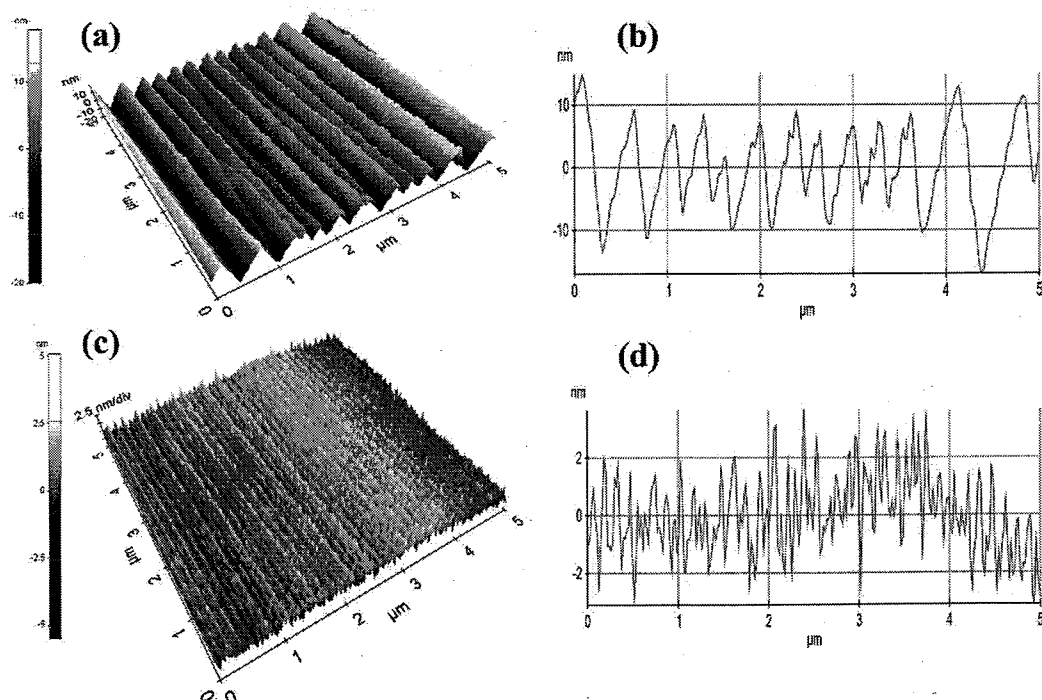


图 5-16 (a) 无碳膜保护离子注入区高温激活退火后的 AFM 图像, (b) 和对应的台阶深度分布, (c) 碳膜保护的离子注入区高温激活退火的 AFM 图像, (d) 和对应的台阶深度分布

5.3 4H-SiC 的欧姆接触

半导体材料与金属的接触主要形成两种电学性质不同的情况, 即肖特基接触和欧姆接触, 前者具有整流特性, 是整流器件的基础; 欧姆接触则为器件提供低电阻的电极接触, 对器件信号的传输有至关重要的意义^[84]。良好的源漏欧姆接触可以降低器件整体的通态电阻, 从而降低器件工作能耗。

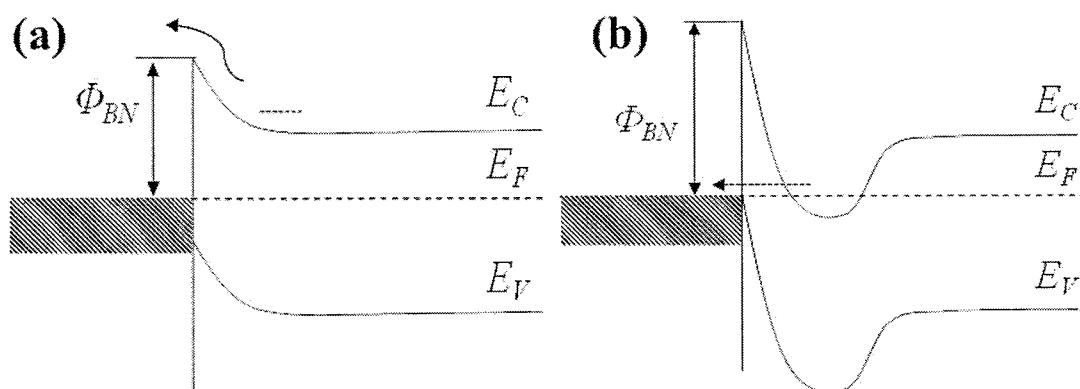


图 5-17 两种欧姆接触形成机制示意图

图 5-17 中给出了常用的两种欧姆接触的形成情况, (a) 为低的势垒, 电子发射过低势垒, 形成欧姆接触, 一般通过寻找合适的金属, 得到较小的势垒差; (b) 中为薄势垒, 电子隧穿通过薄势垒, 形成欧姆接触, 一般需要高掺杂的半导体材料。

对 4H-SiC 材料而言, 形成良好的欧姆接触主要有如下几个问题:

- 1、SiC 材料禁带宽度大, 一般的金属在其上接触会有约 1 eV 的肖特基势垒, 不易形成较低势垒差;
- 2、4H-SiC 材料的掺杂困难, 掺杂浓度和有效载流子浓度低, 尤其对 P 型 4H-SiC 材料, 不易形成薄势垒, 即不易形成欧姆接触;
- 3、P 型与 N 型 4H-SiC 材料形成欧姆接触所用条件不一致, 在 4H-SiC MOSFETs 器件制备中, 将会引入不利因素。

目前, 4H-SiC 材料的欧姆接触主要通过高掺杂, 采用合适的金属体系, 进而高温退火形成合金相, 继而形成良好欧姆接触。主要研究点为: 金属体系 (包括金属类别和组分占比) 选择、退火温度选择以及形成机制的研究。

对 N 型 4H-SiC 材料欧姆接触而言,目前主要的金属体系为 Ni 基金属体系目前利用 Ni 基金属体系,通过合适的退火工艺,可以达到 $1 \times 10^{-6} \Omega \cdot \text{cm}^2$ 量级的接触电阻率,基本满足制备 4H-SiC MOSFETs 器件的要求。对 P 型 4H-SiC 材料欧姆接触而言,目前主要的金属体系为 Al 基金属体系和 Ti 基金属体系等^[1,5,6]。

常用的 4H-SiC nMOSFETs 器件的欧姆接触主要为源极和漏极。其中,漏极整面形成 N 型欧姆接触,一般的 4H-SiC VDMOSFETs 器件制备工艺中,使用 Ni 金属通过 900-1000℃ 的高温退火 5min 实现欧姆接触。而源极处需要同时得到 P/N 型欧姆接触,对于 VDMOSFET 器件来说,即要求在 P+和 N+注入区使用相同的金属体系和退火工艺条件得到欧姆接触特性。欧姆接触的测试方法主要为 TLM、CTLTM 等,其具体操作方法和测试原理这里不再展开^[83]。

针对 SiC VDMOSFETs 器件的欧姆接触我们进行了实验探索,以期找到合适的欧姆接触金属体系和退火温度。具体实验设置为:金属体系采用两种,即 Ni/Ti/Al(30/80/30nm)和 Ni(200nm),退火条件为四种,即 850℃/5min, 900℃/5min, 950℃/5min, 1000℃/5min; 其中 N 型注入分别采用常温 N 注入和高温 N 注入, N+区域注入的能量剂量组合如图 5-18 所示; P 型片只采用高温 Al 注入, P+区域注入的能量剂量组合如图 5-19 所示,四种激活退火条件分别为 1650℃/30min, 1700℃/30min, 1750℃/30min 和 1700℃/60min,如下表 5-2 中所示。

欧姆接触的工艺流程主要分为两步,一是标记刻蚀和隔离区的刻蚀,二是欧姆金属的图形化和合金。具体的欧姆接触工艺流程和对应的版图如图 5-20 所示。

经过上述实验步骤,利用测试 HP 4155 测试平台测试得到欧姆接触实验结果,如表 2 所示。

就金属体系而言,对于常温和高温 N 注入, Ni 金属均可形成 N 型欧姆接触。但是,对于高温 Al 注入, Ni 金属退火后只能得到肖特基接触。而 Ni/Ti/Al (30/80/30nm) 金属体系均可形成 P 型欧姆接触,不过,只有部分条件可以形成 N 型欧姆接触:

1) 对于常温注入 N 离子,只有 1650℃ 激活, Ni/Ti/Al 才能形成欧姆接触,欧姆合金温度 950℃ 或 1000℃ 都可;其他激活温度条件下,形成的都是肖特基接触。

2) 对于高温注入 N 离子, 1700℃ 激活, 950℃ 或 1000℃ 退火后, Ni/Ti/Al

也都可以形成欧姆接触；

因此，Ni/Ti/Al 金属体系符合 SiC VDMOSFETs 器件的需要，可以在源极同时形成 N 型和 P 型欧姆接触。综上所述，兼顾 P/N 欧姆接触，比较推荐的条件为：高温注入 N、P 片，激活退火 1700℃ 30min，使用 Ni/Ti/Al 金属体系，950℃ /5min 退火。此时，可以同时形成比接触电阻较低的欧姆接触。

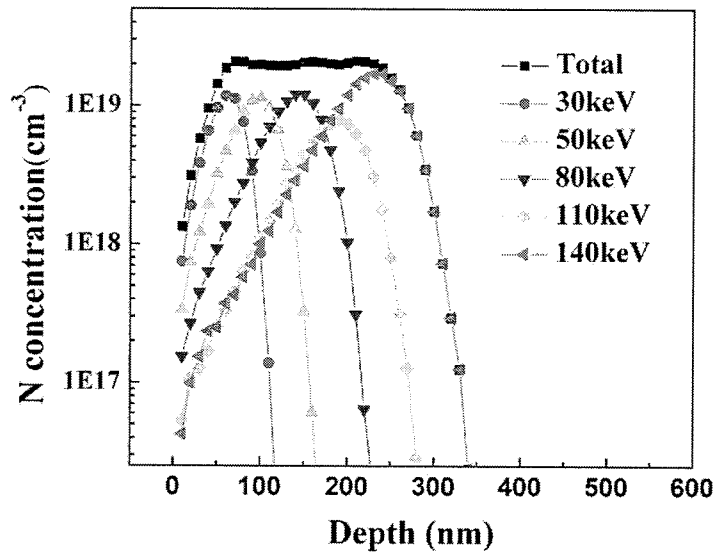


图 5-18 N⁺区域离子注入浓度分布仿真

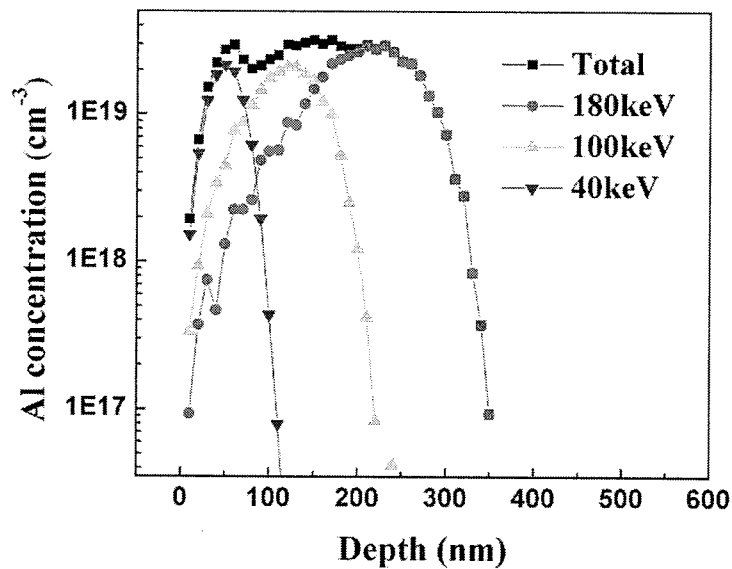


图 5-19 P⁺区域离子注入浓度分布仿真

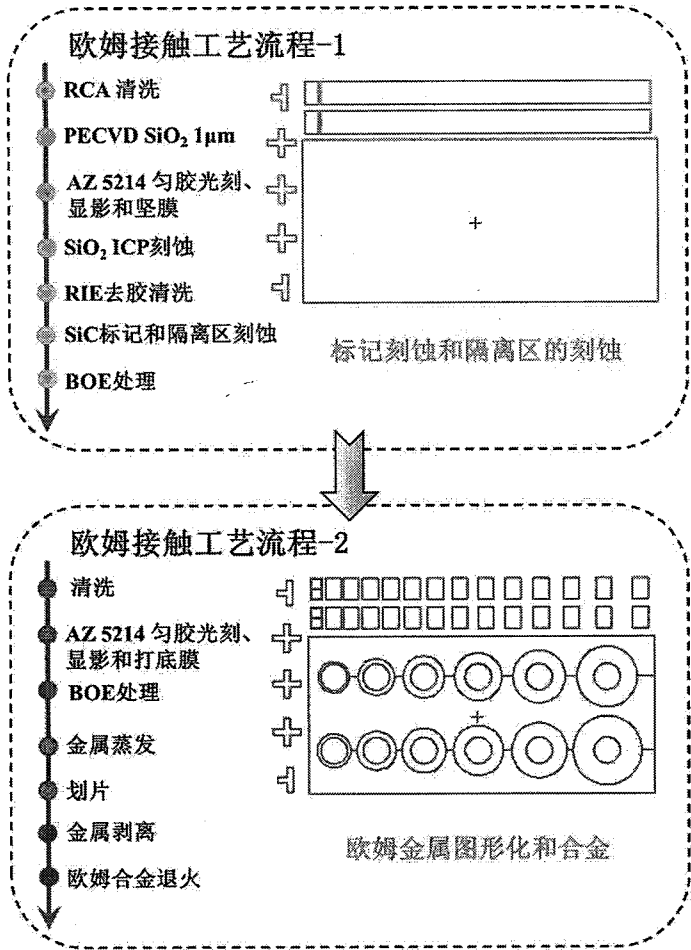


图 5-20 欧姆测试的工艺流程和对应版图

表 5-2 欧姆接触实验的结果总结

金属体系		Ni/Ti/Al(30/80/30nm)				Ni(200nm)			
退火条件 (°C/min)		850/5	900/5	950/5	1000/5	850/5	900/5	950/5	1000/5
常 温 N	1650/30	SCH	OHM	OHM	OHM	OHM	OHM	OHM	OHM
	1700/30	SCH	SCH	SCH	OHM	OHM	OHM	OHM	OHM
	1700/60	SCH	SCH	SCH	OHM	OHM	OHM	OHM	OHM
	1750/30	SCH	SCH	SCH	OHM	OHM	OHM	OHM	OHM
高 温 N	1700/30	SCH	OHM	OHM	OHM	OHM	OHM	OHM	OHM
高 温 P	1650/30	4.16E-04	2.06E-03	1.37E-03	1.35E-03	SCH	SCH	SCH	SCH
	1700/30	3.76E-04	6.34E-04	1.75E-04	8.61E-04	SCH	SCH	SCH	SCH
	1700/60	1.01E-04	1.50E-04	8.28E-04	1.01E-03	SCH	SCH	SCH	SCH
	1750/30	2.32E-04	9.40E-04	2.97E-04	5.67E-04	SCH	SCH	SCH	SCH

5.4 SiC MOSFET 器件的工艺流程和版图设计

基于前期的工艺开发的基础，我们研发了 SiC VDMOSFET 器件和 LDMOSFET 器件。其主要的制备流程如下：

1) 光刻标记和隔离槽的刻蚀。选择合适的 4H-SiC 外延片，外延层厚度 $13\mu\text{m}$ ，掺杂浓度为 $8 \times 10^{15}\text{cm}^{-3}$ 。RCA 清洗后，采用 ICP 进行刻蚀，做出光刻对准标记和隔离槽。

2) P-well 注入。对 SiC 外延片进行 RCA 清洗后，沉积 a-Si/SiO₂/a-Si 作为注入掩蔽层，刻蚀得到 P 阱及主结、场限环注入图形，500℃ 下 Al 离子注入，注入后对掩蔽层进行腐蚀去除。

3) P+注入。对 SiC 外延片进行 RCA 清洗后，沉积 a-Si/SiO₂/a-Si 作为注入掩蔽层，刻蚀得到得到元胞 P⁺区、栅下 P⁺区注入图形，500℃ 下 Al 离子注入，注入后对掩蔽层进行腐蚀去除。

4) N+注入。对 SiC 外延片进行 RCA 清洗后，沉积 a-Si/SiO₂/a-Si 作为注入掩蔽层，刻蚀得到得到 N⁺源区、N⁺场截止环注入图形，常温 N 离子注入，注入后对掩蔽层进行腐蚀去除。

5) 对 SiC 外延片进行 RCA 清洗后，做碳膜保护，在氩气环境中进行高温激活退火，然后去除碳膜保护层；

6) 场氧保护。PECVD 沉积厚 SiO₂ 作为场氧化层，干法刻蚀得到栅下和场限环处的场氧图形。

7) 栅氧工艺。1300℃ 干氧氧化，N₂ 氛围下 1300℃ 退火，然后 NO 氛围下 1300℃ 退火，形成 60nm 氧化膜；

8) 多晶硅栅。沉积多晶硅作为栅极，注入掺杂并退火激活，然后刻蚀得到多晶硅栅图形。

9) 层间介质。PECVD 淀积厚 SiO₂ 做为栅源隔离介质，然后刻蚀 SiO₂，形成所需源极窗口图形

10) 源极和漏极欧姆接触。其中，正面沉积 $4\mu\text{m}$ Al 金属，作为源极 pad 加厚金属，湿法腐蚀形成金属加厚图形；背面整面沉积 Ni/Ti/Ag 金属，作为源极 pad 加厚金属，

11) PI 胶钝化。

4H-SiC MOSFETs 器件制备简化流程如图 5-21 所示，总共定义出 9 层光刻版，

具体定义及作用见表 3。器件和 PCM 测试图形的整体版图如图 5-22 所示。

表 5-3 4H-SiC MOSFETs 器件制备的版层定义

NO.	版层名称	版层作用
1	Mark	标记及隔离刻蚀
2	PWell	形成 P well 注入掩膜图形
3	PPlus	形成 P ⁺ 区域注入掩膜图形
4	NPlus	形成 N ⁺ 注入掩膜图形
5	FieldOxide	形成栅极 pad 下方厚氧化层保护区域
6	Polygate	定义栅电极
7	ContactWin	定义源极接触窗口
8	Metal	金属加厚（包括有源区和栅极 pad 加厚）
9	Pad	定义钝化区域

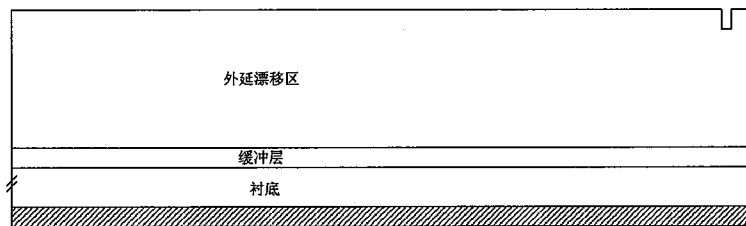


图 5-21 (a) 标记和隔离区刻蚀

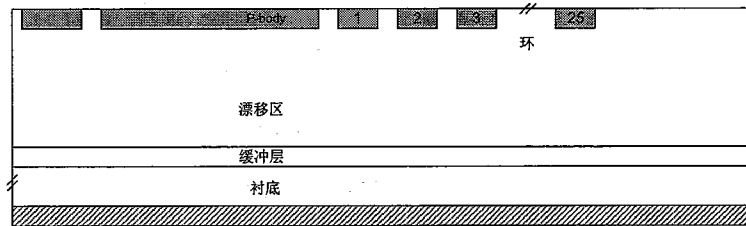


图 5-21 (b) Pbase 注入

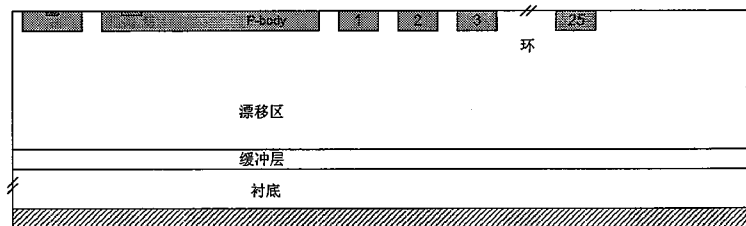


图 5-21 (c) Pplus 注入

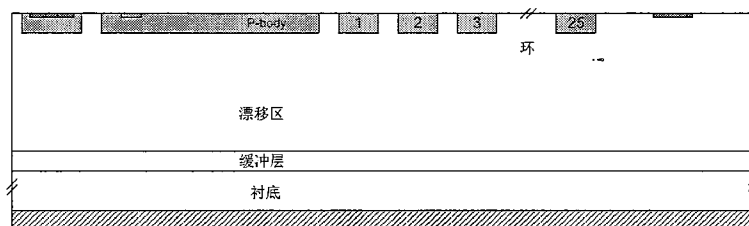


图 5-21 (d) Nplus 注入

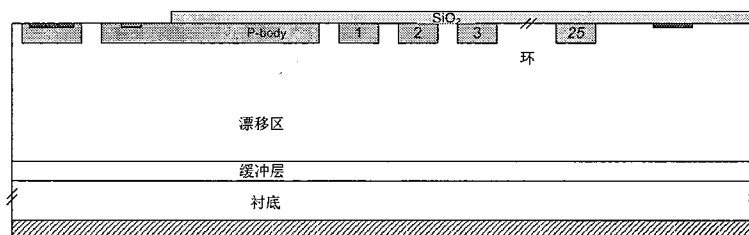


图 5-21 (e) 激活后形成场氧

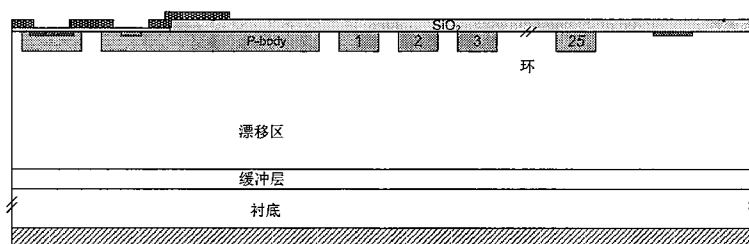


图 5-21 (f) 栅氧氧化后形成多晶硅栅

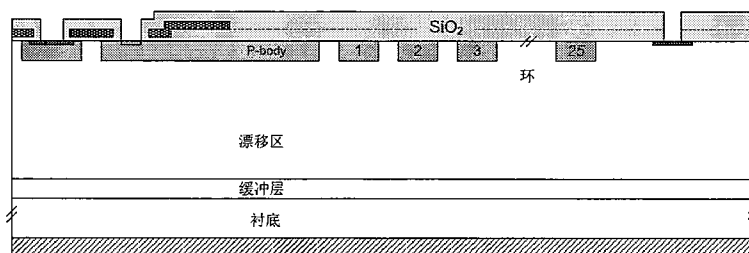


图 5-21 (g) 栅源介质沉积后开孔

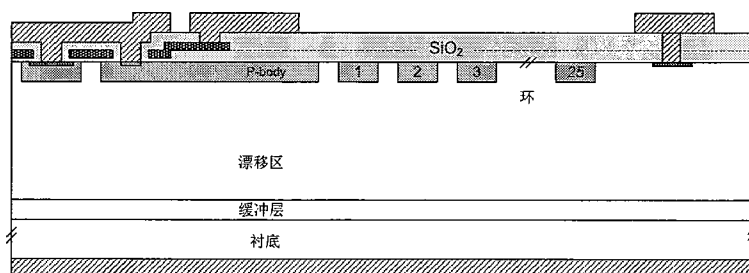


图 5-21 (h) 源漏欧姆接触及金属加厚

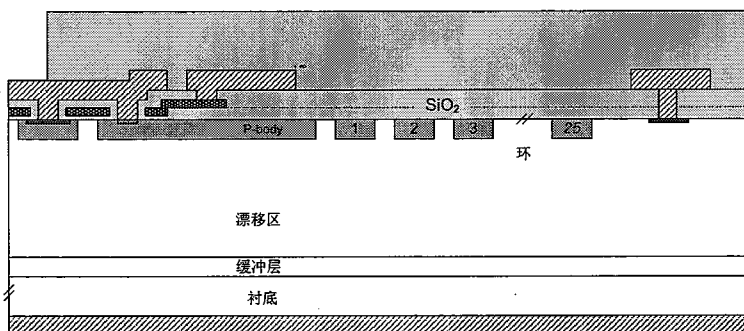


图 5-21 (i) PI 胶钝化, PAD 形成

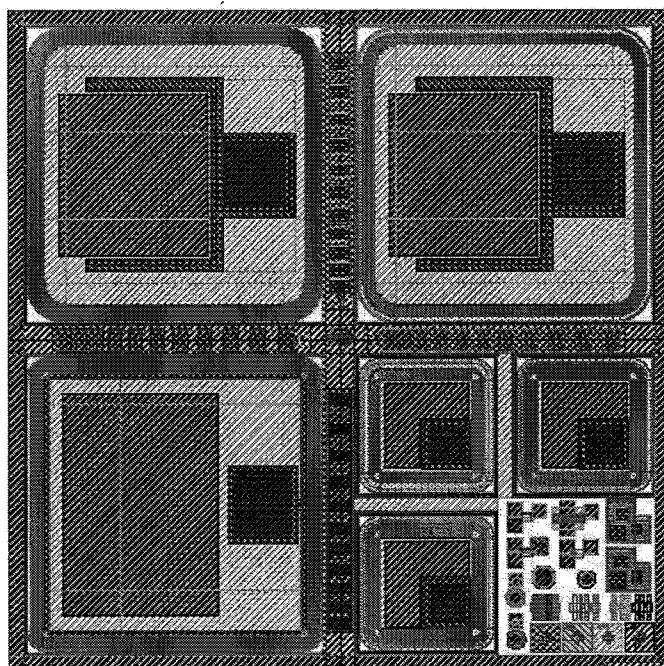


图 5-22 4H-SiC MOSFETs 器件设计整体版图

5.5 SiC MOSFET 器件的性能测试

由于工艺条件的限制，在进行 4 英寸 SiC 晶圆的 MOSFET 器件流片时，没有条件对栅氧进行 FGA 处理。因此，如前所述，我们 MOSFET 器件的栅氧只进行了 NO 氮化处理。

其中， $2.1 \times 2.1 \text{ mm}^2$ 4H-SiC VDMOSFETs 器件的输出曲线和转移曲线分别如图 5-23 和图 5-24 所示。由于版图中设计的 VDMOSFET 器件都是由很多元胞构成的大尺寸器件，所以输出曲线和转移曲线的漏电流很容易就能超过 I-V 测试设备的限流。因此，器件的迁移率从小尺寸的 LDMOSFET 器件提取。图 5-25 显示了栅长 $2 \text{ }\mu\text{m}$ 、栅宽 $50 \text{ }\mu\text{m}$ 的 LDMOSFET 器件的转移曲线，从中提取的场迁移率的峰值为 $11.4 \text{ cm}^2/\text{Vs}$ 。

通过，高温氧化和 NO 钝化技术，SiC MOSFET 器件的迁移率得到了显著地

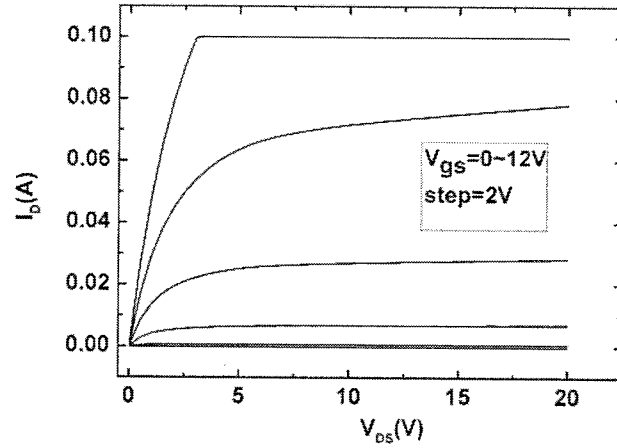


图 5-23 $2.1 \times 2.1 \text{ mm}^2$ 4H-SiC VDMOSFETs 大器件地的输出曲线

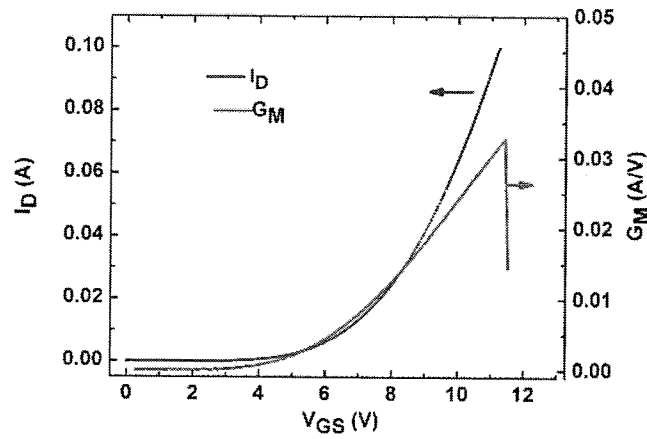


图 5-24 $2.1 \times 2.1 \text{ mm}^2$ 4H-SiC MOSFETs 大器件的转移曲线和跨导曲线，其中加 V_{DS} 为 6 V

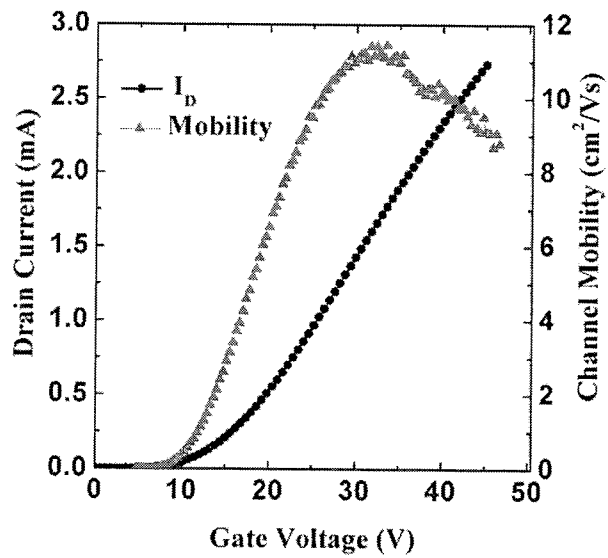


图 5-25 4H-SiC LDMOSFETs 器件的转移曲线和场迁移率，栅场 $2 \mu\text{m}$ ，栅宽为 $50 \mu\text{m}$ ，其中 V_{DS} 为 6 V

提升。当然，我们器件的迁移率水平距离 4H-SiC 的体迁移率仍然有很大的差距。其实，这不仅仅是困扰我们，也困扰着其他的研究者，到底什么限制了氮化工艺对 SiC MOSFET 迁移率的进一步提升。通过低温电导法，我们可以准确的表征氮化后界面处新生成的快界面态，从而为氮化工艺的表征手段。从我们的结果来看，氮化处理过后的界面，在靠近 4H-SiC 导带位置快界面态密度仍超过了 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 。以前，通常的采用 Hi-low 方法是没办法精确测量到这些快界面态的，所以氮化后测得的界面态都是低于 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 量级的，氮化对 SiC MOS 界面的改善效果是被严重高估的。基于我们的结果来看，氮化后界面处高密度的快界面态可能是阻碍 SiC MOS 器件迁移率提升的主要因素。因此，对于氮化后界面处出现的快界面态的生成机制和氮化工艺的优化是我们下一步需要关注的重点。另一方面，MOSFET 器件的制备过程中，很多工艺都可能对界面的电学特性造成影响，如离子注入的高温激活过程会影响表面的粗糙度，欧姆合金退火会影响介质界面，这些也是器件制备工艺也是需要优化的。

5.6 本章小结

本章主要介绍了 SiC 器件制备中的关键工艺的研发，主要包括刻蚀工艺、离子注入和激活退火、欧姆接触等，并最终开发出了一套完整的 4H-SiC MOSFETs 器件工艺流程。基于此工艺，我们制备了 SiC VDMOSFET 和 LDMOSFET 器件，并对器件进行了测试和分析。主要成果如下：

1) 研发了 SiO_2 掩膜刻蚀工艺和 SiC 材料的 ICP 刻蚀工艺。其中，系统性地研究了不同刻蚀参数对 SiC 刻蚀速率、刻蚀选择比、微沟槽的消除的影响，开发出了 SiC 标记刻蚀和 U 型栅槽刻蚀工艺。

2) 研发了 SiC 上同时形成 P 型和 N 型欧姆接触的合金工艺，并应用于 SiC MOSFET 器件的制造。

3) 开发了碳膜保护高温激活退火工艺，通过光刻胶碳化制备碳膜，用于离子注入激活退火过程中的保护层，有效地抑制了 SiC 表面的粗糙化。

4) 整合出一套完整的 SiC MOSFET 器件制备工艺，并制造出 SiC VDMOSFET 和 LDMOSFET 器件，经过氮化处理后器件的峰值场迁移率达到 $11.4 \text{ cm}^2/\text{Vs}$ 。

下一步，我们将主要研究氮化后界面处快界面态的生成机制，以及氮化工艺的优化。

第六章 $\text{Al}_2\text{O}_3/\text{SiC}$ 介质界面研究

在 SiO_2/SiC MOS 结构中除了前文提及的高界面态密度导致的低迁移率以外, 还存在栅介质的可靠性问题。由于 SiC 独特的材料属性, 一般多用于高压大功率器件。 SiO_2 的介电常数相对较低, 比 SiC 低约 2.5 倍, 在界面的 SiO_2 一侧中会产生比 SiC 中更高的电场强度; 而 SiC 材料的临界雪崩击穿电场强度是 Si 的 10 倍以上, 器件反向工作承受的电场强度更高, SiO_2 介质有可能在 SiC 体材料击穿前失效。因此, 高 k 材料在 SiC MOS 中应用得到了广泛的关注。一方面, 高 k 材料的介电常数大可以降低介质内的电场; 另一方面, 对于同等大小的栅电容, 使用高 k 材料时可以将介质做得更厚, 从而降低漏电流。本章将详尽介绍 ALD Al_2O_3 在 SiC 上的应用。

6.1 $\text{Al}_2\text{O}_3/\text{SiC}$ 介质界面的研究思路和方法

ALD 是通过将气相前驱脉冲交替地通入反应腔并在沉积体上化学吸附并形成沉积膜的一种技术。ALD 的表面反应具有自限制性 (self-limiting) [119]。这是 ALD 技术发展的基础, ALD 利用这种自限制技术不断重复的方式沉积薄膜。ALD 技术能够精确控制膜薄膜厚度, 而且利于工业化生产控制。我们实验室采用了 Beneq 公司的 TFS200 型 ALD 沉积系统, 可以沉积 Al_2O_3 、 HfO_2 、 La_2O_3 、TiN 等薄膜。

研究表明采用 ALD 的方法在 SiC 表面生长高 K 介质, 可以降低介质中的电场强度, 同时有可能避免热氧工艺带来高界面态密度 [120-124]。为此, 本论文主要研究在 SiC 表面采用 ALD 工艺生长高 K 介质获得高质量 MOS 界面, 以及退火等工艺对界面改善的内在机理。

Al_2O_3 介质是一种常见的高 K 介质, 其介电常数为 7~9, 约为 SiO_2 介电常数的两倍, 击穿场强 10-13 MV/cm, 禁带宽度约为 6.2~7.0 eV [80]。如图 6-1 所示, 相比于其他的高 k 介质, Al_2O_3 介质的禁带宽度最大, 更适合于用作宽禁带 SiC 材料的栅介质, 因为 Al_2O_3 能提供更高导带势垒补偿。本论文中主要采用 Al_2O_3 作为高 K 介质材料。

由于 Al_2O_3 是两性化合物, 因此无法采用腐蚀工艺形成栅电极。因此, 在本章的实验中, 采用 NiAu 作为栅金属, 制作 4H-SiC 外延衬底的 MIS 电容。所有

的 SiC 外延片选择都是 (0001) 晶面的 N 型外延衬底, 衬底掺杂浓度约为 $1 \times 10^{18} \text{ cm}^{-3}$, 杂质离子为 N; 外延层的掺杂浓度约为 $8 \times 10^{15} \text{ cm}^{-3}$, 杂质离子也为 N。

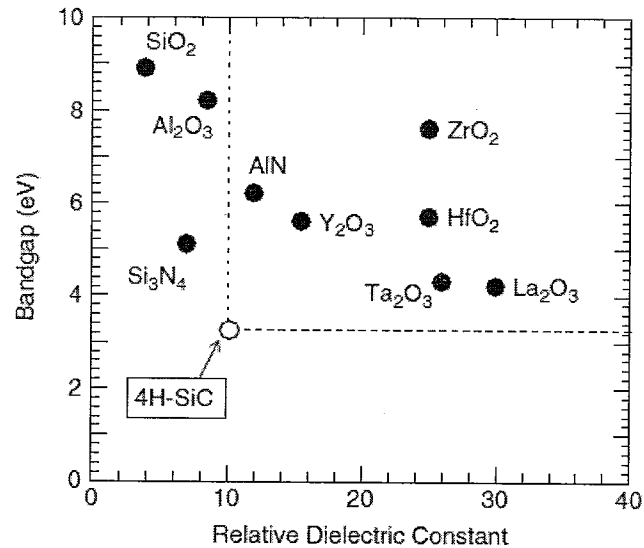


图 6-1 各种常见栅介质的介电常数与禁带宽度

本章主要致力于研究 Al_2O_3 介质在 SiC MIS 结构中的应用, 包括 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的电学特性、能带对准结构、界面的化学组成和物理结构, $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 电容中存在的问题, 以及退火工艺对介质界面性质的改善, 为其他的研究者的研究提供借鉴, 也为 Al_2O_3 介质真正能在功率 SiC MOSFETs 器件中的应用夯实基础。详细的 $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 电容的制备工艺与钝化工艺研究中采用的研究方案如下:

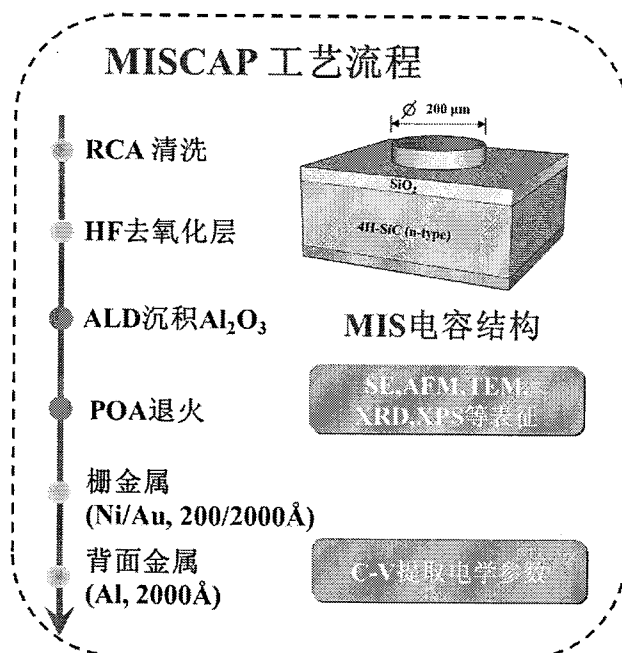


图 6-2 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面研究所采用的技术方案

第一步：标准 RCA 清洗。

第二步，ALD 沉积薄膜前的预处理，HF 稀释至 100:1，2min，去除晶片表面的自然氧化层。

第三步，在 ALD 生长室内生长 Al_2O_3 介质。（温度和时间可调节）

第四步，进行了热处理工艺的研究。

第五步，光刻并蒸发栅金属。

第六步：蒸发背面金属。

本章所用到的测试中，椭偏仪测试使用 UVISEL 公司的光谱 UVISEL 公司椭偏仪，入射光的能量范围 1.5~6.5 eV，测量时采用三角度测量方法^[100]，入射角分别为 65°, 70°, and 75°，数据拟合模型根据 TEM 标定的结果建立。XRD 测试采用小角掠射 X 射线衍射方法（Grazing Incidence X-ray diffraction），因为 ALD 沉积的厚度都是在几十纳米量级，小角掠射测试方法^[125]更适合表征较薄的薄膜。XPS 测试采用了 Thermo SCIENTIFIC ESCALAB 250 spectrometer，装备了单色 $\text{Al}_{K\alpha}$ 源（1486.6 eV），测试时入射角 90°（normal to surface）。C-V 测试使用的 4284A-LCR 测试仪，根据需求测试频率范围从 1 KHz 到 1 MHz。

6.2 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的电学特性

我们使用的 ALD 沉积 Al_2O_3 是以 H_2O 和 TMA 作为前驱反应的。反应腔的压力为 15 mbar 以下，通过 H_2O 和 TMA 的自然蒸气以脉冲交替方式进入腔体，并不断吸附在沉积体 SiC 晶片上发生相应的氧化反应，再通过控制生长周期来调节沉积 Al_2O_3 的厚度。图 6-3 显示了 ALD 沉积 Al_2O_3 的过程。

首次实验，为了了解 ALD 沉积温度对 $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 结构电学特性的影响，总共选取了 4 个温度，250°C、300°C、350°C 和 400°C。由于，实验室只标定了 300°C 时 Al_2O_3 的生长速率，所以所有温度下生长的样品都参照该条件生长了 475 个 cycle，目标厚度 50 nm。图 6-4 显示了薄膜沉积完后，椭偏仪测试的结果。 Al_2O_3 薄膜的折射率（@ $\lambda=632\text{nm}$ ）随沉积温度的变化不大，都在 1.62 到 1.63 之间。但是， Al_2O_3 的生长速率随沉积温度的升高几乎线性下降，这主要是因为 TMA 的热稳定不好，随着反应温度的升高而分解，从而导致腔体内反应物密度下降；另一方面，吸附在晶片表面的 AlOH 和 AlCH_3 等中间产物也会因温度升高而解吸

附^[126]。

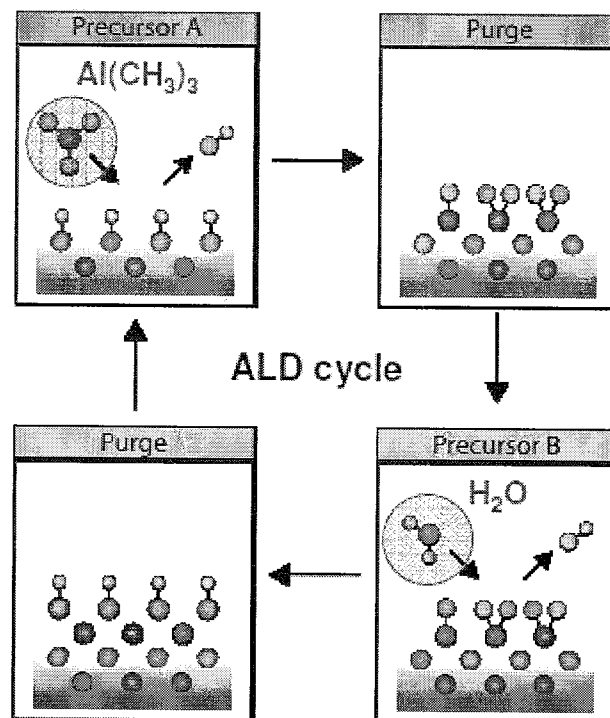


图 6-3 ALD 沉积 Al_2O_3 的过程

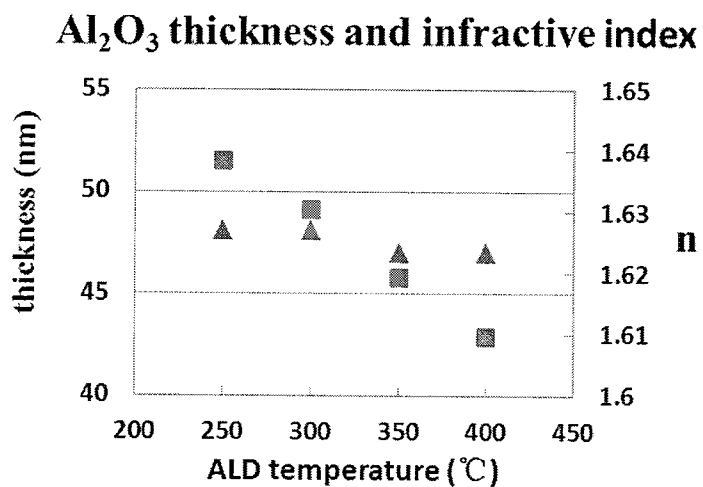


图 6-4 不同温度 ALD 沉积 Al_2O_3 的厚度和折射率 n , 生长周期为 475cycle

参照图 6-2 的工艺流程, 所有的样品都制备成 $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 电容。电容的 C-V 测试结果如图 6-5 所示, 测试频率为 1 MHz, 扫描方向从耗尽 (-10 V) 到积累区 (V_{acc}), 然后又从积累区扫回耗尽区。图 6-5 中只显示从耗尽区扫到积累区单向的 C-V 曲线, 其中积累区最大电压 V_{acc} 从 5 V 开始以 5 V 的间隔递增至 20V, 总共 4 条曲线。

可以观察到,随着沉积温度的升高, $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 电容的 C-V 曲线更加陡直,而 250°C 的样品在水平方向有着明显的伸展,C-V 曲线这种水平方向的拉伸主要是因为界面态引起的,界面态越小,C-V 曲线的陡直性越好。此外,低温沉积的 $\text{Al}_2\text{O}_3/\text{SiC}$ 样品,C-V 曲线在 $0\sim 3\text{ V}$ 处(红框圈起)出现了明显的隆起,这主要是因为深能级缺陷引起的^[80],在 SiO_2/SiC 结构中也有报道^[127]。而 350°C 和 400°C 生长的样品则没有出现这种现象。这意味对于 4H-SiC 衬底而言, 350°C 和 400°C 生长的 Al_2O_3 薄膜能够实现更好地界面特性。考虑到 TMA 的热稳定性,当温度达到 400°C 时 TMA 可能已经部分开始分解,导致 ALD 沉积薄膜速率较慢。因此,本章的后续试验中 Al_2O_3 都是在 350°C 下沉积。

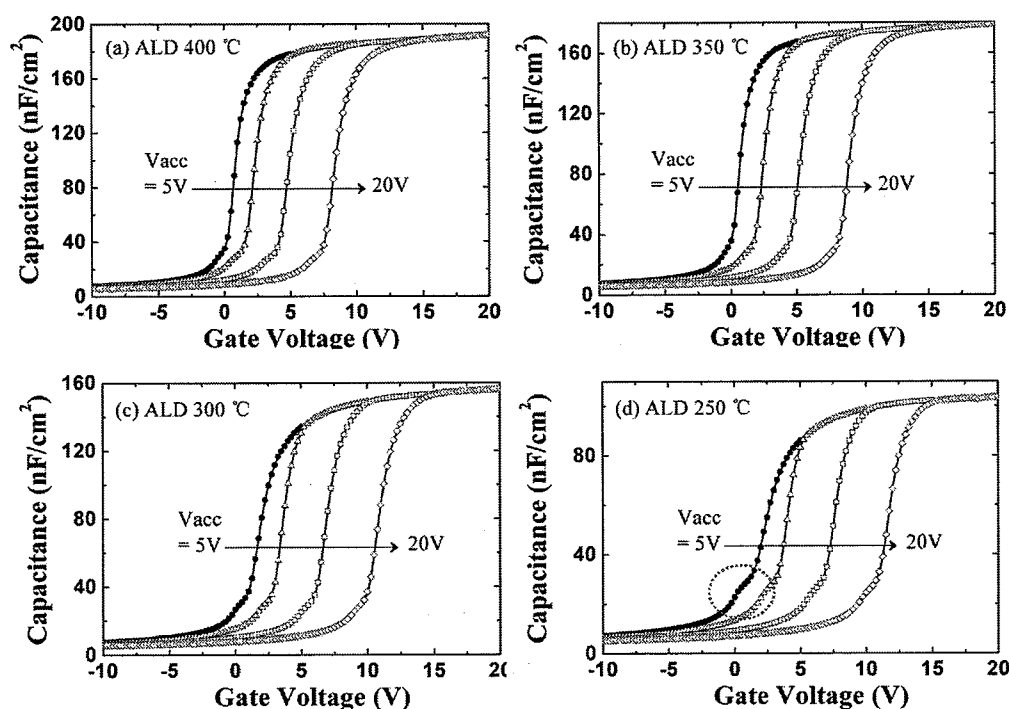


图 6-5 不同温度 ALD 沉积 $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 电容的 C-V 曲线

Al_2O_3 在 SiC 上的应用存在一个十分严重的问题,随着积累区最大电压 V_{acc} 的增大,不同温度下沉积的电容样品都出现了较大的平带电压漂移,如图 6-6 所示。这说明 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构存在着严重的“电子注入”现象,在 Al_2O_3 介质中或者 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面处可能存在着大量的电子陷阱。当栅电极偏置在强积累区的时候,许多缺陷的能级可能位于 SiC 费米能级以下而被电激活,而随着积累区最大电压 V_{acc} 的增大,越来越多的缺陷被激活,这样大量电子就从 SiC 衬底中注入到 Al_2O_3 介质中或者 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面处。在常温下,这些被束缚的电子短时间内无法被释

放到的 Al_2O_3 导带中, 就会以类似负的固定电荷的形式存在, 从而导致电容的平带电压出现严重的正向漂移。图 6-7 显示“电子注入”现象的示意图, 图中假设单能级缺陷均匀分布 Al_2O_3 介质中。

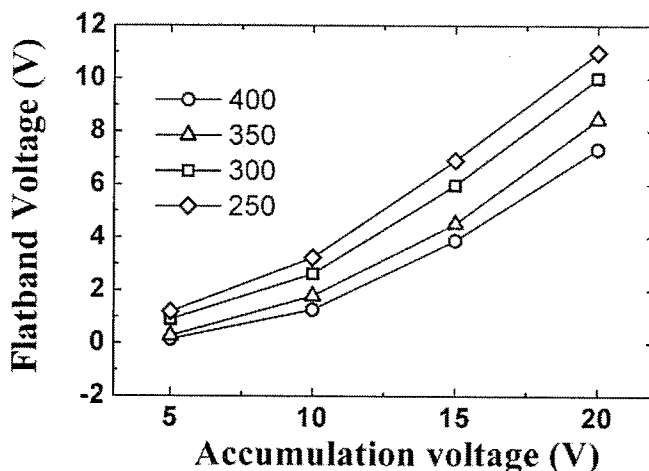


图 6-6 从图 6-5 中提取的 MIS 电容样品的平带电压随积累区最大电压变化的关系

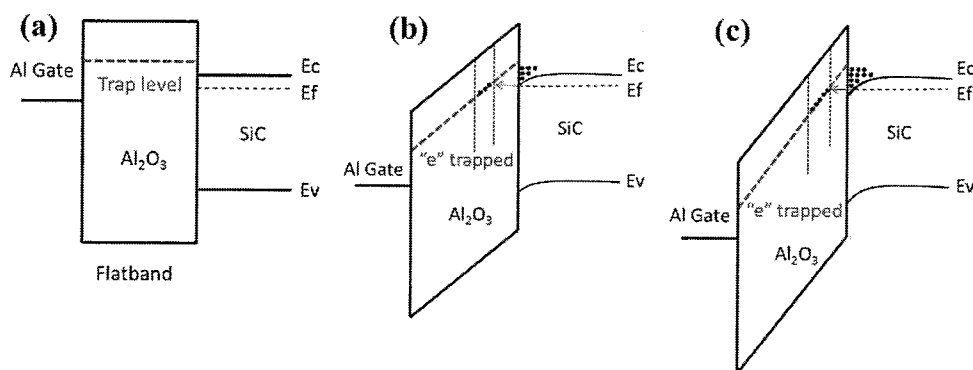


图 6-7 $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 电容中“电子注入”现象的示意图, 假设单能级缺陷均匀分布 Al_2O_3 介质中

针对 350°C 下沉积的样品, 我们进一步测量了 ALD 沉积 Al_2O_3 薄膜的表面粗糙度, 介电常数, 并用电导法提取 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的界面态密度。图 6-8 是 350°C 下 ALD 沉积的 Al_2O_3 薄膜的 AFM 图像, 可以看到采用 ALD 技术沉积的 Al_2O_3 薄膜表面非常平整, 20 nm 厚的其粗糙度的均方根 (RMS) 只有 0.91 nm。

通过沉积不同厚度的 Al_2O_3 薄膜, 并制备出电容, 我们提取了 350°C 下 ALD 沉积的 Al_2O_3 的介电常数。通过 100 KHz 的 C-V 测试在积累区电容 C_{acc} , 可以近似得到氧化层电容 C_{ox} 。如果将 Al_2O_3 介质的栅电容等效成一个平板电容, 那么

等效氧化层厚度 (EOT) 和实际物理厚度 (t_{ox}) 关系如下

$$EOT = \frac{3.9}{\epsilon_{Al_2O_3}} \times t_{ox} \quad (6.1)$$

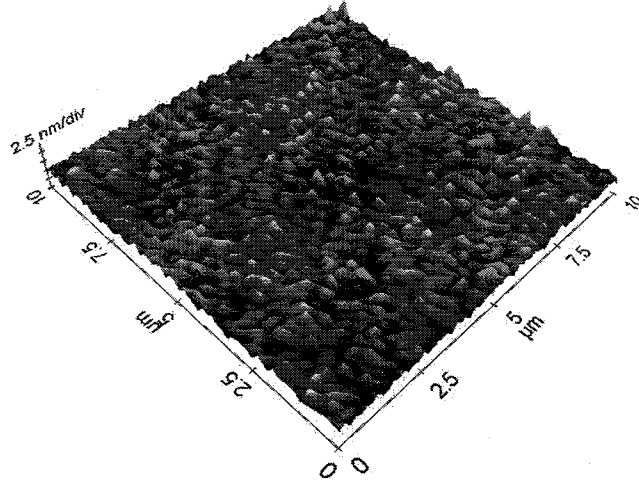


图 6-8 350°C 下 ALD 沉积的 Al₂O₃ 薄膜的 AFM 图像

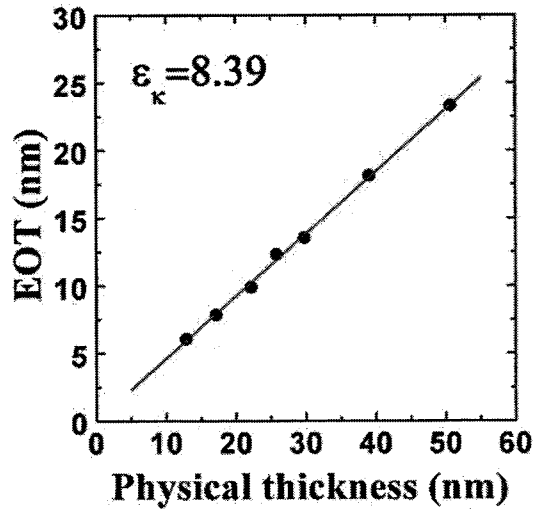


图 6-9 350°C 下 ALD 沉积的 Al₂O₃ 薄膜的 AFM 图像

通过对图 6-9 中 EOT vs. t_{ox} 曲线的线性拟合, 得到的 Al₂O₃ 薄膜的介电常数为 8.39, 约为 SiC 上热氧 SiO₂ ($\epsilon_k \approx 3.5$) 的 2.4 倍。

考虑到 Al₂O₃/SiC 电容中严重的平带漂移, 对电导法测试的影响, 我们选择了一较薄 Al₂O₃ 的样品 (12.9 nm) 提取界面态。C-V 测试的频率从 1 KHz 到 1 MHz, 电压步幅为 0.1V, 扫描范围从 -3 V 到 3 V。不同栅电压偏置下的 G_p/ω -f 曲线如图 6-10 所示, 根据电导法提取的界面态密度在 4H-SiC 能级中的分布显示在图 6-11 中。可以观察到在靠近 4H-SiC 导带处, 界面态密度也才接近 $2 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$,

考虑到我们的 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面还没有经过任何钝化工艺优化,说明通过使用 Al_2O_3 作栅介质对于改善 SiC MOS 的界面还有很大的潜力。

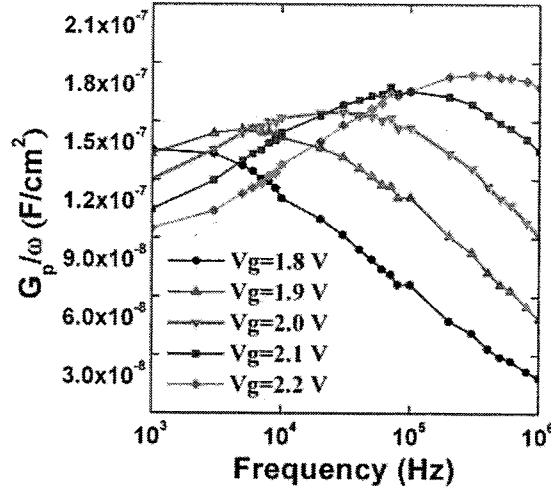


图6-10 12.9 nm $\text{Al}_2\text{O}_3/\text{SiC}$ MIS电容, 不同栅电压偏置下的 G_p/ω -f曲线

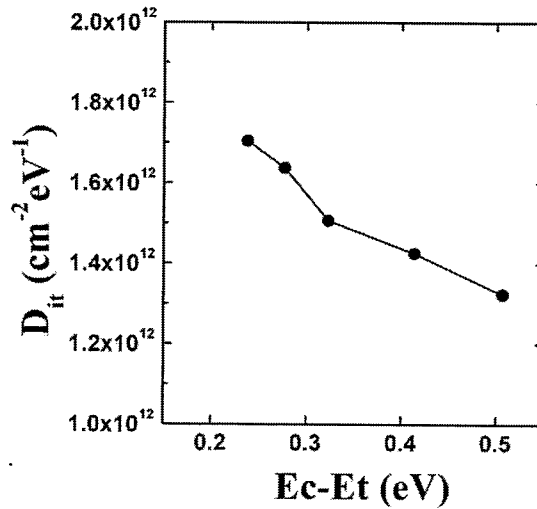


图6-11 根据图6-10数据提取的界面态密度在4H-SiC禁带能级中的分布

6.3 $\text{Al}_2\text{O}_3/\text{SiC}$ MIS 结构的电子注入现象

如前所述, Al_2O_3 具有较高的介电常数 ($\epsilon_k \approx 8.4$), $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的界面态相比于热氧的 SiO_2/SiC 也较低。但是, 要将 Al_2O_3 真正应用于 SiC MOSFETs 器件, 仍需解决 $\text{Al}_2\text{O}_3/\text{SiC}$ 结构中较为严重的“电子注入现象”。我们将从两方面入手, 首先, 利用 C-V 滞回曲线来分析提起电子陷阱的密度和物理分布; 其次, 利用 TEM、RBS 和 XPS 等界面分析手段来分析 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面的物理结构和化学组成, 从而更好地理解这些电子陷阱的起源, 为进一步提升介质界面的质量提

供指导。

6.3.1 电子陷阱分布的 C-V 滞回研究

由于被束缚电子常温下以负的固定电荷形式存在，反应到 C-V 滞回测试中时，会在正向的 C-V 曲线和反向的 C-V 曲线之间形成一个较大的滞回电压。如图 6-12，如果这些电子陷阱主要是在 Al₂O₃ 体介质中分布，那么被注入电子将遵循体分布模式，即均匀地分布在 Al₂O₃ 介质内，所以 C-V 的滞回电压 (ΔV) 和氧化层厚度 (t_{ox}) 之间的关系如下

$$\Delta V = \frac{qQ_{trapped} \times t_{ox}^2}{2\epsilon_0\epsilon_k} \quad (6.2)$$

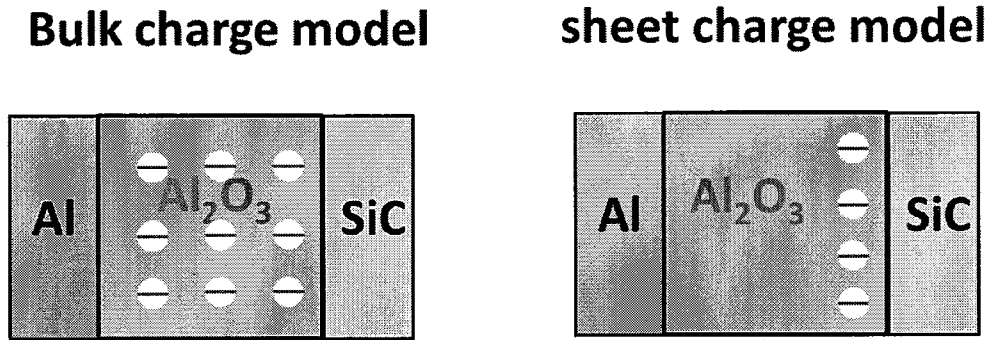


图6-12 电子陷阱电荷的体分布模型和薄层分布模型

其中， ϵ_0 是真空介电常数， ϵ_k 是 Al₂O₃ 的介电常数， $Q_{trapped}$ 是被束缚电子的体密度。如果这些电子陷阱主要是由于 Al₂O₃/SiC 之间界面的过渡层缺陷引起或者 Al₂O₃ 介质中靠近界面处的边界陷阱 (border trap) 引起的，那么陷阱电荷将会分布在界面处或者介质内靠近界面的一个平面内，此时 C-V 滞回电压和氧化层厚度之间将会呈现线性关系

$$\Delta V = \frac{qQ_{trapped} \times t_{ox}}{\epsilon_0\epsilon_k} \quad (6.3)$$

其中， $Q_{trapped}$ 是被束缚电子的面密度。这样，通过测量 C-V 滞回电压随氧化层厚度变化的关系，然后进行数据拟合，我们就可以知道注入电子的浓度和物理分布^[128]。在对 Al₂O₃/SiC 电容的测试中，我们需要确保当 SiC 衬底偏置在强积累区时，Al₂O₃ 厚度不同的各个电容其栅介质中最大电场强度 (E_{max}) 是一样的。因为当 Al₂O₃ 介质中最大电场强度是一样时，积累在 SiC 表面的多数载流子浓度也是一样的，这样针对不同 Al₂O₃ 厚度的电容比较才有意义。其中，栅介质中最大电场

强度和 V_{FB} 之间关系如下

$$E_{\max} = \frac{V_{\max} - V_{FB}}{t_{ox}} \quad (6.4)$$

其中, $V_{\max}$ 是积累区的最大偏置电压。为了确保 $E_{\max}$ 是一致性, 需要准确提取各个电容的 V_{FB} 值。我们在 350℃ 下沉积了不同厚度的 Al_2O_3/SiC , 从 12.9 nm 到 50 nm。首先根据最大最小电容法和微分电容法分别提取了 SiC 外延层的掺杂浓度, Al_2O_3 栅电容 C_{ox} 可以在电容 C-V 曲线的强积累区提取得到。然后, 可以计算 SiC 衬底的平带电容 C_s 。这样, 我们就可以得到 Al_2O_3/SiC 结构总的平带电容 C_{FB} 。然后, 在测试得到的 C-V 曲线中查找该平带电容 C_{FB} 下对应的栅压, 就得到了该电容的 V_{FB} 。图 6-13 显示了提取到的 V_{FB} 随 Al_2O_3 厚度变化的关系。

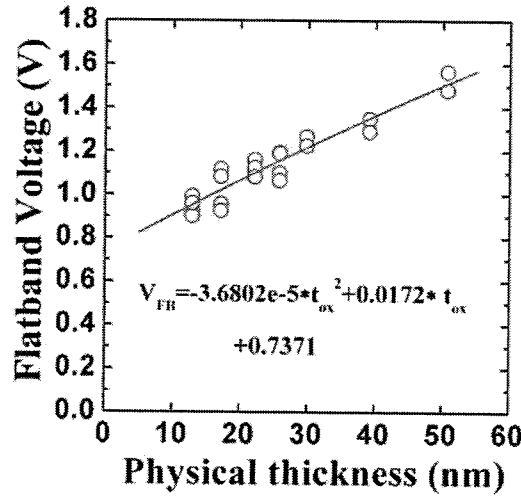


图6-13 Al_2O_3/SiC MIS电容的 V_{FB} vs. t_{ox} 曲线

针对 Al_2O_3 厚度不同的 MIS 电容, 进行了 C-V 滞回测试。每次计算各个电容处于相同 $E_{\max}$ 所需栅电压时, 首先在栅电压中减去了平带电压的分量, 参照公式 6.4。C-V 测试频率为 1 MHz, 总共测试了 4 组不同 $E_{\max}$ 下的 C-V 滞回曲线(3.10, 3.49, 3.87 和 4.26 MV/cm)。以 $E_{\max}=4.26$ MV/cm 为例说明, 如图 6-14, 为了让不同 Al_2O_3 厚度的电容都偏置在该电场强度下, 栅极所需加的最大积累区电压从 6.5 到 23.5 V 之间。然后, 分别提取正扫和反扫两条 C-V 曲线平带电压之差, 即为 C-V 滞回电压。图 6-15 显示了 $E_{\max}=4.26$ MV/cm 时, C-V 滞回电压随 Al_2O_3 厚度变化的关系。

针对 C-V hysteresis vs. t_{ox} 曲线的二次拟合和线性拟合归纳在下表 6-1 中。

对于二次拟合，可以观察到所有的二次项系数都为 0.0016 左右，这意味着不同 $E_{\max}$ 下，所有注入到体介质中的电子密度是相同的。但是，二次拟合中的一次项系数随着 $E_{\max}$ 的增大而迅速增大。这说明被束缚电子主要是分布在靠近 Al₂O₃/SiC 界面处的某个平面内，而不是均匀地分布在整个 Al₂O₃ 介质中的。因此，我们主要使用线性拟合（薄层分布模型）来评估电子注入现象。

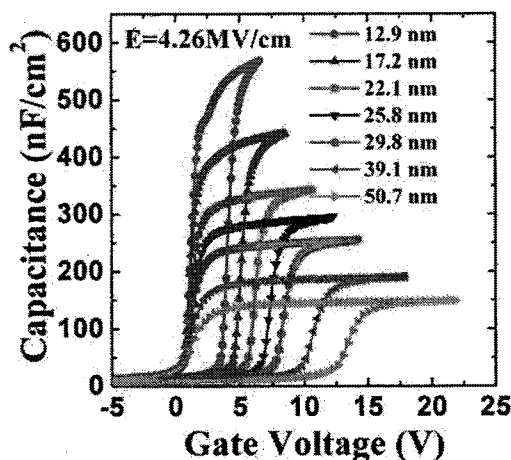


图6-14 不同电容C-V滞回曲线， $E_{\max}$ 为4.26 MV/cm，电压从-5 V扫到 $V_{\max}$ ，然后从 $V_{\max}$ 扫回-5 V

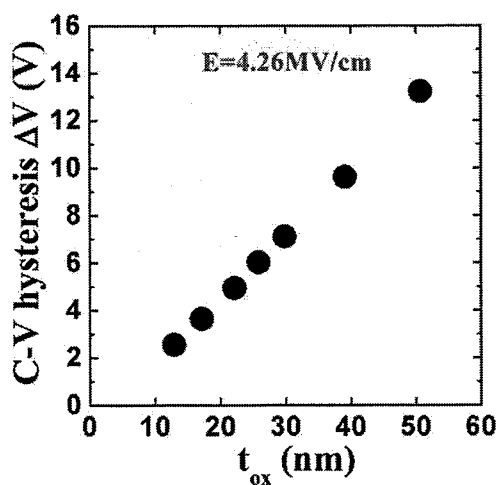


图6-15 Al₂O₃/SiC MIS电容的C-V滞回电压随Al₂O₃厚度变化的关系.

注入电子的面密度 (Q_{trapped}) 可以从线性拟合的斜率中提取， Q_{trapped} 随着 $E_{\max}$ 的增大而增大，在 $E_{\max}$ 为达到最大值 $1.29 \times 10^{13} \text{ cm}^{-2}$ 。这个现象可以这样理解，假设有许多缺陷在平带条件下其能级位置可能位于 4H-SiC 导带上方，而随着栅压的不断增大，这些缺陷的能级可能就降到 SiC 费米能级以下而被激活；同时随

着 SiC 表面能带弯曲的加剧，聚集在 SiC 表面的电子也越来越多，于是大量的电子就被缺陷俘获了。

从表 6-1 中，我们可以发现所有线性拟合的直线都没有过原点，并且与 X 轴在右半轴相交。依据前面的薄层电荷分布的公式 6.3 推导，当注入电子位于界面处时，拟合曲线应当经过原点，这说明这些电子不是恰好注入到 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面处。通过提取线性拟合曲线在 X 轴上的截距，可以得到电子在 Al_2O_3 中的等效注入深度。对于 $E_{\max}$ 从 3.10 到 4.26 MV/cm，注入深度分别为 3.53, 3.19, 3.29, 和 3.69 nm。所以，我们可以推断大部分束缚电子并没有分布在 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面处，而是位于 Al_2O_3 中靠近界面处的某个面上。

表 6-1 C-V hysteresis vs. t_{ox} 曲线的拟合结果

$E_{\max}$ (MV/cm)	Quadratic fit	Linear fit	Q_{trapped} (cm^{-2})	Depth (nm)
4.26	$0.0016x^2+0.1801x+0.2954$	$0.2789x-1.0219$	1.29×10^{13}	3.69
3.87	$0.0015x^2+0.1453x+0.4572$	$0.2378x-0.7827$	1.10×10^{13}	3.29
3.49	$0.0016x^2+0.1042x+0.6794$	$0.2033x-0.6489$	0.94×10^{13}	3.19
3.10	$0.0016x^2+0.0745x+0.7465$	$0.1765x-0.6209$	0.81×10^{13}	3.53

6.3.2 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面的能带结构和化学组成

$\text{Al}_2\text{O}_3/4\text{H-SiC}$ 的能带对准结构可以通过 X 射线光电子能谱测试得到。采用 Kraut 方法^[129]，首先计算价带能隙补偿。根据该方法，在 Al_2O_3 沉积的前后，对 SiC 衬底而言，其价带边缘 (valence band edge) 和核心能级 (core level) 的能量间隔不会改变，其公式为

$$\Delta E_V = (E_{\text{Si}2p}^{\text{SiC}} - E_{\text{VBM}}^{\text{SiC}}) - (E_{\text{Si}2p}^{\text{Al}_2\text{O}_3/\text{SiC}} - E_{\text{Al}2p}^{\text{Al}_2\text{O}_3/\text{SiC}}) - (E_{\text{Al}2p}^{\text{Bulk-Al}_2\text{O}_3} - E_{\text{VBM}}^{\text{Bulk-Al}_2\text{O}_3}) \quad (6.5)$$

其中，Si 2p_{3/2} and Al 2p_{3/2} 分别被选为 SiC 衬底和 Al_2O_3 介质核心能级的参照物。价带最小值 (Valence band maximum) 可以通过 XPS 全谱的线性外插法求出。图 6-16 (a) 中显示了 15 nm Al_2O_3 的 XPS 光谱，可以得到 $E_{\text{Al}2p}^{\text{Al}_2\text{O}_3} = 74.01 \text{ eV}$ ，以其为参照可以得到 Al_2O_3 体材料的价带最小值 $E_{\text{VBM}}^{\text{Al}_2\text{O}_3} = 3.05 \text{ eV}$ 。图 6-16 (b) 是 SiC 上 2 nm 的 XPS 光谱，可以得到 $E_{\text{VBM}}^{\text{Al}_2\text{O}_3} = 3.05 \text{ eV}$ 。由于，我们没办法立即对清洗后 SiC 衬底进行 XPS 测试，所 SiC 衬底的 XPS 数据引自文献^[130]，其中

$E_{Si2p}^{SiC} = 100.40 \text{ eV}$, $E_{VBM}^{SiC} = 1.92 \text{ eV}$ 。Al₂O₃/4H-SiC 的价带补偿是 1.47 eV 。Al₂O₃ 的禁带宽度通过 O 1s 的 energy loss spectra^[131], 如图 6-16 (c), 约为 $6.5 \pm 0.1 \text{ eV}$ 。这样, Al₂O₃ 的导带能隙补偿可以通过以下公式得到

$$\Delta E_C = E_g^{Al_2O_3} - E_g^{SiC} - \Delta E_V \quad (6.6)$$

约为 1.8 eV 。最终得到的 Al₂O₃/4H-SiC 的能带对准结构如图 6-16 (d) 所示, 相对于 SiO₂/4H-SiC 2.8 eV 的带能隙补偿, Al₂O₃/4H-SiC 结构降低了 1 eV , 电子注入的势垒高度也随之降低, 电子很容易就注入到介质中去了。

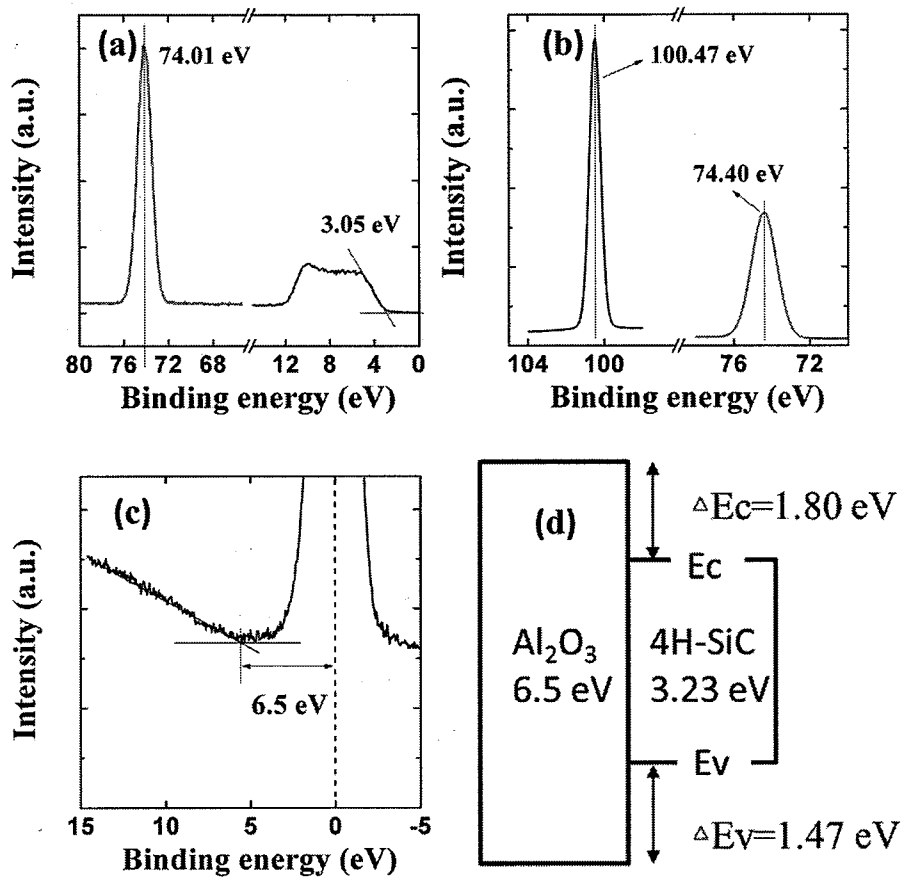


图6-16 XPS spectra of (a) a 15 nm Al₂O₃ film, and (b) a 2 nm Al₂O₃ film on 4H-SiC substrate. (c) The O 1s peak and inelastic scattering loss for a 15 nm Al₂O₃ film. (d)

Al₂O₃/4H-SiC的能带对准结构.

我们也分析了 Al₂O₃/SiC 界面处的微观结构和化学组成, 来推测电子陷阱的可能来源。图 6-17 显示了 Al₂O₃/4H-SiC 界面处的 TEM 图像, ALD 沉积 Al₂O₃ 的为非晶结构, 在 Al₂O₃ 和 SiC 衬底之间观察不到明显的界面过渡层。通过卢瑟

福背散射 (Rutherford Back Scattering) 进一步分析了界面处的化学成分, 可以观察到界面处各元素的过渡在 1 个纳米以内, 如图 6-18 所示。考虑到 C-V 滞回测试中, 电子的注入深度在 3~4 个纳米之间, 实际上是远离界面的。

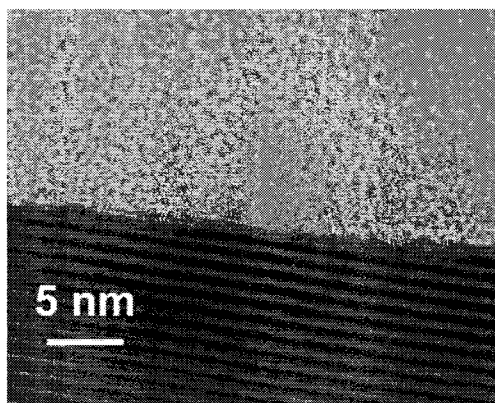


图 6-17 $\text{Al}_2\text{O}_3/4\text{H-SiC}$ 界面处的 TEM 图像, 厚度为 21.6 nm

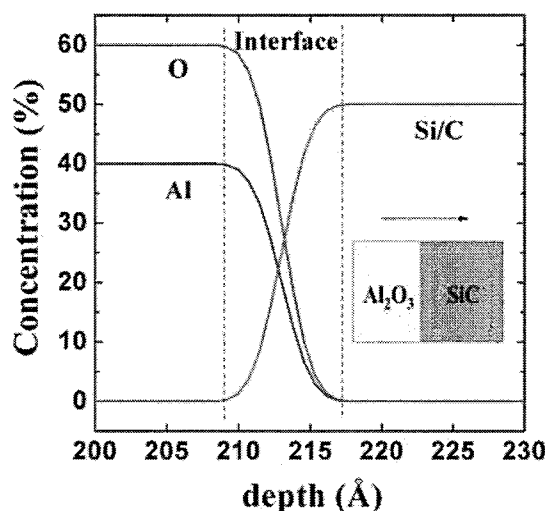


图 6-18 $\text{Al}_2\text{O}_3/4\text{H-SiC}$ 结构的化学成分随深度变化的关系

对于界面处的 XPS 分析, 考虑到自旋轨道分裂^[99], $\text{Al } 2p$ 的峰被分为 $\text{Al } 2p_{3/2}$ 和 $\text{Al } 2p_{1/2}$, 能量差为 0.41 eV, 强度比为 2:1。图 6-19 (a) 显示 SiC 上 2 nm Al_2O_3 的 $\text{Al } 2p$ 的 XPS 光谱, 刚好被分解为对应于 Al_2O_3 的两个高斯峰。但这并不意味着介质中不存在和 Al 相关的缺陷, 考虑到电子陷阱的面密度约为 $1 \times 10^{13} \text{ cm}^{-2}$, 而 Al_2O_3 中 Al 的面密度约为 $6.94 \times 10^{16} \text{ cm}^{-2}$, 这实际上已经超出了 XPS 测试的精度。 $\text{Si } 2p$ 的峰也被分为 2 个组分, 其中一个来源于 SiC 衬底中的 Si 原子, 另外一个来源于界面处中间氧化态的 Si 原子 (Si^{1+})。在 ALD 沉积工艺中, Al_2O_3 层和 SiC 最表层的 Si 原子的是通过 O 原子桥连接起来的, 这种 O 原子桥在 $\text{Al}_2\text{O}_3/\text{Si}$

界面也出现过^[132]。所以, Si 原子的 1+键起源于界面处的 Si-O-Al 键^[133]。没有发现其他的 Si 的低价氧化物, 与 TEM 的结果一直, $\text{Al}_2\text{O}_3/\text{SiC}$ 的界面十分陡峭。

基于以上结果, 我们推断 $\text{Al}_2\text{O}_3/\text{SiC}$ 的界面良好, 在 ALD 沉积过程中没有形成界面过渡层。其中电子陷阱主要来源于 Al_2O_3 中的缺陷, 特别是靠近界面处的边界陷阱 (bordre trap)。因此, 还需进一步提高 Al_2O_3 介质的质量。

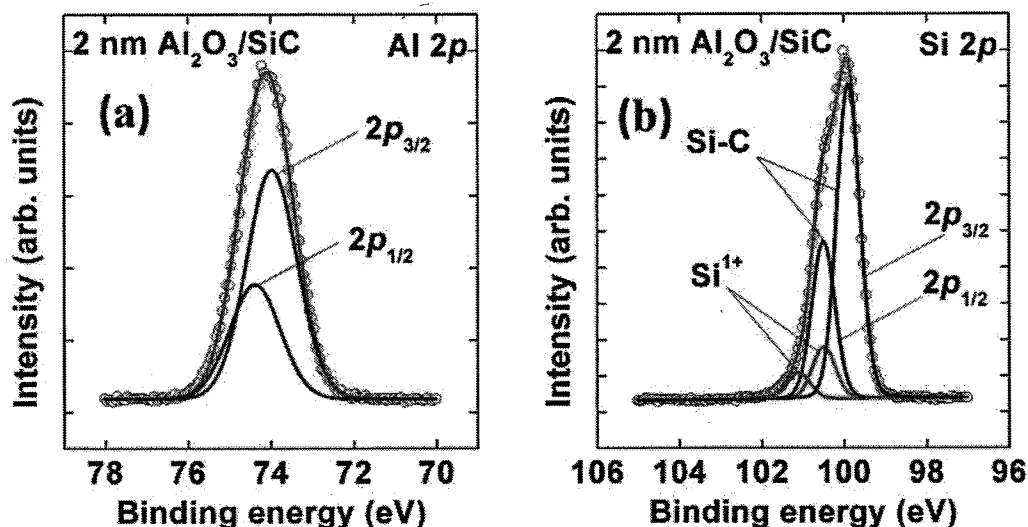


图 6-19 4H-SiC 衬底上生长 2nm Al_2O_3 , (a) Al 2p 的 XPS 光谱,
(b) Si 2p 的 XPS 光谱

6.4 退火工艺对 $\text{Al}_2\text{O}_3/\text{SiC}$ 界面和介质的影响

我们使用的 ALD 沉积 Al_2O_3 是以 H_2O 和 TMA 作为反应前驱的。TMA ($\text{Al}(\text{CH}_3)_3$) 是含有金属的有机物, 在 ALD 沉积过程中 TMA 不可能和 H_2O 完全反应, 将会有部分 CH_3 残留在 Al_2O_3 薄膜中。通过 XPS 测试发现了明显的 C 的峰, Al_2O_3 含碳量在 2-3% 左右, 所以 ALD 沉积的 Al_2O_3 处于缺氧状态。这些有机杂质一般是可以通过 N_2 环境下退火, 以气体形式离开 Al_2O_3 薄膜。我们对 Al_2O_3 薄膜进行了 400°C 到 800°C 的 N_2 退火, C-V 曲线仍存在较大的滞回, 说明这些有机杂质不是形成电子缺陷的主要来源。此外, 我们也尝试用 FGA 退火来改善介质特性, C-V 曲线还是存在较大的滞回, 这说明界面的悬挂键也不大可能是这些电子陷阱的来源。ALD 沉积的 Al_2O_3 由于处于缺氧状态, 因而内部可能存在大量的氧空位, N_2 (H_2) 环境下的热退火不能补偿氧空位。考虑到 O_2 在 Al_2O_3 中的扩散速率很低, 下面我们将采用高温 O_2 退火来改善 ALD Al_2O_3 介质的性能。

图 6-20 (a)-(d)显示了直接沉积和退火后 Al_2O_3 薄膜表面的 AFM 图像。随着退火温度的升高，表面晶粒的尺寸明显增大，表面粗糙度也随之增大。当退火温度达到 1000°C 时， Al_2O_3 薄膜表面开始起泡，如图 6-20 (d) 所示。这主要是因为存在的薄膜中存在碳氢有机杂质，高温退火时以气体的形式从薄膜中溢出。另外，对于厚的 Al_2O_3 薄膜，在高温下 Al_2O_3 会发生气态的解吸附，从而导致 Al_2O_3 薄膜部分位置出现分层，这个过程也可能导致 Al_2O_3 表面起泡^[134]。

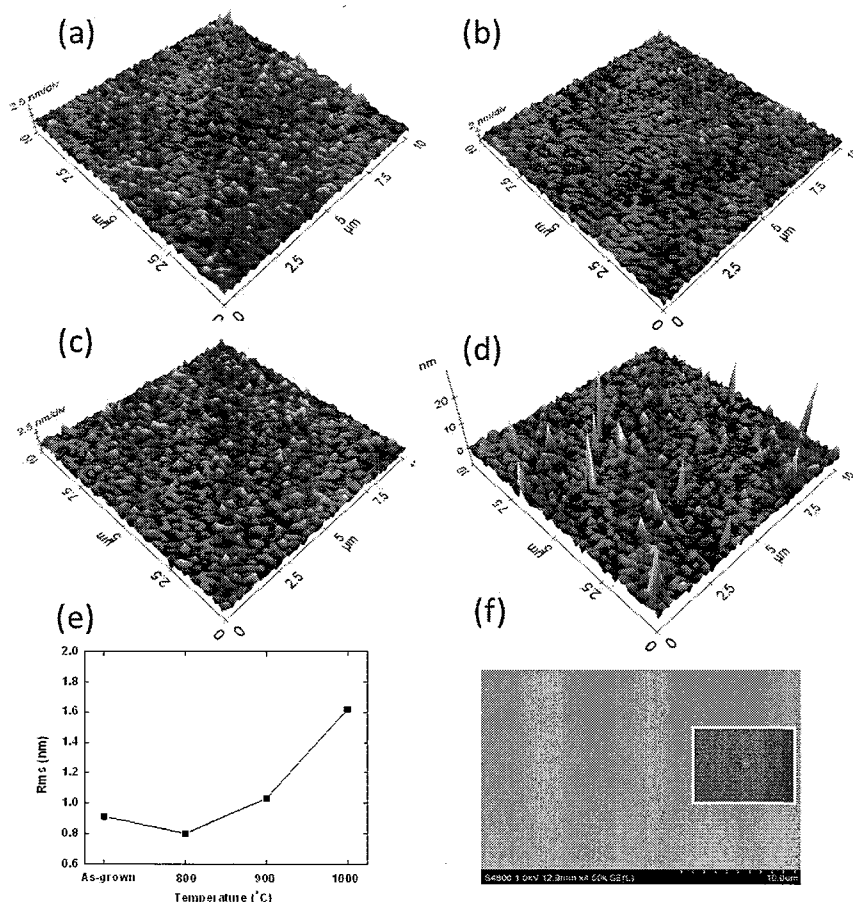


图 6-20 ALD Al_2O_3 薄膜的 AFM 图像, (a)直接沉积的, (b)800 $^\circ\text{C}$ 退火 30 min, (c) 900 $^\circ\text{C}$ 退火 30 min, (d) 1000 $^\circ\text{C}$ 退火 30 min, (e) Al_2O_3 薄膜表面粗糙度的 RMS 随退火温度变化的关系, (f) 1000 $^\circ\text{C}$ 退火 Al_2O_3 薄膜的 SEM 图像,内插图显示了 Al_2O_3 薄膜表面泡泡的放大图像

椭偏仪测试结果如图 6-21 所示。直接沉积的 Al_2O_3 薄膜厚度为 19.3 nm; 800 $^\circ\text{C}$ 、900 $^\circ\text{C}$ 和 1000 $^\circ\text{C}$ 退火后, Al_2O_3 薄膜厚度分别为 17.0, 18.8, and 20.3 nm。对于 800 $^\circ\text{C}$ 样品, 直接沉积的疏松的 Al_2O_3 薄膜开始变得致密, 因而薄膜厚度减小。当温度继续上升时, O 原子可能开始被吸收到 Al_2O_3 中, 因此薄膜的厚度开始增加。同时, Al_2O_3 薄膜的介电常数也随着退火温度的升高而逐渐增大, 这说

明随着退火过程中非晶的 Al_2O_3 的结构特性也在发生变化。

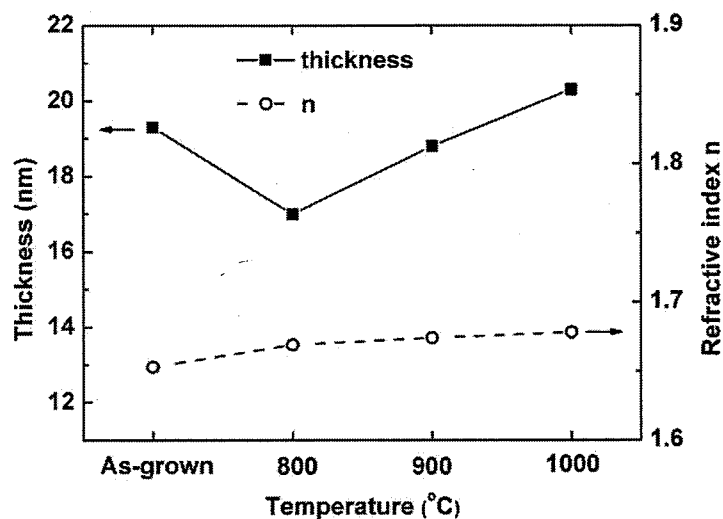


图 6-21 ALD- Al_2O_3 薄膜厚度随退火温度的变化关系(左轴), Al_2O_3 薄膜的折射率随退火温度变化的关系(右轴)

Al_2O_3 薄膜的结构特性可以使用 X 射线衍射手段来分析, 如图 6-22 所示。直接沉积的 Al_2O_3 薄膜和 800°C 退火的 Al_2O_3 薄膜都没有发现明显的衍射峰, 说明它们处于非晶状态。对于 900°C 退火的薄膜, 在 $2\theta \approx 66.5^\circ$ 处, 开始出现类似 $\gamma\text{-Al}_2\text{O}_3$ 的衍射峰, 意味着非晶结构的 Al_2O_3 薄膜开始向多晶状态开始转变^[135]。当退火温度上升到 1000°C 时, 衍射峰的强度增大, 半高宽 (full width at half maximum) 减小。因此, Al_2O_3 薄膜的结晶程度随着退火温度上升增强了, 这与折射率的数据相吻合。根据 XRD 测试, 我们发现 800°C 到 900°C 退火温度区间, 是 ALD 沉积的非晶 Al_2O_3 薄膜开始向多晶转化的临界区间。

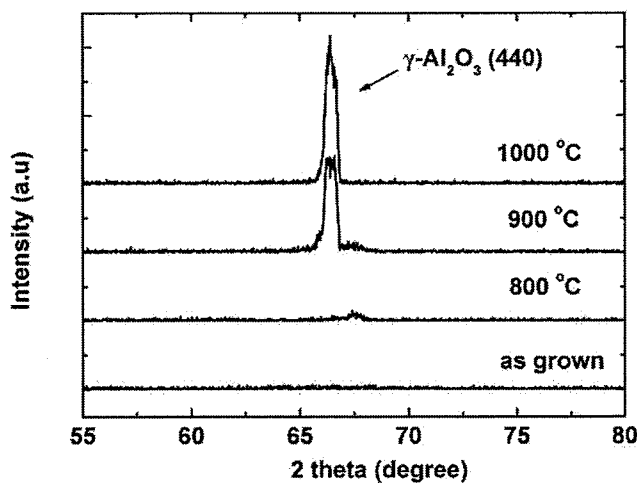


图 6-22 ALD- Al_2O_3 薄膜的小角掠射 X 射线衍射谱

1 MHz 的 C-V 滞回测试结果如图 6-23 所示。可以看到, 800℃退火样品 C-V 曲线仍有较大的滞回。900℃和 1000℃退火的样品, C-V 滞回得到了明显的抑制, 滞回电压分别为 0.1 V 和 0.06 V; 同时, C-V 曲线整体开始往左偏移。800℃、900℃和 1000℃退火 $\text{Al}_2\text{O}_3/\text{SiC}$ 电容, 在 SiC 导带下 0.2 eV 处的界面态密度分别为 1.7×10^{12} , 0.80×10^{12} , $0.81 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 。这意味着, 经过高温退火后, Al_2O_3 介质的性能和 $\text{Al}_2\text{O}_3/\text{SiC}$ 电容的界面特性都得到了改善。这主要是因为高温退火中, Al_2O_3 的开始结晶, 材料结构特性发生改变, 同时 O_2 氛围下的退火有助于消除介质中氧空位缺陷。

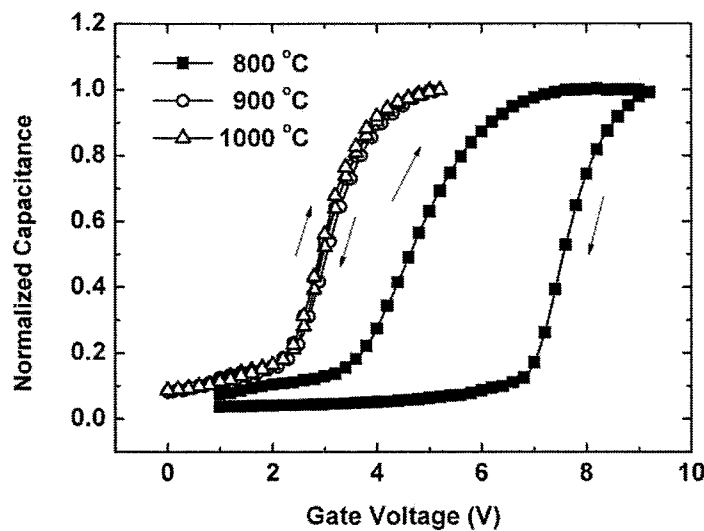


图 6-23 退火电容样品 1 MHz 下归一化 C-V 滞回曲线

6.5 本章小结

本章主要介绍了 ALD Al_2O_3 薄膜在 SiC MOS 中的应用。我们 ALD 沉积的 Al_2O_3 为非晶态, 介电常数 8.39, 禁带宽度约为 6.5 eV, 相比于其他高 k 介质, 更适合用于宽禁带材料 SiC 的栅介质。

C-V 测试显示 $\text{Al}_2\text{O}_3/\text{SiC}$ 的界面态密度在 4H-SiC 导带下 0.2 eV 约为 $10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 量级, TEM 和 XPS 测试显示界面处没有过渡层和 Si 的低价氧化物生成, $\text{Al}_2\text{O}_3/\text{SiC}$ 的界面十分陡峭。

由于 Al_2O_3 相对于 4H-SiC 的导带带隙补偿只有 1.8 eV, $\text{Al}_2\text{O}_3/\text{SiC}$ 结构的电子注入现象很严重。通过, C-V 滞回测试分析, 我们发现这些电子陷阱主要分布在 Al_2O_3 介质中靠近界面 3~4 nm 的处, 所以这些电子陷阱主要来源于 Al_2O_3 中

的缺陷，特别是靠近界面处的边界陷阱。

通过 O_2 高温退火能够改善介质和界面的性能。但是，在退火的过程中，由于 Al_2O_3 薄膜内有碳氢有机杂质残留，会以气态的形式释放出来，造成 Al_2O_3 薄膜表面出现泡泡。另一方面，在退火的过程中 ALD 沉积的非晶 Al_2O_3 在 800°C 以后开始结晶，会导致介质中出现新的漏电沟道。

因此，为了将 Al_2O_3 薄膜在真正应用在 SiC MOSFETs 器件中，还需优化 ALD 沉积 Al_2O_3 的工艺，提高生长出来薄膜的质量。

第七章 总结和展望

在 SiC MOSFET 器件中,制作性能良好的 MOS 界面一直以来都是研究重点和难点。这主要是由于在 SiC MOS 栅氧的形成过程中,碳元素在 SiO_2/SiC 界面处的残留带来严重的界面态问题,制约了 SiC MOSFET 器件性能和可靠性。采用氮化的钝化工艺是目前解决该问题的主要途径,当前 SiC 领域主流研究机构和商业公司都是通过氮化处理提升 SiC MOSFET 器件迁移率。此外,采用沉积介质取代 SiC 热氧工艺形成栅介质,从而避免 SiC MOS 界面处的高界面态密度,也是目前解决该问题的一个重要研究方向。本论文针对 SiC MOSFET 器件研究中的重点难点问题,在介质/SiC 界面研究和 SiC MOSFET 器件制作的关键工艺两个方面开展了研究工作,紧密结合基础理论研究和工艺技术开发,为高性能、高可靠 SiC MOSFET 栅氧工艺攻关提供重要理论和技术支撑,促进 SiC MOSFET 器件的产品化进程。本文的目的是为我国 SiC MOSFET 器件研究在 MOS 界面和关键工艺两个方面提供技术方案。

7.1 论文总结

本论文主要针对介质/SiC 界面调控和 SiC MOSFET 器件制作的关键工艺进行了细致研究,研究内容包括:SiC 高温热氧和 POA 退火, SiO_2/SiC 界面 N/H 钝化机理、钝化工艺对栅介质可靠性的影响、SiC 材料刻蚀、P/N 型欧姆接触、离子注入高温激活等 MOSFET 器件涉及到的关键问题与关键工艺,以及 ALD Al_2O_3 在 SiC 中的应用。

本文取得的主要研究成果和创新点如下:

(1) 基于工业级的 centrotherm 氧化炉,开发出一套稳定的 SiC 高温热氧和 POA 退火工艺,有效地降低氧化过程和降温过程中缺陷的生成,为制备高性能的 SiC MOS 界面夯实了基础。

(2) 开展了 SiO_2/SiC 界面氮化处理研究,率先通过低温电导法准确的表征氮化后界面处的快界面态的分布,为理解氮化的作用机制提供指导,并揭示了阻碍氮化进一步提升迁移率的主要因素。

(3) 开展了 NO 和 FGA 结合钝化界面的研究。通过在 NO 处理后,再引入 FGA 退火,进一步钝化氮化后生成的 Si 和 C 的悬挂键,有效地降低靠近 SiC 带

隙中间的深能级缺陷在 $E_C-E_T \geq 0.4$ eV 处, 界面态密度被进一步降到了 $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下。

(4) 研究了钝化工艺对 SiO_2 栅介质可靠性的影响。相比于 NO 退火, FGA 退火更能有效地降低介质中的缺陷。通过 NO 和 FGA 退火工艺的结合, 在改善界面特性的同时, 也能显著地提高栅介质的质量, 介质击穿场强超过 10 MV/cm , 势垒高度达到 2.70 eV , 击穿电荷也提升了 2 个量级。

(5) 成功开发了 SiC MOSFET 器件涉及到的关键技术, 为保障器件的制作和器件的应用打下了良好基础。主要包括:

- 基于 ICP 刻蚀设备, 通过研究不同刻蚀参数对 SiC 刻蚀速率、刻蚀选择比、微沟槽的消除的影响, 最终获得了高刻蚀速率, 高陡直性, 高刻蚀选择比, 无微沟槽且底脚圆滑的 SiC 刻蚀工艺条件, 并成功应用到了 SiC 标记刻蚀和隔离刻蚀中。

- 通过优化金属体系组分比例、离子注入激活条件和退火条件, 成功开发了适合 SiC DMOSFET 器件的同时形成 P/N 型欧姆接触方案。

- 在离子注入高温激活退火工艺中, 通过高温碳化处理的方法在 SiC 表面制备碳膜。碳膜能够作为阻挡层抑制退火过程中 SiC 表面处 Si 的升华和再沉积过程, 从而避免表面变得过于粗糙, 有效改善晶片表面形貌, 提升器件性能。

(6) 在国内率先研制成功 SiC VDMOSFET 和 LDMOSFET 器件, 其栅介质采用氮化处理, 场迁移率峰值达到 $11.4 \text{ cm}^2/\text{Vs}$, 接近商业化 SiC MOSFET 器件水平。

(7) 开展了 Al_2O_3 高 k 介质在 SiC 上的应用。ALD 沉积的 Al_2O_3 介电常数 8.4, 禁带宽度 6.5 eV , Al_2O_3 和 SiC 之间没有过渡层, 界面态约为 $10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 量级, 界面特性良好。研究发现, Al_2O_3 介质中靠近 SiC 边界处存在很多电子陷阱, 导致严重的电子注入现象。通过 O_2 高温退火有效地降低 Al_2O_3 介质中的缺陷, 抑制了电子的注入。

7.2 下一步工作

虽然本论文在介质/SiC 界面钝化机理和 SiC MOSFET 器件制备的研究中做了大量工作, 并成功制作完成 SiC MOSFET 器件, 但是还存在着不足之处, 主要包括:

- 1) 虽然通过低温电导法测试, 准确表征了氮化处理后界面处的快界面态,

发现这是制约氮化工艺提升 SiC MOSFET 迁移率的主要因素。但是,对于这些氮化过程中生成的快界面态的具体起源并不清楚。

2) 通过 NO 和 FGA 退火的结合,可以有效地提升介质的可靠性,也能显著降低靠近 SiC 带隙中间的深能级缺陷,但是对于浅能级缺陷作用不明显。

3) 从我们制备的 MOSFET 器件中提取的迁移率来看,器件的制备工艺仍需优化,以减少对界面的影响,尤其是我们的氮化工艺仍需优化。

4) $\text{Al}_2\text{O}_3/\text{SiC}$ 结构本身具有良好界面特性,但是 Al_2O_3 介质中的缺陷制约了 Al_2O_3 的应用,优化 ALD 沉积 Al_2O_3 的工艺,提高生长出来薄膜的质量是急需解决的问题。通过 O_2 高温退火能够减少 Al_2O_3 介质中的缺陷,但是退火过程中 Al_2O_3 会由非晶向多晶转变。这说明 Al_2O_3 材料本身的热稳定性能否经受 SiC MISFET 器件欧姆合金高温的考验也是需要考虑的问题。

国内目前在 SiC MOSFET 器件研究领域与国际先进水平差距仍然较大,未来的研究中亟需在以下几点取得突破:

1) 明确氮化过程中快界面态的生成机制,为进一步优化氮化工艺提供理论和技术上的指导。

2) 以 Cree 为代表的国外公司和研究机构都已经开展了针对 SiC MOS 的新一代钝化技术的研究。除了目前已经成熟的氮化工艺,我们也应该立即启动碱金属 (Rb、Cs) 和碱土金属 (Ca、Sr、Ba) 等新型钝化技术的研究工作。

3) 进一步优化 SiC MOSFET 器件的制备工艺。如提升离子注入的激活水平,优化欧姆合金工艺降低退火过程中对介质的影响。

4) 高 K 介质单独在 SiC 功率器件上的应用,目前来看希望不大。提高生长出来厚介质的质量仍是亟待解决的问题。采用复合结构,插入 SiO_2 介质是未来的可行性方案之一。

相信在不远的将来,在各研究单位的通力合作之下,我国 SiC MOSFET 器件研究必会取得长足的进步,我国的 SiC 产业必将会在国际上拥有自己的一席之地。