

密级:_____

中国科学院研究生院

博士学位论文

纳米相变存储单元的数值模拟研究

作者姓名: _____ 龚岳峰

指导教师: 宋志棠 研究员 中科院上海微系统与信息技术研究所

饶峰 副研究员 中科院上海微系统与信息技术研究所

学位类别: _____ 工学博士

学科专业: _____ 微电子学与固体电子学

培养单位: _____ 中国科学院上海微系统与信息技术研究所

二〇一二年五月

Modeling and Simulation of Phase Change Random Access
Memory

By

Yuefeng Gong

A Dissertation Submitted to

Graduate University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Doctor of Engineering

**Shanghai Institute of Microsystem And Information Technology,
Chinese Academy of Sciences**

May, 2012

致谢

本论文是在宋志棠研究员和饶峰副研究员的悉心指导下经行的,在其即将完成之际,我要感谢过去五年多的时间里所有给予我关心和帮助的人们。

衷心的感谢我的导师宋志棠研究员,他不仅知识渊博,思路清晰,而且严于律己的同时不断鞭策我们勇攀科学技术的高峰。五年里,他用他最大的努力为我们创造了优越的科研条件,给我们提供了施展才华的舞台,让我受益终身。尤其是他对事业的献身精神,将值得我终生学习。在此谨向恩师致以崇高的敬意和衷心的感谢。

特别感谢饶峰副研究员。在读博期间,他们不仅培养我严谨勤奋的治学态度,传授我大量知识和技能,还在生活上给予我无微不至的关怀。本论文的顺利完成离不开他的悉心指导,在此谨向饶峰副研究员致以最衷心的感谢。

感谢凌云老师、刘波老师、陈后鹏老师、陈小刚老师、蔡道林老师、吴良才老师、刘卫丽老师、王莉莉老师在工作中的关心和指导,感谢实验室张挺博士、冯高明博士、徐成博士、梁爽硕士、钟旻博士、王良咏博士、吕士龙博士、汪海波博士、刘旭炎博士、张泽芳博士、李学来博士、丁晟博士、富聪博士、陈一峰博士、杜小锋博士、顾怡峰博士、许林海博士、宏潇博士、刘燕博士、李喜博士、程丽敏博士、彭程博士、何敖东博士、吕业刚博士、任堃博士、周夕淋博士、朱敏博士、李俊涛博士、张徐硕士等在学习生活上的帮助。感谢实验室的支撑人员沈勤我老师、郭晓慧、徐彦华、殷伟君、姚栋宁和祝圆祺。感谢研究生部余翔波老师的辛勤付出,感谢中国科学院上海微系统所给我提供了优越的研究环境,也感谢中国科学院研究生院。

二十多年求学生涯一路走来,感谢所有老师的谆谆教诲。

感谢为我付出一切的父母。你们的平安快乐是我最宝贵的财富。

相变存储器器件单元数值模型与模拟研究

龚岳峰（微电子学与固体电子学）

指导老师：宋志棠 研究员

饶峰 副研究员

摘要

相变存储器（Phase Change Random Access Memory, PCRAM）器件单元在纳米尺度下的快速阻变和可逆相变过程是一个复杂的瞬态物理过程，受到电场，温度场，结晶动力学和应力等因素综合影响。由于纳米尺度下很难表征纳秒级瞬态微观结构和动力学过程，因此数值模拟成为研究 PCRAM 的必要手段。通过数值模拟，可以获得器件操作中的各种物理图像，从而指导优化器件单元结构和材料，提高产品开发效率。

本论文基于有限元电热模型模拟了 PCRAM 单元 RESET 操作中的电阻快速变化过程。并通过分析底电极直径为 260nm 和 130nm 的 PCRAM 器件单元的测试结果，校准了模型。我们基于有限元 JMAK（Johnson-Mehl-Avrami-Kolmogorov）结晶模型模拟了电流操作和电压操作下的 SET 模型，成功描述了 PCRAM 单元在 SET 操作中的结晶过程和可逆相变过程，并且提出了实现 SET 操作的最短脉宽，指导 PCRAM 工程化中读写脉宽设计。PCRAM 编程操作中巨大的变温速率使得热应力影响器件单元可靠性，本论文基于有限元热应力模型计算出 PCRAM 器件单元在编程操作过程中的热应力分布，发现下电极和相变材料接触面处的热应力最大，为指导 PCRAM 工程化中提升器件稳定性提供理论指导。

PCRAM 编程操作中的热效率直接影响 PCRAM 器件单元操作功耗，因此本论文利用瞬态电热模型，计算出器件单元编程过程中的瞬态电场和温度场分布，设计优化了一系列新型器件结构：环形电极（Ring in bottom electrode, RIB）结构，底电极凸出（Protruding bottom electrode, PBE）结构，环状 GST（Ring in $\text{Ge}_2\text{Sb}_2\text{Te}_5$, RIG）结构和稳定阈值电压器件。并研究了相变材料形貌（厚度，宽度和倾斜角）对器件单元功耗的影响，得到增大相变材料厚度和倾斜角有利于降低功耗的结论，指导了工艺制造低功耗高可靠性的器件。器件间的温度和应力串扰影响提高器件密度时的稳定性，因此本论文针对 90nm 工艺节点 PCRAM 器件阵列，提出了实现器件单元阵列高密度高可靠性的混合缩小方案，指导高密度 PCRAM 阵列设计。

PCRAM 中各种材料的物理特性也影响器件功耗。本论文不仅解释了复合材料能够实现相变存储的原理，还提出选择低功耗的介质材料的方法。针对加热层结构，本

论文提出满足低功耗的材料的电导率和热导率范围,从而提高了 PCRAM 中材料工程化效率。

关键词: 相变存储器 (PCRAM), $\text{Ge}_2\text{Sb}_2\text{Te}_5$, 有限元, COMSOL, 器件单元结构, 结晶, 数值模拟

Modeling and Simulation of Phase Change Random Access Memory

Yuefeng Gong (Microelectronics and Solid State Electronics)

Directed by: Prof. Zhitang Song and Associate Prof. Feng Rao

Abstract

The fast resistance transition and reversible phase change in PCRAM (Phase change Random Access memory) is a complex transient process, including electrical, thermal, crystallization kinetics and stress distribution. Modeling and simulation is an essential method to characterize PCRAM, by which device structure and materials can be refined efficiently.

The RESET process is simulated based on the electro-thermal model to demonstrate the fast resistance transition. Furthermore, the model is calibrated according to the experiments of the specific bottom electrode diameters: 260nm and 130nm. The SET process under current operation and voltage operation are both simulated based on the JMAK (Johnson-Mehl-Avrami-Kolmogorov) crystallization model. Thus, the crystallization and reversible phase change process in PCRAM during SET process are demonstrated, indicating the shortest duration for a successful SET operation in pulse width design. The thermal-stress due to huge variable-temperature rate is significant on PCRAM reliability. The simulation result of thermal-stress model shows the maximum stress location in PCRAM under operation, giving a guideline for the device structure design.

The consumption of PCRAM is dominated by heat efficiency in process. Thus, we demonstrate thermal and electrical behaviors during RESET and SET operation based on the electro-thermal model. A guideline for optimizing device structure of low consumption is established based on the modeling. The refined device structures, such as ring in bottom electrode structure (Ring in bottom electrode, RIB), protruding bottom electrode (Protruding bottom electrode, PBE) structure, ring in GST structure (Ring in $\text{Ge}_2\text{Sb}_2\text{Te}_5$, RIG) and stable threshold voltage structure are verified by the simulation results. The structure (thickness, width and slant angle) of phase change material layer is also studied to design device of low consumption and high reliability. The density of PCRAM array is dominated by cross-talk induced by heat and stress. We demonstrate a mix-scaling scheme of high density design for the specific PCRAM made in 90nm node.

The consumption of PCRAM is also affected by the material properties of PCRAM. We demonstrate an approximation model based on microstructure of composite phase change materials. The simulation results have verified the fast transition of resistances in composite materials. A guideline for choosing dielectric materials in composite phase change materials for low consumption is established.

The electro-thermal model is also applied to choosing the bufferlayer materials for low power consumption. We compare the heat distribution ratio in subdomains of PCRAM with different bufferlayer materials and propose a guideline of choosing bufferlayer materials for low consumption.

In this way, the modeling and simulation of PCRAM is significant for commercializing PCRAM.

Keywords: Phase Change Random Access Memory (PCRAM), $\text{Ge}_2\text{Sb}_2\text{Te}_5$, Finite Element Modeling, COMSOL, device structure, crystallization, numerical simulation

目录

致谢.....	I
摘要.....	II
目录.....	VI
第一章 绪论.....	1
1.1 引言	1
1.2 相变存储器简介	3
1.3 相变存储器的发展	5
1.3.1 相变机理研究现状.....	5
1.3.2 相变材料研究现状.....	9
1.3.3 器件单元结构研究现状.....	10
1.3.4 相变存储器器件单元数值模型现状.....	15
1.4 本论文的主要研究内容	28
第二章 相变存储器电热模型, 结晶模型和应力模型	30
2.1 有限元技术概览	30
2.1.1 有限元法的基本过程.....	30
2.1.2 COMSOL	31
2.2 电热模型	32
2.2.1 二维模拟.....	33
2.2.2 三维模型.....	37
2.3 结晶模型	39
2.3.1 JMAK 模型.....	39
2.3.2 一维模拟.....	41
2.3.3 二维模拟.....	41
2.3.4 三维模拟.....	44
2.4 应力模型	45
2.5 本章小结	49
第三章 相变存储器编程过程模拟.....	50
3.1 模拟 RESET 操作	51
3.2 模型校准	53
3.2.1 相变器件单元工艺.....	53
3.2.2 测试系统.....	55
3.2.3 校准模型.....	56
3.3 一种新的 RESET 操作方法	59
3.4 模拟 SET 操作	62
3.4.1 电流操作.....	62
3.4.2 电压操作.....	65
3.5 本章小结	67
第四章 模型在器件单元结构研究上的应用	69
4.1 下电极形貌对操作电流的影响	69
4.1.1 环状电极 (RIB) 结构	69
4.1.2 底电极凸出 (PBE) 结构.....	76
4.2 相变材料形貌对电流影响	78
4.2.1 GST 厚度和宽度	78
4.2.2 GST 倾斜角的影响	79

4.2.3 环状 GST (RIG) 结构	80
4.2.4 稳定阈值电压器件单元	87
4.3 器件单元尺寸缩小和串扰	89
4.3.1 温度的影响	89
4.3.2 应力的影响	94
4.4 本章小结	95
第五章 模型在相变材料研究上的应用	97
5.1 复合相变材料	97
5.1.1 SST 等价物理模型	97
5.1.2 模拟不同高阻材料复合相变材料	100
5.2 加热层材料	104
5.3 本章小结	111
第六章 全文总结	112
参考文献	115
作者简介	127
硕博连读期间发表的论文	129

第一章 绪论

1.1 引言

现代生活和生产需要更快的速度存储更多的数据,非挥发型存储器以其断电不损失数据的优势在诸如工业电子,生活电器和医疗设备中有着广泛的应用。闪存存储器(Flash)是目前最为主流非挥发存储器,从94年开始其市场就一直保持高速增长^[1]。

虽然通过自对准技术^[2-3]和多级存储技术^[4-5]能够按照摩尔定律提高密度和减小成本,但是随着工艺节点降低,浮栅中的电子数目减少成为闪存发展的物理屏障。譬如在24nm工艺节点下,只有不到100个电子储存在浮栅中^[6]。因此,不断缩小的器件单元尺寸激发出新型非挥发性存储器的构想。

另一方面,持续增长的市场需求(比如应用在便携式产品的需求)也进一步推动了非易失性存储器的迅速发展,比如上述的MRAM、FRAM、PCRAM,还有有机薄膜存储器、分子存储器等^[7-9]。

图1.1列出了现有以及目前最被看好的几种新型存储器的性能比较,可以看到PCRAM拥有比其他各种存储器更优越的综合性能,相变存储器由于具有闪存无法匹敌的读写性能和升级潜力,譬如:“1”和“0”等数据可以写入内存阵列的任意比特区域,无需以区块为单位的删除处理,从而可以简化系统设计,进而对纠错的依赖程度可以降低。PCRAM因为操作速度快的优势,甚至可能取代部分内存的功用。通过对现有存储器性能的改进,譬如更短的随机访存时间、更快的读写速度、直接写入、位存储和极高的耐读写能力。整合今天的闪存和快速动态随机访问存储器的部分特性,相变存储技术将存储器的功能提升到一个新的水平。它不仅能够在便携式设备中应用,还有希望作为固态存储器应用到个人电脑中(此举将大大缩小电脑的体积和重量)。同时,PCRAM存储单元小和制造工艺可以和标准CMOS工艺兼容升级^[10],因此PCRAM是最被业界看好的非易失性存储器,有着广阔的市场前景,所以被广泛看好^[11-15]。而且,相变物理性质显示其制程有望升级到5nm节点以下^[16],这有可能把非挥发性存储确立的成本降低和密度提高的速度延续到下一个十年期。

	DRAM	Flash	FRAM (ferroelectric)	MRAM (magnetic)	PCM (phase change)
Relative bit size 1= DRAM cell size (=NOR Flash)	1	0.25 - 1	3 - 10	1 - 3	0.5 - 2
Relatv. mask count	1	1.1	1	1	1
Scalability	Fair	Fair	Poor	Poor	Good
Endurance	Unlimited	10 ⁵ Block erasing	10 ¹⁰ destructive read	>10 ¹⁴ Sensing critical	10 ¹²
Data retention	10ms	> 10years	> 10years	> 10years	> 10years
Write time	< 100ns	µs/ms	< 100ns	< 100ns	< 100ns
Write power/B (VxI)	3Vx100µA	5V x 1mA	3Vx100µA	1.8Vx10mA	3Vx1mA
Maturity	Volume prod.	Volume prod.	Limited prod.	Test chips	Test chips

图 1.1 各种存储器性能比较^[10]。

采用一项标准 CMOS 技术整合 PCRAM 概念、存储单元结构及阵列、芯片测试的方案均已通过广泛的评估和论证。目前，英特尔、美光、三星公司等国际知名半导体公司均在 PCRAM 产业化进程中取得有效进展。表 1.1 陈述了历年来 PCRAM 研究的重大事件，其中美光有多款替代 NOR FLASH 的产品^[17]；三星公司已研制出最大容量为 512M bits 的 PCRAM 试验芯片，并投入量产，在手机存储卡中开始应用^[18]；2009 年，Numonyx 也宣布制备出容量为 1G bits 的 45nm PCRAM 产品^[19]，2012 年 3 月三星公司发布其 20nm 工艺尺寸下的 8Gb 的 PCRAM 产品^[20]。

表 1.1 PCRAM 研究的重大事件。

时间	重大事件
1968 年 ^[21]	S. R. Ovshinsky 首先发现硫系化合物的快速可逆相变，具有开关（Switching）和存储（Memory）用途。
1999 年	Ovonyx 公司成立并获得 Intel 和 STM 的投资，研发进程加快。
2001 年 ^[11]	Intel 与 Ovonyx 和非易失性存储器设计公司 Azalea Micorelectroni 传统蘑菇型结构合作，以 0.18 微米工艺开发 4M bits 的 PCRAM 存储器。
2004 年 ^[22]	Samsung 在 ISSCC 上宣布,采用 0.18 微米工艺制备出操作电压为 3V 的 64M bits 相变存储器。
2006 年 ^[18]	Samsung 宣布研制出 512M bits 的 PCRAM 芯片。
2007 年 ^[23]	IBM/Qimonda/Macronix 开发出可实现 2bit/单元（4 值），4bit/单元（16 值）的多值化新型写入的 PCRAM。

时间	重大事件
2008 年	Infineon 和 STM 向客户提供 PCRAM 原型样片。
2009 年 ^[19]	STMicroelectronics 传统蘑菇型结构和 Numonyx 宣布制备出 1G bits 45nm PCRAM 产品
2010 年 ^[24]	Numonyx 推出 90nm 4Mb PCRAM, 读取特性为 1.2V 20ns, 写速度达到 1MB/s。
2011 年 ^[20]	三星公司推出 20nm 8Gb 的 PCRAM 产品

中国科学院上海微系统与信息技术研究所已成功研制了中国第一款具有自主知识产权的相变存储器芯片。容量为 8M bits 的高密度相变存储器原型经过中芯国际 (Semiconductor Manufacturing International Corporation, SMIC) 0.13 μ m 标准 CMOS (Complementary Metal Oxide Semiconductor) 工艺的流片, 测试结果表明性能和可靠性良好。经语音演示, 已证实该芯片可实现读、写、擦的存储器全部功能, 产业化前景可观。

1.2 相变存储器简介

相变存储器 (Phase Change Memory, PCRAM) 一般指的是基于某种硫系化合物薄膜的随机存储器。它是一种新型的非易失性存储器, 由于其操作电压低, 读取速度快, 可以位操作, 而且疲劳特性更优异, 能够实现上亿次的循环写擦, 制造工艺简单且与现在成熟的 CMOS 工艺兼容, 成为未来被看好的非挥发性存储器之一。

早在 20 世纪 60 年代末, Ovshinsky 就已经发现这种化合物于电场作用下能够在高阻的非晶态和低阻多晶态间高速并可逆的转变, 从而达到利用电阻区别存储二进制信息的目的^[21]。1978 年, Roy R. Shanks 和 Craig Davis 就已经成功研制出容量为 1024 bits 相变存储器^[25]。从那时起至今, 该技术已经被研究了 40 余年, 但是, 由于受到半导体工艺工艺节点的限制, 基于这一原理的存储单元所需的驱动电流过大进而导致选通器件单元尺寸过大, 无法达到商业量产所需的高密度要求。

相变存储器的基本存储单元本质上是一个二端口的可变电阻器件单元, 其结构示意图如图 1.2 所示。从图中我们可以看出, 该器件单元只需要在常规 CMOS 工艺的两层金属层中间添加一层相变材料薄膜即可完成基本构造。

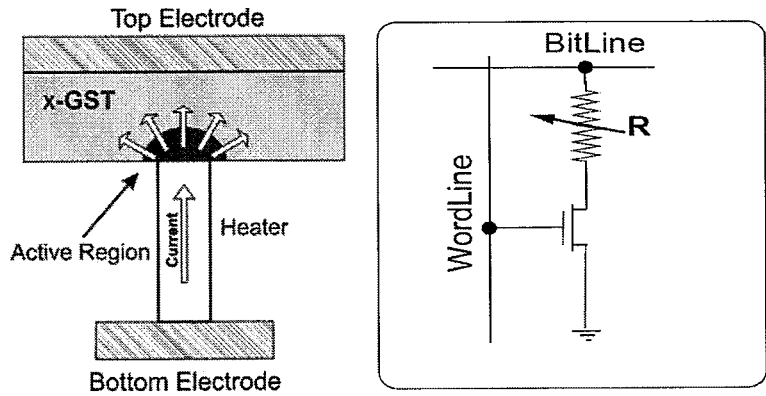


图 1.2 相变存储单元结构示意图^[26]。

现阶段，文献报道的用于相变存储器的薄膜材料有十余种，但共同特点是都至少含有一种第六主族元素。这其中 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) 已经率先被应用在可擦写存储光盘中^[12]，因此，在 PCRAM 研究中，GST 被当做典型的相变材料来研究。

PCRAM 操作原理如图 1.3 所示，相变存储器的读、写、擦操作就是在器件单元上施加不同宽度和高度的电压或电流脉冲信号：擦操作 (RESET)，当加一个短且强的脉冲信号使器件单元中的相变材料温度升高到熔化温度以上后，再经过快速冷却从而实现相变材料多晶态到非晶态的转换，即“1”态到“0”态的转换；写操作 (SET)，当施加一个长且中等强度的脉冲信号使相变材料温度升到熔化温度之下、结晶温度之上后，并保持一段时间促使晶核生长，从而实现非晶态到多晶态的转换，即“0”态到“1”态的转换；读操作，当加一个对相变材料的状态不会产生影响的很弱的脉冲信号后，通过测量器件单元的电阻值来读取它的状态。图 1.4 是 PCRAM 器件单元电流测试曲线，分别表示晶体 GST 操作电流增加，器件单元两端电压近似线性增加，非晶 GST 操作电流增加，当器件单元电压两端达到一个阈值电压时，出现负阻效应，电流激增。

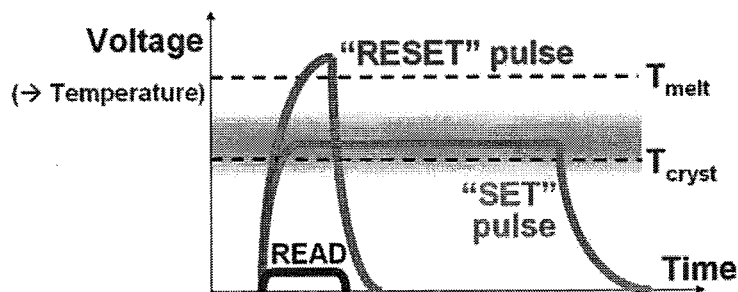


图 1.3 相变存储单元写擦操作示意图。

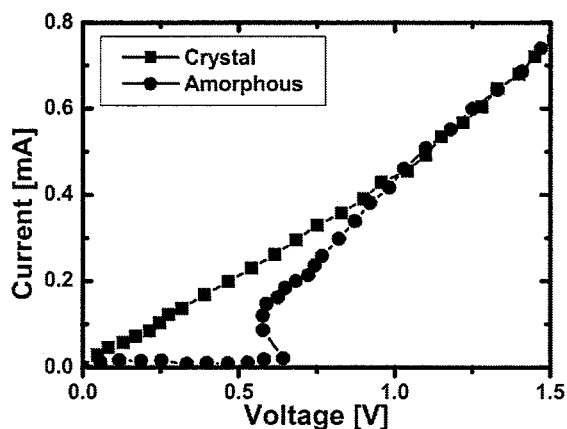


图 1.4 典型 PCRAM 的非晶态和多晶态的 I-V 曲线^[27]。

1.3 相变存储器的发展

1.3.1 相变机理研究现状

硫族化合物相变材料能应用到存储器的主要原因就是它们在相变前后具有电阻或者光反射率巨大差别的性质。以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) 为例。图 1.5 给出了 GST 薄膜经过不同退火条件处理后的薄膜电阻随温度变化^[28]。从电阻-温度曲线可以看到材料电阻的下降过程可分为两个步骤,这分别对应着先从非晶态转变到亚稳态面心立方结构 (FCC),再从 FCC 继续转变到六方密堆结构 (HEX),这两个结晶过程的结晶温度分别为 175 和 365°C。同时发现, GST 非晶态与 FCC 晶态间的电阻差异就达到 $10^3 \sim 10^4$,完全满足存储器“1”和“0”的识别要求。

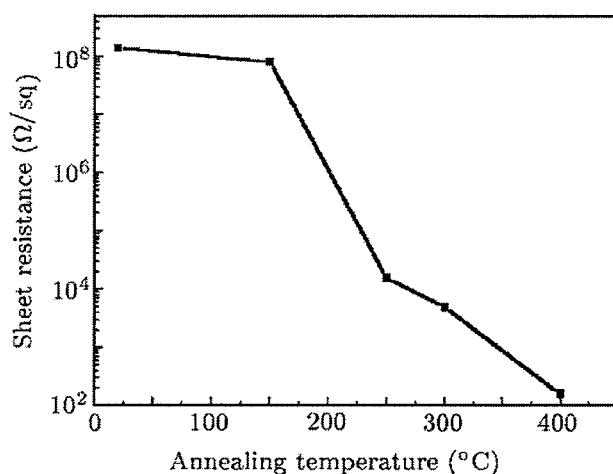


图 1.5 GST 的电阻随温度变化曲线^[28]。

由于 FCC 晶态结构是亚稳结构,相变速度快,因此通常利用它和非晶态之间的转换来对应存储器 RESET 和 SET 操作。图 1.6 给出了 GST 的非晶态和 FCC 晶态结构^[29]。非晶态结构中, Ge、Sb、Te 三种原子的排列杂乱无章;而在 FCC 结构中,

这三种原子的排列却整齐有序，但大约有 20% 的空缺^[30]。图 1. 7 给出了晶态和非晶态 GST 的能带结构^[31]。

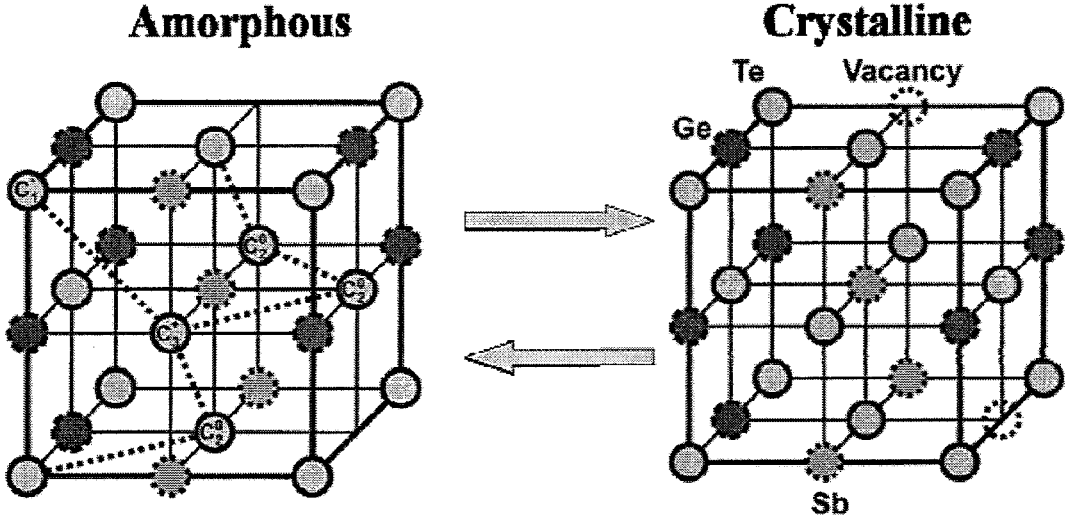


图 1. 6 非晶与面心立方结构下的 GST 原子排列结构^[30]。

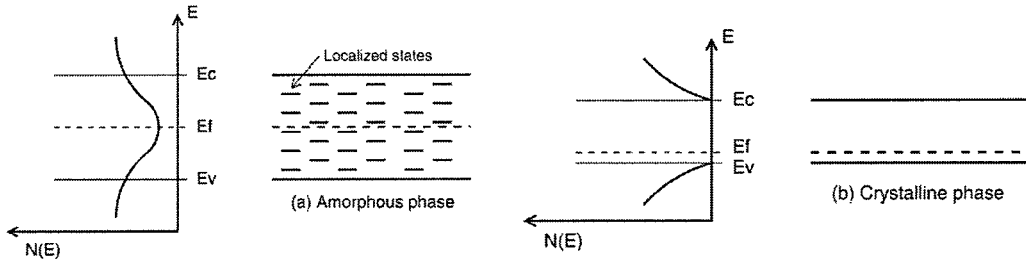


图 1. 7 非晶 GST 和晶态 GST 能带结构图^[27, 29, 31-33]。

非晶中电导特性可以用普尔弗兰克（Poole-Frankle, PF）跃迁机理描述。如图 1. 7 非晶 GST 能带中很多缺陷态造成的局域态，载流子束缚在局域态中，只有极少数受热激发到靠近导带的迁移率边，从而非晶的电导率很小。

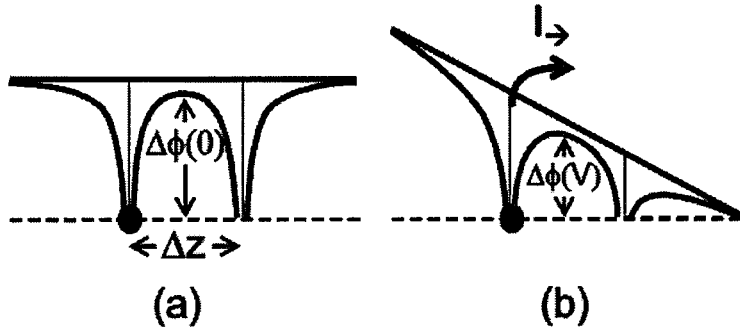


图 1. 8 在非晶中 PF 跃迁机理, 非晶硫系化合物热激发跃迁示意图。对于相距 ΔZ 的两个局域态，缺陷中的电子必须克服 (a) 势垒 $\Delta\phi(V)$ 或者 (b) 加入电场后减小的势垒 $\Delta\phi(V)$ ^[32, 34-36]。

如图 1.8, 在外电场作用下, 势垒降低, 降低程度和加在器件单元上的电压上成比例, 电子/空穴从陷阱热发射到导带/价带。但是在电场很小的情况下, 陷阱束缚的电子占据费米能级以下的局域态, 温度很低时, 电子只能从费米能级 E_f 以下的能量状态通过声子的帮助跃迁到费米能级以上的临近空态, 形成定域态的进程跳跃电导, 这和扩展态中的电子的迁移率相比要小的多。温度升高时, 电子只能被激发到接近 E_c 的带尾态, 然后通过声子的帮助从一个定域态跃迁到另一个定域态而导电。温度继续升高, 电子可被激发到迁移率边 E_c 以上的能态, 形成扩展态电导, 但是这种被激发到 E_c 以上的电子数目很少, 非晶体现为欧姆特性。

如果电压足够大, 如图 1.8 所示, 束缚电子的势垒降低, 更多的电子从价带跃迁到局域态, 而在局域态中的热载流子也由于势垒降低, 更容易进入靠近迁移率边的能带。此时, 处于迁移率边周围填充着载流子, 材料电导率指数增加。继续增大电压超过某一个阈值电压 V_{th} 后, 通过材料的电路程超指数型增长, 如图 1.9, 这种在电场大于一定强度后, 电导率激增的现象称为 Switching 现象。撤掉电场后, 大量载流子离开迁移率边的定域态陷阱, 费米能级恢复到最初没有电场情况时, 处于禁带中央的位置, 材料又恢复到高阻状态。

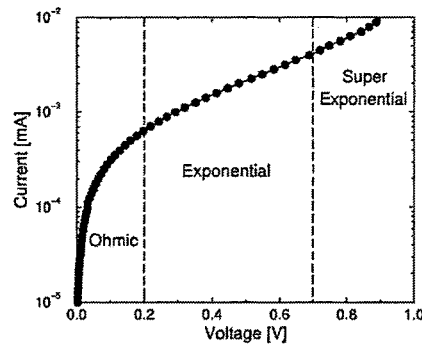


图 1.9 非晶 GST 中电流随着操作电压的增加, 依次经历了近似欧姆型, 指数型和超指数型增长的过程^[37-38]。

另一方面, 非晶 GST 在没有电场影响的情况, 材料电阻会发生电阻漂移现象。这是由于非晶结构中原子结构受到挤压。材料中的应力存在释放的过程, 原子结构会随着时间发生结构弛豫现象, 即非晶中原子间接触减少, 原子轨道重叠情况变弱, 所以如图 1.10 所示, 非晶的能带禁带宽度变大, 禁带间的局域化浓度降低, 从而电阻上升。非晶材料中应力越大, 应力释放越明显, 从而禁带宽度比应力小的材料变化要大, 局域化浓度降低幅度也大, 从而电阻上升更明显。特别的是在熔融状态中, 没有形成稳定的化学键, 熔融态本身的缺陷态浓度高, 所以我推测淬火后得到电阻比较低, 而随着应力释放, 电阻慢慢增加。

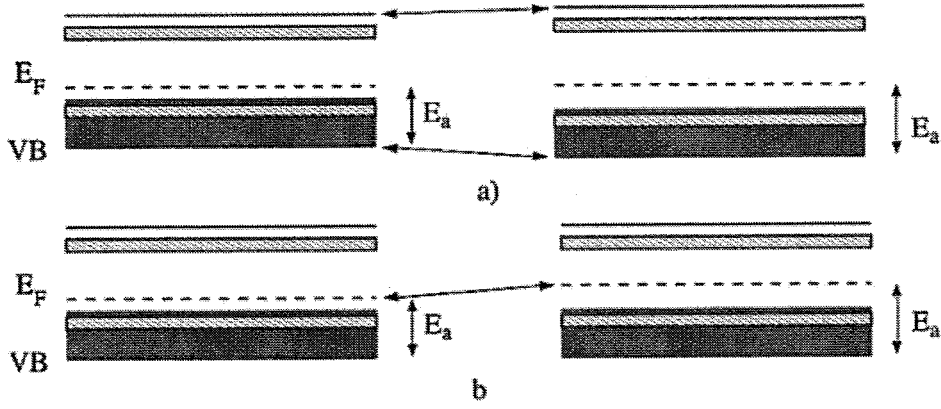


图 1.10 (a) 由于应力释放, 导致非晶的能隙增大, (b) 同时由于缺陷态减少, 费米能级扎钉在能隙中央^[39]。

Karpov 提出非晶 GST 不仅电阻会随时间累积而增加, 阈值电压 V_{th} 也随时间漂移。根据双阱能带结构来描述非晶 GST 相变的过程^[40]。如图 1.11, 非晶相变分为两个部分, 第一部分为结构弛豫, 非晶受热激发, 在能量比较小的情况下, 缺陷态电子首先激发到导带, 导致带隙增加, 即在一定温度下随着时间的累积, 器件单元阻值会升高, 第二部分, 即图中热激发能量达到一定程度后, 即缺陷态电子全部激发到导带后, 价带电子激发到导带, 电阻降低。宏观上伴随着结晶过程。如图 1.12, 整个物理过程得到了实验的论证^[27, 37]。

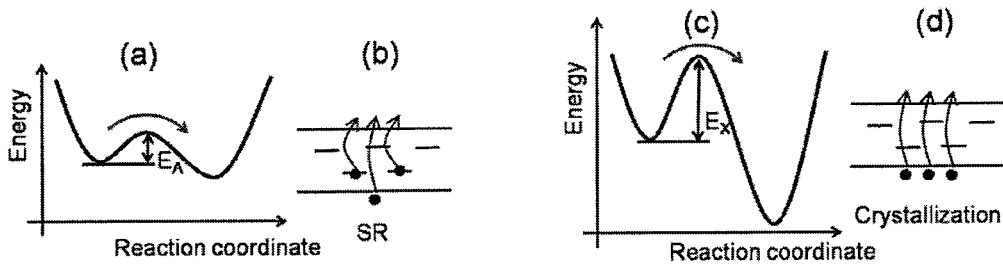


图 1.11 双阱能带结构^[27, 36, 40]。

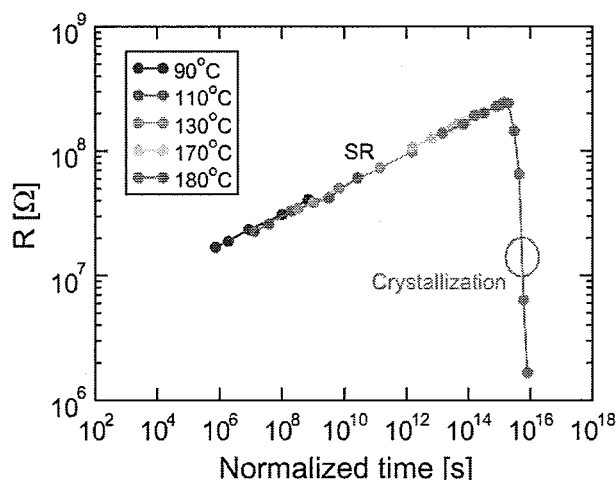


图 1.12 测量的电阻随着归一化时间分布^[27, 37]。

1.3.2 相变材料研究现状

虽然 GST 已经成为可擦写光盘的可靠材料,但是这是基于非晶 GST 和多晶 GST 良好的反射率差别。而作为相变存储器的材料,考虑的因素转变为器件单元电阻值的变化和特定电阻值的保持能力。如图 1.13 所示,结晶温度直接影响 PCRAM 数据保持力。因此,研究人员对 GST 进行了掺 N、掺 O,通过提高结晶温度的方法,提高 PCRAM 数据保持能力^[41-42]。

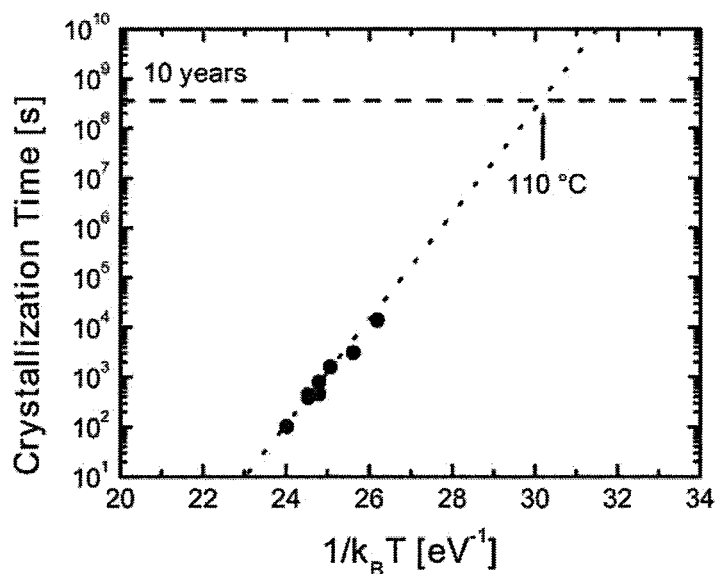


图 1.13 相变存储器数据保持力估算方法。

Tae-Yon Lee 等人通过 GST 中掺杂 SiOx,降低热导率,提高保温效率,将同等结构纯 GST 的器件单元 RESET 电流从 1mA 降低到 0.3mA^[43]。Liu 等人的研究发现,当氮掺杂达到一定浓度后, GST 变成了一步相变过程^[44-45]。因为当 N 含量达到一定浓度后,会形成电阻较高的 GeNx 氮化物,抑制了材料从 FCC 到 HEX 的相变。正是

由于 GeN_x 的形成, 材料的电阻率得以提高^[46]。为了提高 PCRAM 器件单元的存储速度, 科研人员也进行了金属的掺杂, 比如掺 Sn ^[44]。

研究人员还开展了无 Te 以及非硫系化合物材料的研究, 给相变材料的研究开辟了一个新的方向, 为研究相变材料提供了一个更加广阔的空间。这里面有代表性的有 GeSb ^[47-49]、 GeSbSe ^[50] 和 SiSb 材料^[51-52]。

1.3.3 器件单元结构研究现状

器件单元结构直接影响功耗速度, 研究人员从没停止过对低功耗高速度高可靠性的器件单元制造追求。目前研究和应用最多的是“蘑菇型”器件单元结构, 这种结构是最为经典也是制备工艺较简单、成本较低的一种结构。目前, 很多相变存储器研发机构的 PCRAM 单元都采用了此结构, 并得到了较好的性能。值得注意的是, 三星公司就在此结构上进行改进后研发的 PCRAM 芯片存储容量已达到了 256Mb^[53]。

由于 PCRAM 存储单元的相变过程最终要靠晶体管的驱动来实现, 为实现与晶体管功率的匹配, 同时降低器件单元的功耗, 必须大幅度降低操作电流。降低操作电流的方法有: 减小电极与相变材料的接触面积; 提高相变材料的电阻; 在电极与相变材料之间或相变材料内部添加热阻层; 进一步完善器件单元结构设计, 探索新型结构。器件单元结构优化大致分为三类, 具体如下:

(1) 包含夹层的结构

近年来, 为提高相变材料的发热效率, 降低操作电流, 出现较多有关热阻层材料的研究。S. Y.Lee 等人通过在 GST 与 W 下电极之间引入一层 SiGe 作为热阻层, 大大提高了 GST 材料的升温效率并促进了相变过程^[54]。与传统的 TiN、W 等加热材料相比, SiGe 热阻层使得 SET 和 RESET 电流降低了约 80 %。这是由于 SiGe 合金具有较高的电阻率和较低的热传导率, 从而既提高了加热效率又降低了热损耗。Y.Matsui 等人在 GST 和 W 电极之间引入了一层非常薄的 Ta_2O_5 , 作为热阻层有效提高了加热效率, 降低了器件单元的操作电流, 在 W 电极直径为 180 nm 的条件下, 获得了 1.15 V/ 0.11 mA 如此之低的 RESET 电压/电流; 同时作为粘附层有效改善了 GST 与 SiO_2 间的界面接触, 改善了器件单元的稳定性^[55]。也提高了器件单元的循环 RESET 性能。三星公司提出的在相变材料和顶电极间加一层热阻材料 GeSiN, 提高热效率, 降低功耗^[13]。中科院上海微系统研究与信息技术所在 PCRAM 热阻层材料研究方面也获得了许多创新性研究成果。F. Rao 等人通过在上电极与相变材料之间添加一层 GeSiN 过渡层材料, 使 RESET 操作电压降低至少 25%^[56]。

(2) 对电极改进

对电极改进的核心思想是一是怎么把电极和相变材料层的接触面积做小。对于传统的“蘑菇型”结构来说, 电极面积的减小意味着需要更先进的曝光和刻蚀工艺来实现, 同时意味着成本的大幅增加。三星公司提出的边缘接触结构可以很好地解决上述

问题^[13]。该器件单元结构如图 1. 14，这种结构的优点在于不需要利用最先进的工艺技术，而通过控制沉积的电极的厚度来有效地减小加热电极的接触面积，通过如图 1. 15 所示的接触面和工艺尺寸的关系，该技术比传统结构随着工艺尺寸减小更大幅度的减小电极接触面积，从而降低功耗。在三星公司的研究中，用 $0.18\ \mu\text{m}$ 的 CMOS 工艺制备出了高性能的器件单元，其 RESET 和 SET 电流分别达到了 $0.2\ \text{mA}$ 和 $0.13\ \text{mA}$ ，远远小于同等工艺条件下制备的“蘑菇型”结构 PCRAM 的操作电流。这种边缘接触结构也吸引了其他研究小组在此基础上进行了改进^[12, 57]。

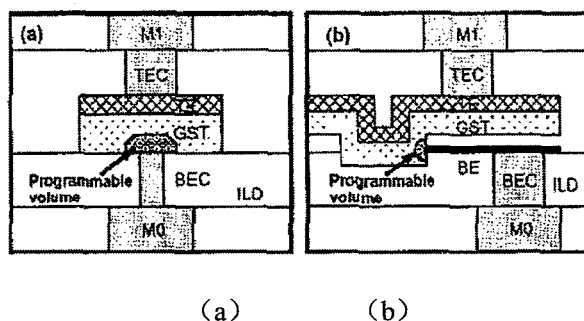


图 1. 14 (a) 传统蘑菇型结构，(b) 边缘接触电极结构器件单元^[12]。

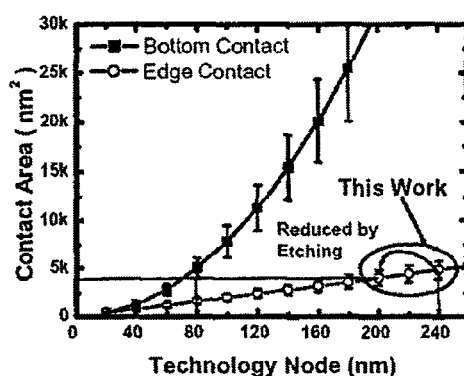


图 1. 15 边缘接触电极结构的电极接触面随着工艺节点减小^[12]。

另一方面改进电极是要考虑怎么控制流失热量，如图 1. 16 所表示的加热层结构，绝缘薄膜上的底电极接触是 GST 薄膜，由于 GST 自身具有低热导率，阻挡下电极热量散失，从而提高加热效率，从而能够将 RESET 电流减低到 0.3mA ，SET 脉宽减小到 200ns ^[58]。

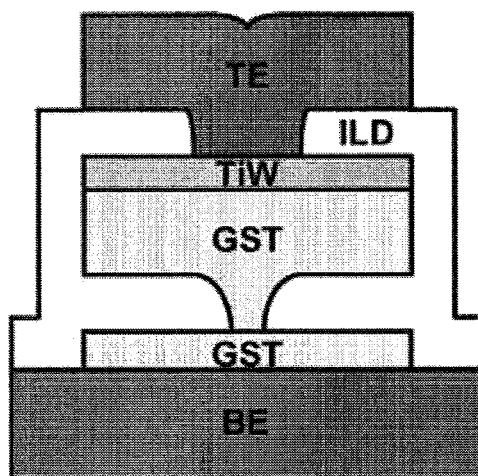


图 1.16 GST 作为热阻挡层材料^[58]。

为了解决传统加热电极尺寸不易减小的瓶颈，三星公司的 Y. J. Song 等人设计了一种环形加热电极^[18, 59-60]。器件单元结构如图 1.17，通过在电极中心填充介电材料，大大缩小电极的面积，且环形的壁厚可以很薄、容易加工，这种结构在降低 RESET 电流的同时，还可以改善较低的低阻、电阻分散性较大现象的发生。同时，适合于高密度芯片的制备，并成功应用于 256 Mb 芯片的制备。

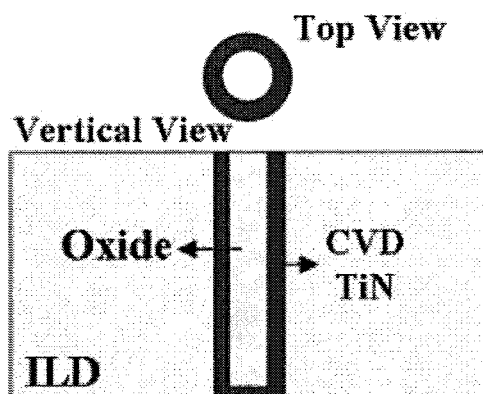


图 1.17 环形电极结构示意图。

还有诸如 IBM 提出在 180nm 工艺下，通过横向加热层实现非直接加热相变材料实现相变的器件单元结构，从中图 1.18 看出这种设计其实就是减小电极和相变材料的接触面积，从而达到降低功耗的目的^[61]。

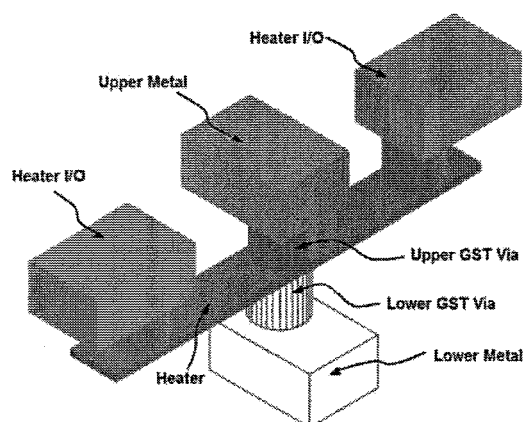
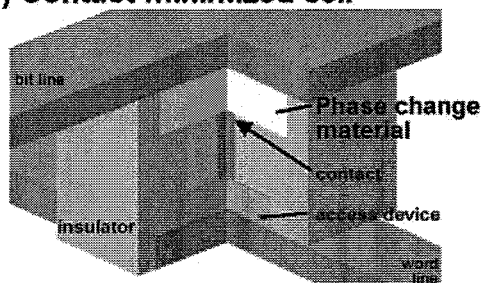


图 1.18 横向加热层实现非直接加热相变材料^[61]。

3. 对相变材料层的改进

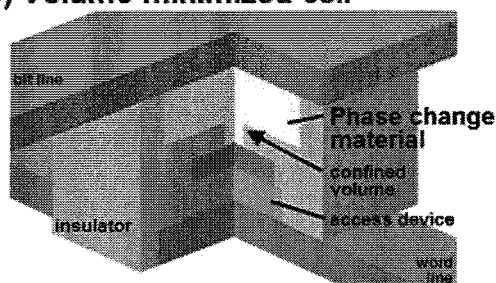
PCRAM 实现信息的写入和擦除的方式是利用焦耳热使微小区域的相变材料发生相变，那么相变区域的尺寸越小，热效率更高，RESET 电流降低，发生相变所需的功耗就越低。也就是说器件单元的尺寸越小甚至达到纳米尺度，PCRAM 的优越性将越充分地体现。对相变材料层的改进核心思想如图 1.19 所示，从 (b) 中看出，这种方法实际上就是将相变材料编程区域缩小。

a) Contact-minimized cell



(a)

b) Volume-minimized cell



(b)

图 1.19 (a) 传统蘑菇型 PCRAM 结构图，(b) 缩小编程体积的 PCRAM 结构图^[62-64]。

按照这一思想，研究人员制作出一系列低功耗器件单元。三星公司开发了一种相变材料体积变小的结构，使操作电流降低了三分之一以上，并且实现了 64 Mb 芯片的 RESET 次数达到 10^9 以上^[18, 65]。

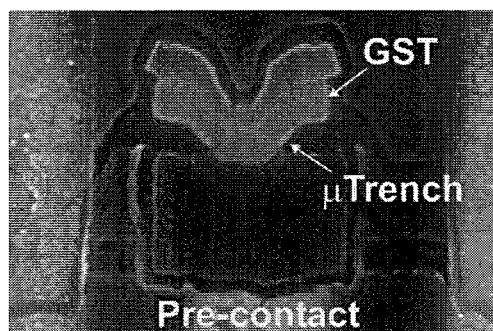


图 1.20 凹槽结构 PCRAM 截面示意图^[26, 66]。

而 Numonyx 公司提出了凹槽结构, 结构如图 1. 20。从凹槽结构 SEM 截面图可以看到 GST 被限制在一个凹槽中, 90nm 工艺下制作的器件单元 RESET 操作电流降低到 0.3mA ^[26, 66]。可以进一步减小 GST 体积, 即将器件单元做成柱状, 器件单元结构如图 1. 21, 从而能将 RESET 电流从蘑菇型结构大幅度降低^[14]。三星公司也提到了将 GST 体积缩小, 从而达到 90nm 工艺生产 512Mb 器件单元尺寸为 5.8F^2 ^[18]。三星公司又提出了一种将二极管、相变材料放置在垂直的绝缘材料孔内的结构, 利用了二极管驱动能力强的优点, 最大程度减小了器件单元尺寸 (5.8F^2), 也降低了器件单元之间的串扰, 相变过程稳定性增强^[18, 67]。利用这种结构已经成功制备出了测试芯片 (512 Mb)。而在 Sasago 的报道中, 在 80nm 工艺下制造的器件单元 RESET 能够减低到 0.16mA , 器件单元尺寸缩小到 4F^2 ^[68]。三星公司又进一步缩小 PCRAM 操作区域, 制作了直径 7.5nm 的线状结构, 这种器件单元结构如图 1. 22, 大幅度减小编程区域, 从而此器件单元将操作电流减低到 0.15mA ^[69]。

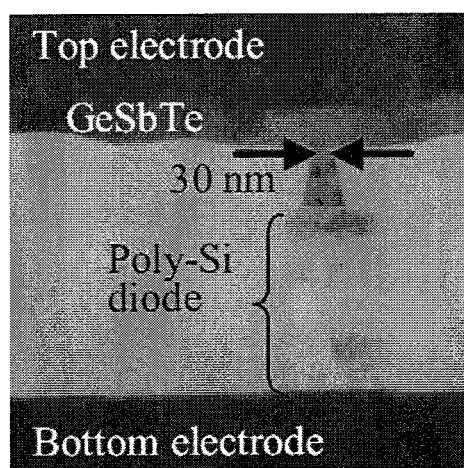


图 1. 21 柱状结构 PCRAM 示意图^[68]。

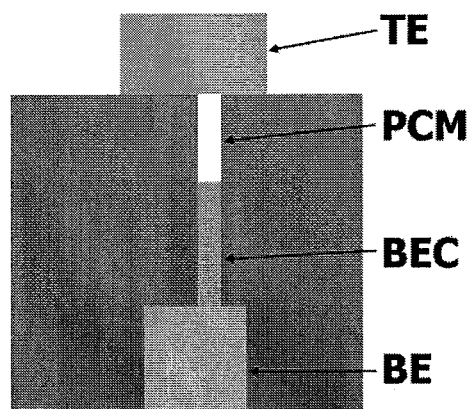


图 1. 22 线状结构 PCRAM 示意图^[69]。

不仅可以在纵向上缩小相变材料编程区域, 而且可以在横向尺寸上缩小相变材料的编程区域。NXP 公司提出的桥式结构, 是用掺杂后的 SbTe 材料制备出 $100\text{ nm} \times$

50 nm 尺度的相变材料纳米线, 得到了具有较低编程电压的线状存储器件单元^[70]。在 2006 年的 IEDM 会议上, IBM、Qimonda 和 Macronix 相变存储器联盟也报道了类似的如图 1. 23 的横向器件单元结构, 实现了用 GeSb 材料制备的纳米桥存储器^[47]。这种存储器的优点在于能够得到很好的电性能, 但是工艺较繁琐, 密度较低, 制备成本高, 而且目前的可 RESET 次数还没有达到很高的水平。距工业大规模生产还有相当长的距离。

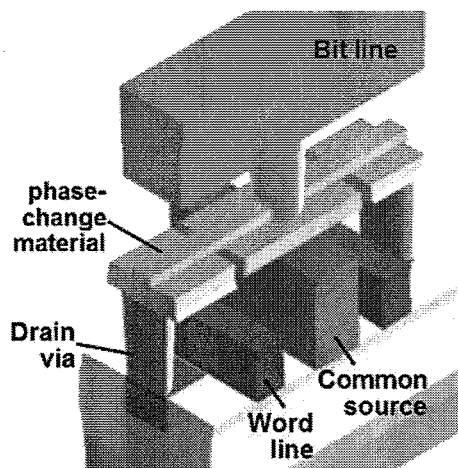


图 1. 23 横向结构 PCRAM 示意图^[47]。

1.3.4 相变存储器器件单元数值模型现状

随着元件越来越小, 需要更精确地模式来描述元件中电子的基本行为, 建模和模拟是降低技术开发时间和成本的关键之一。从图 1. 24 中看出, 微观物理量的模拟, 可以获得器件单元最真实的物理特性, 譬如温度分布, 电场分布, 和晶相分布等。这些提取的参数是电路设计中的基础。而且, 随着半导体工艺技术的飞速发展, 当前超大规模集成电路正依照摩尔定律的预测, 以每 18 个月性能与集成度增加一倍的惊人速度突飞猛进。随着纳米技术和材料科学的发展, 晶体管也已在纳米尺度得以实现。国际半导体技术发展路线图(ITRS)已预测了未来几年, 半导体技术将由当前的 45nm 技术进军至 22nm 技术。然而与此同时, 尺寸缩小引起了诸多可靠性的问题, 譬如器件单元之间的热串扰, 器件单元中的应力分布, 这些都需要器件单元数值模拟给出指导性的结果。

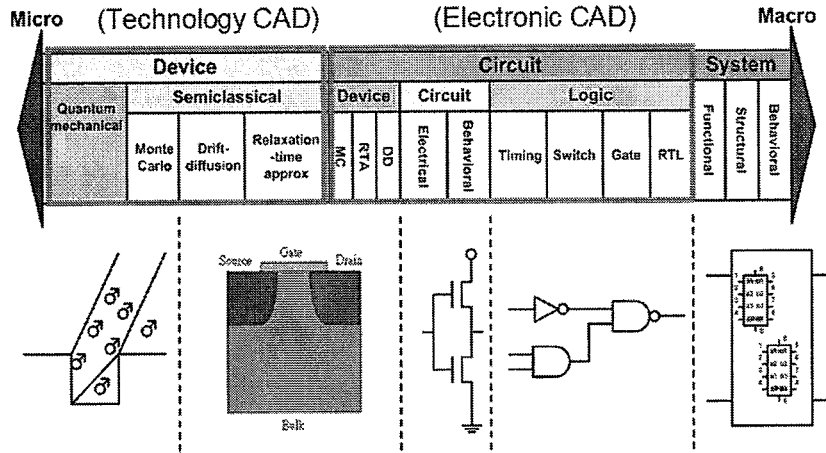


图 1.24 半导体器件单元模型布局图。

对于 PCRAM 而言, 由于电场, 温度, 结晶情况和应力等诸多因素影响 PCRAM 器件单元性能, 而这些物理参数通过实验设备很难具体的表征出来, 因此器件单元数值模拟是研究器件单元性能的必要手段。通过模拟不仅可以获得现有显微镜无法观测到的实时景象, 还可以得到器件单元工作时的动态细节, 如温度场的分布, 电流密度的分布, 发热效率和散热能力等。通过模拟可以在器件单元结构上进行优化, 减少通过实验来优化器件单元结构的过程。通过模拟不同材料在相变存储器件单元上表现, 可以指导实验来选取合适的材料, 提高器件单元性能。器件单元的数值模拟还要涉及到材料特性。其中包括材料的结晶速度快慢与原子在晶格中的分布的具体关系, 材料在非晶, 多晶态和相变阶段时的应力变化, 热边界电阻的分布等都是对器件单元性能有影响。

目前, 主要的相变存储器研究单位都在从事器件单元模拟的工作。从模拟的方法上来看, 模拟器件单元的方法主要有解析法^[36, 71-74], 有限元法^[14, 29, 60, 75]。模拟的结果来主要体现在电热场的分布, 结晶相的分布以及应力分布的研究。

相变材料通过焦耳热熔化晶态硫系化合物, 然后迅速淬火来实现非晶化过程, 因此电热模拟在相变存储器模拟中占有很重要的地位。通过电热模拟可以帮助构建新结构。Kang 等人的工作应用电热耦合模型, 分析 $0.15\mu\text{m} \times 8\text{F}^2$ 器件单元加热电极 TiN 和 TiAlN, 多晶硅的在 PCRAM 中的热效率, 从而论证了 TiN 是一种良好加热加热电极材料^[76]。三星公司报道的文献中也在利用电热模型进行加热材料的优化^[57]。通过计算得到 RESET 操作后 40ns 后的温度场分布可以看到寄生电容对温度的影响, 从而利用氧化层提高热效率, 将功耗从 1.4V 降低到 1V^[43]。Happ 等人通过模拟如图 1.25 的凹槽结构 PCRAM 中的温度分布, 从理论上论证了凹槽结构操作电流小的特点^[63]。

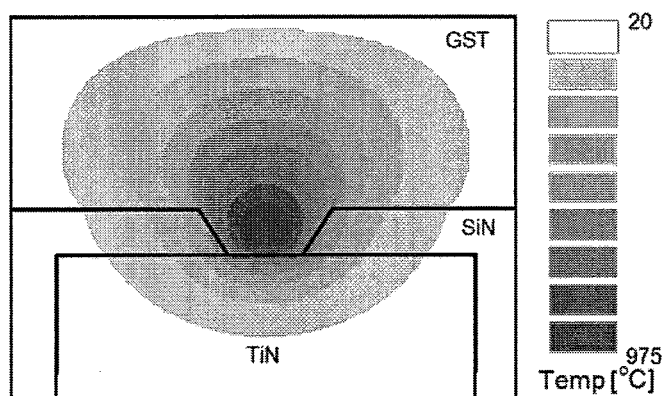


图 1.25 40nm 底电极凹槽结构 RESET 操作中的温度分布^[63]。

Sheng 等人也通过电热耦合模拟,得到如图 1.26 所示的针对 50nm 孔径器件单元,用 0.45mA, 50ns 操作脉冲后的器件单元中的温度分布。通过比较 TiW 和 GST 结构的温度分布,从而得到热效率更好的器件单元结构^[58]。

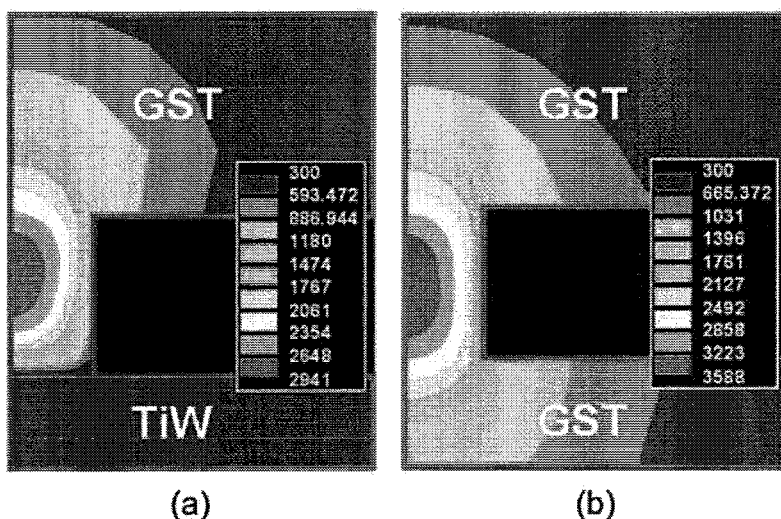
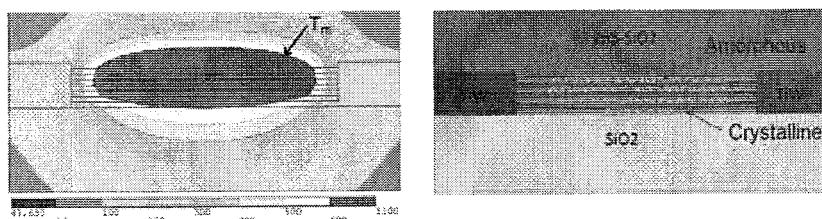
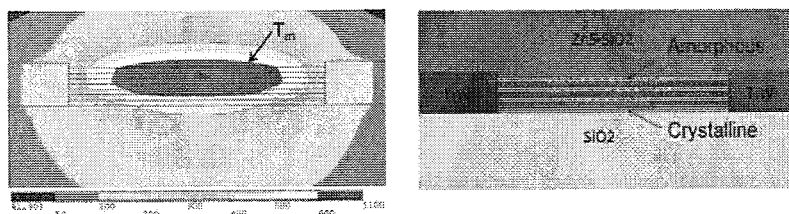


图 1.26 50nm 孔径器件单元,用 0.45mA 50ns 操作,模拟 (a) TiW 接触结构 (b) GST 接触结构的温度分布^[58]。

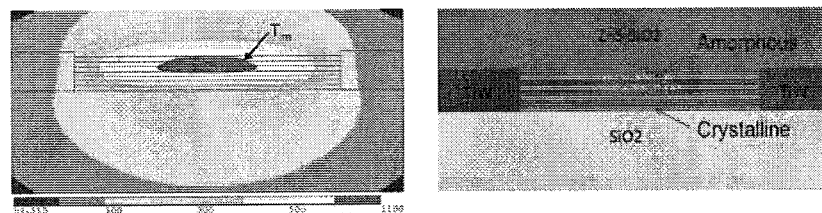
Yang 等人通过模拟桥状结构的 PCRAM 中的温度场和晶相分布,可以明显的看到桥状结构器件单元实现多级存储的物理过程^[77]。如图 1.27 所示, (a) 中模拟显示四根线性相变材料温度大于熔融温度,淬火后为非晶态,对应 (e) 中的状态 0; (b) 模拟显示三根线性相变材料温度大于熔融温度,淬火后为非晶态,对应 (e) 中的状态 1; (c) 模拟显示二根线性相变材料温度大于熔融温度,淬火后为非晶态,对应 (e) 中的状态 2; (d) 模拟显示四根线性相变材料温度大于结晶温度,淬火后为晶态,对应 (e) 中的状态 3; (e) 60ns 电压 RESET 操作电阻电压关系图^[77]。



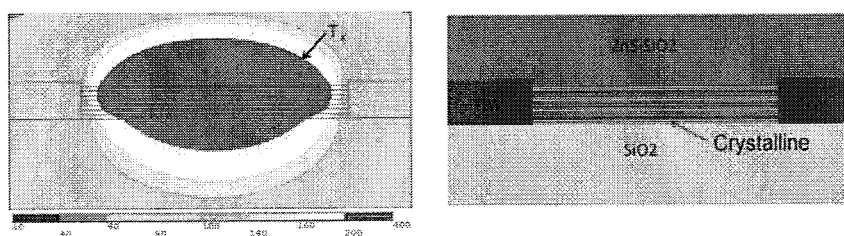
(a)



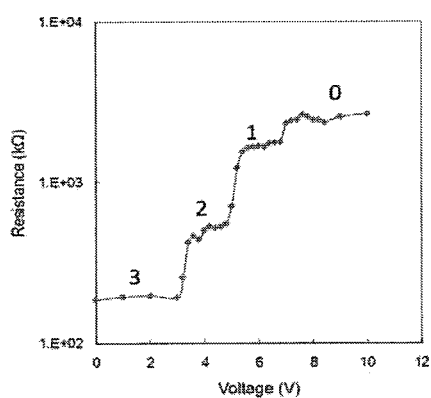
(b)



(c)



(d)



(e)

图 1.27 (a) 模拟显示四根线性相变材料温度大于熔融温度，淬火后为非晶态，对应状态 0；(b) 模拟显示三根线性相变材料温度大于熔融温度，淬火后为非晶态，对应状态 1；(c) 模拟显示二

根线性相变材料温度大于熔融温度，淬火后为非晶态，对应状态 2；（d）模拟显示四根线性相变材料温度大于结晶温度，淬火后为非晶态，对应状态 2；（e）60ns 电压 RESET 操作电阻电压关系图^[77]。

不仅横向桥状结构可以实现多级存储，三星公司又提出一种基于线状结构的多级存储结构。同样也是用电热模拟温度分布和对应的晶相结构，很好的解释了线状结构的多态阻值分布^[78]，如图 1.28 所示。

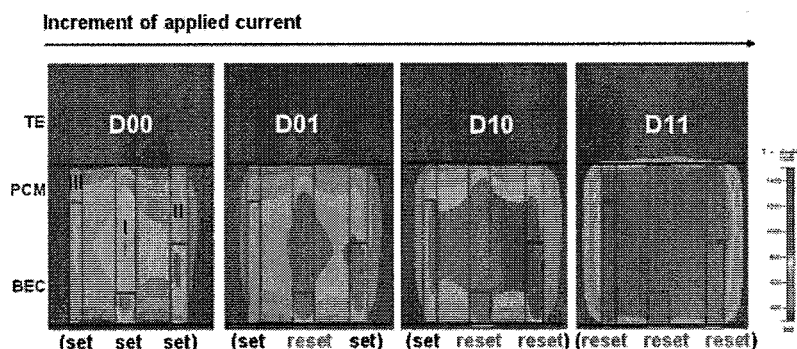


图 1.28 多态结构中不同操作脉冲作用后的的 4 个状态，以及其对应的温度分布图^[78]。

通过电热模拟还可以帮助分析器件单元尺寸缩小带来的影响。根据 Bez 等人通过解析方法的计算结果，可以算出器件单元尺寸缩小对操作功耗的影响。如图 1.29 所示，PCRAM 等比缩小 k 倍后，器件单元几何结构，操作电压，操作电流，操作电流密度，RESET 态电阻，电场等多个物理参数相应的变化^[79]。同时也可以通过计算不同器件单元尺寸下的温度分布来判断器件单元尺寸缩小对操作功耗的影响。如图 1.30 所示，通过模拟不同节点下，传统蘑菇型结构和凹槽型结构的温度分布，可以预测未来节点不同器件单元的操作电流^[80]。

Parameter	Factor
Geometrical Length	$1/k$
Programming Voltage	1
Programming Current	$1/k$
Programming Current Density	k
Set or Reset Resistance	k
Electric Field	k
Time	$1/k^2$

图 1.29 PCRAM 等比缩小 K 倍后，各个物理参数相应的变化^[79]。

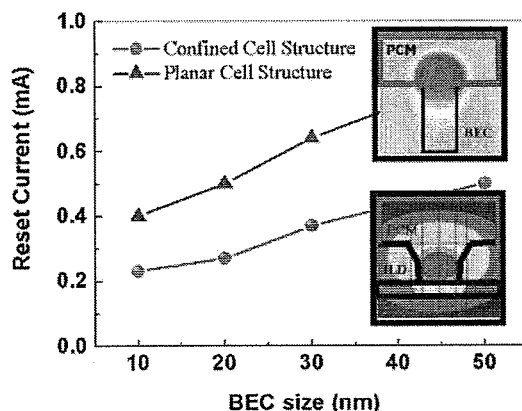


图 1.30 传统蘑菇型结构和凹槽结构的 RESET 电流随着底电极 (BEC) 尺寸减小而减小, 小图为各个器件单元中 RESET 操作成功时的温度分布^[80]。

电热模拟还可以应用在研究器件单元之间的串扰问题, 从而指导提高器件单元阵列密度。通过电热模拟结果, Pirovan 等人还提出了针对凹槽结构在 180nm 和 65nm 节点下, 器件单元之间最近距离的结果^[15, 29]。如图 1.31 所示, 通过对 RESET 操作单元的临近单元上的温度的研究, 得到了 180nm 工艺节点下, 凹槽结构 PCRAM 间最小间距是 200nm, 而 65nm 工艺节点情况下, 器件单元间最小间距是 65nm。

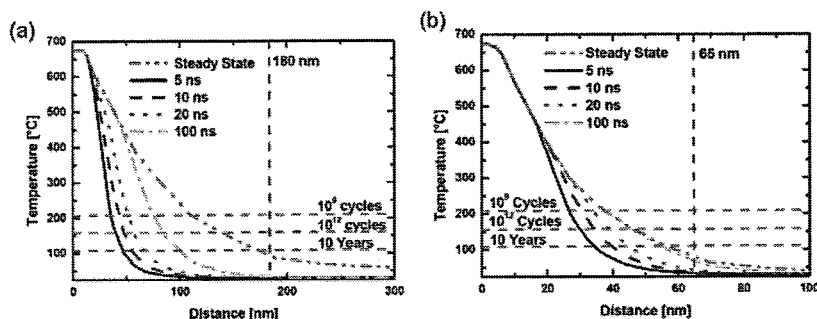


图 1.31 模拟 (a) 180nm (b) 65nm 工艺节点制造的凹槽结构邻近单元的温度分布^[15, 29, 79]。

而且 Russo 等人通过如图 1.32 所示, 对器件单元间距的等比和非等比缩小方案对器件单元温度分布影响的比较, 提出了一种如图 1.33 的混合尺寸缩小方案^[75]。此混合缩小方案, 即先采用非等比缩小方案, 大幅度缩小器件单元间距, 但是如图 1.32 (b) 所示, 邻近的单元更容易受到温度干扰, 当到邻近单元温度达到结晶温度的时候, 因为如图 1.32 (c) 所示等比缩小对热区域分布没影响, 再采用等比缩小的方案, 保证器件单元之间没有串扰。

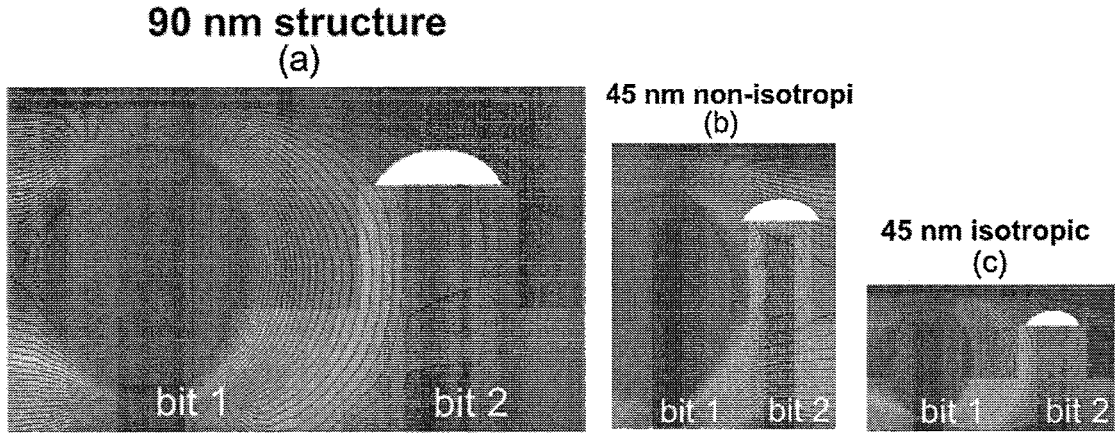


图 1.32 在 (a) 90nm, (b) 45nm 工艺节点下非等比尺寸缩小, (c) 45nm 工艺节点下等比尺寸缩小的温度分布^[75]。

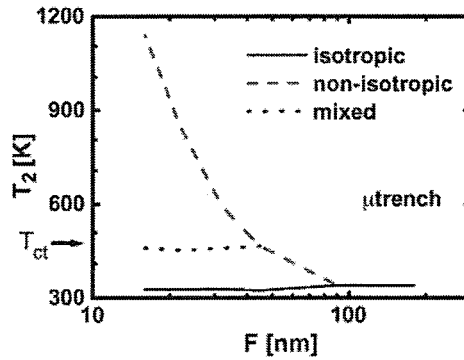


图 1.33 凹槽器件单元结构中计算的临近器件单元温度随着工艺节点尺寸分别按照等比缩小, 非等比缩小和混合缩小方案的变化^[75]。

电热模拟还可以应用来进行器件单元失效分析。Kencke 等人考虑到器件单元边界的对器件单元温度分布的影响, 从而解释了器件单元失效的一种原因^[81]。Reifenberg 等人具体到考虑热边界电阻, 并进行的温度模拟, 如图 1.34 (a) 操作电流为 1.6mA 时的最高温度是 1092K, (b) RESET 操作电流为 1.2mA 时的最高温度是 1015K。虽然最高温度差别不大, 但是可以看到有效的编程区域是不相同的, 从而提出在结构设计中, 考虑到边界效应, 对器件单元失效和降低功耗有很大帮助。^[82]。

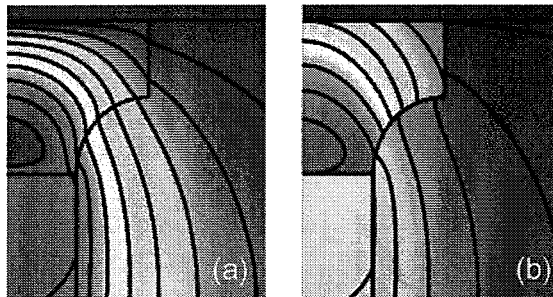


图 1.34 50nm 厚 GST 的相变存储器 (a) 不考虑热边界电阻 (b) 考虑热边界电阻的温度分布^[82]。

再如 Chen 等人通过模拟桥状 PCRAM 结构中的温度分布, 显示了 RESET 过程中的 PCRAM 薄膜很好的温度均匀性, 从而器件单元读写次数增加^[47]。

虽然有这么多研究单位通过电热模拟成功了解释了新型器件单位的低功耗, 高密度和多值操作的现象, 但是目前在 PCRAM 中的热分析中, 大多是求解热平衡下的稳态温度分布。这种计算无法得到操作脉冲和升温速率的关系, 从而无法计算任意时刻下的器件单元温度分布, 无法模拟出一个完整的 RESET 操作过程。本论文将创新性的阐述如何建立一个瞬态电热模型。

而在相变结晶模拟方面, Ielmini 等人通过普尔弗兰克 (Poole—Frankle, PF) 模型进行解析法算得非晶相变材料在低于阈值电压情况下的电导特性^[32-33, 36]。这种解析法通过 PF 方程很好的解释了在电压小于阈值电压的情况下, 非晶中的电流随着操作电压变化的特性曲线。从图 1.35 中看到模拟曲线和测量值趋势性拟合, 说明非晶态相变材料的电导率符合普尔弗兰克模型的双曲正弦函数^[32, 83]。

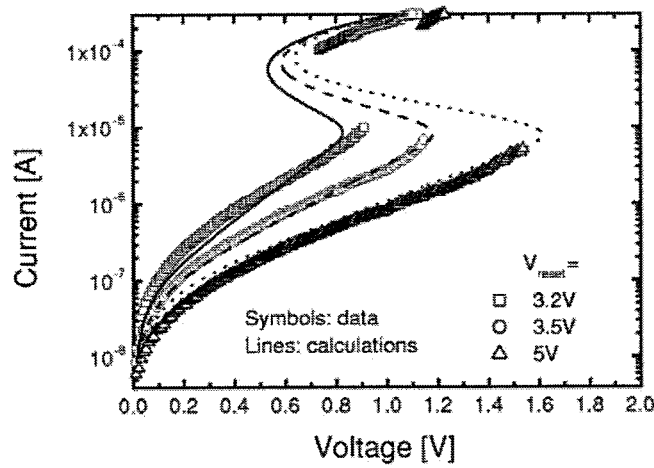


图 1.35 通过解析计算不同 RESET 操作电压下 (3.2V, 3.5V 和 5V) 得到的非晶态 GST 在 SET 过程中电流电压曲线。^[32, 83]

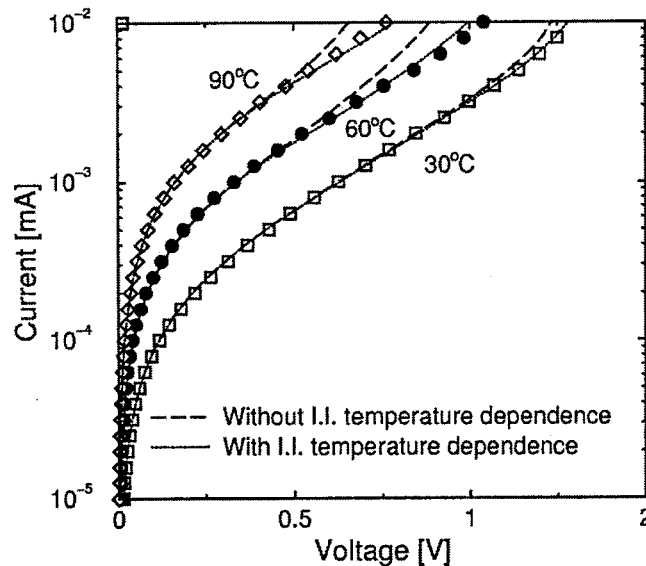


图 1.36 考虑到温度影响, 通过解析计算非晶态 GST 在 SET 过程中电流电压曲线^[38]。

而 Pirovano 通过改进模型考虑温度对电导率的影响, 用热激发效应应用泊松和迁移-扩散半导体模拟方法解析计算出电流电压特性曲线, 得到如图 1.36 计算结果^[38],

进一步修正了模型和实验结果的差距。但是这个模型在低电压情况下，模拟的电流还是要比实际测量的电流大，从而 IBM 的 Shih 改进了 PF 方程，认为在低电压情况下， I 和 $\sqrt{V}$ 成指数关系^[84]，从而很好的模拟了蘑菇型结构的 PCRAM 器件单元 SET 过程中电流电压曲线。

当电压大于阈值电压时，相变材料开始结晶。结晶模拟有不同数学模型，Karpov 提出在电场诱导下，相变材料被诱导成球形晶核和圆柱形晶核，如图 1.37 (a) 所示。如图 1.37 (b) 和 (c) 所示，通过解析法可以计算出来阈值电压随温度，阈值电压随时间的变化关系^[40]。

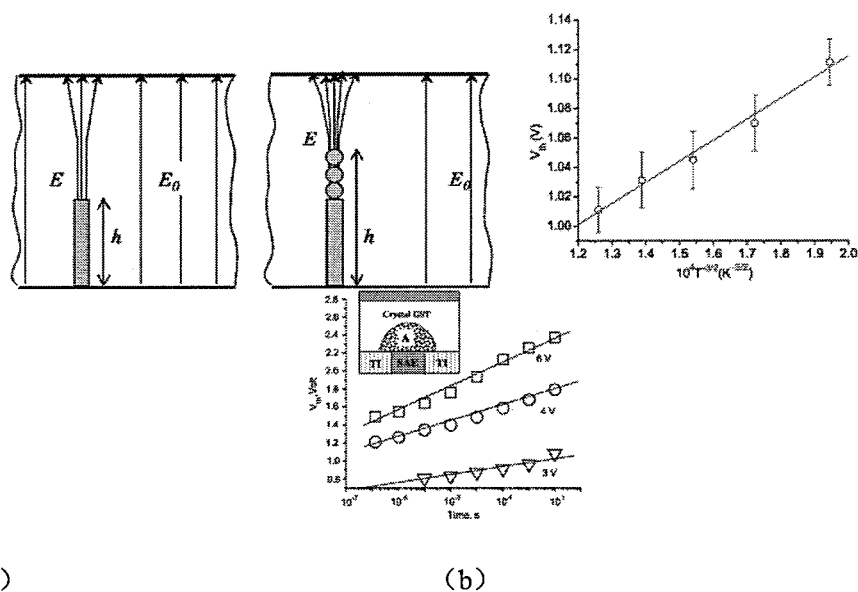


图 1.37 (a) 电场诱导成核结晶电场诱导的球形 (spherical) 晶核和圆柱形 (cylinder) 晶核; (b) 阈值电压按照解析方程随着温度的变化; (c) 阈值电压随时间的漂移^[40]。

研究人员还通过解析方法，应用普通的成核生长公式，可以算得如图 1.38 (a) 成核率 (b) 生长率随温度的变化^[60, 85-86]。

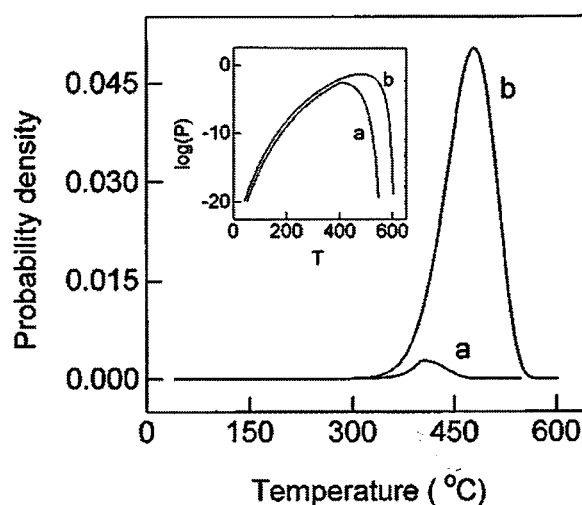


图 1.38 (a) 成核率，(b) 生长率随温度的变化。小图是对成核率和生长率求对数^[86]。

也有研究人员应用 JMAK (Johnson-Mehl-Avrami-Kolmogorov) 方程建立 PCRAM 中的结晶模型。JMAK 方程可以很好的计算在等温条件下的晶体分比, 如图 1. 39 所示。JMAK 方程只适用于等温条件下, 而 Senkader 改进了 JMAK 方程, 计算了在如图 1. 40 (a) 3°C/min (b) 10°C/min 升温情况下的结晶情况^[71]。

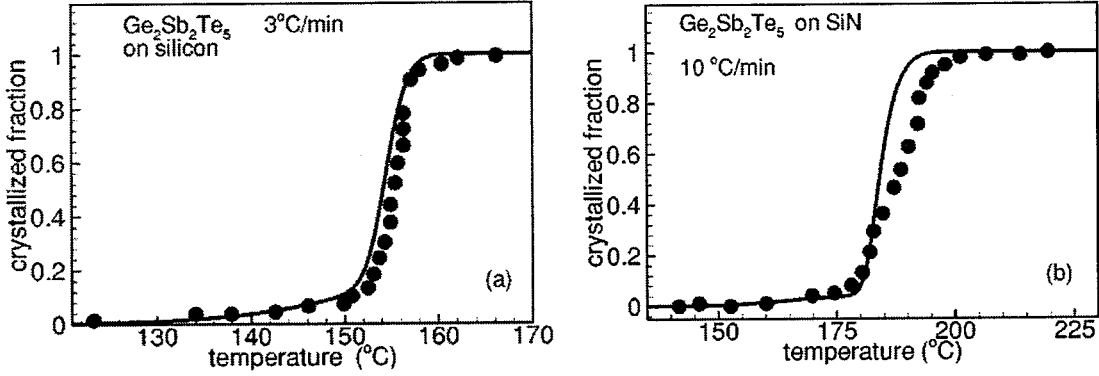


图 1. 39 分别在 (a) 3°C/min (b) 10°C/min 升温情况下, 改良 JMAK 方程计算的晶体分比和实验值对照。^[71, 87-88]

虽然一系列解析模型能够通过和实验数据对照, 验证了模型。但是实际中的晶粒长大分为 正常晶粒长大 (晶粒尺寸保持均匀, 晶粒形状分布保持不变) 和异常晶粒长大 (大部分晶粒生长受阻, 极少数晶粒迅速长大, 晶粒尺寸差异悬殊)。而且相变存储器实际操作中, 器件单元温度分布不均匀, 而且材料的电导率随温度的变化而变化, 因此这种方法不能真实描述器件单元操作过程。而有限元法一方面能够克服这些困难, 另一方面能够模拟出 PCRAM 中直观的晶相分布图, 所以有限元渐渐形成主要的器件单元模拟手段。而在器件单元模拟中, 目前国际上已经实现了利用蒙特卡罗方法计算晶核分布^[35, 37, 86, 89-91], 并且通过结晶模拟可以得到数据保持时间以及相应的晶相分布^[91]。如图 1. 40, 该方法能够描述非晶 GST 在 210°C 下随时间累积结晶越来越多, 从而导致电阻下降的过程。

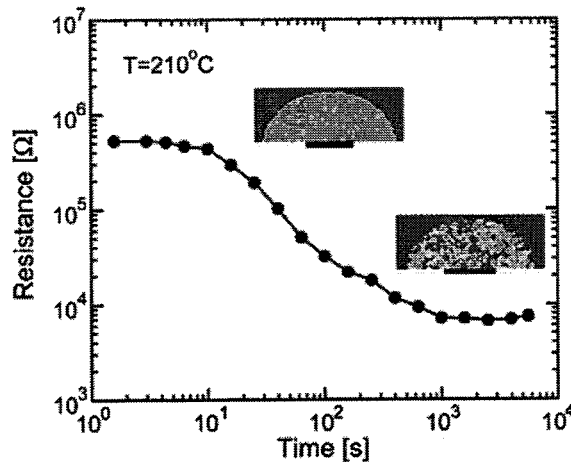


图 1. 40 PCRAM 器件单元中在 210°C 下的电阻降低以及对应的晶相分布, 图中浅色区域为非晶, 深色区域为多晶^[35, 37, 86, 89]。

PCRAM 中结晶情况对应了电流通道的形成。Fugazza 通过结晶通道的模拟, 描述了 SET 操作成功时, 电阻减低的原因。如图 1. 41, 15nm 非晶厚度中, 通入一个 SET 操作电流, 形成如图 1. 41 (b) 所示电流通道, 并且随着时间累加, 电流通道增加, 如图 1. 41 (c) 所示。^[92]

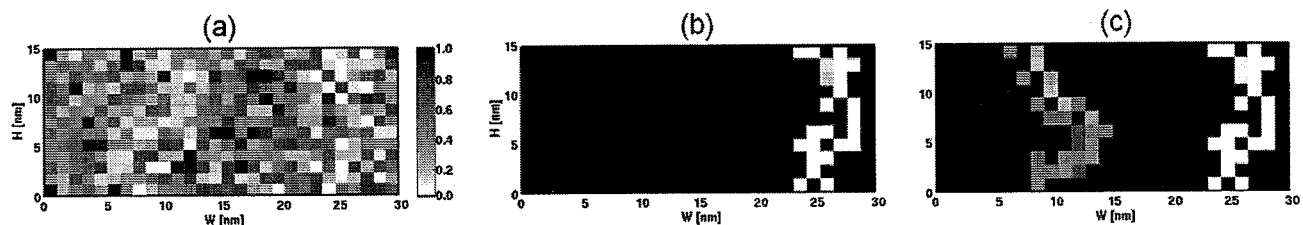


图 1. 41 模拟 15nm 非晶厚度中二维电流通道分布 (b) 最初形成的电流通道, (c) 随着时间累加电流通道增加^[92]。

虽然, 蒙特卡洛用计算的方法比较好地模拟了在 SET 操作中的相变材料电阻的下降对应的电流通道现象, 但遗憾的是, 蒙特卡洛模型的晶核是随机产生的, 而有研究表明相变材料的相变过程先发生在相变薄膜的表面^[93-94], 而且蒙特卡洛模型的模拟结果和温度无关, 不能真实反映相变材料结晶过程。因此 Redaelli 通过改进模型, 考虑到电热温度场的影响, 分析结晶^[26, 46]。如图 1. 42 在第一行, 从最初的非晶分布开始, 给器件单元施加一个小电压, 如果电压大于阈值电压, 发生 Switching 效应, 非晶的自身焦耳热造成了非晶中温度高于结晶温度, 从而开始结晶, 形成通路。在第二行, 初始状态相同, 产生的热量跟多, 造成更多结晶区域。

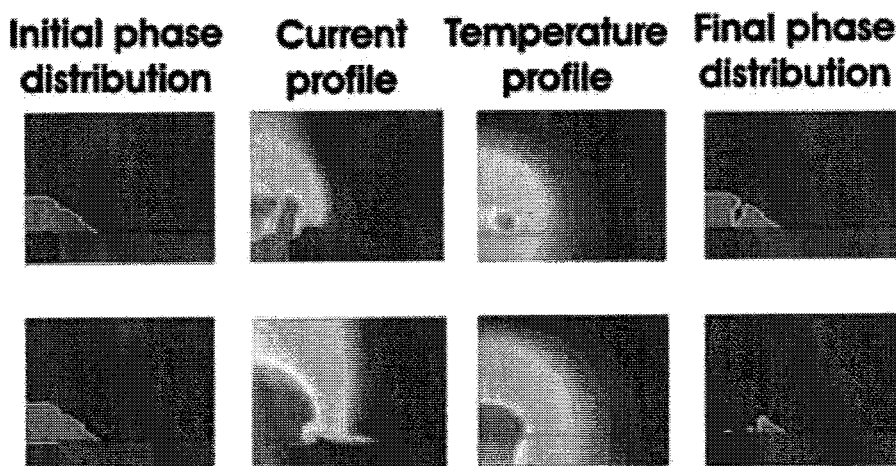


图 1. 42 SET 操作下非晶 GST 在温度场作用下开始结晶的过程, 浅色表示非晶 GST, 深色表示多晶 GST^[26, 46]。

三星公司也通过模拟温度分布, 计算出 PCRAM 器件单元中非晶 GST 随着时间慢慢结晶的过程^[95]。如图 1. 43, 从 0 时刻到 200ns 时刻固定 SET 操作电压下的晶相分布。从 25ns 开始, 在非晶多晶边界上的非晶开始结晶, 随着电压操作时间增加,

结晶区域开始累积，从而开始侵蚀非晶体积，最终达到 200ns 时刻的小非晶区域，此时非晶 GST 和多晶 GST 形成并联电路，从而器件单元电阻降低。

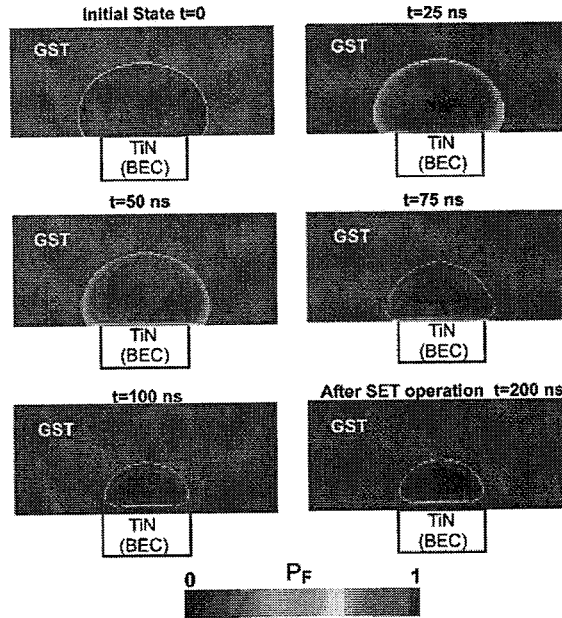


图 1.43 在 SET 操作中，器件单元中相变材料的晶相分布图，深色表示非晶 GST，浅色表示多晶 GST^[95]。

结晶模型不仅可以拥有描述结晶过程，还可以用来分析器件单元读写方案。如图 1.44，Nirshl 等人提出了 4 位的 PCRAM 多态写操作方案^[23]。通过控制脉冲下降沿，控制相变材料结晶程度，从而形成多个阻值分布。

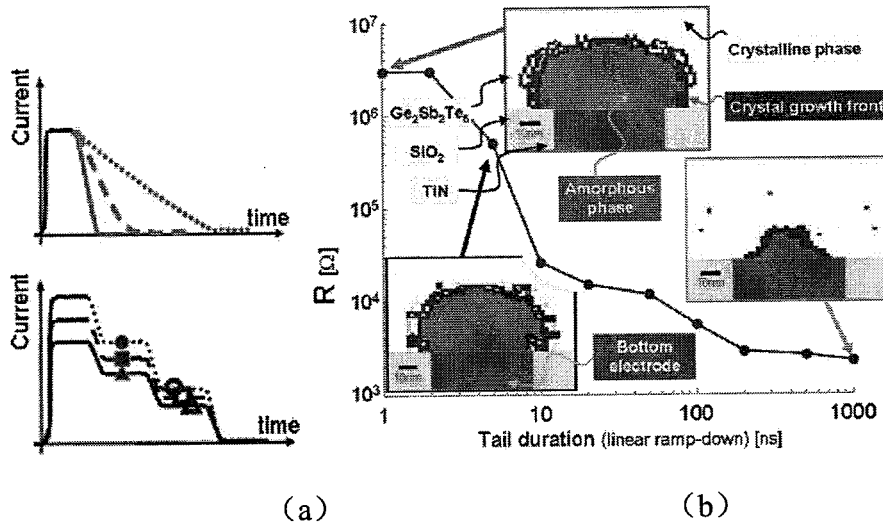


图 1.44 控制操作脉冲下降沿实现结晶示意图。(a) 要么通过不同斜率的下降沿控制，要么通过控制台阶式的下降沿；(b) 不同写脉冲下降沿操作后器件单元的电阻值和对应的结晶分布，深色表示非晶，浅色表示多晶^[23]。

结晶模型也可以进行失效分析。Chao 等人发现，在 SET 操作之前，用 4V，50ns 的 RESET 电压操作器件单元后，下电极和 GST 接触面有非晶，此非晶区域封住底电极，形成高阻串联，实现 RESET 操作。在此基础上进行 SET 操作，发现在通入 SET

操作脉冲后, 非晶区域虽然不部分结晶, 但是任有部分非晶材料分布封住底电极, 如图 1.45 所示, 从而造成器件单元一直处于高阻态, SET 操作失败。而通过模拟分析蘑菇型器件单元中的结晶分布, 如图 1.46 的模拟结果显示, 得出 SET 操作中, 在下电极和相变材料接触区域的非晶确实比较难晶化, 从而造成器件单元 SET 操作失败。进而提出可以通过改变下电极材料和优化操作脉宽来实现器件单元中相变材料和底电极接触面的完全结晶, 提高器件单元可靠性。

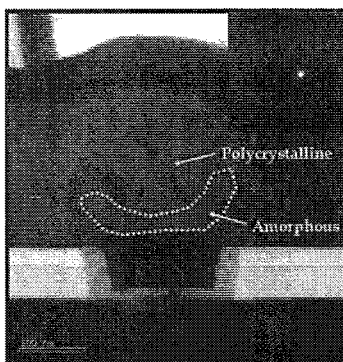


图 1.45 240nm 尺寸底电极, 1.5V, 50ns SET 操作脉冲后 PCRAM 器件单元 TEM 截面图^[69]。

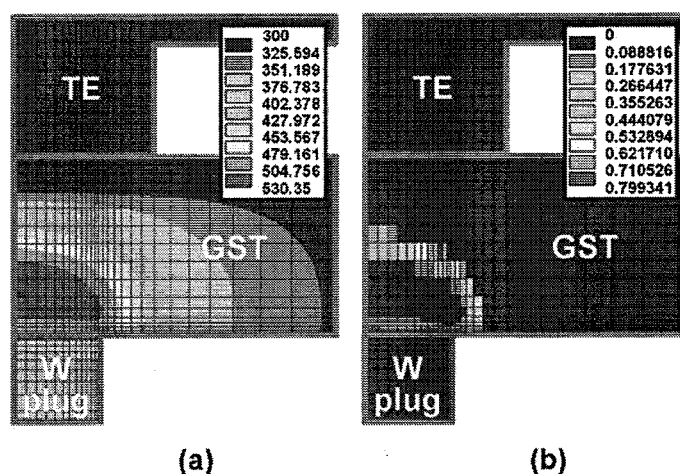


图 1.46 二维轴对称有限元模拟结果 (a) 温度分布 (b) 晶相分布^[69]。

相变材料和电极的不良接触是只是器件单元失效的一个重要原因。应力作用也是器件单元失效的一个主要原因。因为结晶过程中, 相变材料体积变小, 或造成材料剥落, 可能会形成空隙, 如果空隙发生在电极区域, 会造成操作电压/电流不稳定。而且被压缩的体积会使得相变材料释放过程会造成两种后果: 在应力集中的部位发生形变, 断裂, 或者破坏和在非应力集中的软弱结构部位发生塑性形变。Mitra 等人将应力模拟应用在分析纳米线器件单元中, 分析相变材料和周围材料相互关系^[96]。如图 1.47 所示, 通过模拟可以得到不同材料和相变材料 GST 之间的应力, 从而认为纳米

线不覆盖材料那么结晶后体积变化引起的应力很小，而如果 SiO_2 ， Si_3N_4 薄膜覆盖，应力要增大 20 倍。应力大，那么对应的结构弛豫漂移因子也大，那么器件单元的电阻漂移较大。而另一方面器件单元中的应力也是引起相变材料不良接触的一个重要因素。虽然目前已经有大量工作报道了相变材料结晶造成的应力变化，并且定量测量特定相变材料薄膜的在结晶过程中的应力，但是对于具体器件单元结构，以及器件单元操作中材料热膨胀造成的热应力还有待进一步研究^[97-99]。

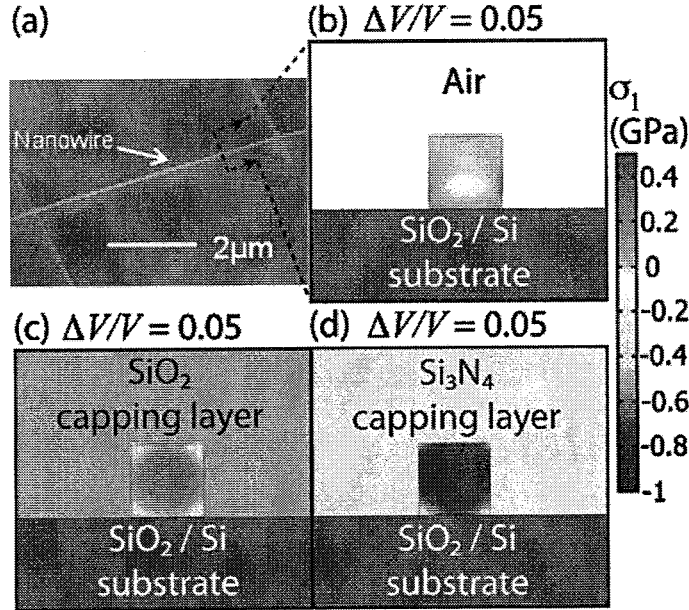


图 1.47 GST 纳米线 SEM 显微镜图 (b) 纳米线不覆盖材料 (c) 纳米线周围覆盖 SiO_2 (d) 纳米线周围覆盖 Si_3N_4 薄膜应力分布情况^[96]。

目前国内的相变存储器研究处于初级阶段，而对器件单元物理参数的模拟更是一片空白。

1.4 本论文的主要研究内容

综上所述，PCRAM 作为一种新型的非易失性存储器具有优异的性能以及广泛的应用前景，PCRAM 已经成为全球半导体企业关注的焦点之一，国外几大主要半导体器件单元生产商凭借其技术和资金优势，已经取得了许多成果，并且拥有大量专利技术。如何实现对 PCRAM 操作过程中的电场，温度分布，结晶动力学和应力分布的模拟，从而实现对 PCRAM 操作方法的研究，对器件单元结构改进，对于选择器件材料极为重要。国内器件单元模拟还处在初级阶段，本论文是在国家 973、863 计划和上海市科委项目等支持下，开发自主知识产权的相变存储器关键技术，以期突破国外技术垄断。本论文以建立一套完整的电热，结晶和应力模型为基础，结合测试结果校准模型，同时将模型应用在优化结构和新材料的研究和开发上。

主要研究内容分为以下几个方面：

1 利用有限元软件搭建模拟平台，建立相变存储器电热模型，结晶模型和应力模型。通过建立各个维度的瞬态模拟，模拟 PCRAM 中任意时刻的温度、晶相和应力分布。

2 利用模型模拟 PCRAM 器件单元的 RESET 操作和 SET 操作，并根据底电极直径为 260nm 和 130nm 的传统蘑菇型结构器件单元的电学测试结果，校准模型。通过对 RESET 过程的详细分析，创新性的提出了一种新的基于非晶累加效用的低功耗 RESET 操作方法。同时根据相变材料阈值电压的特性，分别建立电流操作和电压操作的 SET 模型。

3 利用电热模型模拟不同器件单元结构对操作电流和电压的影响，从而创新性的提出一些新结构。具体的是分析下电极形貌和相变材料形貌对电流影响。对下电极而言，计算低功耗和高可靠性的环状电极（RIB）结构的最佳器件单元尺寸；计算底电极凸出（PBE）结构的温度分布，理论验证底电极凸出（PBE）结构的低功耗特性。对相变材料层而言，通过研究 GST 层厚度，宽度和倾斜角的影响，指导制造低功耗器件单元。创新性的设计了环状 GST（RIG）结构。详细的分析 RIG 结构的电场，温度分布，理论上解释新结构的高热效率 and 低功耗特性。同时通过对单个器件单元可靠性研究，创新性的提出一种稳定阈值电压和低功耗器件单元结构。详细的研究了 90nm 工艺节点下的 PCRAM 器件单元阵列按照等比缩小和非等比缩小方案中的串扰现象，提出了混合缩小方案，指导构建高密度和高可靠性的器件单元阵列。

4 从热功耗角度出发，模拟和优化 PCRAM 中的材料。在电热模型基础上构建复合材料近似模型解释了复合材料高低阻变化的原因，并以典型材料 SiSbTe 的测试结果验证模型。利用复合材料近似模型，分析不同介质材料在复合材料中的作用，提出选择最低操作电压的介质材料的方法。利用电热模型分析不同加热层材料对器件单元操作电流的影响，通过对电导率和热导率影响 PCRAM 中的热量分布百分比的研究，得出加热层结构 PCRAM 中低功耗加热层材料的电导率和热导率的范围。

第二章 相变存储器电热模型，结晶模型和应力模型

在二维和三维器件单元中，为了模拟一个实际系统的电热效应，结晶情况以及应力分布，需要求解二维或三维控制方程。对于结构复杂的问题，无法用解析方法进行求解，因此数值方法成为了重要的工具。对于这类问题最为常用的数值方法有有限差分法（FDM）、有限元法（FEM）、边界元法（BEM）以及等效热电路法^[100-102]。在众多方法中，有限元法得益于其处理不规则复杂结构的灵活性而成为热分析中最实用的技术。对于结晶情况模拟，解析法虽然简单，并且能够很好解释成核结晶^[64]和 Switching 现象^[40, 103]，但是这种方法在模拟温度分布不均和电阻随温度变化的情况下遇到很大的困难。因此可以考虑有限元解法。而计算应力分布中，已经有广泛应用的商业化有限元法软件，考虑到和电热模型，结晶模型的兼容性，我们在计算相变存储器中的应力分布时也使用有限元方法。

2.1 有限元技术概览

有限单元法（Finite Element Method），简称为有限元法，是求解数值边界问题的一种通用数值分析方法。有限元法的思想最早由 Courant 在 1943 年提出^[104]，而有限元最先是在复杂的航空结构分析中得到应用。有限元法这一名称，则是由 Clough 在 1960 年正式命名，几十年来，由于以变分原理为基础建立起的有限元法的理论的普遍性，以及伴随着电子计算机技术的发展，这一方法被广泛应用于航天，机械，水利等部门的实际计算中，近年来，更是被广泛应用于计算力学、热学、化学、电磁学等问题。有限元法已经是当今技术科学发展和工程分析中获得最广泛应用的数值方法之一。由于它的通用性和有效性，受到工程技术界的高度重视。伴随着计算机科学和技术的快速发展，现已成为计算机辅助设计（CAD）和计算机辅助制造（CAE）的重要组成部分。

2.1.1 有限元法的基本过程

在工程或物理问题的数学模型（基本变量、基本方程、求解域和边界条件等）确定以后，有限元作为对其进行分析的数值计算方法的基本过程可归纳如下：

（1） 将一个表示结构或连续体的求解域离散为若干个子域（单元），并通过它们边界上的结点相互联结成为组合体。因此对于复杂几何结构的适应性。由于单元在空间可以是一维、二维或三维的，而且每种单元可以有不同的形状，同时各种单元之间可以采用不同的联结方式。这样一来，工程中遇到的非常复杂的结构或构造都可能离散为由单元组合体表示的有限元模型。

(2) 用每个单元内所假设的近似函数来分片地表示全求解域内待求的未知变量。而每个单元内的近似函数由未知场函数（或其导数）在单元各结点上的数值和与其对应的插值函数来表达。最终将待求场函数无穷多自由度问题转换为求解场函数结点值的有限自由度问题。由于用单元内近似函数分片地表示全求解域的未知场函数，并未限制场函数所满足的方程形式，也未限制各个单元所对应的方程必须是相同的形式，所以有限元法发源于对线弹性的应力分析问题的分析，但很快被应用到了包括流体力学、热传导问题等各个领域。

(3) 通过和原问题数学模型（基本方程、边界条件）等效的变分原理或加权余量法，建立求解基本未知量（场函数的结点值）的代数方程组或微分方程组。因为用于建立有限元方程的变分原理或加权余量法在数学上已证明是微分方程和边界条件的等效积分形式。只要原问题的数学模型是正确的，同时用来求解有限元方程的算法是稳定、可靠的，则随着单元数目的增加，即单元尺寸的缩小，或者随着单元自由度数目的增加及插值函数阶次的提高，有限元解的近似程度将不断被改进，最后收敛于原数学模型的精确解。

(4) 用数值方法求解此方程，从而得到问题的解答。有限元分析的各个步骤可以表达成规范化的矩阵形式，最后导致求解方程可以统一为标准的矩阵代数问题，特别适合计算机编程和执行。随着计算机软硬件技术的高速发展，以及新的数值计算方法的不断出现，大型复杂问题的有限元分析已成为工程技术领域的常规工作。

2.1.2 COMSOL

目前已有多种商业化的有限元分析软件，譬如 Ansys, COMSOL 和 Siemens PLM Software NX。COMSOL 是一个专业有限元数值分析软件包，由瑞典 COMSOL 公司开发，是对基于偏微分方程的多物理场模型进行建模和仿真计算的交互式开发环境系统，它使得建立各种物理现象的数学模型并进行数值模拟计算变得更为容易和可能。在使用 COMSOL 软件的过程中，可以自己建立普通的偏微分方程形式，也可以使用 COMSOL 提供的特定的物理应用模型。这些特定的物理应用模型包括预先设定好的模块和在一些特殊应用领域内已经通过微分方程和变量建立起来的用户界面。此外，COMSOL 软件可以通过把任意数目的这种物理应用模块整合成对一个单一问题的描述，使得建立耦合问题变得更为容易。模型库是整个 COMSOL 软件包最具特色的部分，它囊括了各种工程领域内的所有模型。每一个模型都包含了非常完善的相关文档，如工程技术背景、结果讨论和一步步建立模型的每个过程描述。应用模型都是针对单一物理场，但实际问题中往往包含了多种物理场的叠加或耦合。PCRAM 的研究也不

例外，因此通过 COMSOL 的耦合物理模型计算，可以很好的模拟 PCRAM 中的电热分布和应力。

另外，与其他常用的有限元分析软件不同，COMSOL 是从 MATLAB 中的 Toolbox 发展而来，因而它保留了同 MATLAB 之间的完善的接口，可以与 MATLAB 完全兼容，这就为用户建模和仿真优化设计带来了方便，也为进一步的应用提供了更大的灵活性。

由于其模块化的简单操作，以及开放式的二次开发平台，在 PCRAM 器件单元研究中成为主流的操作软件。

利用 COMSOL 软件对 PCF 进行分析设计的步骤大体如下：

- (1) 模型选择：根据所分析问题选择二维或三维模型，并选择合适的模型块。
- (2) 建模：在模型块中利用绘图工具建立几何模型。
- (3) 物理特性指定：即材料属性、边界条件和初始条件。
- (4) 网格划分：根据计算精度要求，选择合适的网格划分参数，即将计算区域离散化成互不重叠的单元。
- (5) 求解：通过对求解器参数恰当设定后求解。
- (6) 后处理：由计算所得各模式的对应的电场，温度，晶相分布和应力分布。

2.2 电热模型

PCRAM 器件单元中通入电流产生的焦耳热通过热传导方程求得。按照一般性的热传导方程，热能的传输主要由传导、对流和辐射三种方式，并且和系统结构和材料组成密切相关。系统中的热传输可由热传导方程表征，如公式 (2.1)：

$$\rho c \frac{\partial T(r, t)}{\partial t} = \nabla \cdot [k(T) \nabla T(r, t)] + q_0 \quad \text{公式 (2.1)}$$

初始条件： $T(r, 0) = \theta(r)$

第一类边界条件： $T|_{\Gamma_1} = T_0$

第二类边界条件： $\frac{\partial T}{\partial n}|_{\Gamma_2} = 0$

混合边界条件： $k \frac{\partial T}{\partial n}|_{\Gamma_3} = -h(T - T_{\text{ambient}}) - \varepsilon \delta (T^4 - T_{\text{ambient}}^4)$
 $= -[h + \varepsilon_T \delta (T^2 + T_{\text{ambient}}^2)(T + T_{\text{ambient}})] = -h^*(T - T_{\text{ambient}})$

其中 $T(r, t)$ 表示瞬态温度分布； $k(T)$ 是随温度变化的热导率 $\text{W/m} \cdot \text{K}$ ， ρ 为材料密度 kg/m^3 ， c 为比热容 $\text{J/kg} \cdot \text{K}$ ， q_0 是内部热源的热生成率 W/m^3 ， $\partial/\partial n$ 为法向导

数算子, h 为热对流系数 $W/m^2 \cdot K$, ε 是热辐射系数, δ 是 Stefan-Boltzmann 常数, T_{ambient} 是为环境温度。为了便于数值计算, 常引入等效对流系数, 将混合边界条件的非线性部分引入该等效系数 h^* , 将混合边界条件的非线性部分引入该等效系数。

在 PCRAM 中可以简化热传导方程。由于器件单元中没有自由电荷, 所以基于基本的电场理论, 电场分布满足 Laplace 方程, 如公式 (2.2)。在三维笛卡儿坐标系中算出器件单元的电势。

$$\Delta V = 0 \quad \text{公式 (2.2)}$$

公式 (2.2) 中, V 为电势。

根据热源的定义, 公式 (2.3), 通过计算电势的梯度可以算得电流密度的分布, 进而得到由于外加电流的作用, 在器件单元中单位时间单位体积内产生的热量。

$$q_0 = \frac{|J|^2}{\sigma} = \sigma |\nabla V|^2 \quad \text{公式 (2.3)}$$

公式 (2.3) 中 q_0 为热源, σ 为电导率, J 为电流密度。

已知热源分布后, 器件单元中的温度场被改变, 通过简化热传导方程。从而最终实现了外加电流改变器件单元温度场分布的效果。

$$\frac{\partial \rho C_p T}{\partial t} = q_0 + \nabla \cdot (k \nabla T) \quad \text{公式 (2.4)}$$

公式 (2.4) 中 ρ 为密度, C_p 为热容, T 为温度, k 为热导率。

为简化模型, 我们忽略了温度和结晶情况对材料电导热导的影响。在温度达到相变材料熔点后, 我们始终认为熔融区域的材料构成不发生变化, 无升华起泡现象。所需材料的相关性质有电导率, 密度, 热导率和热容。我们通过不同材料对应的电热特性参数, 获得器件单元中的电场和温度分布。

2.2.1 二维模拟

以传统蘑菇型结构 (Conventional Structure, CS) 为例, 在模拟过程中, 上电极材料选用 W, GST 夹在两层 TiN 中间。器件单元外围被绝缘层 SiO_2 包围。在实际器件单元中, 下电极底端与 CMOS 管相连, 在此模拟中, 由于我只关心相变区域周围的场分布情况, 所以忽略 W 电极下面的 Si 基底。构建几何结构如图 2.1 所示。

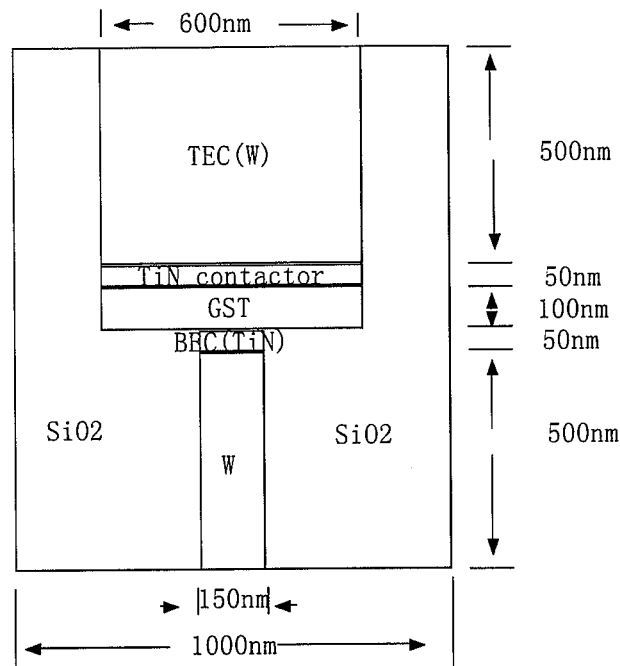


图 2.1 传统蘑菇型结构（CS）结构纵向截面图

选用材料的相关材料参数如表 2.1。

表 2.2.材料物理参数

	σ ($\Omega^{-1}\text{m}^{-1}$)	ρ (kg/m^3)	k ($\text{W/m}\cdot\text{K}$)	C_p ($\text{J/kg}\cdot\text{K}$)
W	1.75×10^7	19300	178	132
TiN contactor	$10^{6[76]}$	$5400^{[105]}$	$13^{[105]}$	$784^{[106]}$
TiN	$10^{5[76]}$	$5400^{[105]}$	$0.44^{[107]}$	784
GST（多晶和液态）	$2770^{[108]}$	$6200^{[109]}$	$0.5^{[85]}$	$202^{[106]}$
GST（非晶）	$3^{[108]}$	$6200^{[109]}$	$0.2^{[85]}$	$202^{[106]}$
SiO_2	10^{-14}	2330	1.4	730

对器件单元施加一个操作脉动。所加操作脉冲如图 2.2，脉高为 1.3mA，脉宽为 50ns。

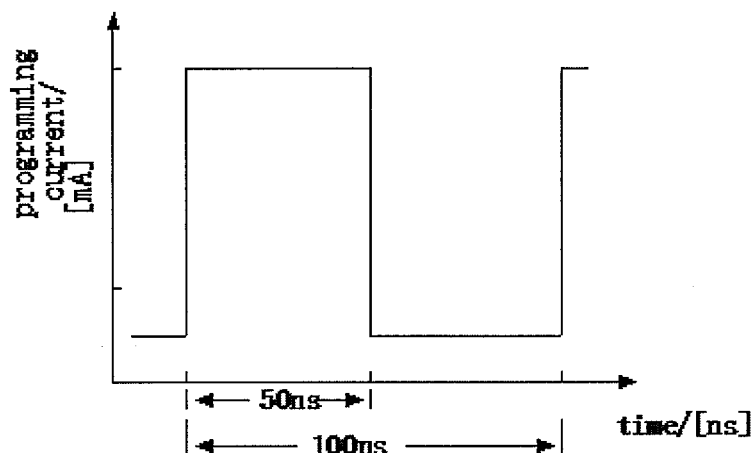


图 2.2 器件单元操作脉冲示意图

按照如下步骤在 COMSOL 中的模型和计算

- (1) 模型选择：选择二维模式的电热耦合模块。
- (2) 建模：在模型块中利用绘图工具建立几何模型。以如图 2.3 (a) 所示为例，按照中心轴对称的模式构建几何结构。
- (3) 物理特性指定：即材料属性、边界条件和初始条件。分别设定对应的子区域的物理特性参数：密度，热容，电导率，热导率。在电场模块中，定义上电极 W 接地，下电极 W 注入电流为诺伊曼边界条件，脉高为 1.3mA，脉宽为 50ns。外部包围着的 SiO_2 的边界是电绝缘，狄利克雷边界条件。初始的电势为零。在热传导模块中，定义上电极 W 和下电极顶端的温度都是室温 ($T=298\text{K}$)， SiO_2 的外表面都是热绝缘。器件单元初始的温度是 298K。在此例中相变材料的初始状态为多晶态。
- (4) 网格划分：根据计算精度要求，选择合适的网格划分参数，即将计算区域离散化成互不重叠的单元，如图 2.3 (b) 所示。
- (5) 求解：通过对求解器参数恰当设定后求解。
- (6) 后处理：由计算所得各模式的对应的电场，温度分布，如图 2.3 (c) - (e) 所示。

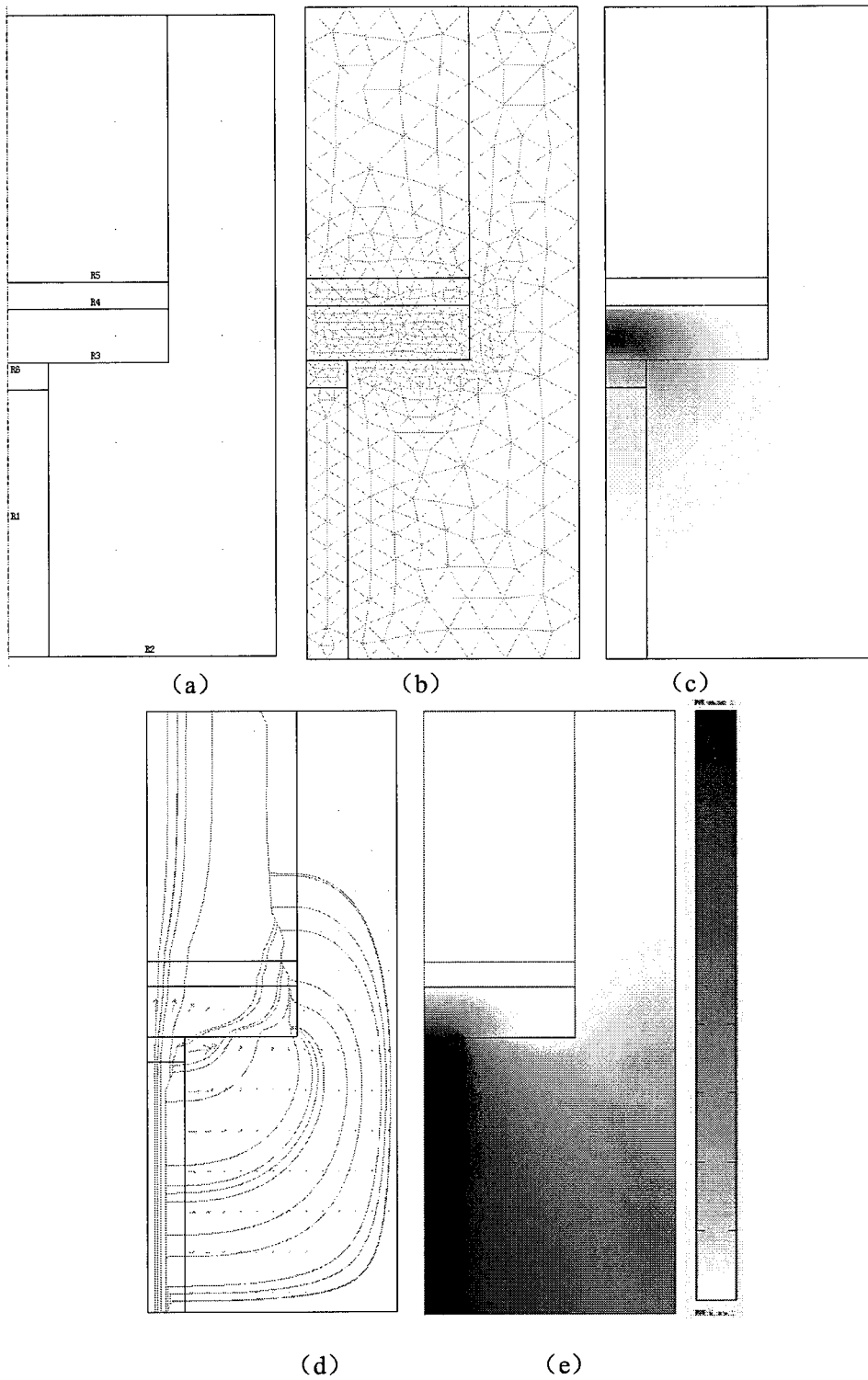


图 2.3 (a) COMSOL 中构建的几何结构 (b) COMSOL 中的网格 (c) 计算后的温度分布，深色表示高温度值，浅色表示低温度值 (d) 计算后器件单元中的电流分布，箭头表示电流方向，红线的疏密表示电流密度大小 (e) 计算后器件单元中的电势分布，深色表示高电势值，浅色表示低电势值。

同时还可以计算出器件单元中的任意一点的在脉冲中任意时刻的温度值，如图 2.4 所示。各点的温度随时间变化的情况，熔融区域在撤掉外加电流的情况下，温度能够在 15ns 内降到结晶温度 (365°C) 以下，这是能够满足非晶形成条件的。所以把

熔融区域看成是 RESET 过后的非晶区域是合理的。这对分析操作脉宽对器件单元的影响, 优化脉宽, 从而降低功耗有很大的意义。而图 2.5 显示了验证中轴线, 从底电极底部到上电极顶部的温度分布, 可以看到温度主要集中在 GST 区域里。因此如何限制 GST 中的热量成为我们设计低功耗器件单元的关键。

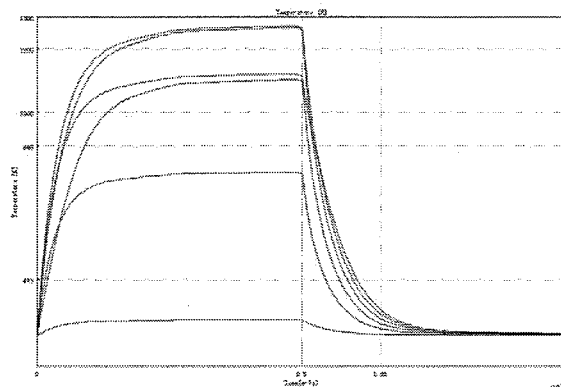


图 2.4 在 PCRAM 器件单元中沿着中心轴线, 离下电极底端距离为 550nm, 570nm, 590nm, 610nm, 630nm, 650nm 点出处的温度随时间的变化。

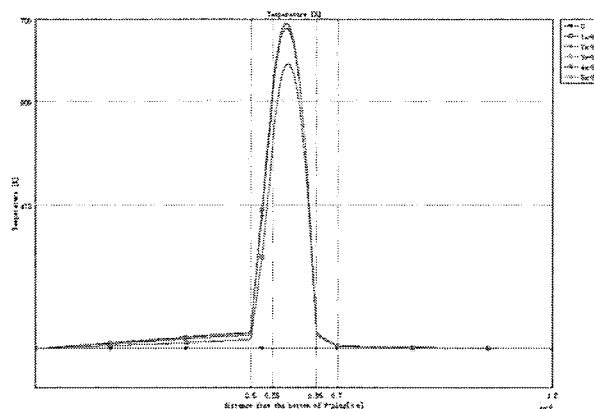


图 2.5 在 PCRAM 器件单元中沿着中心轴线 0, 10ns, 20ns, 30ns, 40ns, 50ns 时刻的温度分布。

2.2.2 三维模型

三维模型和二维模型在运用 COMSOL 的流程上是相似的, 只在于最初的模块选择和几何结构的区别。按照图 2.1 中的尺寸参数构建一个三维器件单元结构, 如图 2.6 所示。

在 COMSOL 中选择三维模式的电热耦合模块, 同样设定好各个子区域对应的材料参数, 边界条件和初始条件。然后划分网格。采用相同的脉冲。最后得到的三维结构中的瞬态温度分布图。如图 2.7 所示, 三维结构的通过中心轴线的截面的温度分布和在如图 2.3 (c) 中的二维结构温度分布是一致的。可以发现三维结构实际上一个二维面积算结果的集合。在分析器件单元的电场和温度分布下, 可以用二维模型代替。

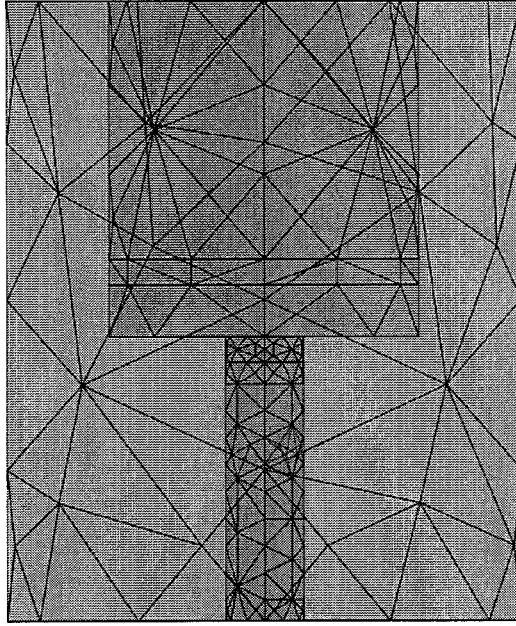


图 2.6 传统蘑菇型结构三维器件单元网格透视图。

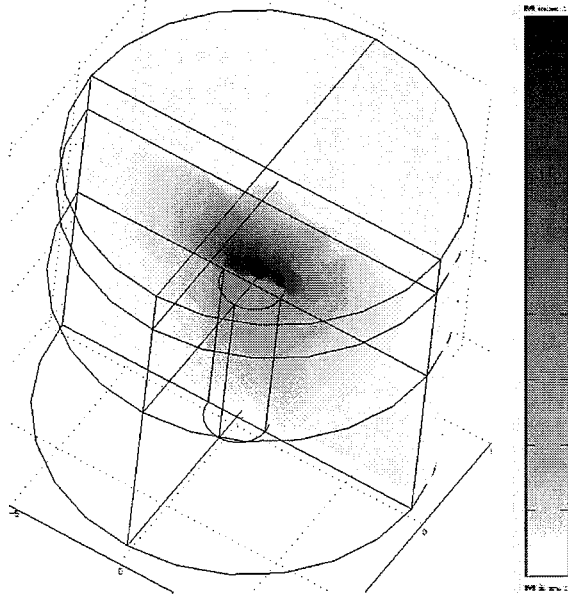


图 2.7 三维结构的通过中心轴线的截面的温度分布。

在三维有限元模型中,每个子区域的热量分布可以通过通过子区域边界的热通量的积分,按照高斯定律公式(2.5):

$$Q = \oint_A q_A \cdot dA \quad \text{公式 (2.5)}$$

公式(2.5)中 Q 表示子区域里的热量分布, q_A 表示通过子区域的热通量, A 表示子区域的面积。如图 2.8 所示,在 PCRAM 中某个子区域里的热通量和子区域的面积积分就可以对应子区域的热量分布百分比。从图 2.9 可以看出只有 12% 的热量分布在 GST 中,我们将在第四章通过改进器件单元结构提高 GST 中的热量百分比。

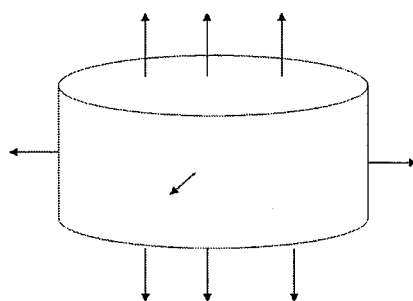


图 2.8 高斯定律求密闭区域里的热量示意图。

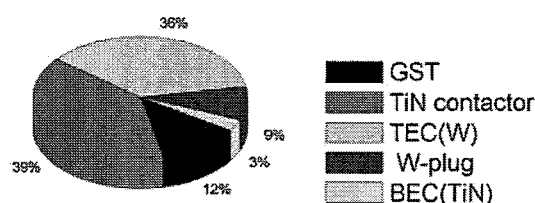


图 2.9 通过高斯定律计算得到的传统蘑菇型结构中各个子区域中的热量分布百分比。

2.3 结晶模型

晶体的生长，实际上就是一个一个的基元，逐渐长成晶核并继续长大成为晶体的过程。晶体生长需要一定的过饱和度和过冷度作为动力，克服表面能势垒才能成核。在介质中，基元质点的沉积成为晶核或者晶体，以及相反的脱离晶核或者晶体的过程是在不停地同时发生的，如果这个过程中，基元质点的沉积占了主导地位，那么，晶核就会出现，而晶体就开始生长长大。数学上可以用 JMAK 方程来描述这个相变材料成核生长的结晶物理过程。

2.3.1 JMAK 模型

JMAK 方程是描述固态相变中转变动力学的唯象方程，简单的说就是描述固态物质如何从一种相态到另一种相态的变化（也就是相变）大部分这些传统的组织演变模型的再结晶动力学都是基于 JMAK 模型。对于等温相变过程，利用 JMAK 模型计算除马氏体外的相变体积分数。JMAK 模型是 Johnson 和 Mehl (1939)，Avrami (1931) 和 Kolmogorov (1937) 等提出的理论发展而来。根据 JMAK 模型，结晶百分数可由以下公式表示^[110-114]。虽然 JMAK 等式只适用于等温相变过程，不能计算连续冷却的非等温相变过程。但是由于在瞬态有限元计算中，在每一时间步长计算中的计算结晶体分比可以看做是满足等温过程。JMAK 方程如下公式 (2.6)：

$$\begin{cases} x(t) = 1 - \exp[-(kt)^n] \\ k(T) = v \exp(-\frac{E_A}{k_B T}) \end{cases} \quad \text{公式 (2.6)}$$

对于典型的相变材料 GST，公式 (2.6) 中 x 为相变材料的体分比， t 为时间， n 为 Avrami coefficient 因子，取值 $2.5^{[71]}$ ； v 为频率因子，取值 10^{22}s^{-1} ； E_A 为激活能，可以通过 Kissinger 分析得到，根据报道一般值为 $2\text{eV}^{[115-116]}$ ； k_B 为波尔兹曼常数，取值 $1.38\text{e-}23\text{J}\cdot\text{K}$ ； T 为温度。计算流程如图 2.10 所示。在第 n 个时间段内利用电热模型计算出稳态电场和稳态热场。而从公式 (2.6) 看出，JMAK 方程中的体分比 x 是一个关于温度的函数，因此可以基于算得的温度场求出结晶体分比。再建立材料电导率热导率和结晶体分比的关系，算得在第 n 个时间段内的材料电导率和热导率。利用第 n 个时间段内算得的材料电导率和热导率，在第 $n+1$ 个时间段内利用电热模型，算出第 $n+1$ 个时间段内的电场和热场的稳定分布。再重复第 n 个时间段内用 JMAK 结晶模型计算结晶体分比的过程，算出在第 $n+1$ 个时间段内的结晶体分比，再利用电导率热导率和结晶体分比的关系，算得在第 $n+1$ 个时间段内的材料电导率和热导率。

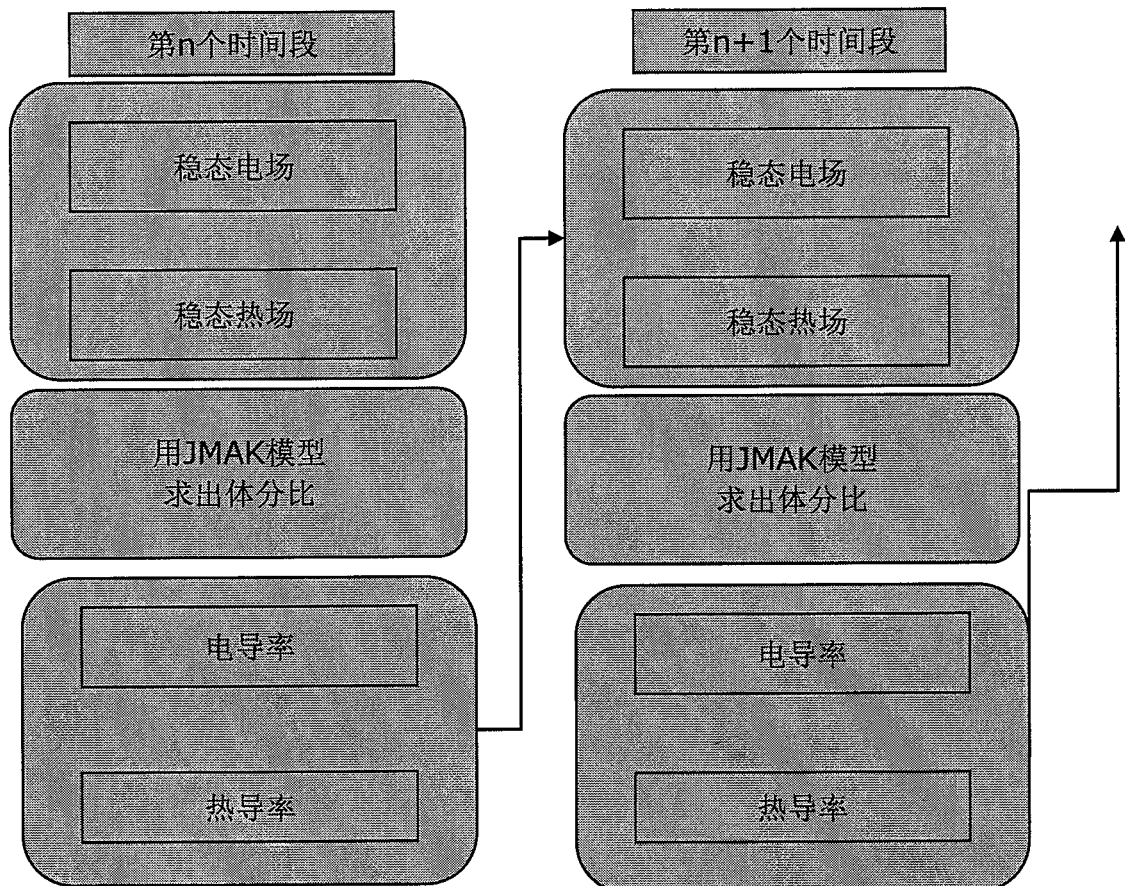


图 2.10 结晶模拟计算流程图。

2.3.2 一维模拟

对于等温结晶，取两个温度 500K，800K。套用 JMAK 方程可以计算得如图 2.11 等温结晶的结晶体分比。

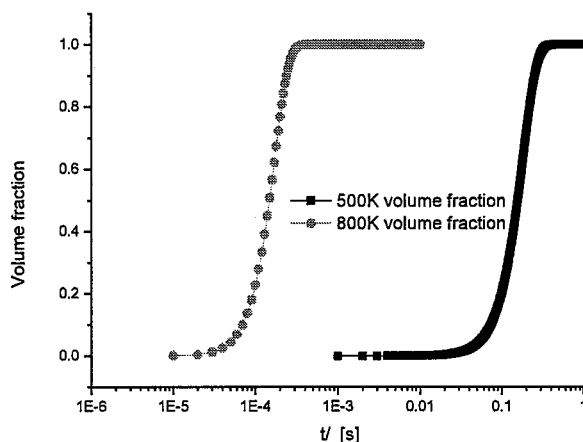


图 2.11 在 500K 和 800K 等温情况下计算结晶体分比。

如图 2.11 所示，横坐标表示温度保持时间，纵坐标表示结晶程度，0 为非晶，1 为完全结晶。可以看到通过时间的累积我们能够实现非晶材料的完全晶化。

2.3.3 二维模拟

在 COMSOL 基于电热模拟计算得到的温度，通过在 COMSOL 中的二次开发模块，构建基于 JMAK 方程的结晶模型。由于 JMAK 方程中的温度是由电热模型算得的瞬态温度，我们可以研究针对器件单元某一点的随着脉冲而累积的结晶演变情况。相变材料结晶体分比会改变材料的电导率和热导率，按照图 2.10 的思路，首先按照如下公式 (2.7) 和公式 (2.8) 的比率关系分别设定电导率和热导率和体分比的关系，式中 x 表示为结晶体分比， σ 表示电导率， k 表示热导率：

$$\sigma = \begin{cases} 2770 & ; x = 1 \\ 2770 * x + 3 * (1 - x) & ; 0 < x < 1 \\ 3 & ; x = 0 \end{cases} \quad \text{公式 (2.7)}$$

$$k = \begin{cases} 0.5 & ; x = 1 \\ 0.5 * x + 0.2 * (1 - x) & ; 0 < x < 1 \\ 0.2 & ; x = 0 \end{cases} \quad \text{公式 (2.8)}$$

然后在 COMSOL 中构建 JMAK 结晶模型。以如图 2.1 中的传统蘑菇型 PCRAM 为例模拟结晶过程中，模拟按照如下步骤：

- (1) 模型选择：选择对称二维模式的电热耦合模块和二次开发的结晶计算模块。
- (2) 建模：在模型块中利用绘图工具建立几何模型。中心轴对称的模式构建几何结构。图形尺寸如图 2.3 (a) 中所示。
- (3) 物理特性指定：即材料属性、边界条件和初始条件。在电场模块中，定义上电极 W 接地，下电极 W 注入电流，为诺伊曼边界条件。外部包围着的 SiO₂ 的边界是电绝缘，狄利克雷边界条件。初始的电势为零。在热传导模块中，定义上电极 W 和下电极顶端的温度都是室温 (T=298K)，SiO₂ 的外表面都是热绝缘。器件单元初始的温度是 298K。在结晶模块中，初始值取 RESET 操作后的晶相分布，并按照如上式中电导率和热导率和体分比的关系取对应的电导率和热导率。操作脉冲形貌如图 2.2，只是脉高变小为 0.02mA 和 0.7mA，而操作脉宽调整为 200ns。在结晶模块中，初始的晶态分为，为一次 RESET 操作后，非晶 GST 区域封住下电极为初始分布。
- (4) 网格划分：根据计算精度要求，选择合适的网格划分参数，即将计算区域离散化成互不重叠的单元。
- (5) 求解：通过对求解器参数恰当设定后求解。
- (6) 后处理：由计算所得各模式的对应的电场，温度，晶相分布。

计算结果如图 2.12 和图 2.13 所示。在焦耳热的作用下，图 2.12(a) 0.02mA SET 电流刚加到器件单元上时，由于尖端效应，电流在下电极和 GST 接触区域的电流密度最大，电势梯度大的区域产生的热量多，当温度达到结晶温度后，从而在对应的图 2.12 (b) 中在非晶区域（深色表示）形成了一个多晶通道（浅色表示）。这部分区域先结晶。结晶后的 GST 电导率迅速增加。相对于周围的高电阻，器件单元电流大部分往结晶区域通过，从而这部分电流越来越大，产生的热量越多，热量往非晶区域扩散，使得周围的非晶也达到结晶温度，致使其结晶。图 2.13 (a) 中表现了在操作电流加大到 0.7mA 的情况下，电流集中流向之前形成的多晶通道，导致多晶通道周围的温度持续升高，从而导致晶化区域沿着多晶通道越来越大，通过焦耳电阻公式，

电阻值和横截面积成反比。通道越大，横截面积越大，从而通道电阻越小，流过的电流越多，在该区域的热量越多，结晶越多。最终形成如图 2.13 (b) 所示的晶相分布。

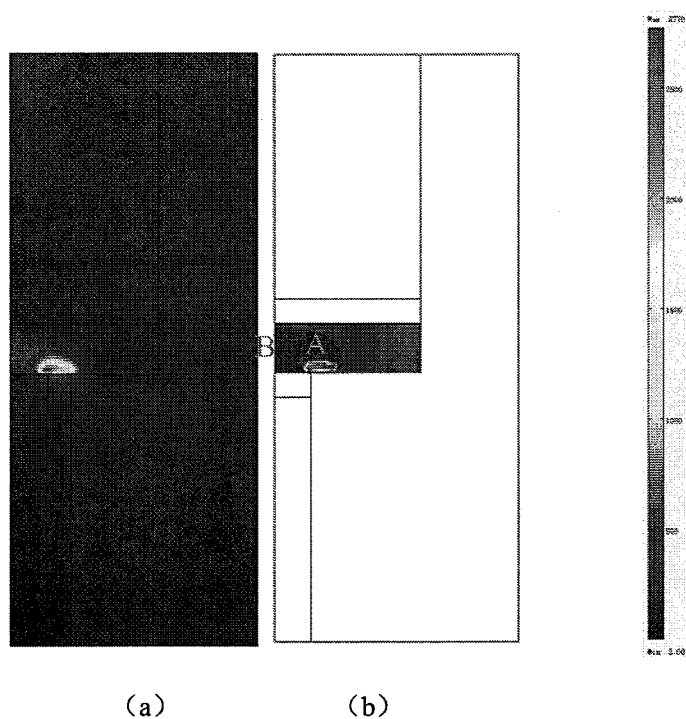


图 2.12 添加操作电流 0.02mA，200ns 后，器件单元中的 (a) 温度分布和 (b) 晶相分布。

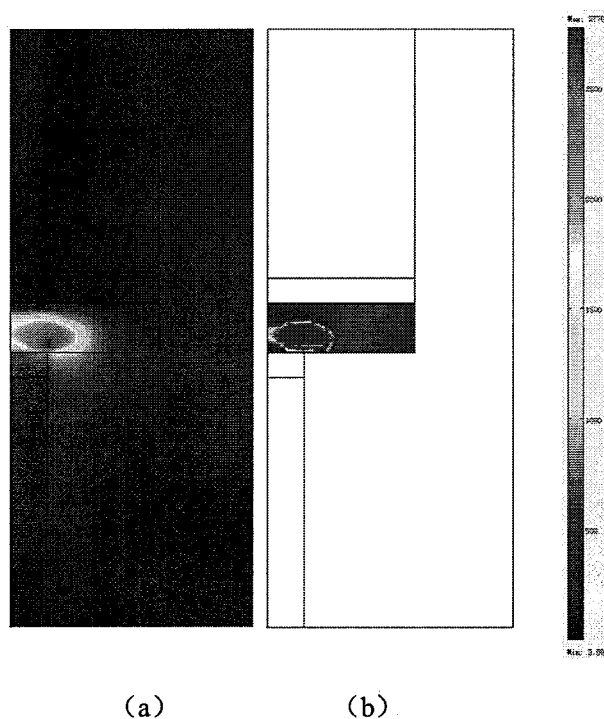


图 2.13 添加操作电流 0.7mA，200ns 后，器件单元中的 (a) 温度分布和 (b) 晶相分布。

利用 JMAK 结晶模型模拟 PCRAM 器件单元中的结晶过程，我们不仅可以获得器件单元中的器件单元中相变子区域的晶相分布，还可以分析任意一点的结晶情况和时间的关系。在 JMAK 方程中，体分比 x 与时间有关。在利用式 2.7，建立电导率和体分比的关系。我们取图 2.12(b) 中两个点 A($x=75\text{nm}$, $y=600\text{nm}$) 和 B($x=0$, $y=600\text{nm}$) 进行比较。如图 2.14，从 A 点接近下电极和 GST 接触的尖端，此处温度高，非晶率先结晶，该处电导率在不到 5ns 内迅速增加到晶态 GST 电导率值 ($2770 \Omega^{-1}\text{m}^{-1}$)，而在图 2.15 中 B 点远离下电极和 GST 接触的尖端，此处温度较低，一直到 200ns 电导率才接近晶态 GST 电导率值。

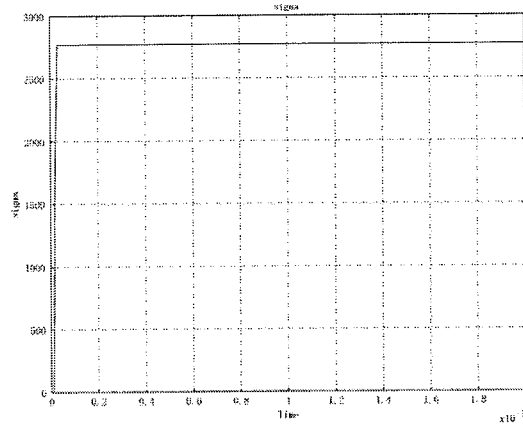


图 2.14 0.7mA SET 操作后 A ($x=75\text{nm}$, $y=600\text{nm}$) 点电导率和操作时间的关系。

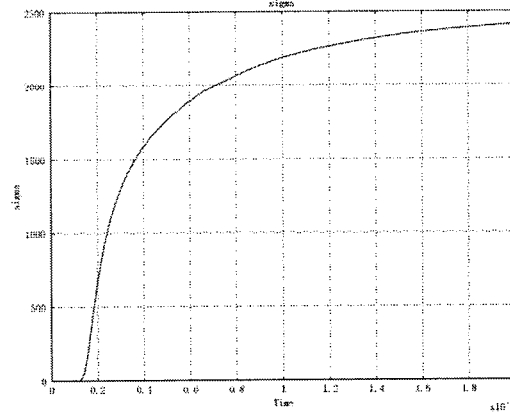


图 2.15 0.7mA SET 操作后 B ($x=0$, $y=600\text{nm}$) 点结晶率和操作时间的关系。

2.3.4 三维模拟

三维模型和二维模型在运用 COMSOL 的流程上是相似的，只在于最初的模块选择和几何结构的区别。按照图 2.1 中的尺寸参数构建一个三维器件单元结构，如图 2.16 (a) 所示。在 COMSOL 中选择三维模式的电热耦合模块和二次开发的结晶计算模块，同样设定好各个子区域对应的材料参数，边界条件和初始条件。然后划分网格，如图 2.16 (b) 所示。通过对求解器参数恰当设定后求解和后处理获得三维晶相分布。

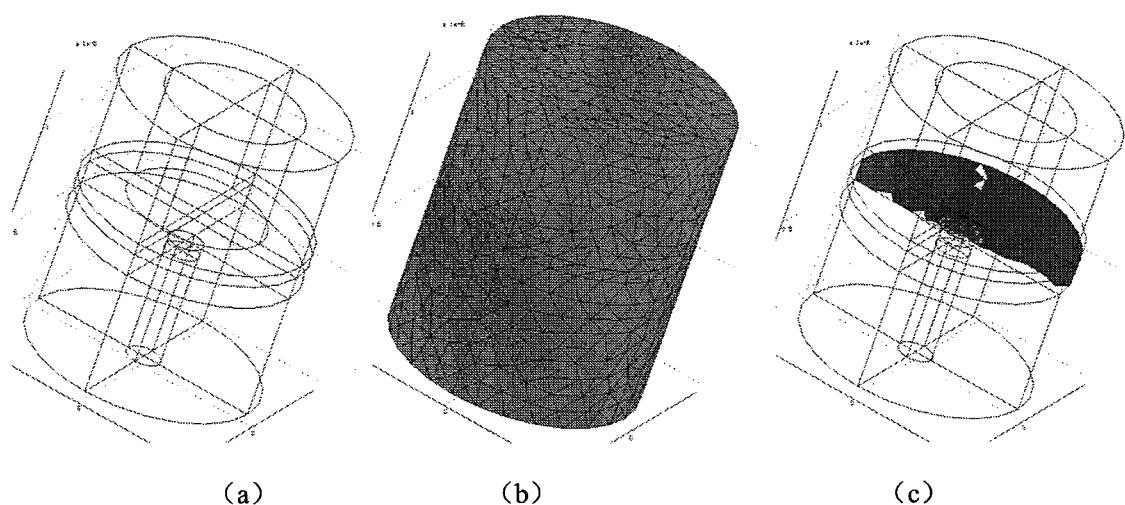


图 2.16 (a) 三维结构 (b) 三维结构网格 (c) 三维模拟计算结晶分布。

我们来探讨二维模拟是否能够替代三维模拟。从图 2.17 可以看出，三维情况下的 0.02mA 和 0.7mA 操作器件单元后的晶相分布和在二维模拟结晶分布的结果一致。同样的，可以发现三维结构实际上二维面积算结果的集合。因此在分析器件单元的结晶情况时，可以用二维模型代替，从而减少模拟时间，提高工作效率。

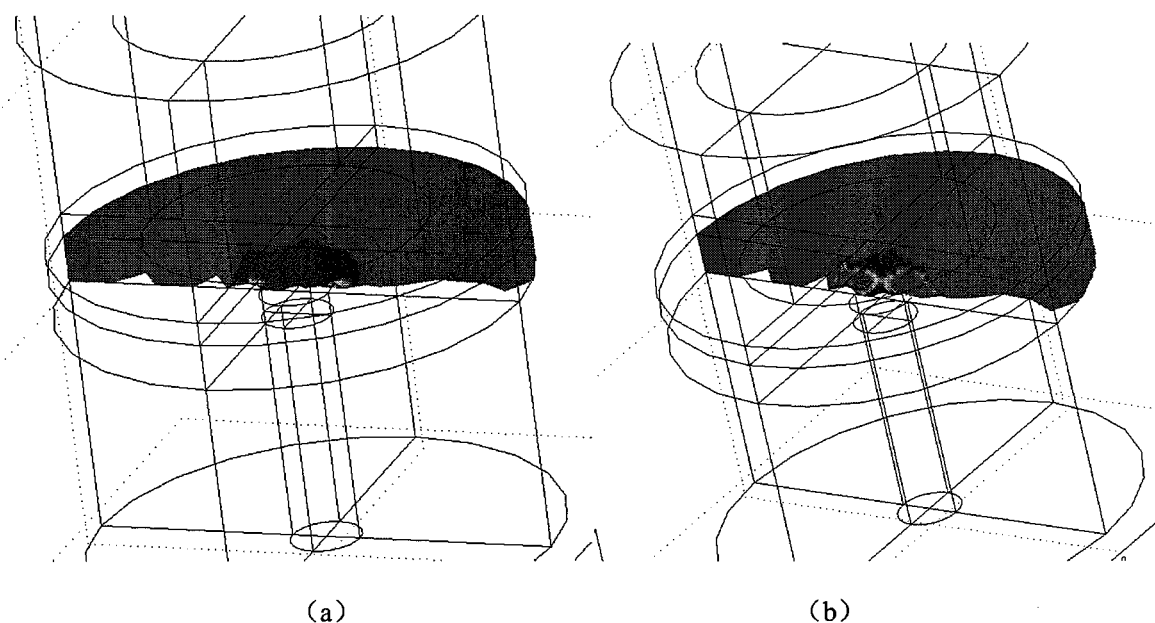


图 2.17 添加电流 (a) 0.02mA 和 (b) 0.7mA, 200ns 操作后器件单元中的晶相分布。

2.4 应力模型

相变存储器中的材料在 RESET 操作中经历了迅速升温 and 迅速降温的过程，巨大的温度变化会在器件单元内部引起很大的应力，从而应力过大可能是器件单元失效的一个原因。目前对于相变材料的应力特性已有大量研究，通过各种实验获得了 GST 的弹性模量，泊松比率，热膨胀系数这些和应力直接相关的参数。但是就相变存储器

的研究而言,多局限在电致焦耳热的研究,目前虽然已经有研究报道了在相变材料薄膜沉积在后基底上或者考虑到包袱相变材料的金属和绝缘材料的影响^[96],而且通过定量测量特定相变材料薄膜的应力,而且发现热应力和相变应力对材料结构的在 μm 尺度上的影响可以忽略^[99]。但是对于具体器件单元结构,特别是小尺寸(小于 100nm)还有待进一步研究,因此我们应用 COMSOL 中的应力分析模块计算器件单元中的热应力引起的弹塑性形变。

根据弹塑性分析基本知识,塑性是一种在某种给定载荷下,材料产生永久变形的材料特性,对大多的工程材料来说,当其应力低于比例极限时,应力-应变关系是线性的。另外,大多数材料在其应力低于屈服点时,表现为弹性行为,也就是说,当移走载荷时,其应变也完全消失。在应力—应变的曲线中,低于屈服点的叫做弹性部分,超过屈服点的叫做塑性部分,也叫做应变强化部分。屈服准则的值有时候也叫做等效应力,一个通用的屈服准则是 Von Mises 屈服准则,当等效 Von Mises 应力超过材料的屈服应力时,将会发生塑性变形。用有限元方法计算特定结构中的应力分布,使用的商业软件为 COMSOL。

热应力计算可以由应力公式得到:

$$P = E \cdot \alpha \cdot \Delta T \quad \text{公式 (2.9)}$$

公式 (2.9) 中 P 为应力, E 为杨氏模量, 和 α 为热膨胀系数。

应力模拟流程如

有限元软件中计算热应力流程如图 2.18。

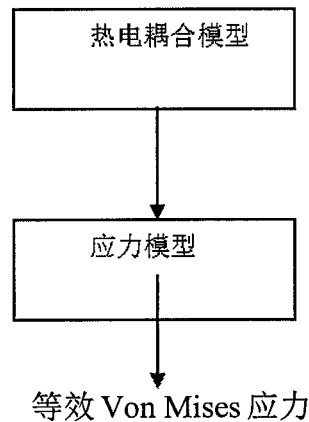


图 2.18 热应力计算流程。

以如图 2.19 所示结构为例,计算器件单元中的应力分布。首先在每一个时间步长中利用电热模型计算出温度场分布,利用温度分布的结果,在 COMSOL 应力模块

中，材料的密度，电导率，热容，热导率如中表 2.2 的参数，材料的杨氏模量和热膨胀系数如表 2.3 中的参数。

在 COMSOL 中选择热应力模型。以如图 2.1 中的传统蘑菇型 PCRAM 为例模拟结晶过程中，模拟按照如下步骤：

- (1) 模型选择：选择二维模式的电热耦合模块和热应力计算模块。
- (2) 建模：在模型块中利用绘图工具建立几何模型。中心轴对称的模式构建几何结构。图形尺寸如图 2.3 (a) 中所示。
- (3) 物理特性指定：即材料属性、边界条件和初始条件。在电场模块中，定义上电极 W 接地，下电极 W 注入电流，为诺伊曼边界条件。外部包围着的 SiO_2 的边界是电绝缘，狄利克雷边界条件。初始的电势为零。在热传导模块中，定义上电极 W 和下电极顶端的温度都是室温 ($T=298\text{K}$)， SiO_2 的外表面都是热绝缘。器件单元初始的温度是 298K。在结晶模块中，初始值取 RESET 操作后的晶相分布，并按照如上式中电导率和热导率和体分比的关系取对应的电导率和热导率。操作脉冲形貌如图 2.2。在应力模块中，初始的应力值为 0。
- (4) 网格划分：根据计算精度要求，选择合适的网格划分参数，即将计算区域离散化成互不重叠的单元。
- (5) 求解：通过对求解器参数恰当设定后求解。
- (6) 后处理：由计算所得器件单元中对应的应力分布。

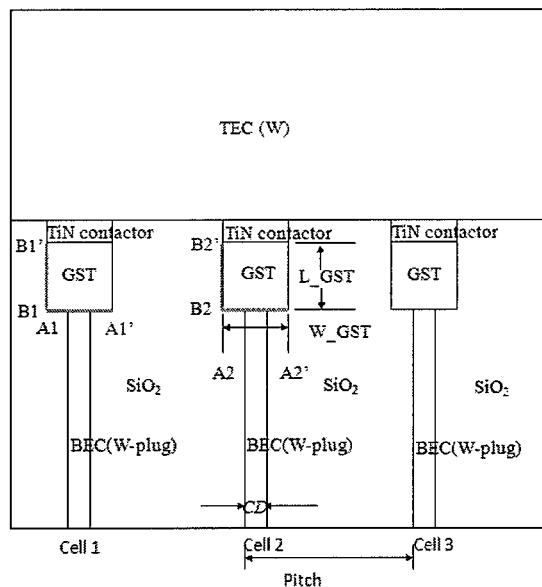


图 2.19 器件单元几何结构示意图。

表 2.3 器件单元中各个材料的应力相关参数。

	杨氏模量 E (GPa)	热膨胀系数 α ($10^{-6}/\text{K}$)
W	411	4.5

TiN contactor	450 ^[97]	9.35 ^[97]
GST	56 ^[98]	18 ^[99]
SiO ₂	72.8 ^[97]	4.3 ^[97]

计算结果如图 2. 20，器件单元中存在两个方向的应力，箭头表示，可以看到两个方向的应力主要分布在 GST 和 W 接触的边界，因此最大等效应力分布在器件单元边缘处。

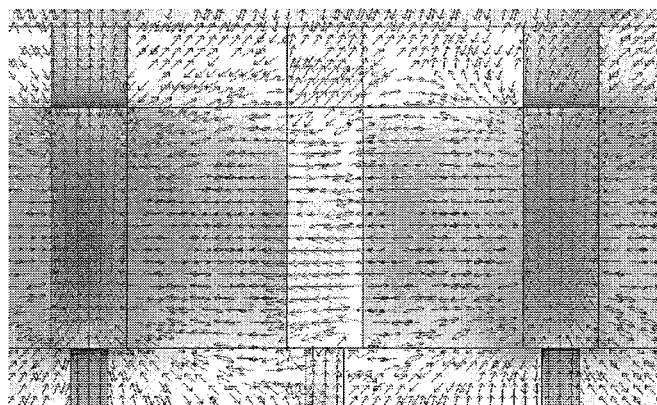


图 2. 20 1mA, 50ns 脉冲操作后器件单元的应力分布。剪头代表两种不同方向的应力。

计算得到 PCRAM 器件单元中沿着器件单元中轴线的温度分布和应力分布分别如图 2. 21 和图 2. 22。应力分布受温度和材料性能的影响。GST 热膨胀系数最高，温度升高导致形变，GST 向外挤压，但是 GST 的杨氏模量很小，GST 向外挤压的应力小，而且 GST 中应力还可以横向传播，所以 GST 中温度有最高点，但是应力却不是最高。W 的杨氏模量是 GST 的 10 倍，而且 W 被 SiO₂ 包裹，应力横向传播受到抑制，所以下电极 W 中应力最大。

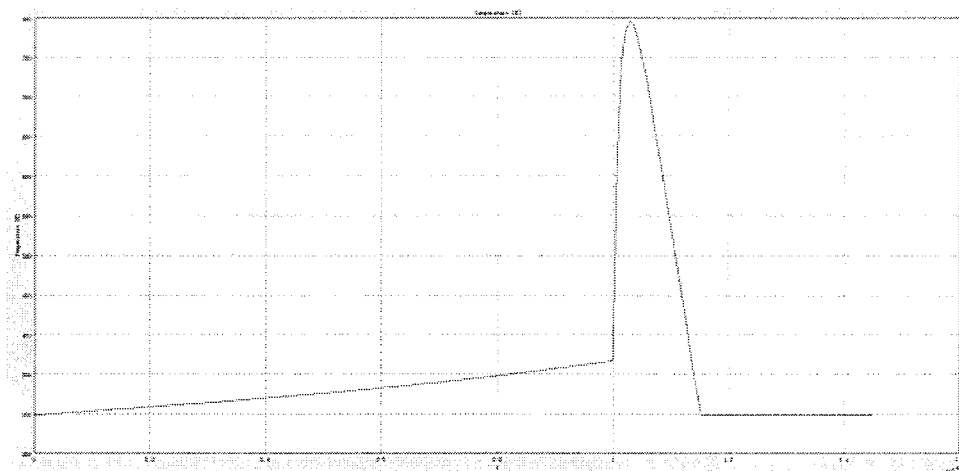


图 2. 21 器件单元中温度沿着轴线的分布。

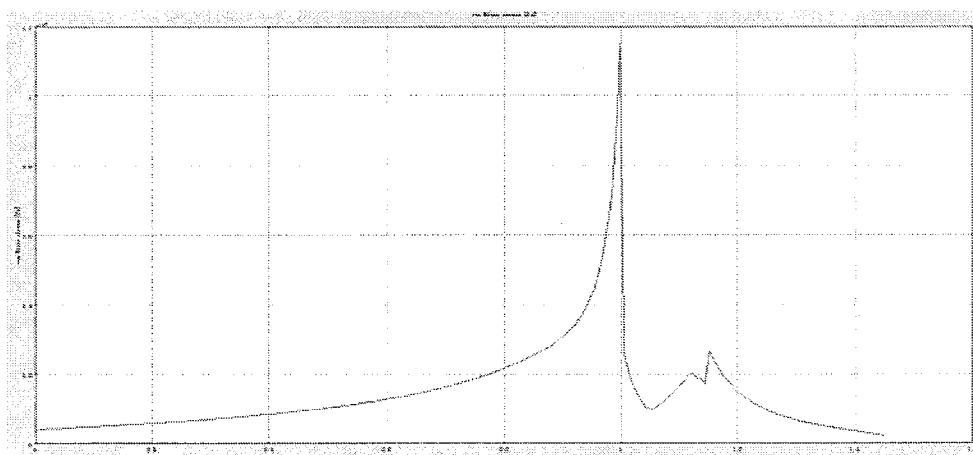


图 2.22 器件单元中应力沿着轴线的分布。

2.5 本章小结

本章详细介绍了有限元计算的原理，以及在商业化有限元 COMSOL 中的使用步骤。创新性的将瞬态电热模型应用在 PCRAM 器件单元的温度分析中，从而得到 PCRAM 操作过程中的电势，电流密度，温度分布等参数。在三维模型中还可以计算各个子区域的热量分布百分比，建立了分析 PCRAM 热效率的方法。

利用 COMSOL 二次开发功能构建了基于 JMAK 方程的结晶模型。通过模拟可以获得 PCRAM 中在电致焦耳热作用下的动态结晶过程。

利用 COMSOL 建立 PCRAM 中热应力模型。基于这个模型可以计算出 PCRAM 器件单元操作中由于巨大的变温速率和 PCRAM 器件单元中的材料特性差别造成的热应力分布，最后得出结论：对于传统蘑菇型结构器件单元，下电极 W 和 GST 接触边界上应力最大，从而指导 PCRAM 工程化中提升工艺稳定性。

第三章 相变存储器编程过程模拟

擦操作 (RESET) 的定义是当加一个短且强的脉冲信号使器件单元中的相变材料温度升高到熔化温度以上后, 再经过快速冷却从而实现相变材料多晶态到非晶态的转换, 即“1”态到“0”态的转换。PCRAM 器件单元中的相变材料层在外加电流产生的焦耳热作用下温度上升, 并在一部分区域里先达到熔点, 相变材料由晶态变成熔融态, 如果此时电流脉冲结束, 器件单元散热良好, 使得熔融态区域的温度能够在 15ns 降到结晶温度, 由于降温速度是如此的迅速, 以至于熔融态的材料结构不能够实现规律的排列, 即形成非晶。如图 3.1 所示, 非晶和多晶实现串联, 就能够使得器件单元的电阻值上升好几个数量级, 从而达到了在读过程中能够分辨高阻和低阻, 进行二元存贮的目的。

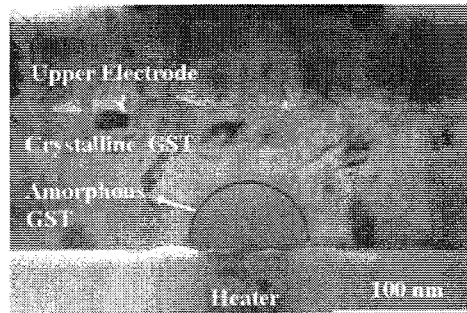


图 3.1 PCRAM RESET 操作后的 TEM 纵向截面图^[117]。

写操作 (SET) 的定义是当施加一个长且中等强度的脉冲信号使相变材料温度升到熔化温度之下、结晶温度之上后, 并保持一段时间促使晶核生长, 从而实现非晶态到多晶态的转换, 即“0”态到“1”态的转换。PCRAM 的 SET 操作是以非晶态 GST 为晶相初始态, SET 操作电压大于阈值电压, Switching 现象发生, 器件单元中产生焦耳热只是非晶晶化。如图 3.2 所示, 结晶态形成一个低阻通道的并联电阻, 致使器件单元电阻降低, SET 操作完成。

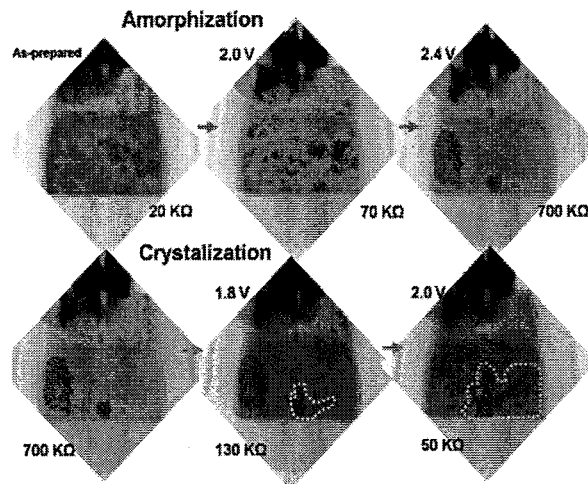


图 3.2 通过 TEM 观察到非晶 GST 在操作脉冲作用下结果过程, 可以看到结晶从下电极与 GST 接触边界开始, 进而形成一个结晶通道^[118]。

3.1 模拟 RESET 操作

还是以如图 2.1 传统蘑菇型结构为例。如图 3.3, 分别观察注入 0.8、1.1、1.23、1.3mA 情况下温度分布和电流密度分布, 其对应的熔融区域如图 3.4。图中灰色的区域既是熔融区域, 可见随着注入电流的增加, 器件单元温度越来越高, 非晶区域越来越大, 直到非晶区域完全盖住下电极, 形成高阻串联。此时实现了 RESET 过程。

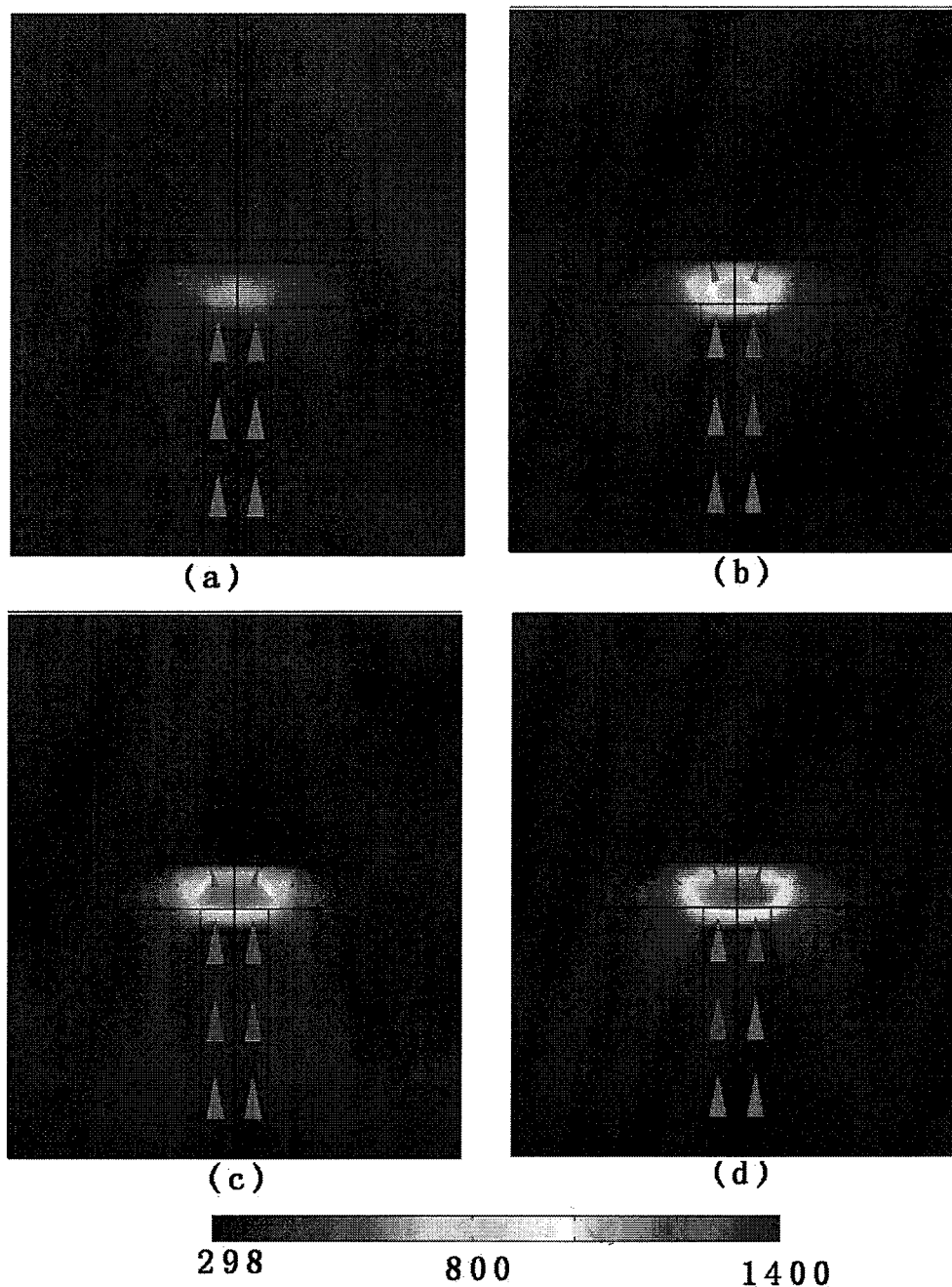


图 3.3 分别注入 (a) 0.8、(b) 1.1、(c) 1.23、(d) 1.3mA 情况下温度分布和电流密度分布器件单元纵向截面图。

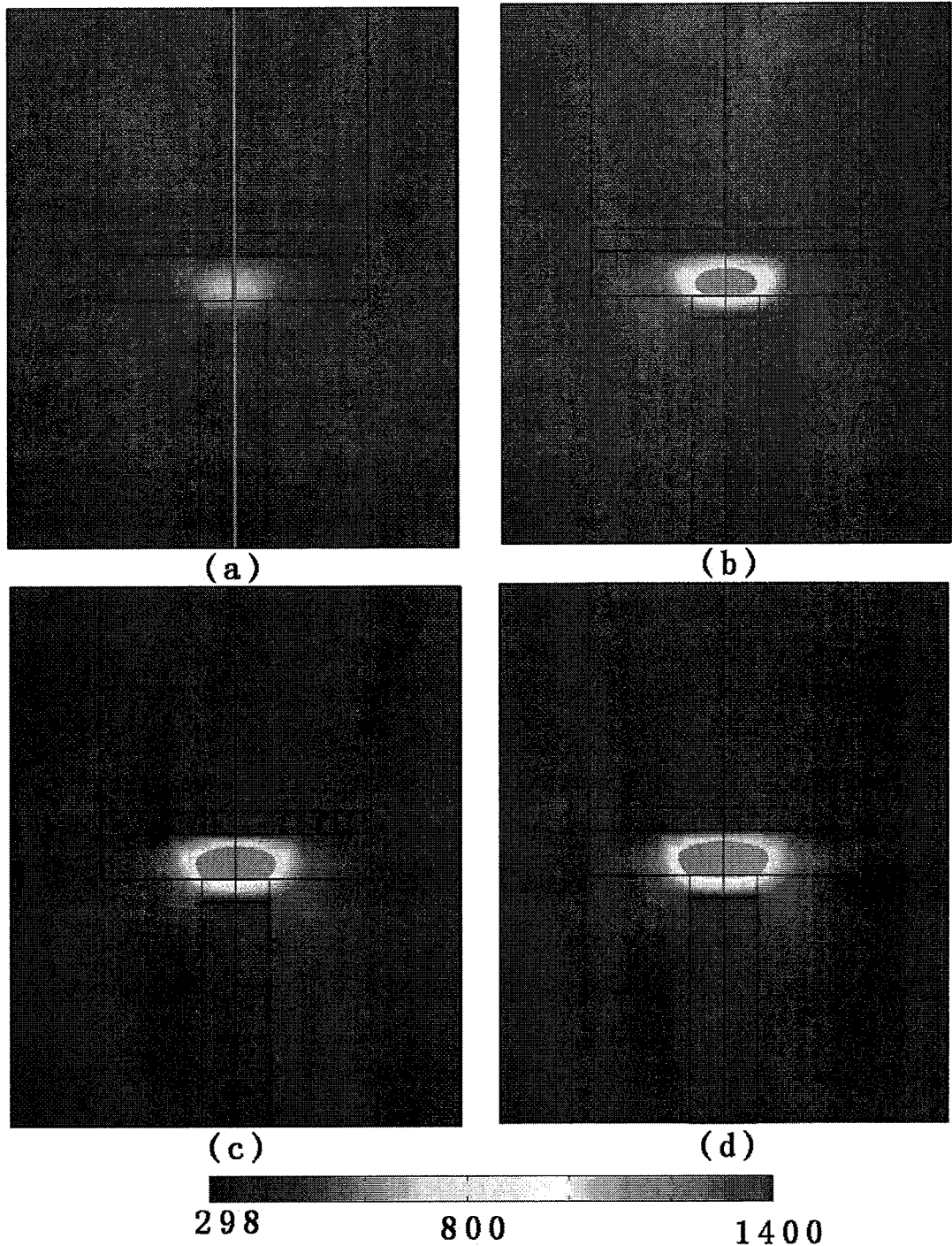


图 3.4 分别注入 (a) 0.8、(b) 1.1、(c) 1.23、(d) 1.3mA 情况下熔融区域器件单元纵向截面图。

我们按照读操作的定义来模拟读操作，即当加一个对相变材料的状态不会产生影响的很弱的脉冲信号后，通过测量器件单元的电阻值来读取它的状态。在得到注入各个电流得到非晶区域后，注入一个不足以改变材料结构很小的电流（0.1mA），测得相应的电压，算出电阻。如图 3.5，可见器件单元在 1.26mA 处发生电阻突变，实现 RESET 过程。突变的幅度超过 100 倍，符合测试要求。

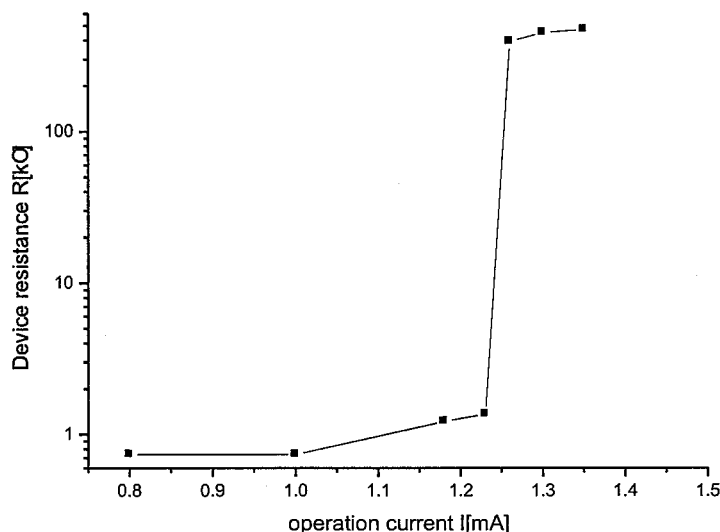


图 3.5 器件单元电阻和操作电流的关系图。

3.2 模型校准

我们建立的模型，都是在理想情况，没有考虑到电导率，热导率随温度的变化，熔化焓和热边界电阻的情况下得到的结果。为了和实验结果吻合需要调试模型。调整模型思路有两种，一种是从物理原理出发，考虑电导率，热导率随温度的变化，熔化焓和热边界电阻效应^[82]。虽然这种方面能够在物理图像得到更加精确的温度分布，但是因为物理量的增加会导致计算量剧增，而且最后还是需要一个和测试结果校准的过程。另一种方法是从实验结果出发，根据经验，将这些物理量的变化涵盖在一个等效电导率中，实现和测试结果的校准。我们采用第二种方法，从测试数据出发，经验性的提取一个关键因素，校准模型。

3.2.1 相变器件单元工艺

如前文所述，相变存储器最基本的单元结构是通过上下电极将器件单元引出。电极材料对于相变存储器性能的影响是多方面，考虑到相变器件单元对热稳定性的要求，我们选择钨（W）作为电极材料。W 是半导体工艺线中常见的金属材料，广泛应用于金属连线间的插塞。更为重要的因素在于 CMOS 工艺线中的 W 插塞技术已经非常成熟，并且能够实现纳米 W 电极的制备，这对于改善器件单元性能至关重要。下面我们以电极制备工艺为基础，简单介绍我们研究小组制备相变存储器器件单元的工艺步骤^[119-124]。

以 0.18 μm 工艺节点下的 260nm 电极制备工艺为典型器件单元工艺制备过程。260nm 电极相变存储器的工艺集成方法如图 3.6 所示。首先在 8 英寸的 p 型衬底上热氧化一层 SiO_2 ，利用激光扫描刻出零对准标记。这层氧化层是为了防止激光扫描时

溅射出的颗粒污染硅片。然后将这层氧化层湿法腐蚀完并清洗烘干，淀积 1050 nm 厚的 TEOS，以防止衬底硅片的干扰。电极 Al 是用 PVD 技术溅射制备的，其具体的厚度参数为 200 nm Ti/250 nm TiN/250 nm AlCu/50 nm Ti/300 nm TiN。其中 Al 中掺入少量的 Cu，为了防止 Al 金属的电迁移现象，Ti/TiN 是黏附层，增加金属与氧化层之间的黏附能力，并且也能阻止金属与氧化物之间的相互扩散。曝光是为了得到更好的图像效果，需要淀积一层 32 nm 纳米厚的 SiON，用以降低光的反射，使得曝光图形边缘更易于控制。经过曝光、显影、刻蚀、去胶等光刻工艺就制备出下电极 Al。

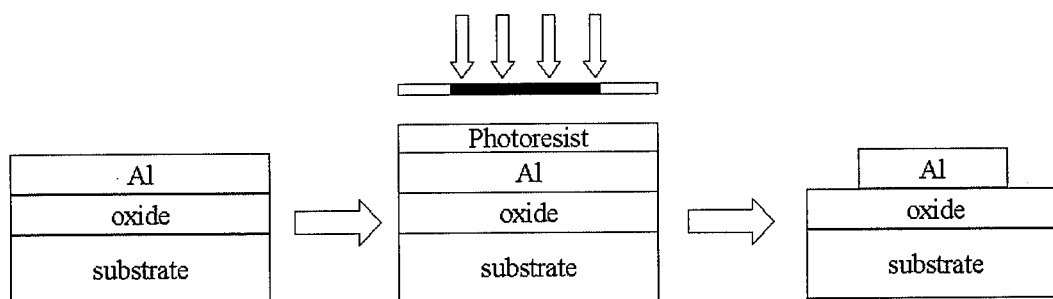


图 3.6 下电极 Al 的制备过程。

260nm 下电极的制作流程如图 3.7 所示。在制备完的 Al 电极上用 High Density Plasma 技术淀积 1000 nm USG，然后 CMP 技术抛平表面，只剩下 400 nm 的 USG。利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm、深度 400 nm 的小孔，并去胶清洗干净，防止小孔堵塞。

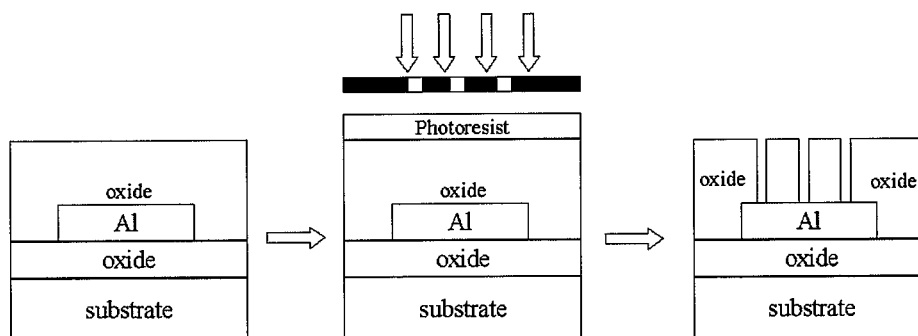


图 3.7 直径为 260 nm 小孔制备过程

W 电极是利用化学气相沉积 (Chemical Vapour Deposition, CVD) 的技术填充的，这种技术可以弥补物理气相沉积方法制备的金属薄膜台阶覆盖差的缺点。最后利用化学机械抛光的方法抛平表面，得到相变存储器制备需要的直径为 260 nm 加热电极，如图 3.8 所示。

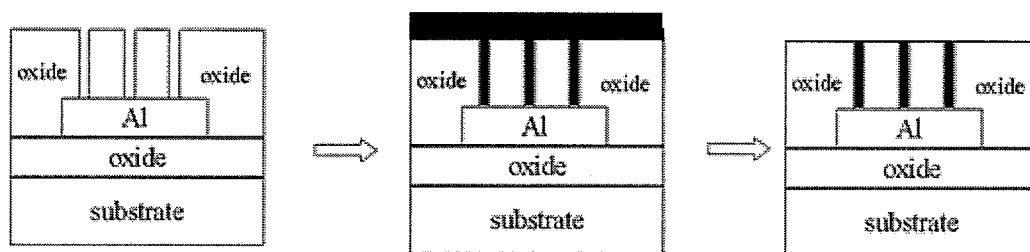


图 3.8 260nm W 电极的制备流程

GST/TiN 图形的制备

(1) GST 薄膜的沉积：本底真空为 1×10^{-4} Pa，室温，功率为 RF 200 W，气体流量为 Ar 20 sccm，溅射时间为 10 min，保证薄膜厚度在 150 nm 左右；

(2) TiN：磁控溅射 Ti 靶，本底真空为 1×10^{-4} Pa，室温，功率为 RF 400 W，气体流量为 Ar 20 sccm + N₂ 20 sccm，溅射时间为 20 min，薄膜厚度约为 40 nm。

(3) 涂胶 (6809)，参数：4000 r/min，30 sec；热板 100 °C，前烘 3 min；

(4) 显影 5-7 sec；

(5) 烘箱 120 °C，坚膜 30 min；

(6) TiN 的刻蚀程序为：80 mTorr/200 W/20 sccm CF₄/2 sccm O₂/60 sec；

GST 的刻蚀程序为：50 mTorr/250 W/15 sccm CF₄/35 sccm Ar/3 min；

(7) 丙酮弱超声清洗 1 min（去胶）；

清洗并烘干芯片。

GST/TiN 刻蚀后的结构如图 3.9 所示。

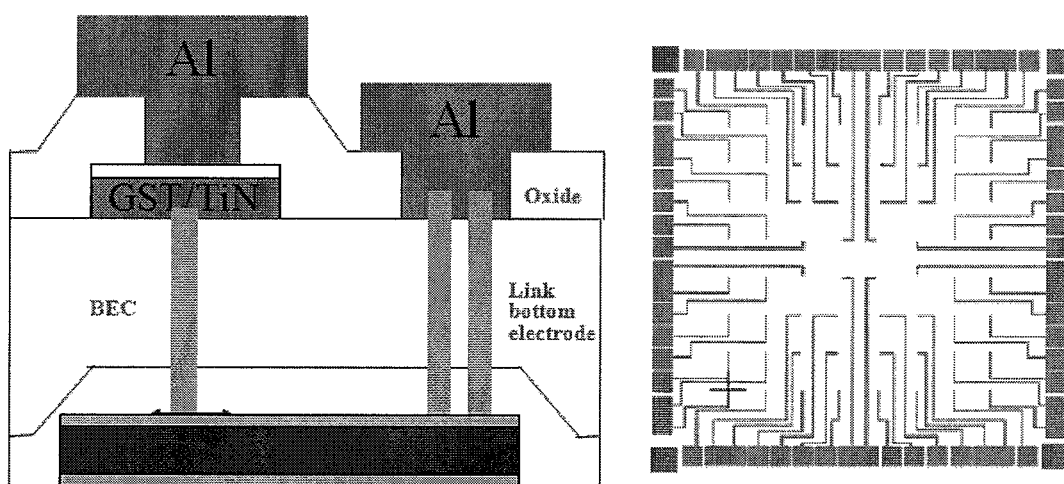


图 3.9 Al 电极工艺后的结构示意图及 Al 电极布线图。

3.2.2 测试系统

PCRAM 中 RESET 和 SET 操作是通过纳秒级的电脉冲实现, 在分立器件单元测试系统中这一功能由电压脉冲发生器完成。整个测试系统利用惠普公司的 81104A 脉冲/码型发生器, Cascade 探针台、Keithly 2400C 多功能数字源表, 立足于中芯国际标准 CMOS 工艺, 建立的一套以 GST 为相变材料、以电压脉冲为操作方式的分立相变存储器件单元的标准测试流程。其中 81104A 脉冲/码型发生器的输出脉冲宽度在 12.5ns 至 999.5s 内可调, 最大输出电压和电流分别为 20V 以及 400mA。通过改变脉冲宽度以及脉冲高度的组合, 我们便可实现对相变存储单元的写擦操作。在这一步操作中我们一般选择的固定 0~50uA I-V 扫描, 扫描步长为 1uA。对于正常的器件单元通过这一步测试我们便可以得到相变阈值电流 I_{th} 和相变阈值电压 V_{th} 这两个重要参数, 随后我们将对器件单元施以 RESET 脉高实验并提取写脉高参数, 实验流程如下:

(1) 对器件单元施加 0~50uA 的 I-V 扫描从而将器件单元置于低阻的多晶态, 并记录器件单元的 I_{th} 和 V_{th} 。

(2) 设定写脉宽为 200ns, 并对其施加写脉高扫描用以提取 RESET 操作电压 RESET 电压。

(3) 重复 (1) (2) 若干次以验证器件单元操作参数的稳定性。

最终基于上述简单测试流程我们将得到的若干条器件单元写脉高曲线合并从而得到电阻电流特性曲线 (R-I) 和电阻电压特性曲线 (R-V), 从中我们不难看出, 虽然在整个实验中我们选择的是同样的写擦条件, 但每一次重复写操作扫描得到曲线的一致性很差。因此约定每次操作器件单元达到 100K Ω 以上的非晶态高阻时对应的写操作电压 RESET 电压。

以上为制备和测试 PCRAM 器件单元的大致步骤。

3.2.3 校准模型

为校准模型, 取不同电极尺寸的两个样品进行测试。样品器件单元结构尺寸和测试值如表 3.1。

表 3.1 底电极直径为 260nm 和 130nm 的结构尺寸和测试的 RESET 电流/RESET 电压。

样品名称	260nm 样品	130nm 样品
底电极直径 (nm)	260	130
GST 厚度 (nm)	150	120
GST 宽度 (nm)	600	600
过渡层 TiN 厚度 (nm)	20	40
过渡层 TiN 宽度 (nm)	600	600
上电极 Al 厚度 (nm)	300	300
RESET 电流 (mA)	20~30	6~8
RESET 电压 (V)	8	2

如果将三星公司, Numonyx 提出的材料参数以及中芯国际给出的材料参数放入模型模拟, 如图 3. 10, 我们发现模拟结果和测试结果并不吻合。造成这种情况的原因是因为, 电热耦合模型只涉及温度计算, 不涉及材料熔化。因为在模拟中我们需要考虑到相变材料从晶态到熔融态中所需要的熔化焓。同时材料本身随着温度而变化的电导率和热导率。这些都要考虑到权重的因素中。我们通过通过和测试数据的对比, 我们提取出权重电导率的概念, 从而对每一个结构的单元结构进行校准。

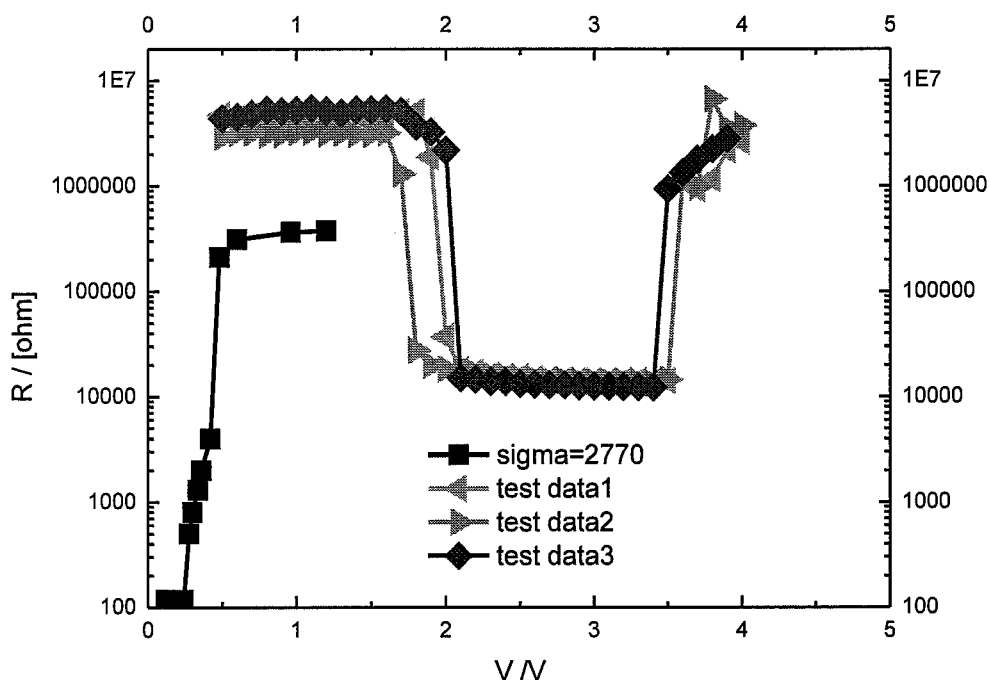


图 3.10 底电极 260nm 的器件单元测试值和模拟值。

建立一种相变存储器的模拟方法, 包括以下步骤:

- (1) 根据工艺要求建立相变存储单元的几何模型。
- (2) 当相变存储单元负载电流时, 考虑到熔化焓, 相变材料的电导率设定为等效熔融态电导率, 其数值要比实际的 GST 电导率高;
- (3) 利用如上一节提到的 RESET 操作过程模拟, 方程计算出相变存储单元负载不同电流或电压下的电势分布和温度分布。
- (4) 根据相变材料的熔融区域, 计算相变存储单元在负载不同电流或者电压下的电阻值, 从而得到 RI 关系曲线或 RV 关系曲线。

具体操作为此直接将相变材料的电导率提高, 这样要达到熔点就需要相对于没有考虑熔化焓时更多的热量, 即更大的电压。我们将这个按照测试值经验设置过的电导

率成为权重电导率。这个权重电导率综合考虑了器件单元中温度对电导率和热导率的影响，以及熔化焓的影响。

对于底电极是 260nm 的 PCRAM 器件单元，考虑到熔化焓，相变材料的电导率设定为等效熔融态电导率，其数值要比实际的 GST 电导率高，从而等效的电导率值要从真是的 GST 电导率值 ($2770\Omega^{-1}\text{m}^{-1}$) 提高到 $5000\Omega^{-1}\text{m}^{-1}$ 。

而对于底电极是 130nm 的 PCRAM 器件单元我们可以看到，如图 3.11 器件单元电极尺寸缩小，熔融区域也在变小，那么融化时所需要的额外热量变小，所以对于底电极为 130nm 的器件单元，故在模拟中产生较小的热量可由一个低于晶态 GST 电导率的高电导率值替代。我们可以调整相变材料的权重电导率到 $8000\Omega^{-1}\text{m}^{-1}$ ，能够得到和测试数据比较吻合的模拟数据，如图 3.12。

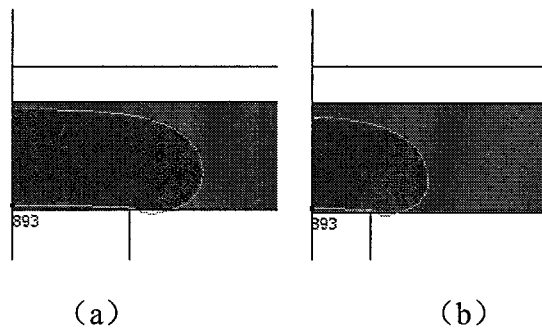


图 3.11 (a) 260nm, (b) 130nm 底电极尺寸器件单元中实现 RESET 要融化的相变材料区域。

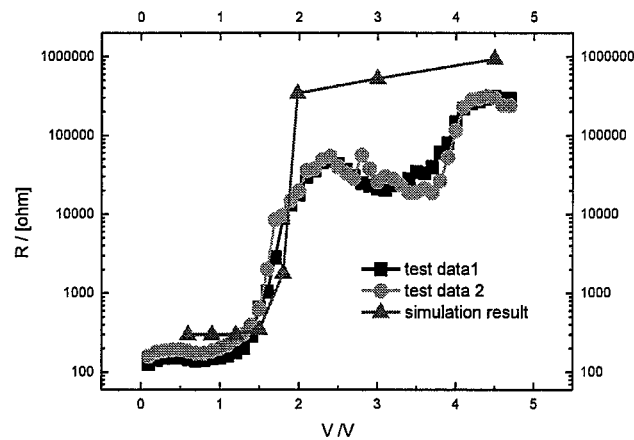


图 3.12 模拟结果和测试结果。

表 3.2 不同底电极尺寸的校准参数。显示了不同工艺尺寸下相变存储器的 RESET 电流和 RESET 电压。

底电极尺寸 (nm)	260	130
I_RESET (mA) (实际测得)	16	6
I_RESET (mA) (模拟值)	15.6	6
V_RESET (V) (实际测得)	3.2	2

V_RESET (V) (模拟值)	3.2	2
等效晶态电导率 ($\Omega^{-1}\text{m}^{-1}$)	5000	8000

如表 3.2 所示，分别采用等效晶态电导率校准电压 RESET 操作和采用基准电阻校准电流 RESET 操作。而图 3.13 (a) 表示了 260nm 底电极器件单元电阻随着电压剧增的过程，而图 3.13 (b) 表示了采用等效晶态电导率 $5000\Omega^{-1}\text{m}^{-1}$ 模拟电阻随着电压增大的过程。如图 3.14 (a) 所示，130nm 底电极器件单元电阻随着电压 2V 时剧增，而图 3.14 (b) 表示了采用等效晶态电导率 $8000\Omega^{-1}\text{m}^{-1}$ 模拟电阻随着电压增大的过程，可以看到我们的模拟结果和测试结果基本一致。

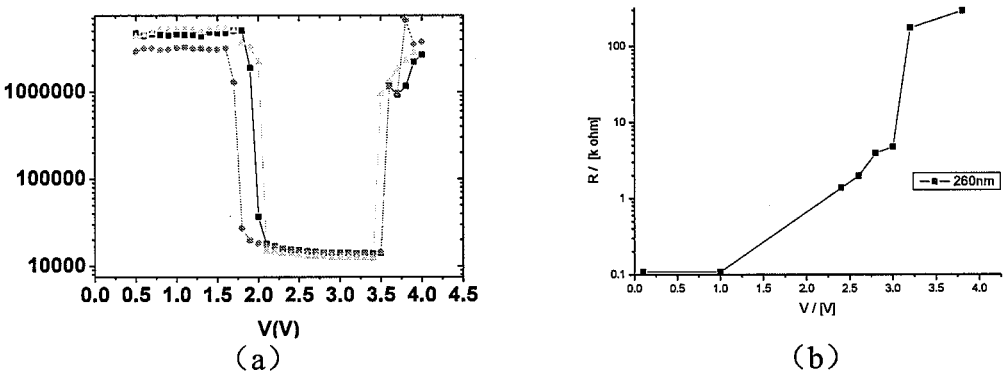


图 3.13 底电极为 260nm 的 PCRAM 器件单元的 (a) 电阻电压测试曲线 (b) 采用校准模型的电阻电压曲线。

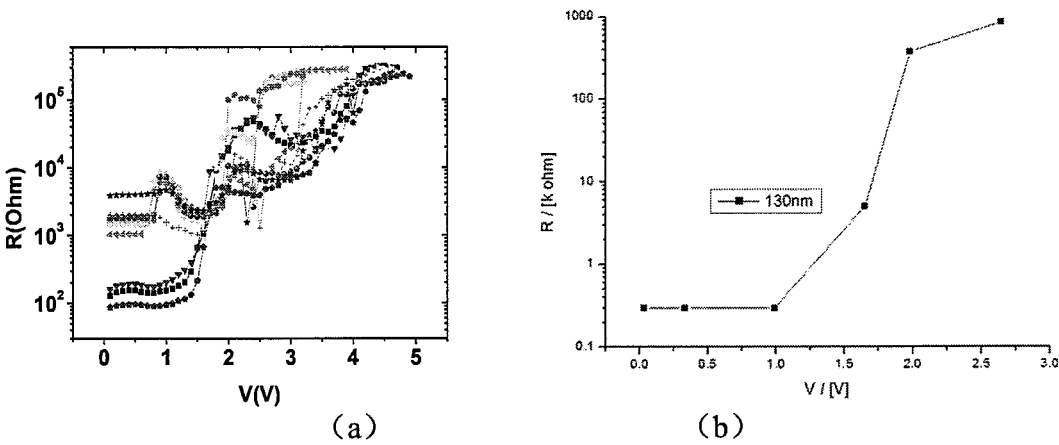


图 3.14 底电极为 130nm 的 PCRAM 器件单元的 (a) 电阻电压测试曲线 (b) 采用校准模型的电阻电压曲线。

3.3 一种新的 RESET 操作方法

传统的 RESET 方法由于采用了较强的脉冲信号，器件单元的操作电流或电压较大，电流通常为 2-3mA，电压通常大于 1V。为了降低器件单元功耗，我们设计了一种新的相变存储器的 RESET 方法，进行 RESET 操作时，通过小脉冲累积非晶区域的方式可实现 RESET 操作，首先对器件单元中的相变材料施加一个脉高较低的脉冲，

小脉冲使相变材料恰好达到熔融温度，并在相变材料局部形成非晶区域；然后继续施加多个脉高较低的脉冲，在相变材料中累积非晶区域，直至器件单元从低阻态转到高阻态。从而通过累积非晶区域的作用实现存储器的 RESET 操作。一方面低脉高产生的低热量有利于材料稳定性，另一方面低脉高能够保证相变存储器在要求低编程电流（电压）环境下的应用，在不改变相变存储器器件单元结构的情况下，降低了器件单元功耗，大大节省了优化器件单元结构的成本。

这种积累式的 RESET 操作只要一初始的操作脉冲能够使得多晶相变材料中有熔融区域即可，而满足多晶相变材料中有熔融区域的要求只需要很小的操作电流。现有技术中，单脉冲操作下 RESET 电流一般为 2-3mA。目前 PCRAM 的 RESET 脉宽一般是 100ns，SET 脉宽一般是 1000ns，因而影响相变存储器速度的关键因素是 SET 脉宽（1000ns）。这种新型的 RESET 操作方案可以实现在 1000ns 内完成累积操作，所以该 RESET 操作可以在不牺牲相变存储器操作速度的基础上降低 RESET 电流。还是以传统蘑菇型结构为例。对器件单元施加多个脉冲，采用同样的脉高 0.25mA，脉宽为 30ns，多个脉冲之间的间隔为 5ns，如图 3.15 所示。

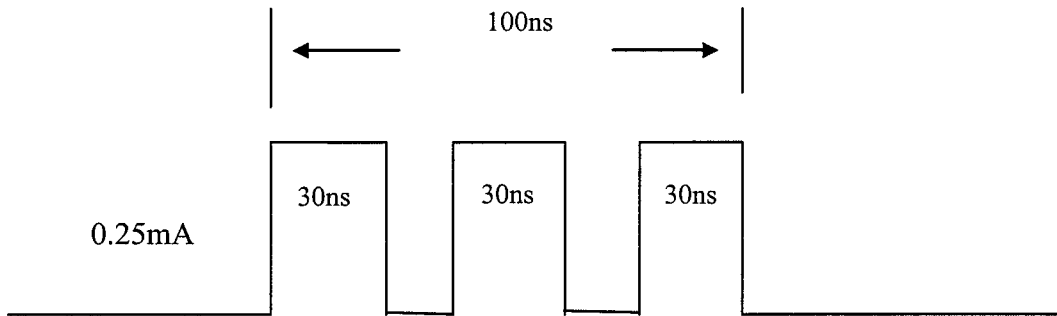


图 3.15 新型 RESET 操作的多脉冲示意图。

在第一次脉冲（0-30ns）操作中，器件单元在时刻 30ns 处即达到热平衡。此时温度分布如图 3.16（a）第一行所示，其中熔融温度等温线包裹的范围内，相变材料融化，脉冲停止，温度迅速降低，熔融区域形成图 3.16（a）第二行所示的非晶区域。非晶未能封住下电极，未能形成高阻和低阻的串联，因此器件单元电阻保持低阻态。如图 3.17（a）中处的 A 点所示，电阻为 4.5k Ω 。

在第二次脉冲（35ns-65ns）操作中，器件单元在时刻 65ns 处即达到热平衡。此时温度分布如图 3.16（b）第一行所示，其中熔融温度等温线包裹的范围内，相变材料融化，脉冲停止，温度迅速降低，熔融区域形成图 3.16（b）的非晶区域。非晶区

域有所增加，但仍未能封住下电极，未能形成高阻和低阻的串联，因此器件单元电阻有所增加，但依旧保持低阻态。如图 3.17 (a) 中 B 点所示，此时电阻为 $9\text{k}\Omega$ 。

在第三次脉冲（70ns-100ns）操作中，器件单元在脉冲时刻 100ns 处即达到热平衡，此时温度分布如图 3.16 (c) 第一行所示，同理其中熔融温度等温线包裹的范围内，相变材料融化，脉冲停止，温度迅速降低，熔融区域形成图 3.16 (c) 第二行所示的非晶区域。非晶区域封住下电极，形成高阻和低阻的串联，因此器件单元从低阻态转为高阻态，实现 RESET 操作 (RESET)。如图 3.17 (a) 中 C 点所示，电阻增加为 $2600\text{k}\Omega$ 。图 3.17 (b) 为测试值，传统操作方法的 RESET 电压为 3V，而通过 1V 多脉冲累积，可以成功实现 RESET 操作。因此这种小脉冲累积非晶区域的操作方法行之有效。因此，我们提供一种相变存储器的 RESET 方法，降低存储器的 RESET 脉高，在不改变相变存储器器件单元结构的情况下，降低器件单元功耗。通过实验测试，我们的方案能够在保持器件单元结构不变的情况下，把 RESET 操作电压从 3V 降低到 1V。

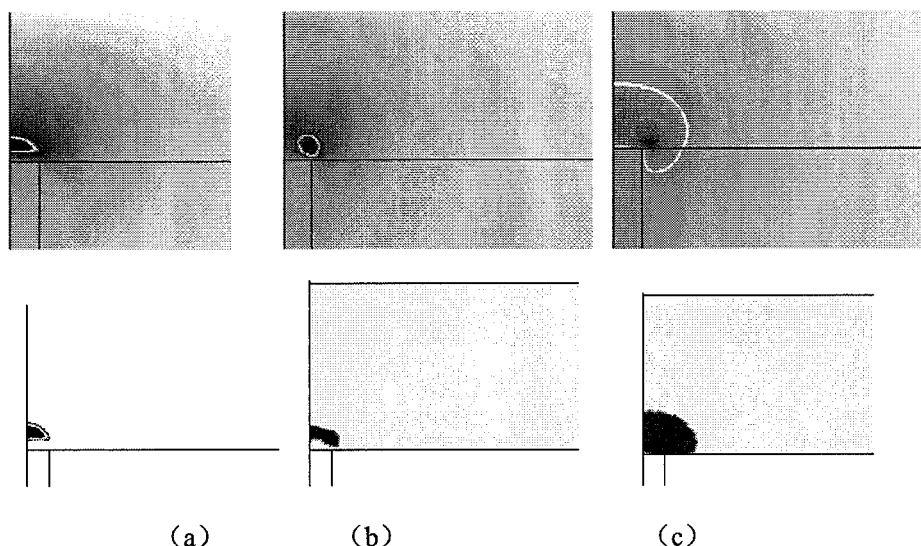


图 3.16 在多种脉冲操作下 (a) 第一次小脉冲操作，(b) 第二次小脉冲操作，(c) 第三次小脉冲操作后非晶区域增长演变。在第一行中黑色表示温度高值，白线表示熔融温度等温线；在第二行黑色表示结晶率低值，即非晶区域。

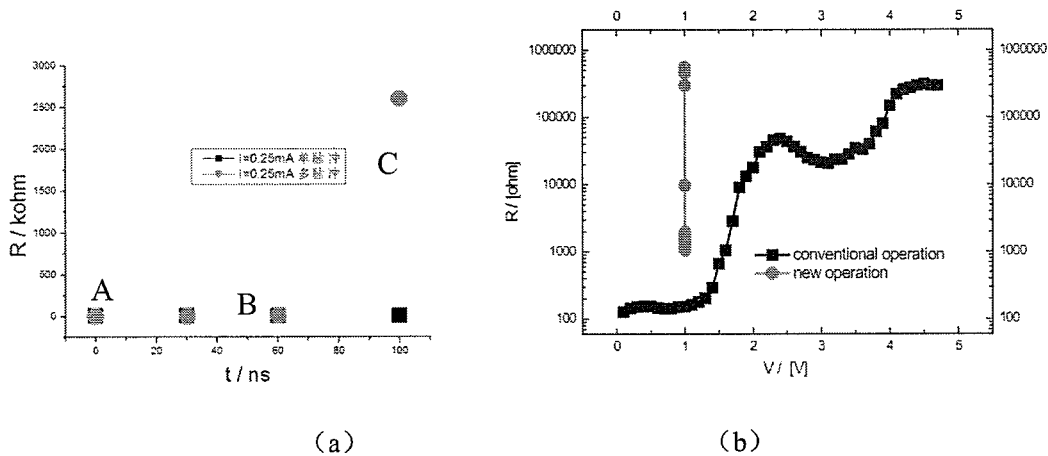


图 3.17 单个脉冲和多个脉冲的 RESET 操作 (a) 模拟值 (b) 测试值。

3.4 模拟 SET 操作

非晶 GST 能带中很多缺陷态造成的局域态，载流子束缚在局域态中，只有极少数受热激发到靠近导带的迁移率边，从而非晶的电导率很小。在外电场作用下，势垒降低，按照 PF 理论，束缚电子的势垒降低，更多的电子从价带跃迁到局域态，而在局域态中的热载流子也由于势垒降低，更容易进入靠近迁移率边的能带。此时，处于迁移率边周围填充着载流子，材料电导率指数增加。继续增大电压超过某一个阈值电压 V_{th} 后，通过材料的电路程超指数型增长。考虑到阈值电压的原因，我们分别用电流操作和电压操作两种情况模拟 SET 操作过程。

3.4.1 电流操作

用电流操作 RESET 态器件单元，因为 RESET 态器件单元电阻处于高阻态，所以只要负载一个微安级电流就可以使得器件单元两端电压大于阈值电压，从而造成 Switching 效应，器件单元电阻降低，非晶材料在焦耳热的作用下开始结晶。根据第二章描述的结晶模型，通过结晶模型，我们可以获得 SET 操作后结晶态下的器件单元电阻。

SET 过程在 RESET 后操作。SET 的操作电压比 RESET 的电压要小。通过电流产生的焦耳热，器件单元中的温度升高到结晶温度 (365°C)，非晶 GST 开始重新结晶，如图 3.18，当非晶区域变回多晶足够多，以至于高阻和低阻串联消失，高阻与低阻的串联形成，器件单元电阻迅速降低，如图 3.19 所示。

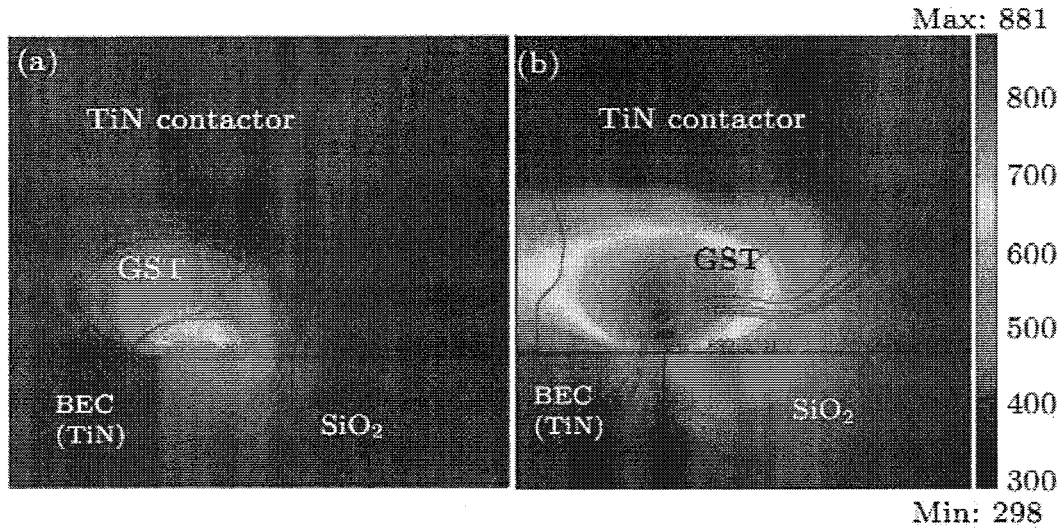


图 3.18 (a) 0.02mA, 100ns , (b) 0.7mA, 100ns 电流通过传统蘑菇型结构器件单元的电场和温度场分布。

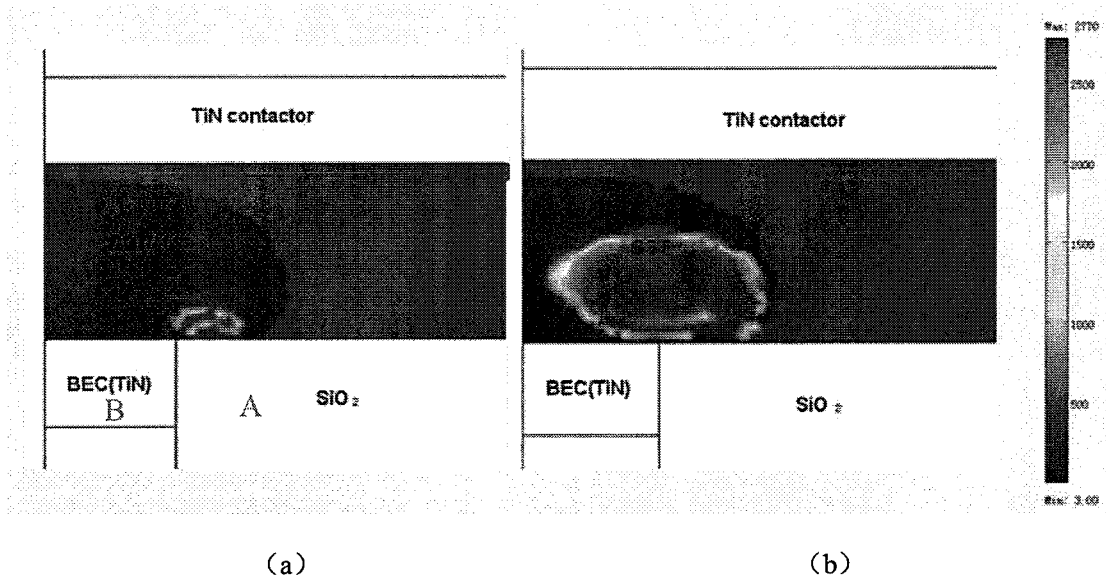


图 3.19 (a) 0.02mA , 100ns , (b) 0.7mA, 100ns 电流通过传统蘑菇型结构器件单元的结晶相分布。

如图 3.18 和图 3.19 分别给传统蘑菇型结构通过 100ns 的 0.02mA 和 0.7mA 脉冲的温度分布和晶相分布。在 0.02mA 中，电流分布集中在 GST 和底电极边界的尖端处，从而导致此处温度最先上升到结晶温度（365°C）。根据 JMAK 方程，温度达到结晶温度后，对应的网格的体分比从 0 变为 1 如图所示，在尖端附近的温度都达到结晶温度，从而形成结晶通道。而中心区域任然保持非晶结构。增加电流到 0.7mA，电流沿着结晶通道流，从而在结晶通道附近成为焦耳热，焦耳热只是边缘的非晶 GST 晶化。结晶通道越来越大，器件单元电阻越来越小，如此实现了器件单元电阻从 636K Ω 降低到 1.4k Ω 的过程，实现 SET 操作。

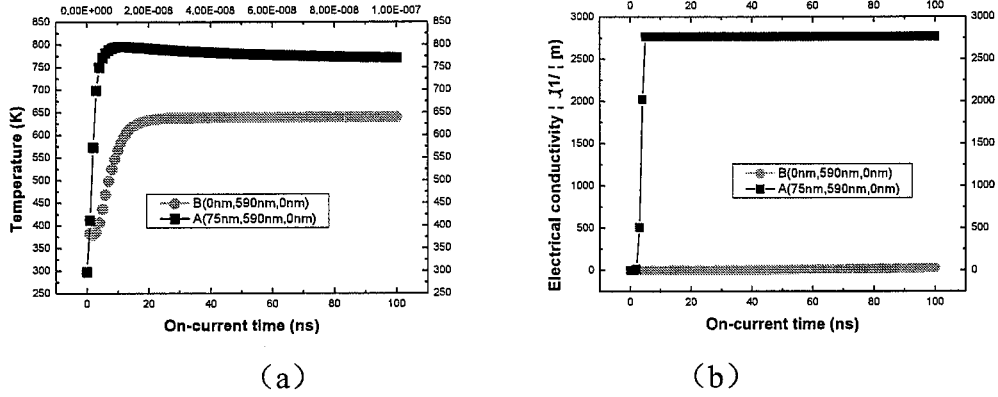


图 3.20 在点 A, 点 B 的 (a) 温度值和电流的关系 (b) 电导率和操作电流的关系。

取器件单元两个点 A (75nm, 550nm, 0nm) 和 B (0nm, 550nm, 0nm)。如图 3.20 所示这两点分别是 GST 和 BEC 接触的边缘点和中心点。在开始阶段, 从 0ns 到 10ns, A 点的电导率迅速上升, 是因为对应的 A 点的温度迅速上升。而在 B 点, 温度一直保持在结晶温度以下, 所以 B 点结晶率一直保持不变。

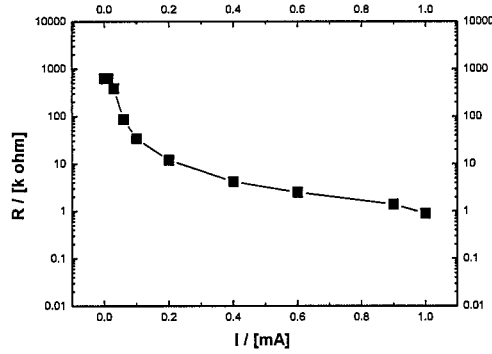
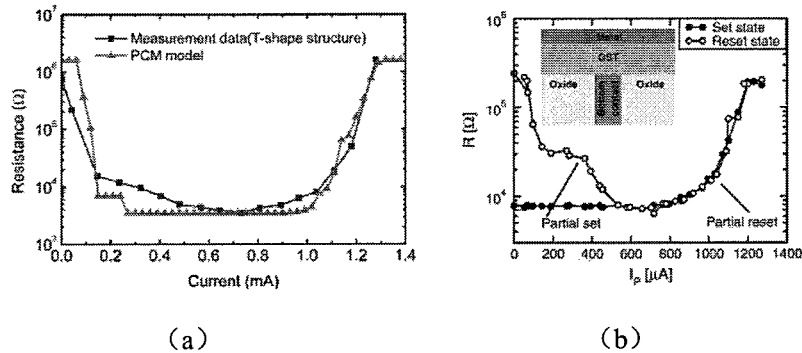


图 3.21 传统蘑菇型结构器件单元的 SET 电流操作模拟结果。

最后我们按照读操作的定义来模拟读操作, 即当加一个对相变材料的状态不会产生影响很弱的脉冲信号后, 通过测量器件单元的电阻值来读取它的状态。在得到 SET 操作后的非晶多晶分布后, 注入一个不足以改变材料结构很小的电流 (0.01 μ A), 测得相应的电压, 算出电阻。得到如图 3.21 所示的 RI 曲线, 这个电阻变化趋势和报道的实验结果一致^[26, 29, 64, 89]。



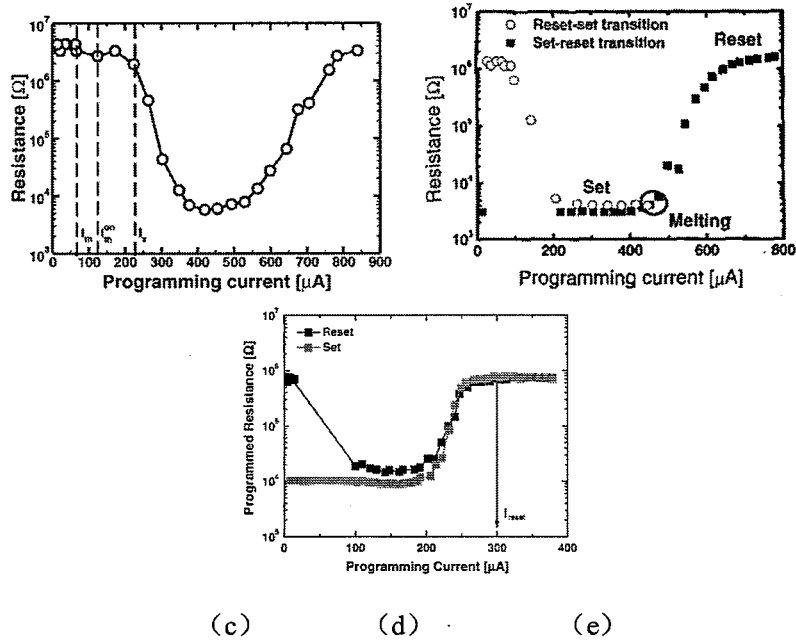


图 3.22 文献报道的 SET 电阻电流关系测试值。(a) (b) 传统蘑菇结构实验值^[29, 64], (c) (d) (e) 凹槽结构器件单元的实验值^[26, 29, 89]。

3.4.2 电压操作

对于电压操作，操作电压只要大于阈值电压，器件单元电阻就迅速降低。如图 3.23 所示的是同一器件单元在多次写操作成功后继续施加相同脉宽的擦操作得到的一组测试曲线，为了初步研究电压操作的 SET 操作模拟，因为 Switching 理论过于复杂，我们不妨设定一个固定的阈值电压 1V。

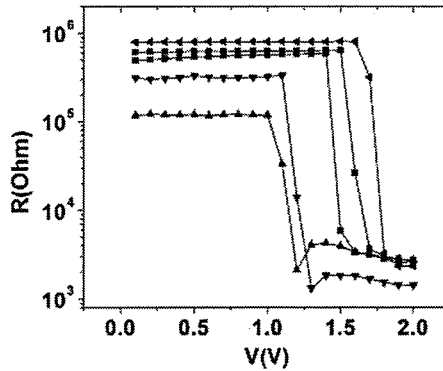


图 3.23 260nm 电极的 GST 器件单元的常规写脉高扫描曲线。

对已传统蘑菇型结构，考虑 SET 操作过程。SET 过程有两个明显的过程。如果操作电压小于设定的阈值电压，非晶电导率低，器件单元中产生的焦耳热很小，温度不能上升到结晶温度，从而不能结晶。因此分别对器件单元进行 1000ns 的 0.8V 和 1.2V 操作。器件单元中的电流线分布和温度分布如图 3.24 所示。器件单元在通入 0.8V 后，温度低于结晶温度 365°C，不足以使得非晶 GST 结晶，因为此时器件单元小于阈值电压 1V，器件单元电阻很高，从而生成的焦耳热很小。而器件单元操作电

压达到 1.2V 时, 器件单元中的电流线分布没有改变, 但是温度明显上升, 达到结晶温度, 非晶 GST 开始结晶。这是因为操作电压大于阈值电压, 非晶 GST 产生 Switching 效应, 电阻变小, 从而产生较多的焦耳热。而且通过图看出, 温度最高的区域集中在下电极和 GST 的接触尖端附近, 因此结晶最先从此处开始结晶。

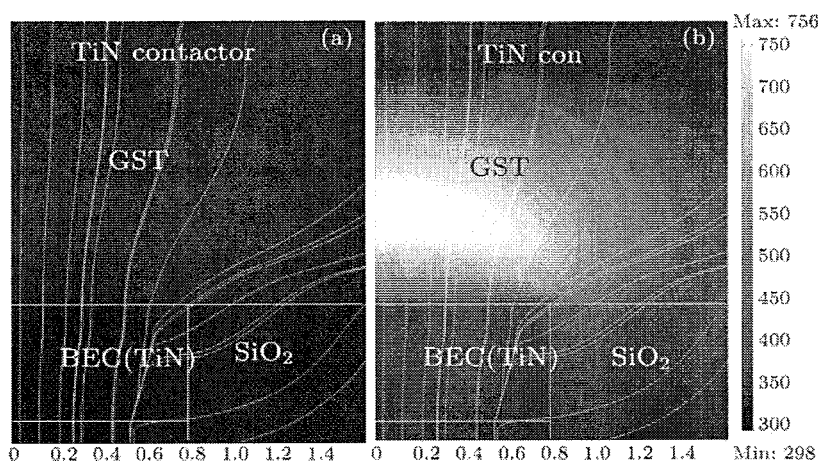


图 3.24 1000ns (a) 0.8V (b) 1.2V SET 操作电压作用于器件单元后的温度分布。

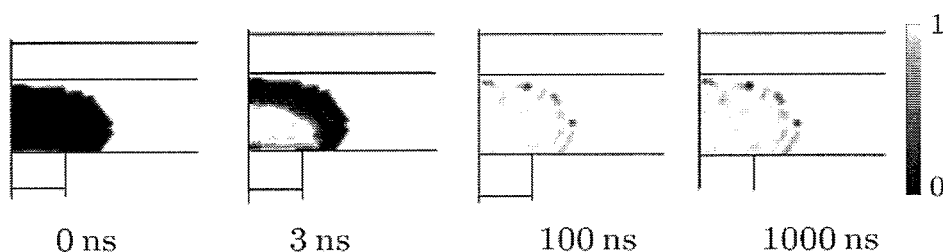


图 3.25 分别施加 1ns, 3ns, 100ns 和 1000ns 脉宽, 1.2V 脉高的 SET 脉冲的电阻电压关系不同电压脉宽下的结晶情况。

为了分析器件单元中结晶随着时间的变化, 我们分别施加 1ns, 3ns, 100ns 和 1000ns 的 1.2V 电压脉冲。如果电压大于 1V, 那么电阻开始随着电压的增加而降低。这是由于器件单元中的热量在累积阶段。而且当 SET 脉宽为 100ns 时, 电阻实现从高阻到低阻的突变。而脉宽大于 100ns, 电阻变化和 100ns 的脉宽效果是一样的。这是由于在 SET 过程中, 在 100ns 处, 器件单元达到热平衡, 其中的热累积达到固定值。最后我们按照读操作的定义来模拟读操作, 在得到 SET 操作后的非晶多晶混合分布后, 注入一个不足以改变材料结构很小的电流 ($0.01\mu\text{A}$), 测得相应的电压, 算出电阻。得到如图 3.26 电阻电压曲线。模拟结果和图 3.23 测试结果一致。

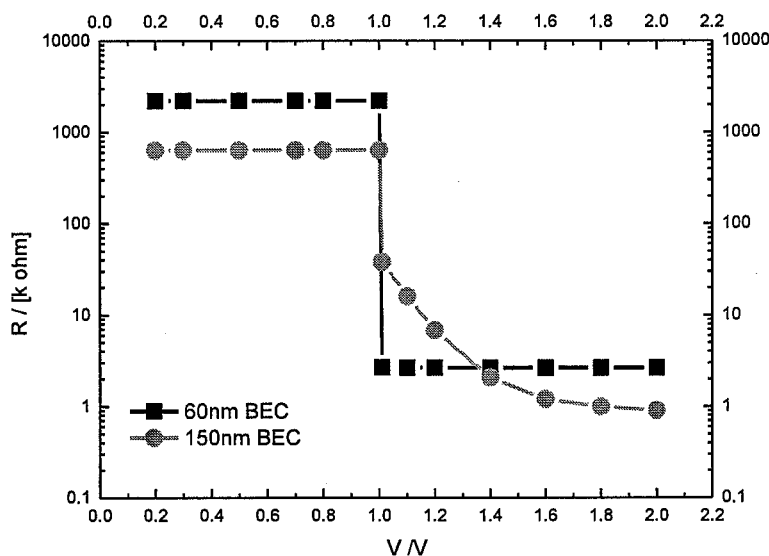


图 3.26 不同底电极尺寸的传统蘑菇型结构器件单元的 SET 操作中电阻和电压特性曲线。

3.5 本章小结

利用模型模拟 PCRAM 器件单元的 RESET 操作和 SET 操作。以传统蘑菇型结构 PCRAM 器件单元为例，详细地阐述了电流的增加，器件单元温度越来越高，熔融区域越大，从而非晶区域越大，直到非晶区域完全盖住下电极。此时实现了 RESET 过程。

根据底电极直径为 260nm 和 130nm 的传统蘑菇型结构器件单元的电学测试结果，校准模型。当相变存储单元负载时，考虑到熔化焓，相变材料的电导率设定为等效熔融态电导率，其数值要比实际的 GST 电导率高。底电极直径为 260nm 中 PCRAM 中相变材料的权重电导率为 $5000\Omega^{-1}\text{m}^{-1}$ ，底电极直径为 130nm 的 PCRAM 中相变材料的权重电导率为 $8000\Omega^{-1}\text{m}^{-1}$ 。

创新性的提出了一种新的低功耗 RESET 操作方法。对器件单元中的相变材料施加一个脉高较低的脉冲，所述脉冲使相变材料恰好达到熔融温度，并在相变材料局部形成非晶区域；然后继续施加多个脉高较低的脉冲，在相变材料中累积非晶区域，直至器件单元从低阻态转到高阻态，从而通过累积非晶区域的作用实现存储器的 RESET 操作。一方面低脉高产生的低热量有利于材料稳定性，另一方面低脉高能够保证相变存储器在要求低编程电压（电流）环境下的应用，在不改变相变存储器器件单元结构的情况下，降低了器件单元功耗，大大节省了优化器件单元结构的成本。

根据相变材料阈值电压的特性，分别建立电流操作和电压操作的 SET 模型。

对于电流 SET 操作，在很小的电流下（0.02mA），器件单元两端电压就超过阈值电压。在传统蘑菇型结构 PCRAM 器件单元的 SET 过程开始时刻，电流分布只要

集中在 GST 和底电极边界的尖端处，从而导致此处温度最先上升到结晶温度，从而形成结晶通道。随着操作电流增加，结晶通道区域温度升高，进一步扩大结晶区域。最后得到器件单元电阻随着电路的变化关系。模拟结果和文献报道结果一致。对于电压 SET 操作，经验性的设定固定的阈值电压 1V，SET 电压小于阈值电压 1V 时，器件单元中温度低于结晶温度，不能结晶，SET 电压大于阈值电压 1V 后，Switching 效应发生，非晶电阻变低，器件单元中温度升高超过结晶温度，结晶开始。最后模拟得到了 SET 操作过程中，器件单元电阻和 SET 电压的关系。模拟结果和测试结果一致。

第四章 模型在器件单元结构研究上的应用

如第一章所述,器件单元结构直接影响功耗和速度,研究人员从没停止过对低功耗高速度高可靠性的器件单元制造追求。在 PCRAM 的操作中,RESET 过程所用的电流和功耗要远远大于 SET 过程的电流和功耗。因为在 RESET 过程中,PCRAM 器件单元中的存储介质——相变材料要被加热到熔点以上,而在 SET 过程中相变材料只需要被加热到结晶温度以上即可,所以要降低 PCRAM 器件单元的编程电流主要在于降低 RESET 过程中的编程电流。器件单元结构优化大致分为对相变材料层的改进,对下电极的改进和对相变材料层的改进,从而实现了减小 RESET 操作电流的目的。对于器件单元阵列而言,器件单元之间的串扰直接影响器件单元可靠性,为了制作高密度 PCRAM 器件单元,研究人员做了大量模拟工作分析器件单元之间的热分布^[15, 29, 75, 79]。本章将运用电热模型,结晶模型和应力,研究不同器件单元结构尺寸和形貌对操作电流电压和器件单元稳定的影响,从而论证了一些新结构的低功耗特点,并且指导低功耗器件单元设计。

4.1 下电极形貌对操作电流的影响

4.1.1 环状电极 (RIB) 结构

三星公司的 Y. J. Song 等人提出了环状电极 (Ring in bottom electrode, RIB) 的构造^[18, 60]。这种构造如图 4.1 (a)。在下电极 TiN 中添入 SiO₂, 使得下电极的横向截面从圆形变成环型。而除了在 TiN heater 处做了改变外,其他的结构和传统蘑菇型结构一样。通过减小接触面积, RIB 结构体现了很好的低功耗性能,如图 4.1 (b) 所示。虽然三星已经有 RIB 器件单元的产品,但是对于具体的器件单元尺寸,特别是环形电极中氧化物的尺寸大小对器件单元的影响还没有研究。

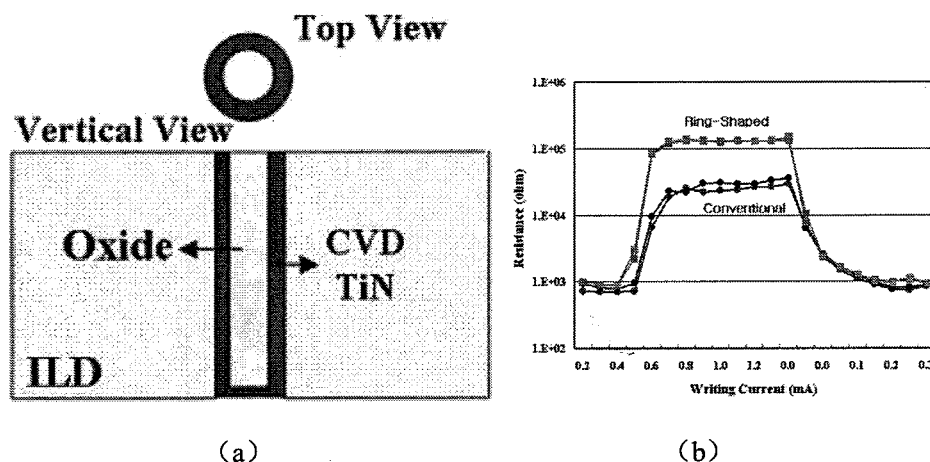


图 4.1 (a) 环形结构纵向截面图 (b) 环形结构和传统蘑菇型结构电阻电流曲线比较^[18, 60]。

利用第二章的三维模型，可以详细的模拟 RIB 器件单元的温度分布，热量分布，从而得到最佳的填充氧化物尺寸。

按照标准模拟步骤，首先构建如图 4.2 示的器件单元几何图形。RIB 存储器从上到下依次是上电极 W，TiN 接触层，相变材料 GST，环形电极和下电极。器件单元被包裹在氧化硅中。环形电极中心填充氧化硅，周围由 TiN 包围。我们分别设定填充氧化物 SiO₂ 的直径 Fx 为 40nm, 80nm 和 120nm。通过三个器件单元模拟结果比较，得到最佳的器件单元尺寸。

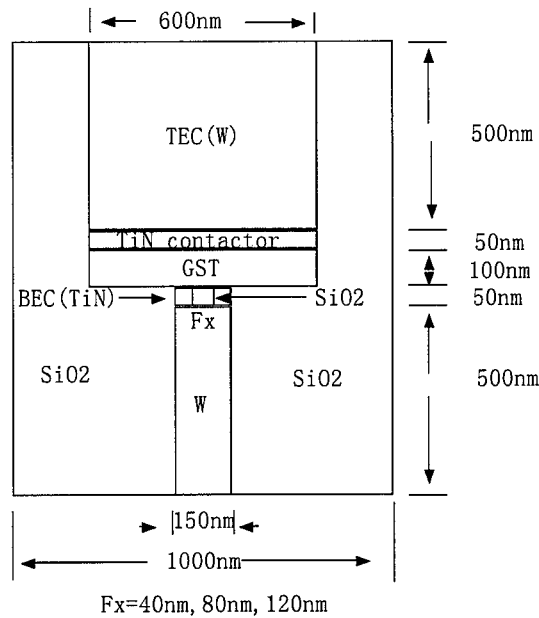


图 4.2 RIB 器件单元的纵向截面图。

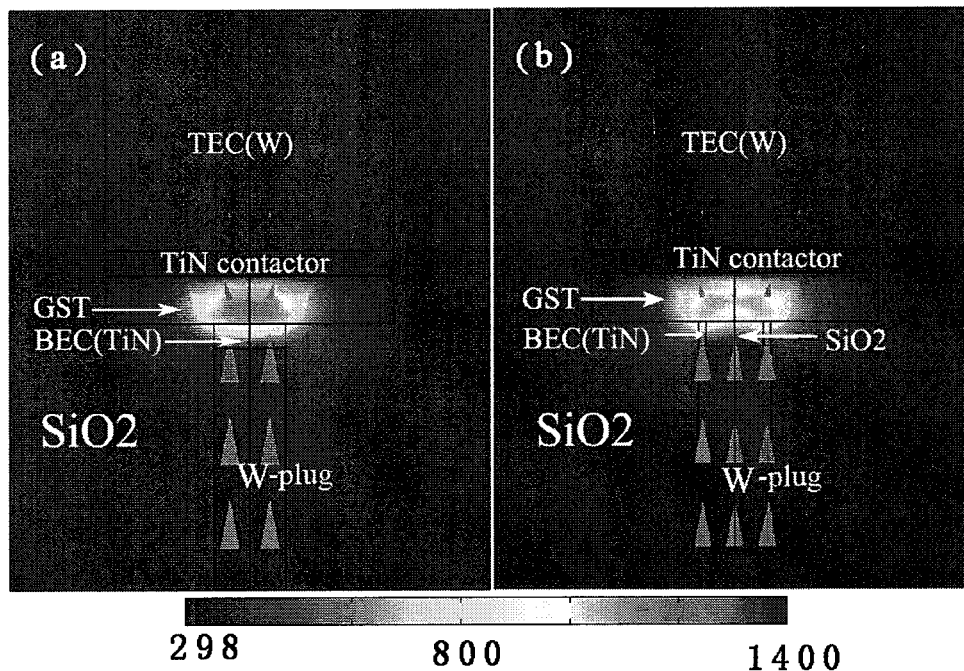


图 4.3 对 (a) 传统蘑菇型结构 (b) RIB 器件单元都用 1.2mA, 100ns 操作后的温度和电流密度的纵向截面图。

为了和传统蘑菇型结构比较,我们分别建立了同等下电极尺寸的传统蘑菇型结构。分别对传统蘑菇型结构和 RIB 器件单元用 1.2mA, 100ns 操作, 模拟脉冲操作后的温度和电流密度分布。如图 4.3 所示, 在注入 100ns 脉宽, 脉高为 1.2mA 电流时的温度分布和电流密度分布。环状电极上方的 GST 处的电流集中, 和传统蘑菇型结构结构相比, 电流密度从均匀化分布变成了在更小的区域的集中分布, 这样能有效提高利用效率, 即相同的电流下, 传统蘑菇型结构的最高温度在于 GST 中心区域, 而 RIB 的最高温度在环上方, 要达到封住下电极的目的, 显然 RIB 比传统蘑菇型结构更容易。而从器件单元中电流密度的角度来看, 图 4.3 中箭头大小表示电流密度。在环形电极处的电流密度最大, 从而在该处产生巨大的热量。温度最先在环形电极两端上升。由于上电极的散热作用, 下电极的热量往 GST 中心移动, 从而致使熔融区域开始联通。

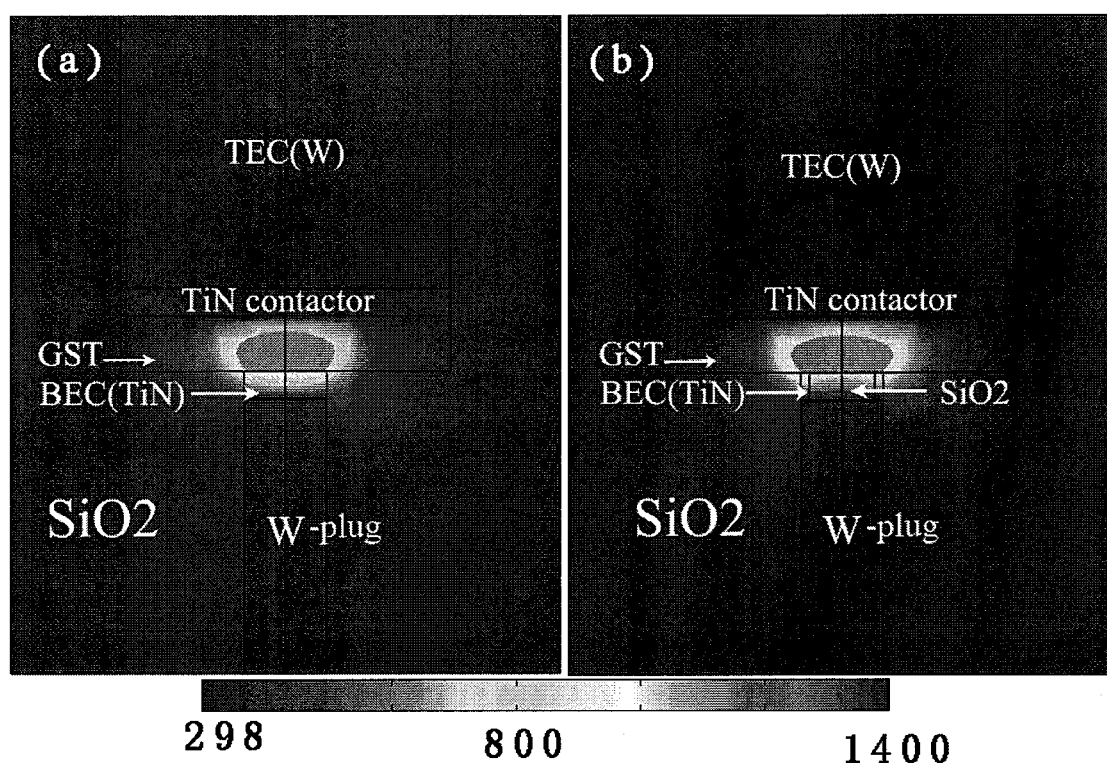


图 4.4 对 (a) 传统蘑菇型结构 (b) RIB 器件单元都用 1.2mA, 100ns 操作后的熔融区域纵向截面图。

对应的熔融区域如图 4.4 所示, RIB 的熔融区域首先出现在 GST 中央。随着电流增加, 熔融区域增加, 从而致使熔融区域封住下电极, 此即满足第三章的实现 RESET 的判据。而此时的传统蘑菇型结构因为下电极接触面积大, 熔融区域不能完全盖住下电极, 因此淬火后不能实现低阻串联。

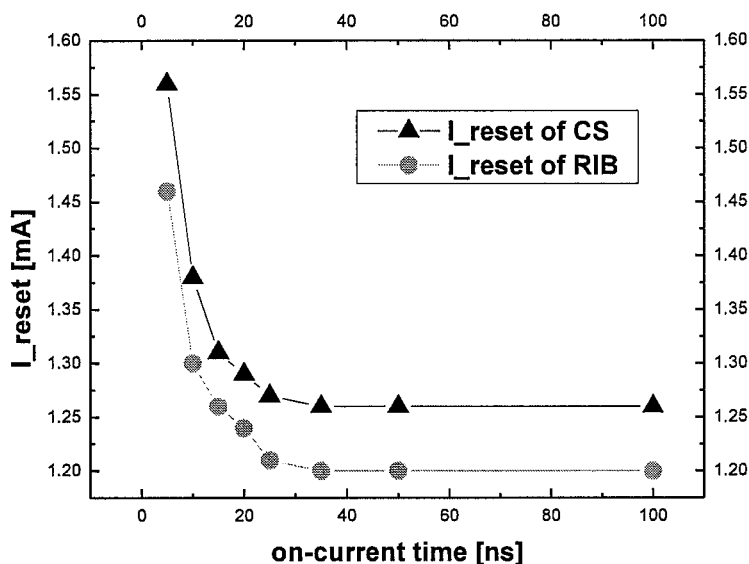


图 4.5 对于传统蘑菇型结构和环形结构 (RIB) RESET 操作中, 操作脉宽和能够实现 RESET 操作的脉高的关系。

器件单元中的热量分布是电流加热和器件单元两端散热的相互抵消的过程。如图 4.5 所示, 通过模拟不同脉宽的操作脉冲, 可以看到在操作脉宽小于 30ns 时刻, RESET 操作电流随着操作脉冲的时间增加而减小, 因为此时温度处于上升期, 产生的热量大于散失的热量, 随着时间的增加, 器件单元中的累积的温度越来越多。但是当脉冲达到 30ns 时刻后, RESET 操作电流几乎不变化, 这是由于器件单元在此时刻已经达到热平衡, 器件单元中的温度上升到了一个稳定值, 产生的热量和散热的热量达到平衡, 此时刚好实现 RESET 操作的电流为固定值。从这个分析得到, RIB 结构和传统结构一样, RESET 操作脉宽都要至少大于 30ns。

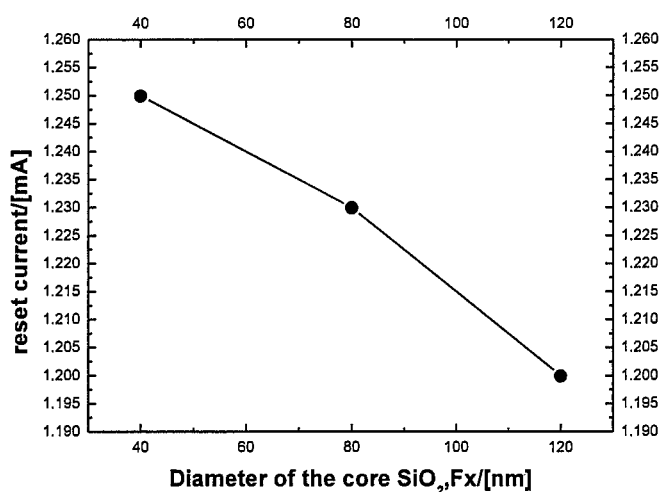


图 4.6 RIB 结构中不同 SiO₂ 直径 Fx 对 RESET 电流的影响。

如图 4.6 所示, 我们通过比较不同氧化物直径的 RESET 电流, 发现氧化物直径越大, RESET 操作电流越小, 从而在三个典型的器件单元尺寸中, 较大的氧化硅直径的 RIB 结构 ($F_x=120\text{nm}$) 能够更好实现低功耗 RESET 操作。

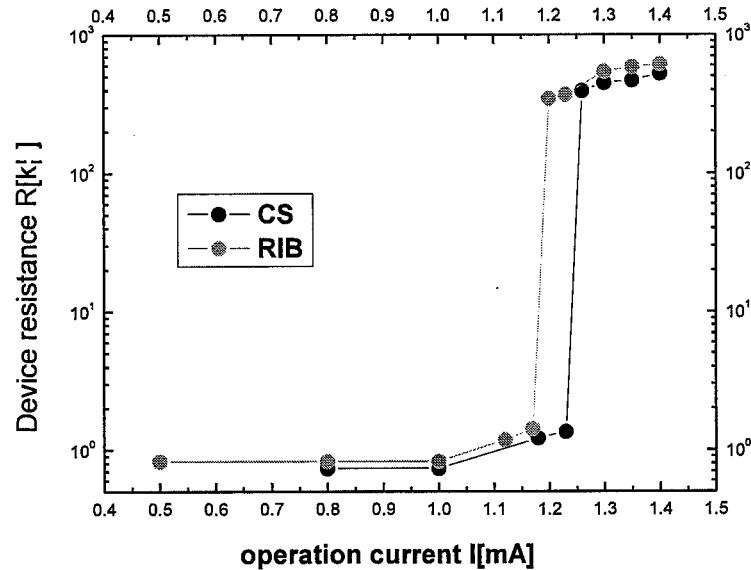


图 4.7 RIB 的器件单元电阻和操作电流的关系, 并对照传统蘑菇型结构的相应曲线。

如图 4.7 所示, 可见计算出 RIB 的 RESET 电流为 1.2mA , 比传统蘑菇型结构要小 $60\mu\text{A}$, 并且器件单元高低阻相差 100 倍, 满足 PCRAM 高低阻分布的要求, 这和文献报道吻合^[18, 60]。

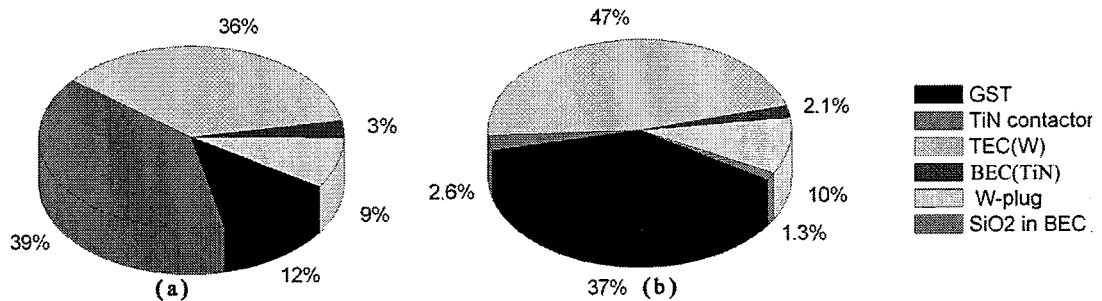


图 4.8 (a) 传统蘑菇型结构 (CS), (b) RIB 结构的各个器件单元子区域中的热量分布。

另外从热量分布的角度来分析 RIB 结构的优劣。按照第二章中三维电热模型求 PCRAM 中各个子区域热量百分比的方法, 计算 CS 和 RIB 结构中各个子区域的热量百分比。如图 4.8 所示, 只有 12% 的热量分布在 GST 中, 36% 的热量通过上电极散失, 9% 的热量通过下电极散失。而 RIB 结构中有 37% 的热量分布在 GST 中。氧化硅的存在致使本应该通过下电极散失的热量约束在 GST 中, 从而热量分布百分比得到了提高。

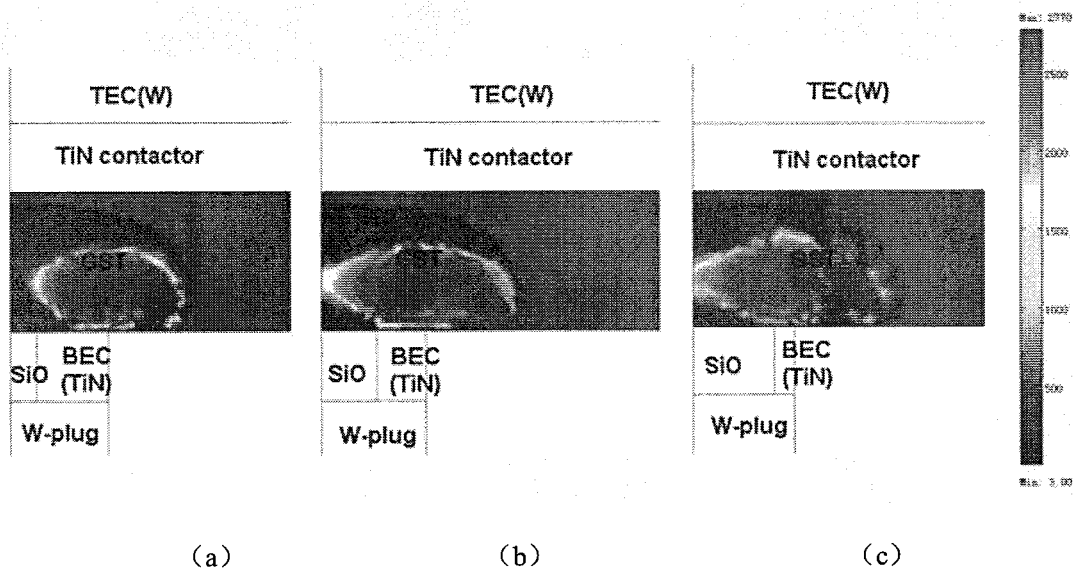


图 4.9 SiO_2 直径 F_x 分别为 (a) 40nm, (b) 80nm 和 (c) 120nm 的 RIB 结构在 0.7mA SET 电流作用 100ns 下的晶相分布。

比较三个尺寸的结晶过程，同样是在 0.7mA 情况下，分别得到 SiO_2 直径 F_x 分别为 (a) 40nm (b) 80nm 和 (c) 120nm 的 RIB 结构在 SET 电流作用 100ns 下的如图 4.9 中的晶相分布。结晶情况和传统蘑菇结构相似。而且 F_x 越大，结晶区域越大。因为 F_x 越大，热效率越好。在如图 4.9 中， SiO_2 直径为 40nm, 80nm 和 120nm 的最高温度分别是 855K, 859K 和 877K，也验证了相同的结论。

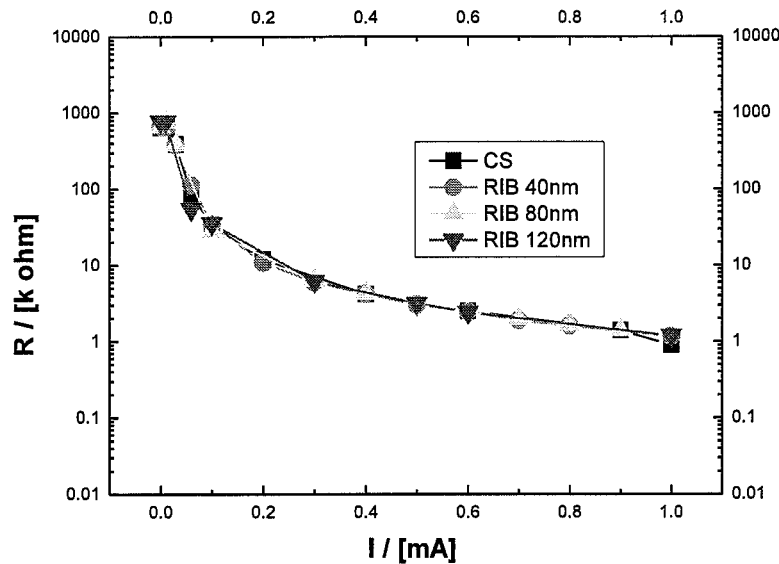


图 4.10 电流 SET 操作的电阻电流特性曲线。

按照第三章的电流 SET 操作模拟，可以获得 RIB 结构中，电阻随着电流的增加，结晶越多，电阻降低的结果。如图 4.10 所示，其变化规律和传统蘑菇型结构器件单元在电流 SET 操作模拟结果一致。

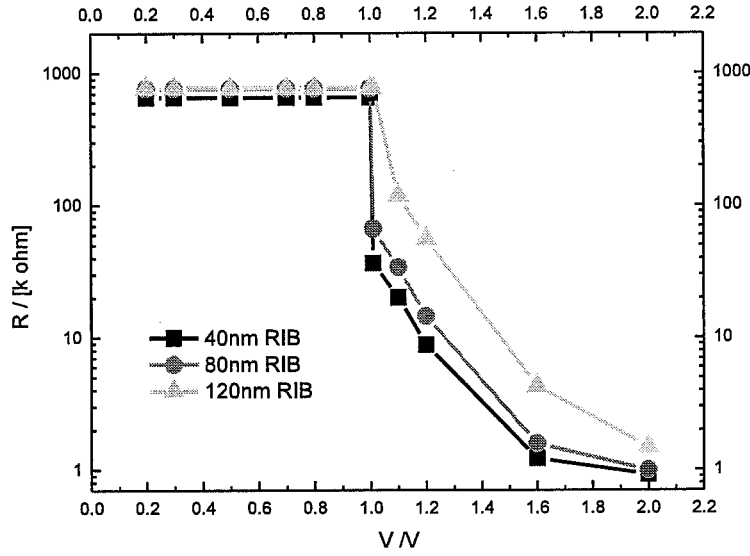


图 4.11 电压 SET 操作的电阻电压特性曲线。

如图 4.11 所示，模拟值显示氧化硅直径小的结构在 SET 操作中有更好高低阻分布。考虑到 RESET 操作氧化硅直径越大，RESET 电流越小，所以对于器件单元设计要综合考虑。一方面 F_x 增大，热效率提高，操作功耗降低。另一方面，大的氧化硅结构因为下电极和 GST 接触面积变小，要形成低阻并联难，从而导致电阻下降速度变慢，进而表现为高阻和低阻分布不明显。因此在这三个典型的器件单元尺寸（40nm，80nm 和 120nm）中，可以折中考虑选择 80nm 作为 SiO_2 直径。

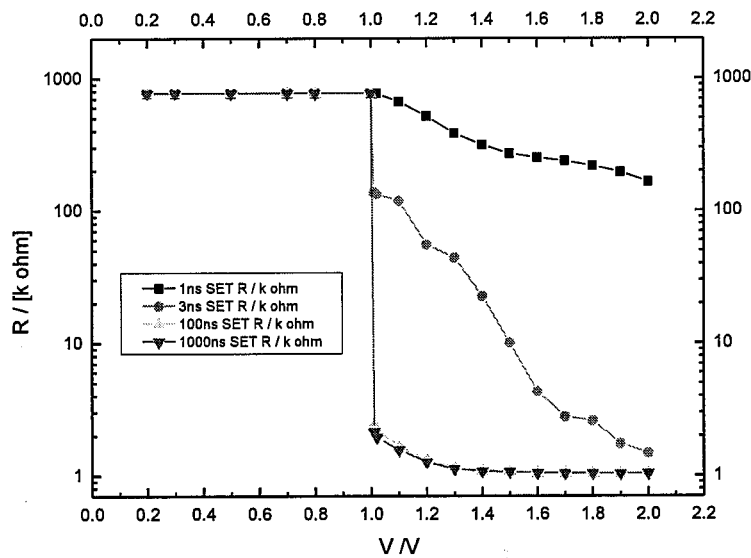


图 4.12 对于 F_x 为 80nm 的 RIB 结构器件单元，不同脉宽对电阻电压特性曲线的影响。

而对 $F_x=80\text{nm}$ 的 RIB 结果, 我们分析器件单元在不同脉宽下的 RV 曲线, 从而分析最优化的操作脉宽。如图 4.12 所示, 分别施加 1ns, 3ns, 100ns 和 1000ns 的电压脉冲。SET 过程有两个明显的过程。如果操作电压小于设定的阈值电压, 非晶电导率低, 器件单元中产生的焦耳热很小, 温度不能上升到结晶温度, 从而不能结晶。由于器件单元中的热量在累积阶段, 而且当 SET 脉宽为 100ns 时, 电阻实现从高阻到低阻的突变。而脉宽大于 100ns, 电阻变化和 100ns 的脉宽效果是一样的。这是由于在 SET 过程中, 在 100ns 处, 器件单元达到热平衡, 其中的热累积达到固定值。

因此, 通过模拟我们认为在 SiO_2 直径尺寸为 80nm, SET 操作脉宽为 100ns 是 RIB 器件单元一方面能够实现在 RESET 操作中低操作电流, 另一方面在 SET 操作中, 有很好的高低阻分布以及较快的操作速度。

4.1.2 底电极凸出 (PBE) 结构

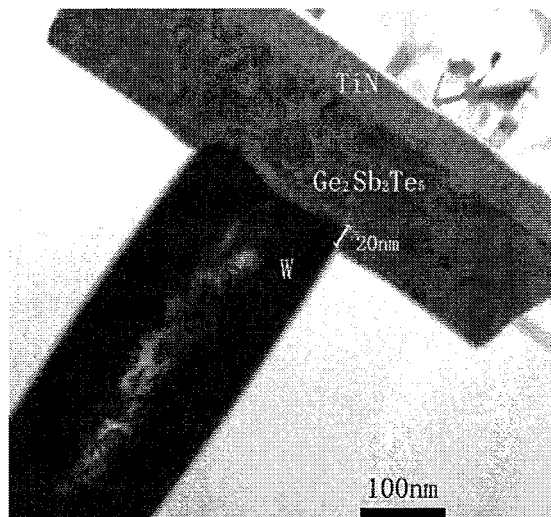


图 4.13 PBE 结构器件单元的 TEM 截面图。

我们不仅可以通过限制下电极和 GST 接触面积来降低器件单元操作功耗, 还可以通过将下电极伸入 GST 中, 形成底电极凸出 (protruding bottom electrode, PBE) 结构控制熔融区域, 达到降低器件单元操作功耗的效果。在 PBE 结构中, GST 沉积在直径为 $1\mu\text{m}$ 的小孔中, 而 GST 小孔下为凸出的 260nm 的 W 电极。然后经过 200°C 的退火过程将 GST 从非晶态转换为多晶态。退火后, 对晶态的 GST 晶片进行表面平坦化抛光。得到光滑的表面, 然后再沉积上 TiN 薄膜。图 4.13 为制备完成的 PBE 结构相变单元的 TEM 截面图, 可以看到 GST 和凸出的 W 电极接触良好, W 电极凸出的高度约为 20nm 左右。GST 小孔的深度在 200nm, GST 和 TiN 良好的截面说明抛光后得到平整的表面。同时小孔中的 GST 没有出现空洞现象, GST 与周围的 SiO_2 结合也十分紧密。

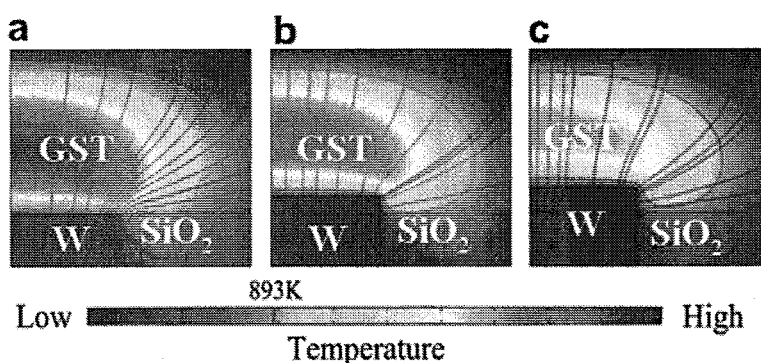


图 4.14 不同结构在施加电流脉冲的温度和电场分布 (a) 传统结构 (b) 底电极凸出 20nm 和 (c) 底电极凸 30nm。

我们利用模型理论分析凸出电极对相变单元电学性能的影响，对 RESET 过程进行了二维有限元热模拟。对于 W 电极凸出高度的不同分别计算热流和电流密度如图 4.14 所示。GST 熔化区域用熔点 ($T=670^{\circ}\text{C}$) 的等温线描绘出来。在 RESET 过程中，电流脉冲应该确保 GST 的熔化区把整个底电极包覆起来。对于传统结构，需要 3.8mA 的电流脉冲强度，而底电极凸出 20nm 的 PBE 结构只需要 3.6mA。主要原因有两点：一是垂直方向上的电流密度得到提高，电流密度分布得到优化，从而改善了温度的分布。在传统结构中，电流在水平方向上的分布远高于在垂直方向上的分布，而底电极凸出 20nm 的 PBE 结构增加了垂直方向上电流密度，使相变材料中的电流密度分布得到优化，从而改善了温度的分布。因此对于 GST 厚度为 200nm 时，为了完成 RESET 过程，传统结构需要熔化更多的 GST 以完全覆 W 底电极，这就导致所需的电流脉冲强度更高。二是避免了热量扩散在底层 SiO_2 上，提高了加热效率。从熔化温度的等温线可以看到，传统结构的热量有一部分扩散到下面的 SiO_2 上，而 20nm 的 PBE 结构则避免了这一情况。基于以上这些原因，20nm 的 PBE 结构比传统结构具有更低的 RESET 操作电流和功耗。进一步，当凸出的 W 电极高度达到 30nm 时，3.6mA 电流脉冲则无法使熔化温度的等温线将电极完全包覆如图 4.14 (c) 所示。这是由于更多的电流在水平方向上分散掉，导致 GST 的最高温度和熔化区域向下方的 SiO_2 层转移。因此，底电极凸出 30nm 的 PBE 结构需要更高的电流脉冲来熔化更多的 GST 来完成 RESET 过程。所以，对于底电极凸出结构，基于实验数据测试和热模拟结果，电极凸出的最优化高度为 20nm。用相变单元电学性能测试系统分别对传统结构和 PBE 结构的相变单元进行电学性能测试。从图 4.15 的电阻电压特性曲线比较可以看出，在同样施加 400ns 的电流脉冲下，PBE 结构的单元 SET 和 RESET 电压均低于传统结构的单元，SET 电压从 2.3V 下降到 1.2V，RESET 电压 3.5V 降到 2.2V。两者高低阻值都在一个量级，高阻约在 $10^5\Omega$ 而低阻在 $10^3\Omega$ 。

因此我们通过利用电热模型很好的解释了 PBE 结构降低器件单元功耗的原因。

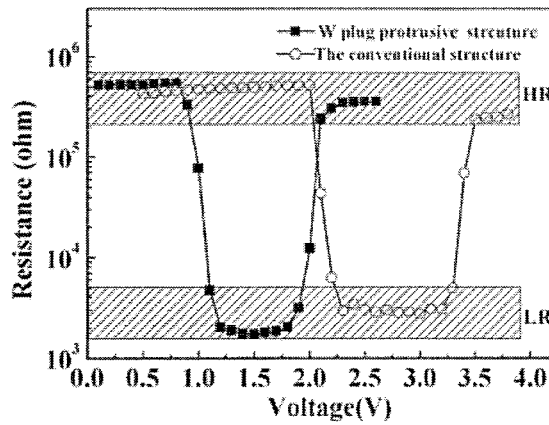


图 4.15 传统结构和 PBE 结构的 R-V 曲线比较。

4.2 相变材料形貌对电流影响

4.2.1 GST 厚度和宽度

在制作 PCRAM 器件单元中, GST 要做成什么形貌才能实现功耗的效果? 我们可以从模拟的角度来给出指导性建议。我们以标准蘑菇型结构的 PCRAM 器件单元结构为基准, 修改器件单元中相变材料层的厚度 (H) 和宽度 (W)。取三个典型的厚度和宽度, 即 GST 宽度是 300nm, GST 厚度为 150nm; GST 宽度是 300nm, GST 厚度为 75nm; GST 宽度是 150nm, GST 厚度为 75nm。运用第三章中的 RESET 操作模拟, 我们可以得到三个器件单元结构的 R-I 特性曲线。从图 4.16 中看出, 如果器件单元中的 GST 具有相同厚度, 不同宽度时, RESET 电流保持不变。而如果器件单元中 GST 具有相同的宽度, 不同厚度时, RESET 电流发生变化。GST 薄膜越厚, RESET 电流越小。

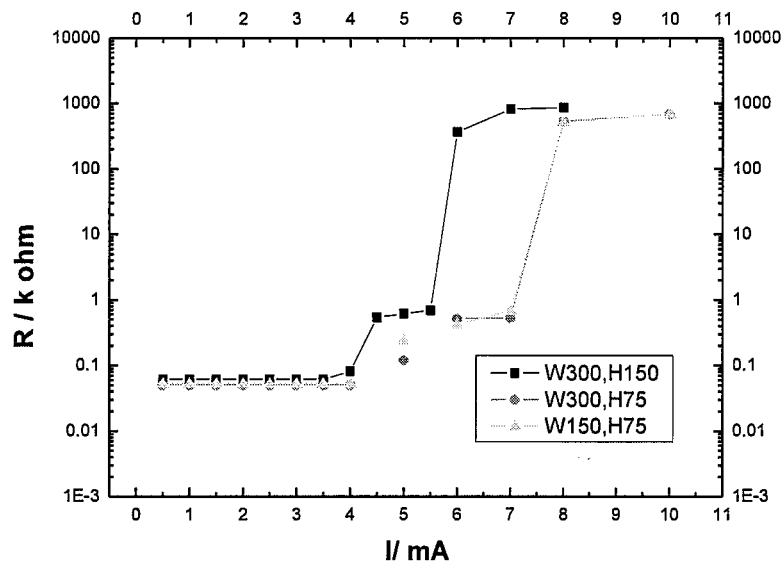


图 4.16 GST 尺寸变化对 RESET 电流的影响, W 表示 GST 宽度, H 表示 GST 高度。

从散热的角度可以很好的解释这一现象。器件单元散热因为几何结构原因, 只有上下电极两个散热通道, 所以减小 GST 横向尺寸对增大热效率, 降低功耗没有效果。而 GST 因为有相对金属低的电导率和热导率, GST 自身能起到热保持作用, GST 越厚, 电阻越大, 同样外加驱动的情况下, 最高温度越大, RESET 电流越小。GST 厚度变薄, 散热增加, 功耗增加, 熔融区域会被“压缩”, 要熔化 GST 封住下电极的电流反而会增大。同时, 从图 4.17 中看到, 同样的电流 RESET 情况下, 薄 GST 器件单元的最高温度比较低。而且薄的器件单元热平衡时间比厚的时间要短, 说明薄器件单元散热快。GST 厚度变薄, 散热增加, 功耗增加, 熔融区域会被“压缩”, 要熔化 GST 封住下电极的电流反而会增大。同样的电流 RESET 情况下, 薄 GST 器件单元的最高温度点的温度比较低。而且薄的器件单元热平衡时间比厚的时间要短, 说明薄器件单元散热快。GST 厚度变薄, 散热增加, 功耗增加, 熔融区域会被“压缩”, 要熔化 GST 封住下电极的电流反而会增大。

因此, 从功耗的角度我们希望 GST 厚度要大, 而对于 GST 宽度没有限制。

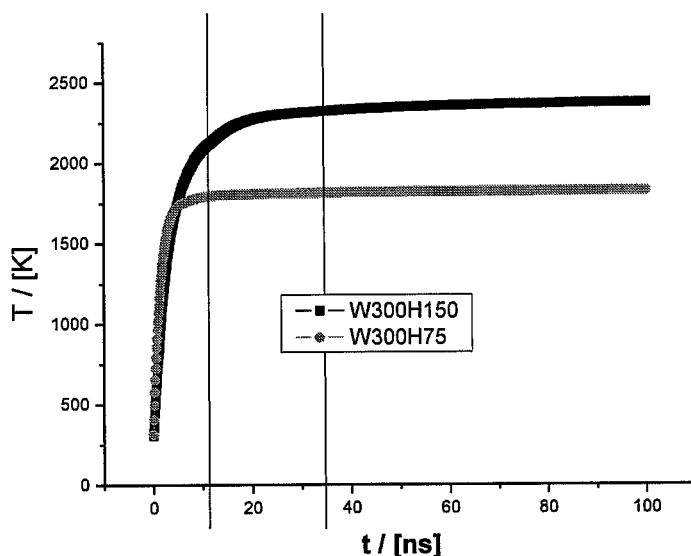


图 4.17 300nm 宽, 150nm 厚 GST 薄膜的器件单元和 300nm 宽, 75nm 厚 GST 薄膜器件单元中温度最高点随脉冲时间的变化。

4.2.2 GST 倾斜角的影响

GST 填充工艺中, 需要考虑到 GST 层侧壁的形貌和坡度来研究填充能力的好坏。GST 层侧壁的角度对 GST 填充能力, 只要 GW 的侧壁坡度小于 75° , 在 GW 深度为 150 nm, 直径为 $0.3 \mu\text{m}$ 的条件下依然具有非常好的填充 GST 的能力^[121]。那么有侧壁角度是否会对器件单元功耗造成负面影响呢? 通过对传统结构和有侧壁结构的器件单元 RESET 操作模拟, 可以得到如图 4.18 所示的 R-I 特性曲线。图中红线表示

为传统无侧壁角度的 PCRAM 结构，黑线表示为考虑了侧壁结构的 PCRAM 结构（侧壁坡度 45° ）。如第三中模拟 RESET 操作的过程，模拟出侧壁坡度 45° 的器件单元和同等底电极大小的传统蘑菇型结构的 RESET 电阻电流特性曲线。图 4.18 的模拟结果显示有侧壁结构的 PCRAM 结构 RESET 操作电流较小。

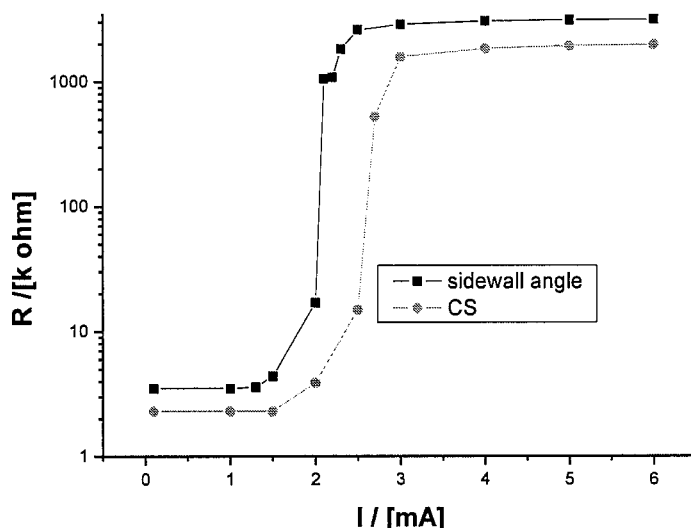


图 4.18 传统蘑菇型结构和侧壁结构的 PCRAM 结构（侧壁坡度 45° ）的电阻电流特性曲线。

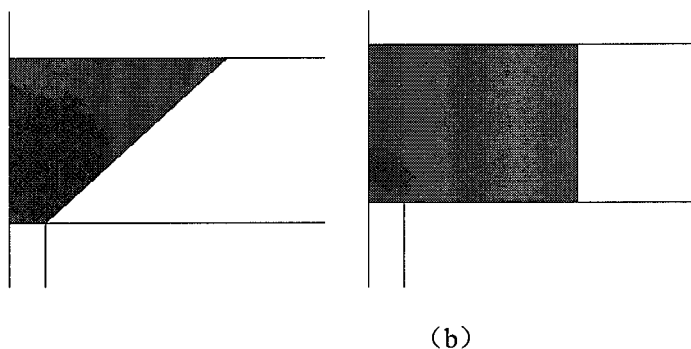


图 4.19 (a) 有侧壁（侧壁坡度 45° ）和 (b) 无侧壁（CS）结构的模拟在 2.5mA, 100ns RESET 操作后的晶相分布。深色表示非晶，浅色表示多晶。

通过图 4.19 中非晶分布可以看出，由于 PCRAM 侧壁结构限制了底电极和相变存储器之间的体积，非晶区域能够在较小的体积下封住下电极，形成非晶高阻和多晶低阻的串联电路，从而实现较小的操作电流完成 RESET 操作。

4.2.3 环状 GST (RIG) 结构

基于限制相变材料编程区域的思路，我们提出了环状 GST (Ring in GST, RIG) 的结构。环状 GST (RIG) 的结构如图 4.20。器件单元结构和传统蘑菇型结构近似，

只是在 GST 层中刻蚀形成圆柱形，并在其中沉积低电导低热导材料，如 SiO_2 ，使得 GST 和下电极间形成一个环型空间。

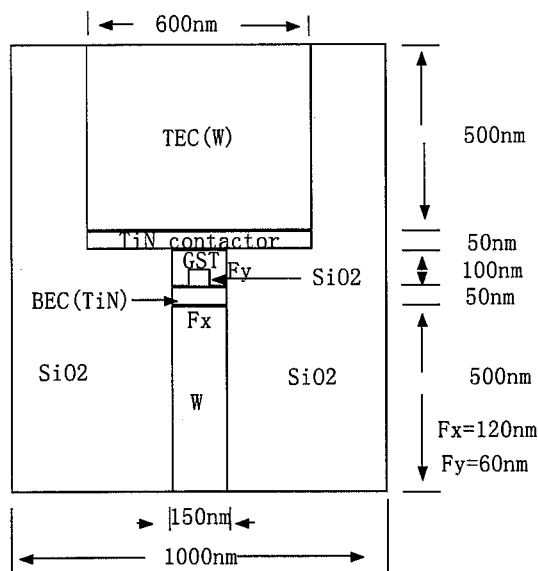


图 4.20 RIG 结构纵向截面图

为了提高加热效率,我们要求电流产生的焦耳热都尽可能的集中在相变材料区域。在这种结构中,填加材料因为热导率低从而起到了阻止热量散失的作用。如果材料具有电导率较低的属性,那么所填加的材料还能起到进一步加热相变材料的作用,所以在模拟中选用 SiO_2 。如图 4.21 所示,相变材料中通过电流,由于填加材料电导率低,大部分电流流向环型区域,环型区域的电流密度很大,通过电流的焦耳加热,环型区域最先达到熔点。继续通过电流,使得整个环型区域的相变材料达到熔融状态。图 4.22 显示,要满足 RESET 操作的熔融区域比 CS 结构要小很多,因此与要把原先包含填加材料区域的相变材料熔化所需要的外界能量相比,只要熔化环型区域所需要的外界能量要小得多。图 4.22 中竖线处表示 RIG 内侧边界线,是 RIG 结构中温度较高的位置。

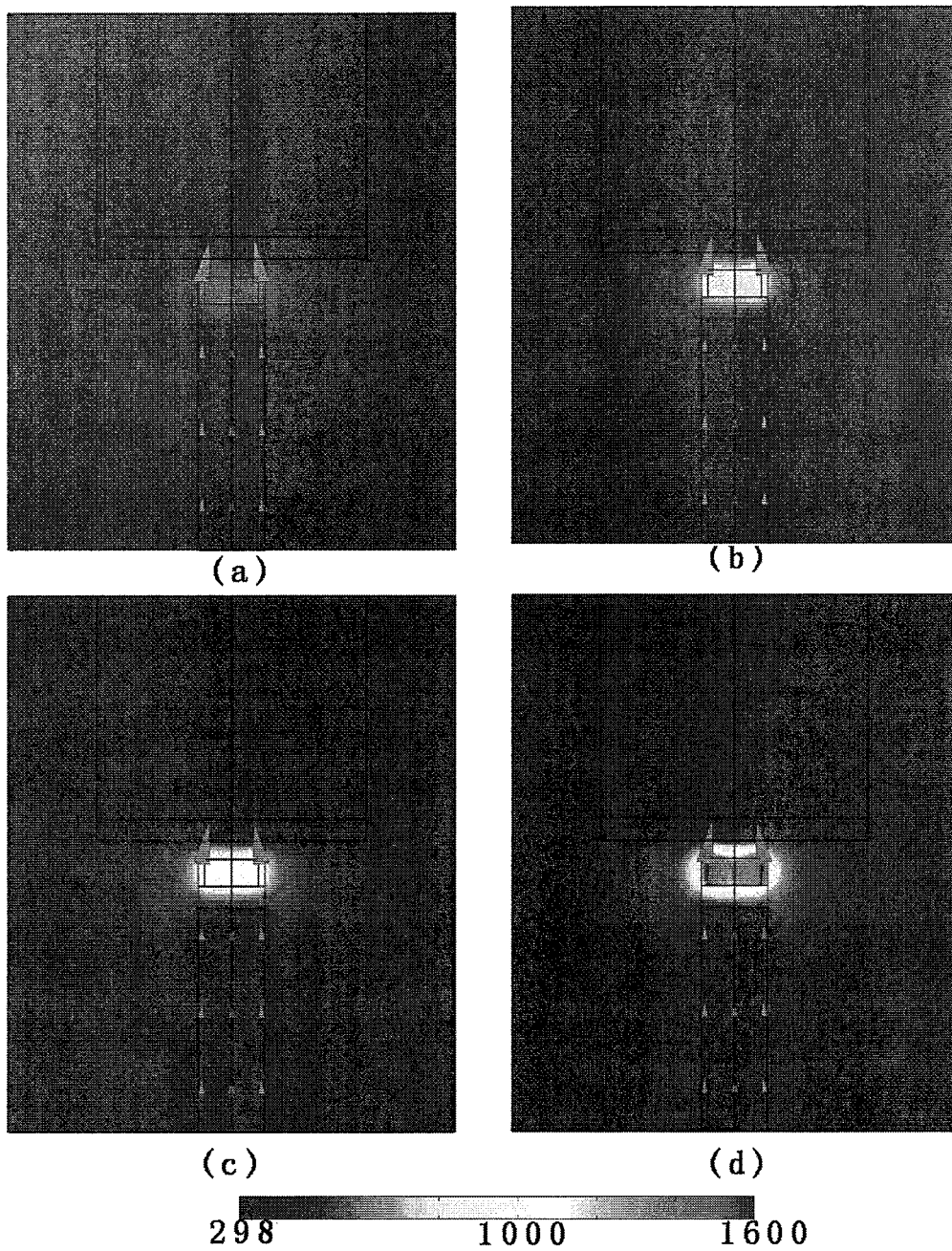


图 4.21 对 RIG 分别注入 (a) 0.3 (b) 0.43 (c) 0.5 (d) 0.6mA 情况下的温度分布和电流密度分布的纵向截面图。

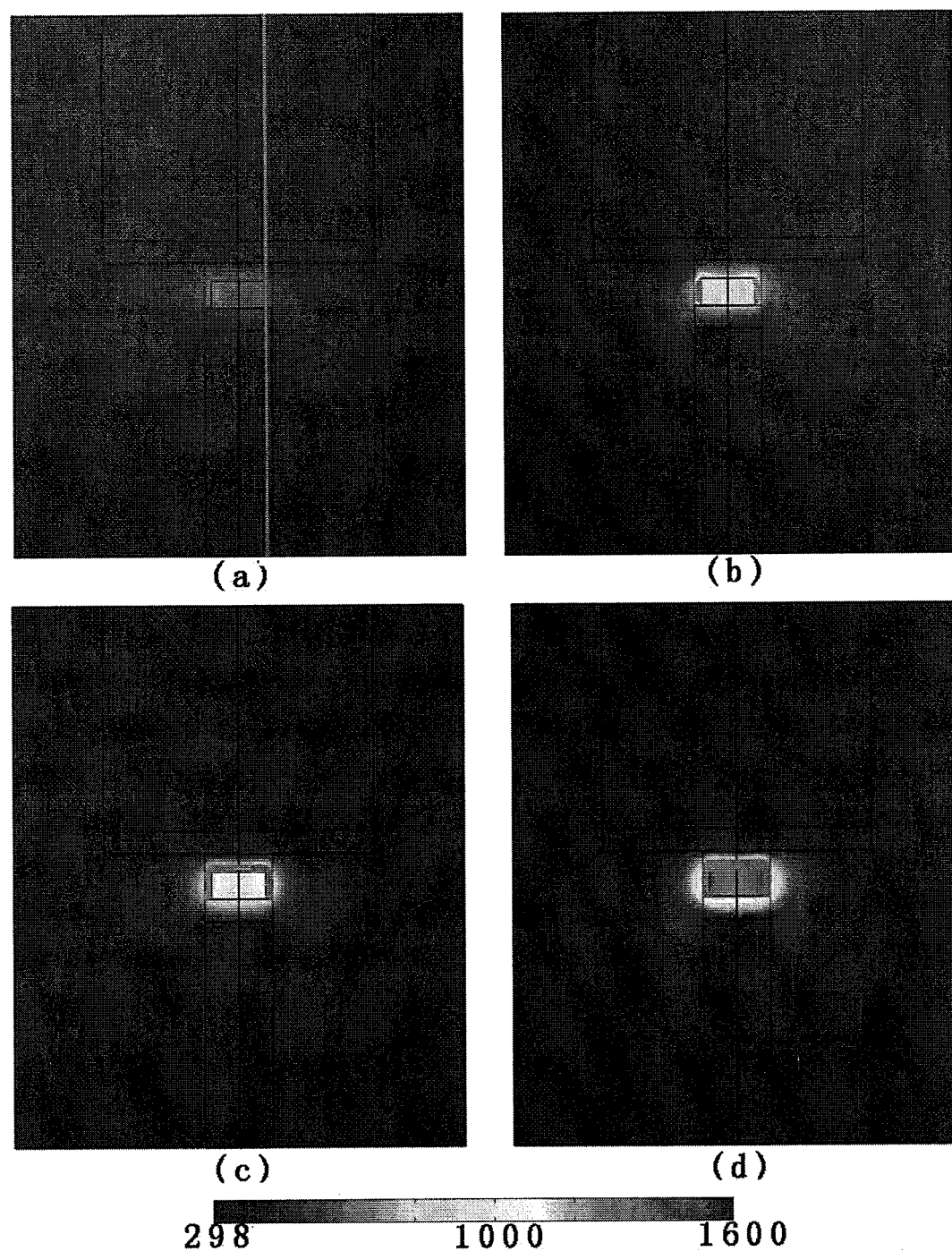


图 4.22 对 RIG 分别注入 (a) 0.3 (b) 0.43 (c) 0.5 (d) 0.6mA 情况下的熔融区域分布的纵向截面图

由于此器件单元的热利用效率比传统蘑菇型结构高很多,因此在通入相同的电流下, RIG 的最高温度比传统蘑菇型结构的最高温度高,如图 4.23 所示。

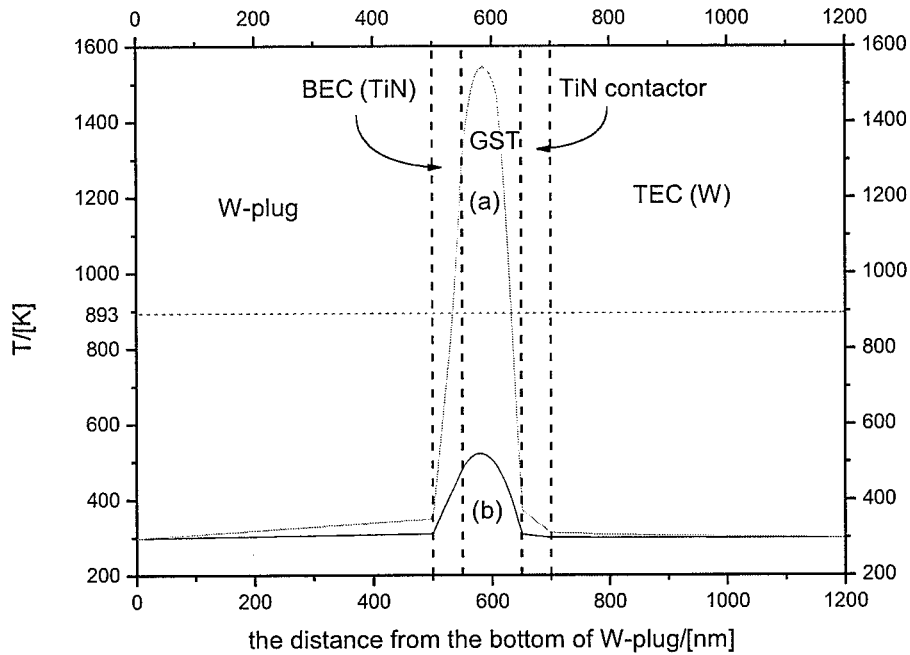
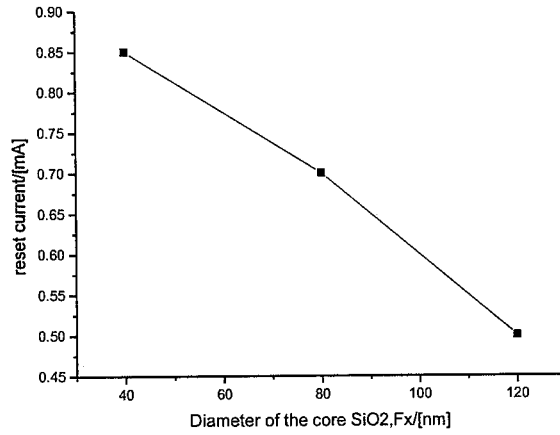
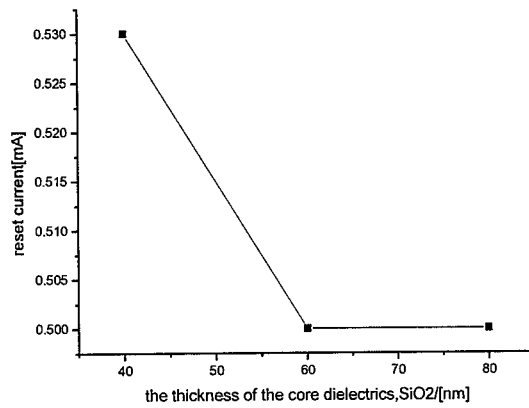


图 4.23 沿着 (a) RIG 内侧边界线 and (b) 传统蘑菇型结构中心轴线在操作电流为 0.6mA 下器件单元 50ns 时刻的温度分布。

填充材料的大小形状还要考虑到热平衡的问题,因为一方面要考虑缩小编程体积带来高效率,另一方面,在器件单元 RESET 过程中,要使熔融态相变材料转变成非晶态,需要迅速降温,因此环型区域大小的设计不能太小。如果环型区域太小,处于熔融态的相变材料不能有效的通过散热进行降温,从而不能产生相变材料的非晶态,导致 RESET 过程失败。同样,在 SET 过程中,降温过程要求比较缓慢,如果环型区域太大的话,相变区域的温度下降过快,导致 SET 过程失败。保持中央 SiO_2 的厚度 (60nm) 不变的情况下,改变直径,分别得出直径为 40、80、120nm 的 SiO_2 层的 RESET 电流。可见直径越大,环型空间越小,也就容易实现 RESET 过程,RESET 电流也越来越小,如图 4.24 所示。保持中央 SiO_2 的直径 120nm 不变的情况下,改变厚度,可得到在 40、60 和 80nm 厚的器件单元相应的 RESET 电流,如图 4.25。厚度从 40nm 增加到 60nm 的过程中,RESET 电流 成减小趋势,因为在 SiO_2 较薄的 RIG 器件单元中, SiO_2 上方还有一部分多晶被融化,这部分消耗了多余了能量,所以 RESET 电流要较高。而厚度达到 60nm 时,熔融区域全被挡在环型区域里,所以 RESET 电流降到最底,再增加厚度对熔融区的分布没有了影响,因此 RESET 电流没有变化。根据此分析,我们选取直径为 120nm,厚 60nm 的 SiO_2 填充到 GST 中是即能实现高热效率降低功耗又能保证器件单元降温速率,保证器件单元可靠性。

图 4.26 中央填加 SiO₂ 的直径和 RESET 电流关系。图 4.27 中央填加 SiO₂ 的厚度和 RESET 电流关系。

按照第三种的 RESET 操作模拟，计算得到 RIG 的 RESET 电流为 0.48mA。比较 CS 结构和 RIB 结构，得到各个器件单元随着电流操作实现 RESET 操作过程的 R-I 曲线，图 4.28。可见 RIG 能有效的降低功耗。要降低器件单元功耗的另一个参考标准是器件单元中的电场分布是否均匀。只有保持了器件单元中电场均匀，使得环型区域里的相变材料的相变具有一致性，才能有效降低器件单元功耗。从器件单元的横向电势分布，图 4.29，可以看出新器件单元的电场均匀性是满足要求的。

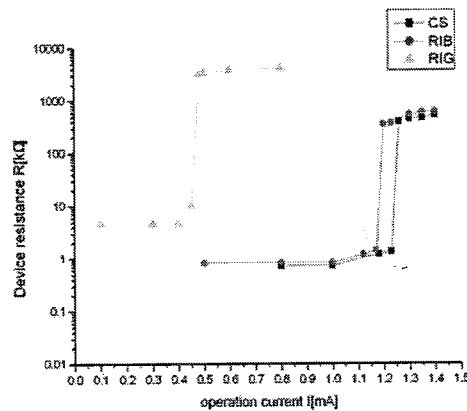


图 4.28 RIG 结构的器件单元电阻和操作电流的关系，及 RIB 和传统蘑菇型结构相应的关系。

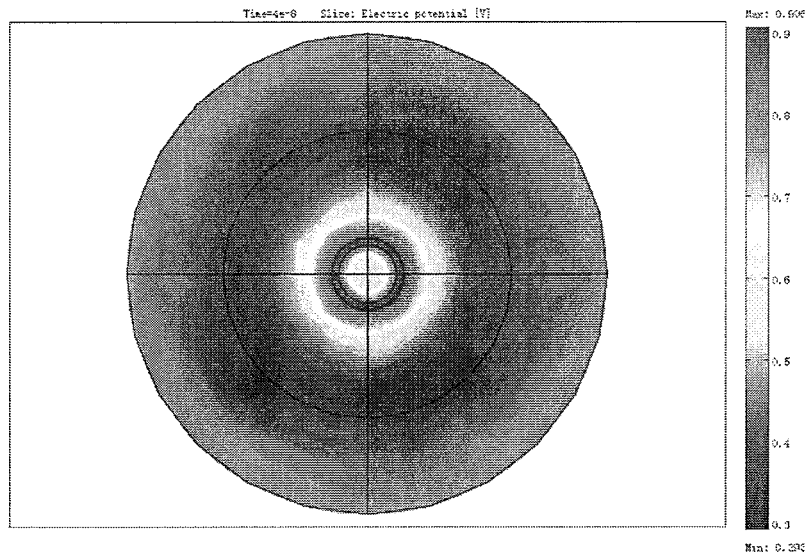


图 4.29 器件单元横向截面的电势分布图。

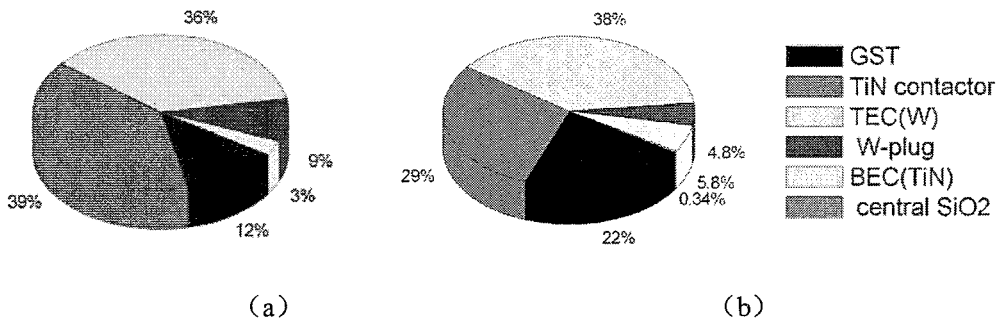


图 4.30 (a) 传统结构 (b) 环形 GST 结构中各个子区域的热量分布百分比。

我们还比较了 RIG 结构和 CS 结构中各个区域的热量分布。从图 4.30 中看，环形 GST 结构 GST 层的热量可以占到总热量的 22%，传统蘑菇型结构只有 12%，因此环形电极结构中 GST 区域的热量百分比明显大于传统蘑菇型结构和传统蘑菇型结构，论证了在 TiN 和 GST 接触边界区域，温度最高的结论。

与传统的存储单元结构相比，新的结构的特点是在圆形的底电极上方，通过一定厚度同心圆柱的介质层，实现加热相变材料的热能向下输运的有效控制，一方面很好地保护了构成 PCRAM 芯片下面的 CMOS 电路不受较大热能与载流子的冲击，另一方面在减小相变材料与底电极直接接触面积的同时也得到了很好的保温效果，同时，介质层与很小的相变区域可以把底电极封盖住，很容易实现 RESET 过程，同时上电

极与相变材料的界面也可用相同同形圆柱的设计方法，这样一来，上下结构与电极对称，使电场均匀，导致的热场均匀，有利于低功耗与高速存储的实现。

4.2.4 稳定阈值电压器件单元

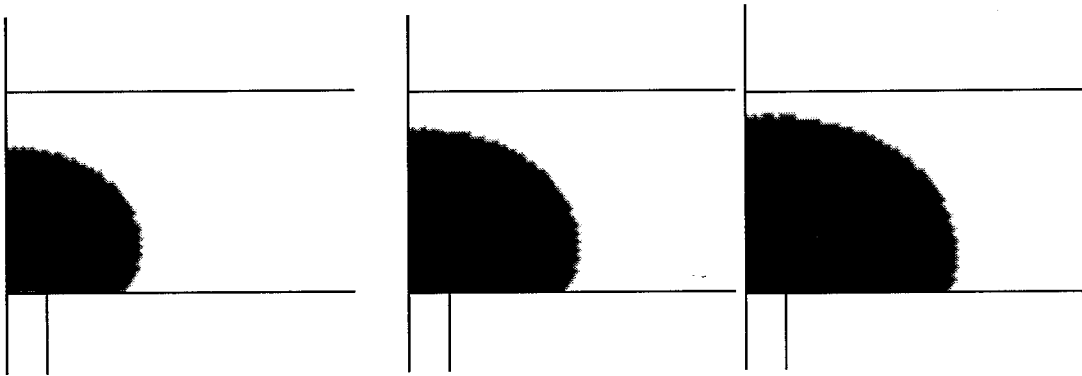
已经有关于相变材料中的阈值电压模型^[29, 36, 125]。传统蘑菇型 PCRAM 器件单元中， V_{th} 会随着 RESET 电流增加而增加^[126]。因此，在实际操作中可能因为 RESET 操作电流的波动造成 V_{th} 的变化，从而影响 SET 操作的可靠性。相变材料 GST 越薄，RESET 电流越大，器件单元功耗越大。但是另一方面，可以看出相变材料厚度较小的器件单元中，在不同电流脉冲实现 RESET 操作进行 SET 操作时的阈值电压 V_{th} 都很稳定。阈值电压和非晶厚度的关系可以根据计算最小阈值电压的公式（4.1）算得^[126]。

$$V_{th,min} = l * \sqrt{\frac{2KT}{R_0^3 \epsilon}} = l * \sqrt{\frac{2 * 0.03}{(3.0)^3 * 10}} = 0.0149 * l \quad \text{公式 (4.1)}$$

公式（4.1）中 KT 为热起伏能，取值 0.03eV ， R_0 为临界成核半径，取值 3nm ， ϵ 为介电常数，取值 10 ， l 为非晶区域最薄部分的厚度^[126]。

我们通过 RESET 操作中的模拟熔融区域随着操作电流的变化来解释这个现象。如图 4.31 所示，在 GST 厚度为 50nm 的器件单元中，器件单元要实现 RESET，分别给器件单元施加电流 2.6mA ， 3mA 和 3.3mA ，因为相变材料层很薄，熔融的 GST 维持在 50nm ，淬火结晶后，非晶区域最薄部分的厚度即为 50nm 。对于 GST 厚度为 250nm 的器件单元中，分别给器件单元施加电流 1.3mA ， 1.6mA 和 2mA ，熔融区域不断在变大，非晶区域最薄部分的厚度也一直在变大，因此该器件单元阈值电压随着 RESET 电流线性增加。

将相变材料厚度最厚限制在 50nm 是因为通过模拟我们发现如图 4.31 所示非晶区域横向边缘到电极尖端为 50nm ，如果器件单元厚度超过 50nm ，非晶区域最薄部分的厚度应该从纵向的相变材料厚度变为横向边缘到电极尖端的距离，这样就增加了阈值电压的不稳定性。



(a)

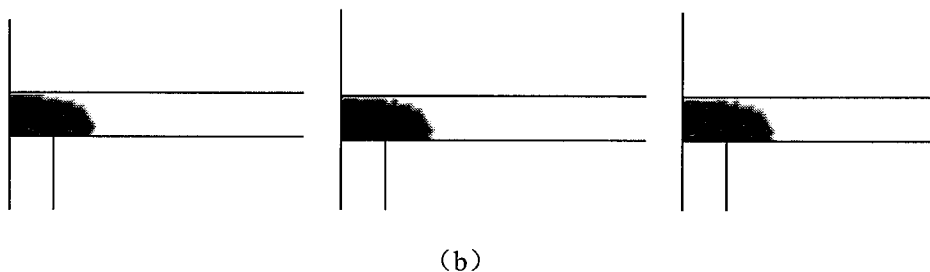


图 4.31 传统结构 GST 厚度为 (a) 250nm 和 (b) 50nm 结构实现 RESET 操作时, 熔融区域的分布情况。黑色表示非晶。

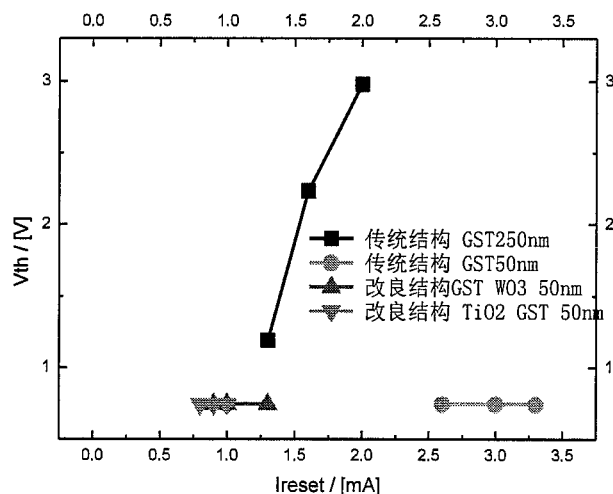


图 4.32 用 (a) 传统结构 GST 厚度为 250nm 结构 (b) 传统结构 GST 厚度为 50nm 结构 (c) 改进结构加热层材料为 WO_3 , GST 厚度为 50nm 结构 (d) 改进结构加热层为 TiO_2 , GST 厚度为 50nm 结构 在不同电流脉冲实现 RESET 操作进行 SET 操作时的阈值电压 V_{th} 。

根据式 4.1, 传统结构 GST 厚度为 250nm 中的非晶区域 GST 随着电流增加, 从而阈值电压线性增大。图 4.32 中图 4.32 用 (a) 传统结构 GST 厚度为 250nm 结构 (b) 传统结构 GST 厚度为 50nm 结构 (c) 改进结构加热层材料为 WO_3 , GST 厚度为 50nm 结构 (d) 改进结构加热层为 TiO_2 , GST 厚度为 50nm 结构 在不同电流脉冲实现 RESET 操作进行 SET 操作时的阈值电压 V_{th} 。按照第三章中提到的 RESET 模拟计算 R-I 曲线, 如图 4.31。对于 GST 薄膜是 250nm 的器件单元, GST 中 RESET 操作后的非晶区域随着 RESET 电流增加而增大, 从而导致 V_{th} 也线性增大。而对于 GST 厚度为 50nm 的器件单元, 因为器件单元 RESET 成功后的非晶区域最薄部分的厚度就一直保持为 50nm, 从而 V_{th} 保持一个较低的稳定值。

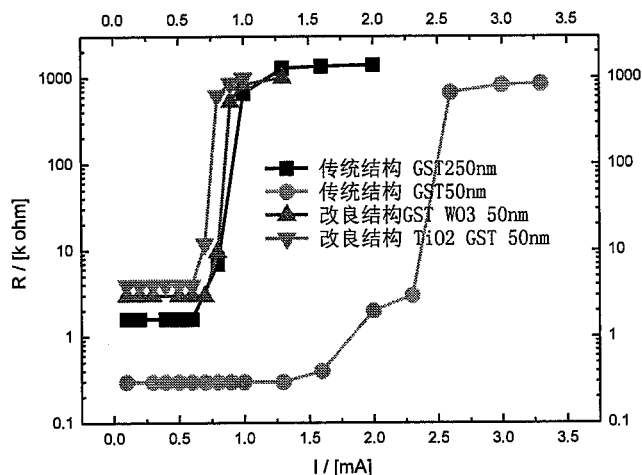


图 4.33 用 (a) 传统结构 GST 厚度为 250nm 结构 (b) 传统结构 GST 厚度为 50nm 结构 (c) 改进结构加热层材料为 WO_3 , GST 厚度为 50nm 结构 (d) 改进结构加热层为 TiO_2 , GST 厚度为 50nm 结构 实现 RESET 操作下的电流电阻曲线图。

用第二章的模拟器件单元 RESET 过程的方法模拟四个器件单元的 RESET 过程, 从而比较四个器件单元的 RESET 电流。图 4.33 用 (a) 传统结构 GST 厚度为 250nm 结构 (b) 传统结构 GST 厚度为 50nm 结构 (c) 改进结构加热层材料为 WO_3 , GST 厚度为 50nm 结构 (d) 改进结构加热层为 TiO_2 , GST 厚度为 50nm 结构 实现 RESET 操作下的电流电阻曲线图。根据之前提到的器件单元中 GST 薄膜越薄, RESET 操作电流越小, 因此传统结构 GST 厚度为 50nm 的器件单元 RESET 电流要大于传统结构 GST 厚度为 250nm 的器件单元 RESET 电流。而在 GST 厚度为 50nm 的器件单元中添加一个低电导率和低热导率的材料 WO_3 和 TiO_2 , 能够很好提高器件单元热效率, 降低 RESET 电流。

4.3 器件单元尺寸缩小和串扰

4.3.1 温度的影响

器件单元尺寸缩小是提高 PCRAM 密度的关键。而在器件单元缩小时, 不同的缩小方案可能会造成不同温度分布的差异。我们依照两种器件单元缩小方案, 对在中芯国际的器件单元结构进行缩小, 如图 4.34 和图 4.35 所示。所谓的等比缩小, 就是器件单元横向纵向尺寸都随着工业节点减小而较小。所谓的非等比缩小就是器件单元的横向尺寸随着工业节点减小而减小, 但是器件单元的纵向尺寸保持不变。

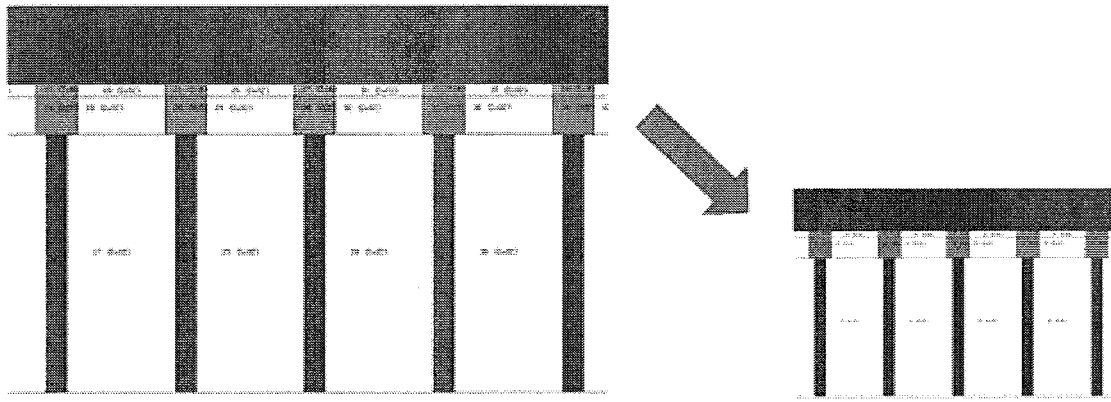


图 4.34 等比缩小方案示意图。

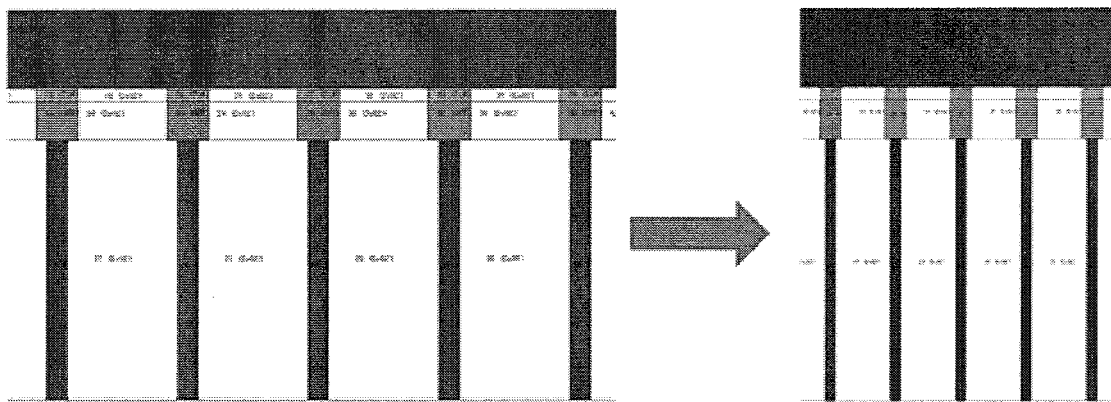


图 4.35 等比缩小方案示意图。

目前 Russo 等人针对凹槽结构进行了详细的等比缩小和非等比缩小的研究^[15, 29, 75]。对一个器件单元行进 RESET 操作，研究邻近高阻态器件单元的温度分布。如果邻近器件单元的温度分布大于结晶温度，那么高阻态非晶开始结晶，可能会造成结晶通道，形成低阻并联，降低高阻态器件单元电阻。因此通过这种温度分布的研究可以获得凹槽结构阵列中不发生串扰的最小距离，从而提到器件单元密度。

考虑到我们 PCRAM 器件单元尺寸缩小和提高器件单元密度的要求，我们也利用等比和等比缩小方案，研究 90nm 工艺节点的 PCRAM 阵列的缩小问题。对于等比缩小方案，不妨按照如表 4.1 所示那样，按照工艺节点 (F) 从 90nm 依次缩小到 65nm, 50nm, 40nm 和 20nm。对应的下电极尺寸 (CD)，GST 厚度 (L_{GST})，GST 宽度 (W_{GST}) 和器件单元间距 (Pitch) 都要按比率缩小。而非等比缩小如表 4.2 所示，在每一个工作节点上，除了唯一的纵向尺寸，GST 厚度 (L_{GST}) 保持 90nm 工艺节点下的尺寸 (150nm) 外，其他的尺寸都是按照比率缩小。虽然两种方案都减小了接触面积，提高热效率，从而减低了 RESET 电流，但是如图 4.36 所示，非等比缩小方案会造成更加明显的 RESRT 电流下降。这其实是由于在非等比缩小方案中，GST 厚

度没有变化, GST 宽度变小, 形成一个柱状结构, 从而热效率提高, RESET 电流降低。但是如 Russo 报道, 非等比缩小方案虽然能够很好的提高热效率, 但是其热串扰问题很严重^[75]。因此针对我们自己的结构, 我们需要提出一套新的缩小方案。以如图 4.37 所示的 90nm 工艺节点器件单元为例。其几何参数对应于表 4.1 中 90nm 工艺节点对应的各项参数: 下电极尺寸 (CD) 为 80nm, GST 厚度 (L_GST) 为 150nm, GST 宽度 (W_GST) 为 160nm 和器件单元间距 (Pitch) 为 500nm。

表 4.1 等比缩小方案

F (nm)	CD (nm)	L_GST (nm)	W_GST (nm)	Pitch (nm)
90	80	150	160	500
65	60	112	120	375
50	50	93	100	313
40	40	75	80	250
20	16	30	32	100

表 4.2 非等比缩小方案

F (nm)	CD (nm)	L_GST (nm)	W_GST (nm)	Pitch (nm)
90	80	150	160	500
65	60	150	120	375
50	50	150	100	313
40	40	150	80	250
20	16	150	32	100

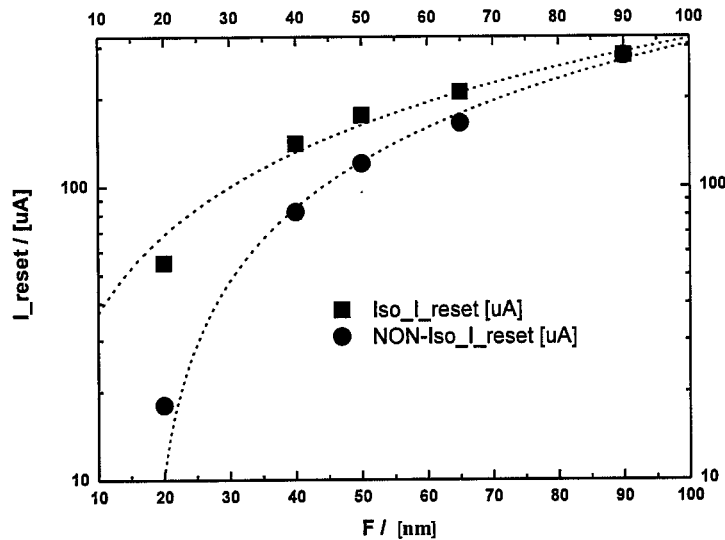


图 4.36 等比缩小 (Iso) 和非等比缩小 (NON-Iso) 方案中器件单元 RESET 电流随着工艺节点 F 减小而减小的程度。

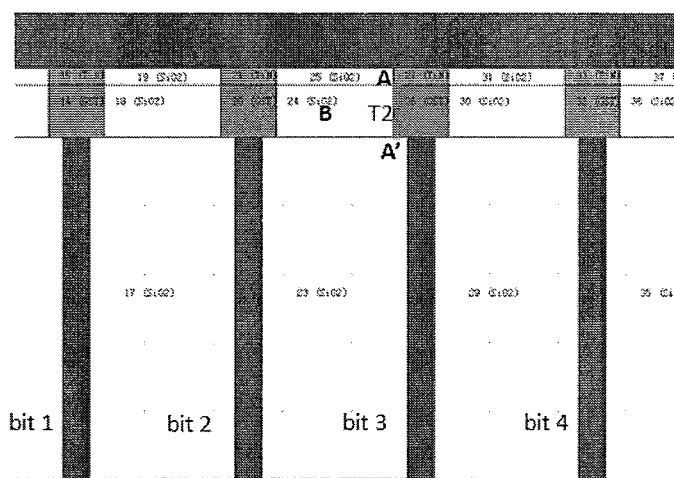


图 4.37 PCRAM 器件单元阵列图。对单元 bit2 和单元 bit4 通入 RESET 电流，考虑两个器件单元中的单元 bit3 的器件单元边缘 AA' 温度 T2。

考虑到最坏的串扰情况，即对单元 bit2 和单元 bit4 通入 RESET 电流，两个器件单元中的单元 bit3 的器件单元边缘 AA' 上的温度 T2 要不发生从非晶到多晶的转变，要满足温度不高于从非晶态转变到亚稳态面心立方结构 (FCC) 的结晶温度 175°C。从图 4.38 看出，按照等比缩小方案，T2 一直低于结晶温度 175°C。而按照非等比缩小方案，工艺节点降低，T2 上升，而当工艺节点缩小到 60nm 以下时，T2 的温度超过结晶温度，从而在器件单元 bit3 中开始结晶，形成所谓的热串扰。图 4.39 (a) 表示工艺节点在 90nm 时，单元 bit2 和单元 bit4 的 RESET 操作刚好实现时，操作单元对邻近单元的影响。此时单元 bit3 的器件单元边缘 AA' 上的温度 T2 要小于结晶温度，说明器件单元间距还可以缩小。图 4.39 (b) 表示工艺节点随着非等比缩小到 20nm 时，单元 bit2 和单元 bit4 的 RESET 操作刚好实现时，操作单元对邻近单元的影响。此时单元 bit3 的器件单元边缘 AA' 上的温度 T2 要明显于结晶温度，说明热串扰发生。图 4.39 (c) 表示了表示工艺节点随着非等比缩小到 20nm 时，单元 bit2 和单元 bit4 的 RESET 操作刚好实现时，操作单元对邻近单元的影响。此时单元 bit3 的器件单元边缘 AA' 上的温度 T2 和在 90nm 工艺节点制作的器件单元中的 T2 几乎不变，说明没有发生热串扰，但是器件单元密度并没得到改进。

因此可以看出非等比缩小能够减小器件单元间距, 更好降低操作电流, 但是容易引起热串扰, 而等比缩小方案能够很好杜绝热串扰, 但是器件单元间距保持不变, 减低操作电能力有限。综合两种缩小方案的优势, 我们提出了一种混合缩小方案。这种方案缩小的具体参数如表 4. 3。首先进行非等比缩小, 当缩小到 60nm 工艺节点时, T2 的温度达到刚好要结晶的温度, 此时改为等比缩小, 如此 T2 的温度就能一直保持此温度不变, bit3 中的非晶很难结晶, 从而不会引起热串扰。图 4. 38 中的红线表示了按照混合缩小方案下, 器件单元 bit3 中的 T2 变化。随着工艺节点 F 的减小, T2

一直没有超过结晶温度 175°C ，所以这个混合方案一方面最大程度提高器件单元密度，另一方面又不会发生热串扰。

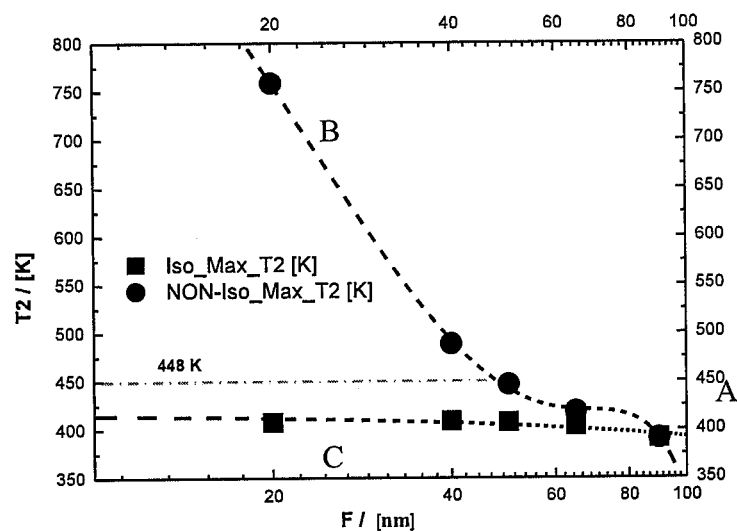


图 4.38 单元 bit3 器件单元边缘的温度随着不同缩小方案的温度变化。

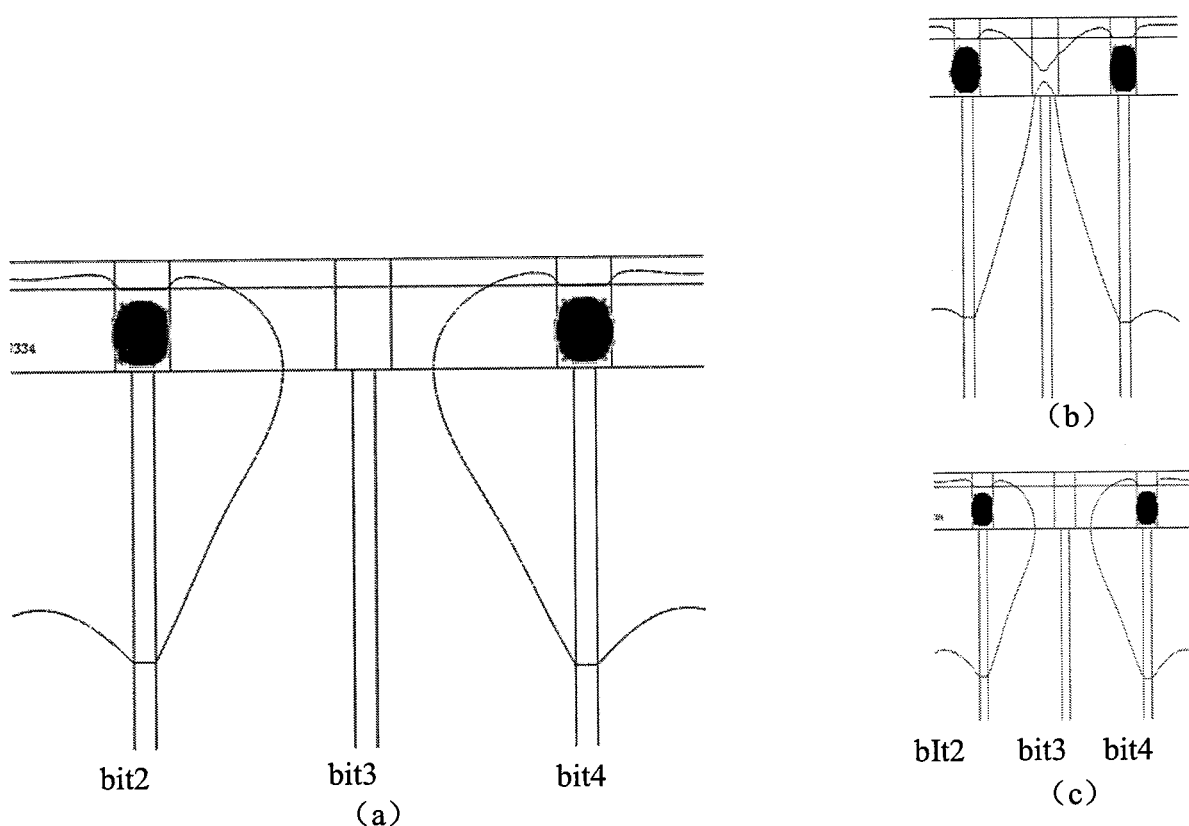


图 4.39 对器件单元 2 和器件单元 4 行进 RESET 操作，考虑中间器件单元的串扰情况。等值线为 175°C 等温线。图 4.38 中 (a) A 点对应的温度分布 (b) B 点对应的温度分布 (c) C 点对应的温度分布。

表 4.3 混合缩小方案

MIX-Scaling	F (nm)	CD (nm)	L_GST (nm)	W_GST (nm)	Pitch (nm)
NON-Isotropic	90	80	150	160	500
	65	60	150	120	375
	50	50	150	100	313
Isotropic	40	40	120	80	250
	20	16	48	32	100

4.3.2 应力的影响

如第二章所述，器件单元中热应力是造成器件单元失效的原因之一。热应力变化势必那么随着器件单元尺寸缩小给来器件单元更大的影响。因此我们按照上节提到的将工艺节点为 90nm 依次缩小到 65nm, 50nm, 40nm 和 20nm, 分布进行等比缩小和非等比缩小方案，计算操作单元中的最大应力分布以及临近单元的应力分布。

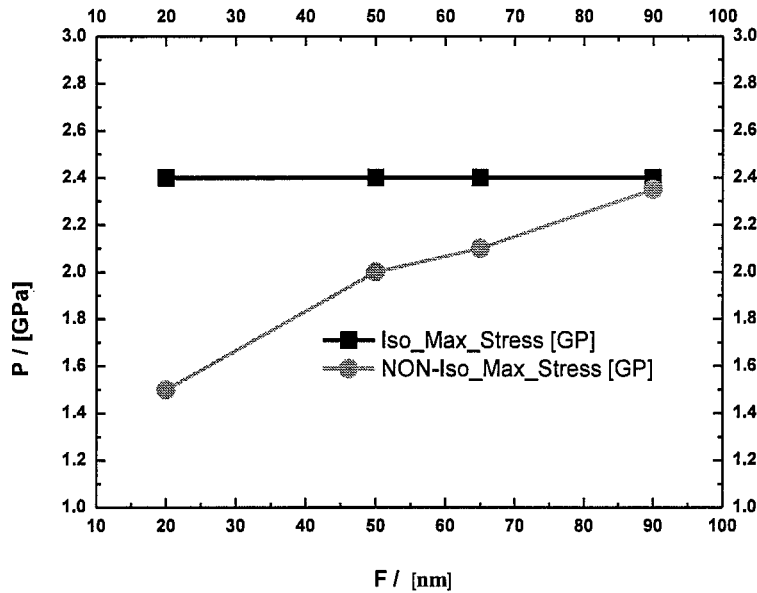


图 4.40 器件单元随着工艺节点为 90nm, 65nm, 50nm, 40nm 和 20nm 依次按照等比缩小和非等比缩小的最大应力值。

应用第三章中的应力模型，得到如图 4.37 器件单元阵列中最大应力值如图 4.40 所示。对于等比缩小而言(Iso)，最大等效应力保持不变；而对于非等比缩小(NON-Iso)，最大等效应力随着工艺尺寸(F)减小。对于等比缩小方案，器件单元中的温度场分布随着工艺节点缩小等比例缩小，器件单元中最大应力也不会有变化。而对于非等比缩小而言，器件单元纵向尺寸没有变化，而缩小横向尺寸，其实就等价于在保持 GST 宽度不变的情况下，增加 GST 厚度，而根据 Guo 等人的实验报道，GST 薄膜应力随

着 GST 厚度增加减小^[99]。因此对于传统蘑菇型结构，器件单元中的应力分布和薄膜的应力变化是一致的。

因此从器件单元稳定性来讲，按照非等比缩小方案，工艺节点减小，器件单元中最大应力也减小，因此只要在原型器件单元中的等效应力是器件单元有效操作接受范围内，那么随着器件单元缩小，应力的影响会越来越小，从而提高器件单元稳定性。

另一方面，从器件单元密度来讲，应力对串扰没有影响器件单元密度来讲没有限制。串扰主要受温度场影响。在等比缩小情况下，邻近单元的应力变化规律和操作单元类似。只是应力数值比操作单元小很多。所以，只要保证操作单元的稳定性，邻近单元的稳定性也是可以得到保证的。在非等比缩小情况下，也是和操作单元类似，工艺节点 F 减小，应力减小。但是 F 减小，界面应力分布开始变得均匀，这样对器件单元来说是好事。

4.4 本章小结

我们利用电热模型模拟不同器件单元结构对操作电流和电压的影响，从而创新性的提出一些新结构。并且通过电热模型和应力模型分析器件串扰，提出器件阵列缩小时的混合缩小方案。具体如下：

1 对于环形电极(RIB)结构，通过子区域热量百分比分析得到 RIB 结构中有 37% 的热量分布在 GST 中，热量分布百分比比传统蘑菇型结构得到了提高。通过计算环状电极(RIB)结构中填充氧化物 SiO_2 的直径 F_x 为 40nm, 80nm 和 120nm 的 PCRAM 单元温度分布，发现氧化物直径越大，热效率越高，从而 RESET 操作电流越小。但是同时模拟显示氧化物直径越大，在 SET 操作中有较难形成低阻并联，器件单元高低阻分布较差。因此折中考虑选择 80nm 作为 SiO_2 直径。通过模拟不同脉宽的操作脉冲，得到 RESET 脉冲大于 30ns 后，器件单元的 RESET 操作电流变为稳定的最小值，从而 RESET 操作脉宽都要至少大于 30ns。对于 SiO_2 直径为 80nm 的 RIB 器件单元而言，SET 脉宽达到 100ns 以后，器件单元达到热平衡，电阻实现的从高阻到低阻的突变不再变化。因此，通过模拟我们认为在 SiO_2 直径尺寸为 80nm，SET 操作脉宽为 100ns 是 RIB 器件单元低功耗高速度的设计准则。

2 对于底电极凸出(PBE)结构。我们模拟并比较了传统结构，底电极凸出 20nm 和底电极凸出 30nm 的温度分布。理论验证里底电极凸出 30nm 结构能够将传统结构的 RESET 电流 3.5V 降低到 2.2V。提出电极凸出的最优化高度为 20nm。

3 以标准蘑菇型结构的 PCRAM 器件单元结构为基准，修改器件单元中相变材料层的厚度和宽度，得到 GST 薄膜越厚，RESET 电流越小。而 RESET 电流受 GST 宽度影响较小。通过 GST 倾斜角的 RESET 过程模拟，得出工艺中 GST 倾斜角有利于减小 RESET 电流的结论。

4 创新性的设计了一种环状 GST (RIG) 结构。详细的分析 RIG 结构的电场, 温度分布, 理论上解释新结构的高热效率和低功耗特性。保持中央 SiO_2 的厚度 (60nm) 不变的情况下, 别得出直径为 40、80、120nm 的 SiO_2 直径的 RESET 电流, 环型空间越小, RESET 电流越小。保持中央 SiO_2 的直径 120nm 不变的情况下, 别得出 40、60 和 80nm SiO_2 厚 RESET 电流, RESET 电流随着 SiO_2 厚度减小, 但是到 60nm 时, RESET 电流降低到一个固定值。最终以 SiO_2 直径 120nm, 高 60nm 为填充的 RIG 结构, 将同等尺寸下的传统结构 RESET 电流从 1.3mA 降低到 0.48mA。通过热量百分比分析, 得到在 GST 层的热量可以占到总热量的 22%, 比传统结构中 GST 层的热量分布百分比高出 10%。

5 根据阈值电压和非晶 GST 厚度的关系, 创新性的提出一种稳定阈值电压和低功耗器件单元结构。通过模拟 WO_3 和 TiO_2 作为加热层的新结构, 论证了器件单元阈值电压固定, RESET 电流低的优点。从而实现了降低器件单元功耗的同时提高了器件单元可靠性。

6 以 90nm 工艺节点下的 PCRAM 器件单元为基准, 研究阵列中串扰现象。通过比较器件单元按照等比缩小和非等比缩小两种方案, 提出在 60nm 工艺节点以上采用非等比缩小方案, 在 60nm 工艺节点以下采用等比缩小方案, 能够避免串扰引起的 RESET 操作态失效的现象。而对于器件单元中的应力的串扰, 得到如下结论: 按照等比缩小, 最大等效应力保持不变, 按照非等比缩小, 最大等效应力随着工艺尺寸减小而减小。因此在 PCRAM 单元阵列缩小中, 器件间的热应力的作用可以忽略。

第五章 模型在相变材料研究上的应用

研究人员不仅通过优化器件单元结构来实现降低 PCRAM 功耗的要求, 还通过寻找新型材料, 提高器件单元中的热效率, 实现低功耗 PCRAM。根据第二章描述的电热模拟过程, 可以通过修改材料的电导率和热导率来分析器件单元中的温度和功耗。利用我们建立的电热模型, 可以很好的模拟出譬如不同相变材料和加热层材料带来的高热效率, 从而理论上解释了其各自的低功耗优势。

5.1 复合相变材料

复合材料是由两种或两种以上物理和化学性质不同的物质组合而成的一种多相固体材料。在复合材料中, 通常有一相为连续相, 称为基体; 另一相为分散相, 称为增强材料。分散相是以独立的相态分布在连续相中, 两相之间存在着相界面。复合材料中各个组分虽然保持其相对独立性, 但复合材料的性质却不是各个组分性能的简单加和, 而是在保持各个组分材料的某些特点基础上, 具有组分间协同作用所产生的综合性能。由于复合材料各组分间“取长补短”, 充分弥补了单一材料的缺点, 产生了单一材料所不具备的新的性能。复合材料的研究开创了材料设计方面的新局面。而纳米复合材料是由两种或两种以上的固相至少在一维以纳米量级大小 (1-100 nm) 复合而成的复合材料。这些固相可以是非晶质、半晶质、晶质或者兼而有之, 而且可以是无机物、有机物或二者兼有。纳米复合材料也可以是指分散相尺寸有一维小于 100 nm 的复合材料, 分散相的组成可以是无机化合物, 也可以是有机化合物, 无机化合物通常是指陶瓷、金属等, 有机化合物通常是指有机高分子材料。纳米复合材料因其分散相尺寸介于宏观与微观之间, 将给材料的物理和化学性质带来特殊的变化, 正日益受到关注。和 GST 均匀分布不一样, SST 材料中 Si 和 Sb, Te 独立出来, 为非均匀材料。我所有 SST 等复合材料的自主知识产权, 为复合材料模拟能够充分体现模拟的价值。我们期望通过建立一个模型模拟不同组份材料的热分布情况, 同时我们还期望通过模型找到介质材料的哪一个参数 (电阻、热导率等) 对结果影响最大, 从中找到哪种材料物理参数对降低器件单元功耗的影响最大。如第一章所述, 研究人员对 GST 进行了掺 N、掺 O^[41-42]。Tae-Yon Lee 等人通过 GST 中掺杂 SiO_x, 降低热导率, 提高保温效率, 将同等结构纯 GST 的器件单元 RESET 电流从 1mA 降低到 0.3mA^[43, 108]。在建立模型中, 我们一典型的复合相变材料 SiSbTe (SST) 为例。

5.1.1 SST 等价物理模型

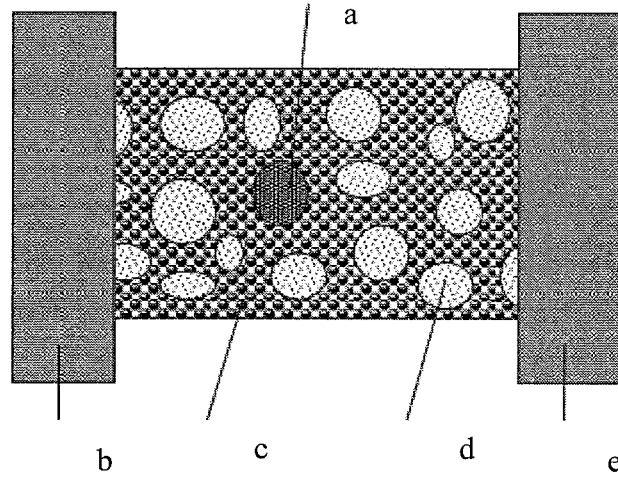


图 5.1 SST 的微观结构示意图。

SST 的一种典型微观结构结构是相变材料包围着介质材料。图 5.1 显示了相变材料包围介质材料结构。c 为相变材料，a 和 d 为介质材料，b 和 e 为电极。我们可以通过一个等价的串联电阻来解释 SST 相变引起阻值巨大变化的原因。不妨选取介质材料包围相变材料这种情况进行分析，建立一个等效串联电阻，如图 5.2：

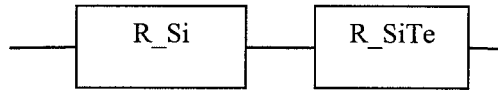


图 5.3 SST 等效串联电阻。

对于高阻态电阻和低阻态电阻比值有：

$$\frac{R_A + R_{Si}}{R_C + R_{Si}} = \frac{R_{RESET}}{R_{SET}} \quad \text{公式 (5.1)}$$

公式 (5.1) 中， R_A 为等效 SbTe 非晶态电阻， R_C 为等效 SbTe 晶态电阻， R_{Si} 为等效 Si 电阻。

要使等式满足必须有公式 (5.2) 的结论：

$$\frac{R_{Si}}{R_C} \ll 1 \quad \text{公式 (5.2)}$$

根据电阻定义可以得到公式 (5.3)：

$$l_c \gg \frac{l_{Si} S_c}{S_{Si}}$$

公式 (5.3)

公式 (5.3) 中 l_c 为等效多晶厚度, l_{Si} 为等效硅厚度, S_{Si} 为等效硅横截面积, S_c 为等效多晶横截面积。对于多晶包硅情况的模拟, 根据实验情况, 可以将 SST 中的 Si 看成随机分布的 10nm 的颗粒, 相变材料被排挤在狭长的通道里, 在相同电流操作下, 比起 GST 来器件单元中的电流密度得到极大的提高, 从理论上讲, 更容易达到熔融态, 实现相变。因此, 构建 SST 的近似模型, 如图 5.4。按照第二章的电热模型, 将器件单元通入一个操作电流, 可以得到图 5.5 中的电流分布图。

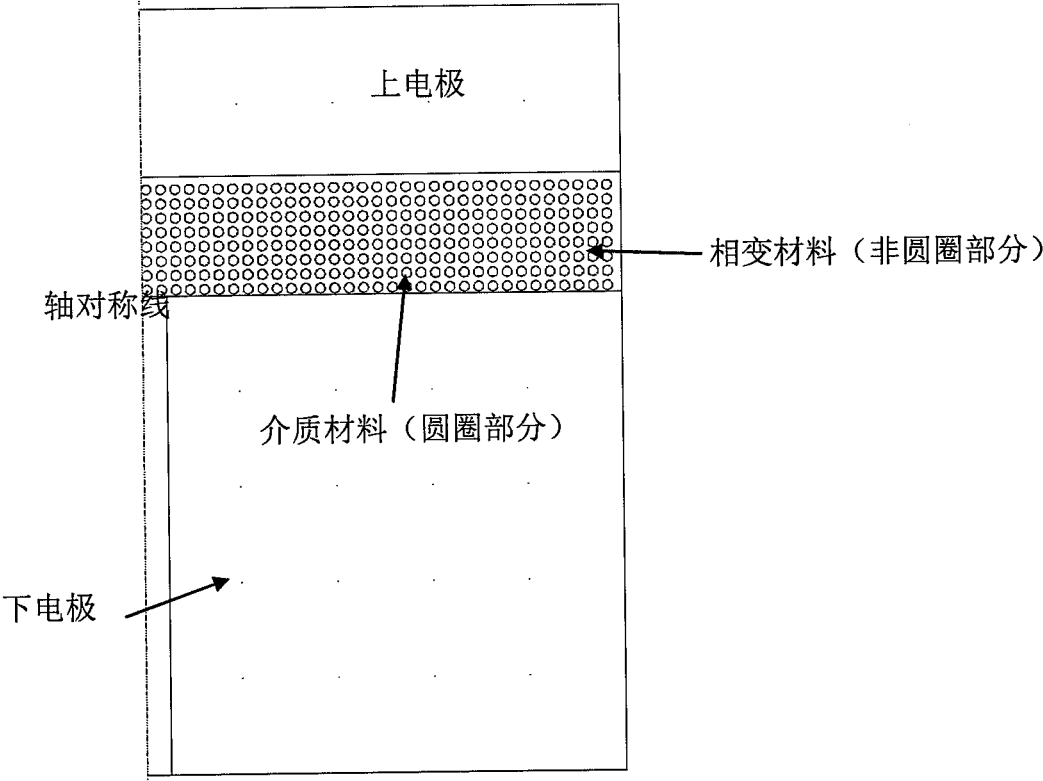


图 5.4 介质材料均匀分布构造的几何形貌。

从图 5.5 中可以看到, 电流主要经过多晶区域, l_c 要比 l_{Si} 大很多, 而且 S_s 和 S_c 相当, 从而满足式 5.3, 能够得到巨大的电阻差异。因此这个简化近似模型可以很好介绍 SST 在通入 RESET 电流后电阻变化巨大的现象。

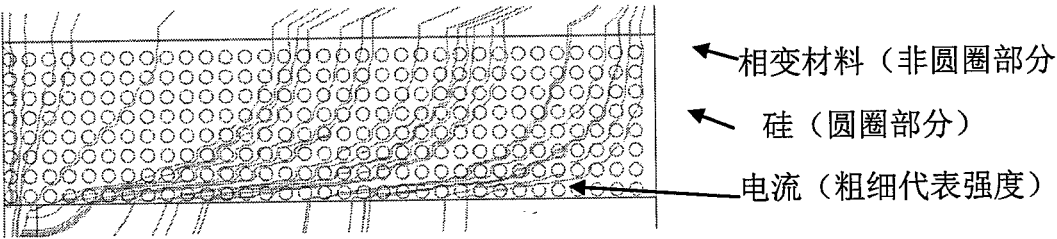


图 5.5 SiSbTe 材料中电场线分布, 电流主要流经相变材料。

按照这个模型，套用第三种 RESET 操作计算 R-V 曲线的步骤，测试结果吻合的数据，并且能够给无近似的物理图像。如图 5. 6，1V 脉冲操作 SST 器件单元时，器件单元中温度没有达到熔融温度，因此没有非晶形成。而 2.5V 操作 SST 材料器件单元后，器件单元中有大量熔融区域产生，熔融区域封住下电极，形成高阻串联，因此 RESET 操作成功。

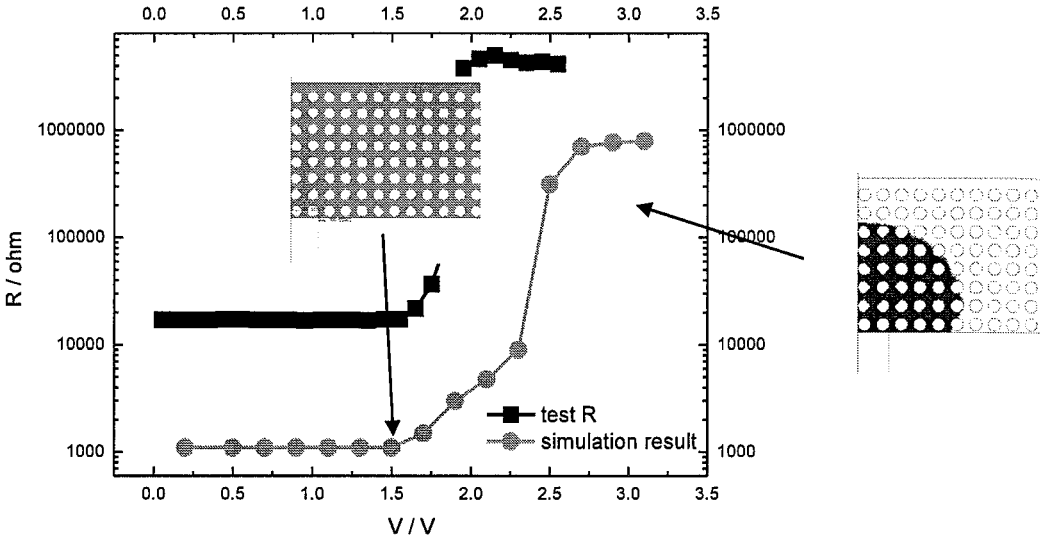


图 5. 6 SiSbTe3 的 RV 特性曲线测试数据及模拟结果。小图分别为对应 1V 和 2.5V 操作 SST 材料器件单元后的晶相分布。黑色为非晶，灰色为多晶，白色为介质材料。

5.1.2 模拟不同高阻材料复合相变材料

复合材料中的介质材料不局限于 Si。根据复合材料中添加低电导率低热导率的介质材料，我们可以研究不同介质材料作为复合相变材料在功耗上的影响。我们选取了一系列典型的材料，利用建立的等效复合材料模型，对各个材料的性能进行评判。因为电导率直接影响产生的热量大小，而热导率直接影响热量的扩散，热容直接影响温度的变化。所以我们只讨论这三个参数。掺入的氧化物如下表

表 5. 1 典型介质材料的电导率，热导率和热容参数。

	电导率 σ ($\Omega^{-1}\text{m}^{-1}$)	热导率 k (W/m·K)	热容 C_p (J/kg·K)
$\text{Al}_2\text{O}_3^{[76]}$	$1\text{e-}12$	25	1000
$\text{Ta}_2\text{O}_5^{[55]}$	$2\text{e-}4$	0.2	700
$\text{MgO}^{[26]}$	$1\text{e-}10$	15	1000
$\text{HfO}_2^{[127]}$	$12.94\text{e-}3$	1	355
$\text{Si}_3\text{N}_4^{[128]}$	$10\text{e-}7$	16.7	710
Si	1	0.2	1650
$\text{WO}_3^{[129]}$	200	1.63	627
$\text{TiW}^{[130]}$	1429	21	137
SiO_2	$1\text{e-}14$	1.4	730
$\text{Poly-Ge}^{[131]}$	2.1	60	310

虽然实际情况中，电导率，热导率，热容都随着温度的变化而变化，我们还是初步将各个参数设为定值。我在定值材料的模拟基础上得出的结果可以直观知道哪一个电导率，热导率或者热容的数值对于器件单元操作的影响，这样反而抛开了温度对于我们判断材料好坏的影响。

我们固定热导率和热容，看电导率的变化对器件单元的影响。因为器件单元直接对电流分布有作用，而且器件单元的 RESET 电流和器件单元电阻成反比关系，所以我们用 RESET 电流来判定器件单元的功耗优劣。我们考虑到相同的掺杂比。而且我们发现实际材料中，电导率一般在 ($1-1000 \Omega^{-1}\text{m}^{-1}$) 之间,热导率一般在 ($0.1-10 \text{ W/m}\cdot\text{K}$) 之间,热容一般在 ($100-1000 \text{ J/kg}\cdot\text{K}$) 之间，所以我们取如上范围内的数值。分别固定电导率，电导率和热容中的两个值，改变一个值，分别求出对应参数的 RESET 电压，因此可以分析出 RESET 电压受哪个参数影响最大。

(1) 热容的影响

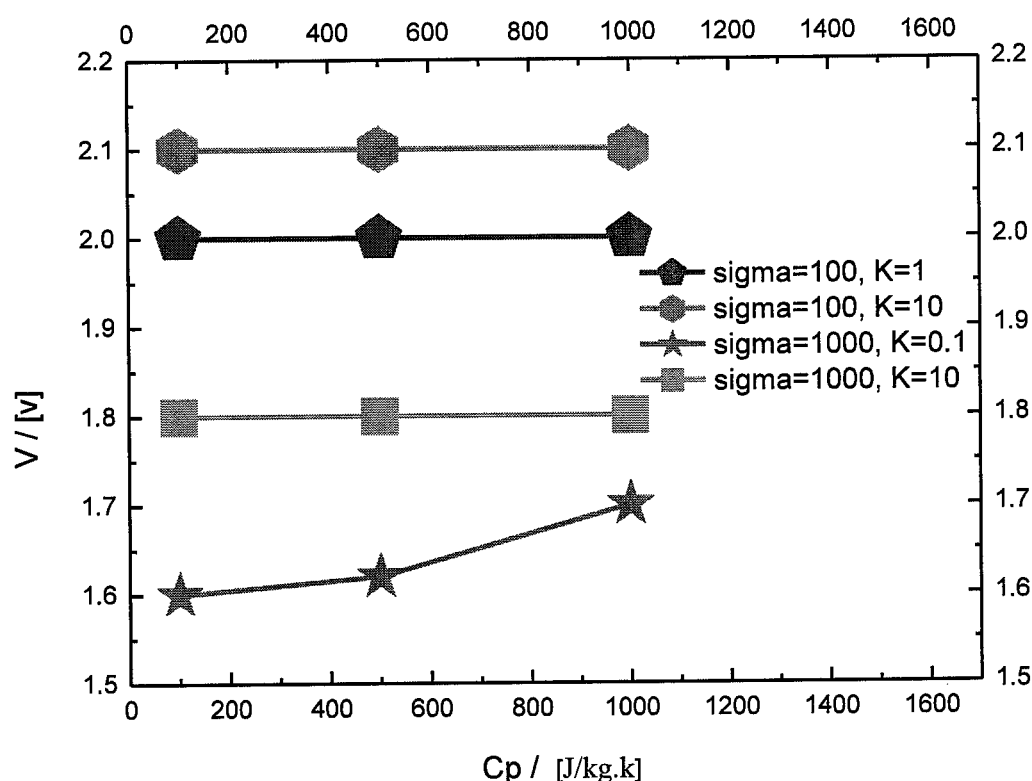


图 5.7 固定电导率，热导率，RESET 电压随热容 C_p 变化的结果。

如我们第三章分析的那样，RESET 电压是电导率和热导率综合作用的结果。一方面低热导率可以产生较多焦耳热，另一方面，低热导率会限制产生的热量散失，从而实现 RESET 电流操作。而对于 RESET 电压而言，器件单元电导率越低，说明器件单元电阻越大，需要较大的 RESET 电压才能达到 RESET 电流值。但是具体到材

料热容，电导率和热导率对 RESET 电压的影响我们需要通过有限元计算的结果来分析。因此利用我们的 RESET 模拟，得到如

图 5.7 所示的 RESET R-V 曲线。如果材料电导率从 100 增加到 1000，而保持热导率为 10 不变，那么器件单元电阻减小，RESET 电压减小。而材料热导率从 1 增加到 10，而保持电导率 100 不变，说明热效率变差，需要提高 RESET 电压产生更多的热量实现 RESET。而在高电导率 ($1000 \Omega^{-1}\text{m}^{-1}$) 和很低的热导率 ($0.1 \text{ W/m}\cdot\text{K}$) 情况下， C_p 对 RESET 电压影响才体现出来。可以看到，我们看到 C_p 越大，说明升高单位温度所要热量要多，那么就要更大的电压来提供更多的热量，从而 RESET 电压升高。但是介质材料一般是电导率小于 $100 \Omega^{-1}\text{m}^{-1}$ ，热导率大于 $0.1 \text{ W/m}\cdot\text{K}$ ，那么我们从图中的趋势分析看出我们考虑介质材料对电压的影响的时候，可以不考虑热容的。

(2) 热导率的影响

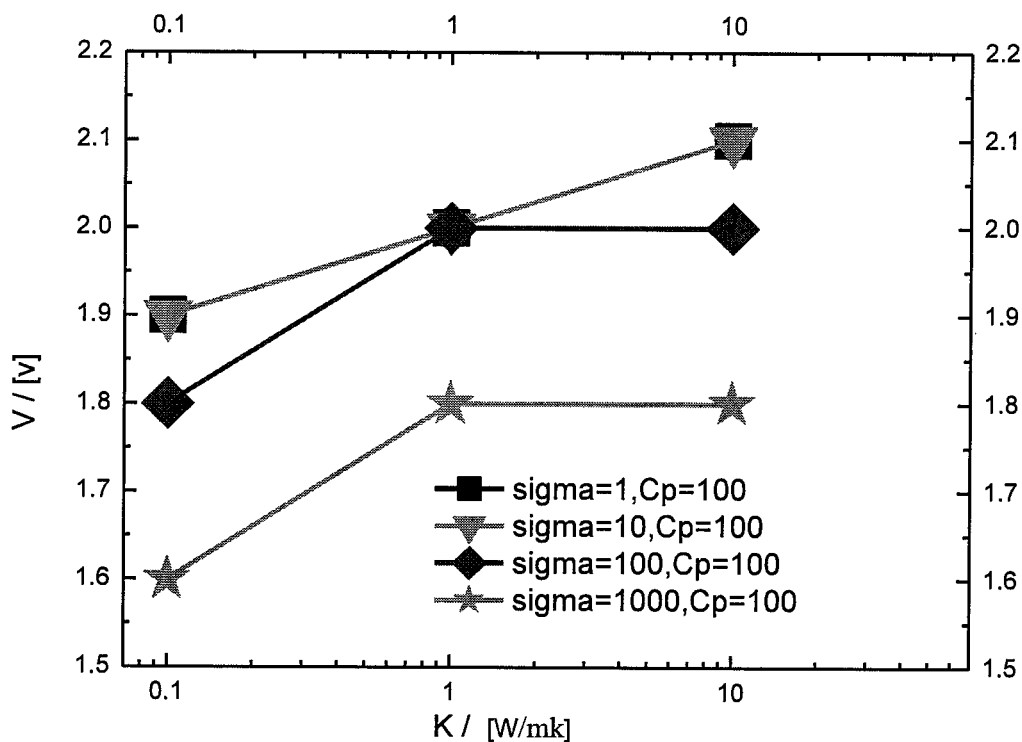


图 5.8 固定热容，电导率，RESET 电压随热导率变化的结果。

既然可以忽略 C_p 的影响，那么我们分别固定电导率值取 1, 10, 100, 和 $1000 \Omega^{-1}\text{m}^{-1}$ ，固定 C_p 为 $100 \text{ J/kg}\cdot\text{K}$ 。我们得到 RESET 电压和热导率的关系，如图 5.8 所示。对于热导率，在热导率较小的情况下 ($0.1-1 \text{ W/m}\cdot\text{K}$)，基本上热导率增长，电压增大。我们从图 5.8 中可以看出，热导率越大，散热快，要熔融相同的大小 GST，那么就需要产生更大的电压产生更多热量，因此 RESET 电压越大。但是如果电导率增大

($\sigma > 100 \Omega^{-1}\text{m}^{-1}$), 热导率较大的情况下 ($k > 1 \text{ W/m}\cdot\text{K}$), 热导率和电导率综合作用, 致使 RESET 电压保持不变。比较 $\sigma = 100 \Omega^{-1}\text{m}^{-1}$ 和 $\sigma = 1000 \Omega^{-1}\text{m}^{-1}$ 的情况, 我们看到整个曲线几乎是垂直方向平移 0.2V 。我们从而得出, 当 $\sigma > 100 \Omega^{-1}\text{m}^{-1}$ 后, 电导率对 RESET 电压的变化开始有作用。

(3) 电导率的影响

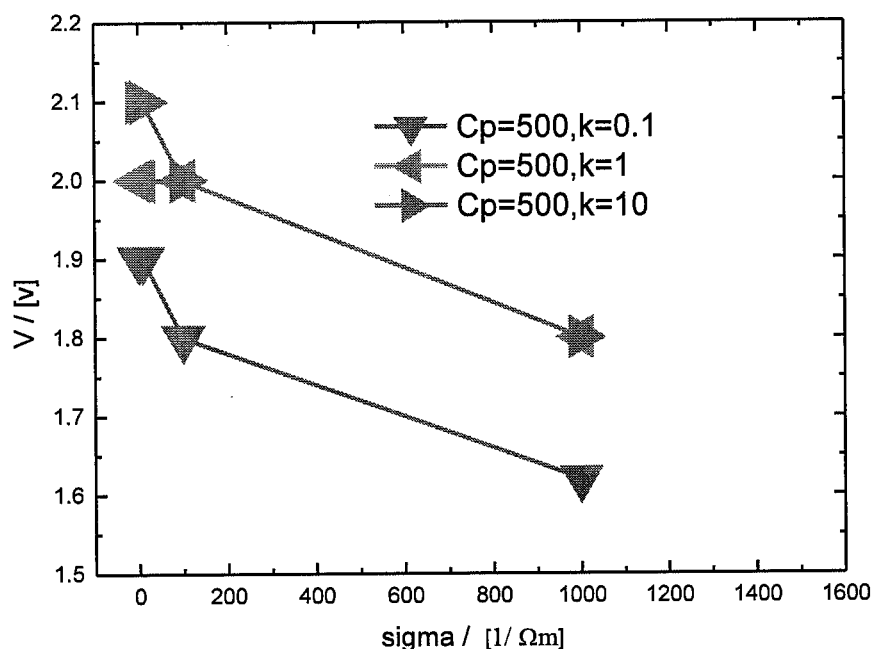


图 5.9 固定热容, 热导率, RESET 电压随电导率变化的结果。

我们分别固定热导率值取 $0.1, 1$ 和 $10 \text{ W/m}\cdot\text{K}$, 固定 C_p 为 $500 \text{ J/kg}\cdot\text{K}$ 。我们得到 RESET 电压和电导率的关系, 如图 5.9 所示, 对于电导率, 在低电导率情况下 ($\sigma < 100 \Omega^{-1}\text{m}^{-1}$), 热导率对电压有较大影响。在高电导率情况下 ($\sigma > 100 \Omega^{-1}\text{m}^{-1}$), 热导率作用并不明显, 但是当热导率很低 ($0.1 \text{ W/m}\cdot\text{K}$) 的时候, 从图 5.9 我们看出, 基本上 $\sigma > 100 \Omega^{-1}\text{m}^{-1}$ 后, 电压变化几乎是平移的。

因此我们得到了在选择介质材料时, 可以不考虑热容的影响, 而且热导率大于 1 时, RESET 电压可以不考虑热导率的影响, RESET 电压随着电导率增加而减小。

从我们对实际材料的模拟中看出, TiW 的电导率最大 ($1429 \Omega^{-1}\text{m}^{-1}$), 但是由于热导率高, 散热严重, 所以 RESET 电压比低电导率的 WO_3 ($200 \Omega^{-1}\text{m}^{-1}$) 还要高, 而对于 HfO_2 , SiO_2 , Ta_2O_5 , Poly-Ge, Si_3N_4 , MgO 和 Al_2O_3 , 这些材料的电导率都很低 (低于 $0.1 \Omega^{-1}\text{m}^{-1}$), 所以这些材料的 RESET 电压相对较高。

考虑到实际材料, 我们模拟出他们各自的 RESET 电压, 如图 5.10。很明显 WO_3 ($\sigma = 200 \Omega^{-1}\text{m}^{-1}$, $k = 1.63 \text{ W/m}\cdot\text{K}$, $C_p = 627 \text{ J/kg}\cdot\text{K}$) 的 RESET 电压最低, 这也复合上述对介质材料电导率, 热导率和热容的分析。

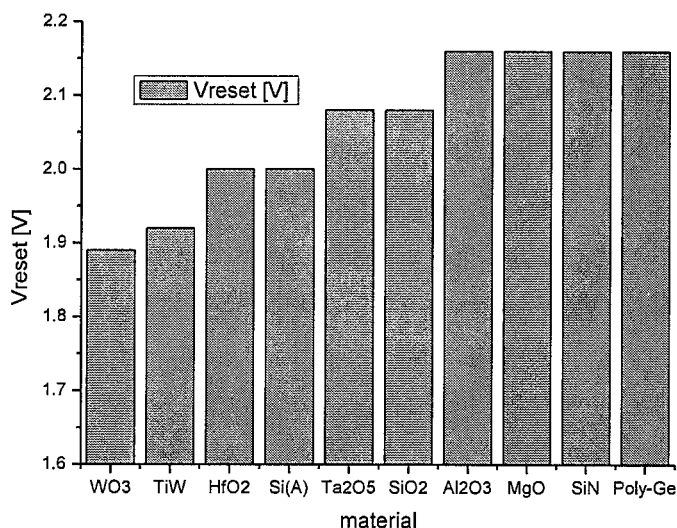


图 5.10 在相同掺介质介质比率情况下，各种复合材料对应的 RESET 电压。

5.2 加热层材料

通过对加热电极添加一个加热层（bufferlayer），从而提升 PCRAM 的性能是一个被广泛采用的有效的办法。在 PCRAM 的应用中最初采用的电极为 W，在过去几年中，研究人员提出了好几种加热电极，比如 TiN，富勒烯 C60^[132]，SiGe^[54]，Ta₂O₅^[55]，Poly-Ge^[131]和 WO₃^[129]等。这些电极与传统的 W 电极相比有着较低的电导率和热导率。例如通富勒烯的热导率为 0.4W/m·K，从而实现了将 RESET 电流从 1.2mA 减小到 0.3mA。Poly-Ge 的电导率为 2.1Ω⁻¹·m⁻¹，热导率 17.4W/m·K，从而实现了在同样器件单元尺寸结构下把 RESET 电流从 1mA 降低到 0.2mA。WO₃ 的电导率为 200Ω⁻¹·m⁻¹，热导率 1.63 W/m·K，从而实现了在同样器件单元尺寸结构下把 RESET 电压从 3.5V 降低到 3.2V。通过模拟可以发现 WO₃ 和 Poly-Ge 加热层能够明显提高操作温度，而且下拉最高温度点，从而解释了 RESET 功耗降低的原因。表 5.2 列出了中科院创新性研究的加热层材料的材料参数。

表 5.2 典型介质材料的电导率，热导率和热容参数。

	电导率 σ (Ω ⁻¹ ·m ⁻¹)	热导率 k (W/m·K)	热容 C_p (J/kg·K)	ρ (kg/m ³)
WO ₃ ^[129]	200	1.63	627	6000
Poly-Ge ^[131]	2.1	60	310	5330
TiO ₂ ^[133]	52.6	0.25	200	45450

以 WO₃ 和 Ploy-Ge 为例，运用第二章提到的电热耦合模型对改进了材料的加热层器件单元进行温度分布模拟，可以得到如图 5.11 和图 5.12 的对应操作脉冲的器件单元截面温度分布图和轴线温度图。

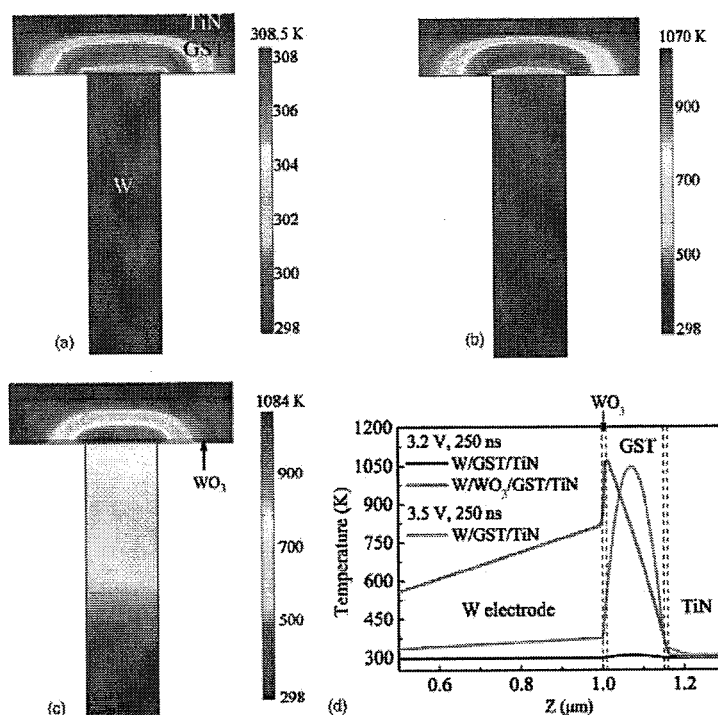


图 5.11 PCRAM 的温度模拟示意图：(a) 3.2 V, 250 ns, (b) 3.5 V, 250 ns 以及植入 WO_3 加热层的 PCRAM cell, (c) 3.2 V, 250 ns, (d) RESET 过程中 PCRAM cell 轴截面处温度曲线图^[129]。

图 5.11 (a) — (c) 为通过计算得到的在 RESET 操作时各 PCRAM cell 对应的热量分布图。图 2.23 (d) 为器件单元轴截面处的温度曲线图。图 5.11 (a) 和 2.23 (c) 中的操作电压脉冲为 3.2 V, 250 ns, 而图 5.11 (b) 中的器件单元则是由 3.5 V, 250 ns 的电压脉冲驱动。因为 WO_3 很低的热导率 (W 热导的 1%), WO_3 加热层有效的抑制了热量向底 W 电极扩散, 从而促成了较高的 RESET 温度, 比较图 5.11 (a) 和 (c) 可知, 并且使得 GST 层内的温度最高点由薄膜中部转移到 GST- WO_3 界面附近, 如图 5.11 (d) 所示。相反的, 如果要加热到大致相同的温度 (1070 K~1084K), 传统蘑菇型结构器件单元则需要更大的操作电压, 因为在 GST- W 界面处依然残留着晶态的 GST 区域, 如图 5.11 (b) 所示。这些结果与图 5.11 (b) 中的结果是一致的, 残留在 GST- W 界面处的晶态 GST 区域使得传统蘑菇型结构器件单元在 RESET 过程中, 需要更高的电压来将并联的电学形式转化为串联的电学形式, 而将温度最高点移到 GST- WO_3 界面上时, 界面附近的 GST 区域则能获得更多的热量以便更均匀的转化为非晶态。而且, 较低的 RESET 操作电压下, 蘑菇型结构器件单元的 RESET 区域明显减小, 预示着植入加热层能更有效的缩小相变所需区域, 在器件单元尺寸缩小的情形下, 更小的相变区域对于提高存储密度以及保证器件单元的写擦可靠性是有利的。

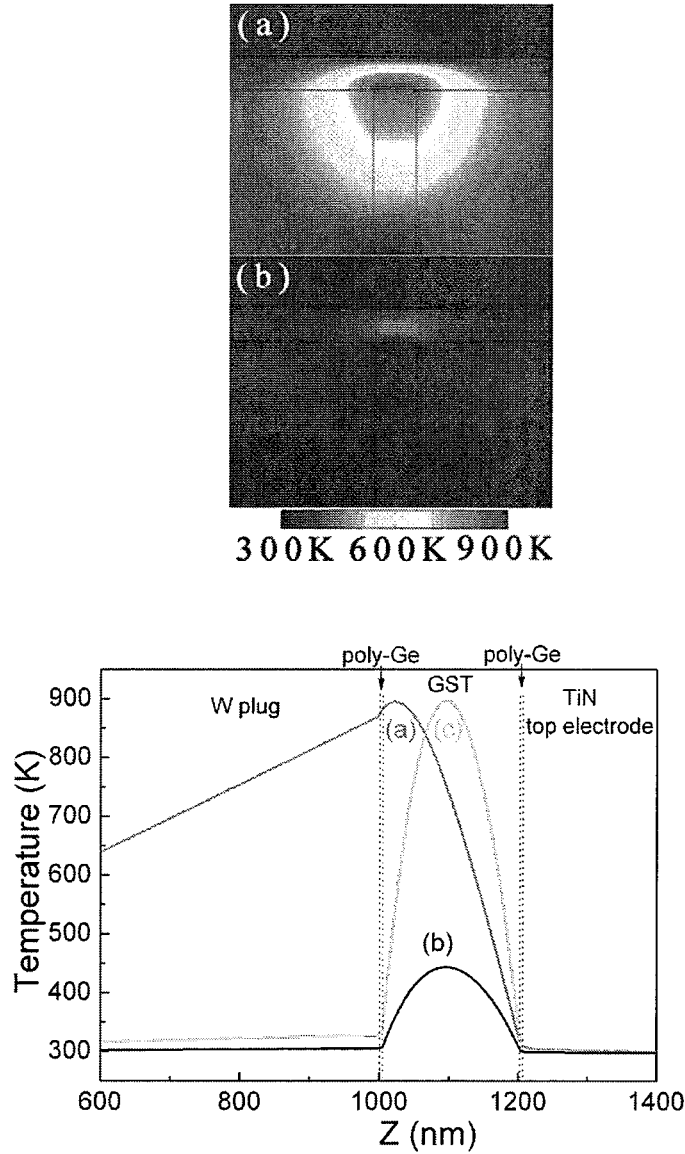


图 5.12 器件单元中心区域轴向分布的温度轮廓线。(a) 具有 Poly-Ge 夹层 (0.35 mA-250 ns)，(b) 没有 Poly-Ge 夹层 (0.35 mA-250 ns)，(c) 没有 Poly-Ge 夹层的 RESET 状态 (0.83 mA-250 ns)。其中 (a) (b) (c) 分别与上图中的 (a) (b) (c) 对应^[131]。

而对于 Poly-Ge 夹层结构的器件单元而言，从图 5.12 中可以看到，传统结构的器件单元在施加电流后 GST 层中心位置沿轴向分布的温度分布基本上对称（如 (a) (b) 所示），在 GST 层的中间有较高的温度，但是在 GST 层的两边缘温度则较低；但是在 GST 上下两端分别施加对称的 Poly-Ge 层之后，为什么会得到不对称的温度轮廓线呢？主要原因如下：（1）夹在 GST 上下两层 Poly-Ge 层对于 PCRAM 器件单元的作用不一，上层 Poly-Ge 与下层 Poly-Ge 夹层相比较而言起到的效果较差，这是因为大部分的热量从下电极扩散出去，所以，抑制下电极的热扩散对于提升热量利用率的效果更加明显。（2）Poly-Ge 夹层的引入，大大提高了下电极的发热效率，也就

会使 GST 与下电极界面的温度上升。在上述两个因素的共同作用下，形成了图 5.12 (c) 的完全不对称的曲线。

虽然这些加热层材料都展示了比传统结构 RESET 操作电流低的特性，但是由于 PCRAM 器件单元尺寸和形貌对 RESET 电流也有至关重要的影响。为了去除器件单元结构对 RESET 操作电流的影响，进一步分析各种加热层材料，选出热效率最高，功耗最小的加热层材料。按照如图 5.13 的几何结构，选取 TiN, WO_3 , TiO_2 和 Poly-Ge 材料作为加热层材料进行比较。材料参数如表 2.4 和表 5.2 所示。套用第二章的利用电热模型模拟温度分布和后处理的步骤，计算不同材料作为加热层材料的电势，温度分布。

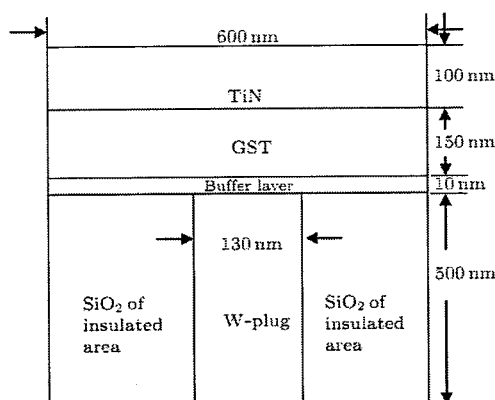


图 5.13 加热层结构。用 W, TiN, WO_3 和 Poly-Ge 作为加热层材料进行比较。

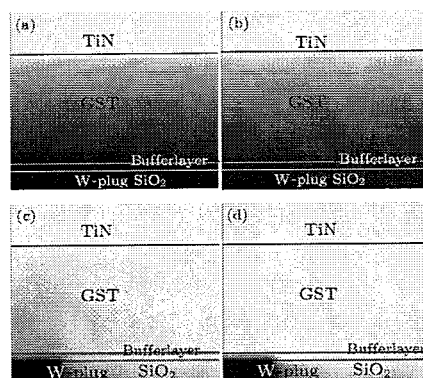


图 5.14 不同材料 (a) W, (b) TiN, (c) WO_3 , 和 (d) Poly-Ge 加热层在器件单元中电势分布。

图 5.14 中显示器件单元中电势分布情况。电流从底电极通入，深色区域表示电势高，浅色区域表示电势低。如果 W 作为加热层材料，可以看到器件单元中 GST 层和加热层的电势是均匀下降的，因为 W 具有良好的电导性 ($1.75 \times 10^7 \Omega^{-1} \text{m}^{-1}$)。而在 TiN ($10^6 \Omega^{-1} \text{m}^{-1}$) 层结构中，电势降开始往加热层偏移。在加热层中用 WO_3 ($200 \Omega^{-1} \text{m}^{-1}$) 替代 TiN，电势降开始集中在 GST 和 WO_3 的边界。如果电导率继续降低，达到 Poly-Ge 的电导率值 $2.1 \Omega^{-1} \text{m}^{-1}$ ，电势降集中分布在加热层中。因此，电势降主要受到电导率的影响。而根据电热模型，电势降梯度越大，电导率越低，热量产生越多。图 5.15 表示了相同的输入电流情况下 ($400 \mu\text{A}/100 \text{ns}$)，不同材料加热层的

PCRAM 器件单元的温度分布。可以看出 WO_3 作为加热层的 PCRAM 器件单元中的最高温度是 574K，而在较低电导率的 TiO_2 器件单元中，加热层产生更多的热量，所以最高温度达到了 613K。而在 Poly-Ge 加热层材料的器件单元中，最高温度骤升到 1590K，超过熔融温度 893K，从而造成多晶 GST 在熔融温度等温线内熔化，通过淬火非晶化，实现了 Poly-Ge 加热层的 RESET 操作。另一方面，熔融区域只要发生在靠近 GST 和下电极接触的边界，这样有利于相变材料的稳定性。

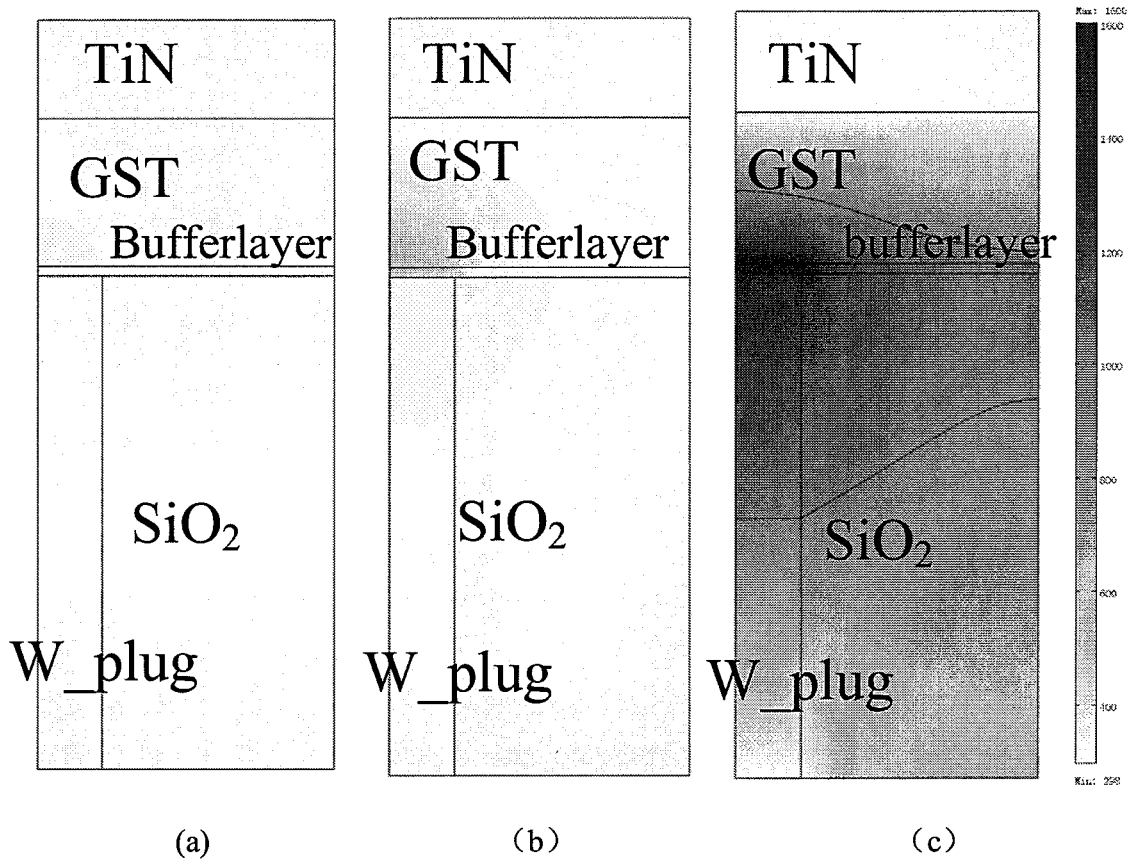


图 5.15 在相同的输入电流情况下 ($400\ \mu\text{A}/100\text{ns}$) (a) WO_3 , (b) TiO_2 和 (c) poly-Ge 加热层在器件单元中温度分布。

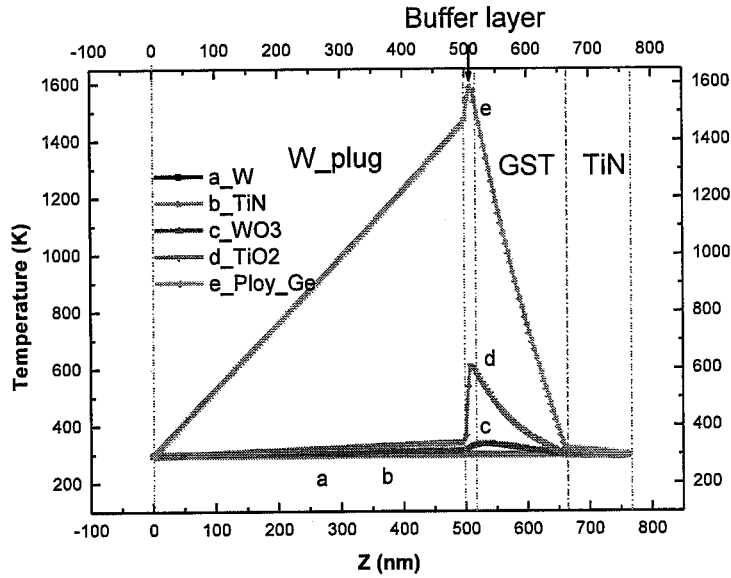


图 5.16 (a) W, (b) TiN, (c) WO₃, (d) TiO₂ 和 (e) Poly-Ge 加热层结构在 RESET 操作中中轴线的温度分布图。

在 100ns, 400 μ A 的 RESET 操作电流通过不同材料加热层结构的器件单元后, 可以得到如图 5.16 的中轴线温度分布。虽然电流通过器件单元产生焦耳热, 但是大部分热量将会通过上下电极散失, 这个在 W 和 TiN 加热层结构的器件单元中表现得尤为明显, 可以看到两个各器件单元中的最高温度几乎没有变化。而 TiO₂ 的电导率小于 WO₃ (200 $\Omega^{-1}\text{m}^{-1}$), TiO₂ 层会产生较多的热量, 再加上 TiO₂ 的热导率 (0.25 W/m $\cdot$ K) 比 WO₃ (1.63 W/m $\cdot$ K) 小, TiO₂ 层能够阻碍产生的热量散失, 因此 TiO₂ 层结构中的最高温度比起 WO₃ 来由明显提升。而且从图 5.16 中可以看出, 最高温度的位置受到加热层材料电导率和热导率的限制。虽然 Poly-Ge 的热导率比起 TiO₂ 和 WO₃ 要高, 但是由于 Poly-Ge 具有极低的电导率, 产生的热量多到能够弥补散失的密度。从而还是将最高温度的位置保持在加热层和 GST 的边界处。而且从 TiN 和 GST 接触层的温度降看, 所有材料的加热层结构都能够恢复到室温, 说明器件单元在散热方面和普通蘑菇型结果一直, 从而能够达到 RESET 操作中, 快速降温 (60K/ns), 熔融区域非晶化的过程。

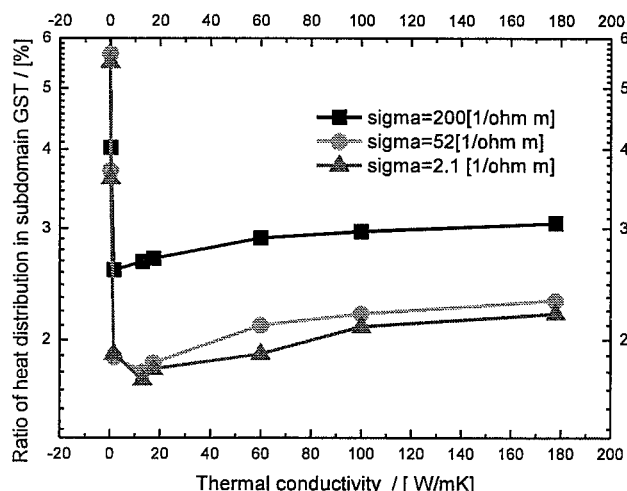


图 5.17 固定电导率，改变热导率 GST 中的热分布比率

通过以上研究发现，器件单元的热效率主要受两个材料参数的影响。一个是电导率，低电导率产生较多焦耳热。另一个是热导率，低热导率能够保持更多的焦耳热在器件单元中。从图 5.17 中，我们一次分析电导率和热导率对器件单元热量分布的影响。首先在数值上固定电导率。选取三个固定的电导率值 ($200/52/2.1 \Omega^{-1} \text{m}^{-1}$)，通过改变热导率值，计算对应的电导率和热导率值情况下，GST 区域中的热量占整个器件单元的百分比。可以看到当热导率达到 $10 \text{ W/m}\cdot\text{K}$ 时，GST 中占有的热量百分比最低。当热导率继续减小，小于 $10 \text{ W/m}\cdot\text{K}$ 时，GST 中的热量百分比急剧增加。而如果电导率从 $10 \text{ W/m}\cdot\text{K}$ 增加，GST 中的热量百分比虽然增加，但是变化很有限。

而在图 5.18 中，在数值上固定热导率，选取四个固定的热导率值 ($178/17.4/1.63/0.25 \text{ W/m}\cdot\text{K}$)。针对每一个固定的热导率值，改变电导率值，计算 GST 中的热量百分比。从图看出，热量百分比和电导率的曲线可以分为两个明显的区域。如果电导率小于 $200 \Omega^{-1} \text{m}^{-1}$ ，热量百分比变化不大。如果电导率大于 $200 \Omega^{-1} \text{m}^{-1}$ ，热量百分比随着电导率的上升而增大，从而在加热层中的热量分布百分比会减小，器件单元中主要的产生焦耳热的位置为 GST 中间，这样不利于形成高阻非晶的串联。因此理想的电导率是在小于 $200 \Omega^{-1} \text{m}^{-1}$ 内，因此此时 GST 中热量百分比一方面分布较低，可以保持加热层中的热量百分比处在一个较高的值，从而使得发热区域集中在加热层和 GST 的边界处。另一方面，在实际材料中，电导率受到温度，材料边界接触等诸多因素的影响，电导率并不是一个固定的数值，而在此范围内的 GST 热量百分比变化不大，说明此时器件单元中产生的热量受到材料电导率值波动的影响较小。

因此对于加热材料而言，电导率小于 $200 \Omega^{-1} \text{m}^{-1}$ ，热导率小于 $10 \text{ W/m}\cdot\text{K}$ 是一个理想的加热层材料参数范围。而在实际中，可以看到 Poly-Ge ($2.1 \Omega^{-1} \text{m}^{-1}$, $17.4 \text{ W/m}\cdot\text{K}$) 恰恰满足这个范围。

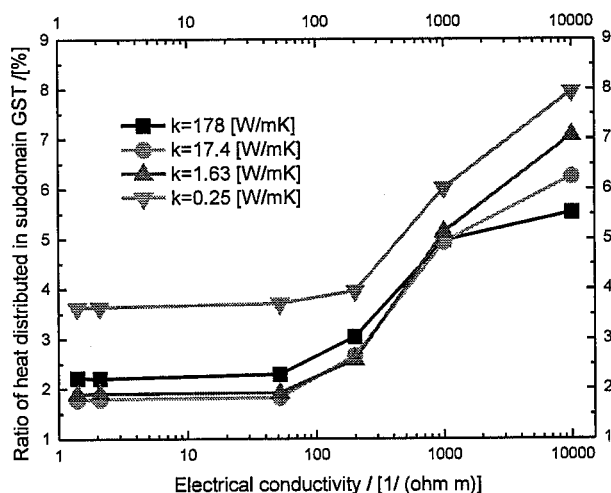


图 5.18 固定热导率，改变电导率 GST 中的热分布比率。

5.3 本章小结

PCRAM 中各种材料的物理特性也影响器件功耗。我们在电热模型基础上构建复合材料近似模型。该模型按照相变材料包围介质材料结构的微观结构，模拟出复合材料 PCRAM 编程时的电流路径，从而得到了两个差异明显的高低阻值，解释了复合材料能够实现相变存储的原理。同时以典型材料 SiSbTe 的测试结果验证模型。利用复合材料近似模型，分析不同介质材料在复合材料中的作用，提出选择操作电压最低的介质材料的方法。在选择介质材料时，可以不考虑热容的影响，而且热导率大于 1 时，RESET 电压可以不考虑热导率的影响，RESET 电压随着电导率增加而减小。考虑到实际材料，介质材料选用 WO_3 时的复合材料的 PCRAM 的 RESET 电压最低。

我们还利用电热模型分析不同加热层材料对器件单元操作电流的影响，通过对电导率和热导率影响 PCRAM 中的热量分布百分比的研究，得出加热层结构 PCRAM 中低功耗加热层材料的电导率和热导率的范围。电导率小于 $200\Omega^{-1}\text{m}^{-1}$ ，热导率小于 $10\text{W/m}\cdot\text{K}$ 是一个理想的低功耗加热层材料参数范围。而在实际中，可以看到 Poly-Ge ($2.1\Omega^{-1}\text{m}^{-1}$, $17.4\text{W/m}\cdot\text{K}$) 恰恰满足这个范围。

第六章 全文总结

PCRAM 是目前国际上公认的最具市场前景的下一代非易失性半导体存储器, 本课题组率先在国内开展了 PCRAM 的研究, 承担了我国在此领域的数个重大项目。本论文围绕建立 PCRAM 的电热模拟, 结晶模型和应力模型展开, 通过模拟器件中的电场, 温度场, 结晶动力学和应力分布, 描述了 PCRAM 的 RESET 和 SET 操作过程, 同时利用模型通过对 PCRAM 器件单元结构和材料的改进, 有效提升了 PCRAM 器件单元的性能。

在本论文的研究中, 主要取得了以下几方面的创新性结果:

1 将电热模型应用在 PCRAM 器件单元的温度分析中, 可以得到 PCRAM 中的电势, 电流密度, 温度分布等参数。在三维模型中通过计算 PCRAM 中各个子区域的热量分布百分比, 建立分析器件热效率的方法。利用 COMSOL 二次开发功能创新性的构建了基于 JMAK 方程的结晶模型。通过模拟可以获得 PCRAM 的结晶过程。在传统蘑菇型结构 PCRAM 器件单元的 SET 过程开始时刻, 电流分布只要集中在 GST 和底电极边界的尖端处, 从而导致此处温度最先上升到结晶温度, 从而形成结晶通道。结晶通道随着时间和负载的累积而增大。我们还利用 COMSOL 建立 PCRAM 中热应力模型。基于这个模型可以计算出 PCRAM 器件单元操作中由于巨大的变温速率和 PCRAM 器件单元中的材料特性差别造成的热应力分布情况, 最后得出下电极 W 和 GST 接触边界上应力最大的结论。

2 利用模型模拟 PCRAM 器件单元的 RESET 操作和 SET 操作。以传统蘑菇型结构 PCRAM 器件单元为例, 详细地阐述了电流的增加, 器件单元温度越来越高, 非晶区域越来越大, 直到非晶区域完全盖住下电极, 实现 RESET 的过程。根据底电极直径为 260nm 和 130nm 的传统蘑菇型结构器件单元的电学测试结果, 校准模型。当相变存储单元负载时, 考虑到熔化焓, 相变材料的电导率设定为等效熔融态电导率, 其数值要比实际的 GST 电导率高。PCRAM 底电极直径为 260nm 的相变材料的权重电导率到 $5000\Omega^{-1}\text{m}^{-1}$, PCRAM 底电极直径为 130nm 的权重电导率到 $8000\Omega^{-1}\text{m}^{-1}$ 。创新性的提出了一种新的低功耗 RESET 操作方法。通过累积非晶区域的作用实现存储器的 RESET 操作。一方面低脉高产生的低热量有利于材料稳定性, 另一方面低脉高能够保证相变存储器在要求低编程电压(电流)环境下的应用, 在不改变相变存储器器件单元结构的情况下, 降低了器件单元功耗, 大大节省了优化器件单元结构的成本。根据相变材料阈值电压的特性, 分别建立电流操作和电压操作的 SET 模型。对于电流 SET 操作, 在很小的电流下, 器件单元两端电压就超过阈值电压。在传统蘑菇型结构 PCRAM 器件单元的 SET 过程开始时刻, 电流分布只要集中在 GST 和底电极边界的尖端处, 从而导致此处温度最先上升到结晶温度, 从而形成结晶通道。随着操作

电流增加, 结晶通道区域温度升高, 进一步扩大结晶区域。最后得到器件单元电阻随着电路的变化关系。模拟结果和文献报道结果一致。对于电压 SET 操作, 经验性的设定固定的阈值电压 1V, SET 电压小于阈值电压 1V 时, 器件单元中温度很低, 不能结晶, SET 电压大于阈值电压 1V 后, Switching 效应发生, 非晶电阻变低, 器件单元中温度升高, 结晶开始。最后得到了 SET 操作过程中, 器件单元电阻和 SET 电压的关系。模拟结果和文献报道结果一致。

3 研究优化了一系列新器件单元结构:

对于环形电极 (RIB) 结构, 模拟发现氧化物直径越大, 热效率越高, 从而 RESET 操作电流越小。但是同时模拟显示氧化物直径越大, 在 SET 操作中有较难形成低阻并联, 器件单元高低阻分布较差。因此折中考虑选择 80nm 作为 SiO_2 直径。通过模拟不同脉宽的操作脉冲, 得到 RESET 操作脉宽都要至少大于 30ns, SET 操作脉宽达到 100ns 以后, 器件单元达到热平衡, 电阻实现的从高阻到低阻的突变不再变化。因此, 通过模拟我们认为在 SiO_2 直径尺寸为 80nm, SET 操作脉宽为 100ns 是 RIB 器件单元低功耗高速度的设计准则。

对于底电极凸出 (PBE) 结构。我们模拟并比较了传统结构, 底电极凸出 20nm 和底电极凸出 30nm 的温度分布。理论验证里底电极凸出 30nm 结构能够将传统结构的 RESET 电流 3.5V 降低到 2.2V。提出电极凸出的最优化高度为 20nm。

创新性的设计了一种环状 GST (RIG) 结构。模拟 SiO_2 直径 120nm, 高 60nm 为填充的 RIG 结构, 将同等尺寸下的传统结构 RESET 电流从 1.3mA 降低到 0.48mA。通过热量百分比分析, 得到在 GST 层的热量可以占到总热量的 22%, 比传统结构中 GST 层的热量分布百分比高出 10%。

创新性的提出一种稳定阈值电压和低功耗器件单元结构。通过模拟 WO_3 和 TiO_2 作为加热层的新结构, 论证了新器件单元阈值电压固定, RESET 电流低的优点。从而一方面实现了降低器件单元功耗的同时提高器件单元可靠性。

同时, 以标准蘑菇型结构的 PCRAM 器件单元结构为基准, 修改器件单元中相变材料层的厚度和宽度, 得到 GST 薄膜越厚, RESET 电流越小。而 RESET 电流受 GST 宽度影响较小。通过 GST 倾斜角的 RESET 过程模拟, 得出工艺中 GST 倾斜角有利于减小 RESET 电流的结论。

对于器件单元阵列的研究, 以 90nm 工艺下的 PCRAM 器件单元阵列分析器件单元按照等比缩小和非等比缩小方案中串扰现象。提出在 60nm 以上采用非等比缩小方案, 在 60nm 以下采用等比缩小方案, 能够避免串扰引起的 RESET 操作态失效的现象。而对于器件单元中的应力, 按照等比缩小, 最大等效应力保持不变, 按照非等比缩小, 最大等效应力随着工艺尺寸减小而减小。因此在 PCRAM 单元阵列缩小中, 器件间的热应力的作用可以忽略。

4 构建复合材料近似模型。以典型材料 SiSbTe 的测试结果验证模型。利用复合材料近似模型解释了复合材料能够实现相变存储的原理,分析不同介质材料在复合材料中的作用,提出选择操作电压的介质材料的方法。考虑到实际材料,介质材料选用 WO_3 时的复合材料的 PCRAM 的 RESET 电压最低。利用电热模型分析不同加热层材料对器件单元操作电流的影响,通过对电导率和热导率影响 PCRAM 中的热量分布的研究,得出电导率小于 $200\Omega^{-1}\text{m}^{-1}$, 热导率小于 $10\text{ W/m}\cdot\text{K}$ 是一个理想的低功耗加热层材料参数范围。而在实际中,可以看到 Poly-Ge ($2.1\Omega^{-1}\text{m}^{-1}$, $17.4\text{ W/m}\cdot\text{K}$) 恰恰满足这个范围。

由此可见,数值模拟工作对低功耗高可靠性高密度 PCRAM 工程化有着重大意义。

目前我们的数值模型还只局限在理想情况的电热场计算,校准模型通过比对测试数据经验性的校准模型,不能从物理图像上反映诸如熔化焓,热边界电阻等物理量。结晶模型由于使用简单的 JMAK 方程,不能反映 PCRAM 材料成核和生长的微观过程。应力模型只涉及到热应力计算,没有考虑 PCRAM 相变引起的应力。这些问题都要在未来的工作中得到解决。