

密级:_____



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

面向 22nm 及以下技术代 CMOS 器件 SiGe 源漏选择性外延技
术研究

作者姓名: 王桂磊

指导教师: 赵超 (研究员) 叶甜春 (研究员)

中国科学院微电子研究所

学位类别: 工程博士

学科专业: 电子与信息

研 究 所: 中国科学院微电子研究所

2016 年 5 月

Investigation on SiGe Selective Epitaxy on Source and Drain
for 22 nm CMOS Node and Beyond

By
Guilei Wang

A Dissertation/Thesis Submitted to
The University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Doctor of Engineering

Institute of Microelectronic, Chinese Academy of Sciences
May, 2016

关于学位论文使用权声明

任何收存和保管本论文各种版本的单位和个人，未经著作权人授权，不得将本论文转借他人并复印、抄录、拍照、或以任何方式传播。否则，引起有碍著作权人著作权益之问题，将可能承担法律责任。

关于学位论文使用授权的说明

本人完全了解中国科学院微电子研究所有关保存、使用学位论文的规定，即：中国科学院微电子研究所有权保留学位论文的副本，允许该论文被查阅；中国科学院微电子研究所可以公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存该论文。

(涉密的学位论文在解密后应遵守此规定)

签 名: 王桂磊 导师签名:  日 期: 2016.5.27

关于学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名: 王桂磊 导师签名:  日 期: 2016.5.27

摘要

随着 CMOS 器件特征尺寸不断减小到 22nm 及以下技术代，为了持续增强载流子迁移率、改善短沟道效应和提高器件性能，应变硅技术已经被广泛应用到集成电路大规模生产制造中。在这些应变硅技术中，采用源漏区域选择性外延 SiGe 应变薄膜材料对沟道中引入压应变是一项有效提升 PMOS 器件性能的关键技术。这一技术虽然已经作为主流技术应用在生产中，但是还有很多关于 SiGe 应变薄膜生长、工艺集成和实际应用问题值得深入研究和讨论。在本文中，我们系统地研究了影响选择性外延高质量 SiGe 应变薄膜的核心因素、SiGe 源漏器件集成中关键工艺问题和选择性外延图形化密度效应的影响等内容，为 SiGe 薄膜未来在先进器件中的应用奠定基础。下面是本论文的主要工作和研究成果：

(1) 本论文首先研究了适用于 22nm 平面和 16nm FinFET 技术代中的 SiGe 薄膜选择性外延技术，实现了高质量应变 SiGe 薄膜的选择性外延生长。发现 SiGe 选择性外延生长时，各种不同的工艺参数共同决定了 SiGe 的生长质量和 Ge 应变组分。工艺参数优化的方向主要是通过选择低温，低反应压强和合适的 Ge 组分增加应变薄膜临界厚度的阈值，在保持 SiGe 薄膜高质量生长的同时达到应变最大化。

(2) 研究了预烘烤工艺中源漏区域形貌变化（“ Σ ”消失）和硅损失的原因，发现高温条件下（大于 825℃）腔体中残余的 Cl 基在 H_2 氛围中对 Si 有刻蚀作用；而在腔体低压烘烤条件下，形貌改变的主要原因是 SiO_2 和 Si 热失配导致表面的 Si 原子迁移，使 Fin 的尺寸变大，表面变光滑。

(3) 研究分析了外延中选择性的关键因素 DBOE 漂洗时间和 HCl 用量对 SiGe 选择性的影响。需要选择合适的漂洗时间和 HCl 用量，保证 SiGe 外延薄膜生长的同时抑制假栅两侧和侧墙上“mushroom”缺陷的产生。

(4) 本文还首次采用 HRXRD 和 TCAD 仿真技术，分析了 22nm 平面和 16nm FinFET 器件集成过程中源漏 SiGe 薄膜的应变以及工艺过程中应变的变化，特别是采用了微束增强 HRXRD 技术分析了 Fin 上 SiGe 薄膜中的 Ge 组分以及应变程度，验证了外延 SiGe 薄膜的高质量。另外还采用 TEM 和 EDX 测试技术对器件 SiGe 源漏区域进行分析，检测了薄膜中的缺陷，Ge 组分以及元素分布。

验证了 SiGe 源漏集成时生长结构依次按照应变缓冲层 (SRB)、应变核心层 ($\text{Si}_{0.75}\text{Ge}_{0.25}$ or $\text{Si}_{0.80}\text{Ge}_{0.20}$) 和应变牺牲层 ($\text{Si}_{0.75}\text{Ge}_{0.25}$ or $\text{Si}_{0.80}\text{Ge}_{0.20}$) 的顺序实现的合理性和必要性。此外对集成了 SiGe 源漏的 22nm 平面和 16nm FinFET 器件进行了电学性能验证分析。

(5) 本论文首次建立了 22nm 平面和 16nm FinFET 器件 SiGe 源漏图形密度微观和宏观效应评估的模型计算方法。计算结果表明选择性外延过程中存在明显的微观图形密度效应, 即在一个芯片的内部露 Si 面积小的区域, SiGe 外延生长速率快, Ge 组分含量高。宏观图形密度效应为不同位置器件性能差异提供了一种解释; 通过对计算结果和实际的测试表征结果比较发现两者较吻合。该模型提供了一种有效的快速预测评估 SiGe 选择性外延图形密度效应的方法, 在实际生产应用中有着重要的意义。

关键词: 22nm 平面, 16nm FinFET, 应变, SiGe 选择性外延, RPCVD, 图形密度效应

Abstract

As CMOS technology is continuously downscaled for decades, the traditional 2D transistor design has ended in 22nm technology node and 3D transistors were invented to control the short channel effect, parasitic resistances and capacitances. Different methods have been also proposed to engineer the strain in the channel region and boost the channel mobility. During these technology developments, selective epitaxial growth (SEG) method has been used to deposit SiGe as stressor material in source and drain (S/D) region to induce uniaxial strain in channel region. Although this technology had been integrated as a mainstream in IC production manufacture, but there are a variety of issues worthy of further study and discussion, such as strained SiGe film SEG and process integrations. This thesis is in the field of nanoelectronics and it contains device processing and epitaxy modelling. It presents the key parameters of high-quality SiGe selective epitaxial growth with a focus on its pattern dependency behavior and the key integration issues in the transistor structures. The main research results of this thesis are following:

(1) In this thesis, the growth of high-quality SiGe SEG on both 22 nm planar devices and 16 nm 3D FinFETs is accomplished by tuning processing parameters delicately. It was found that the high-quality and strained SiGe SEG was determined by various epitaxy processing parameters jointly, especially pre-baking temperature, chamber pressure etc. We learned that increasing the “critical thickness” using a lower temperature (650 °C), reaction pressure (20 Torr) and a suitable Ge content, is an effective approach to maintain the strain after SiGe SEG.

(2) It is found that pre-baking temperature is a key to suppress dopant diffusion and to preserve the S/D recess shape or Si fins. For 22 nm planar devices, pre-baking at 800 °C is applicable whereas pre-baking at lower temperature as 780-800 °C is necessary to remove native oxide but to avoid any damage to Si fins which is essential for high-quality SiGe SEG. The S/D Si loss at high pre-baking temperature is attributed to HCl etching because of residual Cl atoms in H₂ atmosphere. At lower pre-baking pressure,

the morphology change occurs and this is caused by the migration of Si atoms originating from the thermal mismatch between SiO₂ and Si.

(3) In this thesis, the rinsing time in diluted buffer-oxide-etchant (DBOE) and the amount of HCl is found to affect SiGe SEG significantly. These two parameters needs to be optimized in order to avoid mushroom-like growth on both dummy gate and Si₃N₄ isolation spacers.

(4) Selective growth Si_{1-x}Ge_x ($0.25 \leq x \leq 0.35$) with boron concentration of $1-3 \times 10^{20} \text{ cm}^{-3}$ in the process was investigated and optimized for S/D regions of 22nm node complementary metal-oxide semiconductor (CMOS) and 14nm node FinFETs. A three-layer structure of Si_{1-x}Ge_x was designed in S/D areas. A strain-relaxed buffer (SRB) layer as bottom layer, the middle layer with high Ge content (Si_{0.65}Ge_{0.35} or Si_{0.60}Ge_{0.40}) was intended as stressor material to fill the recess and a cap layer with low Ge content (Si_{0.75}Ge_{0.25} or Si_{0.80}Ge_{0.20}) as consumable material during the Ni-silicidation process. The purpose of the cap layer was to avoid strain reduction in the channel region if any strain relaxation occurs in SiGe S/D 22nm technology node bulk transistors was processed with SiGe layers in the S/D regions and Ni-silicidation on the contacts and integrated high-k & metal gate (HKMG)-last integration. The characteristics of transistors were measured and the outcome results were explained in terms of growth conditions.

(5) In this thesis, a kinetic gas model was also applied to evaluate the pattern dependency of the SiGe SEG process and to predict the epi-profile in different transistor arrays and positions of a wafer. The input parameters include growth temperature, partial pressures of reactant gases, and chip layout. By using this model, the number of test wafers for epitaxy experiments can be decreased significantly. The chips also had a variety of SiGe profile depending on their distance (closest, intermediate and central) from the edge of the 200 mm wafer. SiGe layers with poor epi-quality were observed when the coverage of exposed Si of the chip was below 1%. This causes high Ge contents with layer thicknesses above the critical thickness. When the epitaxy process parameters can be readily predicted by the model for epi-profile control in an advanced

chip design, fast and cost-effective process development can be achieved in the mass production.

Keywords: 22nm planar, 16m FinFET, Strain, SiGe Selective Epitaxial Growth, RPCVD, Pattern Dependency

目录

摘要	I
Abstract	III
目录	VII
第一章 绪论	1
1.1 集成电路技术发展及挑战	1
1.2 论文主要研究工作	5
1.3 论文主要安排	6
1.4 本章小结	6
第二章 应变硅技术	7
2.1 引言	7
2.2 应变硅应变产生的机理	7
2.2.1 应变对电子迁移率的影响	8
2.2.2 应变对空穴迁移率的影响	9
2.2.3 应力作用方向对迁移率提升的影响	11
2.3 应变技术的分类	11
2.3.1 衬底应变技术	12
2.3.2 工艺导致的应变	13
2.5 本章小结	16
第三章 SiGe 薄膜外延生长	17
3.1 引言	17
3.1.1 SiGe 晶体结构和应变	17
3.1.2 临界厚度	19
3.1.3 外延及主要制备技术	20
3.1.4 非选择性外延及选择性外延	21
3.2 基于 RPCVD 技术的 SiGe 选择性外延生长实验	22
3.2.1 实验所用的 RPCVD 设备	22
3.2.2 SiGe 薄膜的外延制备	24
3.3 制备的 SiGe 薄膜表征分析	25
3.3.1 SiGe/Si 薄膜界面 C、O 元素分析	26
3.3.2 SiGe 薄膜的 HRXRD 分析	27
3.3.3 应变 SiGe 薄膜的表面粗糙度	30
3.3.4 SiGe 薄膜的 TEM 分析	31
3.4 影响 SiGe 薄膜生长和应变的主要因素研究	32
3.4.1 SiGe 薄膜生长实验过程	32
3.4.2 反应温度对 SiGe 薄膜应变的影响分析	32
3.4.3 反应压强对 SiGe 薄膜生长的影响分析	34
3.4.4 HCl 气体用量对 SiGe 薄膜生长的影响分析	36
3.4.5 掺杂对 SiGe 薄膜应变的影响分析	37
3.4.6 Ge 浓度对 SiGe 薄膜应变的影响分析	40
3.5 本章小结	41
第四章 SiGe 源漏集成和器件验证	43

4.1 引言.....	43
4.1.1 SiGe 源漏应变技术的发展.....	43
4.1.2 SiGe 源漏技术特点总结.....	44
4.1.3 SiGe 源漏技术的挑战.....	46
4.2 22nm 平面器件 SiGe 源漏工艺集成.....	47
4.2.1 器件集成工艺实验细节.....	47
4.2.2 源漏“ Σ ”形貌形成.....	48
4.2.3 源漏 SiGe 选择性外延生长.....	49
4.3 16nm FinFET 器件 SiGe 源漏工艺集成.....	50
4.3.1 16nm FinFET 器件制备实验过程.....	50
4.3.2 16nm FinFET 器件 SiGe/Si 选择性外延生长.....	51
4.4 选择性外延工艺对 SiGe 源漏集成的影响分析.....	54
4.4.1 外延界面清洗对工艺集成的影响分析.....	54
4.4.2 预烘烤工艺对源漏集成的影响分析.....	58
4.4.2.1 温度对预烘烤工艺的影响.....	58
4.4.2.2 压强对预烘烤工艺的影响.....	63
4.4.2.3 烘烤时间对预烘烤工艺的影响.....	66
4.4.2.4 其它因素对预烘烤工艺的影响.....	67
4.4.3 SiGe 源漏外延选择性.....	68
4.5 集成 SiGe 源漏器件应变分析.....	71
4.5.1 集成 SiGe 源漏器件应变 TCAD 仿真分析.....	71
4.5.2 集成 SiGe 源漏器件应变的 HRXRD 分析.....	74
4.6 集成 SiGe 源漏器件 TEM 分析.....	77
4.6.1 22nm 平面器件 SiGe 源漏 TEM 分析.....	78
4.6.2 16nm FinFET SiGe 源漏器件 TEM 分析.....	79
4.7 SiGe 源漏器件电学性能验证.....	81
4.7.1 22nm 平面 SiGe 源漏器件电学性能验证.....	81
4.7.2 16nm FinFET SiGe 源漏器件电学性能验证.....	83
4.8 本章小结.....	84
第五章 SiGe 选择性外延的图形密度效应.....	87
5.1 引言.....	87
5.1.1 图形密度效应的产生.....	87
5.1.2 图形密度效应研究进展.....	88
5.2 图形密度效应的评估和模型计算.....	90
5.2.1 22nm 平面器件模型计算.....	90
5.2.2 16nm FinFET 器件模型计算.....	94
5.3 图形密度效应对 SiGe 选择性外延生长的影响.....	95
5.3.1 实验细节.....	95
5.3.2 结果讨论.....	97
5.4 图形密度效应对集成器件电学性能的影响.....	99
5.4.1 实验过程.....	100
5.4.2 结果讨论.....	101
5.5 本章小节.....	104
第六章 总结与展望.....	107

目录

6.1 总结.....	107
6.2 展望.....	108
参考文献.....	111
攻读博士学位期间发表的学术论文与研究成果.....	121
致谢	131

第一章 绪论

目前我们所处的是以集成电路技术为基础的信息技术高速发展的时代。集成电路的发展和我们的生活密不可分。无论是常用的智能手机、电脑，还是无人机、无人驾驶车等电子新事物的出现，都离不开集成电路技术的发展和 innovation。集成电路近几十年的发展史既是技术推动和市场需求相结合的结果，也是科技创新转化为生产力的历史[1]。另外，集成电路的发展技术一直被认为是推动信息技术发展核心关键技术，代表其发展的技术代和制造规模也是评价一个国家综合国力和经济发展水平的重要指数。

1.1 集成电路技术发展及挑战

1947 年，美国贝尔实验室的 W. Shockley、J. Bardeen 和 W. Brattain 发明并制造了历史上第一个晶体管，开辟了半导体技术发展的新局面[2]。1958 年，TI 的 Jack Kilby 利用锗材料制成了第一个集成电路仅仅包含了一个晶体管，但是这标志着世界从此进入了集成电路的时代。1960 年，第一个平面工艺的集成电路（IC）在美国仙童半导体（Fairchild Semiconductor）研发成功，随后在 1963 年同是仙童的 Frank Wanlass 发明了互补型金属氧化物半导体（Complementary Metal Oxide Semiconductor Transistor, CMOS）技术，以其优越的性能一直被应用至今。1965 年，Gorden Moore 提出了著名的“摩尔定律”，即每 18 个月单位面积的晶体管数量(即集成度)提高一倍，晶体管的特征尺寸缩小 30%，性能随之提升一倍[3]。1968 年，Noyce, Gorden Moore 和 Andrew Grove 共同创办了英特尔（Intel）公司，这标志着大规模集成电路 CMOS 技术商业化的应用开始了飞速发展。

在过去的几十年里，半导体技术按照 R.H.Dennard 等人提出的器件等比例缩小的理论[4, 5]不断发展，使集成电路的集成度和性能不断增长。CMOS 集成电路技术经过最近十几年发展以来，发现仅靠器件尺寸不断缩小来提高性能已经非常的困难，一些一直沿用的工艺技术难以继续实施，需要引入新的工艺技术、新材料和新器件结构来应对挑战并延续摩尔定律的发展。如图 1.1 所示的 CMOS

集成电路关键技术发展历程:

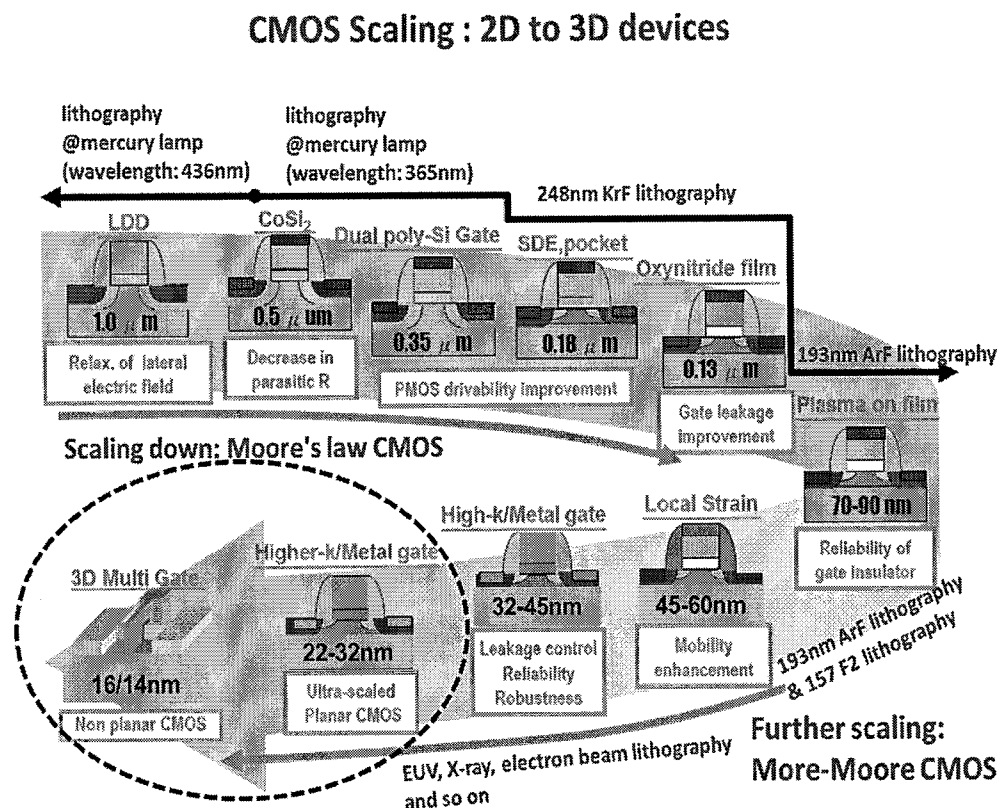


图 1.1 CMOS 集成电路关键技术发展历程

图 1.1 中器件的特征尺寸从 $1\mu\text{m}$ 平面结构微缩到先进的 20nm 三维技术不过 20 多年的发展时间,特别是当技术节点进入到 45nm 及以下技术代后,物理栅长的减小使得纳米尺寸的 CMOS 器件面临着更多的技术难点和挑战[6, 7]。主要的技术难点和挑战表现在以下几个方面:

1) 栅极方面,一直采用的多晶硅栅带来的耗尽效应(poly depletion effect, PDE)会引起等效栅氧厚度增加,特别是在小尺寸器件中导致短沟效应(Short Chanel Effect, SCE)严重和栅控能力下降。因此传统的多晶硅材料无法满足小尺寸器件的栅控需求;

2) 栅介质方面,随着器件尺寸不断减小,为有效抑制短沟效应和提高栅控能力,栅氧化层厚度需要持续减薄。然而,采用超薄栅氧厚度使隧穿泄漏电流指数增加,器件的功耗也随之增加,带来的器件可靠性问题更为突出。界面氧化层陷

阱和陷阱会引起显著的界面散射和库仑散射等,使载流子迁移率严重降低;

3) 沟道/衬底方面,器件栅长减小导致严重的短沟效应、漏致势垒降低(DIBL)效应等和器件的亚阈特性恶化。由于寄生效应的影响,器件驱动电流不再按比例增加,沟道区载流子迁移率需要进一步提高以保证相应的器件性能;

4) 源漏区方面,为了提高沟道载流子迁移率,源漏替换生长异质结材料的技术成为了研发的一个热点问题。另一方面,源漏区寄生串联电阻的影响随着尺寸缩小而增大,对器件驱动电流增加有较大影响,需要在源漏区对不同的材料采用合适的硅化物工艺降低电阻;

为解决这些技术难点和挑战,许多新工艺技术“应需而生”被应用到每一代的产品中延续摩尔定律的发展。例如采用应变硅(Strain Si)技术来提高沟道载流子迁移率,可有效提高器件的电流驱动能力;采用硅化物源漏、Schottky 源漏来减小源漏寄生串联电阻或覆盖电容,以提高器件性能。在源漏区域为了抑制器件微缩产生的短沟道效应(Short Channel effect, SCE)而采用的超浅结晕环(Halo)注入技术[8],为了抑制热载流子注入效应(Hot Carrier Injection)而采用的低掺杂漏扩展区(lightly Doped Drain, LDD)[9]等技术。

另外,还有许多半导体新材料引入来解决工艺问题并提高器件性能。2007年,Intel 在 45nm 平面工艺产品中引入高介电常数(High-k)栅介质和金属栅(Metal-gate)来降低器件等效氧化层厚度(Equivalent Oxide Thickness)并提高栅控能力[10]。2009年,Intel 32 nm 产品中继续推出第二代 HKMG 集成方案,进一步减小 EOT 和提升器件性能[11]。另外预计 CMOS 集成电路发展到 10nm 技术代以下时,沟道材料的选择上可能会引入高迁移率材料,例如 Ge、III-V 族化合物等材料替代 Si[12]继续推动 CMOS 集成电路技术的发展。

在新型器件创新方面,目前已报道的新器件类型包括绝缘体上硅 SOI (silicon on insulator) MOS 器件[13-15]、平面双栅[16]、鳍式场效应晶体管(FinFET)[17]、 Ω 栅以及多栅器件[18]、隧穿晶体管(Tunnel-FET)[19]等。这些新结构中以 Intel 公司在 2011 年量产的 22nm FinFET 产品最为引人注目,它并没有沿用平面结构,采用了三维 FinFET 结构,在保证器件性能提升的同时并提高了芯片的集成度[20]。Intel 在 2013 年继续采用 FinFET 结构将技术节点推进到 16 nm[21],并对 Fin 结构进行了优化,继续减小 Fin 间距来提高集成度。目前 Intel 正处于 10 nm

技术代量产的研发。

总之，CMOS 集成电路技术的发展和摩尔定律的延伸离不开新工艺、新材料和新器件结构的突破。在每一代技术发展过程中，工业界总是会在原有技术路线基础上选择工艺技术改动不大的技术方案。如果技术方案改动过大，而且生产极具难度且支出成本巨大，那么产业界便不会贸然选择这样方案，而会选择能够适应大规模生产的技术方案。例如应变硅技术就是这样的技术方案，经大规模生产发展验证是能将摩尔定律延伸关键技术之一[22]。如下图 1.2 在 CMOS 器件尺寸缩小性能提升的各项关键工艺技术中，应变硅技术自 90 nm 采用以后在每一个技术节点对器件性能提升中所占的比重越来越大，起到了重要的作用[23]。而 SiGe 源漏应变就是应变硅技术非常关键的技术之一，它能为 PMOS 器件沟道提供压应变，对器件性能提升起到了很大的作用。SiGe 源漏应变技术和现有 CMOS 工艺兼容性好，可制造性强，在先进制造工艺技术中所占的比重越来越大。

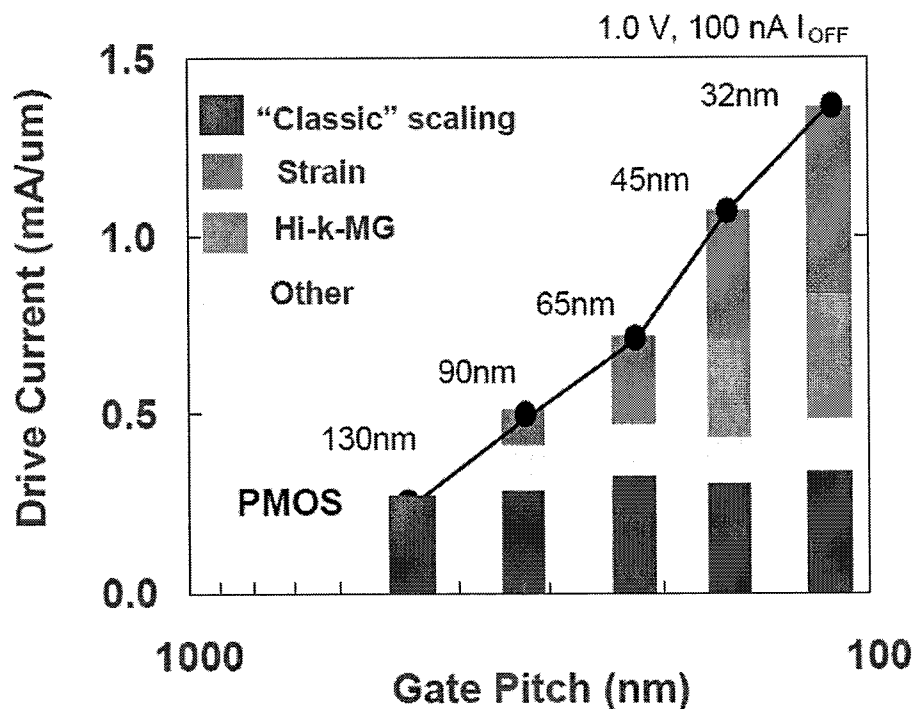


图 1.2 CMOS 器件缩小应变硅技术带来的性能提升[23]

1.2 论文主要研究工作

本文结合国家科技部 02 重大专项研发集成电路制造先导技术的需求, 研究了在 22nm 平面器件和 16nm FinFET 技术代中 SiGe 源漏技术的集成应用。研究的重点内容包括高质量的应变 SiGe 薄膜选择性外延生长、工艺集成和实际应用等关键技术问题。论文研究工作内容紧密结合生产制造中的工程实践问题开展。主要包含以下几方面的研究:

1. 在八英寸工艺平台上采用减压化学气相淀积 (RP CVD) 外延的方法淀积高质量, 少缺陷的应变 SiGe 薄膜, 完成最优化应变 SiGe 薄膜选择性外延工艺研发。分析研究了影响高质量 SiGe 薄膜选择性外延的关键因素, 为 SiGe 技术集成应用奠定基础。
2. 研究了 SiGe 源漏工艺集成过程中的关键技术问题, 研究内容包括外延前处理、生长过程中预烘烤对源漏形貌的影响。
3. 研究分析了外延中选择性的关键因素 DBOE 漂洗时间和 HCl 用量对 SiGe 选择性的影响。
4. 在 22nm 平面和 16nm FinFET 技术代中对集成了 SiGe 源漏的器件进行集成验证。采用高分辨率 X 射线衍射 (HRXRD) 检测技术和 TCAD 仿真对器件源漏区域进行应变变化分析, 分析 SiGe 硅化物形成过程中源漏应变的变化。并在源漏外延过程中采用不同 Ge 组分梯度的 SiGe 薄膜完成源漏结构的生长。
5. 研究了 SiGe 选择性外延生长反应动力学和机理, 重点解释了选择性外延工艺过程中图形化密度效应微观和宏观的影响。通过研究反应气体扩散动力学和建立的计算模型解释了不同区域选择性外延生长 SiGe 薄膜性质差异的原因。通过实际测试的薄膜生长速率和 Ge 组分分布验证了计算模型的结果, 为 SiGe 选择性外延工艺集成和版图设计提供可制造性参考, 解决一些 SiGe 技术应用过程中的实际工程问题。

1.3 论文主要安排

根据主要研究内容，本论文的章节安排如下所示：

第一章，介绍论文背景、研究意义，论文主要研究内容与论文架构。

第二章，介绍了应变硅技术发展以及类型，沟道载流子应变增强机理和主要的应变技术。

第三章，重点研究了 SiGe 源漏外延技术和高质量薄膜的制备工艺。研究了薄膜选择性外延生长机理，分析讨论了影响获得高质量 SiGe 薄膜的关键生长参数。

第四章，系统地研究了 SiGe 源漏集成前处理和预烘烤工艺对外延过程的影响。为了保持 SiGe 源漏对器件沟道最大的应变，源漏区域外延的 SiGe 膜层结构按照应变缓冲层、应变核心层和应变牺牲层依次生长。通过 HRXRD 测试技术和 TCAD 仿真研究工艺集成过程中应变的分布和变化。完成带有 SiGe 源漏的器件流片实验，并在 22nm 平面和 16nm FinFET 器件中验证 PMOS 器件性能。

第五章，根据选择性外延的反应动力学和生长机理，建立计算模型研究选择性外延过程中微观和宏观图形密度效应对外延结果的影响。并通过 HRXRD 和 EDX 实际测试的结果验证该理论计算模型。

第六章，进行全文总结，展望 SiGe 选择性外延技术在未来的应用和发展。

1.4 本章小结

本章主要回顾了集成电路的发展历程，介绍了 CMOS 工艺集成技术随着器件尺寸不断缩小而产生的一系列难点和挑战，以及大规模制造中采用的技术解决方案。在众多器件性能提升的技术方案中介绍了在 90nm 技术代开始采用的应变硅技术。应变硅技术中的 SiGe 源漏应变技术和 CMOS 工艺兼容性好，在先进制造工艺技术中所占的比重越来越大，也是本文的研究重点。最后介绍了本论文的主要研究工作和论文章节架构。

第二章 应变硅技术

2.1 引言

如上章所述集成电路 CMOS 特征尺寸缩小到纳米尺度后，传统的栅介质层厚度也减小到接近极限厚度（1nm），这些改变带来了器件功耗密度增大、关态漏电流变大、迁移率退化等性能恶化，使得器件尺寸继续微缩和性能增强面临越来越严峻的挑战。因此面对技术发展的需求和挑战，可以采用各种不同的技术方案来提高器件性能。其中一个重要而且易行的技术方案就是采用应变硅技术增强器件沟道内载流子迁移率，以弥补微缩过程中带来的迁移率退化[24-27]，提高器件性能。

2002 年，Intel 公司在 90nm 技术节点发布了采用了应变硅技术的生产的微处理器[28]，正式宣告了应变硅技术进入大规模量产。自此之后的每一代集成电路大规模制造技术节点，均采用了不同的应变硅技术来提高器件性能。例如从 65nm 技术节点开始，半导体产业界开始在 CMOS 产品中大量应用应变硅技术[25]，主要包括 SiGe 源漏应变、应力 SiN 覆盖层。45nm 技术节点除了采用 SiGe 源漏应变和应力 SiN 覆盖层技术外还采用了金属栅应变技术[29]。在目前晶体管性能提升技术中，应变硅技术带来的迁移率增强对性能的提升效果十分明显，已成为延续延伸摩尔定律发展的重要手段之一[22]。

2.2 应变硅应变产生的机理

我们知道 MOSFET 的驱动电流和迁移率之间的关系如下式所示[30]：

$$I_D = \frac{W\mu_{eff}C_{ox}}{2L}(V_G - V_T)^2 = \frac{W\mu_{eff}K_{ox}\epsilon_0}{2L}(V_G - V_T)^2 \quad (2.1)$$

在这个公式中，器件的驱动电流为 I_D ，栅宽和栅长分别表示为 W 和 L ，沟道载流子有效迁移率为 μ_{eff} ，栅氧化层电容为 C_{ox} ，MOS 器件栅压为 V_G ，阈值电压为 V_T 。在器件尺寸微缩过程中，由于沟道长度 L 不断地减小，为了抑制源漏穿通和短沟道效应，在适当提高沟道掺杂浓度时，就会导致沟道载流子有效迁移率(μ_{eff})衰退和阈值电压的升高。因此，如果要继续保持或进一步提升器件性能，

就需要通过应变硅技术对沟道诱生应变来增强载流子迁移率，以弥补沟道高掺杂引起的库仑相互作用更显著，以及栅介质变薄引起有效电场强度提高和界面散射增强等因素带来的迁移率退化[24, 25, 27]。

而根据应变对载流子迁移率的影响机理的研究[31-33]，载流子迁移率可以用式 1.2 表示：

$$\mu = \frac{q\tau}{m^*} \quad (2.2)$$

这里的 q 为电子电量， τ 为载流子弛豫时间， m^* 为载流子有效质量，所以通过应变改变硅的能带结构，进而改变载流子弛豫时间和有效质量，就可以有效提升载流子迁移率。应变硅载流子增强理论中，电子迁移率的提高与有效质量的降低和载流子弛豫时间的增加均有关系[34]；而空穴迁移率提高的主要原因是应变引起的有效质量改变[35]。

2.2.1 应变对电子迁移率的影响

在室温条件下，由于硅能带结构的立方对称性，弛豫的硅能带结构中导带是六重简并的。这六个简并能谷能量相同，有效质量也相同。如图 2.1 中六个简并能谷记为 Δ_6 ，位于晶面内(In-plane)的四个简并能谷表示为 Δ_4 ，垂直于晶面内(Out-of-plane)的两个简并能谷表示为 Δ_2 。在图 2.1 中硅导带椭球能谷中的电子分别有两个不同的主轴质量可表示为：平行于主轴的 m_l 和垂直于主轴的 m_t 。其中， $m_l = 0.98m_0$ ， $m_t = 0.19m_0$ (m_0 为真空中自由电子质量)[36]，由沟道平面内的一对能谷引入。 m_l 的质量大于 m_t ，电子的有效质量 m^* 和 m_l ， m_t 的关系可用式(2.3)表示：

$$m^* = \left[\frac{1}{6} \left(\frac{2}{m_l} + \frac{4}{m_t} \right) \right]^{-1} \quad (2.3)$$

对于弛豫状态的硅，电子的有效质量 m^* 是通过六个简并谷贡献相加的。应变状态的硅，电子迁移率的提高与有效质量的降低和载流子弛豫时间的增加均有关系。一方面，在(001)平面内施加的双轴张应力的作用下，导带能谷发生分裂，分裂量与施加的应变类型和大小有关。在垂直于沟道平面的[001]轴上的二重能谷 Δ_2 能量降低，而平行于沟道平面的[100]和[010]轴上的四重能谷 Δ_4 升高。如图

2.1 中 (c) 所示, 原来的导带底就分裂为两级阶梯状, 能量较低的 Δ_2 谷成为新的导带底, 电子因而优先占据能量较低的 Δ_2 谷, Δ_4 谷内的电子就会减少。垂直于沟道平面的 Δ_2 谷有更多的 m_l 和 m_t 意味着在能谷分裂后, 沿电子输运方向上的总电导有效质量减小, 电子迁移率因而增大[37]。另一方面, 由于能谷的分裂降低了 Δ_2 和 Δ_4 能谷间的声子散射几率, 电子散射几率下降, 增加了载流子的弛豫时间, 这也会提高电子迁移率 [38]。

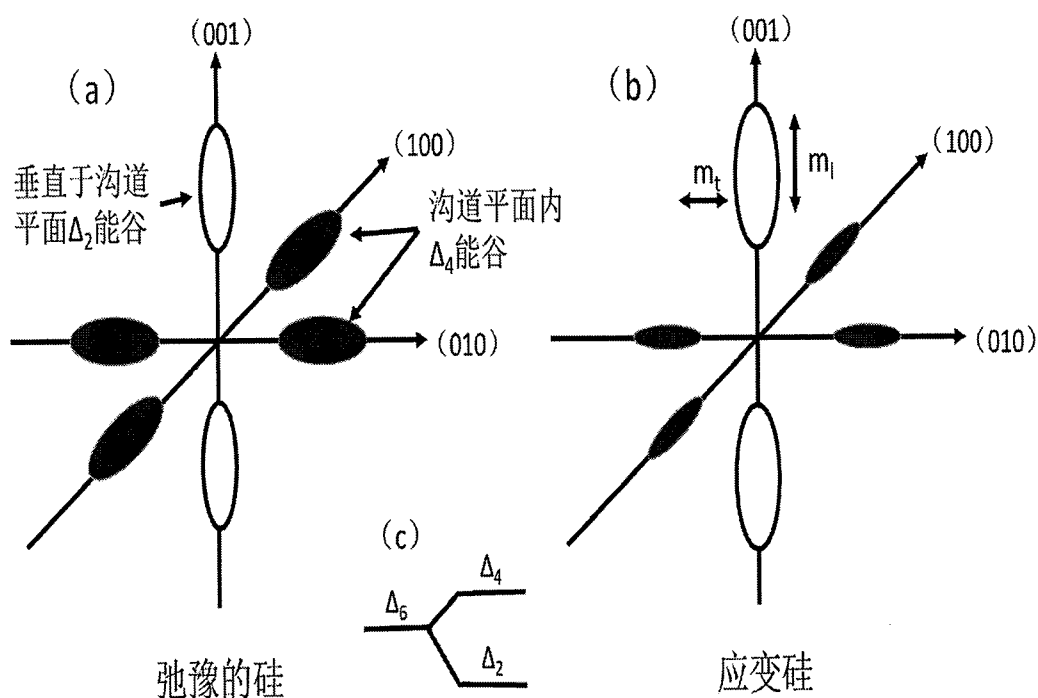


图 2.1 硅中电子导带结构: (a) 弛豫的硅和 (b) 施加双轴张应变的应变硅及 (c) 六重简并导带底在应力作用下的分裂

2.2.2 应变对空穴迁移率的影响

硅中载流子空穴的传输机制要比电子的情况复杂得多。在未施加应变的硅的价带包括一个重空穴能带 (Heavy-hole, HH) 和一个轻空穴能带 (Light-hole, LH), 还有一个比 Γ 点低的分裂能带, 重空穴带和轻空穴带是各向异性而且非抛物线性均匀分布在 E 轴的两侧, 如图 2.2 中 (a) 所示。

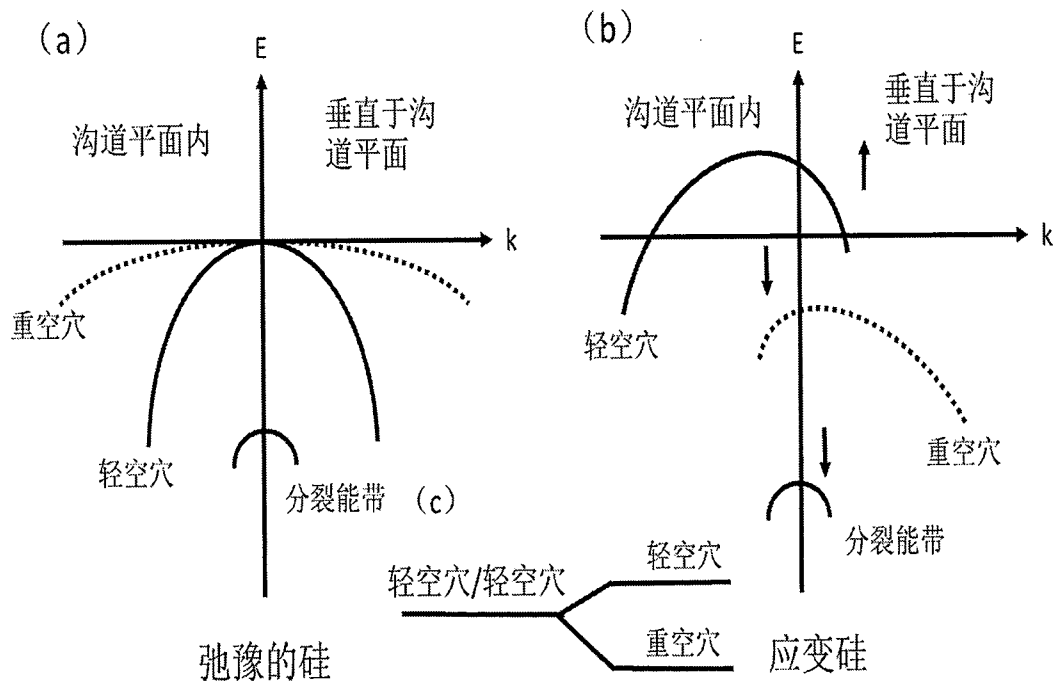


图 2.2 硅中空穴导带结构：(a) 弛豫的硅和 (b) 施加双轴张应变的应变硅及 (c) 空穴在应力作用下的分裂

在外加应力的作用下引起原来价带中简并的轻空穴、重空穴能带分裂，这时轻空穴带能量升高(成为最高价带)，重空穴带能量降低(成为第二价带)，分裂能带下降[31]，如图 2.2 中 (b) 和 (c) 所示。除了应力带来的价带分裂，还会改变价带等能面的形状形成扭曲的价带，而且空穴沿不同方向的有效质量呈现高度各向异性，在 k 空间内重新分布。这时沟道平面内空穴的有效质量主要是由轻空穴贡献的，重空穴主要重新分布到垂直于沟道的晶面。因此，空穴迁移率提升的主要原因是由外加应力造成的沟道平面内带内空穴有效质量降低和界面散射几率的下降[39]。但是在实际技术应用过程中，当通过工艺可施加的应力较小(< 1 GPa)时，引起的能带分裂量较小，带内界面散射几率降低程度也较小，所以空穴迁移率增大主要是由于沟道平面内空穴有效质量的减小。而空穴有效质量的降低更多地取决于价带扭曲而不是价带分裂[33]，在外加应力作用下的价带扭曲对空穴迁移率的提升作用占主导作用。因此在应变技术实施过程中，采用特定的应变技术对 PMOS 器件施加平行于沟道方向压应力来提升空穴迁移率的效果非常明

显，例如采用 SiGe 源漏应变技术对 PMOS 器件性能的改善和提高十分有效。

2.2.3 应力作用方向对迁移率提升的影响

NMOS 和 PMOS 器件在沟道平面内分别需要施加不同类型的应变增强载流子迁移率，因为不同方向施加的应力对沟道迁移率增强的影响是不同的。对 NMOS 器件而言，沟道内载流子是电子，施加应变后引起硅能谷分裂并增加了 Δ_2 谷的电子分布。许多不同方向施加的应力类型都可以增强电子迁移率：如沟道平面内双轴和单轴张应力、平面外单轴压应力。对 PMOS 器件而言，沟道内载流子类型是空穴，沿沟道方向的单轴压应力对空穴迁移率的提升效果最好。下表 2.1 中总结了沿晶体管各个方向上增强迁移率的应力类型[40]：

表格 2.1 载流子迁移率应变增强需要的应力类型

方向	NMOS	PMOS
沟道平面平行于沟道方向	张应力（+++）	压应力（++++）
沟道平面垂直于沟道方向	张应力（++）	张应力（+++）
垂直于沟道平面	压应力（++++）	张应力（+）

表中的“+”越多表明在这个方向上施加的应力对载流子迁移率增强效果就越明显。如果在该方向上施加了相反的应力，就起不到增强的作用，反而会使迁移率退化。另外，从表中也可看出不同方向的应变增强迁移率效果也不同，差别比较明显。垂直于沟道平面的压应力和沟道平面内平行于沟道方向的张应力对电子迁移率有较好的增强作用，而平行于沟道方向压应力对空穴迁移率的提升效果明显。

因此，实际应用中通过采用应变硅技术可以更多地提升空穴迁移率，并使空穴迁移率和电子迁移率更加匹配，进而改善 CMOS 电路中 NMOS 和 PMOS 器件的尺寸比，达到提升 CMOS 器件性能的目的。

2.3 应变技术的分类

MOS 器件沟道引入应变的方法有很多，可以通过不同衬底和不同工艺技术来实现。按照应变在晶圆上的作用区域上进行分类，可以分为全局应变（Global Strain）和局部应变（Local Strain），其中晶圆衬底应变技术（Substrate-induced Strain）就是全局应变技术的一种。还有如果按照在沟道平面上应力的作用方向

分, 可以分为双轴应变 (Biaxial Strain) 和单轴应变 (Uniaxial Strain)。而工艺过程中引入应变 (Process-induced strain engineer technology) 是集成电路制造工艺中最主要的应变增强技术之一。应变对外的应力的表现类型可以分为张应力 (Tensile) 和压应力 (Compressive), 根据 NMOS 和 PMOS 沟道应变增强机理的不同, 需要施加不同类型的外部应力。

2.3.1 衬底应变技术

衬底应变技术, 即在整个衬底上形成一层均匀的应变层。在 CMOS 器件制备技术较早使用的一种应变硅技术就是在硅衬底上预先外延一定 Ge 组分的 SiGe 薄膜作为应变缓冲层 (Strain Relax Buffer, SRB) [32, 41, 42], 然后在固定 Ge 组分 SiGe 薄膜的顶部生长一层薄的应变硅层。为了改善表面粗糙度采用化学机械研磨法 (CMP) 对 SRB 层表面进行处理[43]。SiGe SRB 层是全弛豫的, 但是由于比硅的晶格常数要大, 所以顶部生长的硅层就会受到双轴张应力。Rim 等人[42]研究表明硅层载流子随着 SiGe 薄膜中 Ge 组分的变化而变化。对于完全弛豫的 SRB 层和充分应变的外延硅薄膜, 当锗浓度增加时, Si 沟道平面内的双轴张应变也会增大, 电子迁移率得到增强, 当 Ge 组分达到 28 % 时对电子迁移率的提升达到 110 %。但是空穴迁移率的提升比电子的情况复杂, 当 Ge 组分为 13 % 时, 空穴迁移率没有明显的改善; 当 Ge 组分提高到 28%~35% 时, 空穴迁移率得到改善, Ge 组分最高能提高到 45 %。但随着有效场强的提高, 空穴迁移率的提高程度也随之迅速下降。

另外的一种全局应变技术通过与 SOI 技术结合, 在绝缘体介质上生长或制备不同的应变材料和高迁移率材料[44], 其中包括绝缘体上的应变硅 (Strained Silicon Directly On Insulator, SSDOI) 和绝缘体上异质结材料 (Heterogeneous On Insulator, HOI)。此类应变衬底的形成主要是通过键合技术实现的, 即先在一片晶圆衬底上生长绝缘层 (例如 SiO₂ 薄膜), 另外一片晶圆上外延应变材料后与之前淀积绝缘层的晶圆键合, 再通过背面减薄或剥离的方法形成绝缘层上的应变层。SSDOI 结构中为了避免全弛豫缓冲层的影响, 继续在该层上生长应变的 SiGe 层, 可以更好的和 CMOS 制造工艺兼容[45, 46]。

还有通过采用不同衬底的晶向对载流子迁移率进行增强, 例如 PMOS 器件采

用(110)晶向的衬底和 NMOS 采用(100)晶向的衬底分别对空穴和电子的迁移率均有很大的增强作用,对器件性能也有很大的提升[10,47]。在(100)晶向衬底上集成 CMOS 器件时,可以通过设计改变 PMOS 器件在晶圆上的沟道方向沿(110)晶相,这样同时对 NMOS 和 PMOS 器件载流子迁移率增强,有利于 CMOS 工艺集成。图 2.3 中总结的是不同衬底应变增强技术。

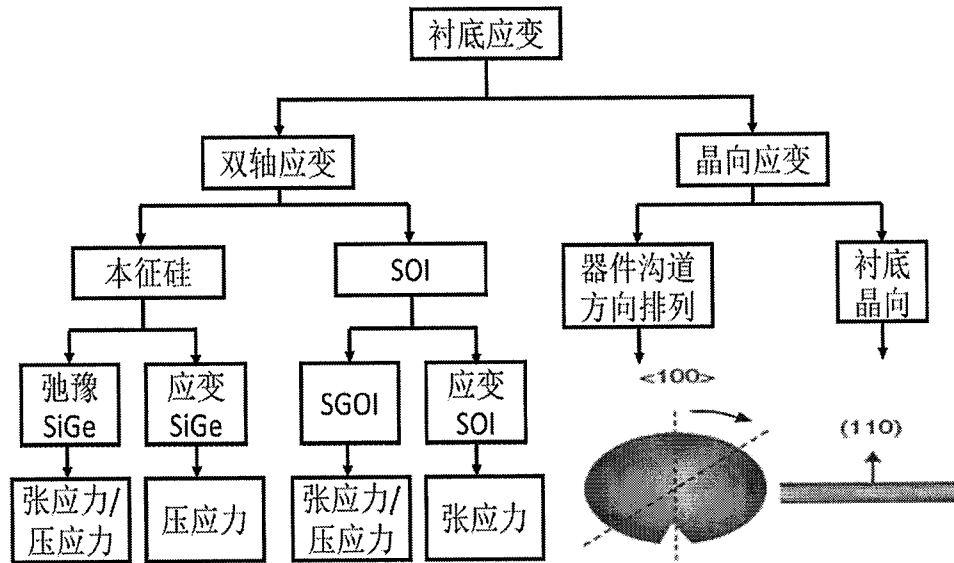


图 2.3 不同衬底应变增强技术

2.3.2 工艺导致的应变

集成电路工艺导致的应变是目前先进制造工艺中必不可少的应变技术。可以选择不同的工艺分别对 NMOS 和 PMOS 器件增加不同应变以增强载流子迁移率。以下分别介绍主要的工艺导致的应变技术:

- (1) 应力记忆技术 (Stress memorization technique, SMT): 应力记忆技术是 IBM Ota 等人研究发明的[48]。主要的工艺过程是在 NMOS 器件(栅长=55nm)多晶硅栅上淀积一层高张应力的氮化硅(SiN)薄膜后进行退火,将应力传输“记忆”到沟道并增强载流子迁移率,提高器件性能。这种应变的产生主要是在退火过程中多晶硅栅发生了再结晶,同时伴随着的应力释放在栅槽中产生了收缩应力,进而诱发了沟道平面内沿平行于沟道方向产生了张应变,提升了电子迁移率[49-51]。影响 SMT 应变效果主要的因素包括多晶预非晶化注入、覆盖的应力

膜层的厚度和退火前后应力的变化等因素[50, 52, 53]。

- (2) 双应力覆盖层技术 (Dual stress liner, DSL) : DSL 技术是接触孔刻蚀停止层(Contact etch stop layer, CESL)应力技术的一种延续。Ito 等人对 CESL 应变的机理进行了研究[54, 55], IBM 在 45 nm 器件中成功制备了集成 DSL 技术的器件[56]。对于短沟道器件来说,具有本征张应力的 CESL 覆盖在栅上面会产生一个平行于沟道方向的张应力和垂直晶面方向的压应力对 NMOS 器件载流子增强有利。反之,具有本征压应力的 CESL 覆盖在栅上面会产生一个平行于沟道方向的压应力对 PMOS 器件载流子增强有利。因此在 CMOS 集成时选择采用 NMOS 器件覆盖高张应力的 SiN, PMOS 器件覆盖高压应力的 SiN, 共同改善 CMOS 器件性能[56]。影响 DSL 增强迁移率技术的主要因素有: 高应力 SiN 薄膜的生长方式和采用的膜厚、栅的高度以及侧墙的厚度等因素[57-59]。后来也有研究人员采用具有极高压应力 ($> 6\text{GPa}$) 的 DLC (Diamond-like carbon) 膜代替 SiN 膜应用到 PMOS 器件中, 对器件性能也有很大的提升[60]。
- (3) 源/漏应变技术: 源漏应变技术是指在器件源漏区选择性外延异质结薄膜对沟道诱生应变。在小尺寸器件上集成 SiGe 源漏时, 由于 SiGe 和 Si 的晶格点阵失配对沟道有挤压作用, 会对沟道中产生单轴压应力的作用并提高了空穴迁移率[28]。而在 NMOS 器件中, 源漏区域采用选择性外延 SiC 薄膜, 由于 SiC 和 Si 的晶格点阵失配对沟道产生拉伸作用, 会对沟道中产生单轴张应力作用并提高了电子迁移率[61]。
- (4) 硅化物诱导应变技术: 硅化物形成过程中也会诱导平行于沟道方向产生张应变, 当产生应变的大小取决于很多因素, 例如所形成硅化物的类型, 膜厚以及工艺条件等[62, 63]。
- (5) 浅槽隔离 (Shallow trench isolation, STI) 应变技术, 在小尺寸器件集成时 STI 的形成过程也会对沟道诱导应变。由于填充的 SiO₂ 薄膜在沟槽里有更高的热膨胀系数, 就会在沟道平面内产生平行于沟道平面的压应力。

- (6) 金属栅应变技术 (Metal gate induced strain, MGIS)：金属栅应变技术只有在小尺寸器件工艺集成中才会起到作用，主要是体现在后栅工艺集成过程中。当采用假栅去除 (Replacement gate remove) 工艺和在栅槽中填充高应力的 HKMG 材料时就会在栅槽中诱发沟道产生应变[64-66]。

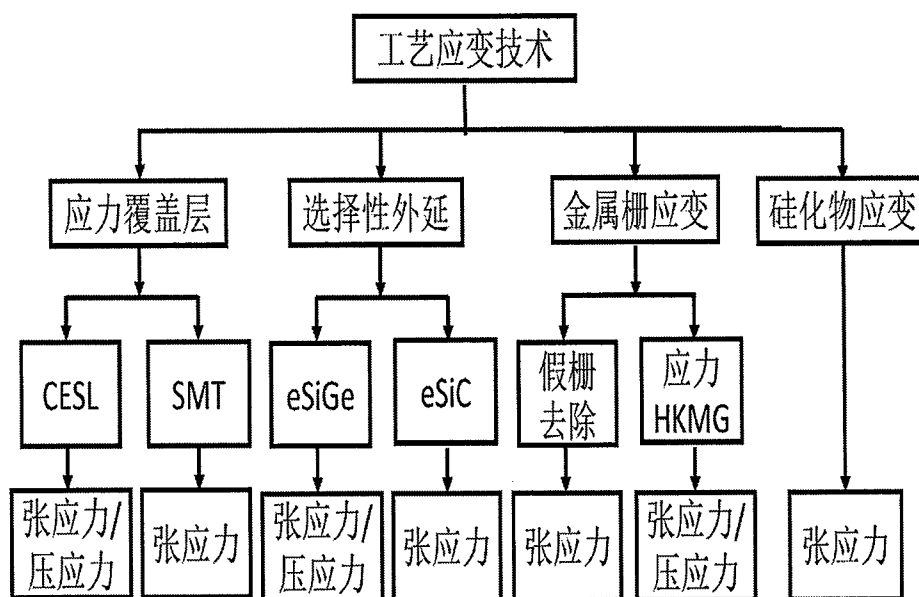


图 2.4 不同工艺应变增强技术

这些通过不同工艺诱导沟道产生应变的技术，均为局部应变技术。通常根据实际情况，选择工艺应变技术时需要同时考虑技术对器件性能的改善效果和技术实施的实施性。为了保证性能的提升效果，通常会选择一种或多种应变工艺同时对器件进行性能增强，但是需要对 NMOS 和 PMOS 器件分别采用不同的工艺应变方法。目前得到产业界大规模生产应用的应变工艺技术有：适合 PMOS 器件的 SiGe 源漏应变技术和压应力 SiN 覆盖层，适合 NMOS 器件的张应力 SiN 覆盖层和金属栅应变等技术。比较之下，NMOS SiC 源漏应变技术应用于大规模生产的技术还不成熟，没有 PMOS SiGe 源漏应变技术应用广泛。在图 2.4 中总结了各种工艺应变技术以及在平行于沟道方向产生的应力类型。

在诸多工艺引入应变技术当中，PMOS 采用 SiGe 源漏因其技术集成工艺和硅兼容、成本低、对器件性能提升明显、应用领域广泛等特点成为研究的热点和

重点。采用 SiGe 源漏应变技术，不仅对 CMOS 器件中的 PMOS 空穴迁移率可以得到很大的提高，其它的电学性能也得到了不同程度的改善，例如增加跨导、增强驱动电流、降低漏源电阻和沟道电阻、降低静电泄漏 (Electro-Static discharge, ESD) 等。并且应变 SiGe 薄膜在更为复杂结构的器件 (UT SOI、MuGFET、FinFET 等) 和小尺寸 (22nm 及以下) 器件的加工工艺中均能起到有效提升器件性能的作用，所以 SiGe 应变集成技术已成为先进制造工艺中的一项关键技术，值得重点关注和研究。

2.5 本章小结

本章首先介绍了应变硅技术在集成电路发展中所起到的重要作用，它是延续摩尔定律发展的关键技术之一。还深入地讨论了晶体管中硅的应变工程，解释了载流子应变增强机理和应变对迁移率的影响，并总结了主要的应变硅技术分类和应变技术类型的发展应用。最后重点介绍了集成电路工艺导致的应变技术，其中 PMOS 中使用的 SiGe 源漏工艺是一项和传统硅工艺兼容、成本低、对器件性能提升明显、应用领域广泛的技术，也是本文的研究重点。

第三章 SiGe 薄膜外延生长

本章首先介绍了 SiGe 薄膜制备技术的研究发展和薄膜的生长机理以及不同的生长方法，然后介绍了 SiGe 薄膜外延生长设备和减压外延技术。重点研究了高质量的应变 SiGe 薄膜选择性外延生长过程，分析并总结了影响外延薄膜质量和应变的关键因素。

3.1 引言

在 20 世纪 50 年代就有文献报道了有关 SiGe 薄膜材料的研究[67]。1957 年，Kroemer H 提到了 SiGe 薄膜在异质结双极晶体管器件中的应用[68]。在接下来的 18 年里，因为 Si 和 Ge 原子之间存在的晶格失配难以获得高质量的 SiGe 薄膜，所以 SiGe 薄膜的制备技术一直停留在理论研究和实验的状态。1975 年，AEG 公司（现在为德国的 Daimler Chrysler 公司）Erich Kasper 等人采用分子束外延技术（Molecular Beam Epitaxy, MBE）制备出了全应变（Fully strain）、低缺陷密度高质量的 SiGe 薄膜[69]。1984 年，他们又采用 MBE 技术制备了应变 SiGe/Si 异质结。1986 年，IBM 的 Meyerson 发明了超高真空化学气相沉积（Ultra High Vacuum Chemical Vapor Deposition, UHVCVD）外延技术，采用 UHVCVD 外延薄膜制造 SiGe HBT[70]。2000 年以后，由于应变硅技术的兴起，荷兰先域半导体设备公司（ASM）和美国应用材料公司（AMAT）分别推出了成熟的减压化学气相沉积（Reduced Pressure Chemical Vapor Deposition, RPCVD）薄膜制备技术，实现了 SiGe 薄膜选择性外延生长技术在集成电路中的大规模应用。

3.1.1 SiGe 晶体结构和应变

Si 和 Ge 都是元素周期表中第 IV 族元素，原子最外层都有 4 个价电子，原子和原子靠共价键连接，都是金刚石结构的晶体。Si 和 Ge 之间晶格常数分别是 5.431Å 和 5.658Å，相差较大。在室温下当 Ge 以 x 组分和 Si 混合形成 Si_{1-x}Ge_x 晶体时，根据 Vegard 定律可将 Si_{1-x}Ge_x 晶体的晶格常数按式 3.1 表示[71]：

$$a_{SiGe}(x) = a_{Si} \cdot (1-x) + a_{Ge} \cdot x = 5.431 + 0.227x \quad (\text{Å}) \quad (3.1)$$

对于纯硅和纯锗在室温的情况下晶格失配约为 4.2%[72]，而 $\text{Si}_{1-x}\text{Ge}_x$ 晶体和 Si 之间的晶格失配率 f 可以表示为：

$$f = (a_{\text{SiGe}} - a_{\text{Si}}) / a_{\text{Si}} = 0.042x \quad (3.2)$$

从式 3.1 可以看出， $\text{Si}_{1-x}\text{Ge}_x$ 晶体和衬底 Si 之间的失配率与 Ge 组分呈正比关系。当 Ge 组分含量适度时，在异质薄膜中存在的晶格失配就会产生薄膜应力。如图 3.1 (a) 中在 Si 上外延 SiGe 薄膜时，由于 Ge 原子比 Si 原子大所以在 SiGe 薄膜的平面上形成双轴压应变，反之在 Si 上面外延 SiC 薄膜就会形成双轴张应变。

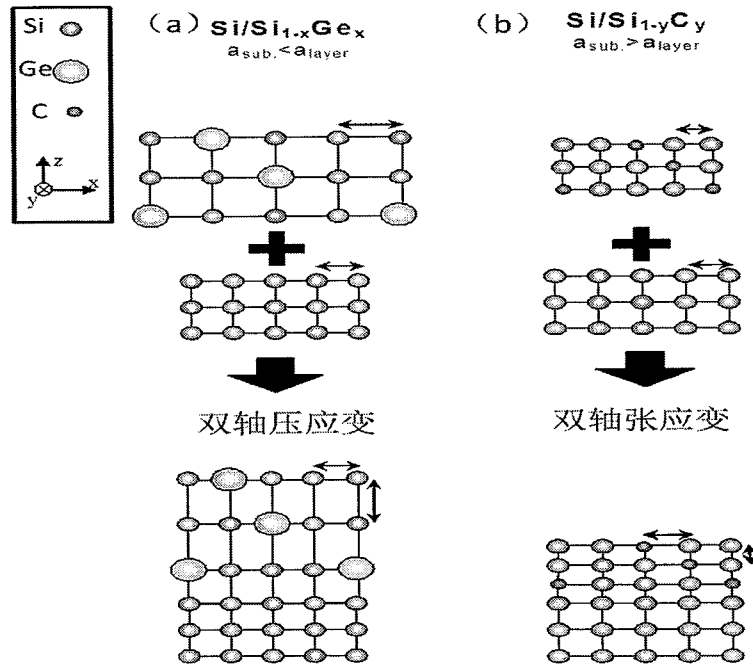


图 3.1 Si 上外延 (a) SiGe 和 (b) SiC 薄膜时的应力类型

但是如果当 Ge 含量较高时， $\text{Si}_{1-x}\text{Ge}_x$ 层和衬底 Si 之间的晶格失配度 f 随之增大，应变就会弛豫，薄膜里的位错缺陷也会随之增加，而失配度随着温度的升高只有微弱的增加。

在 Si 衬底采用赝晶 (Pseudo-Morphic Growth) 生长 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜，在生长的方向上有四方畸变，破坏了晶体立方对称结构，将会引起价带以及导带中简并状态的分裂。四方畸变晶体是亚稳态的，存在弹性形变。早期 Kasper[69]等人采用 MBE 生长 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜，由于温度过高造成三维岛状生长，导致生长的 $\text{Si}_{1-x}\text{Ge}_x$

薄膜表面起伏、粗糙不平。当在低温条件下生长时，应力释放和晶体结构破坏的机制将会受到动力学抑制，动力学抑制的关键参数是对 Ge 组分的控制。因此要制备出高 Ge 组分、界面光滑的 SiGe/Si 异质结结构，需要选用低温条件促进薄膜的二维（2D）生长，抑制三维（3D）岛状生长。

3.1.2 临界厚度

SiGe 薄膜厚度和 Ge 组分是薄膜制备中需要考虑的两个重要参数。当在 Si 上外延一定 Ge 组分的 SiGe 薄膜时，由于硅衬底非常厚，所以衬底在外延过程中不容易受到影响。但是在初始界面生长的 SiGe 膜会变得赝晶化以适应衬底 Si 的晶格常数，当 SiGe 膜厚超过了一个临界值时，界面积聚的应变能量变得太大导致 SiGe 和 Si 原子晶格已不能维持局部平衡态，就会以失配位错的形式释放。SiGe 和 Si 界面两侧的异质原子排列会重新错开，SiGe 膜变得弛豫，应变减小，这个厚度的临界值称之为“临界厚度（Critical Thickness）” [73]。弛豫后薄膜中出现位错缺陷，如图 3.3（b）所示。随着 Ge 组分和生长温度增加，薄膜的“临界厚度”不断下降[74, 75]。图 3.2（a）[76]是 matthews 等人总结的 Si 上外延 SiGe 薄膜的临界厚度和 Ge 组分之间的关系，给出了应变过程中的三态变化，图 3.2（b）图[77, 78]具体地给出了外延温度对 SiGe 薄膜临界厚度的影响。

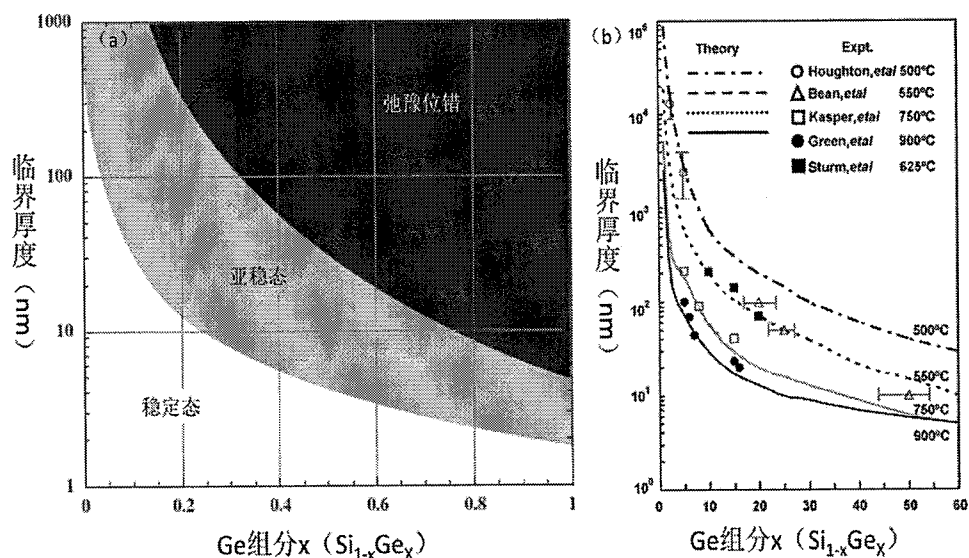


图 3.2 Si 上外延 SiGe 中 Ge 的组分对临界厚度的影响

3.1.3 外延及主要制备技术

外延 (Epitaxy) 是在单晶衬底上通入反应源, 在衬底表面生长一层薄的单晶薄膜, 这层薄膜通常也称为外延层。根据外延生长材料和衬底材料之间的异同, 可将外延分为两大类: 其一是同质外延 (homoepitaxy), 即外延材料和衬底材料相同, 例如 Si 衬底上外延生长 Si (如图 3.3 (a)) ; 另外一种外延是异质外延 (heteroepitaxy), 即外延生长材料和衬底材料不同, 例如在 Si 衬底上面生长 Ge, III-V 族不同于衬底的材料 (图 3.2 (b)) 。这两类外延中异质外延在集成电路制造领域有着更为广泛的应用。

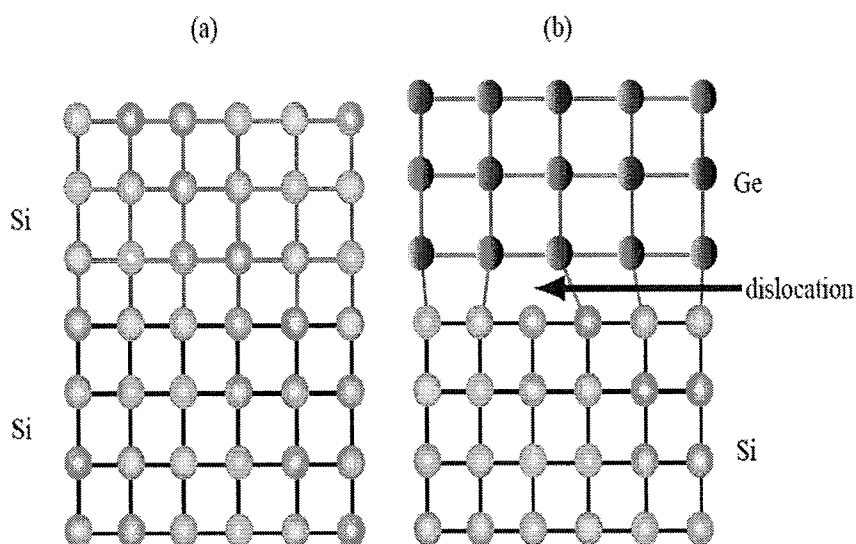


图 3.3 同质外延 (a) 和异质外延 (b) 结构示意图

目前, 主要的 SiGe 外延制备技术可分为两大类: MBE 和 CVD。MBE 是一种很好的晶体薄膜生长技术, 在反应中通过源分子的热蒸发或电子束激发得到所需要的粒子, 然后到达适当加热的衬底上进行外延生长, 可以实现低温 SiGe 薄膜的超薄生长。但是 MBE 设备大多为单片设计, 要求高真空度, 产出比较慢。而且 MBE 设备昂贵, 它的维护和源的补充也是大规模生产所不能接受的, 因此 MBE 技术不适合大规模工业生产应用。而 CVD 法外延生长 SiGe 材料可以实现全低温的工艺, 并有效防止在表面清洁处理过程中衬底图形的变形。其中 UHVCVD 方法需要设备维持高的真空度和较低的生长温度, 外延生长的速率还是很慢, 适合于超薄膜层的外延; 而 RPCVD 选择性外延 SiGe 薄膜的生产能力

强、设备结构简单和便于维护，特别适合集成电路大规模工业生产中应用。

此外，根据向衬底输送原子的方式也可以把外延生长分为三种类型。这三种类型分别叫做气相外延(VPE)、液相外延(LPE)和固相外延(SPE)。液相外延和固相外延技术只适用于衬底片的制备，不适用于器件的集成。而气相外延技术成熟，能很好的控制薄膜厚度、杂质浓度和晶体的完整性，所以在硅工艺中一直占据着主导地位。

根据 CVD 气相反应中压力和真空度的控制，气相外延反应又可以分为：(1) 常压化学气相沉积 (Atmosphere pressure CVD, APCVD) (2) 减压化学气相沉积 (Reduce pressure CVD, RPCVD)，反应压力由常压减少到几 Torr (3) 低压化学气相沉积 (Low pressure CVD, LPCVD)，压力控制并降到 mTorr (4) 超高真空化学气相沉积 (Ultrahigh vacuum CVD, UHVCVD)，压力控制和真空的级别很高。

3.1.4 非选择性外延及选择性外延

在 SiGe 薄膜外延过程中，当单晶衬底上淀积介质薄膜 (SiO_2 和 SiN) 并开有窗口时 (如 3.4 图 (a) 中外延的原始衬底)，外延薄膜就会全部生长在单晶衬底和介质薄膜 (SiO_2 和 SiN) 表面，这种外延生长称之为非选择性外延 (Non-selective Epitaxial Growth, NSEG)，图 3.4 (b)。非选择性外延生长的 SiGe 薄膜有两种类型：一种是单晶衬底上生长的晶体 SiGe 薄膜，另外一种是在介质薄膜 (SiO_2 和 SiN) 表面的多晶 SiGe。而选择性外延 (Selective Epitaxial Growth, SEG) 是在外延生长过程中通入刻蚀性气体 (HCl)，通过调节 HCl 和其它反应气体的配比，达到 HCl 对沉积的多晶 SiGe 的刻蚀速率大于生长的单晶 SiGe 的刻蚀速率并完成单晶 SiGe 的选择性外延生长，如图 3.4 (c) 中所示。在集成电路 SiGe 源漏应变技术中主要使用的是选择性外延工艺。

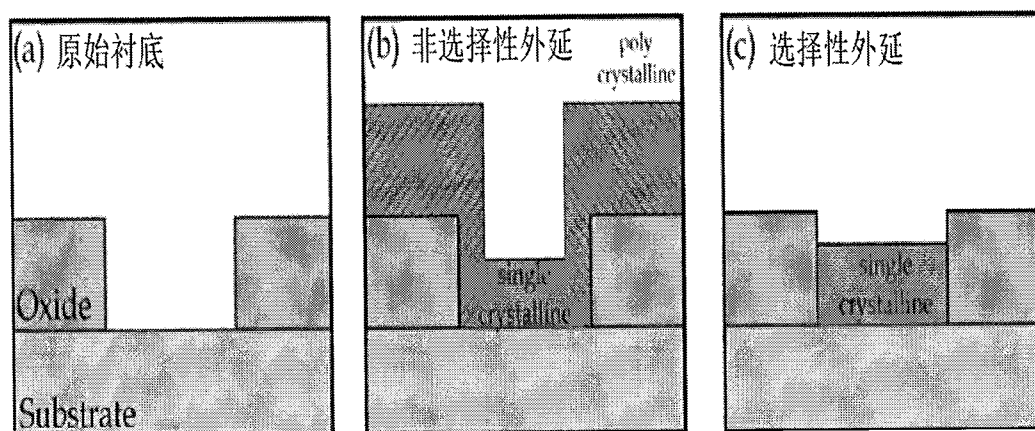


图 3.4 (b) 非选择性外延和 (c) 选择性外延结构示意图

3.2 基于 RPCVD 技术的 SiGe 选择性外延生长实验

3.2.1 实验所用的 RPCVD 设备

RPCVD 是目前外延 Si 和 SiGe 商业化生产中最常用的外延技术。在集成电路生产制造领域选择性外延生长设备厂家主要有两家：AMAT 的减压化学气相外延设备和 ASM 的单片减压外延设备。两家公司针对 Si/SiGe 选择性外延技术领域都推出了不同设计特点和优点的设备。整体来说，两家公司用于 300mm 晶圆的设备均要先进于 200mm 的设备。AMAT 公司的设备在外延前整合了先进的低温去除自然氧化层的前处理工艺，有效地降低了器件集成过程中的热预算温度；ASM 公司设备腔体可用的温度范围要宽于 AMAT 设备，用于研究领域有一定的灵活性。本论文结合项目的需求和工艺平台的实际情况选用的是 ASME2000 plus 用于 SiGe 薄膜制备的研究工作。

ASM E2000 plus RPCVD 设备是为适用于 200mm 晶圆工业化生产设计的 SiGe 薄膜选择性外延生长专用设备。设备的基本结构构造如图 3.5 中所示，腔体的气压通过干泵 (dry pump) 组来精确控制，整个设备分为装片腔 (Loadlock chamber)，中转腔 (Buffer chamber) 和外延工艺腔 (Process chamber)，晶圆经过传输腔和中转腔到达工艺腔体内。工艺腔内上下各有加热的石英灯泡组，腔体的正中是放置晶圆的石墨基座，反应气体从前端进入，后方排出。(如图 3.6 所示腔体内部红色箭头标示)。该设备采用了独立的反应腔体设计，单片作业系统，可以向下兼容 4 寸和 6 寸晶圆的生长。在反应腔室内，进气方式采用层流式

的气体输入以保证外延薄膜反应的均匀性和一致性；该设备可以进行高陡峭度的原位掺杂。反应完成后的残余气体经尾气处理设备处理后排放到厂务端集中后处理。

设备对反应腔温度的和腔体的压力控制十分精确，因为反应腔的温度决定了反应气体的粘附系数，而反应腔的压力决定了 SiGe 的生长速度。在生长过程中，衬底晶圆固定于石英腔中的基座上旋转，由腔体上下的灯丝组红外辐射加热，可以实现 400℃-1200℃ 范围内的快速升降温，同时腔体内温度由四个热偶实时监控。前驱气体和运载气体的流速由一系列电磁阀门流量计所控制，工艺控制阀门（Process control valve, PCV）同时也能控制反应腔的气压从而控制整个外延生长过程的气体流速，进而调整 SiGe 的生长速率。

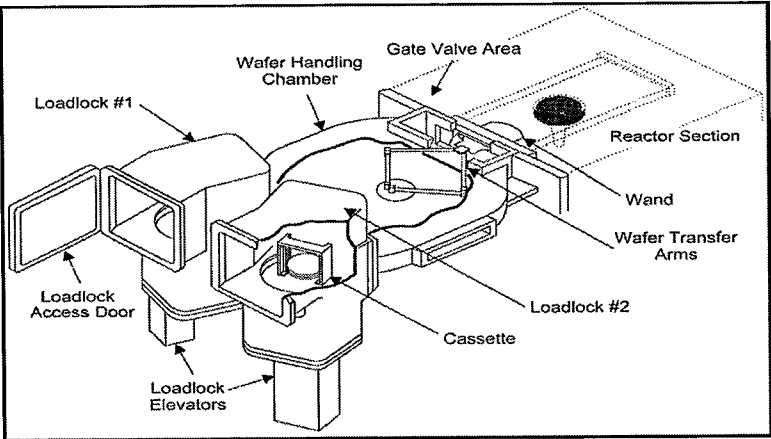


图 3.5 RPCVD 设备基本结构示意图

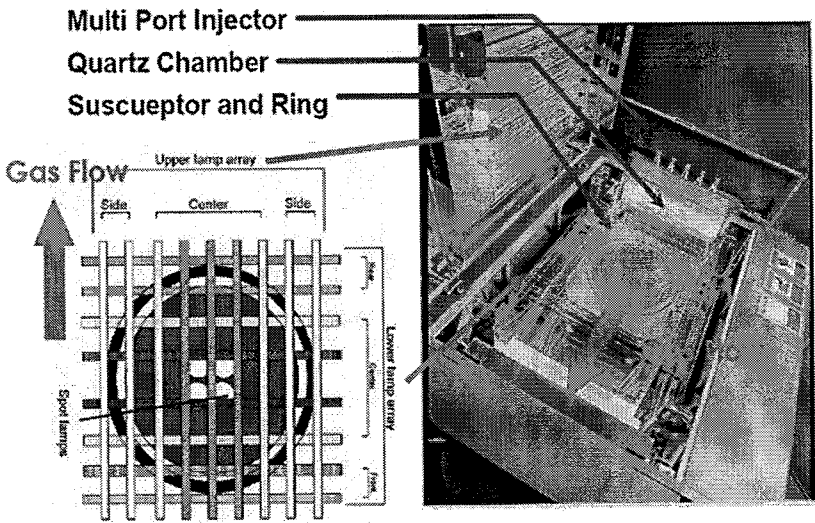
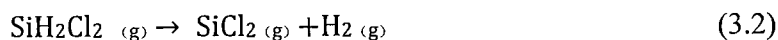


图 3.6 RPCVD 外延设备内部腔体

3.2.2 SiGe 薄膜的外延制备

SiGe 薄膜的外延工艺过程中,主要使用的硅源有: SiH_4 、 Si_2H_6 、 SiH_2Cl_2 (DCS)、 SiHCl_3 和 SiCl_4 ; 常用的 Ge 源 (H_2 稀释成一定浓度) 有: GeH_4 和 Ge_2H_6 。如果要进行 P 型或者 N 型掺杂,可以使用的掺杂剂有: H_2 稀释的 B_2H_6 和 PH_3 (AsH_3)。SiGe 选择性外延工艺过程中的选择性主要是靠通过 HCl 气体来实现的,此外通入的 HCl 也是石英腔体的清洁气体,用于清洁腔体表面累积生长的薄膜。在所有的反应中都需要一直通入稀释保护气体, N_2 或 H_2 。设备反应所使用的 HCl 、 N_2 和 H_2 在进入腔体前都必须要进行二次纯化,以避免水汽中的氧沾污,影响 SiGe 薄膜的质量。

由于 SiGe 源漏集成要用选择性外延工艺,所以本实验采用的反应硅源是 DCS, 锗源是 10% 的 GeH_4 混合 H_2 , 选择性刻蚀气体为 HCl , 高温反应时 H_2 作为稀释气体。在外延过程中发生的化学过程如下反应式 (3.1) 至 (3.5) :



反应过程中 GeH_4 的反应如下反应式 (3.6) 至 (3.9) :



H_2 是反应过程中很重要的气体,它是用来保证拥有平整外延层的表面活性剂,降低了表面的自由能,改变了表面和台阶处原子的扩散,从而提高了生长质量。另外在低温条件下,生长速率受 H 原子的解吸速度所限制,所以也会影响 SiGe 外延生长速度。因为它影响了 DCS 和 GeH_4 的分解,只有当 DCS 和 GeH_4 分解时才能实现外延生长。

我们实验时先将衬底进行表面清洁处理去除可能存在的有机沾污和颗粒,采用的是集成电路标准清洗工艺:首先在 120°C 下使用 SPM 清洗 10min,去除硅

片表面的有机沾污，去离子水漂洗 5min 后放入 APM 溶液中漂洗 10 min 去除表面颗粒，去离子水漂洗 5min 后使用 HF 溶液（100:1）漂洗 60s，甩干后快速送入外延反应腔进行外延生长。最后经过 HF 溶液漂洗后的硅片表面会形成一层不含金属离子和有机物杂质的氧化层，这层氧化层在外延的腔体内还需要原位去除后才能在硅衬底表面外延生长单晶 SiGe。主要在腔体内工艺步骤如下：

- 1)通入氢气和 HCl 清洁腔体(如使用低压外延工艺则需要抽真空);
- 3)把清洗干净的晶圆（去除有机污染和表面颗粒）传输进反应室;
- 2)加热到烘烤（Baking）温度（根据衬底类型选择温度），去除表面氧化层;
- 4)温度降低到外延生长温度,通入硅源，锗源和掺杂剂外延生长所要的薄膜;
- 5)吹入氢气以去除多余气体和副产物;
- 6)冷却后取出硅片;

具体的可以用图 3.7 中反应腔内工艺步骤描述：

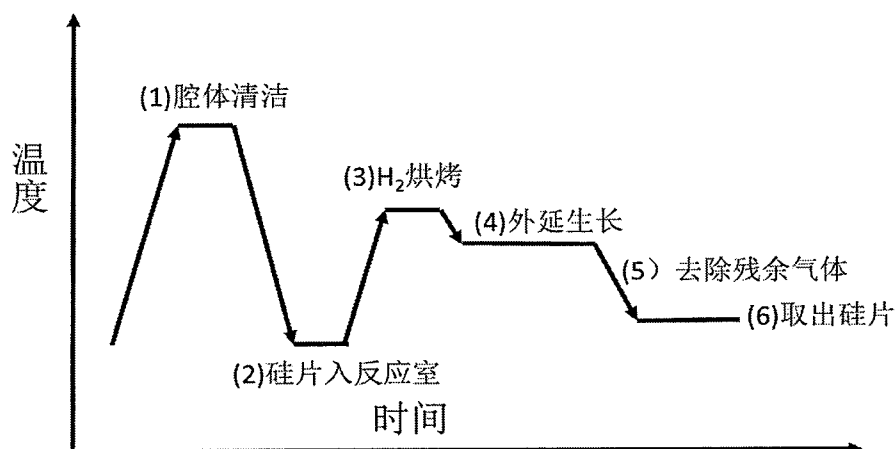


图 3.7 SiGe 外延工艺过程示意图

3.3 制备的 SiGe 薄膜表征分析

本小节对外延生长的 SiGe 薄膜厚度、晶体质量、Ge 组分及分布、膜层弛豫程度以及表面粗糙度等参数进行研究。通过 X 射线衍射(X-ray diffraction, XRD)、二次离子质谱（Secondary Ion Mass Spectrometry, SIMS）、透射电子显微镜（Transmission Electron Microscope, TEM）和原子力显微镜（Atomic Force Microscope, AFM）等手段进行表征分析 SiGe 薄膜质量和应变，并确定选择性

外延生长的优化条件。

3.3.1 SiGe/Si 薄膜界面 C、O 元素分析

SIMS 是目前常用的各种表面分析技术中最灵敏的，测试精度也比较高，能进行目标元素及分布的精确测量。在 SiGe 外延工艺中经常用 SIMS 来测试 Ge 和掺杂剂的组分、浓度及分布。最重要的是它可以测试分析 SiGe/Si 界面处的 C、O 元素含量来监控外延过程以及生长的薄膜质量。

SIMS 测试基本原理是：将样品放置在超真空氛围下用高能离子束轰击样品表面，被高能离子从样品表面轰击出的离子称之为二次离子，然后通过质谱仪测量分析所产生的二次离子质量，从而得出样品的组分。SIMS 方法测量得到的是原子的总浓度，而不能辨别间隙原子和替位原子的分布，因而对 SiGe 薄膜的应变以及缺陷不能表征。

分别在不同的腔体状况制备了 A、B 两个外延 SiGe 样品进行 SIMS 表征测试。如图 3.8 所示，样品 A 在 SiGe 薄膜外延后测试发现 C、O 元素出现在 SiGe 和 Si 的界面以及薄膜里面，并且含量值超过标准值（小于 $1 \times 10^{18} \text{ atoms/cm}^3$ ）。其中 O 在 SiGe 界面和薄膜里面的含量比 C 高，结果表明生长的 SiGe 薄膜受到氧污染比较严重，影响到了薄膜质量。

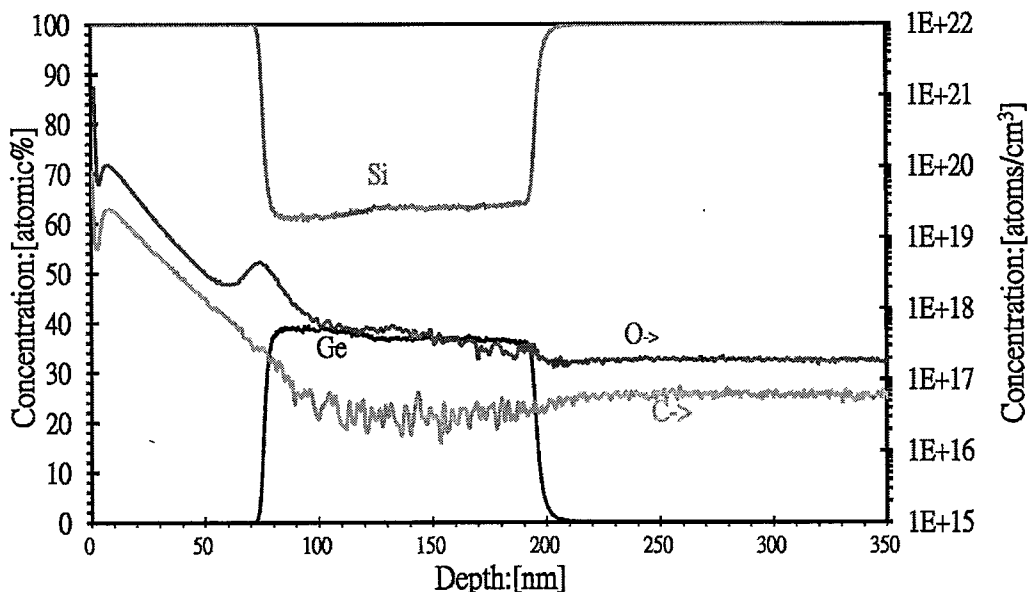


图 3.8 SiGe 外延样品 A SIMS 测试分析图

而样品 B 在 SIMS 测试中发现 C、O 杂质在 SiGe 外延的界面以及薄膜里面含量下降,特别是 O 在薄膜里面的含量降低到了 $1\text{E}17\text{atoms}/\text{cm}^3$,比衬底中 O 的含量还低,表明生长的 SiGe 薄膜没有受到氧的污染,薄膜质量较 A 好。

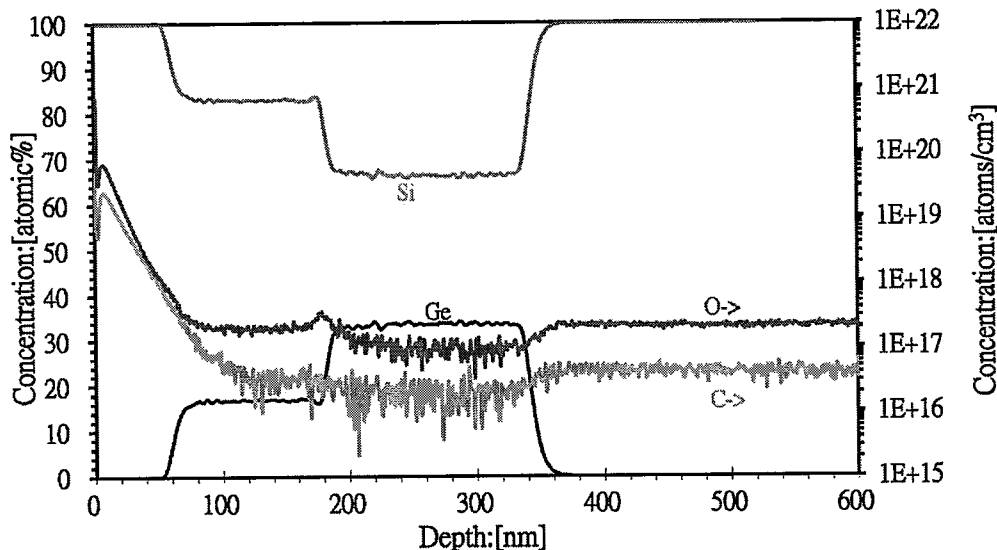


图 3.9 SiGe 外延样品 A SIMS 测试分析图

经分析造成 A, B 样品 SIMS 结果差异主要原因是: A 样品生长时表面受到了氧污染,而氧可能是由于晶圆表面清洗不干净、环境氛围或者气体管路中的水氧含量高造成的。所以样品 B 生长时经过长时间管路充抽和预流气体,并监控环境中的水汽含量降到最低时完成的生长。通常为了有效抑制水汽对 SiGe 外延生长的影响,设备端需要对 HCl、H₂ 和 N₂ 气体进入腔体前进行二次纯化,以保证外延薄膜的质量。

3.3.2 SiGe 薄膜的 HRXRD 分析

XRD 测试技术是 SiGe 薄膜应变最为重要的表征方法。通过 XRD 测试可以获得 SiGe 应变薄膜的厚度、Ge 组分、晶体质量(缺陷)、应变/弛豫(失配)和掺杂情况等重要信息。对于质量好的 SiGe 多层薄膜而言,XRD 分析应变的分辨率为 10^{-5} 且深度分辨率为 0.1 nm;然而对于单层外延的 SiGe 薄膜而言,它可以分析的最小厚度约为 10 nm[79]。

XRD 设备组成包括采用 Cu 靶的 X 射线管,四晶单色仪、狭缝、双晶分析仪、探测器等部件组成。测试基本原理可以用 Bragg 定律,式(3.10)表示:

$$2d\sin(\theta) = n\lambda \quad (3.10)$$

式中 d 代表的是平行晶面之间的距离, λ 是射线的波长, θ 是入射光束与晶体表面的夹角。

根据 X 射线对样品晶面的扫描方式, 可以通过以下两种方式测试 SiGe 薄膜的主要特征参数:

(1) (004) 对称面摇摆曲线测量

在扫描时入射角 ω 以固定的 2θ 扫描具有固定间距晶面的不同方位, 同时 ω 和 2θ 以固定的速率比来探测指定晶面的不同方位。这种 ω 和 2θ 的扫描所得的谱线称之为摇摆曲线 (Rocking Curves, RCs)。如图 3.10 中对选择性外延生长的本征 SiGe 薄膜进行的 ω - 2θ 扫描, 谱线中产生了两个很明显的峰, 左边的 SiGe 峰, 右边的 Si 衬底峰。

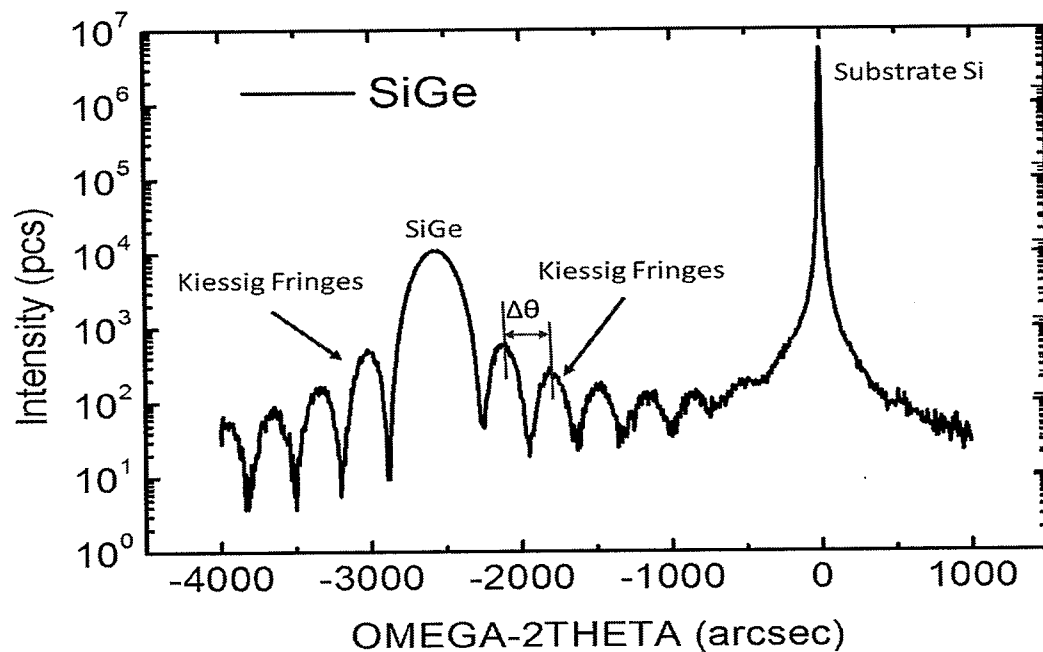


图 3.10 应变 SiGe (004) 面 XRD 扫描摇摆曲线

分析 XRD 谱线可以确定 SiGe 薄膜中 Ge 的组分, 从外延层 SiGe 峰和 Si 衬底峰之间的角度获得。由于 SiGe 和 Si 界面的内部反射, X 射线可以在外延层中产生干涉。这种干涉会在 SiGe 峰的两边产生干涉子峰 (Kiessig Frings), 外延

SiGe 界面的质量可以通过干涉子峰的数量来间接表征。由应变弛豫引起的位错、堆叠层错等缺陷的出现将影响 SiGe 薄膜质量,在 XRD 扫描曲线中的表现是 SiGe 峰两边的干涉子峰数量减少。如果是全弛豫的薄膜,将不会出现明显的干涉子峰。通过测量两个相邻子峰之间的距离和子峰的个数,可以通过下式 3.11 计算出应变 SiGe 膜层的膜厚 t :

$$2\Delta\theta\cos(\theta) * t = \lambda \quad (3.11)$$

通过对 XRD 谱线的分析计算,表明外延生长的 SiGe 薄膜是应变的,厚度为 61nm, Ge 的组分为 28%, SiGe 峰两边有很清晰的干涉子峰,外延的薄膜有较好的界面质量。

(2) (113) 非对称面倒易晶格图测量

如果入射角 ω 进行 $\pm\Delta\omega$ 范围内的 ω 和 2θ 扫描,就可以获得高分辨率的倒易晶格图 (High Resolution Reciprocal Lattice Mapping, HRRLM)。HRRLM 在 (113) 非对称面的反射对薄膜里的缺陷很敏感,对少量的缺陷也能够进行表征,适合集成电路 SiGe 器件级集成应用中应变测试和缺陷表征。在 HRRLM 谱图中,外延 SiGe 峰相对于 Si 衬底峰的位置揭示了应变的弛豫情况,通过峰的特征可以表征薄膜里的缺陷密度。从扫描的谱图中获得的数据可以通过式(3.12)和(3.13)计算垂直和平行方向上面的晶格失配[80, 81]:

$$f_{\perp} = \frac{\sin\theta_s \cos(\omega_s - \theta_s)}{\sin\theta_l \cos(\omega_l - \theta_l)} - 1 \quad (3.12)$$

$$f_{\parallel} = \frac{\sin\theta_s \sin(\omega_s - \theta_s)}{\sin\theta_l \sin(\omega_l - \theta_l)} - 1 \quad (3.13)$$

式中的 s 和 l 分别代表衬底和外延层, $\perp$ 和 $\parallel$ 分别表示垂直和平行于生长的方向,晶格失配 f 可以用式 (3.14) 表示:

$$f = (f_{\perp} - f_{\parallel}) \frac{1-\nu}{1+\nu} + f_{\perp} \quad (3.14)$$

式中的 $\nu=0.278$ 为 SiGe 在 Si 系统中泊松比[82]。在后面的 SiGe 器件集成章节将会详细讨论使用 HRRLM 表征 SiGe 薄膜在工艺集成中应变变化。

综上所述, X 射线衍射检测 SiGe 样品的方法具有不损伤样品、无污染、快

捷、测量精度高等优点，可被广泛用于大规模制造领域监测 SiGe 应变薄膜的 Ge 组分以及内部应变状况等特性。但是使用 XRD 技术表征 SiGe 外延薄膜还有其不足的一面：SiGe 外延薄膜的衍射峰位同时受 Ge 组分和薄膜内应变的限制，一旦 SiGe 薄膜厚度超过临界厚度很多时，就不能获得准确的薄膜信息。因此，XRD 技术可以和其它测试技术结合使用，达到优势互补。

3.3.3 应变 SiGe 薄膜的表面粗糙度

SiGe 薄膜在实际生长过程中受到不同工艺的影响，表面性能的表现差异很大。过高的生长温度会产生三维岛状生长和应变弛豫，造成外延 SiGe 表面粗糙。如果生长温度太低，又容易产生缺陷，甚至变为非晶生长。外延衬底的选择和前处理的方式，以及工艺中选择性气体的使用等等都会造成表面性能的差异，因此实际外延的 SiGe 薄膜表面出现了许多幅度很小、距离很近高低不平的峰谷。薄膜表面粗糙度就是反映薄膜表面与标准平面之间的小数值范围内的偏差，它是表面起伏的标志。对于外延 SiGe 薄膜来说，对其表面粗糙度的控制非常重要，这是因为实际器件的制作是从表面薄层接触开始，其表面特性直接关系到后续工艺集成和电路的性能。因此表面粗糙度也是表征 SiGe 晶体质量的一个重要参数。

原子力显微镜 (Atomic Force Microscopy, AFM) 是表征分析外延的应变 SiGe 薄膜表面性能的重要测试手段，可对工艺条件的优化提供参考。AFM 是扫描显微镜 (SPM) 的一种，通过扫描样品的表面，可以获得样品表面的三维立体图像，可进行材料表面结构、粗糙度、平整度、缺陷分析等。AFM 的主要原理是：使用一个锐利极细的针尖与样品的表面发生作用，针尖的运动通过其悬臂背面的激光束反射到光敏探测器进行监测，悬臂微小的变化将会改变探测器监测到的光束的位置，从而转化为针尖的纵向移动。

本论文使用的是 Bruker 公司型号为 Dimension Icon AFM 设备，工作模式为轻拍，扫描范围为 $10\mu\text{m}\times 10\mu\text{m}$ 对制备的样品表面进行分析。如图 3.11 选择性外延 (SEG) 制备的 SiGe 薄膜粗糙度分析结果。薄膜制备时，选择性外延温度为 650°C ，反应压强为 20 Torr，在 Si 上外延 SiGe 薄膜，其中 Ge 组分为 30%，厚度为 20nm。经 AFM 分析，样品的表面粗糙度 Rms (Root mean square) 是 0.265nm。选择性外延生长的薄膜表面粗糙度很小，表面性能较好，也验证了制备薄膜的高

质量。

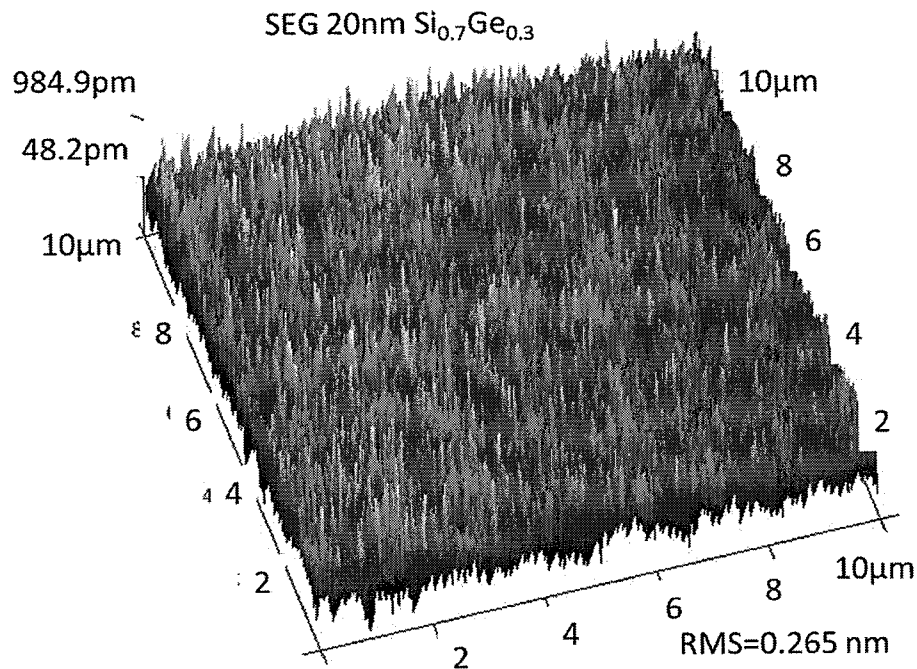


图 3.11 选择性外延 SiGe 薄膜粗糙度分析

3.3.4 SiGe 薄膜的 TEM 分析

通过对外延的 SiGe 薄膜进行 TEM 分析可以实现薄膜的显微观察和成分分析。它既可以对 SiGe 和 Si 的晶格结构进行观察，也可以通过 X 射线能谱仪（Energy Dispersive X-ray Detector, EDX）用来分析薄膜中元素的组成。TEM 测试基本原理是：把经加速和聚集的电子束投射到非常薄的样品上，电子与样品中的原子碰撞而改变方向而产生散射。由于样品厚度、晶格排布、密度等因素的不同而出现明暗不同的映像，信号经处理后在显示屏上形成图片。TEM 设备结构主要由电子源、电磁透镜系统、样本架和成像系统四部分组成[83]。通常，TEM 的分辨率为 0.1nm，放大倍数为百万倍左右，可用于观察膜厚特别薄、很微小的结构。TEM 观察样品前需要样品进行处理和制备。样品制备对 TEM 测试来说很重要，因为电子透射需要样品对电子“透明”，即样品可以穿透电子。对于 SiGe 材料来说，需要样品的厚度为几十纳米，甚至几纳米，样品制备采用聚焦离子束（Focused Ion Beam, FIB）来进行[84]。

图 3.12 是对外延的应变 SiGe (Ge 组分为 28%, 生长温度 $T=650^{\circ}\text{C}$) 薄膜进行的 TEM 测试表征, 从 TEM 结构图中可以看出 SiGe 和 Si 的界面非常清晰, SiGe 和 Si 的晶格排列完美匹配, 表明了外延生长出的 SiGe 薄膜质量很好。

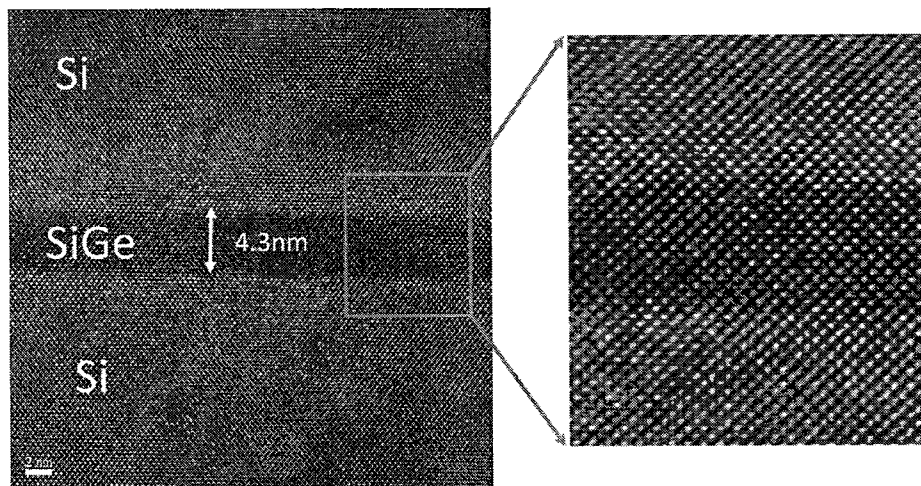


图 3.12 应变 SiGe 的 TEM 分析

3.4 影响 SiGe 薄膜生长和应变的主要因素研究

选择性外延生长过程中需要选择合适的工艺条件才能制备出高质量的应变 SiGe 薄膜, 进而满足器件集成时的应用。本小节主要分析讨论了影响 SiGe 高质量选择性生长工艺和薄膜应变的主要因素, 为集成应用奠定基础。

3.4.1 SiGe 薄膜生长实验过程

实验中采用 RPCVD 外延设备在不同工艺条件下选择性外延生长 SiGe 薄膜。不同的工艺条件设置包括选择性外延的反应温度、压强、HCl 气体用量和掺杂剂的变化。完成生长的 SiGe 薄膜通过 XRD 测试分析薄膜中 Ge 的应变组分, 采用 SIMS 测试校准掺杂剂浓度的变化。

3.4.2 反应温度对 SiGe 薄膜应变的影响分析

SiGe 薄膜的选择性外延生长过程对反应温度很敏感, 参与反应的 HCl 气体在低温和高温状态下的作用各不相同。为了研究不同反应温度对 SiGe 选择性外延生长的影响, 设定相同的反应气体流量和腔体压强, 对不同反应温度下选择性外延生长的 SiGe 薄膜进行了 XRD 测试分析。如图 3.13 和 3.14 所示, 当反应温

度为 550 °C 时，在 XRD 谱线中没有出现 SiGe 峰。这是因为在 550 °C 时，DCS 很难分解。而且腔体中 HCl 对 DCS 分解有抑制作用，加剧了 DCS 的分解难度。

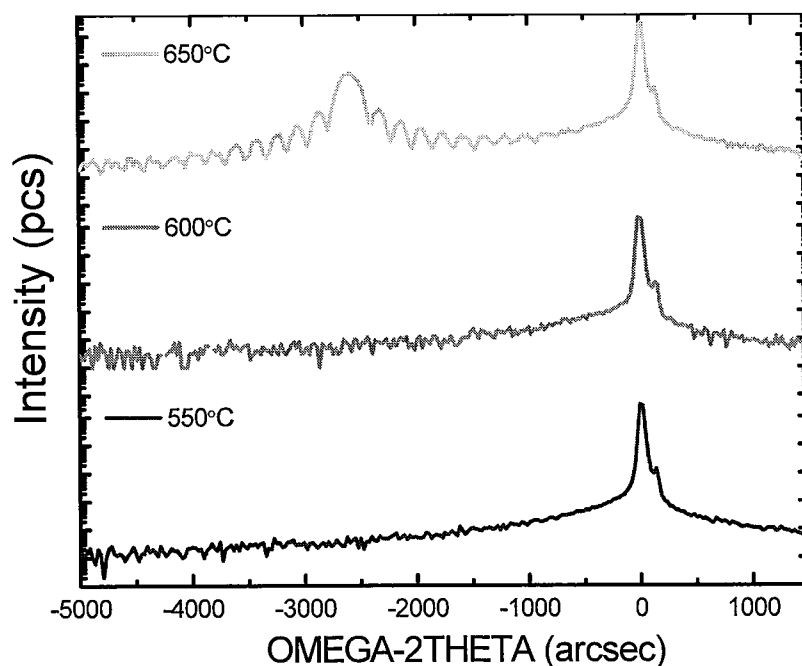


图 3.13 在 550 °C，600°C，650°C 温度下 SiGe 的 XRD 谱线图

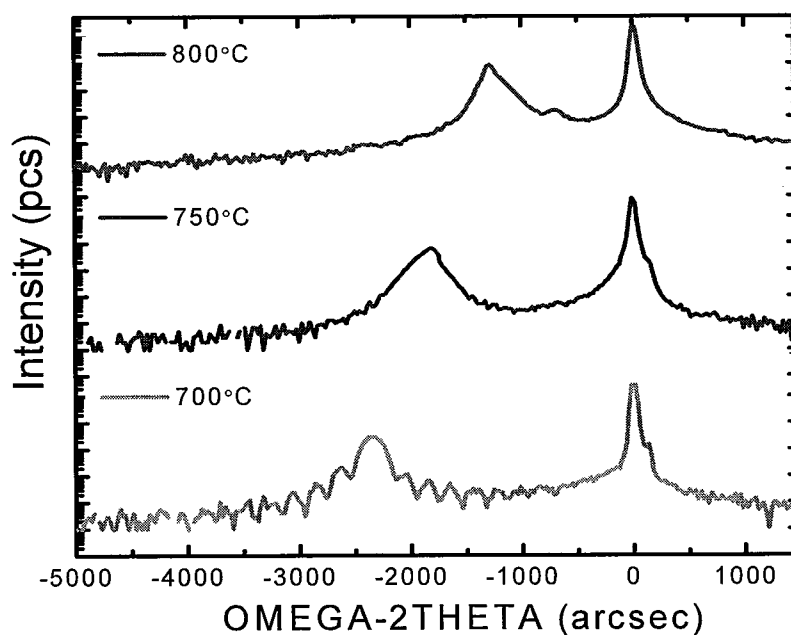


图 3.14 在 700 °C，750°C，800°C 温度下生长 SiGe 薄膜的 XRD 谱线图

所以 SiGe 几乎没有生长。当温度升高到 600°C 时，XRD 谱线中仍然没有明显的 SiGe 峰。当温度升高到 650°C 和 700°C 时，XRD 谱图中出现了明显的 SiGe 主峰，

而且 SiGe 峰两端出现了许多明显的干涉小峰，表明了薄膜的应变状态和高质量界面。反应温度在 650℃ 以上时，SiGe 的生长速率均要高于在 600℃ 以下的反应，而且薄膜中应变 Ge 组分高于 700℃ 以上时。当反应温度继续升高到 750℃ 以上时，虽然可以在 XRD 谱线图（3.14）中呈现出 SiGe 的峰位，但是两边干涉峰均消失。随着反应温度的增加 SiGe 的峰位更靠近 Si 衬底峰，Ge 的应变组分继续减少。这是因为当反应温度升高到 750℃ 时，20%Ge 组分 SiGe 薄膜的应变临界厚度只有约 10nm[75]，快速的生长会使得薄膜的厚度很快超过临界厚度，应变快速弛豫，XRD 测试的应变 Ge 组分下降。

表格 3.1 不同温度下 SiGe 选择性外延工艺参数变化

温度 (℃)	SiGe 薄膜厚度 (nm)	生长时间 (min)	生长速率 (nm/min)	XRD Ge 组分 (%)
650	92	10	9.4	28.2
700	94	3	31	25.4
750	220	3	73	20.1
800	270	2	135	13.7

因为反应温度在 600℃ 以下时，SiGe 薄膜几乎没有生长，对应的 XRD 谱图中没有 SiGe 峰位，所以相关生长参数的变化不在表 3.1 中列出。表 3.1 中的数据表明，在 650℃ 生长温度以上时，SiGe 淀积速率逐渐增大，应变 Ge 的组分减小，薄膜里面的缺陷增多。这是因为在高温条件时，生长速率取决于反应相关气体的浓度和类型，DCS 和 GeH₄ 快速反应生长成 SiGe，即使 HCl 刻蚀作用增强。在低温时，反应速率取决于 DCS 的分解速率，随着温度的降低 DCS 分解难度增大，生长速率相对较慢。因此本实验结果表明，较好的 SiGe 选择性外延生长的反应温度窗口在 650℃-700℃ 之间。为了保持较高的薄膜应变优选为 650℃，而在实际器件源漏集成应用时的选择性外延 SiGe 薄膜的厚度在 60nm 以下，小于表 3.1 中 SiGe 的厚度，薄膜中的缺陷会更少。

3.4.3 反应压强对 SiGe 薄膜生长的影响分析

反应压强对 SiGe 薄膜选择性生长最直接的影响就是表现在生长速率的变化

上。选择合适的反应压强，有利于控制 SiGe 薄膜的生长速率。为了进一步研究反应压强对 SiGe 薄膜生长的影响，保持反应温度在 650℃ 和它的反应条件不变，腔体压强分别设置在 10Torr、20Torr 和 30Torr 条件生长 SiGe 样品。在图 3.15 (a) 中随着压强的增大 SiGe 薄膜的厚度随之增加。

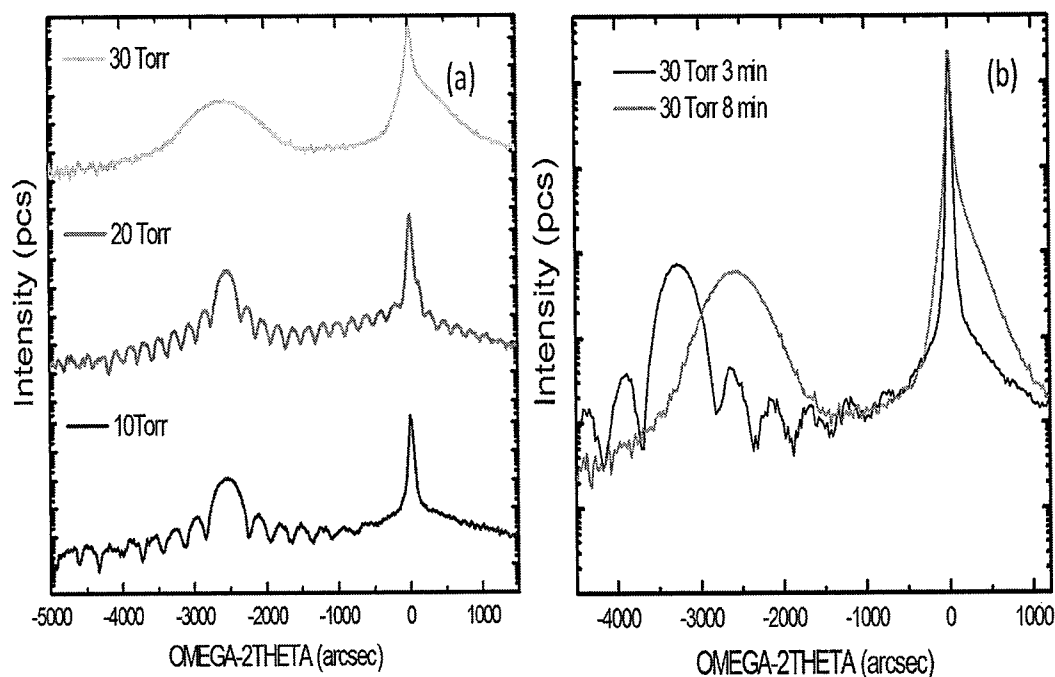


图 3.15 (a)在 10torr, 20Torr, 30Torr 压强下和 (b) 在 30Torr 压强下不同生长时间的 SiGe 薄膜的 XRD 谱线图

表格 3.2 不同压强对 SiGe 薄膜生长的影响

压强 (Torr)	SiGe 薄膜厚度 (nm)	生长时间 (min)	生长速率 (nm/min)	XRD Ge 组分 (%)
10	64	8	8	27.2
20	94	10	9.4	28.2
30	110	8	13.8	27.8
30	42	3	14	34.9

当压强为 30Torr 时，SiGe 生长速度太快和膜厚厚度太厚，超过了临界厚度造成了应变弛豫，所以看不到干涉峰。当把 SiGe 的生长时间从 8min 降低到 3min，在 (b) 中又出现了干涉峰，而且应变 Ge 组分也增加了。表格 3.2 中总结了不同

压强和生长时间作用时 SiGe 薄膜生长工艺参数的变化。因此为了控制选择性外延的生长速率和实际应用需求, 优选 20 Torr 为 SiGe 选择性生长的腔室反应压强。

3.4.4 HCl 气体用量对 SiGe 薄膜生长的影响分析

HCl 气体是为了保持 SiGe 薄膜在选择性生长中的选择性添加的原位刻蚀气体。为了研究 HCl 用量对 SiGe 薄膜选择性的影响, 保持其它的反应条件不变(反应温度 650℃, 腔体压强为 20Torr), HCl 的流量设置如表格 3.3 中所示, 分别为 50sccm、65sccm、80sccm 和 100sccm。在图 3.15 中随着 HCl 流量的增加 SiGe 的峰位向左移动, XRD 测试的 Ge 组分随之增大, 薄膜的生长速率也随之减小。这是因为随着 HCl 量的增加, 对薄膜的刻蚀速率也随之增加, 所以生长速率下降。但是在相同条件下 HCl 对的 Si 刻蚀速度要大于 Ge, 因而薄膜中 Ge 的组分随之增加。

当流量为 50sccm 时 SiGe 薄膜的生长速率很快, 因而薄膜厚度快速超过了临界厚度, 所以在 XRD 谱图中看不到对应的干涉峰。当生长时间从 8min 降低到 3min 时, 在 XRD 谱图中又出现了干涉峰。所以实际应用中不仅要考虑合适的 HCl 用量, 而且要有较大的临界厚度的阈值。表格 3.3 中总结了 HCl 流量以及时间变化对 SiGe 薄膜生长的影响。另外, HCl 用量对 SiGe 源漏集成中选择性外延过程中的选择性影响很大, 在下一章节中将会作重点讨论。

表格 3.3 不同 HCl 流量对 SiGe 薄膜生长的影响

HCl 流量 (sccm)	SiGe 薄膜厚度 (nm)	生长时间 (min)	生长速率 (nm/min)	XRD Ge 组分 (%)
50	115	8	14.3	27
50	43	3	14.3	31.1
65	83	8	9.4	28.2
80	67	8	8.4	32
100	38	8	4.8	32.6

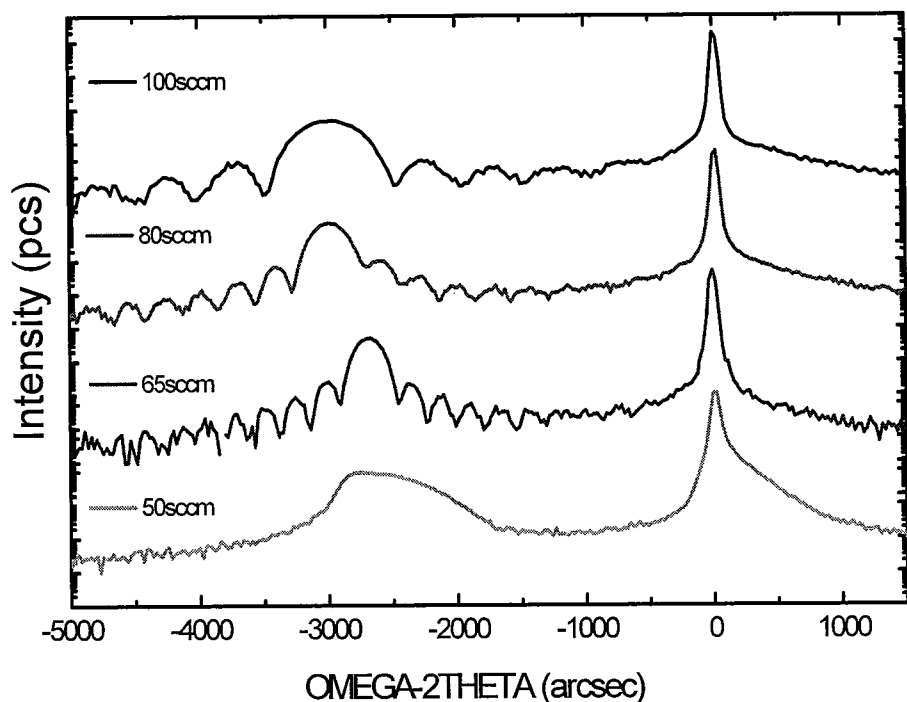


图 3.15 不同 HCl 流量生长的 SiGe 薄膜 XRD 图

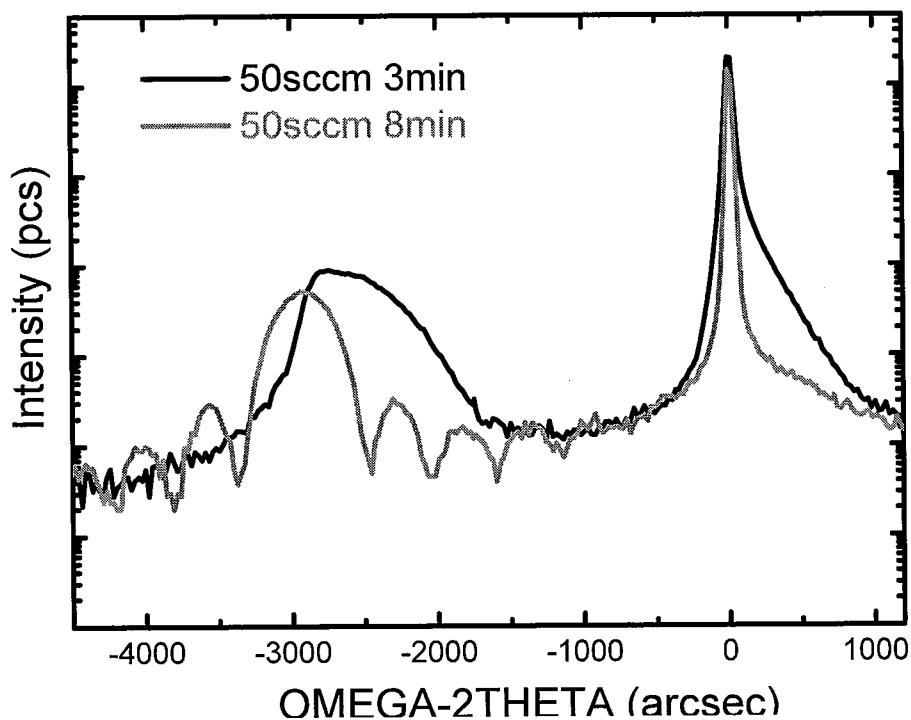


图 3.16 HCl 50sccm 不同生长时间的 SiGe 薄膜 XRD 图

3.4.5 掺杂对 SiGe 薄膜应变的影响分析

通常在外延 SiGe 薄膜的过程中通入一定比例 H_2 稀释的 B_2H_6 进行 P 型原位掺杂。所谓的原位掺杂就是在 SiGe 薄膜生长过程中，B 原子掺杂到薄膜里替换

到空位中并处于激活的状态,不用后续的热退火激活。但是掺杂的 B 会降低 SiGe 的晶格常数减小薄膜的应变,产生“应变补偿效应”[85-87],如果是特别多的 B 掺杂甚至可将薄膜多晶或非晶化[85],应变会完全弛豫。当 B 掺杂浓度在 $1 \times 10^{20} \text{ atoms/cm}^3$ 时,它对 SiGe 薄膜垂直方向的应变损失可以忽略,当掺杂浓度大于 $4 \times 10^{20} \text{ atoms/cm}^3$ 时,会导致应变产生 33% 的弛豫[75]。为了研究掺杂浓度对 SiGe 薄膜应变的影响,我们采用 XRD 测试技术对本征的 SiGe 薄膜和掺杂了 B 的 SiGe 薄膜先后进行了扫描分析。通过 SiGe 峰位位移和 Ge 组分变化[88, 89],以及 B 在 SiGe 薄膜中的晶格常数的变化[90, 91]来计算 SiGe 薄膜中 B 的掺杂浓度。如图 3.15 中 SiGe 和 SiGeB 的两条 XRD 摇摆曲线,掺杂后的 SiGe 峰右移靠近 Si 峰,此时 Ge 的组分为 26.3%,厚度为 85nm;而掺杂前本征 SiGe 薄膜 Ge 组分是 27.6%,厚度是 61nm,经过掺杂 Ge 的组分降低 1.3%,生长速率也会变快。经计算得知图中 SiGe 薄膜中 B 的掺杂含量是 $8 \times 10^{19} \text{ atoms/cm}^3$,此时 B_2H_6 的设定流量是 DIL: 2slm, Source: 120sccm, INJ:120sccm (DIL 是 H_2 载气稀释管路流量控制,source 是钢瓶供气管路流量计,INJ 是进入腔体的流量计控制)。

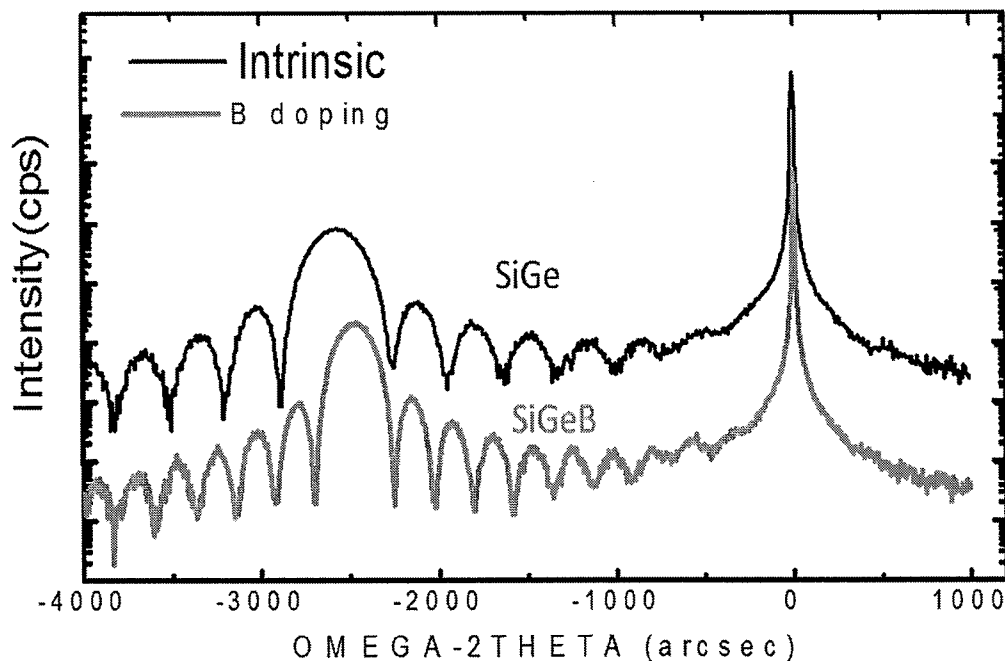


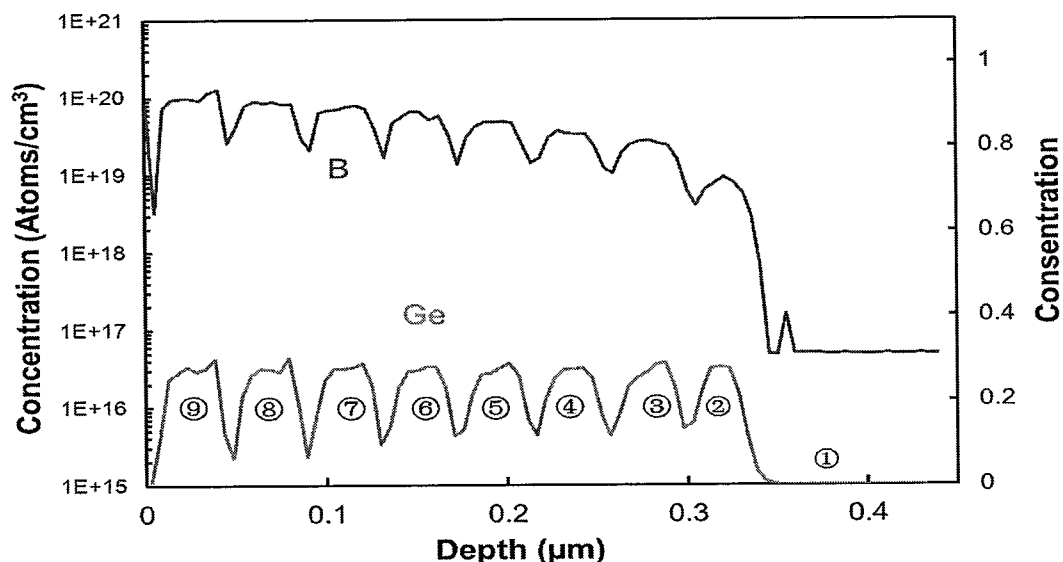
图 3.17 B 掺杂对 SiGe 薄膜应变的影响

B 在 SiGe 中的掺杂浓度取决于掺杂气体 B_2H_6 在 H_2 中稀释比以及流量的设

置。如下表 3.4 中总结的不同 B_2H_6 气体源以及流量对 XRD 测试的 Ge 组分和掺杂的影响。结果表明,当掺杂源浓度很低时,XRD 测试样品的 Ge 组分基本不变化,证明掺杂的 B 很少,无法用该方法估算出 B 的掺杂。当掺杂源浓度提高到 1% 时,这时情况出现了图 3.17 中 Ge 组分显著的变化。为了达到器件源漏应用的要求,通过图 3.18 的 SIMS 结果可以准确标定 SiGe 薄膜在 B_2H_6 不同流量时的掺杂,也是对 XRD 计算分析 B 掺杂浓度的验证。图中使用的 B_2H_6 类型是 1% 混合 H_2 。表 3.5 中给出 9 个条件 B_2H_6 的流量设置。SIMS 结果表明,B 掺杂随着流量的上升而增加,但是 SIMS 测试的 Ge 的原子百分比变化不大,不能表征薄膜的应变组分变化。

表格 3.4 B_2H_6 在 H_2 中稀释比对 Ge 组分以及掺杂的影响

B_2H_6 类型	B_2H_6 流量			Ge 组分 (%)	掺杂浓度 (atoms/ cm^3)
	DIL(slm)	Source(sccm)	INJ(sccm)		
本征	0	0	0	27.6	—
50ppm in H_2	2	120	120	27.5	无法计算
50ppm in H_2	2	160	160	27.5	无法计算
50ppm in H_2	0.5	195	195	27.4	无法计算
1% in H_2	2	120	120	26.3	6E19

图 3.18 SiGe 薄膜在不同 B_2H_6 流量下的掺杂和 Ge 组分测试

表格 3.5 B ₂ H ₆ 的不同流量设定									
B ₂ H ₆ 流量	①	②	③	④	⑤	⑥	⑦	⑧	⑨
DIL (slm)	10	5	2	2	2	2	2	2	2
Source (sccm)	10	60	60	80	100	120	140	160	180
INJ (sccm)	20	60	60	80	100	120	140	160	180

SIMS 的测试结果和 XRD 估算结果比较一致。因此在实际生产中，我们通过 XRD 对 SiGe 原位 B 掺杂后的样品进行扫描分析，可以快速估算出 B 掺杂浓度，比 SIMS 检测成本低，应用效率高。

3.4.6 Ge 浓度对 SiGe 薄膜应变的影响分析

通过以上实验，发现 SiGe 薄膜选择性外延生长过程中影响 Ge 组分的因素有很多。除了反应温度、压强、HCl 用量和元素掺杂等因素的影响外，还有参与反应的 GeH₄ 在腔体气体中的分压，提高它的分压，Ge 的组分就会增加。但是在实际器件集成应用中，SiGe 薄膜中 Ge 组分并不是越高越好，我们需要兼顾考虑 SiGe 薄膜的质量和保持对沟道产生的应变。在相同反应条件随着 Ge 组分的增加，薄膜的应变临界厚度就会变小。如果膜厚超过临界厚度，薄膜界面缺陷就会增多，延伸到 SiGe 薄膜里进一步导致位错和层错缺陷增多，集成到器件中薄膜的应变效果也会下降。

图 3.19 是三个样品在相同的生长温度和反应压强（反应温度 650℃，压强 20Torr），生长的不同 Ge 组分的 SiGe 薄膜 XRD 测试结果。随着 Ge 组分的增加，谱图中的 SiGe 峰位开始向左移动，当 Ge 的组分达到 39%时，SiGe 峰两边的干涉峰消失，表明了 SiGe 和 Si 的界面缺陷增加，应变弛豫。因此，要制备高 Ge 组分高应变的 SiGe 薄膜，需要降低生长温度或改变其它工艺条件增加临界厚度的阈值保持薄膜的应变。所以在实际应用时，要根据器件应用的具体要求选择合适的 SiGe 薄膜生长条件和 Ge 组分，保持薄膜的制备过程对薄膜质量和应变的影响最小化。

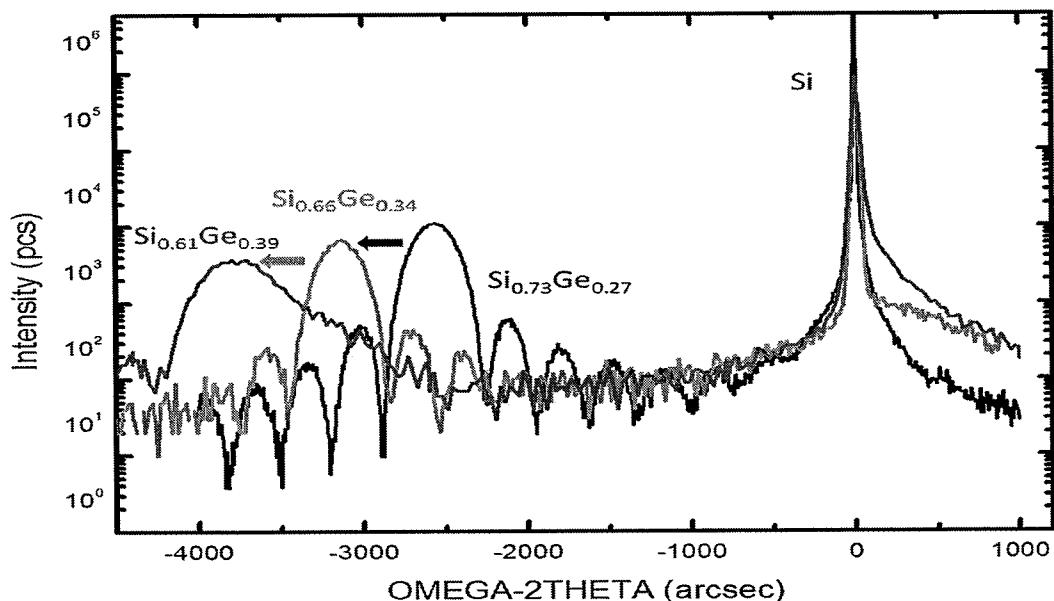


图 3.19 SiGe 薄膜在不同 Ge 组分对应变的影响

3.5 本章小结

本章主要介绍了 SiGe 薄膜应变增强机理和主要的制备技术，重点介绍了采用 RPCVD 技术选择性外延生长 SiGe 薄膜的生长机理和实验用的设备。对不同生长条件选择性外延生长的 SiGe 薄膜进行了测试表征，分析讨论了影响 SiGe 薄膜生长质量和应变的关键因素。对 Si 衬底上外延 SiGe 薄膜的工艺进行了优化，优化选择性工艺条件包括：

- (1) 反应工艺温度范围：650℃到 700℃之间。生长温度决定了 SiGe 的生长速率和 Ge 应变组分。如果生长温度过高，薄膜的临界厚度阈值就很小，薄膜应变容易弛豫造成缺陷产生；如果温度太低，DCS 不易分解，生长速率很慢而且容易产生缺陷，不利于生产应用。
- (2) 工作压力范围：10Torr 到 20Torr 之间。反应压强的改变可以控制调节 SiGe 生长速率，过大的压强不利于对生长速率的控制和反应副产物的去除，会影响成膜的质量。
- (3) HCl 用量：50-65sccm。随着 HCl 用量的上升，SiGe 薄膜的生长速率下降，Ge 组分增加。HCl 用量的选择还有一个比较大的影响是需要

地讨论。

- (4) 适量的 B 掺杂浓度: $1\text{E}20\text{atoms}/\text{cm}^3$ 到 $3\text{E}20\text{ atoms}/\text{cm}^3$ 。原位掺杂的样品可通过 XRD 技术对外延 SiGe 薄膜中 B 的掺杂进行快速估算, 有利于生产线上对 SiGe 外延工艺进行在线监测。
- (5) 适合的 Ge 组分选择: 27%到 35%。理想情况中, 需要的 Ge 组分越大越好, 这样可以产生更大的薄膜应变。但是过度增加薄膜中 Ge 组分, 实际应用中的薄膜厚度就会快速超过临界厚度, 导致应变弛豫和缺陷产生。因此结合实际生产应用, 需要采用尽可能低温 (650°C) 或其它的工艺条件来增加临界厚度的阈值。另外, 在实际应用中 Ge 组分还会受到选择性外延过程中图形密度效应 (Pattern Dependency Effect) 的影响, Ge 组分在图形衬底中发生变化, 不同于裸硅片上的组分, 后面的章节也会详细研究此部分内容。

第四章 SiGe 源漏集成和器件验证

4.1 引言

SiGe 源漏应变是集成电路先进制造技术中的关键工艺之一。在 90nm 技术代以下的每一次技术更迭, PMOS 器件均采用此技术对沟道实施应变用于载流子迁移率增强和器件性能提高。在本章重点研究了 22nm 平面和 16nm FinFET 技术代中 SiGe 源漏选择性外延工艺过程对工艺集成的影响, 分析了在集成过程中源漏 SiGe 薄膜的应变分布和变化。最后对集成了 SiGe 源漏的 22nm 平面和 16nm FinFET 器件进行了电学性能验证分析。

4.1.1 SiGe 源漏应变技术的发展

Intel 公司作为全球大规模集成电路制造技术的引领者, 于 2003 年发布了 90nm 工艺制作的采用了应变硅技术的新款奔 IV 处理器[28], 最高工作频率达到 3.4 GHz。其中 NMOS 采用了高张应力的 SiN 薄膜用作 CESL, PMOS 首次将 SiGe 应变技术应用于源漏区域进行替换, 此时 SiGe 中的 Ge 组分是 17%[92]。2004 年, Intel 和东芝在 IEDM 上分别推出了用于 65nm 工艺的应变硅技术[33]。Intel 的 65nm 技术里采用了第二代 SiGe 源漏应变技术继续改善 PMOS 的性能, 为了获得较大的应变对源漏外延的区域几何形状做了调整, 另外 Ge 组分提高到了 23%[93], 显著地使沟道应变提升了 60%以上。同时 NMOS 器件采用了高张应力的 SiN 薄膜覆盖层, 使沟道获得的应变达到 80%以上, 电流驱动能力改善达到 20%[25]。2007 年, Intel 在 45nm 工艺中采用了 HKMG 后栅工艺集成方案, 同时 SiGe 源漏应变技术又有了新的发展, 源漏在沟道平面的形状由圆形变为更靠近沟道的尖角“ Σ ”形状, Ge 组分提升到了 30%左右, PMOS 器件结合 SiGe 源漏应变技术和 HKMG 集成使驱动电流比 65nm 技术代提升了 51%[29]。2009 年, Intel 的 32nm 工艺[94]延续了 45nm 中 SiGe 应变技术, 继续使用了提升源漏以及后置金属栅工艺, 性能比 45nm 同样有提升。2011 年, Intel 没有推出平面工艺的 22nm 技术, 而是采用了三维 FinFET 晶体管技术。在 FinFET PMOS 器件

中的源漏区域仍然采用了 SiGe 应变技术，但是薄膜生长从平面工艺变为三维，工艺上带来了巨大的挑战，同时薄膜里 Ge 组分提高到 40%以上[20]。图 4.1 是总结的 Intel 在 90nm 技术代后采用的 SiGe 源漏应变技术变化图。

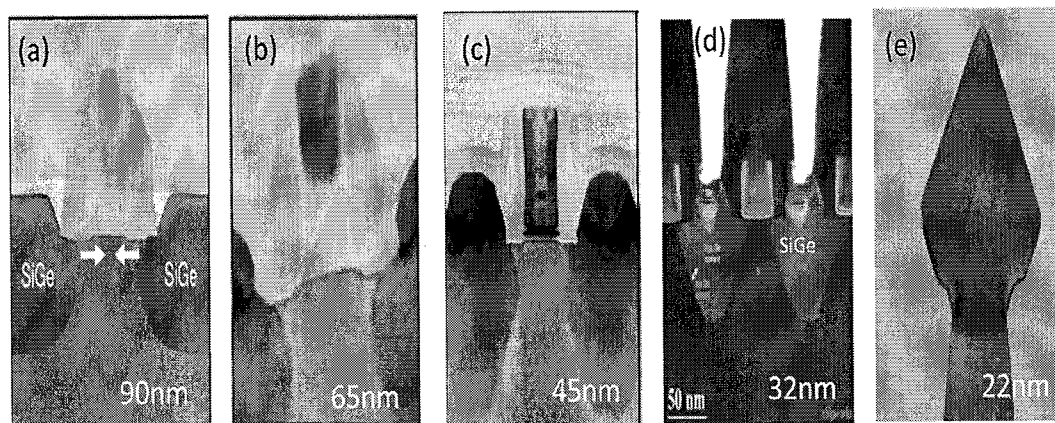


图 4.1 Intel 公司的各技术代 SiGe 源漏应变技术发展

4.1.2 SiGe 源漏技术特点总结

从大规模集成电路生产制造中 SiGe 源漏应变技术的发展历史图（图 4.1）中分析可知，采用 SiGe 源漏主要的用途是为 PMOS 器件在沟道平面内平行于沟道方向引入压应变提高器件性能，主要的技术特点总结如下：

- （1）在 SiGe 源漏工艺中，SiGe 薄膜中的 Ge 组分随着技术代器件尺寸的微缩越来越高。如图 4.2 (a)中所示的 Intel 各技术代中 SiGe 源漏中 Ge 组分对应变的影响[11]，Ge 组分从最初 90nm 采用的 18%增加到 32nm 中的 40%左右，对沟道的产生的压应力从 0.5GPa 增加到 2GPa。图 4.2(b)图中总结了 PMOS 采用 SiGe 源漏应变技术对每个技术节点的驱动电流的贡献。前面章节已经讨论过，当 Ge 组分增加时会降低 SiGe 薄膜的临界厚度，所以在提高 Ge 组分的同时要对 SiGe 工艺进行优化调整，减少 Ge 组分增加带来的应变弛豫和缺陷产生。

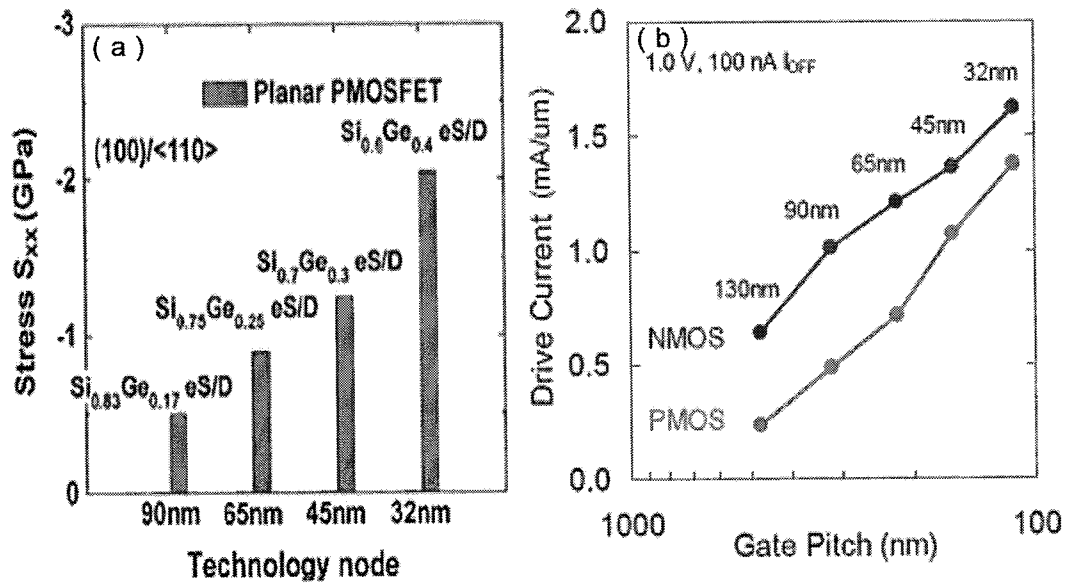


图 4.2 Intel 各技术代中 (a) SiGe 源漏 Ge 组分对应变的影响 (b) 对驱动电流的提升[11]

(2) 在 SiGe 源漏工艺技术路线图中, 源漏外延区域的凹槽形貌发生了很明显的变化, 从最初的圆形 (Round Shape) 变成了更靠近并直接作用于沟道的“ Σ ”型, 如图 4.1 中 (c) 所示。图 4.3 是 SiGe 源漏应变和形貌的关系示意图[75, 95], 表明使用了“ Σ ”型结构的源漏对沟道应变的增强会加倍增加。如果结合 HKMG 后栅集成工艺方案[29], 会进一步提升沟道载流子的迁移率, 提升器件性能。

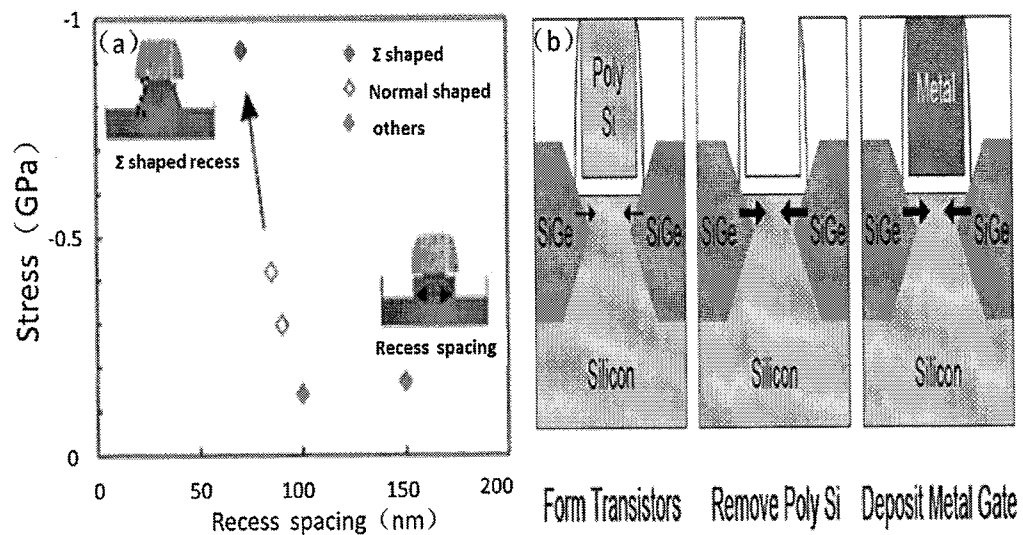


图 4.3 (a) SiGe 源漏应变和源漏形貌的关系[95] (b) SiGe 源漏应变后栅集成对沟道应变的影响[29]

- (3) SiGe 源漏工艺在三维 FinFET 技术中, 源漏尺寸和形貌也发生了很大变化。源漏从平面器件的凹槽变成了三维器件的硅 Fin, 除了提高 Ge 组分对沟道提供应变外, 改变硅 Fin 的结构设计也可以提高对沟道的应变[96], 下图 4.4 中没有将硅 Fin 末端连接起来的设计结构引入沟道的应变要比连接起来的要大。另外在 FinFET 技术中采用 SiGe 源漏技术可以增大源漏的接触面积, 降低源漏接触电阻[97], 提升驱动电流。

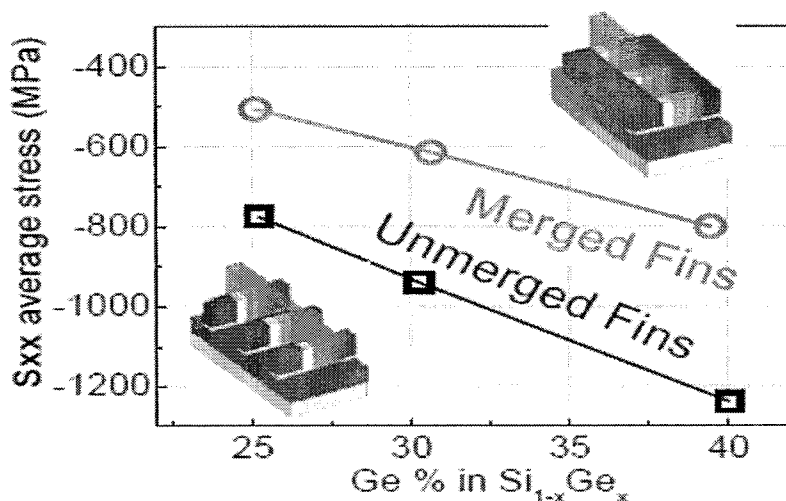


图 4.4 FinFET 硅 Fin 结构设计对 SiGe 源漏应变的影响[97]

4.1.3 SiGe 源漏技术的挑战

SiGe 源漏应变集成技术随着器件尺寸微缩, 其工艺实施的难度也越来越大, 主要面临的技术挑战有:

(1) SiGe 源漏中 Ge 组分在一定范围内, 随着组分的提高对沟道应变也随之增大。但是当浓度继续提高时, Si 与 Ge 之间的晶格失配也会随之增大, 薄膜应变释放并产生缺陷。因此, 在 SiGe 源漏应变技术集成中, 获得一定范围内的高 Ge 组分的同时保持对沟道应变的提高是一项非常具有挑战性的工作。

(2) SiGe 源漏在器件集成中的选择性外延生长不同于裸硅片上生长。因此如何在 SiGe 选择性外延工艺中保持源漏凹槽、Fin 顶部的形貌以及集成应用过程中薄膜应变不过多损失, 也是其中的一个难点。

(3) SiGe 源漏集成时的生长界面处理。SiGe 在选择性生长前需要对界面进

行处理,但是小尺寸器件的 SiN 侧墙和假栅顶部的氧化掩蔽层(Hard mask oxide)都很薄,因此在进行“HF-Last”去除自然氧化层时,需要考虑既要去除硅表面的自然氧化层干净,又不能对 SiN 侧墙和假栅顶部的氧化掩蔽层过腐蚀。所以,外延前的界面处理技术也是 SiGe 源漏集成技术面临的又一项挑战。

(4) SiGe 选择性外延工艺过程中图形化密度微观和宏观效应对器件集成效果的影响不可忽视。在器件集成应用中,因为不同选区的硅暴露面积不同,会影响外延过程中预烘烤去除自然氧化层的效率、SiGe 生长速率和 Ge 组分分布,进而会影响不同区域器件的性能。所以如何评估并减小图形化密度效应对工艺和器件性能的影响也是一项工艺难题。

4.2 22nm 平面器件 SiGe 源漏工艺集成

本小节主要讨论在 22nm 平面器件中 SiGe 源漏工艺集成和器件制备的方法,并对特殊的源漏外延形貌形成方法进行了研究。

4.2.1 器件集成工艺实验细节

本文采用 22nm 平面工艺在 PMOS 器件上实施嵌入式 SiGe 源漏应变技术工艺集成。器件制备基于 8 英寸晶圆衬底,采用 SiO₂ 填充刻蚀后的 Si 槽形成器件的浅槽隔离(STI),并进行离子注入定义阱和器件沟道。然后在 AA(Active Area)器件区域上淀积栅氧和非晶硅,这里的非晶硅作为器件集成中的替代栅(Dummy Gate 也可称之为假栅),在后续的 HKMG 后栅工艺集成时要去除。刻蚀覆盖的 SiN 层后形成侧墙 1(Spacer 1),后续的工艺流程如图 4.5 中所示。器件源漏刻蚀后在低温条件时进行 SiGe 选择性外延生长,并同时进行 B 原位掺杂。在形成 Spcer 2 工艺后进行 NiSiGe 工艺集成,即在 SiGe 的表面溅射 Ni 后,在 N₂ 氛围时分别在 300℃和 450℃下退火 30s 形成低欧姆接触电阻的 NiSiGe。22nm 平面工艺中, HKMG 后栅集成也是很关键的工艺模块。在淀积 HK 之前要将假栅和栅氧化层去除, HK 是采用原子层淀积(Atomic layer deposition, ALD)技术生长 20Å 的 HfO₂, 在 HfO₂ 之后依次淀积 TiN、Ti、TiN 和 W 作为 PMOS 金属栅结构层。在 425℃下进行器件的合金退火后,就完成了整个器件的前端制作(没有集成互联),制备的器件可以进行电学性能测试。在制作 CMOS 器件时, NMOS 区域用氧化硅掩蔽起来,完成 PMOS SiGe 源漏工艺集成后,再将 NMOS 上掩蔽

的氧化硅去除。

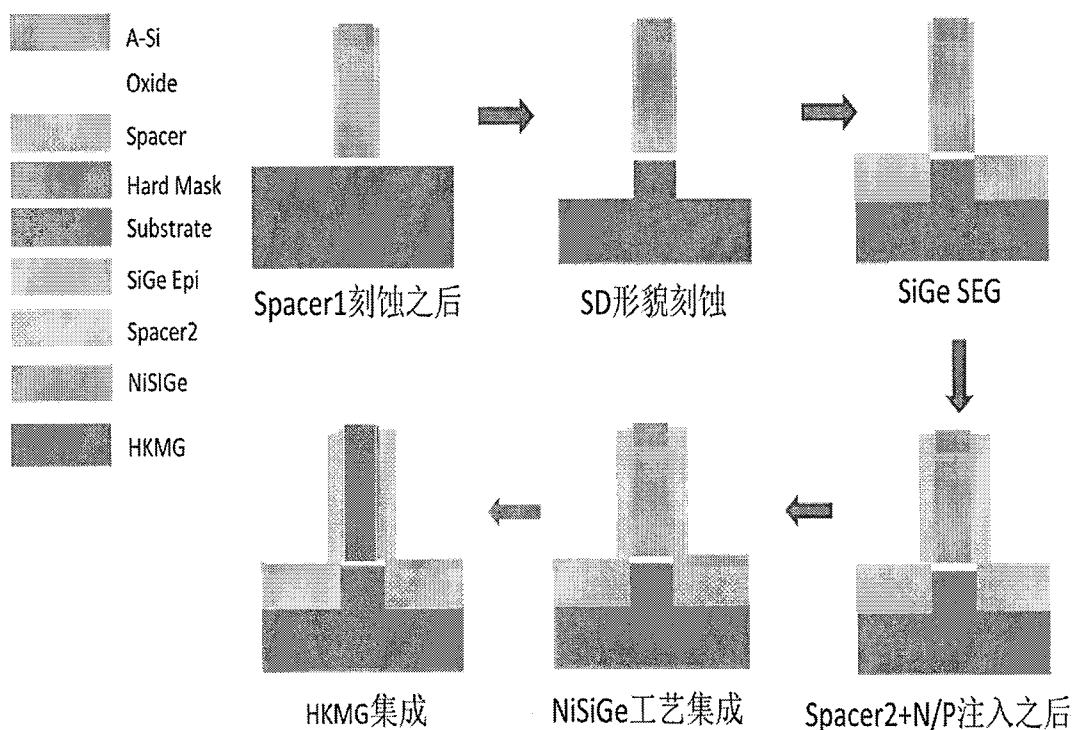


图 4.5 嵌入式源漏锗硅工艺集成在 22nm 器件中流程的示意图

4.2.2 源漏“Σ”形貌形成

在源漏区选择性外延的 SiGe 薄膜对沟道产生的应变大小会受到有很多因素的影响。例如器件几何尺寸，在小尺寸器件上采用 SiGe 源漏技术对沟道产生的应变要大于大尺寸器件。器件的几何尺寸，通常包括器件的宽度、沟道长度、栅极至 STI 的距离以及侧墙的厚度。另外，SiGe 选择性外延工艺条件对源漏诱生沟道应变影响也较大，具体的影响有：源漏区刻蚀的深度、刻蚀的形貌和薄膜中应变 Ge 的组分。器件平面工艺中为了将源漏应变更大地传输作用到沟道，会将源漏形貌设计成“Σ”的形状，在源漏靠近沟道上方刻蚀形成的“尖角”更容易让选择性外延生长的 SiGe 对硅沟道应变更直接地作用于沟道，保持 SiGe 源漏应变的最大化。

源漏凹槽带有“Σ”形貌的形成工艺比较复杂，需要同时控制 Si 源漏刻蚀后凹槽的深度、表面粗糙度和刻蚀晶向以减小对选择性外延工艺的影响。图 4.6 是源漏“Σ”形貌形成工艺过程中不同阶段的 SEM 图，本实验是以多晶栅的顶部带

有 SiO_2 作掩蔽的结构片作为起始结构（如 4.6（a）中所示）。后续的干法(等离子体)刻蚀工艺采用了两步法形成，首先是用各项异性刻蚀，沿着硅衬底的 100 晶向向下刻蚀出一定深度的 Si 槽，保持了侧壁硅近似（110）的晶向（如 4.6（b）中所示），定义了源漏凹槽的深度。紧接在同一刻蚀程序中采用各项同性刻蚀，Si 槽中（100）和近似（110）晶向同时刻蚀，向沟道平面内延伸，这一步各项同性刻蚀很重要，更多地横向向沟道刻蚀将源漏更靠近沟道中心。最后再将样品在室温（23℃）时放置于去离子水稀释成 2.37% 的 DTMAH（Diluted Tetramethylammonium Hydroxide，四甲基氢氧化铵）碱性溶液中，对 Si 槽进行晶向选择性腐蚀，最后形成类似（111）晶面的“ Σ ”形貌（如 4.6（d）中所示）。

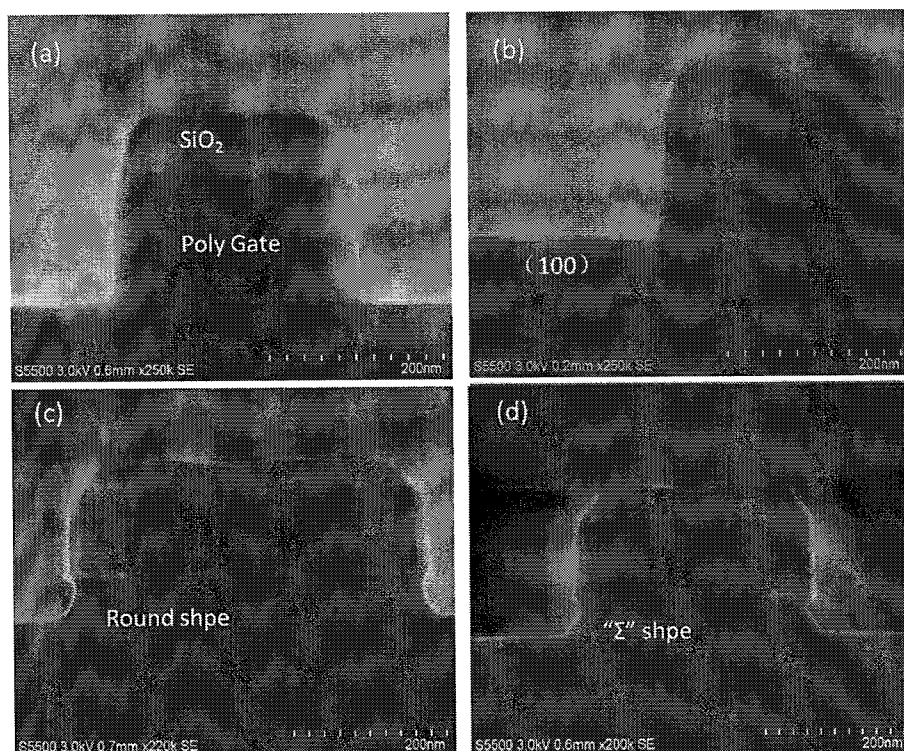


图 4.6 源漏“ Σ ”形貌形成工艺流程 SEM 图

4.2.3 源漏 SiGe 选择性外延生长

将上一章节研发的选择性 SiGe 薄膜生长工艺应用到 22nm 平面器件集成中。在外延生长过程中对样品进行原位的烘烤(Pre Baking)去除表面的自然氧化层，经过 SiGe 源漏工艺优化后集成制备了两种 SiGe 源漏的 22nm PMOS 器件（图 4.7）。这两种器件源漏区域均采用 Ni 硅化物作为接触，图 4.7（a）中 22nm 器件采用了多晶硅栅，栅介质是热氧(Thermo oxide)，图（b）中 22nm 器件采用了

HKMG 后栅工艺集成方案。选择性生长的 SiGe 薄膜质量均达到了器件应用的要求,具体的工艺优化细节和选择性外延工艺对器件集成中的影响在后面的小结将会进行进一步分析。

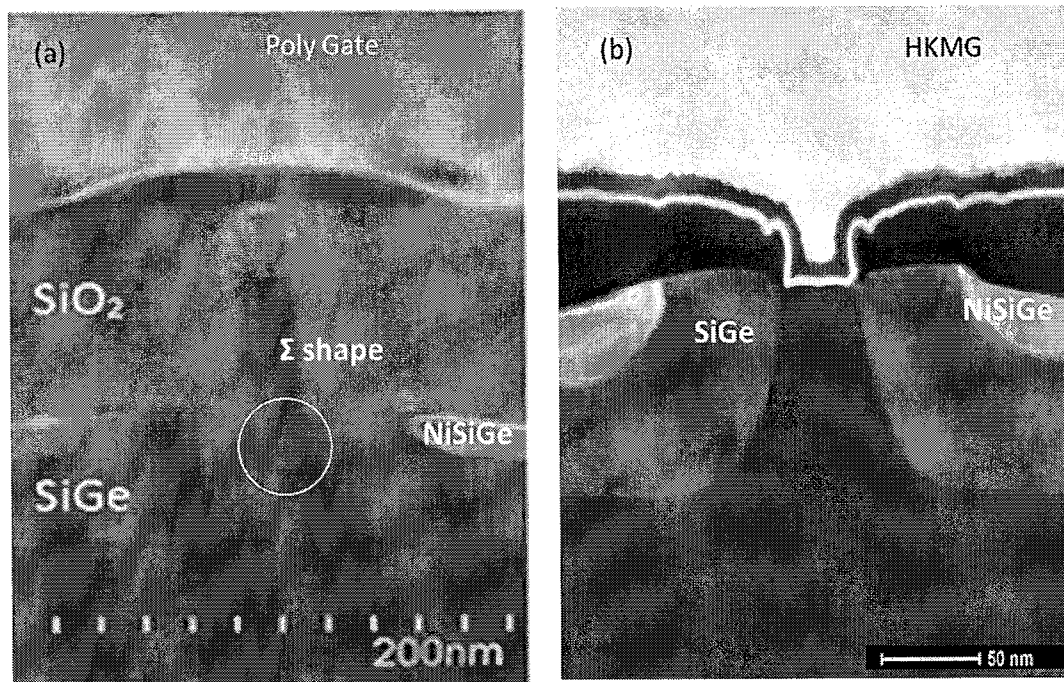


图 4.7 集成了 SiGe 源漏的 22nm 平面器件剖面图 (a) 带有“ Σ ”形貌的多晶栅器件 (b) HKMG 集成器件

4.3 16nm FinFET 器件 SiGe 源漏工艺集成

4.3.1 16nm FinFET 器件制备实验过程

体硅 FinFET 器件集成在 22nm 平面工艺集成的基础上添加了许多新的工艺步骤,整个器件制备过程比 22nm 平面工艺复杂。如图 4.8 中 16nm 体硅 FinFET 器件流程示意图,采用侧墙转移法 (Sidewall Transfer Lithography, STL) [98]来形成顶端宽度为 20nm,高为 110nm 的硅 Fin 结构。STL 具体工艺是这样的:先在硅衬底表面依次淀积一定厚度的 SiN, SiO₂ 以及无定形硅。光刻定义出图形尺寸后进行刻蚀,在刻蚀之后的无定形硅上淀积共型覆盖性好的 SiN 薄膜形成侧墙,去除无定形硅后用 SiN 侧墙作为硬掩模对硅衬底进行各向异性的刻蚀从而形成了梯形的 Fin。残余的 SiN 用热磷酸 (H₃PO₄) 和稀释的氢氟酸 (DHF) 去除。

Fin 表面通过快速热处理形成薄的氧化层并去除，用来修复由于等离子体刻蚀时对硅 Fin 表面的损伤和降低粗糙度。随后进行 Fin 的 STI 工艺模块，采用高深宽比工艺（High-Aspect-Ratio Process, HARP）淀积 2000 Å 的氧化硅来实现浅槽隔离（Shallow Trench Isolation, STI）。在平坦化工艺之后，通过 DHF 来除掉一定厚度的氧化硅将硅 Fin 顶端露出。使用电子束光刻（Electron Beam Lithography, EBL）的方式来定义假栅线条尺寸。在假栅的两侧淀积氮化硅形成侧墙并注入激活后进行源漏区域选择性外延生长。PMOS 选择性外延 SiGe，NMOS 选择性外延 Si。假栅平坦化和去除工艺后，进行 HKMG 模块集成，就可以进行器件电学测试分析。

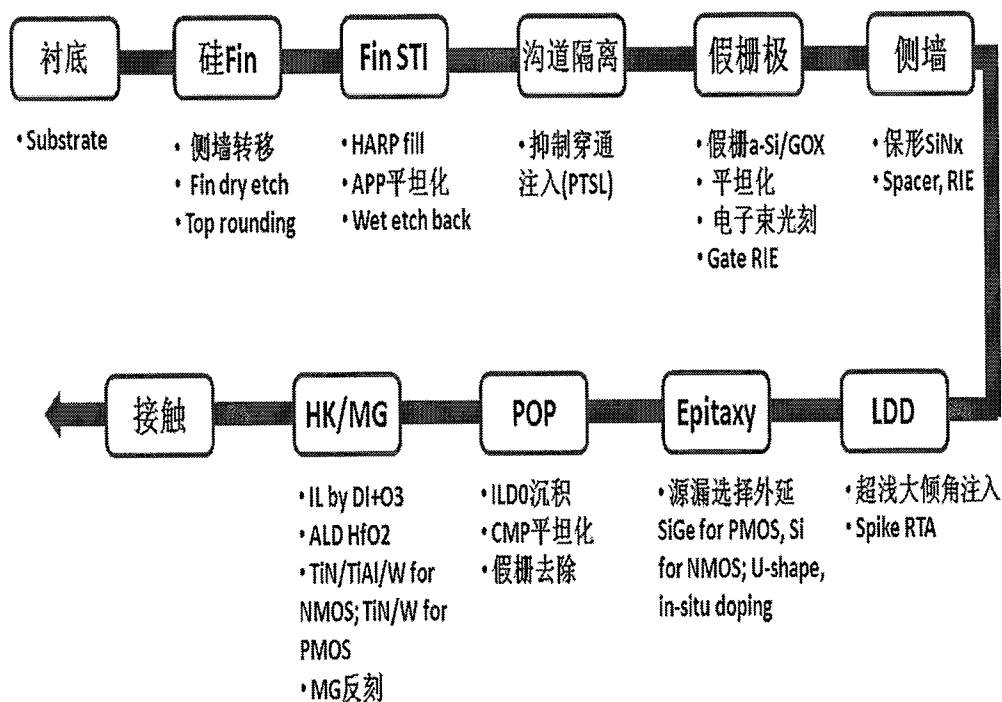


图 4.8 体硅 FinFET 器件中流程示意图

4.3.2 16nm FinFET 器件 SiGe/Si 选择性外延生长

三维器件集成进行 PMOS 源漏 SiGe 以及 NMOS 源漏 Si 的选择性外延工艺难度要比平面大。选择性外延生长不仅要考虑对介质层（Spacer SiN 和 HM、STI SiO₂）的选择性，还要考虑在硅 Fin 不同晶向上的生长对薄膜应变的保持。完成 SiGe 选择性外延后的形貌呈“Diamond”的菱形，沿硅 Fin 的中心呈对称形

貌, 如图 4.9 中示意图 (b) 中所示。另一方面, 如果将源漏的接触直接集成在小尺寸的硅 Fin 顶端就会导致接触电阻很大, 影响 FinFET 器件的驱动电流。而通过源漏外延锗硅和硅可以有效地增大源漏的面积, 显著降低源漏接触电阻, 提升器件性能。

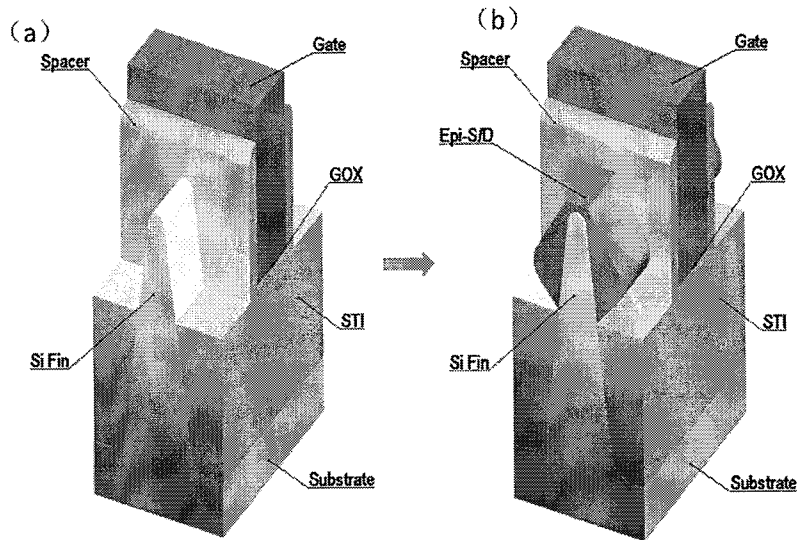


图 4.9 16nm FinFET 器件集成源漏外延生长示意图中

实际制备的 16nm FinFET PMOS 器件栅极和 SiGe 源漏集成剖面 TEM 如图 4.10 中所示, (a)图是沿 Fin 沟道的方向垂直于栅切开, 可以很清楚的看到 HKMG 膜层的填充, SiGe 源漏位于栅的两边。为了更清楚地确认 SiGe 源漏选择性外延的质量, 图 (b) 是垂直于 Fin 的方向切开。TEM 结果表明了高质量 SiGe 的选择性外延生长, SiGe 薄膜均匀对称地分布于 Fin 的两边。源漏的形貌呈现出了不同晶向: 顶端的 (100) 和侧面的 (111), 这是由于 SiGe 在不同晶面上选择性外延速率的差别最终形成了钻石状的菱形。另外对比 Intel 发布的 22nm FinFET PMOS 器件 SiGe 源漏剖面图 4.1 (e), 发现它的 Fin 顶端受到了损失变得很尖, SiGe 在外延生长过程中几乎都是在沿着 (111) 晶向生长, 会引入较多缺陷, 本实验外延过程中 Si Fin 的损失较小, 形貌保持较好。

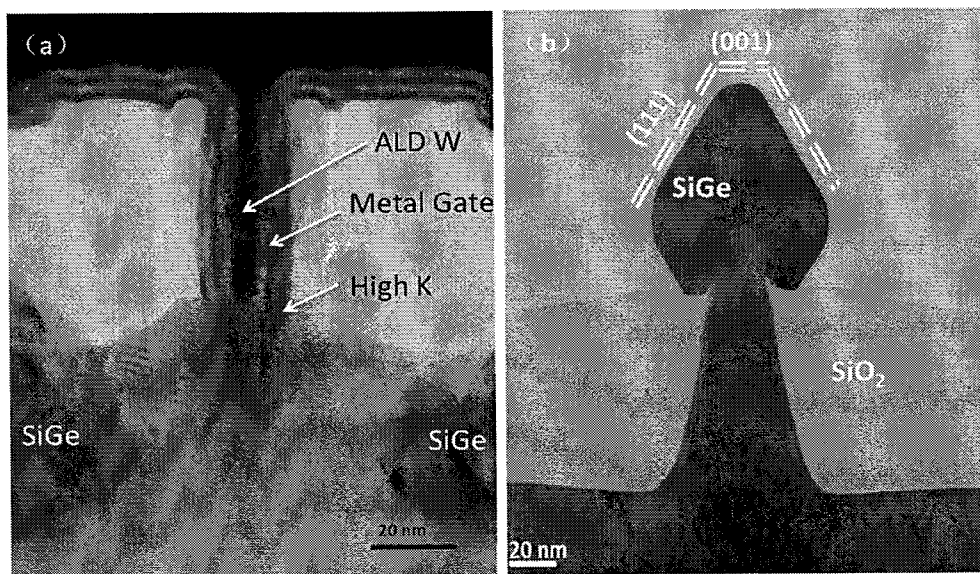


图 4.10 FinFET PMOS 器件集成 SiGe 源漏 (a) 栅极剖面 TEM (b) SiGe 源漏剖面 TEM

而 FinFET NMOS 硅的选择性外延工艺过程和 SiGe 有很大的不同，反应中不再使用 GeH_4 为反应气体。而且为了兼顾外延过程的选择性和生长速率可用，需要比 SiGe 外延选择更高的生长温度，SiGe 选择性外延在 650°C 时完成，Si 的选择性外延温度至少要在 750°C 以上，图 4.11 是集成了 Si 的选择性外延工艺图片。由于 Si 选择性外延在较高温时进行，同时 HCl 对 Si 的刻蚀作用明显，所以源漏形貌不像 PMOS SiGe 那样均匀对称。Si 上外延 Si 是同质外延，所以硅 Fin 和选择性外延 Si 的界面在 TEM（图 4.11 中的 (c)）中也无法分辨清楚。

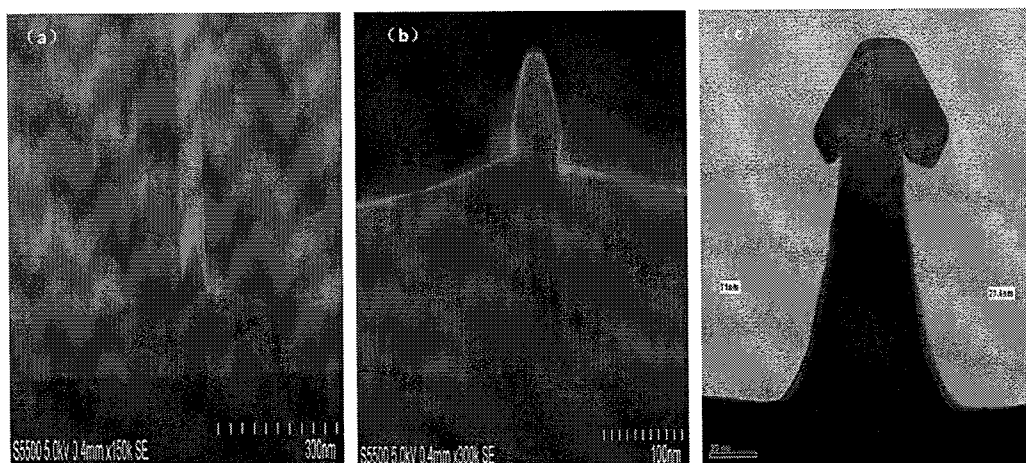


图 4.11 FinFET NMOS 器件集成 Si 源漏 (a) 正面俯视 SEM (b) Si 源漏剖面 SEM (c) Si 源漏剖面 TEM

4.4 选择性外延工艺对 SiGe 源漏集成的影响分析

本节主要研究了 22nm 平面和 16nm FinFET 器件 SiGe 源漏集成选择性外延工艺过程中的关键问题。这些关键问题主要包括外延前界面清洗、外延时源漏形貌的破坏、薄膜生长质量差、应变弛豫和选择性差等。这些问题不解决就会严重影响 SiGe 源漏集成效果，导致器件性能变差。所以本节中将会详细分析讨论选择性外延工艺对 SiGe 源漏集成的影响。

4.4.1 外延界面清洗对工艺集成的影响分析

器件集成过程中，进行 SiGe 薄膜选择性外延生长前要对衬底晶圆进行预清洗。清洗的目的是为了去除表面存在的光刻胶残留物、刻蚀产生的聚合物（polymer）和 等离子体刻蚀腔体里产生的颗粒等。去除这些杂质需要有一系列的清洗过程，集成电路制造工业较常用的方法是采用 RCA 标准清洗法，该方法是在 1965 年由 Kern 和 Puotinen 等人在 N.J.Princeton 的 RCA 实验室首创的[99]。另外，带有图形晶圆表面的清洗过程要比没有图形的裸硅片复杂的多，清洗过程不但需要考虑清洗的效果，还要评估清洗液对图形中介质薄膜损失，线条尺寸变化的影响。本实验开始采用的外延前清洗主要工艺步骤包含：

（1）首先采用 SPM（ H_2SO_4 和 H_2O_2 的混合溶液）清洗：在 120°C SPM 具有很高的氧化能力，可将金属氧化后溶于清洗液中，能把有机物氧化生成 CO_2 和 H_2O 。用 SPM 清洗硅片可去除硅片表面的重有机沾污和部分金属，但是当有机物沾污特别严重时会使有机物碳化而难以去除。

（2）其次采用 APM（ $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ ）：也是 SC1 溶液，由于 H_2O_2 的作用，硅片表面有一层自然氧化膜（Native SiO_2 ）。由于硅片表面的自然氧化层与硅片表面的 Si 被 NH_4OH 腐蚀，因此附着在硅片表面的颗粒便落入清洗液中，从而达到去除表面颗粒的目的。

（3）最后用 DHF（稀释的 HF 酸）溶液：DHF 可以去除硅表面的自然氧化膜，同时 DHF 抑制了氧化膜的形成。用 DHF 清洗时，在自然氧化膜被腐蚀掉时，表面的硅几乎不被腐蚀。但是腐蚀的过程要注意腐蚀浓度和腐蚀时间的控制，清洗完成时要把硅表面自然氧化层腐蚀去掉的同时，还要保证图形片中侧墙 SiN 、硬掩膜 SiO_2 以及 STI SiO_2 不能有过多损失。DHF 清洗完成后，要保正样品在最

短的间隔时间进入外延腔体进行外延工艺，防止样品转移过程中硅表面有更多自然氧化层的生成和其它的沾污，给外延工艺带来影响。这步外延前 HF 溶液清洗去除自然氧化层的过程也称之为“HF-last”。

实际器件 SiGe 源漏集成过程，发现 Si 凹槽刻蚀后的样品进行这三步清洗并外延生长的薄膜质量较差，一些区域并没有完全成片生长，只有不连续的岛状生长，如图 4.12 中 (b) 所示。对样品进一步的 TEM EDX 分析后发现，Si 表面的 C 元素含量很高（图 4.13 中 (b) 所示），Ge 含量很低。样品表面的有机聚团没有完全去除干净，经分析这些有机沾污可能来自干法等离子体各项异性刻蚀 Si 时在表面生成的聚合物，经过标准清洗时没有完全去除干净。

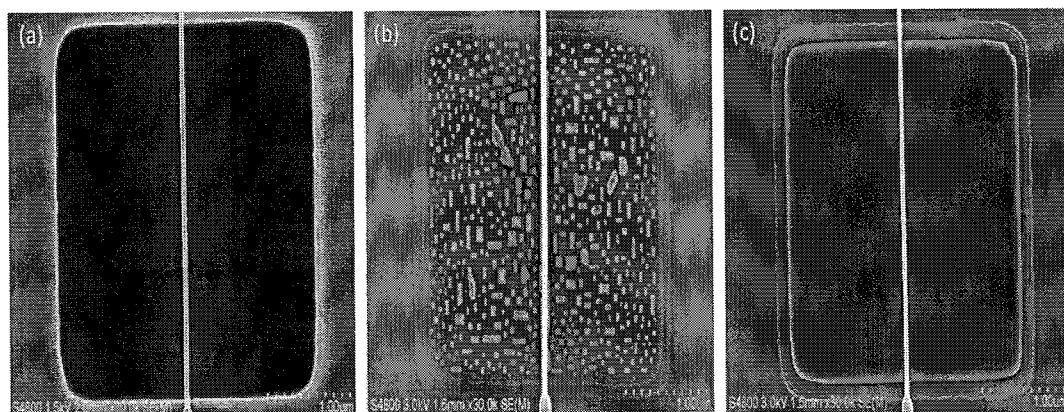


图 4.12 (a) 外延清洗前正面俯视 SEM (b) 外延清洗后 SiGe 生长质量差正面俯视 SEM (c) 外延清洗后 SiGe 生长质量好正面俯视 SEM

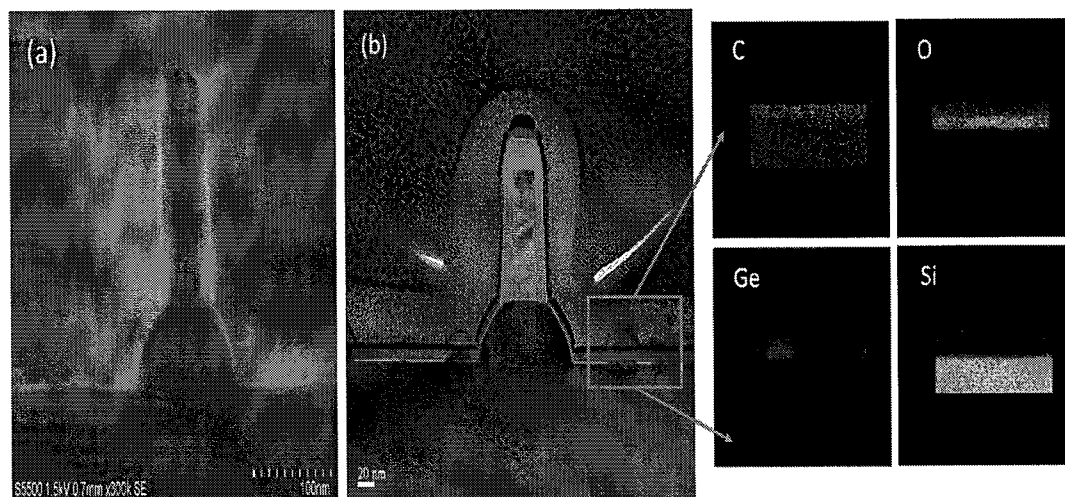


图 4.13 (a) SiGe 生长质量差截面剖视 SEM (b) SiGe 生长质量差截面剖视 TEM 和元素 EDX Mapping 分析

随后对清洗工艺进行了改进，即标准清洗前先将样品处于 100:1 的 HF 溶液中腐蚀 10-30s。利用 HF 破坏硅槽刻蚀中产生聚合物（polymer）里的 Si-O 键，减小 polymer 和硅衬底之间的粘附性，有利于有机 polymer 被剥离去除 [100-102]。改进后，选择性外延生长的 SiGe 薄膜质量很稳定，如图 4.12 中（c）所示。

另外，为了在“HF-last”清洗过程中增强对自然氧化层的去除能力和 SiN 侧墙的腐蚀选择性，实验中采用了稀释的 BOE（Diluted Buffer Oxide Etcher, BOE）溶液，它的配比是将 7:1 的 BOE 溶液和去离子水按照体积比 1:20 稀释，达到对热氧的腐蚀速率约为 4.9nm/min。该稀释的 BOE 溶液可以有效地去除 Si 表面的自然氧化层，而且添加的氟化铵作为缓冲剂来避免氟化物离子的过快消耗，以保持稳定的蚀刻速率。

经过 HF 去除 Si（100）表面氧化层，可以在 Si 表面留下 SiH 层，有效阻挡隔离空气中的氧氛围[103, 104]。由于 F 和 Si 原子之间的极性差别比较大，所以 Si-F 键有较强的极性，当 F 原子到表面时可以影响表面的 Si-Si 键极化，极化的 Si-Si 键更容易与 HF 反应生成 SiF_x[105]。同时表面的 Si-Si 键将会被稳定的 Si-H 键替代。一旦在样品 Si 表面形成了 H 键，它就可以抑制表面自然氧化层的快速生长，但是在图形衬底硅表面形成 Si-H 键比裸硅片要难。所以采用 DBOE 溶液中去除自然氧化层的过程中，在没有出现 HM 和 STI SiO₂ 过腐蚀时，尽量延长 DBOE 腐蚀时间，促进 Si 表面 H 键的形成。如果进行 DBOE 过量的腐蚀，将会造成假栅顶部两端的 HM SiO₂ 被部分腐蚀掉，曝露在外假栅就会在选择性外延的过程中容易形成“mushroom”缺陷，增加选择性外延工艺的难度。图 4.14 图（a）和（b）中 22nm 平面 PMOS 器件集成样品中经过 HF 漂洗时间过长的漂洗，在 SiGe 选择性外延生长过程中出现了“mushroom”。在 16nm FinFET PMOS 器件集成中，不仅会出现栅极顶端的“mushroom”，而且在 STI 区域 SiO₂ 损失也会过多（图 4.15（b）），造成器件过大的漏电流。因此，DBOE 腐蚀的关键是保持表面自然氧化层去除干净的同时还要选择适度的腐蚀时间。

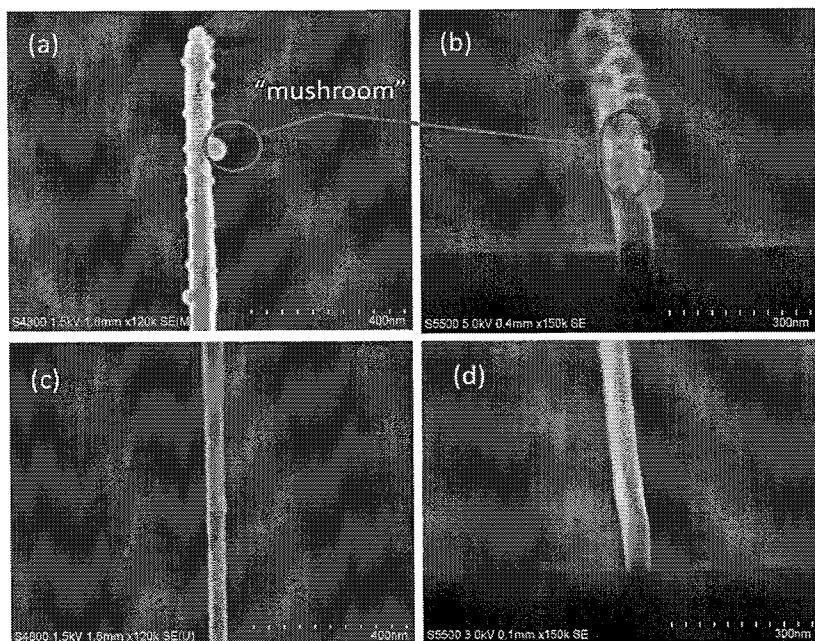


图 4.14 22nm PMOS 器件 HF 酸过腐蚀 SiGe 外延生长 (a) 顶端俯视 SEM 图 (b) 栅极剖视 SEM 图 和 HF 酸适度腐蚀 SiGe 外延生长 (c) 顶端俯视 SEM 图 (d) 栅极剖视 SEM 图

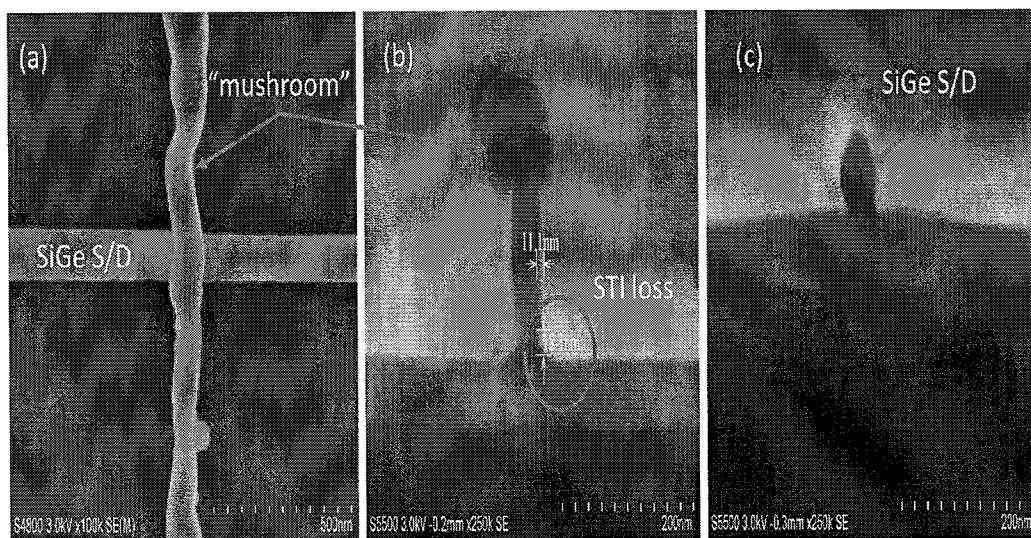


图 4.15 FinFET PMOS 器件 HF 酸过腐蚀 SiGe 外延生长 (a) 顶端俯视 SEM 图 (b) 栅极剖视 SEM 图 (c) 源漏截面 SEM 图

所以经过外延前界面清洗工艺的研究和优化，确定了 SiGe 源漏集成过程的清洗工艺步骤：预先采用 100:1 的氢氟酸溶液清洗，再进行 SPM 和 APM 步骤清洗，最后的“HF-last”工艺采用 DBOE 溶液清洗。根据 HM SiO₂ 的厚度和 STI SiO₂ 的损失选择合适的腐蚀时间（约 60s），并控制样品在 DBOE 溶液清洗干燥后进

入外延设备时间不超过 10min。

4.4.2 预烘烤工艺对源漏集成的影响分析

经 DBOE 溶液腐蚀过的 Si 表面有一层薄自然氧化层 (Native Oxide)，此氧化层在外延薄膜生长前必须去除干净，这也是外延薄膜生长工艺中最关键的一步。通常将外延工艺中高温去除硅表面自然氧化层或者残余杂质 (Residual impurities) 的过程称之为预烘烤 (Pre Baking)，也叫外延原位清洗。预烘烤去除自然氧化层的主要原理是把样品表面处于高温 H_2 还原氛围里将氧化层还原去除，露出 Si 表面进行单晶材料外延生长。高温预烘烤过程发生的反应如式 (4.1) 和 (4.2)：



以上主要发生的是还原反应，还原剂将 SiO_2 中的氧置换出来，而且随着温度的上升，还原反应发生的越剧烈。预烘烤对裸硅片和有图形衬底的处理温度不同，裸硅片在 H_2 气氛中进行 $1050^\circ C$ 、2min 的处理，可以充分去除硅表面自然氧化层；而图形衬底因为器件集成热预算的限制，需要更低的温度进行预处理。特别是 22nm 小尺寸及以下技术代器件集成应用时，器件需要更少热过程来保护外延前的注入掺杂和源漏形貌。为了进一步研究预烘烤过程对源漏凹槽和 Fin 的形貌影响，对 22nm 平面和 16nm FinFET 器件结构片做了一系列实验，评估预烘烤工艺的影响。通常，可以通过 SEM 或 TEM 观察源漏形貌的变化判断预烘烤工艺的效果，而自然氧化层的去除效果通过外延 SiGe 薄膜的质量来进行判断。

4.4.2.1 温度对预烘烤工艺的影响

将带有“ Σ ”形貌的结构片进行不同温度作用的烘烤，然后用 SEM 观察烘烤前后“ Σ ”形貌的变化。图 4.16 中 (a) 是带有“ Σ ”形貌的结构片，(b) 是将此结构片在常压时 $900^\circ C$ 烘烤 3min 后截面的 SEM，结果表明经过 $900^\circ C$ 常压烘烤的样品中的“ Σ ”形貌消失不见，在栅氧下的 Si 发生了明显损失。

为了进一步确认 SiGe 生长质量有没有受到影响，选择一片带有“ Σ ”形貌的结构片在清洗后直接进入腔体不做烘烤直接在 $650^\circ C$ 时选择性外延生长 SiGe 薄膜，如图 4.17 中的 (a)。而另一个结构片按照在 $900^\circ C$ 烘烤 3min 后选择性外延生长 SiGe 薄膜，图 4.17 中的 (b) 所示。结果发现，没有高温烘烤过的样品的

“ Σ ”形貌结构可以保持，但是由于 Si 表面的自然氧化层没有去除干净，所以生长的 SiGe 薄膜质量很差；而高温下烘烤的样品，出现了 Si 损失，“ Σ ”形貌的结构被高温破坏消失。

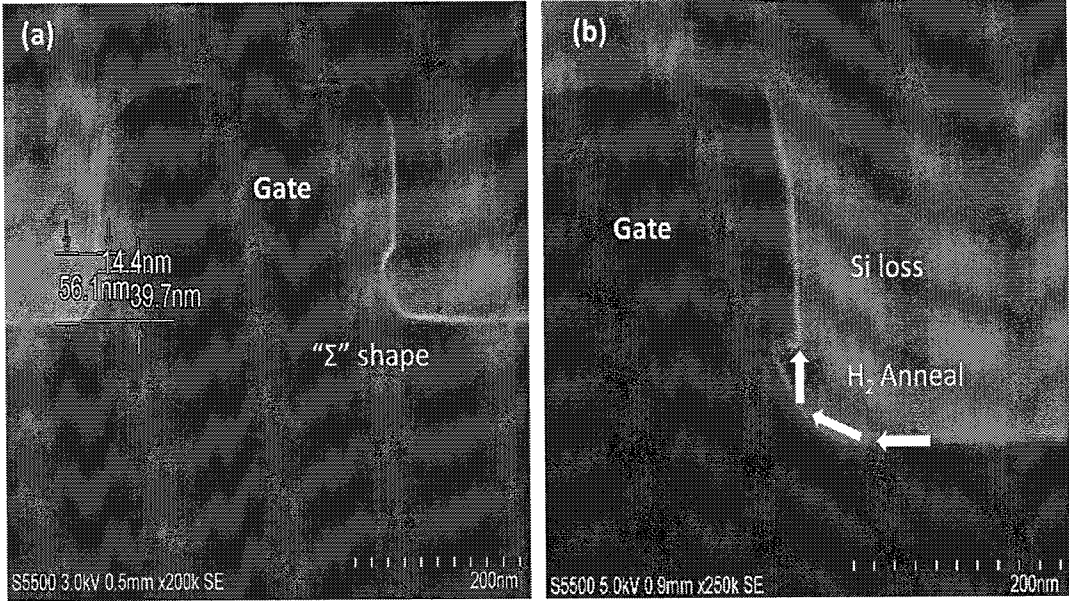


图 4.16 (a) 带有“ Σ ”形貌的结构片截面形貌 (b) 带有“ Σ ”形貌的结构片 900℃常压下烘烤 3min 截面形貌

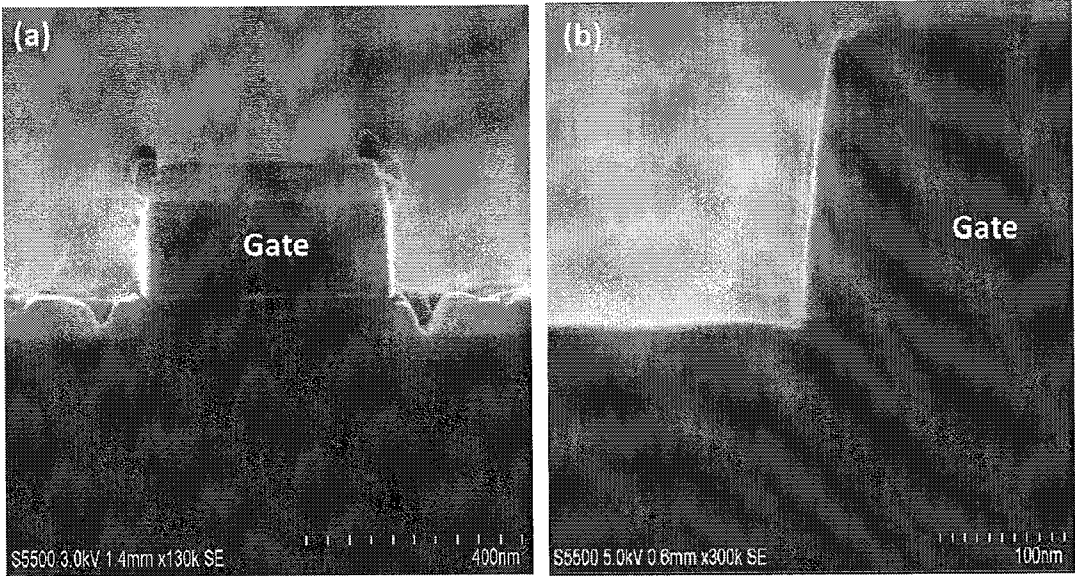


图 4.17 (a) 带有“ Σ ”形貌的结构片截面形貌没有烘烤生长 SiGe 形貌 (b) 带有“ Σ ”形貌的结构片 900℃常压下烘烤 3min 生长 SiGe 截面形貌

经分析出现这样的结果有两个主要的原因，其中一个是腔体的表面因为多次

生长薄膜后含有 Cl 基的薄膜残留, Cl 基在高温时会对表面的 Si 有刻蚀作用, 随着温度的提高这种刻蚀效果在常压时会更明显, 如图 4.17 (b) 中所示。另一个原因是经过等离子体刻蚀形成的源漏凹槽硅的表面势能较大, 而且 Si 热膨胀系数比氧化硅大, 在高温下 H_2 的作用时表面容易发生硅迁移 (Migration) [106] 引起表面形貌的改变。硅迁移中表面的硅原子向势能较低的地方迁移, 如图 4.17(b) 中箭头所示的 H_2 气流方向相反, 硅迁移的现象在低压时会更显著。小尺寸器件 SiGe 源漏集成时源漏 Si 损失对沟道的几何尺寸影响较大, 而且预先设计的沟道应变增强的效果也会减弱, 所以在器件集成时必须选择合适的预烘烤工艺解决这些问题。

因此, 保持常压继续降低烘烤温度研究烘烤工艺对源漏形貌和薄膜生长质量的影响。研究发现当温度降低到 825°C 时“ Σ ”形貌会略有变形, 800°C 时“ Σ ”形貌可以保持, 同时 SiGe 薄膜可以生长的很好 (图 4.18 中 (c)), 但是当烘烤温度低于 800°C 时 SiGe 的形貌可以保持, 但是 SiGe 薄膜的质量很差, 主要是由于表面的自然氧化层没有去除干净, 实验的结果在表 4.1 中总结。

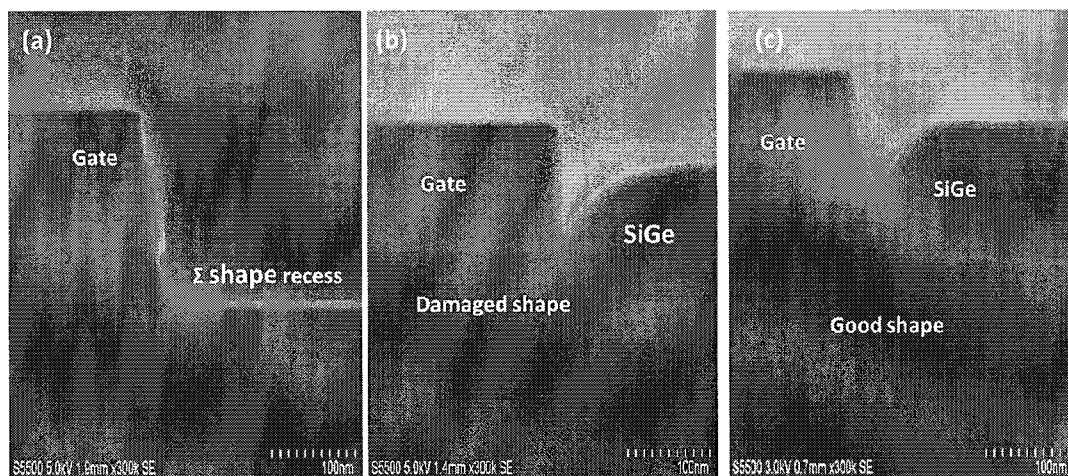


图 4.18 预烘烤温度对结构片源漏形貌的影响 (a) 烘烤前“ Σ ”的形貌 (b) 825°C (c) 800°C

在 22nm 平面器件源漏集成中测试 800°C 烘烤条件下的 Si 损失为 4nm , 825°C 下为 6nm 。最终优化确定烘烤的工艺窗口为 800°C - 825°C , 烘烤的压强为常压, 烘烤的时间为 $3\text{-}7\text{min}$ 。

表格 4.1 SiGe 烘烤温度和源漏形貌生长质量之间的关系

温度 (°C)	700	750	800	825	850	900
Σ -形貌	保持	保持	保持	略变形	消失	消失
SiGe 质量	差	差	好	好	好	好

相对于 16nm FinFET 三维器件，预烘烤工艺对器件集成显得更为关键和重要。如果设计的 Fin 几何尺寸和体掺杂的浓度在工艺过程中发生改变会影响 FinFET 器件的 V_T 和载流子的分布[107]，而这些参数都和工艺过程中热预算相关。所以 FinFET 器件集成前也准备了样片进行一系列不同烘烤温度的实验。图 4.19 中对 FinFET 样片在外延腔体中做了 740°C-825°C 不同温度的烘烤实验，烘烤的压强为常压，时间为 7min。图 4.19 中的 (a) 是没有做外延的参照样品，可以看到硅 Fin 的结构没有受到破坏。当烘烤温度设置在 825°C 时，SEM 下观察硅 Fin 顶端和 SiGe 界面已经不能分辨，推测硅 Fin 顶端的形貌已经被破坏掉，为了进一步分析高温过程对 Fin 形貌的影响，对烘烤后的样品进行了 TEM 分析（图 4.20）。

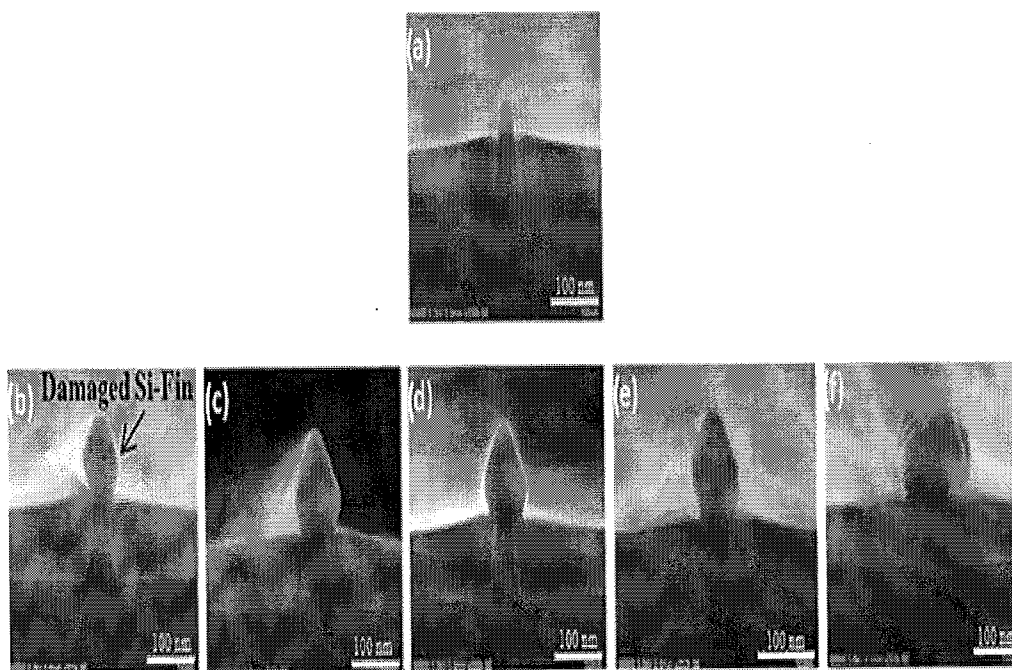


图 4.19 预烘烤温度对 Fin 形貌影响的 SEM 图 (a) 烘烤前 Fin 的形貌 (b) 825°C (c) 800°C (d) 780°C (e) 760°C (f) 740°C

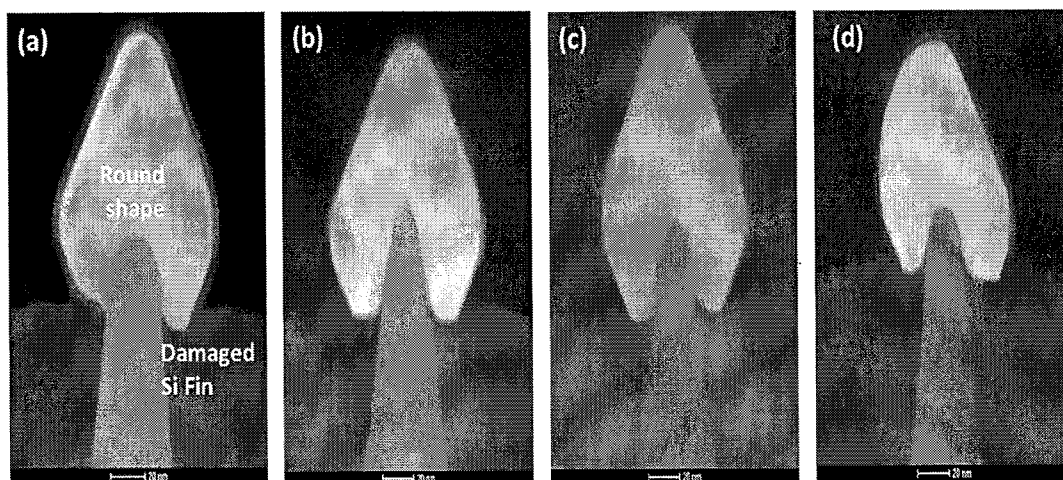


图 4.20 预烘烤温度对 Fin 形貌影响 TEM 分析 (a) 825°C (b) 800°C (c) 780°C (d) 760°C

在图 4.20 TEM 分析 (a) 中可以清晰地看到 825°C 烘烤温度条件时的硅 Fin 顶端结构已经被破坏, 出现了 Si 的损失和 Si 往两侧 STI oxide 方向迁移流动导致 Fin 的尺寸变大的现象, 但是 SiGe 薄膜外延质量好。当烘烤温度在 800°C 及以下时可清楚地看到硅 Fin 和外延 SiGe 的界面, 硅 Fin 顶端形貌保持的较好。但是当烘烤温度降低到 760°C 和 740°C 时, 外延 SiGe 形貌不再沿 Fin 呈对称结构 (图 4.19 (e) 和 (f)), 并且外延的质量变差, 薄膜在 Fin 上高低起伏, 粗糙不平 (如图 4.21 中 (d) 和 (e) 所示), 主要是因为烘烤温度较低时, 不能将硅 Fin 表面的自然氧化层去除干净, 影响了 SiGe 生长的质量。

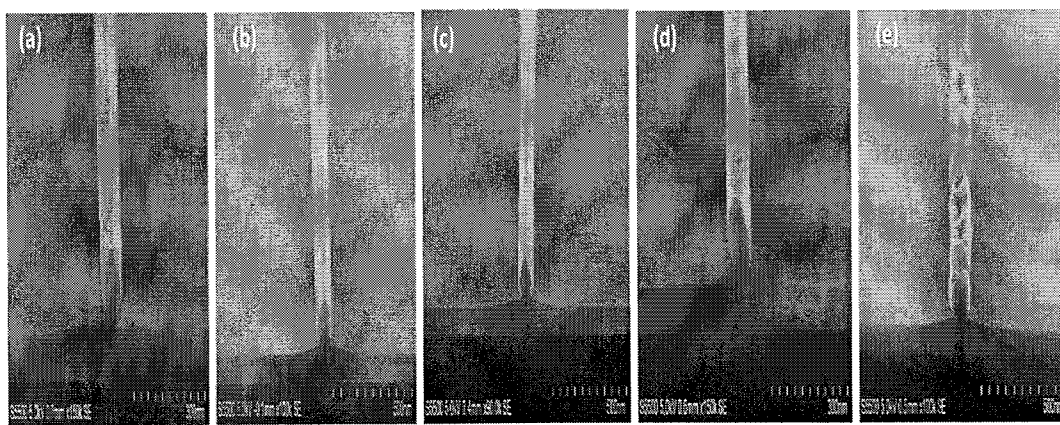


图 4.21 预烘烤温度对 Fin 表面形貌影响正面俯视 SEM 图 (a) 825°C (b) 800°C (c) 780°C (d) 760°C (e) 740°C

表格 4.2 中总结了烘烤温度对 Fin 形貌和 SiGe 生长质量的影响。和 22nm 平面器件趋势一样，Fin 顶端形貌随着烘烤温度的升高而形变加剧，低温烘烤时可以保持形变，但是 SiGe 外延质量较差。16nm FinFET 器件集成时常压（ATM）优选的烘烤温度为 780-800℃，要比 22nm 平面器件集成时低；这主要是因为两种器件源漏集成时裸露 Si 面积大小不同，影响到 Si 表面 H₂ 作用时的气流分布，导致表面自然氧化层的烘烤去除效率不同。

表格 4.2 烘烤温度对 Fin 形貌和 SiGe 生长质量的影响

温度 (°C)	740	760	780	800	825
Si Fin 形貌	保持	保持	保持	略变形	消失
SiGe 生长质量	差	差	好	好	好

4.4.2.2 压强对预烘烤工艺的影响

在高温 H₂ 气氛中进行的预烘烤工艺，处于常压和低压烘烤条件的器件源漏形貌差别很大，腔室的压强必须处于特定的范围。图 4.22 中，将烘烤时的腔体压强强调低到 10Torr，把带有“Σ”结构的样品分别在 800℃-900℃时烘烤 7min，选择性外延生长 SiGe 的条件保持一致。

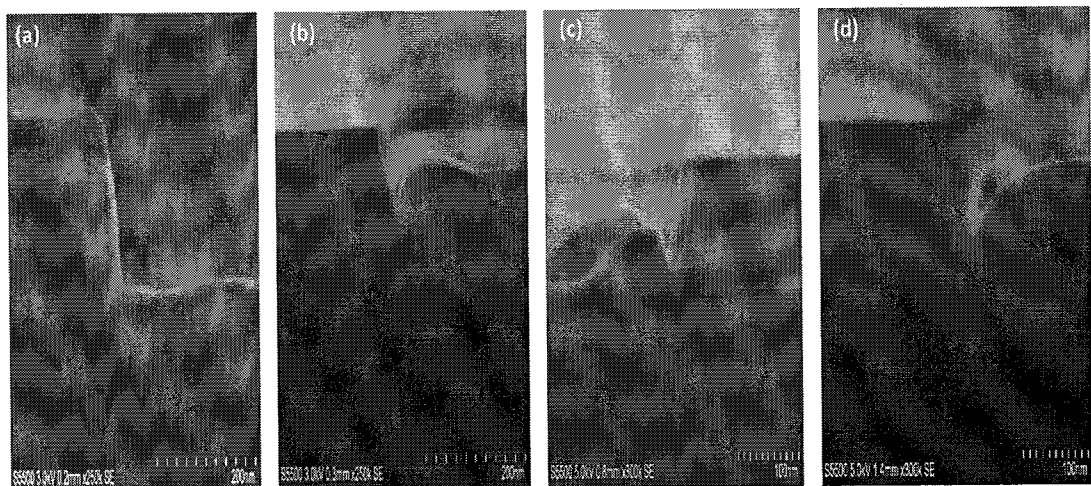


图 4.22 10Torr 压强时不同预烘烤温度对源漏形貌的影响 (a) 900℃ (b) 850℃ (c) 825℃ (d) 800℃

实验结果表明在 10 Torr 压强条件时，处于不同温度烘烤的样品的“ Σ ”形貌均被破坏，消失不见。并且随着温度的升高，在低压下烘烤的表面的硅的迁移现象比常压下更显著，形貌改变很大。同时发现所有样品在烘烤后 SiGe 生长的质量也比常压下差，样品表面高低起伏、粗糙不平，尤其是在低温下更明显（图 4.23（b）和（c）），高温 900℃ 时生长质量有所改善。经分析出现这种现象的主要的原因是：当腔室的压强处于低压时， H_2 流速加快并快速带走硅表面的热量，衬底的热量也迅速补偿到硅的表面，加速了硅的迁移；由于 H_2 流速加快，腔体中残余的 Cl 也会被快速带走，所以 Si 刻蚀的现象发生不明显，但是快速流动的 H_2 和自然氧化层接触的时间也不充分，没有充分还原去除表面的自然氧化层，所以整体 SiGe 生长质量欠佳。

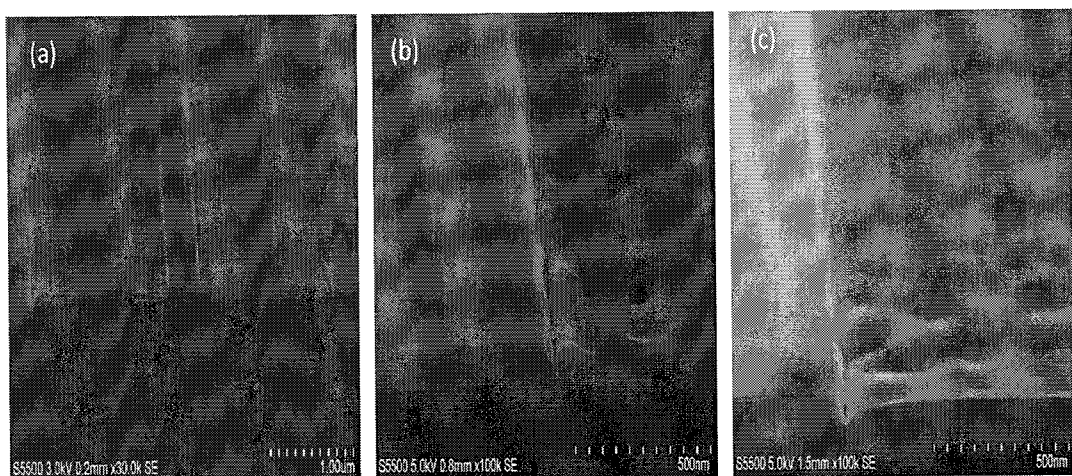


图 4.23 10Torr 压力下不同预烘烤温度 SiGe 外延生长 (a) 900℃ (b) 825℃ (c) 800℃

而 16nm FinFET 器件在低压条件时进行的预烘烤对 Si Fin 的形貌影响更大。为了精确评估在预烘烤工艺常压和低压作用前后硅 Fin 发生的形貌以及尺寸大小变化，对具有相同 Fin 结构和尺寸的样品在 800℃ 条件下选择不同烘烤压强分别进行实验。图 4.24 是 FinFET 样品在外延前对 Fin 的形貌进行测试的 SEM 图，图（b）中呈现出 Fin 的形貌完整，Fin 的顶部两端带有角度，其中顶端 Fin 的尺寸的测量结果是 17.9nm，如（c）图中所示。

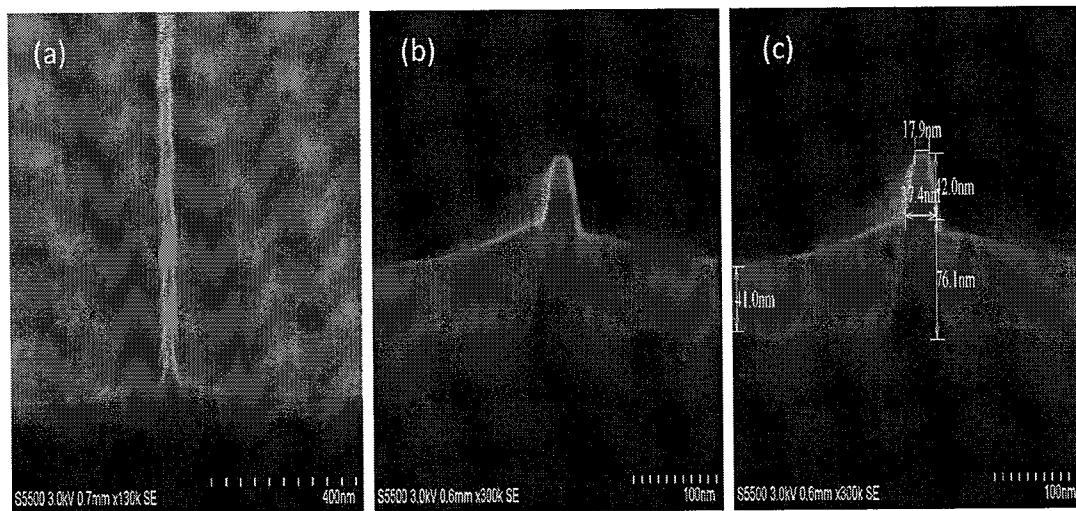


图 4.24 预烘烤前 Fin 的表面形貌 (a) 正面俯视 SEM 图 (b) 截面 SEM (c) 量测尺寸的截面 SEM

图 4.25 是 FinFET 样品在常压作用时对 Fin 的形貌进行监测的 SEM 图，结果发现 Fin 顶部两端的角消失并变得圆滑（图 4.25 中 (b)），Fin 顶端的尺寸变尖变小，经图 4.25 (c) 中测试只有 12.4nm。

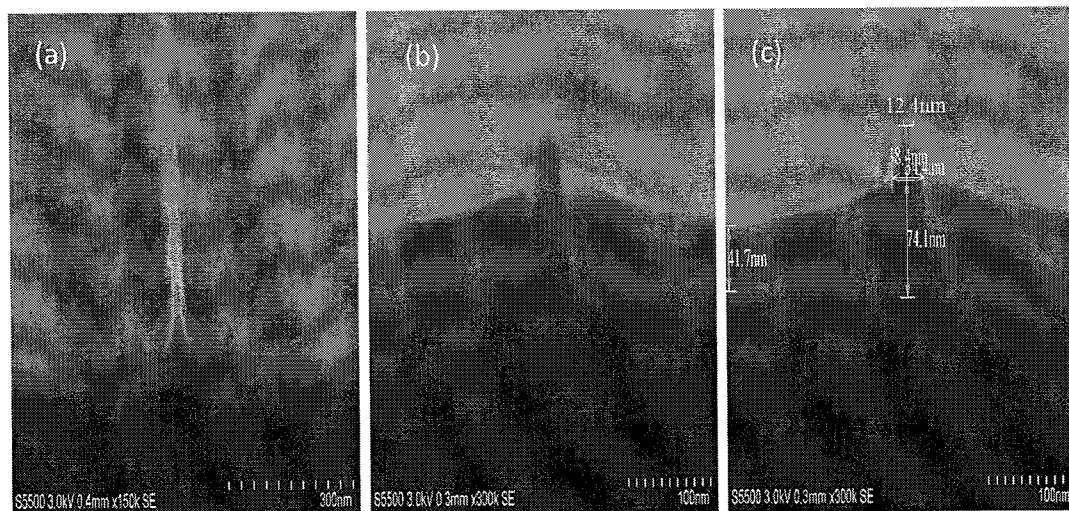


图 4.25 800°C 常压烘烤 Fin 的表面形貌 (a) 正面俯视 SEM 图 (b) 截面 SEM (c) 量测尺寸的截面 SEM

当样品在低压进行预烘烤时，发现 Fin 的高度变矮，表面形貌变化很大。如图 4.26 中 (b) 所示 Fin 的顶端变很圆滑，对比图 4.25 中的(a)发现整个 Fin 的表

面粗糙度改善很多(4.26 中的(a))。另外在(c)图中测试 Fin 顶端尺寸为 21.5nm, 比烘烤前和常压下烘烤的顶端的尺寸要大, Fin 最宽处的尺寸也略有变大。

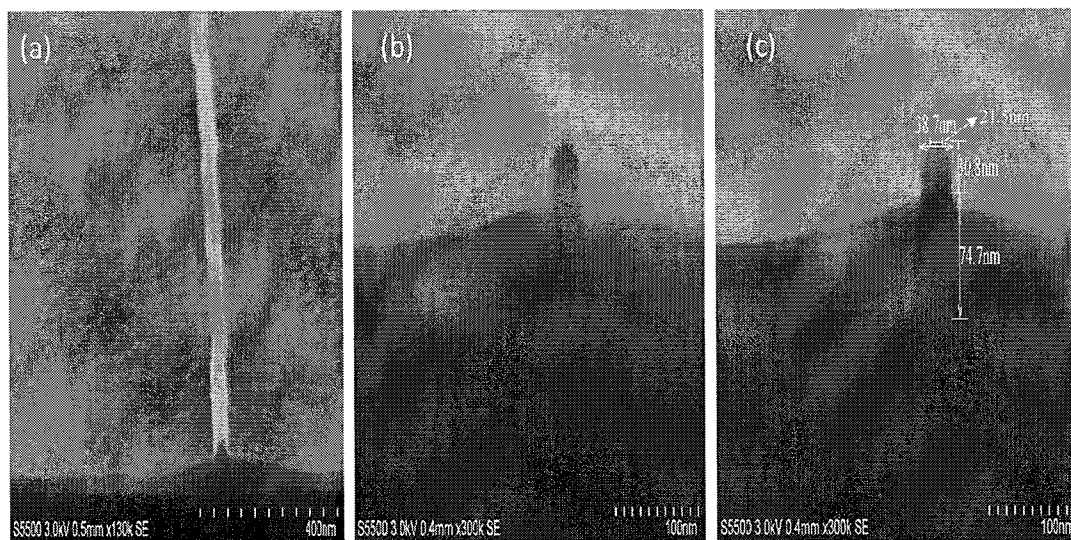


图 4.26 20 Torr 800°C 下烘烤 Fin 的表面形貌 (a) 正面俯视 SEM 图 (b) 截面 SEM (c) 量测尺寸的截面 SEM

表格 4.3 烘烤压强对 Fin 形貌和尺寸变化影响

压强 (Torr)	烘烤前	760	20
Si Fin 形貌	陡直带角	陡直变尖	变矮圆滑
顶端尺寸 (nm)	17.4	12.4	21.5

表格 4.3 中总结了预烘烤工艺中压强对 Fin 形貌和尺寸变化的影响。在常压条件时烘烤会出现 Fin 顶端的硅损失和尺寸变小, 主要的原因是腔体中残余的 Cl 基对 Si 刻蚀起主要作用; 在低压条件时烘烤, Fin 顶端变得圆滑和尺寸变大, 主要是因为低压条件时 Fin 表面的硅迁移起主要作用。

4.4.2.3 烘烤时间对预烘烤工艺的影响

在一定温度和压强条件时进行预烘烤工艺, 作用的时间越长, 自然氧化层的去除效果越好。但是考虑到对源漏形貌的影响, 必须要选择合适的时间进行, 要保持源漏形貌不被破坏的情况下去除表面自然氧化层。图 4.27 是在常压时不同烘烤温度去除 SiO₂ 的速率, 是通过测量 SiO₂ 衬底烘烤前后膜厚的变化计算得知。实验结果表明, 随着烘烤温度上升 SiO₂ 去除速率显著增加。因此, 通常裸硅片上外延预烘烤温度设置为 1050°C, 2min 即可去除表面的自然氧化层; 而在低温

800℃时，需要经过至少 7min 的烘烤才能达到 1050℃在 1min 时的去除速率。对于带有不同介质的图形衬底，烘烤去除自然氧化层的情况比较复杂，还需要考虑露出衬底图形密度效应的影响。但是随着烘烤温度上升，为达到同一去除效果烘烤时间减少的规律不变。

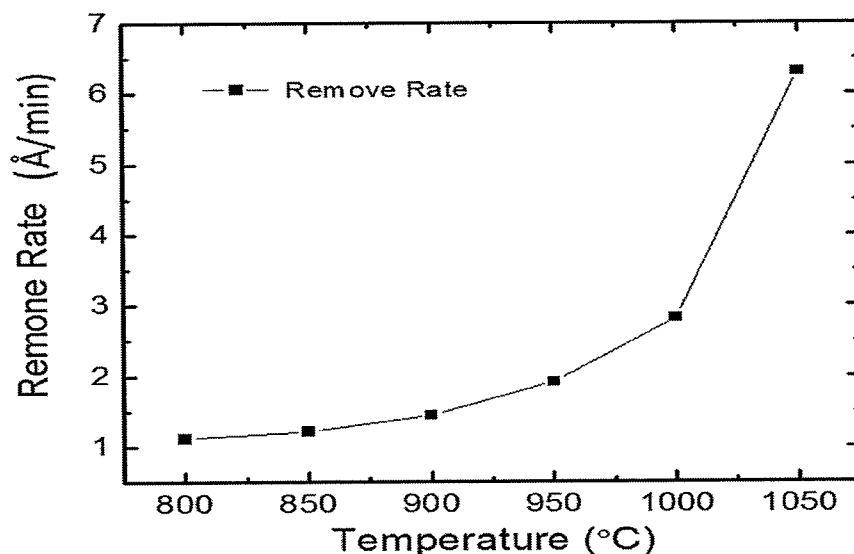


图 4.27 不同温度条件烘烤去除 SiO₂ 速率

4.4.2.4 其它因素对预烘烤工艺的影响

在不同的预烘烤工艺中添加不同气体组分，会对样品带来不同效果的形貌改变。例如在应变硅器件集成应用中，为了在沟道中引入应变材料，在预烘烤过程中加入 HCl 气体，刻蚀一定厚度的 Si 后再选择性外延生长 SiGe 和 Si[108, 109] 形成应变沟道。此外，为了进一步降低外延时预烘烤的温度以及提高自然氧化层的去除效率，有研究人员发现在预烘烤过程中通入 GeH₄ 和 HCl 的混合气，能在 600℃温度时外延高质量的 SiGe[110]。

此外，外延过程中要将硅片装载进入反应腔室的温度设置在低温（小于 500℃），防止在高温时 Si 和表面附着的来自空气中水汽发生再氧化反应，生成的氧化层在烘烤中更难以去除[111, 112]。

还有设备厂商在外延设备里集成预处理腔体，通过等离子体氩气[113]、氢气[114]和用低温下等离子体 NF₃ 和 NH₃ 反应激发 NH₄F 或者 NH₄F·HF 分子去除表面自然氧化层（Siconi Pre Clean）[115]的技术完成原位清洗，再传输进入外延腔

体，进一步降低预烘烤工艺的温度，满足全低温外延生长的需求。

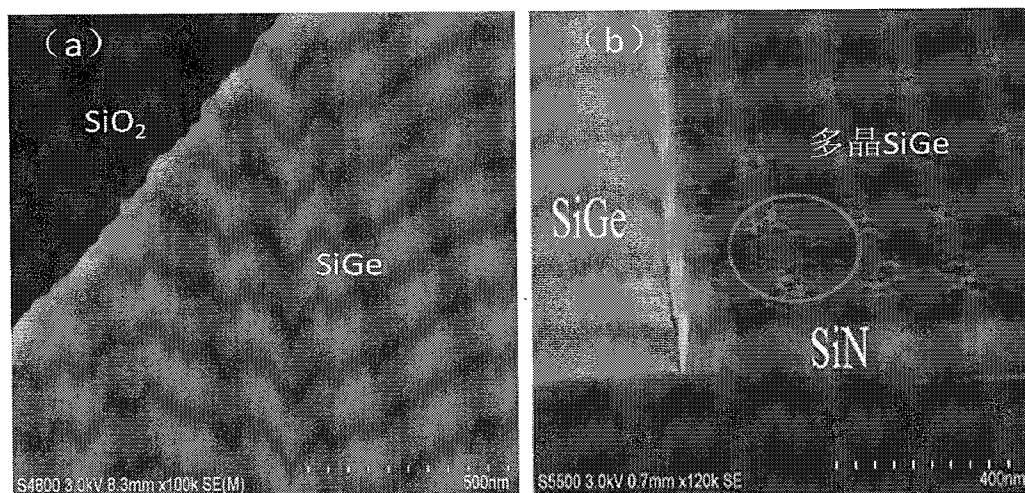
4.4.3 SiGe 源漏外延选择性

在 22nm 平面和 16nm FinFET 源漏器件集成时，需要在源漏区域进行选择性地外延生长，即在 Si 上完成单晶 SiGe 薄膜时在 SiO₂ 和 SiN 的表面没有生长。选择性是选择性外延过程中一项关键的工艺参数，选择性的好坏直接影响器件集成的效果。

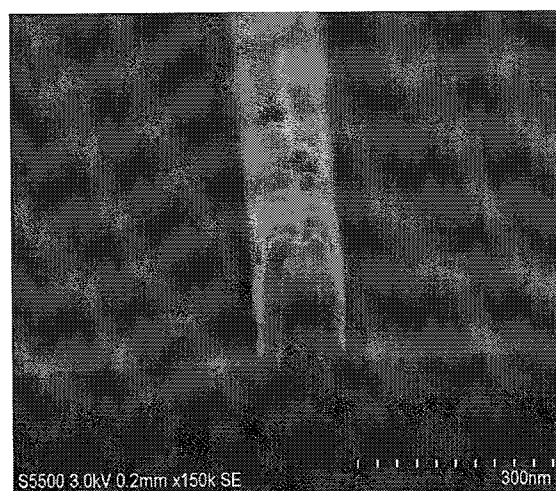
SiGe 在不同类型衬底的表面外延时，其生长晶粒的成核速率不同，存在一个“差分时间”。在不同衬底上外延生长晶粒的“成核时间”长短按照 Si<SiN<SiO₂ 这样的次序，只有超过“成核时间”后才开始成核生长。为了实现选择性外延生长，必须在反应中加入足够的 Cl，以抑制反应开始时掩蔽层表面的成核。而且反应中通入的 HCl 可以将 SiO₂ 和 SiN 表面上形成的 SiGe 聚团刻蚀掉，为了保持 SiGe 外延过程中高的选择性，在低温低压下采用合适气体配比的 DCS、GeH₄ 和 HCl 混合气体进行 SiGe 选择性生长。

图 4.28 中分别在 SiO₂ 和 SiN 衬底上通过光刻和刻蚀开窗口露出 Si，用相同的 SiGe 选择性外延菜单（T=650℃，P=20 Torr，HCL=50 sccm）进行选区外延。结果发现在 SiO₂ 表面没有多晶的 SiGe 聚团生长，如图 4.28 中的（a）；而在 SiN 的表面有许多晶 SiGe 聚团，如图 4.28 中的（b）。结果表明在相同外延条件下实现 SiN 表面高的选择性要比在 SiO₂ 表面通入更多的 HCl 气体，原因是 SiGe 薄膜在 SiN 表面成核速率快，容易生长多晶的 SiGe。

SiGe 在不同衬底表面成核速率的差别主要取决于不同衬底表面吸附的反应基团聚核效应的强弱，而在衬底表面能否形成可以稳定地吸附其他反应原子取决于初始成核的尺寸是否达到了关键成核尺寸[116]。关键成核尺寸正比于薄膜的表面张力系数，这三种薄膜的表面张力系数排列是：Si<SiN<SiO₂，所以在 Si 表面关键成核尺寸最小，最易生长 SiGe，而在 SiO₂ 表面关键成核尺寸最大，在其表面生长 SiGe 成核最慢。

图 4.28 不同介质 (a) SiO_2 和 (b) SiN 中的 SiGe 选择性外延

在器件集成应用时，主要通过反应气体 HCl 用量来调节选择性。如果没有 HCl 就会在 SiO_2 和侧墙 SiN 表面外延生长 SiGe ，将源漏和栅连接起来造成器件短接失效，如图 4.29 中所示。为了研究 HCl 用量对选择性的影响，采用三个样品在不同 HCl 流量时进行选择性外延生长并观察样品截面。图 4.30 中的 (a) 图 SiGe 外延选择性不是很好，在栅顶端的侧壁有“mushroom”（多晶的 SiGe ）没有去除，而且 SiN 侧墙上出现了多晶 SiGe 聚团。(c) 图中当 HCl 流量增大到 85sccm 时，选择性很好，但是在源漏 Si 的凹槽边缘 (111) 和 (110) 晶向的 SiGe 生长速率被完全抑制，未填充满源漏区域。因此 HCl 的流量为 65sccm 时，既能满足选择性的要求， SiGe 生长速率也能满足应用要求，如图 4.30 中的 (c)。

图 4.29 没有 HCl 的 SiGe 源漏选择性外延截面 SEM

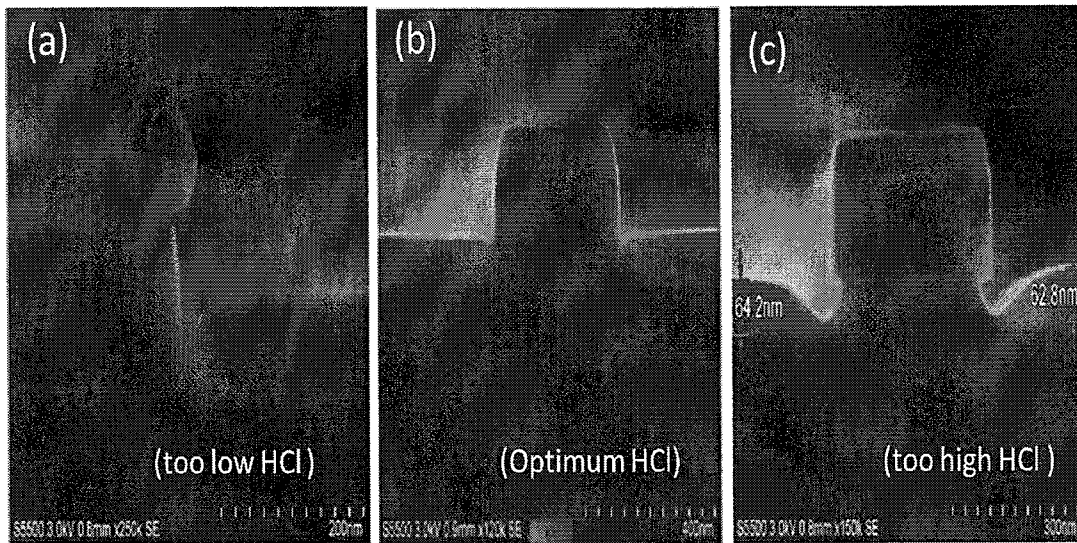


图 4.30 不同 HCl 流量的 SiGe 源漏选择性外延截面 SEM (a) 50sccm (b) 65sccm (c) 80sccm

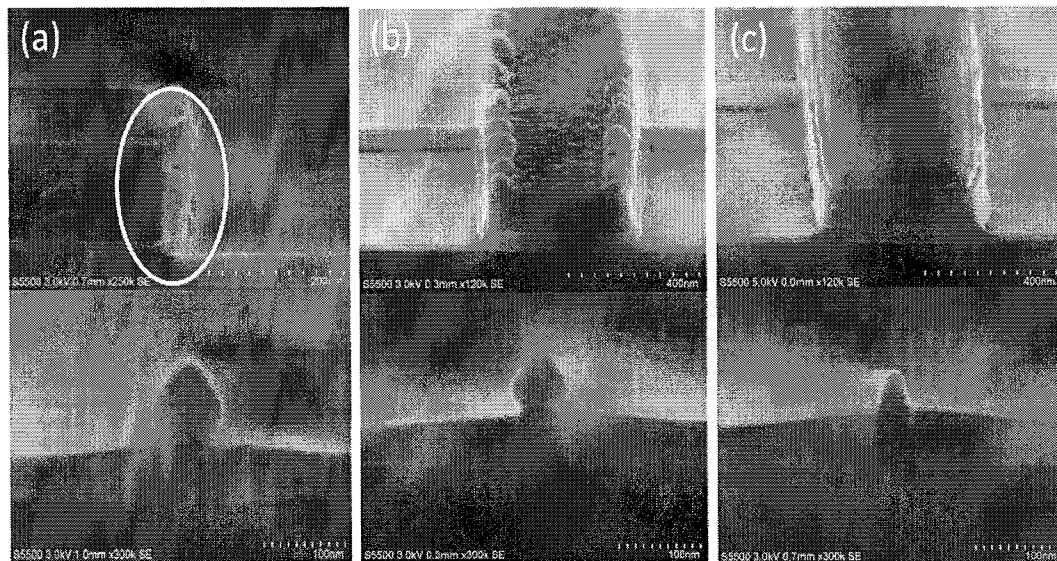


图 4.31 不同 HCl 流量的 FinFET SiGe 源漏选择性外延截面 SEM (a) 50sccm (b) 60sccm (c) 70sccm

同样，16nm FinFET 器件集成过程中也要考虑 SiGe 外延的选择性，但是在不同 HCl 用量作用时 SiGe 外延形貌、栅顶部的“mushroom”的残余和平面器件不同。图 4.31 中是不同 HCl 用量对 FinFET 器件 SiGe 源漏外延集成的影响，图 (a) 中可以很明显看到栅顶端侧面和 HM 交界的地方、SiN 侧墙区域都有多晶 SiGe 的生长，而在 Fin 上 SiGe 外延正常。大流量的 HCl 可以控制在 SiN 侧墙区域不生长 SiGe，但是栅顶端由于过漂洗让假栅裸露在外的部分依然有

“mushroom”产生，可是在 Fin 上 (111) 面的 SiGe 薄膜生长完全被抑制了（图 4.30 (c)）。所以只有选择合适的 HCl 用量，兼顾外延的选择性和生长速率的要求。栅极顶端存在的少量的“mushroom”在 HKMG 集成时会被化学机械研磨（CMP）工艺去除，不会对器件有大的影响。

通过以上研究结果表明影响 SiGe 源漏集成选择性外延的选择性主要影响因素有：

- (1) HCl 的用量：HCl 的用量是影响选择性的关键参数，在外延过程中需要选择合适的 HCl 用量，要保持 SiGe 高质量生长的同时兼顾对 SiO₂ 和 SiN 薄膜的高选择性。
- (2) “HF-last”后处理时间：腐蚀时间过长时，会造成假栅暴漏在外，多晶的 SiGe 非常容易生长，增加了选择性的难度。
- (3) 衬底图形密度的差异：因为 22nm 平面和 16nm FinFET 器件源漏外延时版图中的 Si、SiO₂ 和 SiN 图形面积各不相同，所以在选择性外延过程中需要的 HCl 用量和“mushroom”的产生也不相同。具体的要结合实际的图形密度进行分析，在下一章中会重点介绍相关内容。

4.5 集成 SiGe 源漏器件应变分析

在 SiGe 源漏集成工艺中，源漏产生的沟道应变会受到外延 SiGe 中 Ge 的组分，薄膜的厚度以及后续集成的工艺的影响。通常 SiGe 源漏区域产生的应变可以通过 TCAD 软件仿真预估，源漏 SiGe 的 Ge 组分以及薄膜的应变通过 HRXRD 无损测试分析。

4.5.1 集成 SiGe 源漏器件应变 TCAD 仿真分析

本小节关于集成 SiGe 器件的仿真工作基于 Synopsys 公司的 TCAD（Technology Computer Aided Design）软件 Sentaurus，Sentaurus 是一款先进的 IC 工艺仿真软件，可开发并优化硅基半导体工艺技术以应对当前和未来工艺技术的发展。软件中配备了包含各个工艺模块的模型，包括经过设备供应商提供的的数据校准的默认参数，可提供对纳米级 CMOS 工艺进行预测性仿真的模拟环境。

在整个 SiGe 源漏器件集成工艺中，保持硅片上的工艺及性能一致性在芯片

生产制造中有着非常重要的意义。通常工艺进行中的刻蚀均匀性的变化、SiGe 外延质量及金属硅化物的形成都会导致器件性能的退化。在晶体管设计中,沟道区的载流子迁移率是最重要的参数之一,而沟道处的应变大小又直接决定了该参数的大小。PMOS 器件沟道处的压应变主要由 SiGe 源漏引入的,如果要得到高的载流子迁移率,就需要集成更高 Ge 组分的 SiGe 应变层。另外在工艺集成步骤中,源漏区域形成 Ni 硅锗化物工艺可能会导致应变释放,这主要是因为 SiGe 在被 Ni 硅化过程中会导致 Si 和 Ge 原子之间的晶格失配消失,产生应变弛豫。因此,就非常有必要借助器件应变仿真来了解 SiGe 外延过程中应变的分布和集成过程中的变化,有助于更好地设计 SiGe 源漏的膜层结构。

图 4.32 中 (a) - (f) 展示了 22nm 平面 PMOS 器件不同 Ge 组分的 SiGe 源漏在形成 NiSiGe 前后应变仿真分析结果。仿真结果表明,源漏区域外延 SiGe 后,产生的应变均匀地分布在沟道区域,对应的 Ge 组分分别为 0.35 和 0.4 时产生的沟道应变为 1.0 GPa 和 1.3GPa。尽管在 SiGe 源漏区域顶层设计了低 Ge 组分 ($\text{Si}_{0.8}\text{Ge}_{0.2}$) 层作为牺牲层,但 NiSiGe 形成过程中还是发生了部分应变释放,工艺后沟道应变别减小至 0.6GPa 和 0.8GPa。

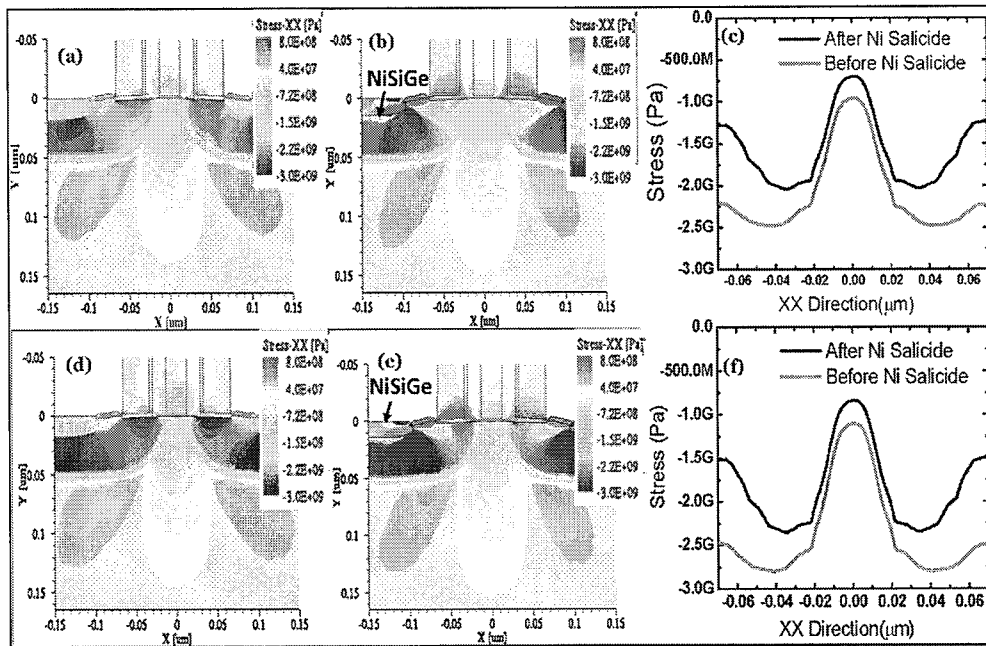


图 4.32 22nm 平面器件不同 Ge 组分 SiGe 源漏在形成 NiSiGe 前后应变仿真分析: $\text{Si}_{0.65}\text{Ge}_{0.35}$ (a) 外延后 (b) NiSiGe 形成 (c) 沟道应力变化和 $\text{Si}_{0.6}\text{Ge}_{0.4}$ (d) 外延后 (e) NiSiGe 形成 (f) 沟道应力变化

在后续集成工艺中, PMOS 器件可通过高压应力的 SiN 覆盖层来继续增强沟道的应变。这些仿真的结果可用来优化 SiGe 集成工艺, 例如 Ge 组分的选择、沟道应变及源漏 SiGe 膜层的设计、NiSiGe 的形成时温度和厚度等, 因为这些参数直接影响到应变释放。TCAD 仿真还可以预估应变释放与形成的 NiSiGe 层厚度之间关系, 故需要控制自对准硅化工艺来保持沟道区域的应变。

16nm FinFET SiGe 源漏集成时, 源漏导致的沟道应变没有平面那么大。本文中的 16nm FinFET 器件没有集成硅化物工艺, 所以为了进一步研究源漏中不同 Ge 组分对沟道应变的影响和选择性外延过程中图形密度效应对 Ge 组分分布的影响, 在图 4.33 中 (a) - (f) 中展示了 16nm FinFET PMOS 器件不同 Ge 组分对沟道应变仿真分析结果。结果表明, 硅 Fin 上外延 SiGe 后, 应变均匀地引入到沟道区, 随着 Ge 组分的增大, 对沟道的应变增大。图中对应的 Ge 组分 $x=0.3$ 、0.35 和 0.4 时, 沟道对应产生的应变分别约为 0.4GPa、0.6GPa 和 0.8GPa。不同 Ge 组分产生沟道应变的仿真结果, 可为后续研究分析选择性外延工艺中的图形密度效应影响提供依据。

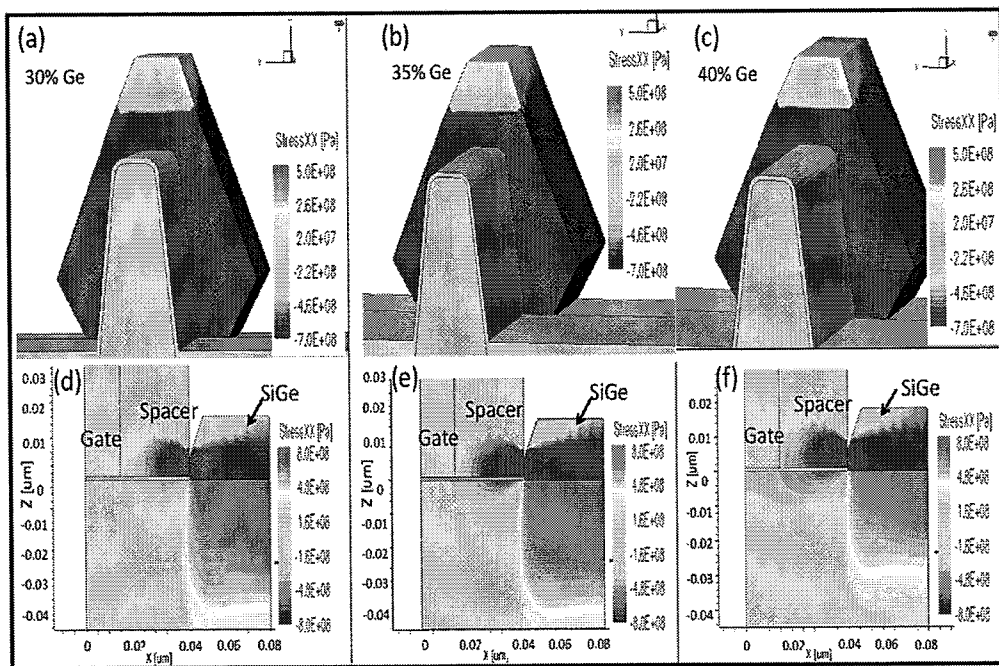


图 4.33 16nm FinFET 器件不同 Ge 组分 SiGe 源漏应变仿真分析: (a) 和 (d) $\text{Si}_{0.7}\text{Ge}_{0.3}$ (b) 和 (e) $\text{Si}_{0.65}\text{Ge}_{0.35}$ (c) 和 (f) $\text{Si}_{0.6}\text{Ge}_{0.4}$

4.5.2 集成 SiGe 源漏器件应变的 HRXRD 分析

在前面章节介绍过 XRD 是一种快速无损的检测 SiGe 薄膜中应变的方法，所以在 SiGe 源漏工艺集成中我们分别对 22nm 平面和 16nm FinFET 器件外延区域进行高分辨率 X 射线衍射仪 (HRXRD) 扫描分析，分析晶圆上不同区域 SiGe 薄膜中 Ge 组分分布和工艺集成过程中应变的变化。并将测试的结果使用 Takagi-Taupin 方程模拟和对比实验中曲线获得高精度的实验数据分析[89]。

在 22nm 平面器件结构片上，采用 HRXRD 扫描处于不同工艺步骤的源漏 SiGe 外延区域，为了精确分析外延 SiGe 薄膜的缺陷和应变，采用非对称面(113)的扫描生成高分辨率倒易空间图形 (High-resolution reciprocal lattice mapping, HRRLM)，从 HRRLM 中可以分析计算出 SiGe 薄膜外延生长水平方向晶格失配 ($f_{\parallel}$) 和垂直方向的晶格失配 ($f_{\perp}$) 以及形成 Ni 硅化物过程中对 SiGe 薄膜应变的影响。如图 4.34 中分别对三个样品做了 HRRLM 分析比较，(a) 图是没有掺杂选择外延的本征 SiGe 薄膜，图中 SiGe 峰在 ω 方向变宽，并且在 $K_{\parallel}$ 方向和 Si 峰非对称分布，偏离 Si 峰应变的位置，表明生长的 $\text{Si}_{0.65}\text{Ge}_{0.35}$ 有部分弛豫，这是因为为了增强 XRD 测试的光强，SiGe 源漏生长厚度比较厚，超过了临界厚度。同时根据式 (3.12) 和 (3.13) 计算 $f_{\perp}$ 和 $f_{\parallel}$ 分别为 19370 和 885ppm，最终计算外延的 $\text{Si}_{0.65}\text{Ge}_{0.35}$ 薄膜有大约 8% 的应变失配。(b) 图中掺杂了 B 的样品，SiGe 的峰位依然和 Si 峰对称分布，并向 Si 衬底峰方向位移，这是因为 B 原子在 SiGe 中掺杂发生了“应变补偿 (Strain compensation)”效应使测试的应变 Ge 组分降低 [117]。SiGe 峰位位移估计为 1500ppm 其对应于掺杂的硼浓度为 $1.8\text{E}20\text{atoms}/\text{cm}^3$ [89, 117]。因为 22nm 器件源漏区域开口很小，而且会受到图形密度效应的影响，不能用 SIMS 测试的方法精确测试 B 元素的掺杂，但是根据上一章在裸硅片上 XRD 和 SIMS 测试校对结果，这种估值计算方法是可靠的。计算 (b) 中的 $f_{\perp}$ 和 $f_{\parallel}$ 分别为 17870 和 30ppm，掺杂后还是保持了 SiGe 薄膜的应变。最后，在 (c) 图中对 b 中的样品增加了低浓度 Ge 层 (x 约为 0.2-0.25) 作为应变牺牲层，目的是为了减少形成 Ni 硅化物过程对源漏 SiGe 应变的影响，因为当 Ge 组分高于 30% 时形成的 NiSiGe 硅化物的稳定性很差 [118]。从 (b) 和 (c) 的测试结果对比表明，Si 和 SiGe 的峰没有漂移以及出现新的特征峰，低浓度的 SiGe 层被 Ni 硅锗化物消耗的同时没有影响到下层的应变核心层 ($\text{Si}_{0.65}\text{Ge}_{0.35}$)。

采用这样 SiGe 应变核心层和应变牺牲层的设计有利于 NiSiGe 的工艺集成和保持工艺过程中源漏的应变不过多损失。

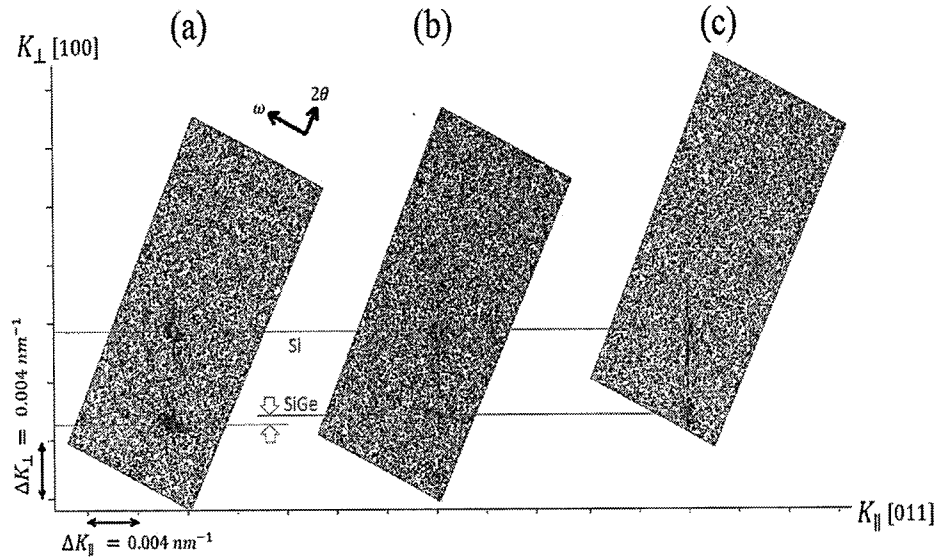


图 4.34 22nm 平面器件 SiGe 源漏薄膜 HRLRM (a) 本征 SiGe (b) 掺杂 B 的 SiGe (c) b 样品含有顶部低浓度 SiGe 层形成 NiSiGe

在 16nm FinFET 器件结构中，通过 HRXRD 检测技术对 Fin 上外延的 SiGe 薄膜的应变检测并不是一件容易的工作。因为硅 Fin 顶端的尺寸很小，即使是外延了 SiGe 薄膜。另外，普通测试的 XRD 设备 X 射线束斑的面积较大，Fin 两端的 SiO₂ 对测试也是一种干扰。为了提高 XRD 对 Fin 上外延 SiGe 薄膜缺陷和应变检测的灵敏度，一样采用非对称面 (113) 代替对称面 (004) 扫描。(113) 面反射入射光束的角度更是低至 2.6°，而 (004) 面为 34.1°，在 (113) 面反射中采用掠入角为 2° 的典型的扫描有利于更多的区域被 X 射线束覆盖，有助于增强 X 射线衍射信号。同时选择 XRD 扫描样品的区域为硅 Fin 密集区用来增强测试的效果。图 4.35 中显示了 (004) 面和 (113) 面的扫描谱线，发现 (004) 面的扫描没有检测出 SiGe 的峰位，光强很弱。在 (113) 面中可以清楚的看到 SiGe 的峰位，而且较宽的峰位表明了应变在 SiGe 中的分布不同，有可能是 SiGe 薄膜应变弛豫或者是不同区域不同 Ge 组分的 SiGe 信号集中到了一起。

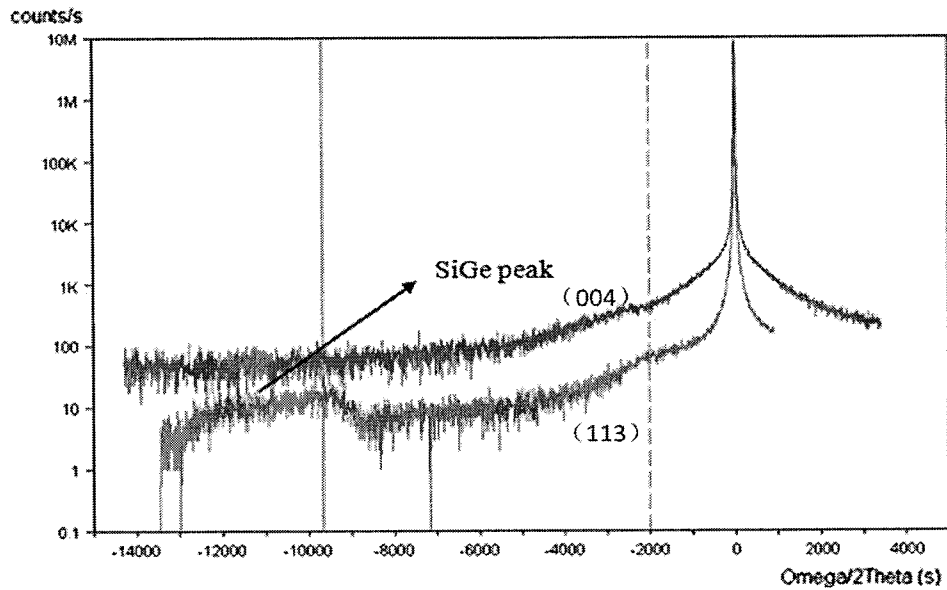


图 4.35 16nm FinFET 器件 Fin 上 SiGe 源漏 HRXRD (004) 和 (113) 扫描曲线

为了更加清楚地分析 Fin 上 SiGe 薄膜中 Ge 的精确组分和薄膜的应变, 将同样的 FinFET 样品送至新加坡同步光源 (Singapore Synchrotron Light Source, SSLS) 和上海同步辐射光源 (Shanghai Synchrotron Radiation Facility, SSRF) 实验室进行微束增强型 XRD 扫描。XRD 束斑的面积是 2mm^2 , 可以有效地提高扫描时的光强。图 4.36 是采用对称面 (004) 扫描的 XRD 曲线和 HRRLM, 从图 4.36 中的 (a) 可以清晰地看到 SiGe 的峰位, 在 (b) 图 HRRLM 中 SiGe 的峰位和硅 Fin 的峰在平行方向上对称, 在一条直线上没有发生偏移, 为应变的 SiGe。

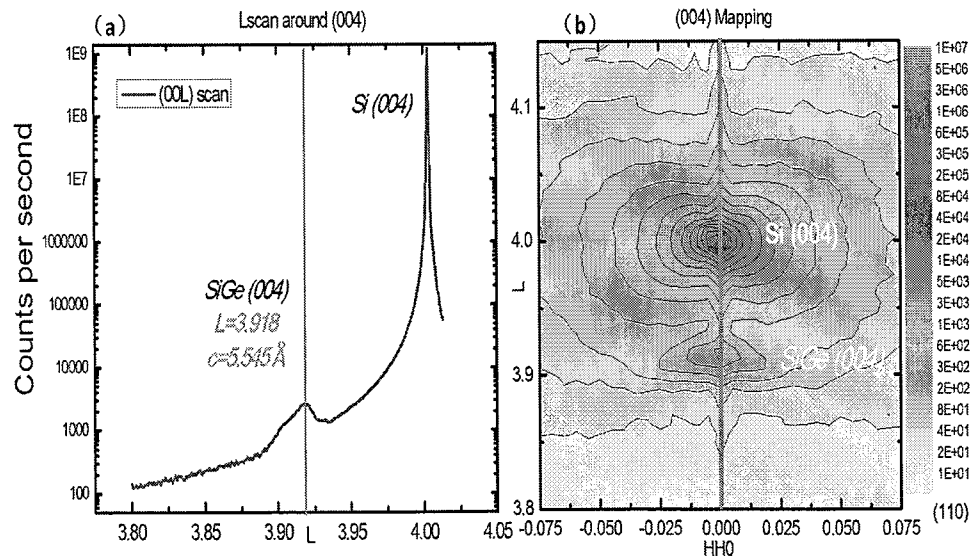


图 4.36 16nm FinFET 器件 Fin 上 SiGe 微束增强型 XRD (a) (004) 面扫描曲线 (b) (004) 面 HRRLM

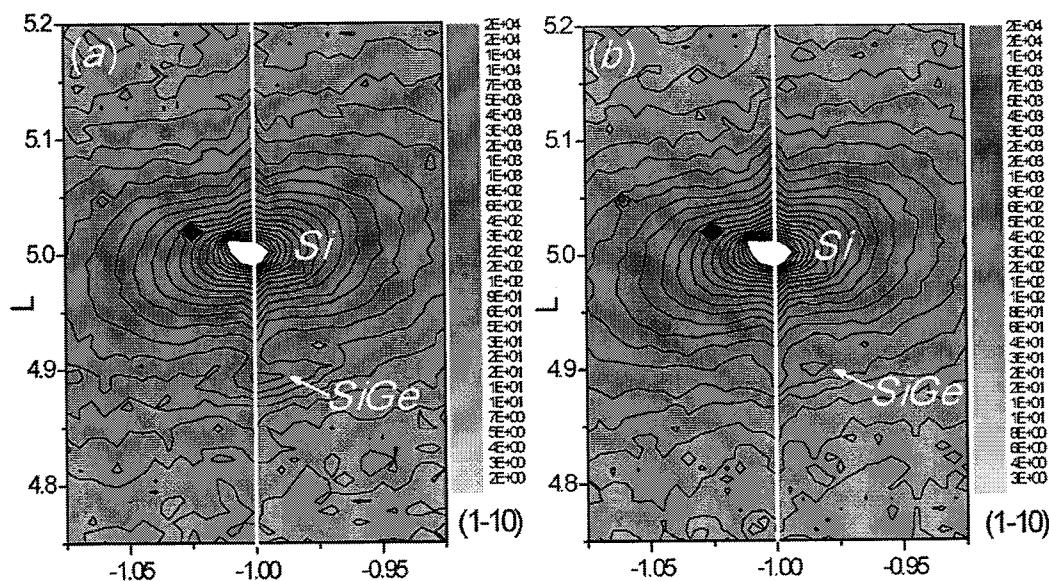


图 4.37 16nm FinFET 器件 Fin 上 SiGe 源漏微束增强型 XRD (a) 中心区域 $(\bar{1}\bar{1}5)$ 面和 (b) 边缘区域 $(\bar{1}\bar{1}5)$ 面 HRRLMs

为了测试 SiGe 薄膜里微弱的缺陷和 Ge 组分采用非对称 $(\bar{1}\bar{1}5)$ 面扫描该样品，同时扫描的区域分别为晶圆的中心和边缘以检验 Ge 的分布是否均匀。图 4.37 中两个区域的 SiGe 峰位均相对于 Si 的峰位有所偏移，表明两个区域的 SiGe 均有部分应变弛豫，其中边缘区域的 SiGe 弛豫要大于中心区域。(a) 图中心区域的 Ge 的组分较低为 35%，边缘区域较高为 40%，这主要是因为边缘区域的 Si Fin 排列比较稀疏，而且周围覆盖有更多的氧化层覆盖导致的。

综上所述，通过仿真工具我们可以模拟 SiGe 源漏集成过程中沟道的应变变化过程，仿真的结果有助于我们改进集成工艺，保持了工艺集成过程中 SiGe 薄膜的应变。而 XRD 测试技术也是一种无损伤的可以快速检测小尺寸器件集成过程中 SiGe 薄膜应变和 Ge 应变组分的工具，特别是微束增强型 XRD 测试技术将在 SiGe 先进器件集成应变检测中发挥更大的作用。

4.6 集成 SiGe 源漏器件 TEM 分析

通过 XRD 技术可以测试源漏区域应变 Ge 组分，而通过 TEM 检测可以精确分析外延 SiGe 和 NiSiGe 膜层的厚度、薄膜的缺陷密度和外延界面处质量等参数。对 TEM 式样同时进行 EDX 分析，可以测试 Ge 在薄膜中的分布和界面处的氧含量。EDX 检测是借助于分析试样发出的元素特征 X 射线波长和强度实现的，根据波长测定试样所含的元素，强度测定薄膜中元素的相对含量。

4.6.1 22nm 平面器件 SiGe 源漏 TEM 分析

图 4.38 是 22nm 平面器件 SiGe 源漏 TEM 分析和 EDX 线扫描元素分析图。

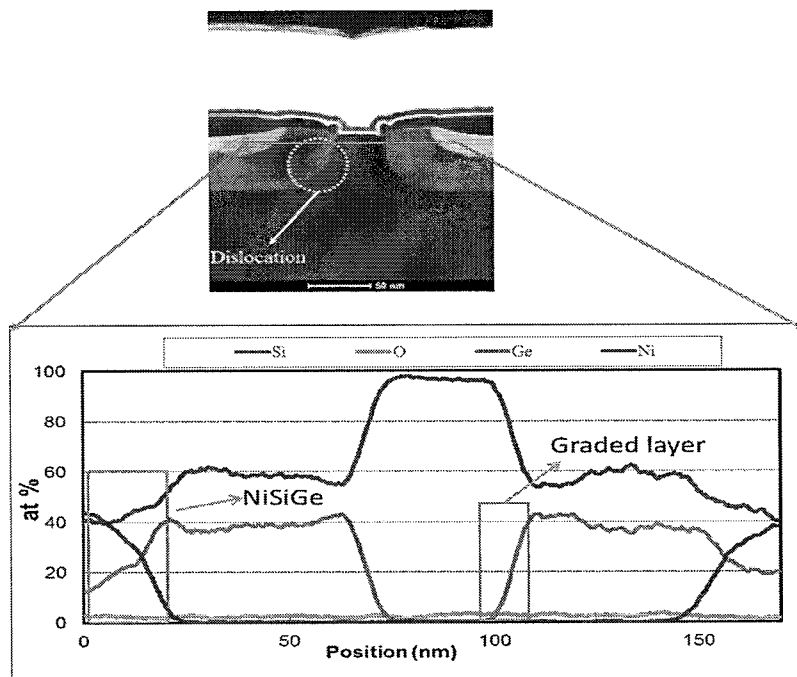


图 4.38 22nm SiGe 源漏 TEM 和 EDX 线扫描元素分析

从 TEM 图中可以观察到 SiGe 薄膜里的缺陷，源漏区域 EDX 线扫描（TEM 图中的水平红线）结果分析表明，SiGe 的生长按照预先设计的先生长应变缓冲层，Ge 组分从 0 缓冲到 0.35-0.4 之间，保持这个浓度生长应变核心层；最上面生长的是 Ge 组分为 0.2 的应变牺牲层供形成 NiSiGe 过中消耗。

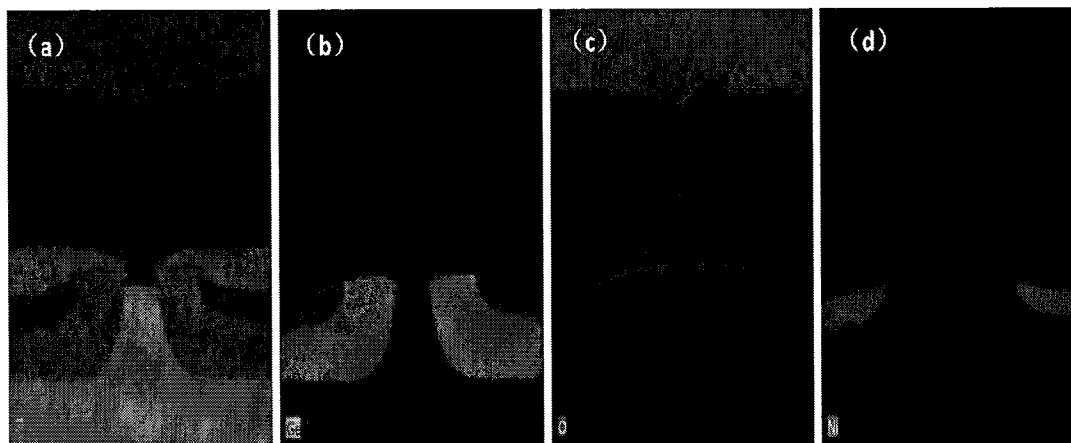


图 4.39 22nm 平面器件 SiGe 源漏 EDX Mapping 元素分析 (a) Si (b) Ge (c) O (d) Ni

为了进一步分析外延过程中 SiGe 和 Si 的界面处 O 的含量和其它元素的分布,对上述样品还进行了元素 EDX mapping 分析。如图 4.39 中(c)所示源漏区域 Si 和 SiGe 的界面并没有 O 的信号,表明所采用的预烘烤工艺已将表面自然氧化层去除干净,(b)图中的 Ge 均匀分布于 SiGe 薄膜中,(d)中 NiSiGe 消耗了顶层低浓度的 SiGe 并未影响到应变核心层。

4.6.2 16nm FinFET SiGe 源漏器件 TEM 分析

图 4.40 与图 4.41 中是两个不同预烘烤温度处理后外延生长 SiGe 薄膜的样品,分别用 TEM 和 EDX 线扫描表征分析了 Fin 上外延 SiGe 薄膜的质量和不同方向上 Ge 浓度的分布。两图中测试氧的组分很高(背景中约有 20%),主要原因是 Fin 的尺寸很小,在做 EDX 线扫描的时候容易受到 Fin 两端 SiO₂ 的干扰,影响到了 Si 组分含量测试,将氧组分的 20%的误差加到 Si 的组分测试曲线中会更合理。Ge 的原子序数比较大,在此 EDX 扫描中受到的干扰较小。

SiGe 薄膜若是在 Si Fin 上生长质量好,就会表现出在 Si Fin 两端的形貌对称分布,这种形貌是否对称也可间接衡量 Si Fin 上表面自然氧化层是否去除干净和 SiGe 薄膜在 Fin 两端相同晶向方向生长速率是否一致。例如在图 4.40 中 800℃ 温度预烘烤处理后生长的 SiGe 薄膜在 Fin 两端分布均匀对称,而在图 4.41 中 760℃ 温度预烘烤处理后生长的 SiGe 薄膜在 Fin 两端分布并不均匀对称。

此外,在图 4.40 中我们检测到了 SiGe 薄膜在 800℃ 前烘烤条件时 (111) and (001) 晶向上的层错缺陷,Ge 的最高含量为 36%左右,而 760℃ 条件时 Ge 的最高含量到了 40%左右。两者 Ge 组分的差异主要是因为较低温度烘烤时外延工艺中的选择性的差异造成了 Ge 组分的变化。但是这些 EDX 测试的 Ge 组分均无法反应 SiGe 薄膜的应变状况。

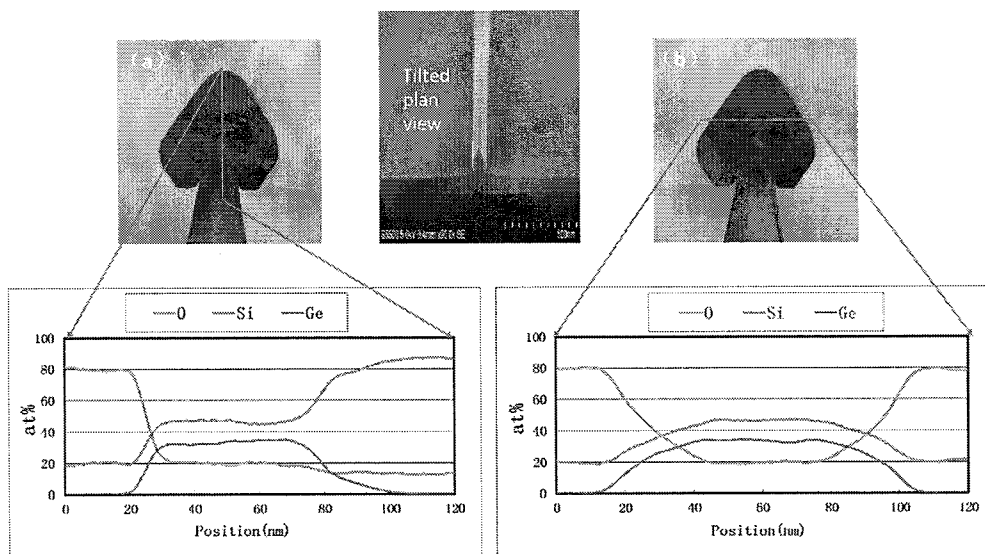


图 4.40 16nm FinFET SiGe 源漏 800°C 预烘烤 TEM 和 EDX 分析 (a) 垂直方向 (b) 水平方向

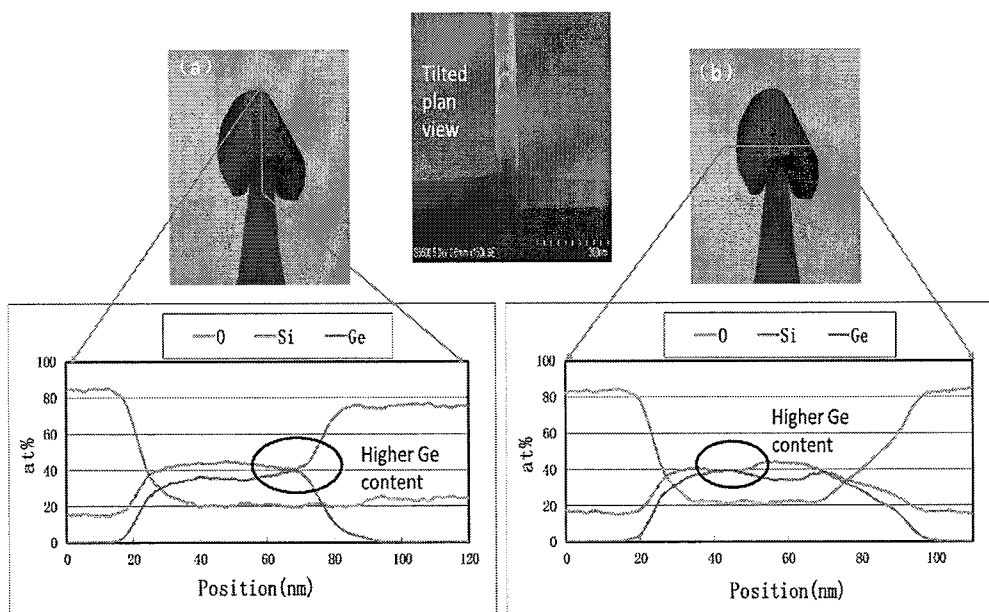


图 4.41 16nm FinFET SiGe 源漏 760°C 预烘烤 TEM 和 EDX 分析 (a) 垂直方向 (b) 水平方向

因为测试背景中有明显的氧峰信号，为了准确验证分析氧的分布，特别是 Si 和 SiGe 的界面处是否存在氧，所以需要进一步通过 EDX mapping 来分析氧的分布。在图 4.42 (a) 中所示 Si 的图谱中，可以看到 Si 均匀分布于 SiGe、SiO₂ 以及 Si Fin 中，而 (b) 中的氧只分布于填充的介质 SiO₂ 中和 SiGe 薄膜的表面，(c) 中的 Ge 只分布于 SiGe 薄膜中。所以在 EDX mapping 分析结果表明氧主要是来自 SiO₂ 薄膜，并非是 SiGe 薄膜和 Si 的界面。

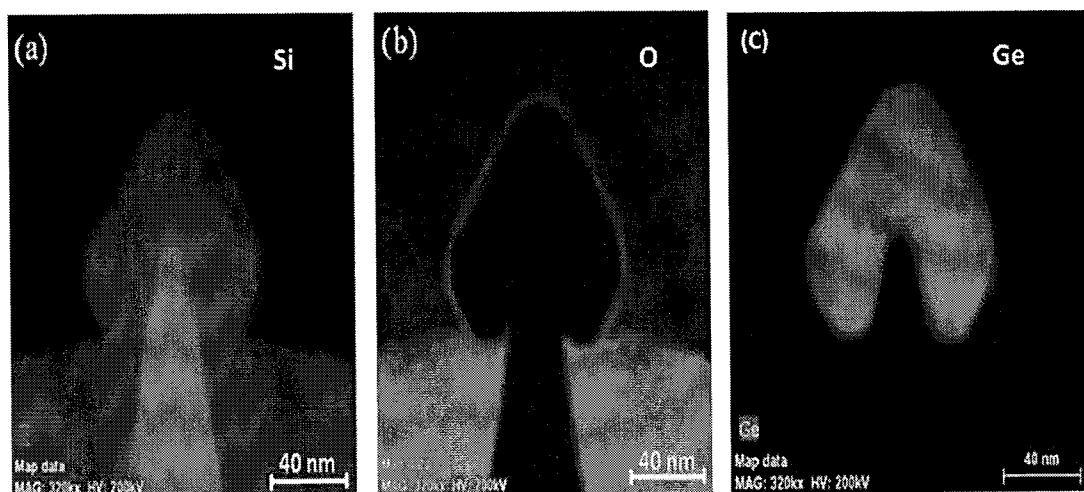


图 4.42 16nm FinFET SiGe 源漏 EDX Mapping 元素分析 (a) Si (b) O (c) Ge

4.7 SiGe 源漏器件电学性能验证

4.7.1 22nm 平面 SiGe 源漏器件电学性能验证

22nm 平面 PMOS 器件里成功的集成了 SiGe 源漏和 HKMG 工艺模块。通过器件电学性能测试结果表明,在其它条件一致的情况时,相比于传统硅源漏的 PMOS 器件,带 SiGe 源漏的 PMOS 器件 I_{on} 得到了约 30%的提升,而器件其它相关性能参数没有太大的变化。

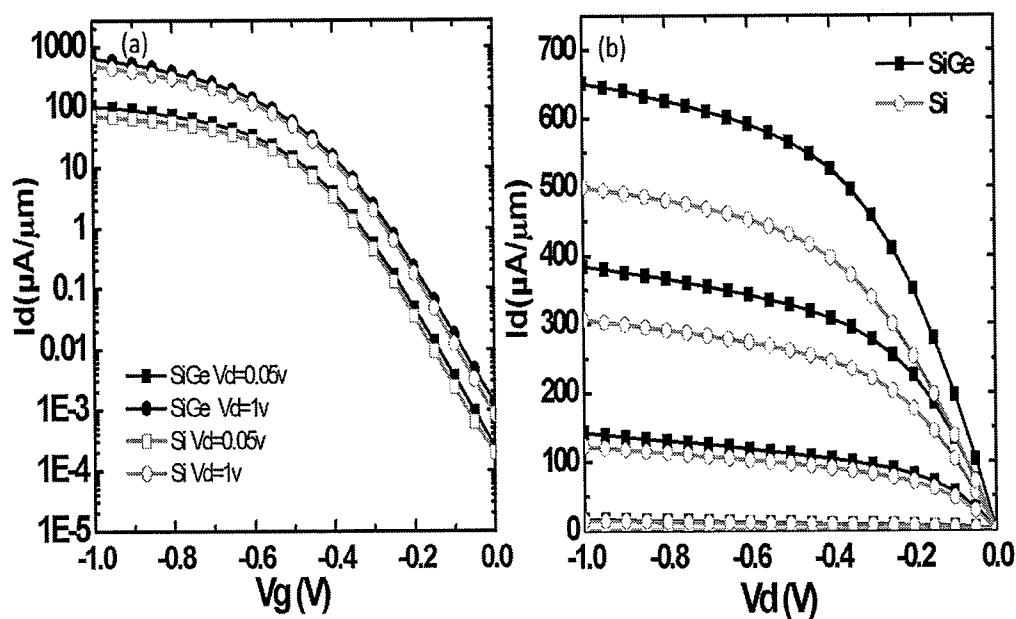


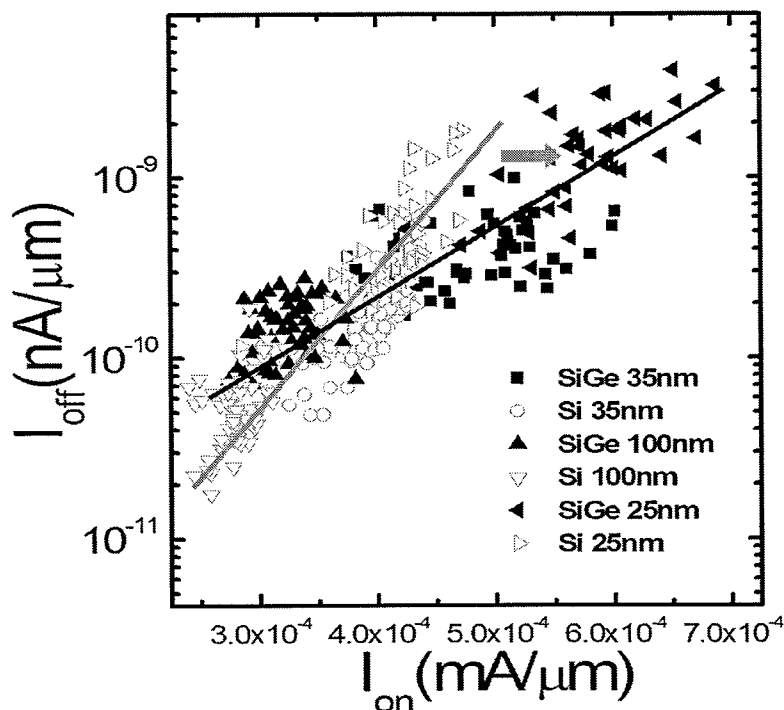
图 4.43 22nm SiGe 源漏 PMOS 器件电学性能测试 (a) I_d - V_g 转移特性曲线 (b) I_d - V_d 输出特性曲线

图 4.43 中的 (a) 是 22nm 平面 PMOS SiGe 源漏器件和 Si 源漏器件 I_d - V_g 转移特性曲线, (b) 是 SiGe 源漏器件和 Si 源漏器件 I_d - V_d 输出特性曲线。Si 源漏和 SiGe 源漏的 PMOS 器件相比, 饱和驱动电流从 $488\mu\text{A}/\mu\text{m}$ 提高到 $639\mu\text{A}/\mu\text{m}$, 而关态漏电流从 $0.83\text{nA}/\mu\text{m}$ 变化到 $1.32\text{nA}/\mu\text{m}$, 主要是因为 SiGe 源漏替换工艺和薄膜中存在的缺陷导致的。表格 4.4 中总结了 22nm 平面 PMOS SiGe 源漏和 Si 源漏的器件电学性能比较。

表格 4.4 22nm 平面 PMOS SiGe 源漏器件电学性能测试总结

参数	L_g (nm)	I_{on} ($\mu\text{A}/\mu\text{m}$)	I_{off} ($\text{nA}/\mu\text{m}$)	V_{tlin} (V)	V_{tsat} (V)	DIBL (V/V)	S.S. (mV/dec)
Si 源漏	25	488	0.83	-0.41	-0.33	77	85
SiGe 源漏	25	639	1.32	-0.40	-0.32	76	87

图 4.44 是统计的器件在不同栅长的 I_{on} - I_{off} 开关比图, 从图中可以看出, 随着栅长的减小, 集成 SiGe 源漏器件的性能提升越来越明显, 这主要是因为 SiGe 源漏对沟道的应变效果随着器件尺寸的缩小越来越大。

图 4.44 22nm 平面 PMOS SiGe 源漏器件电学性能 I_{on} - I_{off} 开关比图

4.7.2 16nm FinFET SiGe 源漏器件电学性能验证

对比分析 16nm FinFET PMOS 集成了 SiGe 源漏和没有集成 SiGe 源漏器件电学性能结果表明, 采用了 SiGe 源漏对器件性能改善很大。图 4.45 中分别给出了 FinFETPMOS 栅长为 30nm 的 SiGe 源漏器件电学性能测试结果。

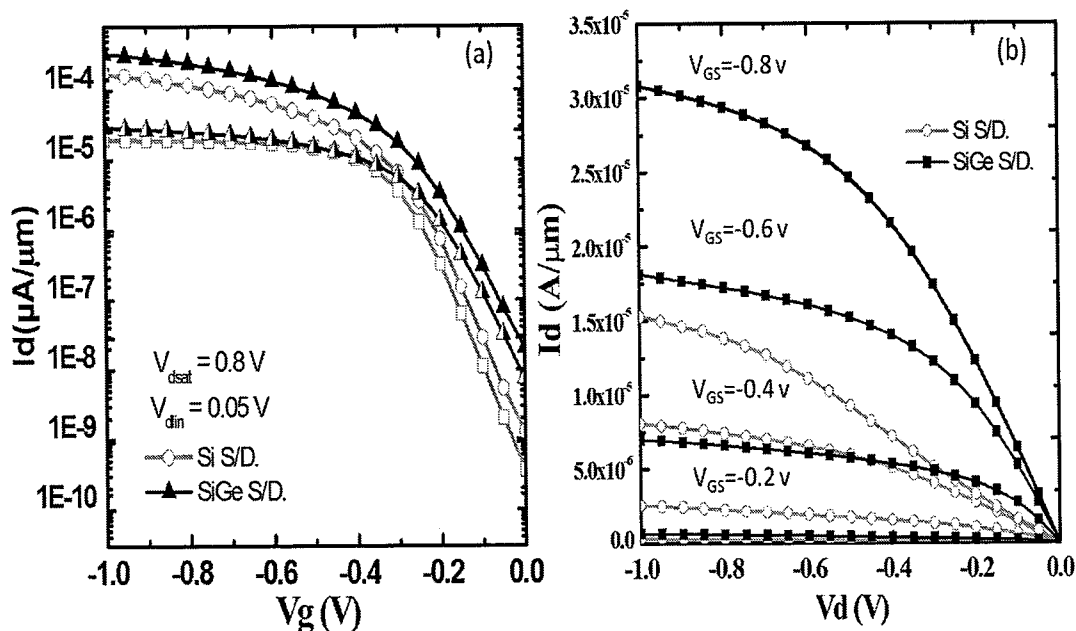


图 4.45 16nm FinFET SiGe 源漏 PMOS 器件电学性能测试 (a) I_d - V_g 转移特性曲线 (b) I_d - V_d 输出特性曲线

图 4.45 结果表明, 集成了 SiGe 源漏的 FinFET 器件性能有了显著提升。分析器件性能提升的主要原因有两点:

- (1) 集成了 SiGe 源漏对沟道产生应变, 增强了沟道载流子迁移率, 提取出 Ge 组分为 0.35 和 0.4 的器件的迁移率分别为 $81\text{ cm}^2/\text{V}\cdot\text{s}$ 和 $88\text{ cm}^2/\text{V}\cdot\text{s}$, 相较于 Si 源漏迁移率 ($\sim 70\text{ cm}^2/\text{V}\cdot\text{s}$) 有较大的提升。
- (2) 集成 SiGe 有效地增大了源漏的接触面积, 并降低了接触电阻, 大幅提高了 FinFET 器件的驱动电流。

图 4.46 是 16nm FinFET 器件源漏不同集成方案的 I_{on} - I_{off} 开关比对比图, 结果表明集成了原位掺杂 B 元素的 SiGe 源漏器件性能比单独采用 SiGe 源漏集成性能提升更明显。主要的原因是掺杂 B 之后, 虽然会消耗一部分应变, 但是进一步大幅降低了源漏接触电阻提高了 I_{on} 。可见集成 SiGe 源漏有效降低接触电阻是

16nm FinFET 器件性能提升的最主要的因素。

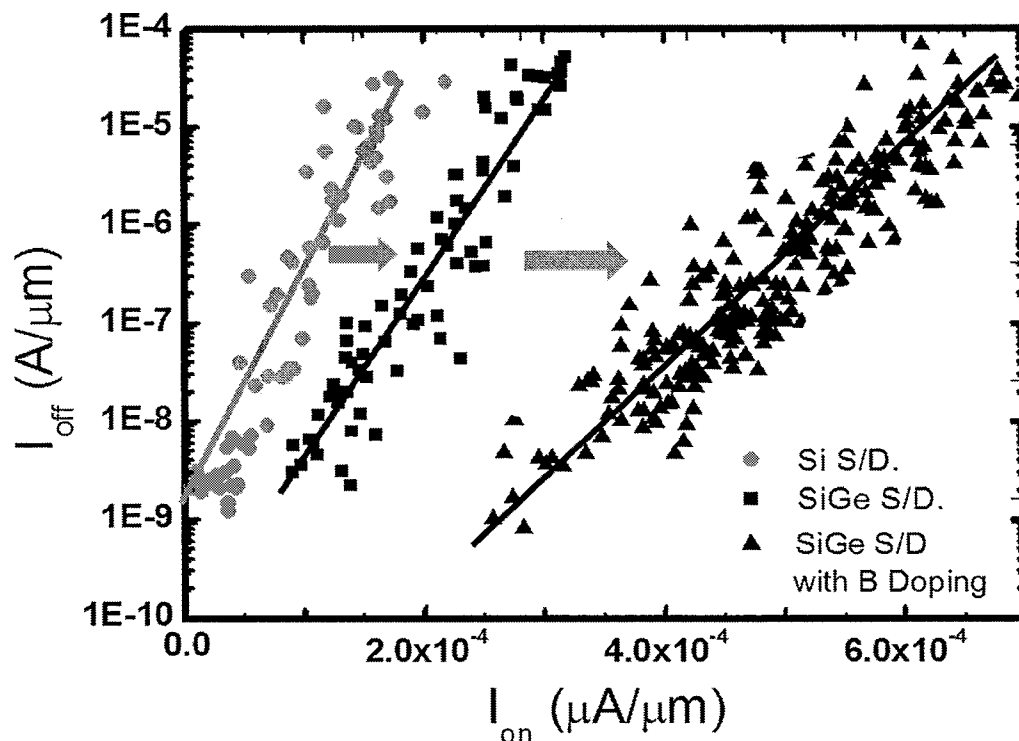


图 4.46 16nm FinFET PMOS 不同源漏集成器件电学性能 I_{on} - I_{off} 开关比图

4.8 本章小结

本章首先介绍了 SiGe 源漏应变技术随着半导体器件尺寸缩小的应用发展和在工艺集成中难点和挑战。分别介绍了 22nm 平面和 16nm FinFET 器件 SiGe 源漏集成方案和特殊源漏形貌的形成过程。重点研究了影响 22nm 平面和 16nm FinFET 器件 SiGe 源漏集成的一些关键工艺问题，主要包括以下几个方面：

(1) 对外延前界面清洗、氧化层的漂洗和时间控制分别进行了研究和工艺优化。发现在 SPM 清洗前加上 DHF 溶液漂洗有助于提高源漏 Si 表面有机基团的去除，有效地提高了外延薄膜质量和稳定性。

(2) 系统地研究了外延过程中预烘烤工艺对源漏形貌的影响。研究发现在高温烘烤时源漏硅损失的主要原因是腔体中残余的 Cl 基在 H_2 氛围中对 Si 的刻蚀作用，改变了源漏的形貌；而在腔体低压烘烤时形貌改变的主要原因是表面 Si 原子的迁移，会使 Fin 的尺寸变大和表面变光滑。还进一步对预烘烤过程中不同温度条件去除氧化层的能力进行了研究。

(3) 分析了 HCl 用量对 SiGe 选择性外延选择性的影响。集成中要选择适合的 HCl 用量,在保证 SiGe 正常生长时尽可能抑制假栅顶端“mushroom”的产生,还总结分析了影响选择性的关键因素。

(4) 采用 TCAD 应变仿真和 HRXRD 测试技术分析了 SiGe 薄膜里的应变以及工艺过程中应变的变化。特别是采用了微束增强型 XRD 成功地表征了 Fin 上 SiGe 薄膜里的 Ge 组分以及应变,证明了外延的 SiGe 薄膜是高质量的应变薄膜。另外还通过 TEM 和 EDX 测试技术对 22nm 平面和 16nm FinFET 器件 SiGe 源漏区域进行了表征分析,检测了薄膜里的缺陷,Ge 的组分以及界面元素分布。验证了 SiGe 源漏集成时膜层生长结构按照应变缓冲层、应变核心层和应变牺牲层依次生长的合理性。

(5) 对 22nm 平面和 16nm FinFET SiGe 源漏器件进行了电学性能验证。结果表明采用了 SiGe 源漏应变技术对器件性能均有提升。经器件性能比较分析,在 16nm FinFET 器件中集成 SiGe 源漏有效降低源漏接触电阻是 FinFET 器件性能提升的最主要因素。

第五章 SiGe 选择性外延的图形密度效应

5.1 引言

在图形衬底上采用 RPCVD 选择性外延生长 SiGe 一个不能忽视和避免的问题就是负载效应---图形密度效应 (Pattern Dependency) 的影响, 它不仅会影响选择性外延 SiGe 薄膜的质量, 还会影响集成器件的性能。所以对 22nm 平面和 16nm FinFET 器件 SiGe 选择性外延图形密度效应的影响进行分析和研究, 可为大规模先进器件集成应用 SiGe 选择性外延技术奠定良好的基础。

5.1.1 图形密度效应的产生

图形密度效应的产生取决于采用 RPCVD 选择性外延过程中不同区域露出 Si 的面积、外延过程中工艺的选择和关键参数的控制。图形密度效应最直接的表现就是会影响不同露 Si 区域选择性外延 SiGe 薄膜的生长速率、Ge 组分应变、掺杂浓度和选择性等参数, 产生的主要原因是在不同图形区域局部的气体动力学反应和对反应气体的消耗并不是线性变化的[119-121]。如图 5.1 中不同图形密度选择性外延的结果, 在 Si 衬底上以 SiO_2 为掩蔽层经光刻开口分成三个露出 Si 的区域 a、b 和 c, 露 Si 面积大小为 $S_a > S_b > S_c$ 。进行选择外延工艺后, 如果没有采用抑制图形密度效应的方法就会出现图中三个区域外延薄膜厚度不一致的现象, 这是因为在选择性外延过程中, 三个区域选择外延薄膜的生长速率受到图形密度效应的影响, 外延速率大小为 $R_c > R_b > R_a$, 与露硅面积大小相反。

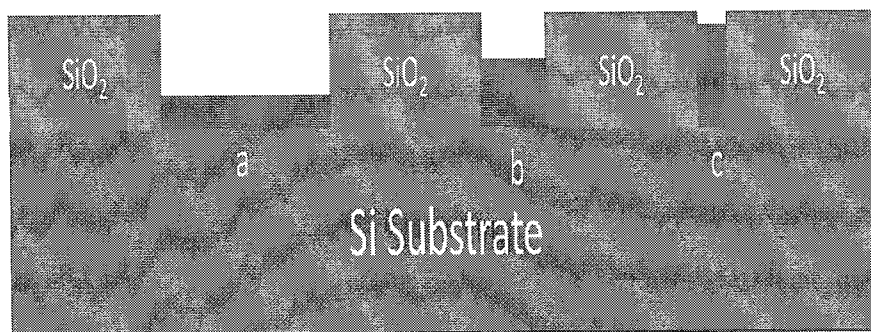


图 5.1 不同图形密度选择性外延的结果示意图

综上所述, 图形密度效应的产生和减压下 SiGe 选择性外延生长反应机理密切相关。一般来讲, SiGe 外延反应生长机理符合 CVD 反应气体流体运动规律, 薄膜生长过程也是反应腔体气体在晶圆表面和腔室之间经历吸附、反应成核和副产物解吸附随载气带走腔体的过程。而按照 CVD 气相反应机理对反应速率的解释, 在腔室里硅片表面的气相反应速率控制存在质量传输控制和反应控制两种[122]。选择性外延中图形密度效应产生主要是由于外延气相反应在质量传输控制时, 生长速率大小取决于表面反应气体的量, 而不同的露硅面积会导致局部消耗反应气体量不同, 因而带来不同区域生长速率的差别。而当反应速率主要由表面反应控制后, 反应气体量的多少就不再是生长的决定因数, 因此就会比较容易抑制或消除图形密度效应。因此根据 CVD 反应机理, 要减小 SiGe 选择性外延生长的图形密度效应, 就必须控制外延生长工艺条件, 使生长反应控制由质量传输控制转为反应控制。例如采用较低的生长温度就更有利于减小图形密度的影响, 其它因素的影响将会在下一小节进行详细地介绍。

选择性外延中的图形密度效应, 按照作用面积大小的影响可以分为微观图形密度效应(Micro Loading Effect)和宏观图形密度效应(Macro Loading Effect)两大类。微观图形密度效应是在同一晶圆上同一个芯片区域(Chip), 由于微观区域内不同功能管芯排列和设计尺寸的不同, 导致在微观局部区域内单晶硅的露硅面积不一样, 就会引起选择性外延生长后这些区域的 SiGe 薄膜厚度, Ge 组分以及掺杂浓度的差别[123]。而宏观图形密度效应就是指在整个晶圆由于不同的芯片位置或晶圆与晶圆之间露硅面积不一样, 造成不同位置或产品晶圆之间所生长的 SiGe 厚度和 Ge 组分不一致。所以外延过程中的图形密度效应对器件集成带来的是负面影响, 必须要进行研究并加以克服。

5.1.2 图形密度效应研究进展

自从发现选择性外延的图形密度效应以来, 研究人员采用了各种不同技术和方法来抑制图形密度效应的产生和影响, 但是目前还没有能完全消除选择性外延过程中的图形密度效应[119, 124]。研究人员 Bodnar 建议的方法是优化选择性外延工艺, 例如提高 HCl 在反应腔体内的分压改善图形密度效应。结果表明通过提高 HCl 分压后, SiGe 在不同区域的生长速率差异减小[121], 如图 5.2 中所示, 通过加大 HCl

流量 SiGe 在不同露 Si 面积上的生长速率趋向一致。

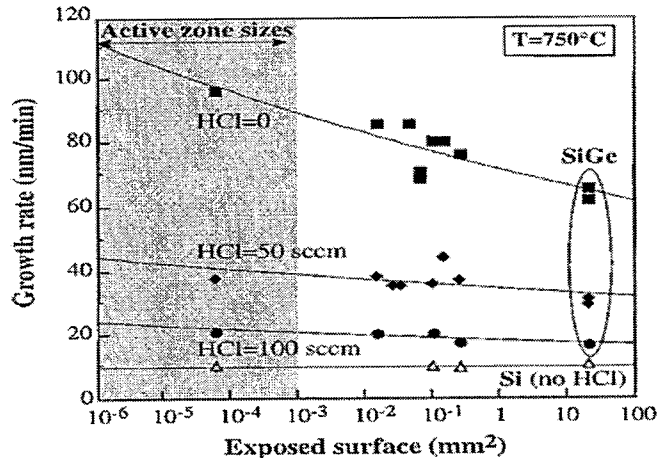


图 5.2 不同 HCl 流量对图形密度效应的影响[121]

但是这种方法并没有评估提高 HCl 分压对 SiGe 外延生长质量和选择性的影响。外延反应中提高 HCl 分压可以提高对介质的选择性，但是对于 SiGe 生长起到了抑制作用，容易在外延过程中产生缺陷[125]，薄膜的质量就不能满足器件应用要求。还有研究通过降低选择性外延腔室的反应压强来解决，例如将减压反应的压强从 20 torr 降低到 10 torr 就有可能同时减少宏观和微观图形密度效应的影响[126]。但是采用这种方法对在同一晶圆上面露 Si 面积大小分布很宽的器件改进图形密度的影响有限，如图 5.3 中，当反应压强降低到 10 torr 时，虽然不同露 Si 面积上 SiGe 的生长速率相对于高压强均有降低，但是还是有较大的差异。降低反应腔室的压强也是控制薄膜生长朝着表面反应控制方向进行。

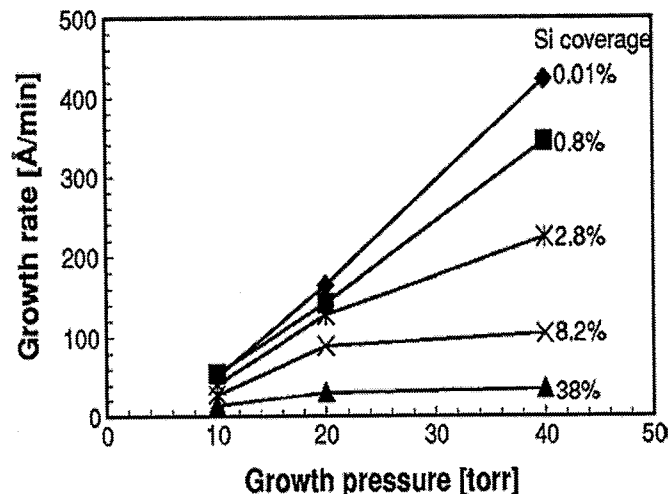


图 5.2 不同反应腔室压强对图形密度效应的影响[126]

还有研究使用大流量的 H_2 载气和较低的反应压强来改善图形效应问题[119]。但是使用大流量的 H_2 载气不利于生长高组分的 Ge 和高浓度的掺杂, 不适合 SiGe 源漏器件集成应用, 另外同时增大腔室的载气流量和降低反应腔室压强对外延设备能力也是一种极端的考验。IBM 的研究人员研究比较了采用不同反应硅源 SiH_4 和 DCS 在不同线条尺寸对选择性外延生长的 SiGe 薄膜微观形貌的影响[127], 有助于器件尺寸设计时参考, 但并没有提出宏观图形密度效应的解决方案。

因此, 目前针对选择性外延工艺中改善图形化密度效应的方法主要是通过调节反应条件, 例如反应中 HCl 用量、反应压强、载气的用量和反应源的选取等方法。但这些方法均不是能兼顾不同器件应用的最佳工艺解决方案, 还需要结合生产实际选择合适的方法。

5.2 图形密度效应的评估和模型计算

通常在 SiGe 薄膜选择性外延生长后为了评估图形密度效应的影响, 需要对晶圆上不同区域的 SiGe 薄膜的厚度、Ge 的组分和分布进行测试。膜厚测试可以通过膜厚仪, TEM 等方法测试表征, Ge 的组分和分布可以通过 EDX 和 XRD 测试表征。整个晶圆进行图形密度微观和宏观效应的评估, 需要选择样品不同区域多个位置进行精密测试分析, 比较耗时而且成本较高。但是如果通过 RPCVD 选择性外延的反应机理, 结合 RPCVD 设备反应腔体温度和气体的分布可以对图形密度效应进行模型化计算[120], 此方法对 SiGe 大规模生产应用中有着重要的意义。

5.2.1 22nm 平面器件模型计算

SiGe 选择性外延过程中, 晶圆上露 Si 开口处的生长速率取决于很多因素。通常, SiGe 选择性外延生长是刻蚀速率与淀积速率同时进行, 并保持淀积速率大于刻蚀速率完成生长。在这个过程中, 各类反应气体分子分裂为不同的粒子或基团 (如 Si、Ge、Cl 等), 并从横向或垂直方向到达暴露的 Si 区域, 这一过程决定了这个区域的生长速率。如图 5.3 所示的图中 R^V 和 R^{LG} 分别指在垂直方向和水平方向上的反应气体分子, R^{SC} 和 R^{SS} 则分别代表到达氧化层表面的位于芯片内部和外部的反应分子, R^{SC} 和 R^{SS} 会随着暴露 Si 区域的覆盖范围的变化而改变。例如, 对于位于硅片中心位置和边缘位置的芯片, R^{SC} 和 R^{SS} 就会不同。其

中 R_{HCl} 也是影响因素之一，主要反映对 Si 的刻蚀速率。图中箭头的方向表示边界层反应气体分子扩散到暴露 Si 区表面时变成悬挂键可被吸附反应。

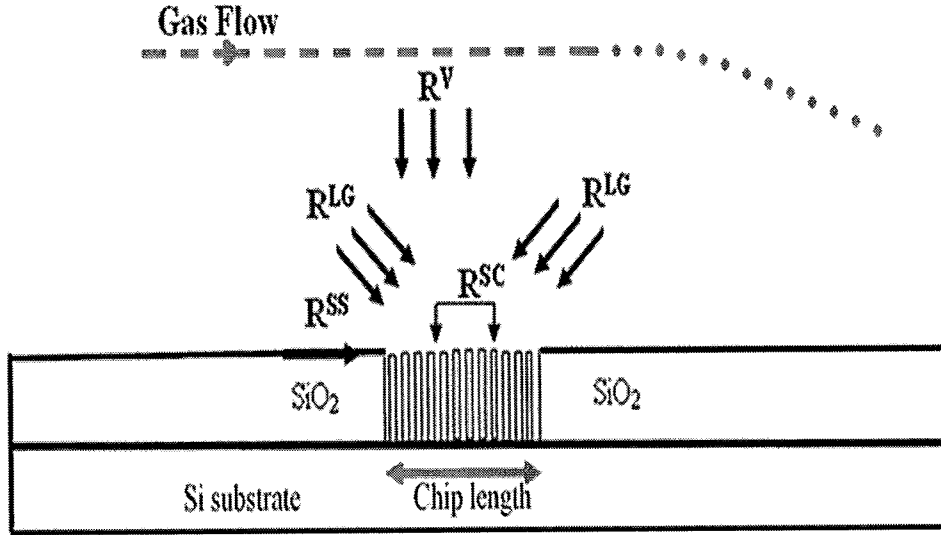


图 5.3 RPCVD SiGe 选择性外延反应在露 Si 图形区域不同反应气体分子作用示意图

综合反应中各种影响因素，SiGe 在选择性外延中的生长速率遵循以下公式 (5.1)：

$$R_{Total} = R_{Si}^V + R_{Si}^{LG} + R_{Si}^{SS} + R_{Si}^{SC} + R_{Ge}^V + R_{Ge}^{LG} + R_{Ge}^{SS} + R_{Ge}^{SC} - R_{HCl}^V - R_{HCl}^{LG} - R_{HCl}^{SS} - R_{HCl}^{SC} \quad (5.1)$$

当方程 (5.1) 中所有的部分都确定后，整个的生长速率就可以从以下公式获得：

$$\begin{aligned} R_{Total} = & \beta \frac{(1 - \theta_{H(Si)} - \theta_{Cl(Si)})}{N_0} \frac{P_{SiH_2Cl_2}}{(2\pi m_{SiH_2Cl_2} k_b T)^{\frac{1}{2}}} \left(\frac{E_{SiH_2Cl_2 on Si}}{k_b T} + 1 \right) \exp \left(-\frac{E_{SiH_2Cl_2 on Si}}{k_b T} \right) \\ & + \chi \frac{(1 + m_r)(1 - \theta_{H(Si)} - \theta_{Cl(Si)})}{N_0} \frac{P_{GeH_4}}{(2\pi m_{GeH_4} k_b T)^{\frac{1}{2}}} \left(\frac{E_{GeH_4 on Si}}{k_b T} + 1 \right) \exp \left(-\frac{E_{GeH_4 on Si}}{k_b T} \right) \\ & + \chi \frac{(1 + m_r)(1 - \theta_{H(Si)} - \theta_{Cl(Si)}) (BP_{GeH_4} \ln(1/c))}{N_0} \left(\frac{E_{GeH_4 on Si} + 0.1 eV}{k_b T} + 1 \right) \exp \left(-\frac{E_{GeH_4 on Si} + 0.1 eV}{k_b T} \right) \\ & - \frac{\gamma}{N_0} \frac{P_{HCl}^{0.596}}{(2\pi m_{HCl} k_b T)^{\frac{1}{2}}} \left(\frac{E_{Etching}}{k_b T} + 1 \right) \exp \left(-\frac{E_{Etching}}{k_b T} \right) \end{aligned} \quad (5.2)$$

上式中, β 、 χ 、 γ 是设备仪器因子, 取决于外延设备的类型和具体腔体的尺寸; θ 参数则代表在反应气体分子中的 Si 上被占有的悬挂键, 下标 H 和 Cl 代表相应的气体分子; P 和 E 分别表示反应分子在腔体反应的分压和激活能。在选择性外延中, 由于 HCl 更易于与 Si 原子发生反应, 所以在氧化层表面更常见的是 Ge 原子, 因此 Ge 项是图形化依赖的主要影响因素。该项的指数因子中含有暴露 Si 的覆盖范围 c 。由于 Ge 原子在氧化层表面的扩散, 故在 Ge 的激活能上额外增加了 0.1eV, Ge 的存在也导致了自由悬挂键数量的增加。而负数项代表了 HCl 对已淀积原子的刻蚀。外延中控制好淀积与刻蚀的速率非常重要, 因此悬挂键形成温度 T 、反应分子的分压 P 、激活能 E 都是非常重要的参数。在上述方程中, m_γ 是反应相关的因子, 通常选定为 2。

在理想反应情况下, 露出 Si 开口阵列在整个芯片或硅片上是不断重复的。图 5.4 展示了不同掩模版下生长速率和 Ge 组分的实验数值和计算数值。这些数据可以用来计算方程 5.2 中的各个因子。

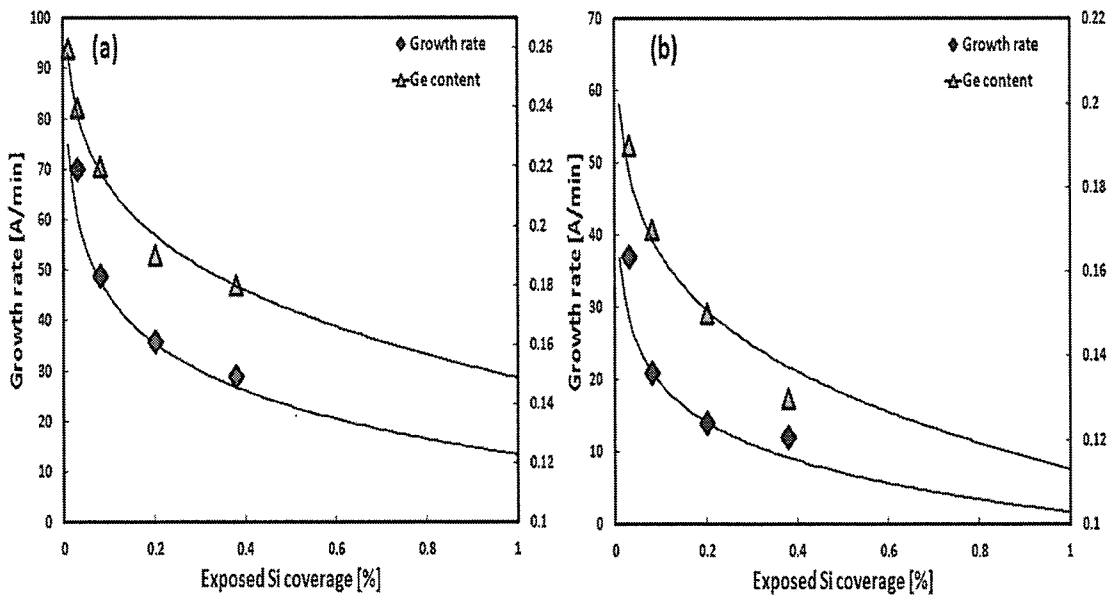


图 5.4 反应中不同 GeH_4 分压对不用露 Si 面积 Ge 的生长速率和组分的影响 (a) 0.9 mTorr
(b) 0.5 mTorr

实际情况中, 由于硅片上的芯片有不同尺寸和密度的开口阵列, 这导致了暴露 Si 区域 (或悬挂键) 并不均匀统一。芯片的复杂性导致了整个芯片上反应分子和原子分布的非均匀性, 这就导致了芯片不同区域之间互相影响。在一个芯片

中, 某一阵列的开口区域越大则会消耗更多的气体分子, 这就会影响它周围的阵列。在这种影响下 Si 的开口处其生长速率的表达式如下式 (5.3) [120]:

$$R_T(d) = R_A + (R_{Surr} - R_A)(1 - e^{\frac{-d}{\tau(c_{Surr})}}) \quad (5.3)$$

其中, d 是到有大开口 Si 区域芯片的距离, C_{Surr} 是周围芯片的暴露面积。 R_A 是在芯片的特定部分露 Si 面积最大区域覆盖阵列的生长速度, 也是消耗反应气体分子 (反应气体分子的陷阱) 起主要作用的区域。同时 R_{Surr} 是覆盖该区域周围的生长速率。在这个方程中, 指数项决定了芯片之间的相互影响。变量 τ 称为作用范围, 代表开口阵列对周围阵列的影响长度。 τ 是暴露 Si 范围 c 的函数, 如式 (5.4) :

$$\tau = \frac{1}{\varepsilon c + \eta \sqrt{c} + \delta} \quad (5.4)$$

其中, ε 和 η 是动能常数, 与元素从开始到被悬挂键吸引所运动的距离相关。 δ 是另外一个动能常数, 它考虑了各气体分子到达悬挂位置前的相互碰撞。 τ 随着 Si 暴露面积的增加而减少, 这是因为在芯片顶部气体分子的运动距离会减少。各动能常数的经验计算值如下式 (5.5) :

$$\varepsilon = 0.0004 \mu m^{-1}, \quad \eta = 0.0011 \mu m^{-1}, \quad \delta = 0.00048 \mu m^{-1} \quad (5.5)$$

确定外延层中的应变大小需要计算 SiGe 中的 Ge 组分, 这可以通过用 Si 和 Ge 的在反应中的分压计算所得, 如下式 (5.6) [128]:

$$\frac{x^2}{1-x} = 1.88 \times 10^{-4} \exp\left(\frac{E}{kT}\right) \left(\frac{P_{GeH_4} + (5 \times 10^{-4} P_{GeH_4} \ln(1/c)) - (1-\lambda) P_{HCl}}{P_{SiH_2Cl_2} - \lambda P_{HCl}} \right) \quad (5.6)$$

其中, x 和 λ 分别是 Ge 组分和反应比率。 λ 代表了外延中的刻蚀过程, 表示与 Si 和 Ge 反应的 Cl 离子所占的比值。当 $P_{HCl} < P_{SiH_2Cl_2}$ 时, λ 取 1; 而 HCl 很多时则取 0.8。

在本研究中, 提取的激活能为 0.697 eV, 这个值与总激活能 0.58eV 很接近。其中总激活能是指吸附能差值 ($E_{a, SiCl_2} - E_{a, GeH_2} = 0.1 \text{ eV}$) [129] 和解吸附能差值 ($E_{d, Cl} - E_{d, H} = 0.48 \text{ eV}$) [130] 的总和。综上, 通过上述方程计算就可以确定 22nm 平面器件中 SiGe 的生长速率和 Ge 的组分在晶圆中不同露 Si 面积上的分布。

5.2.2 16nm FinFET 器件模型计算

上一小节研究了适用于 22nm 平面器件 SiGe 选择性外延生长速率和 Ge 组分在不同露 Si 面积上分布的计算模型。但是这个计算模型不能再直接应用于计算三维 FinFET 器件薄膜生长速率和 Ge 浓度分布，因为 SiGe 在硅 Fin 上选择性生长时，硅 Fin 裸露在外的有处于顶端中间的 (001) 面，还有 Fin 两侧的 (111) 面。在不同晶向上生长时，不同晶向表面可以用于吸附反应的悬挂键数量和激活能不同，需要对计算模型进行修正。于是一个新的影响生长的修正项 R^{IP} (Interaction term) 添加到计算模型中表示位于中心的 Fin 两侧 (111) 表面向顶端 (001) 面反应分子或基团的扩散。SiGe 在硅 Fin 表面的生长速率来源于各个不同方向反应基团的贡献，如图 5.5 中所示的 FinFET 上选择性外延 SiGe 不同反应气体分子作用示意图：

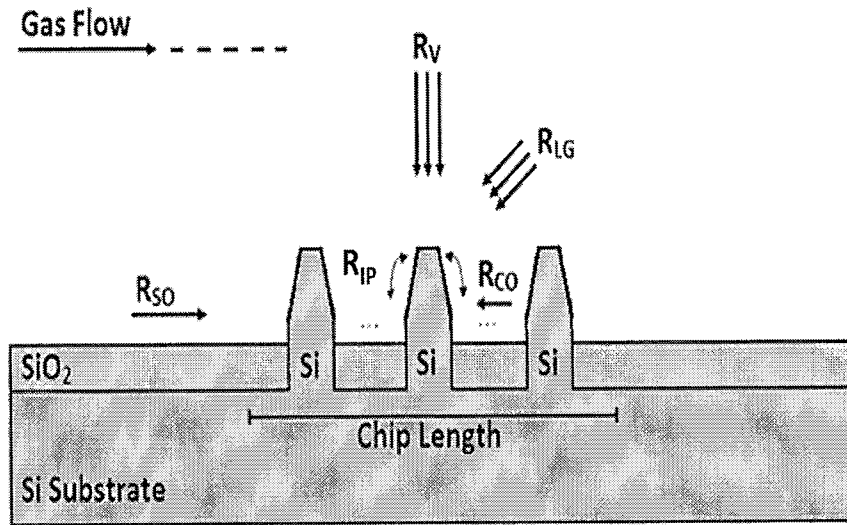


图 5.5 16nm FinFET 器件中硅 Fin 上选择性外延 SiGe 不同反应气体分子作用示意图

气体组分中分散的 Si 和 Ge 在吸附在 Fin 的表面起到了淀积的作用，同时 Cl 原子主要是刻蚀去掉 SiO₂ 表面形成的 SiGe 基团，而对生长的单晶 SiGe 刻蚀速率较小。在 Fin 上 SiGe 选择性外延的生长速率可以表示为式 (5.7)：

$$R_{\text{Total}} = R_{\text{Si}}^{\text{V}} + R_{\text{Si}}^{\text{LG}} + R_{\text{Si}}^{\text{SO}} + R_{\text{Si}}^{\text{CO}} + R_{\text{Si}}^{\text{IP}} + R_{\text{Ge}}^{\text{V}} + R_{\text{Ge}}^{\text{LG}} + R_{\text{Ge}}^{\text{SO}} + R_{\text{Ge}}^{\text{CO}} + R_{\text{Ge}}^{\text{IP}} - R_{\text{HCl}}^{\text{V}} - R_{\text{HCl}}^{\text{LG}} - R_{\text{HCl}}^{\text{SO}} - R_{\text{HCl}}^{\text{CO}} + R_{\text{HCl}}^{\text{IP}} \quad (5.7)$$

在上述式中, 同平面器件模型一样 R^V 和 R^{LG} 分别指在垂直方向和水平方向上的反应气体分子, R^{CO} 和 R^{SO} 则分别代表反应的气体组分 (Si, Ge 和 Cl) 到达氧化层表面的位于 Fin 阵列内部和外部的反应分子, R^{SO} 和 R^{CO} 会随着硅 Fin 尺寸以及覆盖的面积的变化而改变。 R^{IP} 如上所描述的是 SiGe 三维器件尺寸上生长速率最重要的一项, 代表的是位于中间的 Fin 表面的反应气体基团从边缘 (111) 面向 (001) 面扩散组分。在硅 Fin 表面上不同平面上吸附的原子的扩散是一个控制分子的动力学重要的参数, 在这个模型的计算中, 采用了反应原子在 (001) 和 (111) 晶面的扩散理论构建模型[131, 132]。根据此理论, 反应原子在倾斜的表面 (111) 面相较于 (001) 面有着更长的扩散长度, 因此最后在 Fin 上选择性外延 SiGe 的反应是从倾斜面 (111) 表面的反应原子的扩散朝着中央部分 (001) 面进行。

但是当 SiGe 薄膜的生长温度在 600~650℃时, Si 和 Ge 原子的扩散长度分别是约 200nm 和 300nm, 这意味着 Si 和 Ge 原子有同样的机会扩散到 FinFET 16nm Fin 尺寸大小的底部和顶部, 使生长的 SiGe 薄膜中的组分分布均匀, 如前章节 (图 4.42) 测试的 Fin 上外延 SiGe 薄膜 Ge 的组分分布。因此, 当硅 Fin 的尺寸很小时, R^{IP} 对小尺寸 Fin 上 SiGe 外延的生长速率贡献很小, 通过之前 TEM 水平方向 EDX 线扫描测试发现 Ge 浓度分布恒定。也就是说, 如果 Fin 的尺寸大小和 Si, Ge 原子的扩散长度相当时, 必须要考虑 R^{IP} 的贡献, 在这种情况下生长的 SiGe 形貌不再是之前展示的“Diamond”对称型。因此, 小尺寸 Fin 上 SiGe 外延生长速率的计算中还可以用式 (5.2) 表示。此时式中的 θ 参数应根据 Fin 上面顶端 (001) 面和侧面 (111) 面分别计算, 不同露 Si 开口区域 Ge 的组分可以通过 Si 和 Ge 在反应中的所占分压按式 (5.6) 计算可得。

5.3 图形密度效应对 SiGe 选择性外延生长的影响

本小节主要是根据 5.2 小节中的计算模型和测试表征结果对比分析 22nm 平面和 16nm FinFET 器件 SiGe 源漏集成中图形密度效应对选择性外延生长工艺参数 (生长速率和 Ge 组分) 的影响。

5.3.1 实验细节

在 22nm 平面器件版图中选取了一个特定芯片区域内进行 SiGe 源漏集成选

择性外延图形密度效应的评估和分析，通过 TEM 和 HRXRD 测试的工艺参数的变化来验证模型计算结果。图 5.6 展示了用于 SiGe 图形密度效应计算和测试的版图示意图，图中分布的不同图形面积是为了计算 SiGe 在不同区域的生长速率和 Ge 浓度的分布。如图中所示的 1-5 为该芯片区域被分成了 5 部分，在每一个区域器件密度及露 Si 的开口尺寸均相同，该区域内还有一些其它含有校准和测试结构的区域，但是由于大面积区域 5 的存在，这些区域产生的影响很小。具体原因将在后面结果讨论分析时给出。

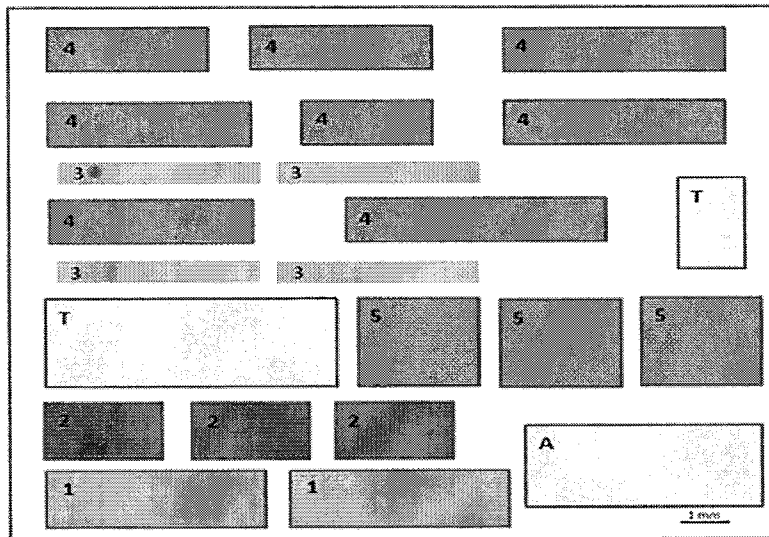


图 5.6 22nm 平面器件中用于 SiGe 图形密度效应计算和测试的版图示意图

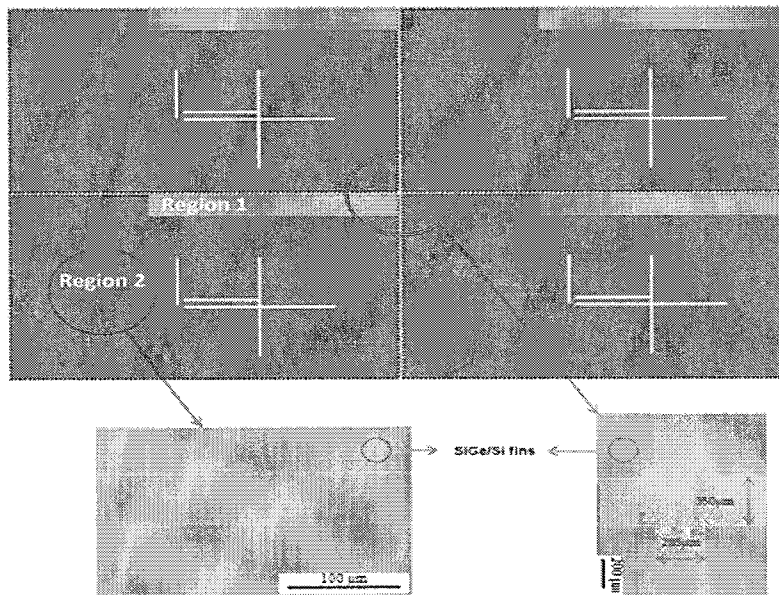


图 5.7 16nm FinFET 器件中用于 SiGe 图形密度效应计算和测试的版图

在理想情况下, FinFET 器件版图中 Fin 的陈列分布均匀, 但是实际情形中 Fin 的阵列分布也受到对准标记、测试结构的不同而导致露出 Si 的面积有实际的差别, 同样也存在着图形密度效应的影响。为此在 16nm FinFET 器件版图中也选择了一个特定的区域进行 SiGe 图形密度效应计算和测试, 如图 5.7 中所示分为区域 1 和区域 2, 在区域 1 和区域 2 里面各自 Fin 的尺寸和露出硅 Si 的面积相同。版图中的“十”字区域为标记对准区域。区域 1 和区域 2 相比, 区域 1 选取的区域处于 Fin 陈列的边缘, 其周围所覆盖的 SiO₂ 的面积要比区域 2 大得多, 露出硅的面积很小, 和图 5.6 中区域 1 的露 Si 面积相同。

在进行计算中, 根据实际所用的菜单, 在 650℃ 选择性外延 SiGe 输入的 Si, Ge, HCl 的分压分别为: $P_{DCS}=15.99\text{ Pa}$, $P_{Ge}=0.533\text{ Pa}$ 和 $P_{HCl}=8.66\text{ Pa}$, 在 FinFET 器件中 Fin 上 (111) 面和 (100) 面的悬挂键密度分别是: $7.8\times 10^{14}\text{cm}^{-2}$ 和 $6.8\times 10^{14}\text{cm}^{-2}$, 每个晶面上的激活能 E_a 约为 2.08eV。

SiGe 在不同区域的厚度通过 SEM 获得, Ge 的组分的测试通过 HRXRD 扫描以及 EDX 成分分析两种方法, 特别是当露 Si 面积比较小时, HRXRD 测试受到的干扰就会增强, 这时需要用 EDX 元素分析进行 Ge 组分的标定。

5.3.2 结果讨论

按照模型中介绍的图形密度的计算方法和选取的不同区域的露 Si 面积, 我们根据式 (5.1) - (5.6) 进行了 22nm 平面器件不同区域 SiGe 生长速率和 Ge 的组分计算和测试结果, 分别如表 5.1 中所示:

表格 5.1 22nm 平面器件不同区域 SiGe 生长速率和 Ge 组分计算和测试

Sub-region	Exposed Si	Calculated Ge Content	Measured Ge content (EDX)	Calculated Growth rate	Measured growth rate (nm/s)
1	0.34%	35.3	35.23	0.67	0.68
2	2.12%	34.0	29.14	0.51	0.57
3	18.44%	29.0	31.88	0.43	0.38
4	0.06%	35.3	35.81	0.78	0.77
5	92.17%	26.0	30.00	0.26	0.26

在表 5.1 中展示所有区域的信息, 并给出了各自区域的 SiGe 膜层计算和测量, 结果表明暴露硅面积大的区域比其它区域的 SiGe 生长速率和 Ge 浓度表现

出了更强的下降趋势，这是因为此区域面积大消耗的气体反应分子更多（各区域的消耗排名为：5，3，2，1，4）。在这种情况下，必须使用方程（5.3）对这些区域进行对比。这也可以从各个区域相互作用影响范围的角度来讨论，区域5的相互作用范围为525 μm ，而区域3和2的作用范围分别为982 μm 和1554 μm 。这表明区域5与其它芯片直接的相互作用最小，而其周围的区域（包括对准标记等区域）也最易被该区域影响。表格中的Ge组分和SiGe层厚度是通过高分辨扫描电子显微镜（HRSEM）和元素分析EDX技术得到的。采用EDX技术是因为XRD并不能扫描到细小尺寸的每一个区域。

SiGe层Ge组分分布的计算值与测量值有较好的一致性。表格5.1中，区域2,3,5的Ge组分有一些偏差，这可能是因为EDX技术在晶体管阵列密度较低（区域2）或SiGe膜层较薄（区域3,5）时测试精确度会下降。但这可以通过调整HRSEM的观察时能量值来部分解决，因为适当的能量值能够使得电子的穿透深度达到该区域生长的SiGe层厚度。在本研究中，各区域测试所使用的能量值分别为10-30keV。为了获得更高的精度，我们进行了多次EDX测试，然后取Ge组分的平均值来进行计算。区域2,3的面积更小，所以EDX测试的数量要少一些，所以Ge组分的误差就会比其他的区域大一些。表中的数据结果展示了晶体管中选择性外延的SiGe分布依赖于暴露Si的面积及生长参数，也表明了前面所使用的模型适用于22nm平面技术节点，也可能适用于任意技术节点。为了进一步验证计算模型的正确性，在FinFET器件对选择的两个区域的SiGe薄膜也进行了计算和测试分析，结果如表5.2中所示：

表格 5.2 16nm FinFET 器件不同区域 SiGe 生长速率和 Ge 组分计算和测试

Region	Exposed Si	Calculated Ge content (%)	Measured Ge content (EDX and XRD) (%)	Calculated growth rate (nm/sec) (100) & (111)	Measured growth rate (100) & (111) (nm/sec)
1	0.34%	35.29	35.23	0.92 & 0.54	0.85 & 0.51
2	2.12%	33.75	35	0.73 & 0.43	0.71 & 0.42

FinFET器件中选择两个不同区域图形面积和22nm中的区域（1）和（2）相同，主要是为了进一步的验证SiGe生长速率计算准确性。为了提高测试的准

确度，Ge 组分分析同时使用了 EDX 技术和微束增强型 XRD 测试分析验证。

因为 Fin 的梯形形貌，所以在 Fin 上两侧 (111) 面的露 Si 面积不同于顶端 (001) 面的面积，预估 (111) 面的露 Si 面积是顶端 (001) 面的面积 (111) 的 7 倍。此外，在 Fin 上 (111) 面和 (100) 面的悬挂键密度分别是： $7.8 \times 10^{14} \text{cm}^{-2}$ 和 $6.8 \times 10^{14} \text{cm}^{-2}$ ，所以结合这两方面的因素，计算得知区域 1 和 2 (111) 面的 SiGe 生长速率均小于 (001) 面的生长速率，和实际测试的结果一致。同样在露 Si 面积较大的区域 2 消耗的反应气体分子最多，这些阵列 Fin 的表面悬挂键数量也是最多的，特别是 Fin 两端 (111) 面上吸附了最多的反应分子，在这种情形下区域 2 的生长速率由方程 (5.3) 中的 R_A 决定， R_{surr} 是覆盖该区域周围的生长速率，区域 2 和区域 1 的用于计算的作用范围分别为 $1541 \mu\text{m}$ 和 $1833 \mu\text{m}$ 。

综上实验结果，图形片中 SiGe 的生长速率的 Ge 的浓度分布不仅取决于外延工艺参数的设定，更多地受到图形密度效应的影响，在各个不同的露 Si 面积区域，露 Si 面积越大的区域 SiGe 的生长速率越慢，Ge 的组分越低。在前章节中对于露 Si 面积 100% 的区域 (裸 Si 片)，实际测试的 Ge 的组分最低为 27% 左右，也同时验证了图形密度效应的存在。为了避免图形化所带来的负面影响，暴露的 Si 区域要尽可能的均匀一致，这样反应气体的消耗就会在整个芯片范围内保持均匀一致。这将在以后的版图设计和生长参数优化有重要的指导意义。

5.4 图形密度效应对集成器件电学性能的影响

SiGe 源漏器件工艺及性能在整个硅片上的均匀性在大规模生产中有着非常重要的意义。而 SiGe 外延质量及 Ge 组分都会影响晶体管的性能。在晶体管设计中，沟道区域的载流子迁移率是最重要的参数之一，而沟道处的应变大小又直接决定了该参数的大小。源漏区外延的 SiGe 薄膜是沟道区域应变的主要来源，因此需要较高的 Ge 组分提供应变。但是，SiGe 的选择性生长受到图形化密度效应的影响，不仅表现在同一芯片内部的变化 (局部效应)，还包括整个硅片上的变化 (全局效应)。如果整个硅片上所有的芯片有相同的版图设计，那么往往可以忽略全局效应，但是硅片边缘氧化也会造成一定影响，因此位于硅片边缘的芯片更容易受到图形密度效应的影响。这种影响产生的主要原因是在同一晶圆上处于不同位置的芯片周围存在不同的覆盖层环境，对这种影响的分析我们更倾向于

宏观图形密度效应的评估，特别是能够对 SiGe 集成器件电学性能的影响分析带来一种新的解释，有助于在实际生产中提高整体器件质量。

5.4.1 实验过程

为了研究在同一晶圆分布在不同区域的芯片的电学性能，分别对 8 英寸晶圆上 22nm 平面 PMOS SiGe 源漏器件 112 个芯片的电学性能进行了测试分析。根据测试的电学性能表现，如图 5.8 中所示分为 A、B、C 三组，分别是边缘、中心及两者之间三个区域分布代表性能差、中、好三个水平，并通过相互对比测试数据和对这三组芯片内部的 SiGe 生长速率和 Ge 的浓度进行计算和测试，来评估图形密度效应对集成器件电学性能（分布）的影响。

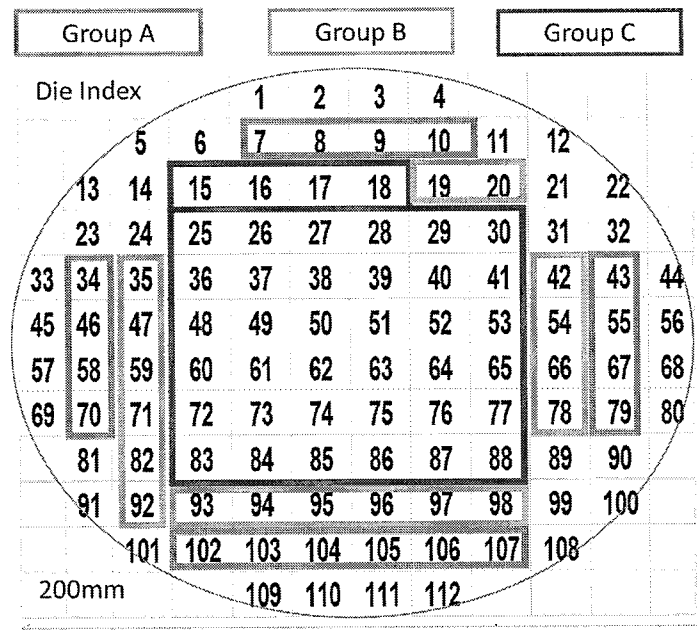


图 5.8 22nm SiGe PMOS 器件在 8 英寸晶圆上的性能分布示意图

另外在每一个芯片内部的测试参照图 5.6 所示的区域分布，区域 3 蓝色标记的位置大约是进行测试的器件的区域，硅片上 112 个芯片均在该位置进行测试，选择该区域进行测试的原因是该区域含有可以检测材料特性的测试结构就在附近。通过 I-V 测试可以提取晶体管的参数，例如 V_{sat} 、 I_{on} 、 I_{off} 、DIBL 和载流子浓度等。晶体管的电子迁移率可以用公式 (2.1) 计算 (W , L 分别为晶体管的宽度和长度，晶体管的尺寸为： $L=25\text{ nm}$ ， $W=3\mu\text{m}$)。

上一节中 22nm 平面和 16nm FinFET 器件中描述 SiGe 选择性外延生长的理论模型已经被用来计算和分析同一芯片内部的图形密度效应。这些模型通过将不同分子气体的动能公式化来处理 SiGe 层的二维和三维生长。在本实验分析 A、B 和 C 位置的图形密度效应依然采用相同的模型来计算 8 英寸硅片上不同芯片的 SiGe 层的分布（Ge 组分及层厚度）。在此计算中采用相互影响模型，可以计算出整个晶体管阵列的 SiGe 分布，同时还考虑了外延腔体内石墨基座、硅片边缘氧化不一致以及对芯片间相互作用的影响。

5.4.2 结果讨论

表格 5.3 是测试和计算的三组晶体管的电学性能总结表。需要强调说明的是，由于存在测试数据统计上的差异，并且每组之间没有明显的界限。通过数据总结发现该批次中晶体管的载流子迁移率要小于目前已经发表的一些数值，这主要是因为工艺集成过程中的其它关键工艺，例如退火温度、杂质合并、应变没有持续优化到最佳工艺状态等。但是这并不影响本实验主要研究目的，因为主要研究的是图形化密度对选择性外延和器件性能分布的影响。

表格 5.3 22nm 平面 SiGe PMOS 器件 A、B、C 三组电学性能总结

Transistor Group	Chip	Measured Ge Content	$V_{Tsat}(V)$ $V_{DD}=1V$	I_{on} ($\mu A/\mu m$)	I_{off} ($nA/\mu m$)	DIBL (mV)	Mobility (cm^2/Vs)
A	8		-0.46	263	0.34	75.4	24
	9	0.38	-0.54	111	0.24	91.3	13
	10		-0.56	86	0.47	112	9
B	71		-0.39	407	0.82	101	36
	82	0.40	-0.39	420	0.86	90	37
	92		-0.39	405	0.65	96	35
C	27		-0.32	598	4.8	115	65
	38	0.35	-0.30	618	9.8	123	71
	50		-0.28	619	10.2	119	75

A、B、C 三组器件的性能差别较大，其中 C 组性能最好，原因是三组 SiGe 薄膜里的缺陷密度和 Ge 组分不同造成的，需要进一步分析。经过 EDX 测试 ABC 三组中的器件，其 Ge 组分分别为 38%、40%、35%，其中牺牲层已经在 Ni 硅化工艺中消耗掉。通过 EDX 测试无法判断 SiGe 薄膜应变的大小，故采用 HRXRD 来

测量应变。由于在测量中，束斑的尺寸并不能调节至晶体管的阵列亚微米尺寸，所以采用了平均值的统计方法，三组的 Ge 组分在较大的区域内约为 35%-40%。

为了进行更深入的研究，经 TEM 测试的缺陷密度如图 5.9 中所示，展示了三张 TEM 图片分别属于 ABC 三组的 9 号、82 号、38 号芯片的截面图。在图 5.9 中 (a) 和 (b) 中的位错失配位错密度分别是 $3 \times 10^9 \text{cm}^{-2}$ 和 $1 \times 10^9 \text{cm}^{-2}$ 要高于 (c) $1 \times 10^8 \text{cm}^{-2}$ ，这些位错形成于 SiGe 和 Si 的界面处并延伸至沟道区域，位错的产生代表了外延层中应变弛豫的发生。经测试 9, 82 and 38 三个晶体管的 SiGe 生长速率分别为 0.58, 0.62 and 0.51 nm/s，外延层中的缺陷密度也可能会影响到生长速率。

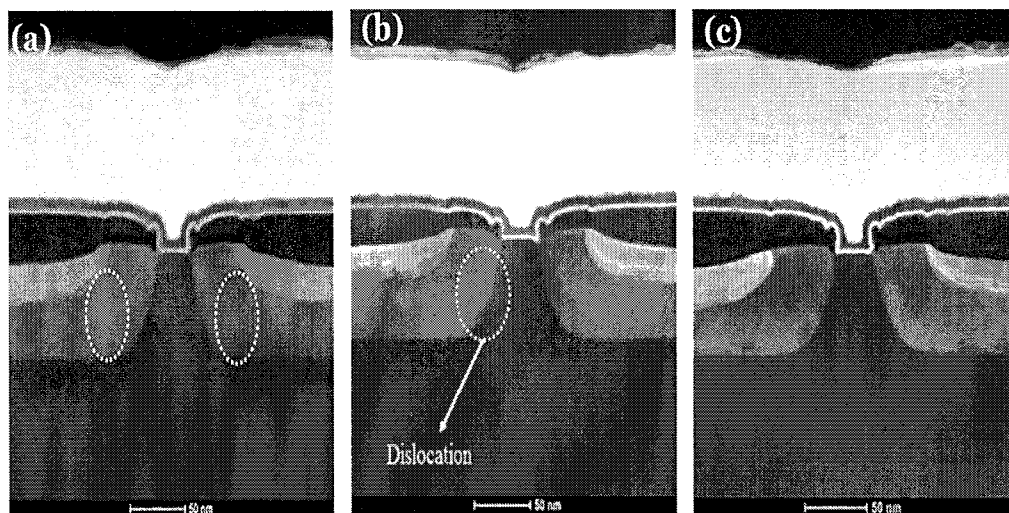


图 5.9 22nm 平面 PMOS SiGe 器件 TEM 截面图 (a) A 组 9 号 (b) B 组 82 号 (c) C 组 38 号

从上述结果中，B 组的 82 号芯片有最大的应力释放，其次是 A 组，最后是 C 组。相比于 C 组，AB 两组有较高的 Ge 组分及生长速率，这是由于选择性外延对图形化效应的影响及薄膜中更多位错缺陷导致的结果。另一方面，B 组的 Ge 组分要略高于 A 组，同时 B 组中的硼掺杂也比 A 中多，由于应变补偿效应导致 B 组的 SiGe 质量较 A 得到了改善，缺陷反较 A 中少，这与 AB 组位实际测试的位错密度值大小一致，而 C 组的中 Ge 组分最低而且其薄膜质量也最好。造成 A、B 和 C 组不同位置性能差异的一个最主要的因素就是因为受到了图形密度的影响，即在不同位置的周围膜层覆盖不同造成三个位置 SiGe 的生长速率和 Ge 的

组分不同，进而影响了器件性能。

为了进一步分析图形化密度对器件性能分布的影响，使用方程(5.2)和(5.6)计算 A,B,C 不同区域 SiGe 生长速率和 Ge 的组分，和实际测试结果对比分析如表格 5.4 中所示：

表格 5.4 A,B,C 不同区域 SiGe 生长速率和 Ge 的组分计算和测试分析				
Die Group	Measured Ge content (EDX)	Calculated Ge content	Calculated Growth rate (nm/s)	Measured growth rate (nm/s)
A	0.38	0.34	0.40	0.58
B	0.40	0.38	0.62	0.62
C	0.35	0.36	0.51	0.51

在计算中由于是衡量宏观图形效应的影响，因此使用方程（5.2）和（5.6）计算 SiGe 的生长速率和 Ge 组分，采用了改进的模型及各参数值所计算的的生长速率和 Ge 组分如图 5.10 中所示：

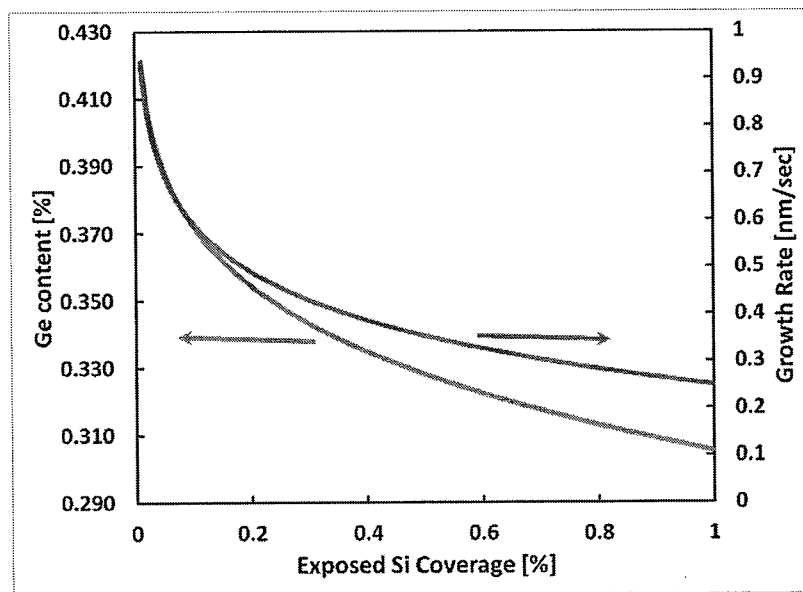


图 5.10 在不同露 Si 面积时计算 SiGe 生长速率和 Ge 浓度变化

表 5.4 中展示了图 5.8 中不同芯片的 SiGe 分布的计算值和实验值，B 组和 C 组的 SiGe 分布计算值与实验值非常一致，而 A 组则略有偏差。这是因为硅片所使用的掩膜版有 3-4mm 的边缘被氧化层覆盖，而位于 A 组的芯片，例如 10 号，

正好受到来自右侧、上侧及右上侧的基座的巨大影响。由于芯片上的晶体管密度分布并不均匀,这使得相互作用长度很难计算,因此计算了整个硅片上所有芯片的等效暴露 Si 范围。对于该掩模版,其值约为 7%,从而得到相互作用长度为 $1251\mu\text{m}$ 。此外,另一个重要的原因是 A 和 B 组晶体管 SiGe 薄膜里面的缺陷导致了这种计算偏差,如图 5.9 中的 (a) 和 (b) 所示。同时在计算 SiGe 生长的动能模型时考虑了芯片上暴露 Si 范围,这上面的空位悬挂键会对反应分子产生吸引力。当缺陷在表面上制造出更多的空位点时,碰撞几率和表面分子的吸收都会增强。为了避免图形化效应带来的影响,版图设计时暴露 Si 的区域必须在芯片上均匀分布,这样才能保证气体在芯片上的消耗是均匀的,同样也可以考虑位于晶圆边缘处芯片设计时给予图形密度效应的影响带来补偿设计。

5.5 本章小节

本章主要研究了 SiGe 源漏器件集成过程所受到的衬底图形密度效应的影响。首先介绍了选择性外延过程中图形密度效应产生的过程和机理,以及目前研究抑制或消除图形密度效应的进展和方法。这些改善的方法主要是通过调节反应条件,例如反应中 HCl 的用量、反应压强、载气的用量和反应源的选取等方法。但是均没有达到器件应用的最佳工艺解决方案,不能完全消除图形密度效应,需要结合实际生产选择合适的方法。

其次研究了适用 22nm 平面和 16nm FinFET 器件晶圆进行微观和宏观图形密度效应评估的计算方法和计算模型。在图形密度评估测试中,需要进行不同区域多个样品测试分析,耗时而且成本较高。通过 RPCVD 选择性外延 SiGe 的反应机理,结合 RPCVD 设备反应腔体温度和气体的分布可以对图形密度效应进行模型化计算,对 SiGe 器件集成有实用的价值。

然后对 22nm 平面和 16nm FinFET 器件中选取芯片内部不同露 Si 面积区域进行了 SiGe 生长速率和 Ge 组分计算分析,并评估器件微观图形密度效应。结果表明,实际计算结果和测试结果比较一致,为计算模型在未来 SiGe 器件集成时提供了一种有效的快速预测并评估图形密度效应的方法。

最后研究了宏观图形密度效应对 22nm 平面 PMOS SiGe 源漏器件电学性能的影响分析。对位于晶圆边缘,中间和中心区域三组芯片的电学性能进行了对比

分析,发现位于中心区域的芯片 SiGe 薄膜生长质量较好,Ge 的组分适中,而且器件性能相对较好。而位于芯片边缘区域的芯片因为受到反应石墨基座和边缘氧化层的影响, SiGe 薄膜中的生长速率较快而且薄膜里的位错缺陷较多,器件的性能较差。

因此为了在实际生产时避免图形化效应带来的影响,可在版图设计时考虑各区域暴露 Si 的面积在晶圆上均匀分布,这样才能保证反应气体在芯片上的消耗是均匀的,可以有效抑制图形密度效应带来的危害。

第六章 总结与展望

6.1 总结

本文重点研究了面向 22nm 及以下技术代 CMOS 器件 SiGe 源漏外延技术。对采用 RPCVD 选择性外延生长 SiGe 应变薄膜技术以及在器件集成中的关键工艺问题进行了系统的研究, 为 SiGe 技术在先进器件中的应用奠定了基础。总结本文工作, 主要研究成果归纳为以下几点:

(1) 本论文研究了 SiGe 薄膜选择性外延生长过程中影响薄膜质量和应变的关键工艺参数。优化了 SiGe 选择性生长工艺条件, 实现了高质量应变薄膜的选择性外延生长, 并对影响薄膜应变的工艺参数进行了分析讨论。经研究确定了最佳的工艺参数: 反应温度 $T=650^{\circ}\text{C}$, 工作压强 $P=20\text{Torr}$, HCl 流量: 65sccm, B 掺杂浓度: $1\text{E}20\text{cm}^{-3}$ 到 $3\text{E}20\text{cm}^{-3}$, Ge 组分选择: 27%到 35%。各种不同的工艺参数共同决定了 SiGe 的生长速率和 Ge 应变组分, 优化的工艺条件可以满足 SiGe 薄膜高质量生长的同时, 增加了薄膜临界厚度的阈值, 保持了应变的最大化。

(2) 本论文对 SiGe 源漏集成过程中关键工艺步骤的影响进行了分析和优化。发现在外延前界面清洗前增加 DHF 溶液漂洗有助于增强表面有机沾污的去除, 有效提高了外延薄膜的质量稳定性。而且对自然氧化层的漂洗方式和漂洗时间都进行了优化, 发现采用 DBOE 溶液漂洗去除自然氧化层, 提高了对 SiN 侧墙腐蚀选择比的同时有利于 Si 表面氧化层的去除。

(3) 本论文研究了外延过程中预烘烤工艺对源漏形貌变化的影响。解释了在高温预烘烤条件时, 源漏区域形貌变化和硅损失的主要原因是腔体中残余的 Cl 基在 H_2 氛围中对 Si 的刻蚀作用。而在反应腔体低压预烘烤条件时形貌改变的主要原因是 SiO_2 和 Si 表面的热失配导致的 Si 原子迁移, 会使 Fin 的尺寸变大, 表面变光滑。同时研究分析了 HCl 用量对选择性外延选择性的影响, 要选择合适的 HCl 用量在保证 SiGe 薄膜生长质量的同时, 并抑制假栅两侧和侧墙上 “mushroom” 缺陷的产生。

(4) 本文还首次采用 HRXRD 和 TCAD 仿真技术, 分析了 22nm 平面和 16nm FinFET 器件集成过程中源漏 SiGe 薄膜的应变以及工艺过程中应变的变化,

特别是采用了微束增强 HRXRD 技术分析了 Fin 上 SiGe 薄膜中的 Ge 的组分以及应变程度,验证了外延的 SiGe 薄膜的高质量。另外还采用 TEM 和 EDX 测试技术对器件 SiGe 源漏区域进行分析,检测了薄膜中的缺陷,Ge 组分以及元素分布。验证了 SiGe 源漏集成时生长结构依次按照应变缓冲层 (SRB)、应变核心层 ($\text{Si}_{0.75}\text{Ge}_{0.25}$ or $\text{Si}_{0.80}\text{Ge}_{0.20}$) 和应变牺牲层 ($\text{Si}_{0.75}\text{Ge}_{0.25}$ or $\text{Si}_{0.80}\text{Ge}_{0.20}$) 的顺序实现的合理性和必要性。此外对集成了 SiGe 源漏的 22nm 平面和 16nm FinFET 器件进行了电学性能验证分析,发现集成了 SiGe 源漏的器件性能均有提升。经比较分析,在 16nm FinFET 器件中集成 SiGe 源漏有效增大源漏面积降低接触电阻是提升 FinFET 器件性能主要的因素。

(5) 本论文首次建立了 22nm 平面和 16nm FinFET 器件 SiGe 源漏图形密度微观和宏观效应评估的模型计算方法。计算结果表明存在明显的微观图形密度效应,即在一个芯片的内部露 Si 面积小的区域, SiGe 外延生长速率快, Ge 的组分含量高;宏观图形密度效应为不同位置器件性能差异提供了一种解释;通过对计算结果和实际的测试表征结果比较发现两者较一致。该模型提供了一种有效的快速预测评估 SiGe 选择性外延图形密度效应的方法,为在未来 SiGe 器件集成应用时奠定了基础,特别是在大规模生产集成应用中有着重要的意义。

6.2 展望

本论文所做的工作只是针对在 22nm 平面和体硅 16nm FinFET 器件中 SiGe 源漏集成应用中遇到的一些关键工艺问题进行了机理研究,并提出了部分解决方案。虽然将 SiGe 源漏应变技术成功地应用于 22nm 平面和体硅 16nm FinFET 器件制备中,但是还有很多系统性的研究需要进行,还需要从以下几个方面开展:

(1) 本论文中研究了 22nm 平面源漏 “ Σ ”形貌的形成,但是在 22nm 平面 HKMG 器件实际集成方案中并没有采用 “ Σ ”形貌的源漏,没有进一步在 22nm HKMG 器件中研究源漏形貌对沟道应变和器件性能的影响。

(2) 本论文中制备的 FinFET 器件 Fin 间距也较大(由于光刻设备限制),源漏间距较大,所以在小间距 Fin 上的外延 SiGe 工艺集成和应变状况没有进行

研究,还需要结合工业界实际生产中小间距尺寸中继续优化 SiGe 集成工艺,进一步研究 SiGe 源漏应变对器件性能的影响。

(3) 首次采用的微束增强 HRXRD 无损检测 16nm Fin 上外延 SiGe 薄膜的应变和 Ge 组分方法,在小尺寸 FinFET 器件工业化生产中会有很好的应用前景,有利于快速监测 SiGe 薄膜质量。

(4) 针对 SiGe 选择性外延在不同产品和版图设计中的图形密度效应可以通过模型和具体工艺参数的输入进行计算预估,在实际生产提高 SiGe 器件的良率有很重要的意义,但是还需要在实际大规模生产中进行模型验证,对模型进行修正和改进。

(5) SiGe 选择性外延技术在不仅可以在源漏集成时应用,对于 10nm 及以下技术代 FinFET 和纳米线器件结构中,替换传统的 Si 材料做为沟道材料也是未来一种技术趋势,但需要研究作为沟道材料对薄膜缺陷的控制和 Ge 组分的选择。

集成电路发展到今天,特别是关于“摩尔定律”的发展会不会终止的讨论一直没有停息过。我觉得“摩尔定律”会不会终止并不重要,而是“摩尔定律”已经成为了信息社会发展高速发展的象征,鼓舞着集成电路研发人员进行持续的创新和突破。集成电路技术发展的发展速度远远超出我们的想象,就好像三十年前的人们无法想象现在的我们手里的智能手机性能远超当时的超级计算机,所以现在的我们也仍然无法想象 30 年后的集成电路技术发展会带给我们什么,但是美好的事物永远是值得期待的。