

密级：公开



硕士学位论文

激光测距光电接收机前端放大电路芯片设计

作者姓名：任远

指导教师：张珂殊，研究员，中国科学院光电研究院

学位类别：工程硕士

学科专业：电子与通信工程

研究所：中国科学院光电研究院

2013 年 5 月

Integrated Chip Design of the Front-end Amplifier for
Optical Receiver of Laser Rangefinder

By
Ren Yuan

A Thesis/Dissertation Submitted to
The University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Master of Engineering

Academy of Opto-Electronics,
Chinese Academy of Sciences

May, 2013

独 创 性 声 明

本人声明所呈交的论文是我个人在导师指导下进行的研究工作及取得的
研究成果。尽我所知，除了文中特别加以标注和致谢的地方外，论文中不包含任何
其他人已发表或撰写过的材料，也不包含为获得其它教育机构的别种学位或证书
而大量使用过的材料。与我一同工作的人对本研究所做的任何贡献已在论文中作
了明确的说明并表示谢意。

签名： 任远 日期： 2013.5.29

关 于 论 文 使 用 授 权 说 明

本人完全了解培养单位有关保留、使用学位论文的规定，即：培养单位有权
保留送交论文的复印件，允许论文被查阅和借阅；培养单位可以公布论文的全部
或部分内容，可以采用影印、缩印或其他复制手段保存论文。

签名： 任远 见证人： 傅巧琳 日期： 2013.5.29

激光测距光电接收机前端放大电路芯片设计

摘 要

激光测距技术近年在地形勘探、场景重构、模式识别等领域得到了广泛的应用，位于其光电接收机前端的放大电路是激光测距系统的重要组成部分。论文在实验室前期成果基础上，深入研究了基于应用的高速集成放大器技术并通过电路仿真和版图制造实现了前端放大电路系统芯片设计。

前端放大电路系统芯片主要包括前置放大器模块和主放大器模块。电路结构上，前置放大器选取 RGC 跨阻放大器结构，能够隔离较大的光电探测器寄生电容，提供足够低的输入阻抗，满足输入节点的带宽要求。主放大器采用多级放大器级联的结构，其中每级放大器采用全差分单极点结构。多级级联结构能够在特定增益下得到更高的带宽。此外，主放大器的设计运用了并联峰化技术和失调电压补偿技术，分别解决了级联结构带宽下降和直流电压失调问题。系统版图设计上，采取了隔离、布线优化等措施，从一定程度上解决了高频模拟版图中的寄生参数和信号串扰问题。Cadence 软件仿真结果表明，系统后仿真指标与前仿真符合较好。

论文采用 CSMC 0.5um 2P3M CMOS 工艺对系统版图进行了流片实现。芯片核心电路尺寸为 1194um×1220um，封装后的尺寸为 0.5cm×0.5cm。选取芯片样片进行了测试。测试结果显示芯片增益为 84.12dB，带宽为 1.063GHz，等效输入噪声电流谱密度为 19.71 pA/sqrt(Hz)，供电电压为 3.3V，静态功耗为 128.7mW。芯片测试结果满足设计要求。

关键词：激光测距，前端放大电路，单片集成，CMOS 工艺，芯片测试

INTEGRATED CHIP DESIGN OF THE FRONT-END AMPLIFIER FOR OPTICAL RECEIVER OF LASER RANGFINDER

ABSTRACT

Ren Yuan

Directed by Zhang Keshu

Laser rangefinder technology has been widely used in various applications such as terrain exploration, scene reconstruction and pattern recognition, and the amplifying circuit in the front of optical receiver is a key component of laser rangefinder system. Based on our previous work in separated devices design, this thesis investigates high speed integrated amplifier technology for our application, and realizes the front-end amplifier system integrated chip design by circuit simulation and layout manufacturing.

The front-end amplifier system chip mainly includes two parts: preamplifier module, main amplifier module. The preamplifier adopts RGC transimpedance amplifier structure (TIA), which can isolate large parasitic capacitor from photodetector, provide sufficiently low input impedance and meet the bandwidth demand of input nodes. Then, multiple stage amplifier cascade structure is implemented for the main amplifier, and each amplifier stage adopts fully differential single-pole structure. Multiple stage cascade structure can achieve higher bandwidth of circuit under specific gain. Particularly, in the design of main amplifier, parallel peaking technology and offset voltage compensation technology are applied to increase circuit bandwidth and solve the mismatch problem of open-loop cascade amplifier. Measures such as isolation and wiring optimization are taken, to some extent, solve parasitics and crosstalk problems in the high-frequency analog layout

design. Simulation results from Cadence software show the agreement between post-simulation indicators and pre-simulation indicators.

The thesis conduct chip for system layout with CSMC 0.5 μm 2P3M CMOS technology. The dimension of core chip circuit before and after packaging is $1194\mu\text{m}\times 1220\mu\text{m}$ and $0.5\text{cm}\times 0.5\text{cm}$ respectively. Chip test is taken for chip samples, which shows that with the 3.3V power supply, the front-end amplifier system chip has the gain of 84.12 dB, bandwidth of 1.063GHz, input equivalent noise current spectral density of 19.71 pA/sqrt(Hz), and static power consumption of 128.7mW. The results indicate that the proposed design meets the application demand.

KEY WORDS: laser rangefinder, the front-end amplifier circuit, single chip integration, CMOS technology, chip test

目 录

激光测距光电接收机前端放大电路芯片设计	IV
第 1 章 绪论	1
1.1 课题背景简介	1
1.2 国内外研究现状及课题研究意义	3
1.3 课题研究目标及论文结构	5
第 2 章 前端放大电路系统方案	7
2.1 系统结构方案	7
2.2 前置放大器模块选型方案	8
2.3 主放大器模块选型方案	10
2.4 设计工艺选取	13
2.5 设计流程说明	14
第 3 章 前置放大器模块设计	16
3.1 设计需求	16
3.2 前置放大器主要结构方案	16
3.3 前置放大器电路实现	21
3.3.1 RGC 跨阻放大器设计	21
3.3.2 辅助电路设计	22
3.4 前仿真验证	23
3.4.1 仿真环境搭建	23
3.4.2 仿真结果及分析	24
3.5 本章小结	26
第 4 章 主放大器模块设计	28
4.1 设计需求	28
4.2 主放大器整体设计方案	28
4.3 关键技术方案	29
4.3.1 拓展带宽关键技术	30
4.3.2 失调电压补偿关键技术	34
4.4 主放大器电路实现	35
4.4.1 高速运放单元设计	35
4.4.2 输出缓冲单元设计	37
4.4.3 失调电压补偿设计	39

4.5 前仿真验证	40
4.5.1 仿真环境搭建	40
4.5.2 仿真结果	41
4.6 本章小结	44
第 5 章 系统版图设计	45
5.1 CMOS 高速模拟版图设计概述	45
5.1.1 设计规则	45
5.1.2 高速版图需考虑的因素	45
5.2 前端放大电路系统版图设计	47
5.2.1 系统电路简介	47
5.2.2 系统版图及模块版图实现	48
5.2.3 版图性能的优化	49
5.3 后仿真验证	55
5.3.1 仿真环境搭建	55
5.3.2 后仿真结果及分析	56
5.4 本章小结	59
第 6 章 芯片实现与芯片测试	60
6.1 芯片测试概述	60
6.2 芯片测试方案	60
6.2.1 测试设备	60
6.2.2 测试环境搭建	60
6.2.3 测试系统设计	61
6.3 芯片照片	62
6.4 芯片测试结果及分析	62
第 7 章 结束语	67
7.1 总结	67
7.2 展望	68
参考文献	69
攻读学位期间发表的学术论文	73
致 谢	74

图目录

图 1.1 激光雷达脉冲测距系统框图	1
图 1.2 光电接收机系统框图	2
图 1.3 (a) 光电二极管特性曲线, (b) 光电二极管导电原理	2
图 1.4 光电探测器等效电路模型	3
图 2.1 前端放大电路系统方案	8
图 2.2 低阻前置放大器	9
图 2.3 高阻前置放大器	9
图 2.4 互阻前置放大器	10
图 2.5 自动增益控制放大器系统框图	11
图 2.6 基本差分放大器	11
图 2.7 设计流程	14
图 3.1 共源极结构跨阻放大器	17
图 3.2 电流模结构跨阻放大器	18
图 3.3 RGC 结构跨阻放大器	19
图 3.4 RGC 结构跨阻放大器小信号等效电路	19
图 3.5 RGC 跨阻前置放大器实现图	21
图 3.6 传统单端转差分电路	22
图 3.7 单转双电路实现图	23
图 3.8 前置放大器仿真环境	24
图 3.9 前置放大器幅频响应曲线	24
图 3.10 前置放大器性能仿真波形曲线	25
图 4.1 主放大器结构框图	29
图 4.2 带源随器的全差分放大器	30
图 4.3 使用电容电阻退化技术的差分电路	31
图 4.4 电容电阻退化技术半边等效电路	31
图 4.5 使用并联峰化技术的放大器	32

图 4.6 并联峰化放大器小信号等效电路	32
图 4.7 电阻并联负反馈失调补偿原理	34
图 4.8 电容耦合技术示意图	35
图 4.9 高速运放单元设计	36
图 4.10 (a)螺旋电感负载, (b)有源电感负载	36
图 4.11 宽带低增益运放设计	38
图 4.12 buffer 电路设计	38
图 4.13 主放失调电压补偿	40
图 4.14 主放大器仿真环境	41
图 4.15 瞬态仿真波形曲线图	42
图 4.16 输出幅频响应曲线图	42
图 4.17 主放性能仿真曲线图	43
图 5.1 衬底耦合噪声示意图	47
图 5.2 前端放大电路系统电路设计图	47
图 5.3 前端放大电路系统级版图	48
图 5.4 模块级版图设计	49
图 5.5 二维共质心匹配示意图	50
图 5.6 二维共质心匹配版图	51
图 5.7 MOS 管对称匹配版图	51
图 5.8 (a) MOS 管的 dummy 形式, (b) 电阻的 dummy 形式	52
图 5.9 (a) 采用叉指结构的 MOS 管版图 (b) MOS 管的叉指结构图示意图	52
图 5.10 MOS 管栅极连接方式优化	53
图 5.11 (a) 交叠电容和平行电容, (b) 用屏蔽导体来减少耦合	54
图 5.12 系统版图芯片管脚排布	55
图 5.13 系统仿真测试电路	56
图 5.14 瞬态仿真波形	56
图 5.15 幅频响应曲线	57
图 5.16 输入等效噪声曲线	57

图 5.17 PSRR+仿真曲线	58
图 5.18 PSRR-仿真曲线	58
图 6.1 芯片测试 PCB 实物照片	61
图 6.2 芯片测试仪器及图片	61
图 6.3 芯片瞬态特性测试方案	61
图 6.4 芯片交流特性测试方案	62
图 6.5 前端放大电路系统芯片显微照片	62
图 6.6 芯片幅频响应测试曲线	63
图 6.7 芯片输入阻抗测试曲线	64
图 6.8 芯片输出阻抗测试曲线	64
图 6.9 芯片等效输入噪声测试曲线	64
图 6.10 芯片电源电压调整率测试曲线	65
图 6.11 芯片偏置电压调整率测试曲线	65
图 6.12 芯片偏置电流调整率测试曲线	66

表目录

表 2.1 前置放大器类型及其优缺点.....10

表 2.2 集成电路制造工艺对比.....14

表 3.1 前置放大器仿真结果汇总.....26

表 3.2 前置放大器工艺角仿真结果.....26

表 4.1 主放大器仿真结果汇总.....43

表 4.2 主放大器工艺角仿真结果.....44

表 5.1 系统级基本工艺角前仿指标汇总.....48

表 5.2 后仿真结果.....58

表 5.3 工艺角仿真结果.....59

表 6.1 芯片直流特性测试数据.....63

表 6.2 芯片交流特性测试数据汇总.....63

第1章 绪论

1.1 课题背景简介

激光雷达技术产生于二十世纪七十年代，其测距系统框图如图 1.1 所示，系统主要包括激光发射系统，光电接收机和时间测量电路。其工作原理是由激光器对被测目标发射一个光信号，然后接收目标反射回的光信号，通过测量光信号往返经过的时间，计算出目标的距离。

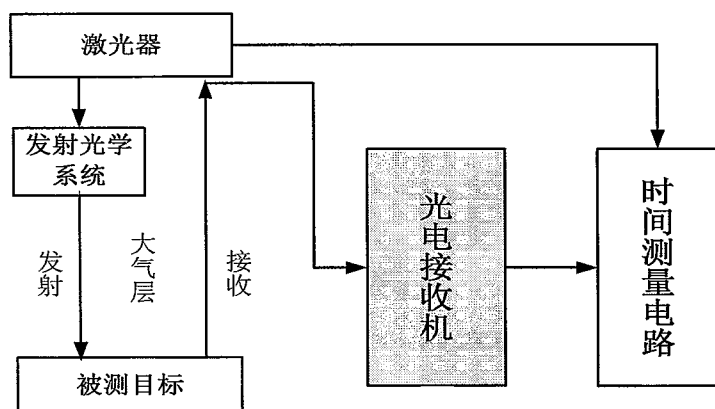


图 1.1 激光雷达脉冲测距系统框图

在实际中，被测目标反射的光回波信号，经过远距离的传输之后，能量已衰减的非常微弱，不足以驱动时间测量电路，需要在回波信号与时间测量电路中间加入光电接收机。

光电接收机系统框图如图 1.2 所示。光电接收机包括光电转换单元和电信号处理单元，其工作原理是利用光电探测器把目标反射回的微弱光信号转化为电信号，并经电信号处理单元被线性放大至一定幅度，然后通过阈值比较器转化为代表距离信息的逻辑时刻信号，并由时间测量电路采集^[1]；同时线性放大后的信号被模数转换器采集，可得回波脉冲幅度信息。前端放大电路位于电信号接收处理单元的最前端，负责将光电探测器输出的电流信号转化为电压信号，并进行一系列的放大，其放大后的波形幅度和质量将直接影响时刻鉴别的精准度，进而影响测距计时的精度。

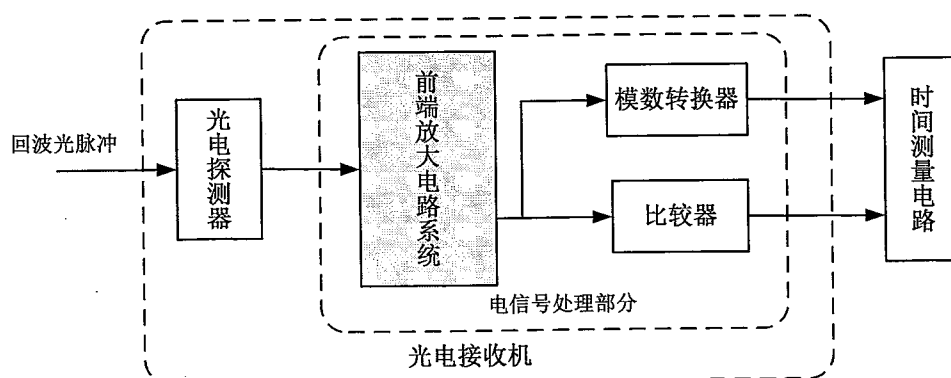


图 1.2 光电接收机系统框图

前端放大电路系统设计依赖光电探测器的输出特性，因此有必要对光电探测器的特性做一个初步了解。

光电探测器，简称 PD (Photo Detector)，功能是将接收到的微弱光信号转换成电流信号。光电探测器的光电转换原理如图 1.3 所示，用光照射 PN 结，价带中的电子会受到激发并发生跃迁，导致光子被吸收产生具有导电能力的电子空穴对，当给其施加反向电压时，会产生一个连续的电流^[2]。普朗克方程光子能量为式 (1.1) 所示，其中， h 为普朗克常数， $h = 6.634 \cdot 10^{-34} J \cdot s$ ，为激励载流子产生，光的波长应低于阈值 $\lambda_p \gg 1.24 / E_g nm \cdot eV$ 。

$$I_p = \frac{hc}{\lambda} \quad (1.1)$$

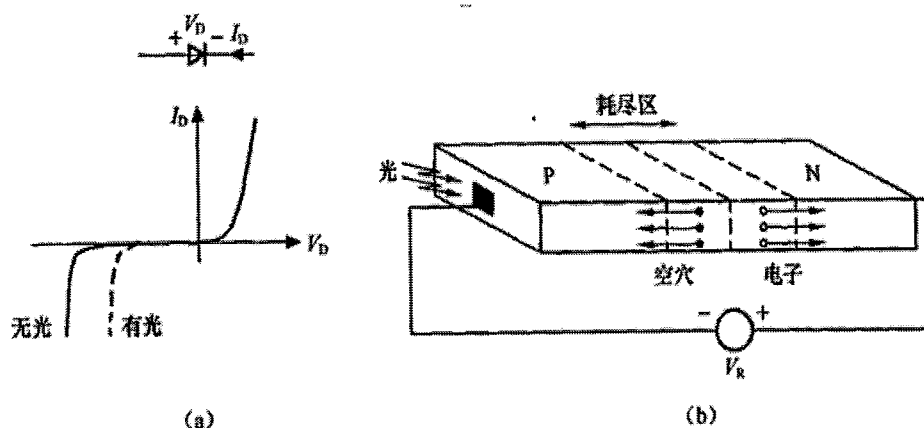


图 1.3 (a) 光电二极管特性曲线，(b) 光电二极管导电原理

从电路建模角度，将光电探测器等效为图 1.4 所示的电路模型，其中 I_s 为光电探测器的输出电流， C_s 为光电探测器的寄生电容，是影响后面芯片带宽的重要因素。光电探测器的寄生电容从 0.1pF 至 10pF 不等。 C 、 L 、 R_1 和 R_2 分别为

光电探测器的连线电容、连线电感及连线电阻。其中，光电探测器的输出电流 I_s 和寄生电容 C_s 是其最重要的参数，是设计前端放大器的重要依据。对于本次设计，光电探测器的输出电流为 $1.5\mu\text{A}$ ，寄生电容为 2.5pF 。

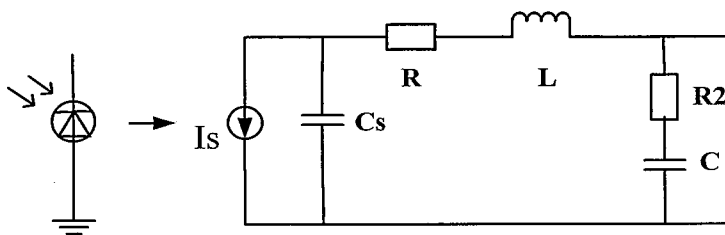


图 1.4 光电探测器等效电路模型

1.2 国内外研究现状及课题研究意义

自上世纪开始，国外众多研究机构就开展了激光测距方面的研究工作。研究最早的是芬兰奥鲁大学电气工程系，他们的研究从 20 世纪 70 年代初一直持续至今，研究内容从分系统到整机应用，并且和美国、俄罗斯几家著名的公司联合开展应用研究，其产品涉及工业、航天、海洋及机器人视觉多个方面^[3]。到 20 世纪 80~90 年代，美国科顿公司、亚特兰大激光公司、Tasco 公司均先后进行了激光测距系统的研究^[4]。其中，美国 DARPA、NASA 等机构在过去几十年中投入了大量的经费开展激光雷达相关技术研究、生产出各类激光雷达装备。例如，2002 年美国哈里斯公司和林肯实验室合作，研制出了能有效识别隐藏在树林中的三维激光雷达样机；2006 年美国《国防工业日报》报道，洛克希德·马丁公司接到“捕食者”成像激光雷达项目的一份 780 万美元的合同，要求到 2009 年完成满足无人机载荷尺寸和重量要求的激光雷达的研究^[5]；据 NASA 网站报道，其自 2008 年开始应用于月球安全着陆点自动识别和导航的阵列式激光雷达的研究，目前该系统采用的是 128×128 阵列，最终目标是增加到 256×156 阵列。国内激光雷达领域的现状为，90 年代末，航天科工集团 9358 所、中国计量学院、中国科学院上海光机所、泉峰集团以及科学院武汉物理与数学所、南京理工大学、西安电子科技大学、国防科技大学相继开展了激光测距系统的研究，研究内容涉及激光测距系统的各方面，包括激光器设计、光学结构设计、探测目标特性研究、系统探测特性研究、系统硬件研究等^[6]。国内在此领域的研究起步较晚，尚处于发展阶段，目前基础技术已具备，但主要解决的是工程应用问题。已有的公开资

料表明,高精度、小型化、多回波的激光雷达测距系统是激光测量发展的趋势。

针对高精度、小型化、多回波激光雷达测距系统信号处理电路系统的研究,国外开始较早且近年来鲜有报道^[7]。国内最近研究较多,仅在 2011 年,就有沈姝钰等人基于单/双基的激光雷达系统结构,设计了激光雷达多通道信号处理电路^[8];李密等人通过选择合适的光电探测器和时间测量电路,初步实现了激光脉冲静态测距^[9];陈黎敏,王全忠采用单片机技术,与模数转换器连接,提出了一种高精度测距的实现方法^[10];吕明爱等人利用高速模数转换采样技术,结合 FPGA 的高速信号处理能力,设计了一套回波检测处理系统^[11]。

文献中对于激光雷达测距系统的信号处理电路部分均采用分立器件实现,运用单芯片集成电路系统实现的研究较少。针对前端放大电路相关结构研究可类比光纤通信系统中光电接收机中的信号放大电路。在该领域^[12-16],国外早在 1995 年就有 Vanier, T. 和 C.Toumazou 采用 BiCMOS 工艺,共基极输入结构将前置放大器的带宽做到了 3.5GHz;1998 年, Tanabe, A.和 M. Soda, 采用 CMOS 工艺、AGC 结构将前端放大器的指标做到中频跨阻增益为 59dB,带宽为 5.9 GHz;到 2001 年, Schaub, J. D 和 R. Li 等人采用硅基工艺将前置跨阻放大器的速率提高到 2.0 Gb/s;2005 年, Sturm, J.和 M. Leifhelm 基于 BiCMOS 工艺设计了可变增益的跨阻前置放大器,达到最大增益 130dB, 3dB 带宽 260M;国内这一领域,较先进的属东南大学射频集成电路实验室。在 2006 年,该实验室的黄茜和冯军等人,基于 TSMC 0.18 μm CMOS 工艺,采用 RGC 结构和并联峰化技术,将前端放大电路做到中频跨阻增益 59.2dB Ω , 3dB 带宽 9.08GHz,其可应用到 10Gbit/s 的光接收机中。可以看到,光纤通信系统光电接收机中的放大电路更关注传输速率的高低。相比之下,本文所研究的应用于激光测距光电接收机的前端放大电路处理的是模拟信号,要根据应用需求综合权衡增益、速度、噪声、稳定性和功耗,但相关结构仍可以借鉴以上文献。

在集成电路领域,由于高集成度的需求和摩尔定律的推进,集成电路已发展到系统级芯片阶段^[17]。对此领域的研究,国外高校以欧美学校为主,研究领域主要侧重于系统的架构设计、模数工艺兼容性、系统高性能、高稳定性、实用性等^[18]。国内主要以清华大学、北京大学、浙江大学、中科院计算技术研究所为主,研究内容主要包括集成系统的验证方法、高速设计、软硬件协同设计等^[19]。

事实上,近年来单芯片全集成电子电路系统的研究已经成为国内外的焦点课题,应用领域也越发广泛。

尽管如此,针对激光雷达测量具体应用的单芯片全集成电子电路系统的研究仍处于探索阶段,与最终的批量应用还有很大距离。对于激光雷达测量系统来说,若采用集成电路实现其信号的采集与处理,系统的精度、数据效率会显著提高,设备的体积、功耗、成本也将大大减少,效益非常可观。而激光雷达测距系统的发展涉及国家安全和国民经济的发展,是目前国际上竞相研究的焦点之一,是综合国力的体现。为了提高激光雷达测量系统的精确性和便携性,研究激光雷达信号处理电路系统的集成化设计方法至关重要。

综上,国内外对单芯片全集成电子电路系统的研究以及集成电路工艺的发展为本课题的芯片设计研究提供了技术可行性。如果将激光测距光电接收机前端放大电路单芯片集成,一方面可以减少系统的体积;另一方面提高了系统可靠性。因此,光电接收机电信号处理系统中的前端放大器的单芯片集成设计具有非常重大的意义,本课题将就此领域进行深入研究。

1.3 课题研究目标及论文结构

为满足激光雷达测量技术的发展和实用需求,实验室长期致力于激光雷达测距领域的研究。目前已采用一定增益且响应时间很短的 10×10 阵列 MCP-PMT 进行了激光雷达回波信号的检测,并采用分立器件搭建了后端光电接收机电信号处理系统,成功地完成了激光雷达回波信号的接收和处理,实现了测距功能。但是,分立器件电路系统有其自身不可避免的很多缺点,如体积大、功耗大、易受外界干扰、可靠性差等。本课题通过对近年相关领域的研究进展进行调研,从实验室已有研究成果中吸取经验,分析其不足,在此技术积累的基础上,详细调研了该领域国内外发展现状,研究目标定位在将光电接收机的前端放大电路系统集成在单芯片上,目的是减少电路系统体积,提高系统可靠性。

根据课题的研究目标,论文结构共包括七章,各章具体内容如下:

第一章,绪论。阐述课题背景、研究现状和研究意义,在此基础上提出课题的研究目标和论文结构安排。

第二章,前端放大电路系统方案。重点分析了前端放大电路系统结构方案及

前置放大器和主放大器模块的选型方案，并确定了芯片实现工艺和具体设计流程。

第三章，前置放大器模块设计。根据设计需求，分析与制定了前置放大器的结构方案，重点介绍了前置放大器的具体电路实现，进行了前仿真并对结果作以分析。

第四章，主放大器模块设计。根据设计需求，分析与制定了主放大器的整体设计方案。针对级联电路的带宽下降和电压失调问题，详细介绍了主放大器的具体电路实现，最后给出前仿真结果并加以分析。

第五章，系统版图设计。介绍了系统版图和模块版图的具体实现及采取的优化方案，并给出了后仿真结果及分析。

第六章，芯片实现与芯片测试。给出并分析了光电接收机前端放大器芯片的测试结果。

第七章，结束语。总结论文的研究成果和经验，提出下一步发展方向。

第2章 前端放大电路系统方案

本章根据应用背景和前后级模块的特性提出了前端放大电路系统的设计指标需求，在此前提下分析制定了系统结构方案，并分别论证了前置放大器模块和主放大器模块的选型方案。本章最后明确了芯片实现工艺的选取和具体设计流程。

2.1 系统结构方案

前端放大电路系统作用是将光电探测器输出的微弱电流信号转换为电压信号，并将信号线性放大到一定的幅度，以便驱动后续时刻鉴别电路。如果将整个电信号接收系统视作模数混合系统，前端放大电路系统则是其中的模拟信号处理部分，它位于光电接收机电信号处理单元的最前端，其性能直接影响数字信号处理单元的性能。

根据激光测距光电接收机的应用背景，前端放大电路系统应具备较大的带宽，以满足快速响应的需求；根据光电探测器的输出特性，前端放大电路应该具备较好的电流传递特性以及处理微弱信号的能力；根据驱动后级电路的要求，前端放大电路系统应具有较大的增益。

综上，明确了前端放大电路系统的设计需求如下：

- 输入电流：1.5uA（光电探测器输出电流）
- 输入端负载：2.5pF（光电探测器寄生电容）
- 端口特性：单端电流输入，双端电压输出
- 增益：大于 80dB_{ohm}（@100MHz）
- 3dB 带宽：大于 500MHz
- 等效输入噪声电流谱密度：小于 10pA/sqrt(Hz)（@100MHz）

根据设计需求，提出前端放大电路的系统方案如图 2.1 所示，它主要由前置放大器模块和主放大器模块及其辅助电路构成。前置放大器的作用将电流信号转化为电压信号并提供一定的跨阻增益。前置放大器紧接在光电探测器后端，为了与其匹配并获得高宽带和低噪声，它的增益通常会受限，无法将电压放大到驱动

后续电路的幅度，因此需要在前置放大电路和比较器之间再插入主放大器模块。主放大器的作用是进一步提供电压增益，弥补前置放大器增益的不足，以达到比较器可以鉴别的程度。此外，前端放大电路系统还包括两个辅助电路：单端转差分电路和输出缓冲电路。前者用来实现前置放大器和差分放大单元之间的匹配；后者用来实现阻抗变化，以匹配传输线电阻。

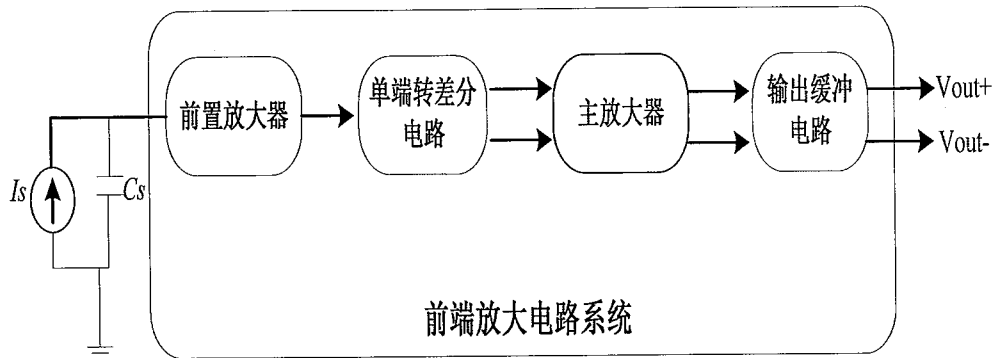


图 2.1 前端放大电路系统方案

2.2 前置放大器模块选型方案

常见的前置放大器类型有低阻放大器、高阻放大器和跨阻放大器三种^[20]。

低阻放大器结构如图 2.2 所示，其原理是将一个小阻值的电阻 R 与前置放大器的输入端相连，作为探测器的负载来将输入小电流转化为小电压，然后将这一电压进行放大^[21]。其中电阻 R 通常取 50Ω ，以实现与传输线的匹配。低阻放大器由于输入电阻较小，输入的小电流信号能够更多地流入低阻放大器中，放大器的带宽受探测器寄生电容的影响较小，因此具有较大的带宽^[22]。此外，该结构还具有对均衡的要求不高、动态范围较大的优点^[23]。但缺点是由于其与光电探测器之间采用传输线连接，最大增益只能从传输线到放大电路间获得，而不能由探测器到传输线之间获得^[24]。故该结构的增益比其他两种结构的增益低，等效输入噪声也较大，灵敏度较低。低阻放大结构由于实现简单且具有较好的输入匹配，多适用于光电探测器和放大电路系统的混合集成系统中。

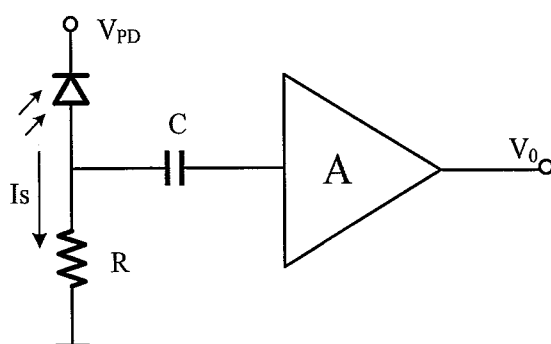


图 2.2 低阻前置放大器

高阻放大器结构如图 2.3 所示，其原理与低阻放大器类似，不同的是其按照最大增益原则设计，如果将光电探测器看作一个内阻非常高的受控电流源，它需要与一个高阻抗的负载电阻匹配来获得最大的增益^[25]。该结构的优点是增益较高，噪声性能较好。但高阻放大器存在以下缺点：1、电路对均衡器的要求较高。由于光电探测器的偏置电阻和 MOS 管的输入电容会对输入的电流信号形成一个积分器，因此必须对放大器的输出信号进行均衡，通过合理的设计，用均衡网络的零点来抵消放大器的相应极点，从而补偿频率特性^[26]，而对于高速系统均衡网络的设计非常复杂，因此增加了设计的复杂度；2、电路带宽较小。由于高阻放大器输入阻抗很高，故时间常数较大，带宽较小^[27]；3、由于电路具有较大的输入电阻，电路的动态范围很小。。

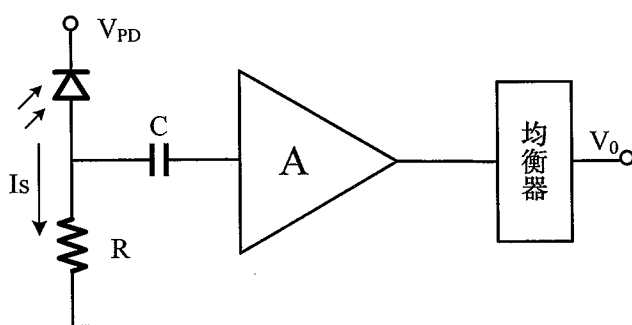


图 2.3 高阻前置放大器

跨阻放大器的工作原理是引入负反馈机制来提升性能，其结构示意图如图 2.4 所示，由跨接在放大器输入和输出端的反馈电阻构成电压并联负反馈^[28]。相比低阻和高阻放大器，跨阻放大器由于引入了电压并联负反馈，因此具有如下优点：首先，跨阻放大器增益较大，噪声性能较好。由电路理论，在运放开环增益足够大的情况下，跨阻增益几乎全部由反馈电阻决定，因此负反馈会起到稳定电

路增益的作用^[29]，而且可通过调节反馈电阻的阻值使电路获得很高的增益，从而得到较小的等效输入噪声，提高系统灵敏度^[30]；其次，跨阻放大器具有较大的带宽，这是因为电压并联负反馈技术能显著地减小输出阻抗，使光电流几乎全部流入放大电路，从而使带宽受探测器寄生电容影响较小；此外，跨阻放大器还具有动态范围较大，电路结构较简化，不需要均衡电路等优点。

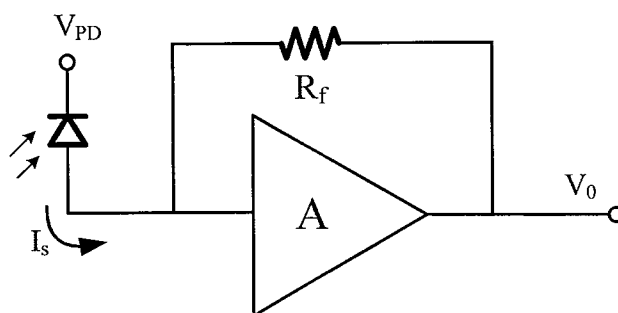


图 2.4 互阻前置放大器

综上所述，对以上三种前置放大器类型的优缺点及适用范围总结如表 2.1 所示。结合课题应用背景，激光雷达测距系统的光电接收机需要处理高频且微弱的激光回波电流信号，对带宽及噪声特性要求较高，而且综合考虑动态范围和均衡的难易等因素，故前置放大器的实现形式上选取跨阻放大器类型。

表 2.1 前置放大器类型及其优缺点

	优点	缺点	备注
低阻放大器	结构简单；带宽大；动态范围大；匹配较好	增益低；灵敏度低；	适合光电探测器和放大器的混合集成系统
高阻放大器	增益大；灵敏度高；	带宽小；需要均衡	适合高灵敏度的但对速度要求不高的系统
跨阻放大器	增益大，带宽大，灵敏度高，动态范围大，不需要均衡，广泛采用		

2.3 主放大器模块选型方案

目前用于实现高速主放大器的电路结构主要有：自动增益控制放大器与限幅放大器^[31]。

自动增益控制放大器简称 AGC（Auto Gain Control）放大器，它是通过提取输出信号的幅度信息，并将其反馈到主电路中来调节放大器的增益，从而达到输出信号幅度不变的目的^[32]。自动增益控制放大器实质是利用了负反馈的原理，

其工作过程如图 2.5 所示。如果输出信号的幅度增大，首先由整流电路和 RC 网络将输出信号的峰值检出，然后通过控制电路将控制信号放大，最后将放大后的控制信号送到增益可调放大器中用来降低其增益，从而达到抑制输出信号幅度的目的^[33]。

自动增益控制放大器引入负反馈环路来自动调节放大器的增益，稳定性较好，但是其电路形式复杂，占用的芯片面积较大，并且达到稳定工作状态的时间较长，速度较低，因此不适用于光电接收机中的主放大器^[34]。

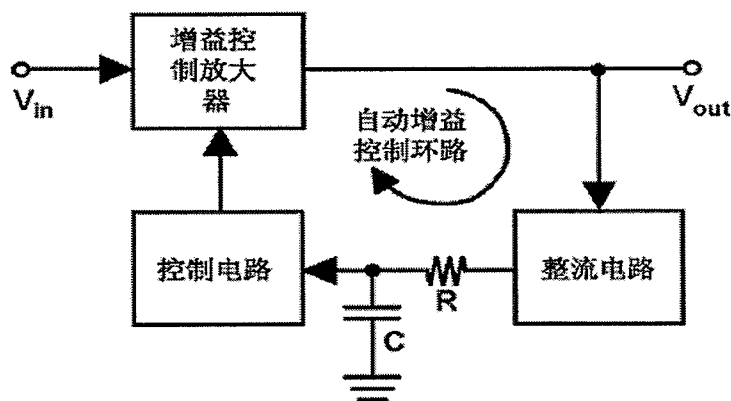


图 2.5 自动增益控制放大器系统框图

限幅放大器的工作原理是：当放大器的输入信号幅度超过一定电平时，放大器将进入非线性工作区，使得输出信号达到限幅状态。限幅放大器通常由差分放大器级联组成，如图 2.6 所示的基本差分放大器，其中 CMOS 共源极差分放大对管 M_1 和 M_2 的非线性特性被用来实现限幅功能，其具体限幅工作原理如下：

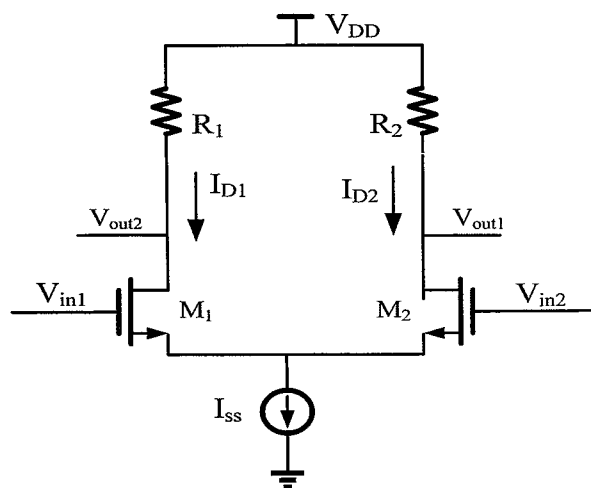


图 2.6 基本差分放大器

如图 2.6 所示差分电路，当差分输入对管工作在饱和区时，两管的漏极电流分别为：

$$i_{D1} = K(v_{GS1} - V_{THN})^2 \quad (2.1)$$

$$i_{D2} = K(v_{GS2} - V_{THN})^2 \quad (2.2)$$

又因为，

$$v_{ID} = v_{GS1} - v_{GS2} = \sqrt{\frac{i_{D1}}{K}} - \sqrt{\frac{i_{D2}}{K}} \quad (2.3)$$

$$i_{SS} = i_{D1} + i_{D2} \quad (2.4)$$

故， i_{D1} ， i_{D2} 分别为：

$$i_{D1} = \frac{I_{SS}}{2} + \sqrt{\frac{KI_{SS}}{2}} v_{ID} \sqrt{1 - \frac{K}{2I_{SS}} v_{ID}^2} \quad (2.5)$$

$$i_{D2} = \frac{I_{SS}}{2} - \sqrt{\frac{KI_{SS}}{2}} v_{ID} \sqrt{1 - \frac{K}{2I_{SS}} v_{ID}^2} \quad (2.6)$$

输出端差分电流为：

$$i_{D1} - i_{D2} = \sqrt{2KI_{SS}} v_{ID} \sqrt{1 - \frac{K}{2I_{SS}} v_{ID}^2} \quad (2.7)$$

将 $I_{DQ1} = I_{DQ2} = I_{SS}/2 = K(V_{GSQ} - V_{TH})^2$ 带入式 (2.7) 中，此时差分电流为：

$$i_{D1} - i_{D2} = I_{SS} \left(\frac{v_{ID}}{V_{GSQ} - V_{TH}} \right) \sqrt{1 - \frac{1}{4} \left(\frac{v_{ID}}{V_{GSQ} - V_{TH}} \right)^2} \quad (2.8)$$

$$\text{当 } v_{ID} = 0 \text{ 时, } i_{D1} = i_{D2} = \frac{I_{SS}}{2} \quad (2.9)$$

当 $|v_{ID}|$ 很小，满足 $|v_{ID}| \ll 2(V_{GS} - V_{TH})$ 时，有：

$$i_{D1} \gg \frac{I_{SS}}{2} + \frac{I_{SS}}{2} \left(\frac{v_{ID}}{V_{GS} - V_{TH}} \right) \quad (2.10)$$

$$i_{D2} \gg \frac{I_{SS}}{2} - \frac{I_{SS}}{2} \left(\frac{v_{ID}}{V_{GS} - V_{TH}} \right) \quad (2.11)$$

$$i_{D1} - i_{D2} \gg I_{SS} \left(\frac{V_{ID}}{V_{GSQ} - V_{TH}} \right) \quad (2.12)$$

因为差分传输特性的线性关系，跨导即为曲线的斜率：

$$g_m = \frac{i_{D1} - i_{D2}}{v_{ID}} = \frac{I_{SS}}{V_{GS} - V_{THN}} \quad (2.13)$$

此时交流小信号增益为：

$$A_{vd} = -g_m R \quad (2.14)$$

增大 v_{ID} ，当 $v_{ID} \neq \sqrt{2}(V_{GS} - V_{TH})$ 时，放大器进入限幅区。

与自动增益控制放大器相比，限幅放大器具有以下优点：单元电路结构简单，寄生参数较少，带宽较大；取消了增益控制环路，电路设计简单^[35]，芯片面积小。取消了控制逻辑电平，所需电源电压较低，消耗的功率也较低。故本文采用限幅放大器来实现主放大器模块设计。

2.4 设计工艺选取

选择合适的工艺是成功完成激光测距前端放大电路的前提和保证。目前用于集成电路生产的工艺主要有 GaAs（砷化镓）、SiGe（锗硅）、Bipolar（双极型晶体管）、CMOS（互补型金属氧化物半导体）和 BiCMOS（双极型 CMOS）。

在高频应用中，国内外已报道的研究成果中能达到 6GHz 以上的多采用 GaAs、SiGe、Bipolar 以及非标准的低掺杂衬底来实现。这些工艺具有很高的载流子迁移率，可用于实现高速应用，但同时也具有成本高、成品率低、功耗大、工艺不易获得且集成度低的缺点^[36,37]。

BiCMOS 工艺综合了 Bipolar 工艺的高速和 CMOS 工艺的可集成度高这两方面优点，但从实际工程角度来看，它有三大缺点：一是成本高于 CMOS 工艺，二是寻求代工服务较难，三是其中的 CMOS 工艺总是落后于标准 CMOS 工艺的发展进程^[38]，有时很难满足设计需要。

CMOS 工艺具有功耗低、集成度高、代工方便、价格低廉等特点，但相对低的速度影响了它在高速中的应用^[39]。然而随着 CMOS 工艺向亚微米、深亚微米方向的发展，CMOS 器件的特征尺寸不断减小，特征频率不断提高，同时，随着人们在射频集成电路领域研究的不断深入，在 CMOS 工艺条件下制作单片高 Q 值电感电容已成为可能^[40]。目前，利用深亚微米 CMOS 工艺设计超高速单片集成电路已成为全球 IC 界研究的热点^[41]。

表 2.2 列举了集成电路制造工艺的对比。综合考虑芯片速率、电路功耗、噪声、芯片面积、流片途径及设计成本等各项因素，决定采用 CSMC 0.5um CMOS 工艺实现光电接收机前端放大电路集成芯片的设计。

表 2.2 集成电路制造工艺对比

	Bipolar	GaAs	CMOS
集成度	较低	较低	最高
速度	较高	最高	较低
功耗	较高	较高	较低
成本	较高	最高	较低
寻求代工服务	困难	困难	方便

2.5 设计流程说明

本课题所研究的光电接收机前端放大电路设计属于高速模拟集成电路领域，采用全定制设计，具体设计流程如图 2.7 所示。

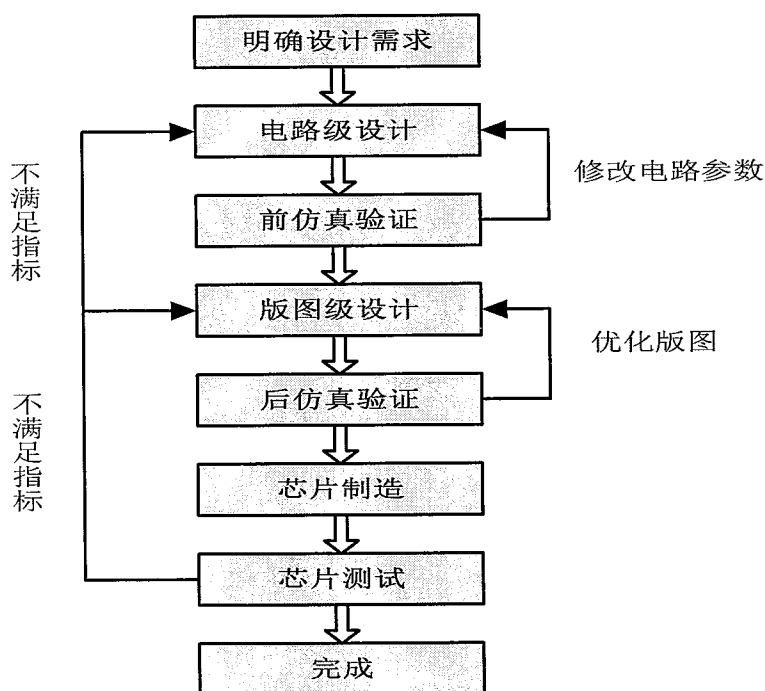


图 2.7 设计流程

1、明确设计需求：根据激光雷达测距光电接收机中对前端放大电路系统的功能和性能需求，提出待设计模拟电路的具体指标要求。这些指标通常包括增益、带宽、噪声、电源抑制比、功耗等。

2、电路级设计及前仿真验证：根据具体设计需求，通过大量调研工作完成

电路结构的方案论证，然后不断修改电路器件模型和参数，并通过不断仿真来验证和调试电路指标。这是整个设计流程中最为关键一步，电路性能的好坏直接影响后续设计。

3、版图级设计及后仿真验证：根据电路设计需求初步确定器件布局布线方式并绘制版图，待 DRC、LVS 通过后，提取寄生参数（LPE）进行后仿真。然后通过优化布局，优化匹配，隔离以及调整线、孔等方法调试版图，使后仿真指标达到设计需求。版图设计是连接电路设计和芯片生产的中间环节。

4、芯片制造及芯片测试：芯片制造俗称流片，是指将由版图文件转化成的 gds 格式文件提交代工厂生产的过程。之后就要开始确定测试方案并进行测试。芯片测试是整个设计流程的终端环节，通过对测试结果的分析来验证设计的成功与否并指导下次设计的改进。

基于应用的全定制模拟集成芯片设计不是一蹴而就的过程，中间需要通过软件仿真结果和测试结果的好坏来指导设计的不断修改和优化，直到最终的测试结果满足系统应用需求。

第3章 前置放大器模块设计

前置放大器位于光电接收机的最前端，其作用是将光电探测器输出的微弱电流信号转化为电压信号，并提供一定的增益。本章根据应用背景提出前置放大器的设计需求，并在此前提下制定了前置放大器的结构方案，最后具体介绍了前置放大器的电路实现及前仿真结果。

3.1 设计需求

根据第一章绪论中介绍的应用背景及与光电探测器的匹配需求，明确了前置放大器的前级负载环境及设计要求如下：

- 实现工艺：CSMC 0.5um 2P3M CMOS 工艺
- 电源电压：3.3V
- 应用背景：激光雷达测距系统光电接收机
- 实现功能：将电流信号转换成电压信号；提供一定的跨阻增益
- 光电探测器输出电流：1.5uA（输入信号）
- 光电探测器寄生电容：2.5pF（输入负载电容）
- 端口特性：单端电流输入，双端电压输出
- 增益：大于 60dB_{ohm}（@100MHz）
- 3dB 带宽：大于 500MHz
- 等效输入噪声电流谱密度：小于 10pA/sqrt(Hz)（@100MHz）

3.2 前置放大器主要结构方案

根据第二章系统方案设计，前置放大器选取跨阻放大器类型来实现。基本的跨阻放大器结构为共源极结构跨阻放大器，如图 3.1 所示， I_s 和 C_s 分别代表光电探测器的输出电流和寄生电容。MOS 管 M_1 与负载电阻 R_1 共同构成共源输入放大级，用于提供开环增益。MOS 管 M_2 与电阻 R_2 构成源随器，用于实现电平移动和前后级的隔离。反馈电阻 R_f 跨接在输入端与输出端之间，构成电压并联负反馈，完成电流到电压的转换并实现跨阻放大作用^[42]。

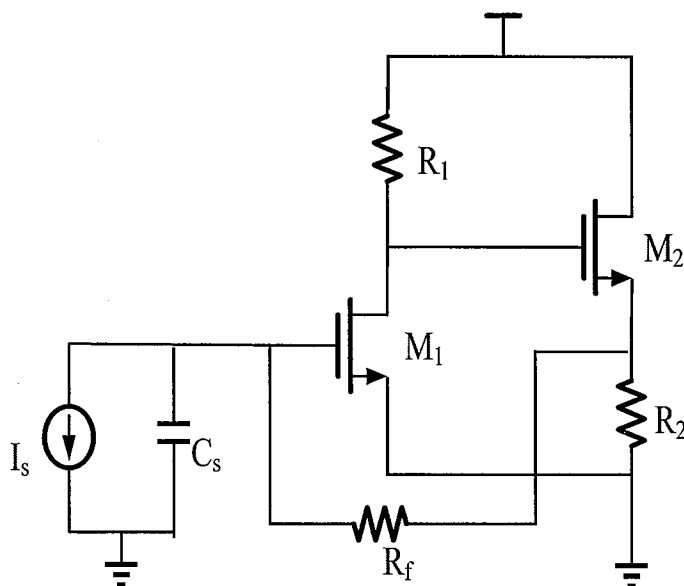


图 3.1 共源极结构跨阻放大器

根据电路理论计算出共源极结构跨阻放大器 3dB 带宽表达式为:

$$BW_{-3dB} = \frac{1}{2\pi R_f C_{in}} = \frac{1}{2\pi (R_f / A_v) C_{in}} \gg \frac{A_v}{2\pi R_f C_{in}} \quad (3.1)$$

式 (3.1) 中, A_v 为开环电压增益。 C_{in} 为电路的总输入电容, 它包含光电探测器的寄生电容 C_s 和共源极的输入电容 C_i , 后者为输入管的栅源电容 C_{gs1} 和折算到输入端的等效栅漏电容 C_{gd1} 之和, 因此 C_{in} 的表达式为:

$$C_{in} = C_s + C_i \gg C_s + C_{gs1} + (1 + A_v)C_{gd1} \quad (3.2)$$

而对于亚微米工艺, 通常有:

$$C_s \gg C_{gs1} + (1 + A_v)C_{gd1} \quad (3.3)$$

由式 (3.2) 和式 (3.3), 得到:

$$C_{in} \gg C_s \quad (3.4)$$

由式 (3.4) 可以看出, 共源极结构跨阻放大器的输入端总电容几乎全部由光电探测器寄生电容决定。但对于电路设计人员来说, 这部分参数是不可控的, 因此很难通过减少输入电容来提高电路带宽^[43]。

以上分析表明, 共源极跨阻放大器结构用在光电接收机前置放大器时有一个很严重的缺陷, 即带宽受光电探测器的电容影响较大, 难以取得大的带宽。针对这一点, 在共源极结构基础上加以改善, 得到电流模结构跨阻放大器。

电流模结构跨阻放大器如图 3.2 所示,它是在共源极跨阻放大器的基础上加入了共栅输入级(由 MOS 管 M_1 和电阻 R_s 、 R_1 构成)组成。共栅极结构的输入电阻为式 (3.5) 所示。由 CMOS 器件常识可知,共栅极结构的输入电阻非常小,通常远小于共源极结构的输入电阻。设计中可以通过调大 g_m ,使主极点由图 3.2 中的 1 节点处变为 2 节点处,此时电路-3dB 带宽为式 (3.6) 所示。式 (3.6) 中, A_v 为电路的开环电压增益。 C_{CG2} 为主极点处的总电容,它包括 M_1 管的漏极电容 C_{gd1} 、 M_2 管的栅源电容 C_{gs2} 和折算到主极点处的栅漏电容 C_{gd2} ,所以得到 C_{CG} 的表达式如式 (3.7) 所示。

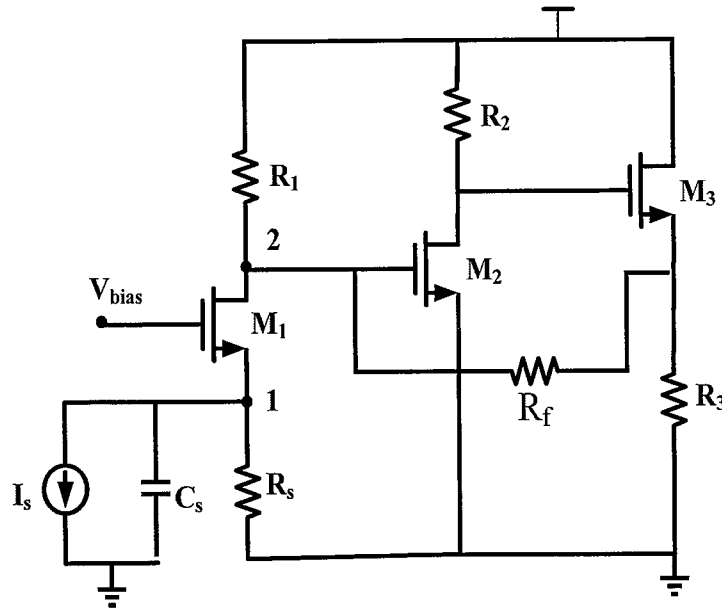


图 3.2 电流模结构跨阻放大器

$$R_{in} \gg \frac{1}{g_{m1}} \quad (3.5)$$

$$BW_{-3dB} = \frac{1 + A_v}{2pR_f C_{CG2}} \quad (3.6)$$

$$C_{cG} = C_{gd1} + C_{gs2} + (1 + g_{m2}R_{d2})C_{gd2} \quad (3.7)$$

由式 (3.7) 可以看到,电流模结构利用共栅极结构输入电阻较低的特性,实现了良好的电流传递特性,从一定程度上屏蔽了光电探测器电容对电路带宽的影响。

但是电流模结构存在以下缺点:一方面,共栅极结构 MOS 管需要额外的偏置

电压，使电路设计复杂度增加。另一方面，共栅极增益易受偏置电压精度及器件工艺偏差的影响，增益的稳定度有待提高。针对这两点，在电流模结构基础上进一步改善，提出了 RGC 结构跨阻放大器。

RGC (Regulated Cascode) 结构即调节式共源共栅结构。其电路结构如图 3.3 所示，与共栅放大器相比，改进的方面是 M_1 的栅极电压不再由额外的偏压电路提供，而改为由 M_b 和 R_b 组成的共源极放大支路提供。

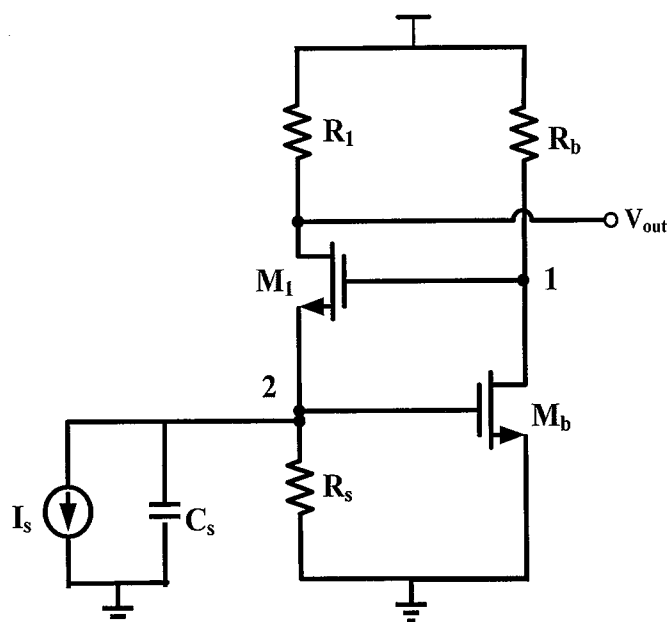


图 3.3 RGC 结构跨阻放大器

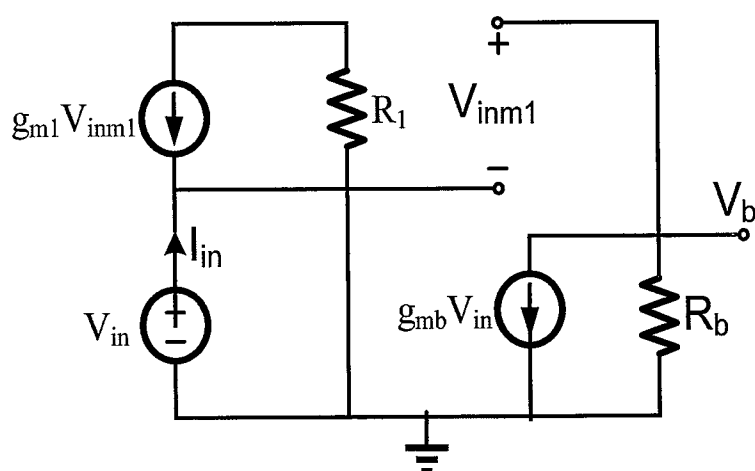


图 3.4 RGC 结构跨阻放大器小信号等效电路

在忽略了沟道电阻、电容和栅极电容影响的情况下，对其进行小信号建模分析，得到图 3.4 所示的 RGC 结构小信号等效电路。由此可以计算得到电路输入电阻 R_{in} ，推导过程如下：

$$I_{in} = -g_{m1}V_{inm1} = -g_{m1}(V_b - V_{in}) \quad (3.8)$$

$$V_b = -R_b I_b = -R_b g_{mb} V_{in} \quad (3.9)$$

式 (3.9) 带入式 (3.8) 中, 得到,

$$I_{in} = -g_{m1}(-R_b g_{mb} V_{in} - V_{in}) = g_{m1}(R_b g_{mb} V_{in} + V_{in}) \quad (3.10)$$

即, RGC 结构的输入电阻为:

$$R_{in} = \frac{V_{in}}{I_{in}} = \frac{1}{g_{m1}(1 + g_{mb} R_b)} \quad (3.11)$$

经以上分析, 可以总结得到 RGC 结构的两大优点。

(1) 输入电阻更小。

RGC 结构的输入电阻为式 (3.11) 所示, 可以将 RGC 结构视作一个跨导较大的电流模结构, 假设前者的等效跨导为 G_m , 后者等效跨导为 g_m , 则有^[44]:

$$G_m = g_m(1 + g_{mb} R_b) \quad (3.12)$$

其中, $1+g_{mb}R_b$ 为由 M_b 和 R_b 构成的共源极放大反馈支路的增益。可见, RGC 结构由于负反馈机制的引入, 将输入器件的等效跨导相比普通共栅放大器增加了 $1+g_{mb}R_b$ 倍。从而使输入阻抗大大减小, 输入端极点位置进一步后移, 不再是系统的主极点。因此 M_1 的漏极结点对应的极点成为影响该电路带宽的主要因素, 从而使光电探测器寄生电容对电路带宽的影响降到最低。

(2) 直流偏置更稳定。

RGC 结构采用由 M_b 构成的共源放大器为共栅输入管 M_1 提供栅极偏压, 其好处是引入了负反馈机制, 使直流偏置更加稳定。如图 3.3, 如果输入电流减小, 即 M_1 中电流减小, 则 M_b 的栅级 (结点 2) 电压减小, 使 M_1 的栅极 (结点 1) 电压增加, 从而抑制了流过 M_1 的电流的减小, 提升了该结构的直流偏置稳定度^[45]。

综上, RGC 结构在电流模结构的基础上加以改进, 使输入电阻更小, 对光电探测器寄生电容的隔离效果更好。此外, RGC 结构引入了负反馈机制控制栅极偏置电压, 电路的工作状态更加稳定。因此本次设计选用 RGC 结构作为前置放大器的主要结构。

3.3 前置放大器电路实现

据 3.2 节的跨阻放大器方案论证,为满足增益、带宽、等效输入噪声及稳定性的需求,选取 RGC 跨阻放大器结构作为前置放大器的基本结构。为了满足双端输出的需求以接下一级限幅放大器,在跨阻放大器后面又设计了一级单端转差分放大电路。下面详细阐述具体电路实现情况。

3.3.1 RGC 跨阻放大器设计

在前置放大器的设计上,在 RGC 结构的基础上,采用了 RGC 跨阻输入级和共源放大级相结合的结构,其具体拓扑结构的实现如图 3.5 所示。由 NM₁、NM₂ 及电阻 R₁、R₂ 构成 RGC 输入结构,用来提供很好的电流输入特性。由 NM₃ 和电阻 R₄ 构成共源放大级,跨接在该级输入、输出端之间的电阻 R₃ 提供电压并联负反馈,实现跨阻特性。

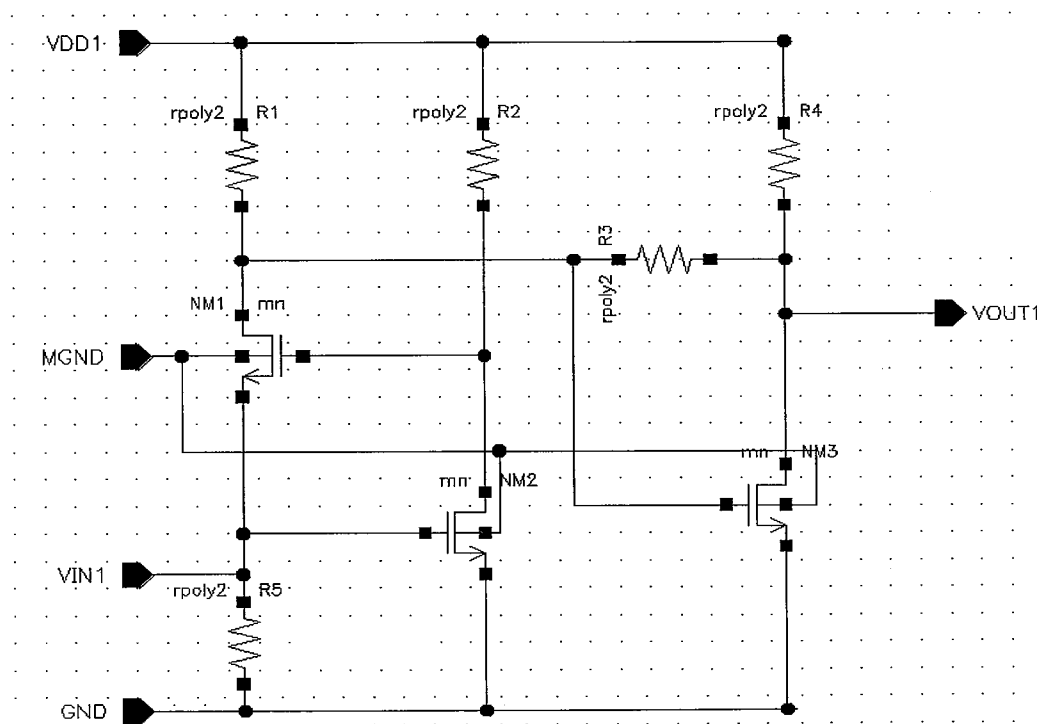


图 3.5 RGC 跨阻前置放大器实现图

光电接收机前置放大电路的设计难点在于大带宽、高增益与低噪声之间的矛盾。在具体实现上重点考虑两点:带宽与增益的矛盾以及噪声与增益的矛盾,下面分别针对这两点讲解该拓扑结构的优势。首先,要想拓展系统带宽,需要将电

路的主极点往高频方向推，因此输入端采用 RGC 结构，其好处是利用 RGC 结构的输入阻抗低的特性，将电路的主极点由输入端点变为共栅极的输出节点，从而屏蔽光电探测器输入电容对带宽的影响。此外，由于主极点的后推，可以将反馈电阻接在输出端和主极点之间，这样当通过增大电阻 R_f 来提升增益时，将不会对系统带宽产生影响。其次，在噪声性能上，单独的 RGC 结构跨阻放大器，无法提供电流增益特性，所以在噪声特性的计算上，负载噪声电流将直接等效为输入端的噪声电流，故其噪声特性比共源极结构要差。而级联共源放大级之后，可以通过增大反馈电阻来增大跨阻增益和降低等效输入噪声。综上，采用了 RGC 和共源极相结合的结构，综合了两个结构的优点，从一定程度上解决了增益、带宽、噪声之间的矛盾。

3.3.2 辅助电路设计

前置放大器为单端输出结构，为了与后级差分结构的主放大器衔接，需要设计单端转差分辅助电路。

传统单端转差分电路结构如图 3.6 所示，它的工作原理为：通过一个全差分放大器将前置放大器的输出直流电平分别引到其差分输入端，而将交流信号引到其中一个输入端来实现单端信号到双端信号的转换。它实质上是通过全差分运算放大器的其中一个输入端与由电阻电容组成的低通滤波器串联组成^[46]。

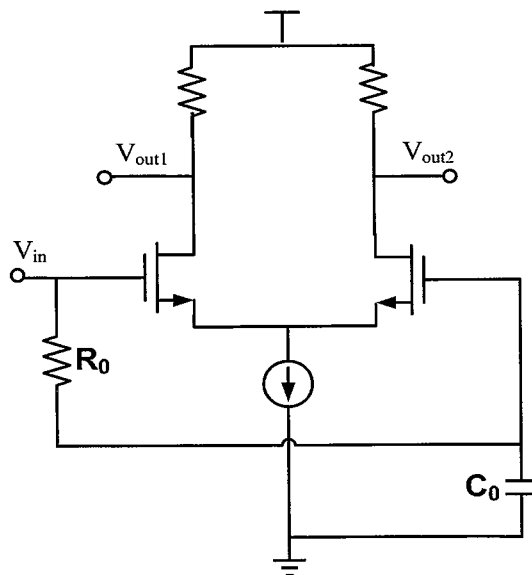


图 3.6 传统单端转差分电路

单端转差分电路的具体实现图如图 3.7 所示。为提高电路性能，设计中在传统单转双电路结构的基础上进行了以下改进：1、将电阻负载替换为有源电感负载。其作用是利用其电感特性抵消输出端的电容效应，从而将主极点后推，提高电路带宽（关于有源电感技术拓展带宽原理的详细介绍见 4.3.1 节）。2、在负载 MOS 管 NM₄ 和 NM₅ 的栅极与源极之间插入电容来增加有源电感的电感值。这是因为如果通过调节负载管的尺寸来增大电感值，会使负载管的 g_m 变大，电路直流增益下降，加入该电容的好处是可以通过调节电容大小来调节零点的位置，从而很好地避免了增益的下降。

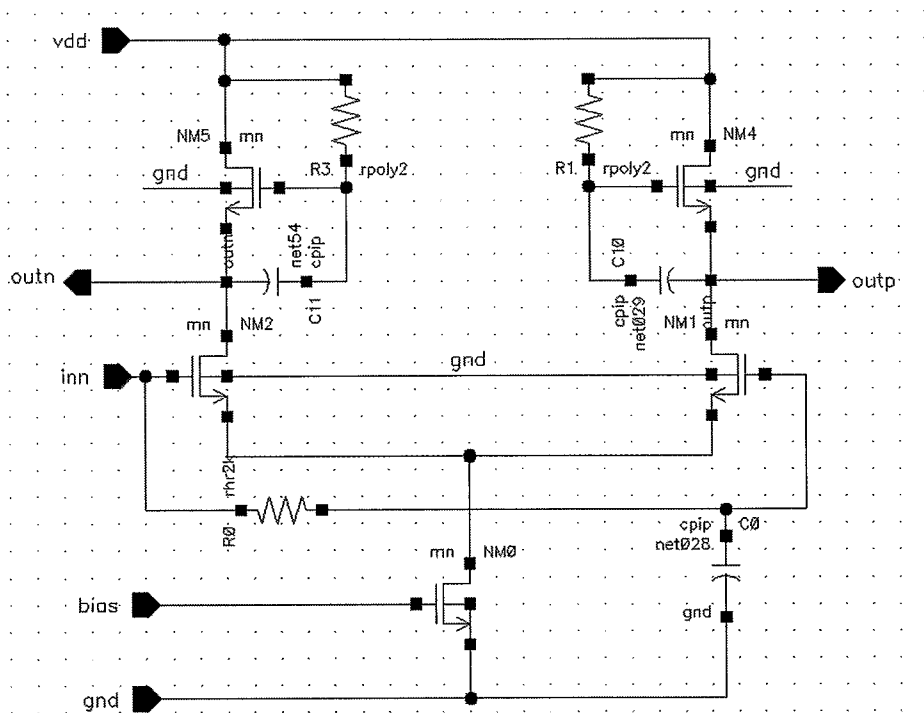


图 3.7 单转双电路实现图

3.4 前仿真验证

采用 CSMC 0.5um 2P3M CMOS 工艺器件库及 Cadence 软件 Spectre 仿真工具，对前置放大器进行了基本工艺角常温环境下的全面指标仿真，并针对重要指标在不同工艺角下进行了仿真验证。

3.4.1 仿真环境搭建

仿真测试电路如图 3.8 所示，相关参数如下：

- 电源电压：3.3V
- 输入信号：频率为 100MHz，信号幅度为 1.5uA 的电流信号，共模直流为 0uA。
- 输入电容：2.5pF
- 输出负载：MOS 管电容 (W/L=10u/1u)

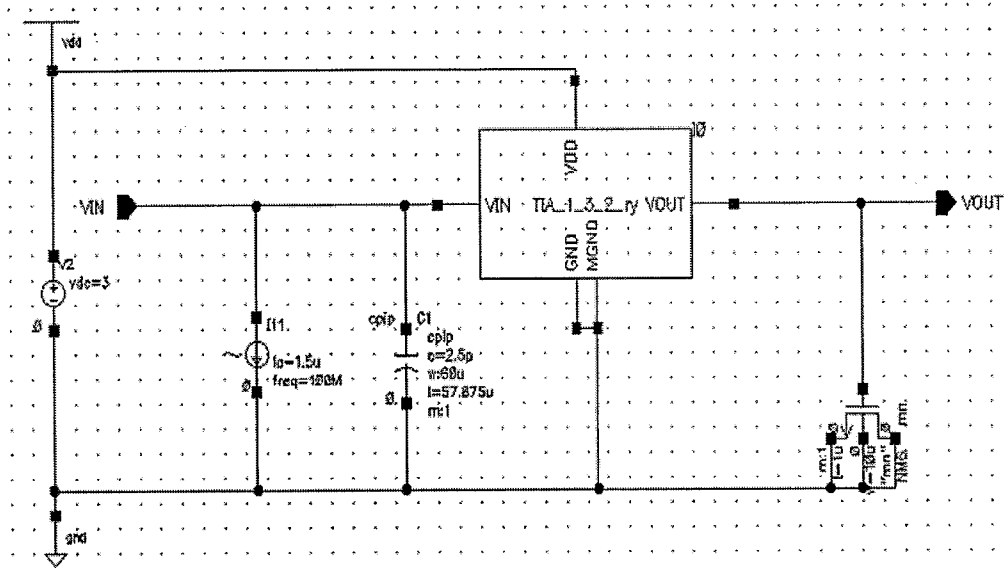


图 3.8 前置放大器仿真环境

3.4.2 仿真结果及分析

在 TT 工艺角 27°环境下对电路进行功能仿真，得到图 3.9 所示的幅频响应曲线，可以看出，前置放大器的跨阻增益为 64.64dBohm，3dB 带宽为 1037M，满足设计需求。

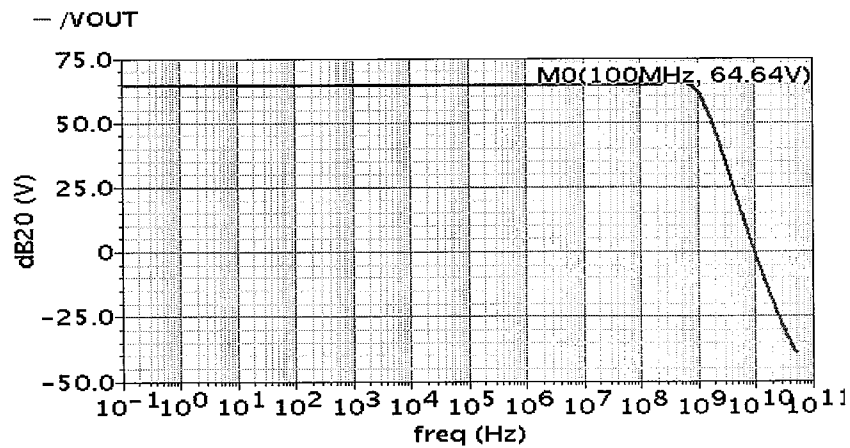


图 3.9 前置放大器幅频响应曲线

对电路进行噪声、电源抑制比和输出信号范围等一系列性能仿真，得到图 3.10 所示的仿真波形。并对跨阻前置放大器在 TT 工艺角 27°环境下的仿真数据进行汇总，得到表 3.1。其中 DC 特性中的输出直流电平为 1.663V，较接近理想值（为达到输出摆幅最大，其理想之为电源电压的一半，即 1.65V）。在 1.663V 的输出电平的基础上，输出电压范围达到 554mV~2.367V，这一结果虽然离满摆幅有一定的差距，但满足下一级电路的应用需求。在噪声、稳定性能方面，等效输入噪声电流谱密度为 4.045p A/sqrt(Hz)，正负电源抑制比分别为 55dB 和 71dB。各项仿真指标均得到了较好的结果，满足 3.1 节提出的指标需求。

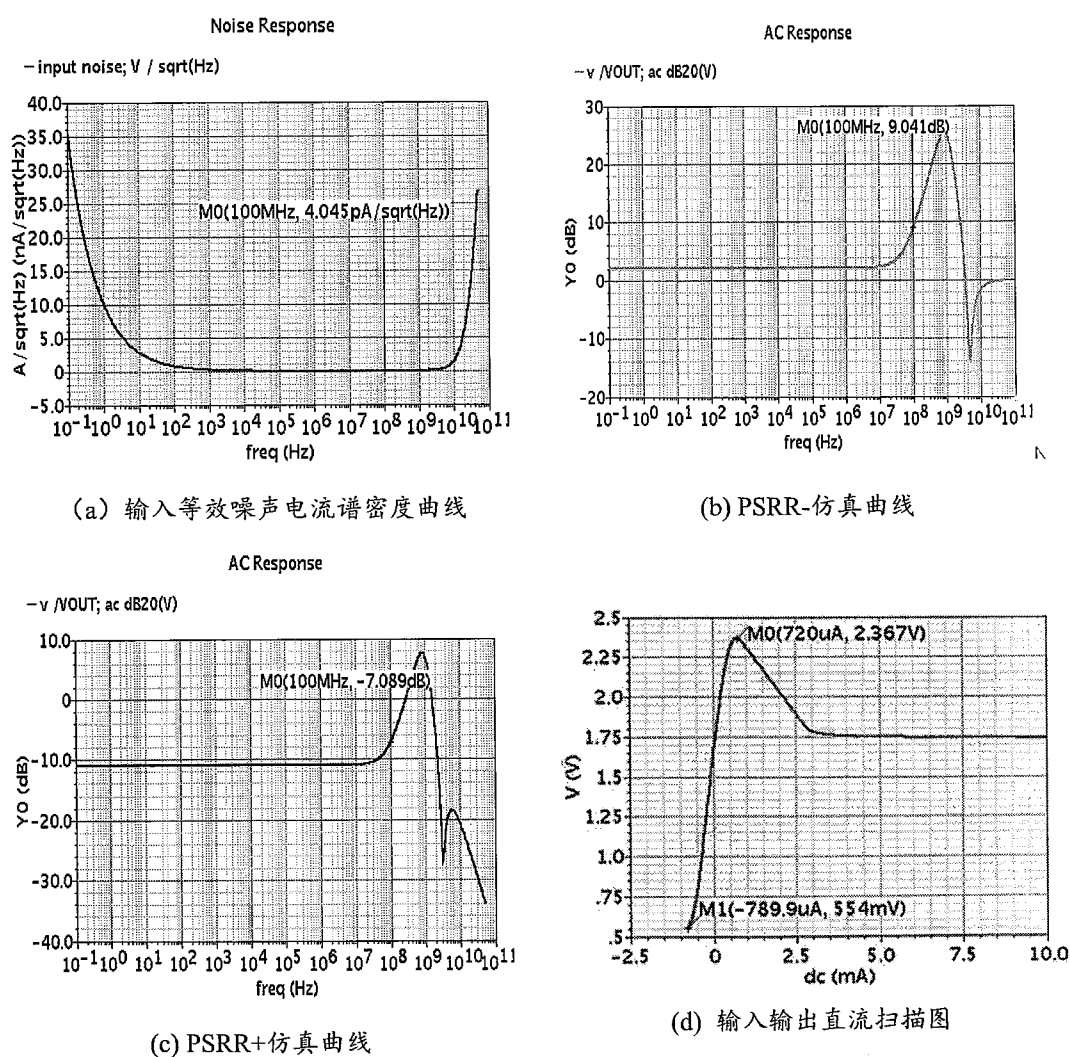


图 3.10 前置放大器性能仿真波形曲线

表 3.1 前置放大器仿真结果汇总

仿真参数	仿真结果
带宽 (Hz)	1037M
增益@100MHz (Ω)	64.64dBohm
输出共模电平 (V)	1.663
PSRR+@100MHz	71.729dB
PSRR-@100MHz	55.599dB
NOISE@100MHz (A/sqrt(Hz))	4.045p
输出电压范围 (V)	554mv~2.367
功耗 (W)	6.5208m
PM ($^{\circ}$)	71

为了验证工艺和温度环境对电路性能的影响,针对主要功能指标分别在低温 (-10°)、常温 (27°)、高温 (45°) 三种环境温度下对各工艺角进行了全面仿真,仿真结果如表 3.2 所示。可以看出,各种环境下,前置放大器的跨阻增益均大于 60dBohm,带宽均大于 500MHz,相位裕度均在 $60^{\circ}\sim 80^{\circ}$ 之间。满足放大倍数,工作速度和稳定性的需求。

表 3.2 前置放大器工艺角仿真结果

VDD=3.3V						
MOS/RES/CAP		TT/TT/TT	SS/SS/SS	FF/FF/FF	SF/SS/SS	FS/FF/FF
温度/输出						
27°	BW (MHz)	1037	697	1394	818	1267
	Gain@100MHz (dBohm)	64.6	65.6	63.1	66.6	62.4
	PM (°)	71	80	63	76	68
45°	BW (MHz)	998	677	1338	790	1217
	Gain@100MHz (dBohm)	64.4	65.4	62.8	66.3	62.2
	PM (°)	71	80	63	76	68
-10°	BW (MHz)	1126	739	1521	878	1382
	Gain@100MHz (dBohm)	65.1	66.1	63.6	67.0	62.9
	PM (°)	71	81	62	76	67
最大输出共模 (V)		1.952				
最小输出共模 (V)		1.367				
输出共模最大偏差 (mV)		585				

3.5 本章小结

本章采用 RGC 结构和共源极结构结合的方式实现了前置放大器模块的电路

级设计。设计中重点解决了光电探测器负载电容较大的难题。通过采用 MOS 管源极输入的方式大大减小了电路的输入阻抗,从而屏蔽了光电探测器负载电容对后端电路的影响,提高了前置放大器的带宽。此外,设计了单端转差分辅助电路,以便与主放大器匹配。经 cadence 软件前仿真结果表明,前置放大器模块的指标满足设计需求。

第4章 主放大器模块设计

主放大器位于前置放大器的后端，其作用是进一步提供电压增益，弥补前置放大器增益的不足，以便驱动后续时刻鉴别电路。本章根据应用背景提出主放大器的设计需求，在此前提下分析制定了主放大器的整体设计方案，并且针对级联电路带宽下降和电压失调的问题，重点论证了具体解决方案。最后介绍了主放大器的电路实现及前仿真结果。

4.1 设计需求

根据绪论中介绍的应用背景，为满足与前置放大器的匹配以及驱动后级电路的需要，明确了主放大器设计需求如下：

- 实现工艺：CSMC 0.5um 2P3M CMOS 工艺
- 电源电压：3.3V
- 应用背景：激光雷达测距系统光电接收机
- 实现功能：提供一定的电压增益
- 端口特性：双端输入，双端输出
- 增益：大于 20dB (@100MHz)
- 3dB 带宽：大于 500MHz
- 等效输入噪声电压谱密度：小于 20pV/sqrt(Hz) (@100MHz)
- 电源抑制比 (PSRR)：大于 60dB (@100MHz)

4.2 主放大器整体设计方案

主放大器整体方案设计，采用多级放大器级联结构来实现。原因是由主放大器设计需求，为达到较高的带宽，输入 MOS 管的跨导不能设计得很大，因此单级放大器的增益有限。采用多级级联结构可以同时满足增益和带宽的需求。然而级联结构的总带宽会随着级数的增加而下降，因此需要选择合适的级数。对于 N 级相同的一阶放大单元，级联后的总带宽 BW_m 与单级带宽 BW_s 关系如式 (4.1) 所示，级联后的总增益 A_m 与单级增益 A_s 关系如式 (4.2) 所示。可以看到，级数取得少时，在给定的增益下需要的单级电路带宽较大，增加了设计难度；级数

取得多时, 会引入更多的噪声和功耗。经验表明, 对于一阶系统, N 取 4 或 5 时, 单级放大单元所需的增益带宽积最小, 这将降低电路的设计复杂度。本文通过大量仿真验证, 主放大器选取四级级联结构时综合指标较优。

$$BW_m = BW_s \sqrt[2]{2^{\frac{1}{N}} - 1} \quad (4.1)$$

$$A_m = A_s^N \quad (4.2)$$

通过以上分析, 主放大器整体结构实现框图如图 4.1 所示。主放大器由四级高速运放单元和输出缓冲单元级联实现。四级高速运放单元的电路结构相同, 均采用全差分结构, 以减少电源电压、衬底干扰和温度变化造成的共模噪声, 使电路工作更加稳定。在四级高速运放单元后面, 设计了输出缓冲电路, 以实现与传输线的匹配。为了提高电路的驱动能力, 输出缓冲单元采用宽带低增益运放和输出缓冲器两部分组成。此外, 主放大器电路采用了失调电压补偿技术, 以减小直流电压失调对放大器工作状态的影响。

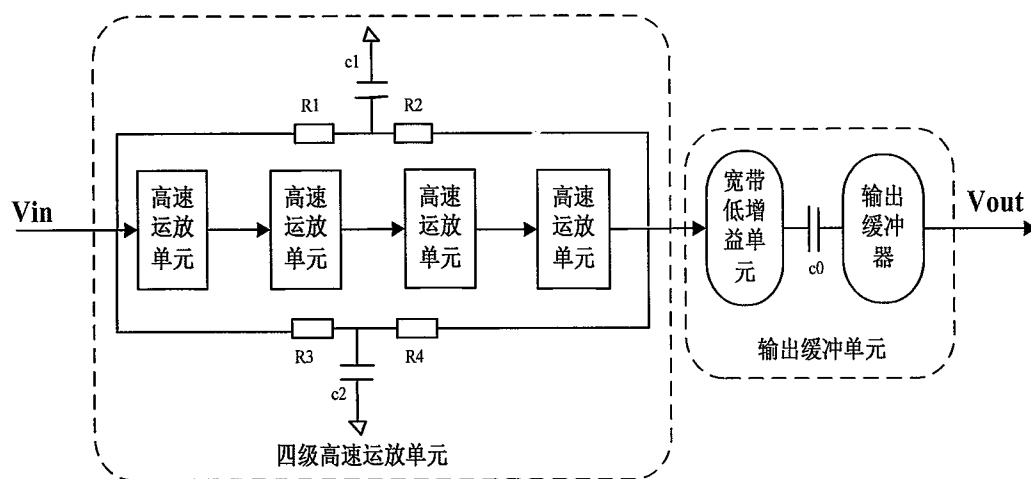


图 4.1 主放大器结构框图

4.3 关键技术方案

由 4.2 节主放大器整体设计方案, 主放大器采用四级级联结构来实现。因此主放大器的设计中需要重点解决两大技术难题: 一是级联电路的带宽下降问题, 二是开环电路的直流电压失调问题。下面针对这两个问题重点论证电路拓展带宽的关键技术和失调电压补偿的关键技术。

4.3.1 拓展带宽关键技术

(1) 源极跟随器技术

影响全差分放大器带宽的主要因素是负载电阻和负载电容的大小。因此可以通过在放大器后面接一级源极跟随器（简称源随器）的方式来拓展电路带宽^[47]。如图 4.2 所示的带源随器的全差分放大器，由于源随器的输出电阻远小于共源极差分放大器的输出电阻，并且其栅极电容通常远小于下级放大管的栅极电容，因此源随器的引入隔离了上一级较大的输出电阻和下一级较大的输入电容，避免了两大因素同时出现造成的时间常数过大的问题，从而将主极点向高频移动，拓展了带宽。

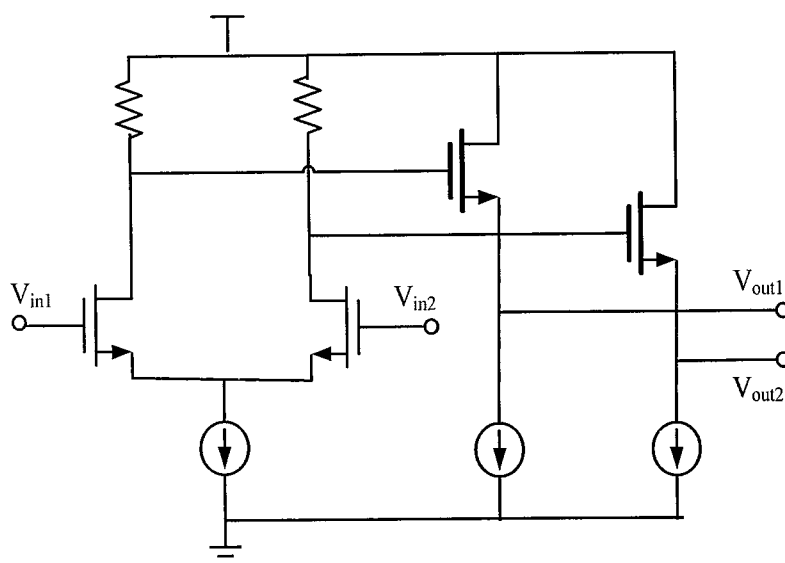


图 4.2 带源随器的全差分放大器

但是，源随器技术用在拓宽带宽时存在一些弊端。首先，源随器的加入，增加了两个电流支路，会使电路的功耗变大。其次，源随器会造成直流电平的下移，这将造成信号输出摆幅方面的压力。尤其对于低压电路，这可能会使得信号难以驱动下一级放大电路的输入管。再次，源随器的加入也给整个放大电路引入了更多的噪声。以上种种缺点限制了源随器结构在拓展带宽方面的使用门槛，因此本设计不选用该结构。

(2) 电容电阻退化技术

采用电容电阻退化技术的放大电路如图 4.3 所示，可以看到差分输入对管的源极之间接了一个退化电容和一个退化电阻，这种结构可以通过增加高频处的等

效跨导来补偿幅频响应的主极点，从而拓展带宽。

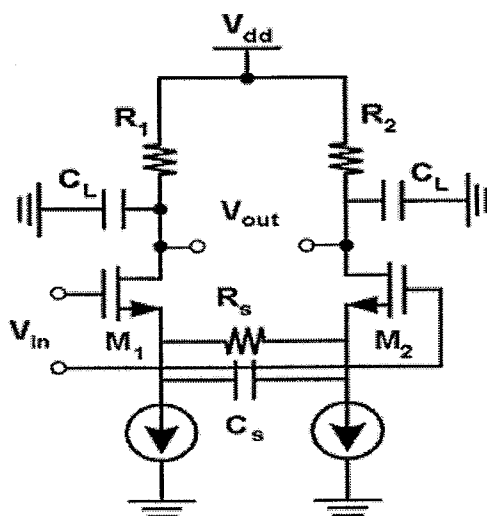


图 4.3 使用电容电阻退化技术的差分电路

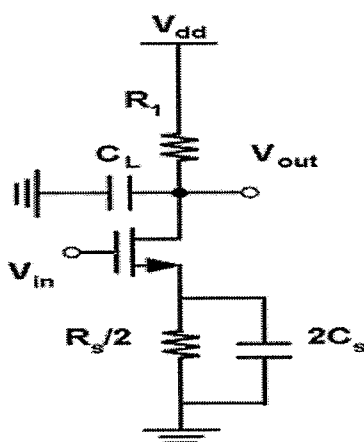


图 4.4 电容电阻退化技术半边等效电路

图 4.4 为电容电阻退化技术的半边等效电路，可以推出其等效跨导表达式为：

$$G_m = \frac{g_m}{1 + g_m \left(\frac{R_s}{2} \parallel \frac{1}{2sC_s} \right)} = \frac{g_m (R_s C_s S + 1)}{R_s C_s S + g_m R_s / 2 + 1} \quad (4.3)$$

由式 (4.3) 可以看出，等效跨导里包含一个零点，该零点的位置与退化电容 C_s 和退化电阻 R_s 密切相关。又由于 R_s 和 C_s 的值不会影响放大器的直流工作状态，所以我们可以调节退化电容和退化电阻的值来调节零点，使零点与原主极点抵消，则可以将系统主极点后移，从而拓展整个电路的带宽。例如，我们调节零点使零点表达式为：

$$Z_0 = \frac{1}{R_s C_s} = \frac{1}{R C_L} \quad (4.4)$$

则电路的带宽被拓宽为:

$$BW_{-3dB} = \frac{1 + g_m R_s / 2}{R_s C_s} \quad (4.5)$$

此时电路增益减小为:

$$A_v = \frac{g_m R}{1 + g_m R_s / 2} \quad (4.6)$$

可见,带宽的拓展是以牺牲增益为代价的。因此本次设计不选取退化电容电阻技术拓展带宽。

(3) 并联峰化技术

图4.5为使用并联峰化技术的放大器。电阻R和电容C分别代表输出端负载电阻和负载电容,电感L代表并联峰化技术引入的电感。

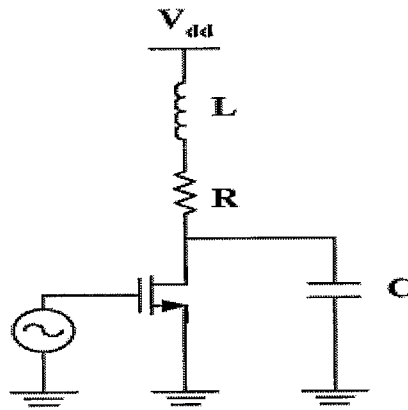


图 4.5 使用并联峰化技术的放大器

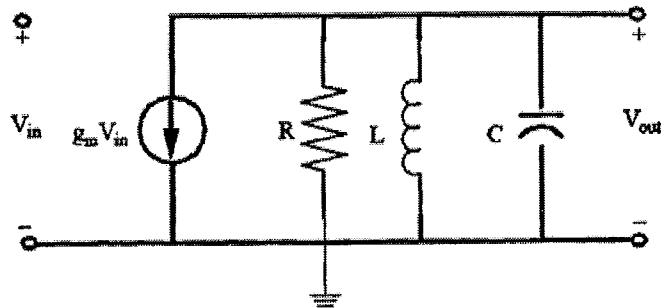


图 4.6 并联峰化放大器小信号等效电路

从定性的角度对使用并联峰化技术的放大电路进行分析。图 4.5 可以等效为图 4.6 所示的小信号等效电路。纯电阻性负载共源放大器的增益正比于 $g_m R_L$ ；加入了电容负载时，由于电容的阻抗会随频率的增加而下降，表现为幅频响应曲线也会在某一个频率处开始下降；加入电感负载后，由于电感阻抗随频率的增加而增大，从而可以补偿电容负载阻抗的减小。这实质上相当于在原电路的基础上引入了零点，使得幅频响应曲线在一个较宽的频带上保持不变。

下面从定量的角度分析并联峰化原理。放大器的增益可以近似为跨导 g_m 和输出阻抗 $Z(s)$ 在数值的乘积。这里我们先分析输出阻抗函数，由图 4.6 所示的并联峰化放大器小信号等效电路，可以计算出未加入电感时电路输出阻抗为：

$$Z_1(s) = R \parallel \frac{1}{sC} = \frac{R}{RCs + 1} \quad (4.7)$$

加入电感后电路的输出阻抗为：

$$Z_2(s) = (sL + R) \parallel \frac{1}{sC} = \frac{R[s(L/R) + 1]}{LCs^2 + RCs + 1} \quad (4.8)$$

故，加入电感前后的系统传递函数分别为^[48]：

$$H_1(s) = g_m Z_1(s) = \frac{g_m R}{RCs + 1} \quad (4.9)$$

$$H_2(s) = g_m Z_2(s) = \frac{g_m R[s(L/R) + 1]}{LCs^2 + RCs + 1} \quad (4.10)$$

由式 (4.9) 和式 (4.10) 可以看到，使用了并联峰化技术后，系统传递函数被引入了一个零点，且极点由一个变为一对共轭极点，故可以通过调整电感值，使其抵消或部分抵消掉较近的极点对幅频响应曲线的下降作用，从而将主极点向高频方向移动以达到拓展带宽的目的。

综上，并联峰化拓展带宽技术没有引入额外的电流支路且不以牺牲增益为代价，从一定程度上克服了源极跟随器技术和电容电阻退化技术的不足，因此本文主放大器的设计采取并联峰化技术来拓展带宽，具体电路实现将在 4.4 节详细讲述。

4.3.2 失调电压补偿关键技术

版图设计中的不完全对称以及芯片在制造的过程中 MOS 管和电阻的微小偏差都会导致直流电压的偏移^[49]。主放大器采用多级电路级联结构，前级放大单元的器件不匹配等因素产生的直流电压偏差经过逐级放大后，会引起后级电路工作点的大幅度偏移，甚至可能导致不能驱动后级输入管进入饱和区，使得整个电路失去放大作用，因此需要引入失调电压补偿电路^[50]。常用的失调电压补偿技术有电压并联负反馈技术和电容耦合技术，下面分别做以分析。

(1) 电阻并联负反馈技术

图 4.7 所示为电阻并联负反馈电压补偿技术示意图，由反馈电阻 R_{f1} 、 R_{f2} 和电容 C_1 组成的 RC 网络，在低频时形成直流负反馈通路降低输入失调电压，高频时直流反馈负反馈断开，电路增益恢复到正常水平。下面对电路进行详细分析。

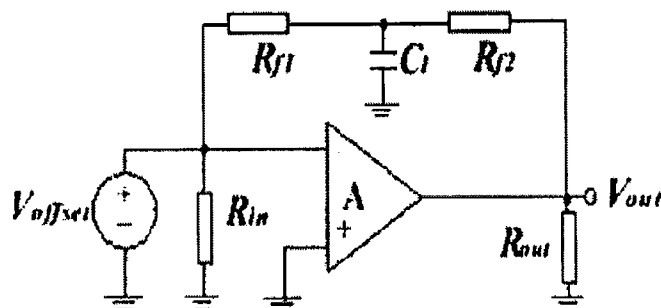


图 4.7 电阻并联负反馈失调补偿原理

如图 4.7， A 为放大器的增益， R_{in} 为输入电阻，其阻值远大于反馈电阻 R_{f1} 和 R_{f2} 的阻值。对于直流信号，电容 C 相当于开路， R_{f1} 和 R_{f2} 串联提供电压并联负反馈。由负反馈的知识，反馈放大器的增益为式 (4.11) 所示，反馈越深 (R_{f1} 和 R_{f2} 越小)，放大器对直流失调电压的增益就越小。对于交流信号，电容 C 相当于短路， R_{in} 和 R_{f1} 并联构成等效输入电阻， R_{out} 和 R_{f2} 并联构成等效输出电阻。为了不造成输入、输出电阻的过分下降，反馈电阻不能太小，此时放大器的交流增益为 A 。可见，放大器对交流信号的增益远大于对直流失调电压的增益，从而可以很好地抑制直流电压失调。电阻并联负反馈技术适用于直接耦合且级数不多的电路。

$$A_f = \frac{A}{1 + K_f A} = \frac{A}{F} \quad (4.11)$$

(2) 电容耦合技术

电容耦合技术抑制失调电压的原理如图 4.8 所示。顾名思义，电容耦合失调补偿即采用在单元电路之间加入隔直电容的级联方式，利用电容器件“通交流隔直流”的特性来隔断直流电平的传递，从而抑制直流电平失配对下一级输入管工作状态的影响。由于隔直电容的加入屏蔽了直流电平的传递，为保证每级单元电路的晶体管工作在合适的工作区，需要自偏置电路为其提供共模输入电压。

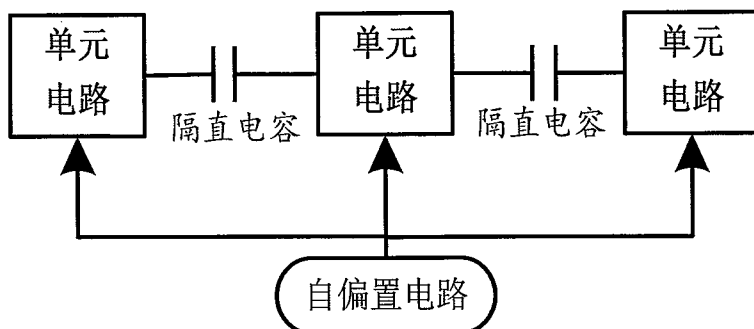


图 4.8 电容耦合技术示意图

电容耦合技术相比电阻并联负反馈技术，电路结构较简单，便于调试，且对电路的隔离效果也较好。但这种结构也有缺点，首先，隔直电容的加入改变了系统的幅频响应曲线，使幅频响应曲线的低频被截止，形成了带通网络，并且电容耦合不理想低频截止特性，会在一定程度上造成中频增益的下降。其次，由于需要额外添加自偏置电路，无形中增加了电路的静态功耗。

综上，本文选取两种失调电压补偿技术结合的方式，这样的好处是可以兼顾两种方式的优点，规避各自的缺点，且可扩展性较好。

4.4 主放大器电路实现

4.4.1 高速运放单元设计

高速运放单元的电路实现如图 4.9 所示，NMOS 管 M_1 与 M_2 构成差分输入对管，PMOS 管 M_3 、 M_4 和电阻 R_1 、 R_2 构成有源电感负载。

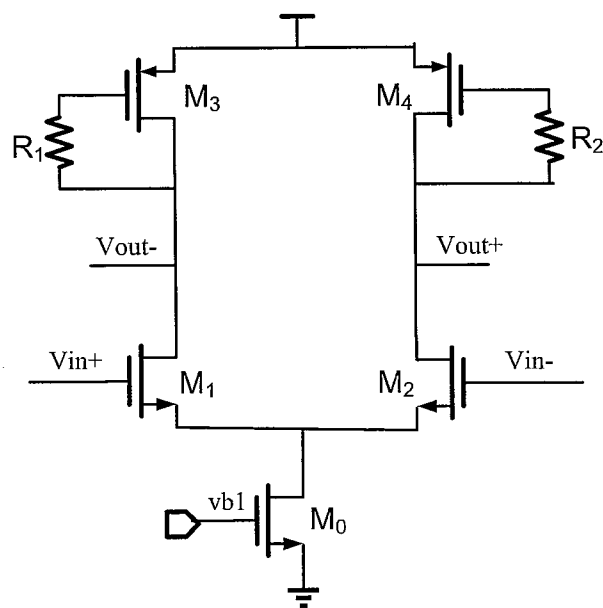


图 4.9 高速运放单元设计

高速运放单元电路的设计，是在传统全差分放大器结构基础上加以改进，采取并联峰化技术拓展了电路带宽。在电感负载的选取上，CMOS 模拟集成电路中的电感实现类型有图 4.10 所示的两种：片上螺旋电感和有源电感。其中，片上螺旋电感具有高频特性好，噪声小的优点。但是其占用的版图面积较大，增加了芯片的制作成本，而且由于较大的面积使得器件之间走线长度的增加，这会导致很多额外的寄生效应，进而造成系统性能的降低。相比之下，有源电感具有电路结构简单，版图面积小且无需外加偏置等优点。虽然在输出摆幅和功耗上有源电感不如前者，但由于本次芯片设计的供电电压为 3.3V，且功耗不是首要关心的指标，综合考虑二者优缺点，主放大器高速运放单元电路的设计，选用有源电感作为负载。下面具体分析采用有源电感负载拓展带宽的原理：

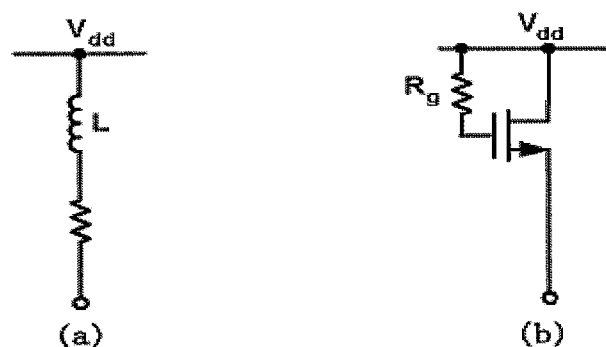


图 4.10 (a)螺旋电感负载，(b)有源电感负载

由电路知识推导出采用有源电感负载的单级放大器频率响应为:

$$H(s) = \frac{g_{mn1} \cdot (1 + sR_g C_{gsp})}{g_{mp1} + s \cdot C_{load} + s^2 C_{load} R_g C_{gp3}} \quad (4.12)$$

故电路的直流增益为:

$$A_v = \frac{g_{mn1}}{g_{mp1}} = \sqrt{\frac{K_n \frac{W_{n1}}{L_{n1}}}{K_p \frac{W_{p1}}{L_{p1}}}} \quad (4.13)$$

由式(4.12)可以看到,有源电感负载的加入,改变了系统的频率响应,引入一个幅频响应的零点,且使放大器的一个实极点变为了复平面上的两个共轭复极点。因此可以通过调节有源电感的参数使该零点抵消掉系统的原主极点,从而使主极点后移,带宽得到扩展。由式(4.13)可以看到,直流增益与器件的宽长比等参数密切相关,因此可以通过调节输入管和负载管的相应参数的比值来调大电路的直流增益。又由于增益带宽积 GBW 由跨导 g_m 和负载电容 C_L 的比值决定, g_m 与器件的宽长比成正比,所以将输入 MOS 管按相同的比例增加宽度和长度尺寸,则使得放大管跨导 g_m 和栅极负载电容 C 也按同样的比例增大,故实现在增益带宽积保持不变的情况下增加增益。

4.4.2 输出缓冲单元设计

为增加系统的驱动能力,输出缓冲单元在传统输出缓冲器的基础上加以改进,采用两级差分运放构成。第一级为宽带低增益运放,其电路拓扑结构如图 4.11 所示。第二级为 buffer 电路(输出缓冲器),其电路拓扑结构如图 4.12 所示。

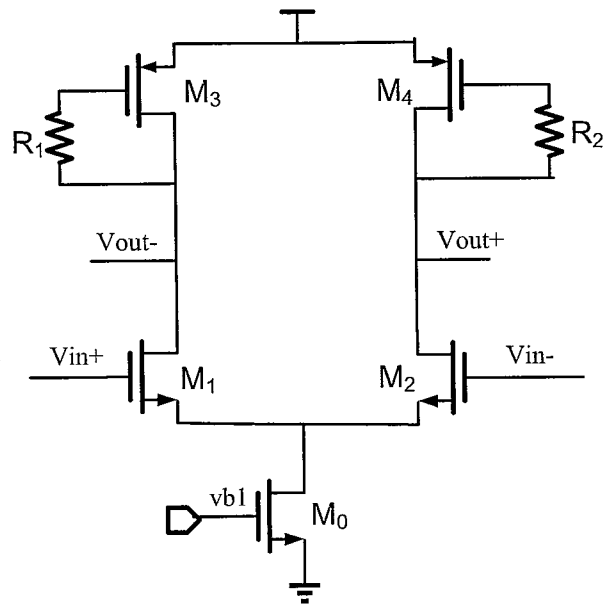


图 4.11 宽带低增益运放设计

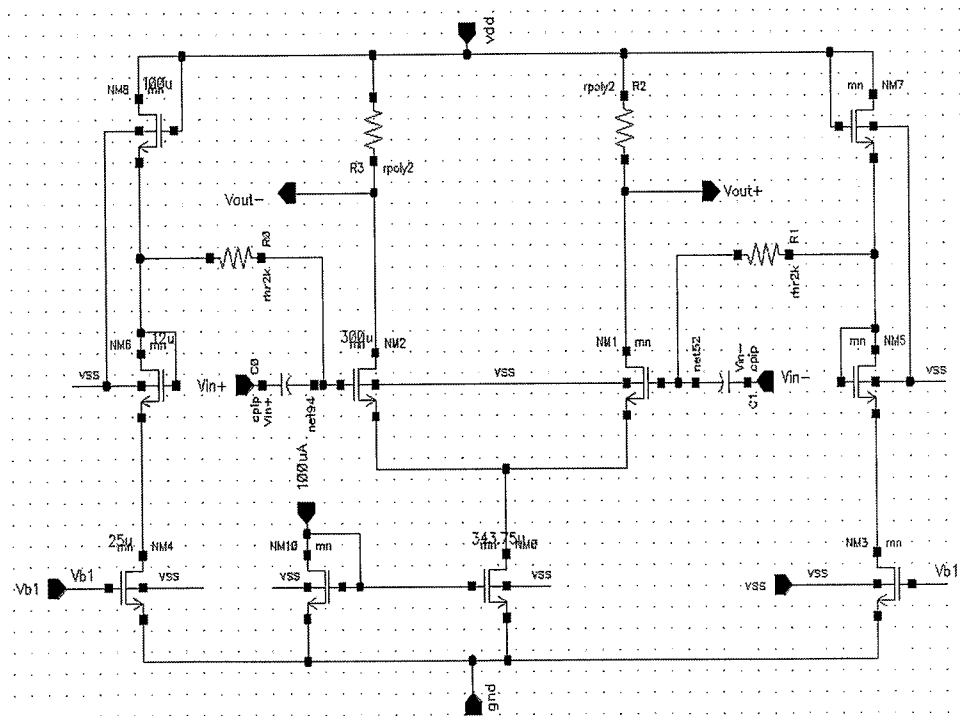


图 4.12 buffer 电路设计

由图 4.11 可知，宽带低增益运放的电路结构与高速运放单元相同，不同的是由于是基于低增益宽带宽的设计，因此器件参数的选取上不同。主要表现在输入管的跨导较小，进而栅极电容较小，从而减轻了上一级的负载电容。该级的作用是隔离高速运放单元和输出缓冲器的过重负载，从而避免了级联 buffer 电路后

系统带宽的恶化。

由图 4.12 可知, buffer 电路由全差分放大器和电压自偏置电路组成。由差分输入对管 M_1 、 M_2 , 尾电流源 M_0 以及负载电阻 R_1 、 R_2 构成全差分电路。首先, 在全差分放大器负载的选取上, 用 100Ω 电阻取代了传统的 50Ω 匹配电阻, 其原因是在保证较好的匹配前提下, 适当地增大负载从而增大增益以及提高信号的输出摆幅。其次, 由于要在固定的较小负载上输出合适的直流电平, 在电路参数的调试中可以通过增大输入对管的等效跨导和增加尾电流的方式实现, 但前者会导致输入管 W/L 值增大, 进而引起负载过重, 这也是 buffer 电路前需要接宽带低增益运放的原因。

buffer 电路采用电容耦合方式抑制直流电平失调, 为驱动电路正常工作, 设计了电压自偏置电路为 buffer 电路提供共模输入电平。如图 4.12, 差分放大器两侧电路 $NM_5 \sim NM_{10}$ 和电阻 R_0 分别用于为输入对管提供自偏置电压。由于差分输入端栅电流为零, 故电阻 R_0 两端几乎没有电压差。隔直电容 C 和 R_0 共同决定了放大电路的低频截止频率, 即:

$$f_c = \frac{1}{2\pi R_{0,2} C} \quad (4.14)$$

为了不使隔直网络不理想的带通特性将幅频响应的中频增益拉低, f_c 要求很低, 一般要求在 KHz 数量级。故要求 R_0 和 C 的值很大, 在集成电路中使用大电容和大电阻要占用很大的芯片面积。为了减小芯片面积, 选用方块电阻较高的 poly 电阻。

4.4.3 失调电压补偿设计

主放大电路采取多级级联结构, 前级电路的直流电压失调会传到后级电路, 且由于各级单元电路具有一定的增益, 因此这个失调会被逐级放大。针对这一现象, 主放大器的设计中采用了直流失调电压补偿技术来解决这一问题。具体失调电压补偿电路的实现形式如图 4.13 所示, 采用的是直流负反馈和电容耦合相结合的方式。其中电阻 R_1 、 R_2 、 R_3 、 R_4 和电容 C_1 、 C_2 构成电阻并联负反馈失调电压补偿电路。电容 C_0 构成电容耦合失调补偿。两种补偿方式的具体原理均已在 4.3.2 节详细讲述。这样设计的好处是可以兼顾两种方式的优点, 规避各自的缺

点。由于四级高速运放单元之间采取的是直接耦合方式级联，因此采用电阻并联负反馈补偿电路来减少这四级主放单元电路输出端的直流电压失调。而只在输出缓冲器（buffer）与宽带低增益运放之间采用电容耦合方式。这是因为电容耦合具有不理想的低频截止特性，会在一定程度造成幅频响应中频增益的下降，而输出缓冲单元对增益的要求不高。此外，由于本次设计是前端放大电路系统的初次流片，这种将四级高速运放单元与输出缓冲单元的失调电压补偿电路分开处理的方式，可扩展性较好，便于后期更高集成度的光电接收机芯片设计。

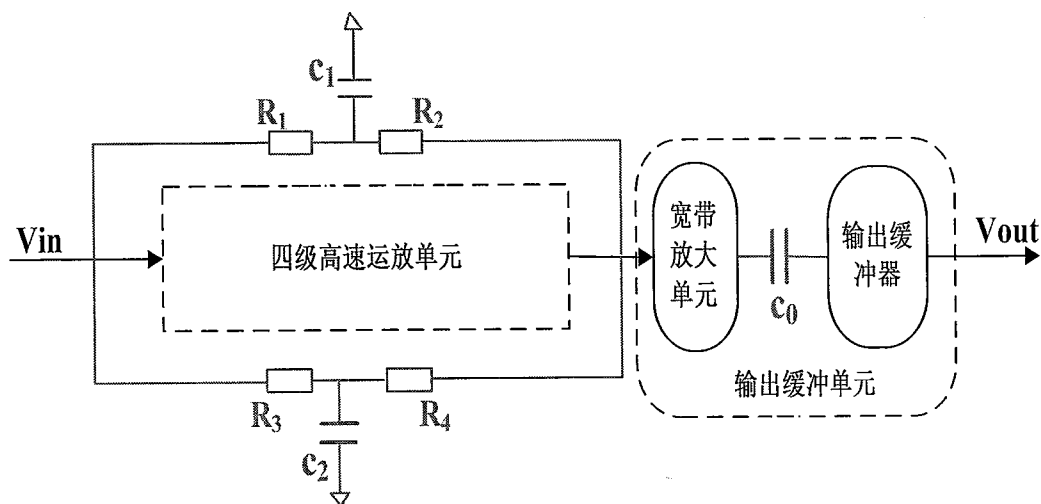


图 4.13 主放失调电压补偿

4.5 前仿真验证

4.5.1 仿真环境搭建

仿真测试电路如图 4.14 所示，相关参数如下：

- 电源电压：3.3V
- 输入信号：频率为100MHz, 信号幅度为1.5mV 的电流信号, 共模电压1.65V。
- 输出负载：5pF 滤波电容, 5nF 耦合电容, 50ohm 电阻
- 偏置电压：1.1V

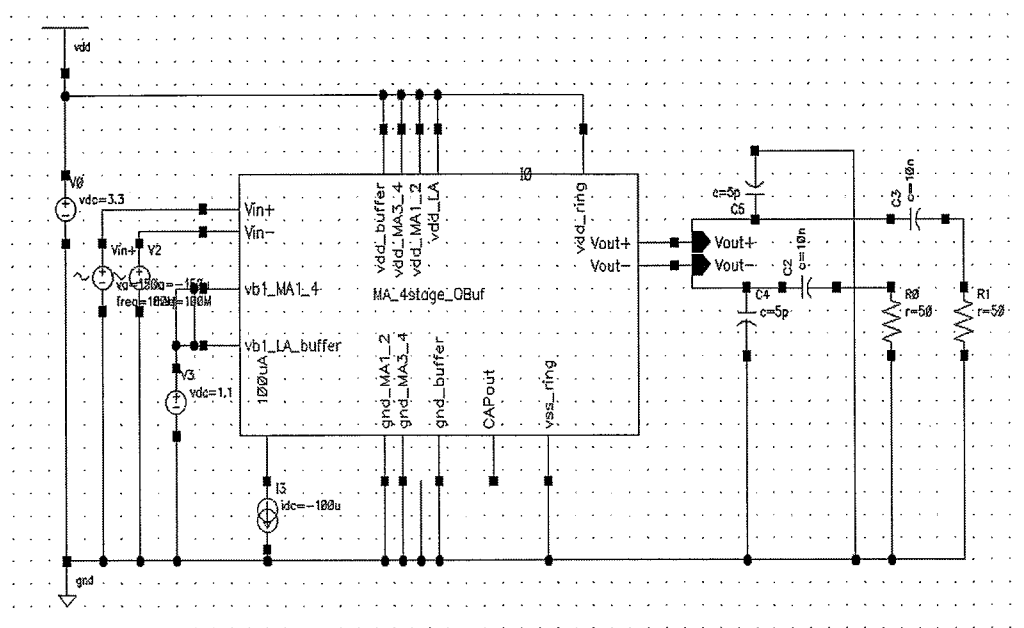


图 4.14 主放大器仿真环境

4.5.2 仿真结果

首先在 TT 工艺角 27°环境下对系统版图进行功能仿真。直流仿真分析得到差分输出端的瞬态曲线如图 4.15 所示，可以看到系统正负差分输出端波形幅度相同，相位相反，直流失调不明显，直流共模电平为 2.265V，差分输出性能良好。交流小信号仿真分析得到幅频响应曲线如图 4.16 所示，放大系统中频增益（100MHz 处）为 33.1dB，3dB 带宽为 1.047GHz。这里看到，由于主放设计时引入了有源电感负载来拓展带宽，在幅频响应的高频处增益有轻微的尖峰存在，这种情况通常会对系统稳定性造成一定的负面影响，但这里由于尖峰不是在系统的有效带宽内，所以对性能影响不大。进一步优化可以通过调节有源电感的等效电感值来改变零点位置，使其与极点完全抵消，从而避免这样现象；或者采用 4.3.1 节所提到的其他拓展带宽的方式，但可能的代价是增益、噪声和功耗的损失。

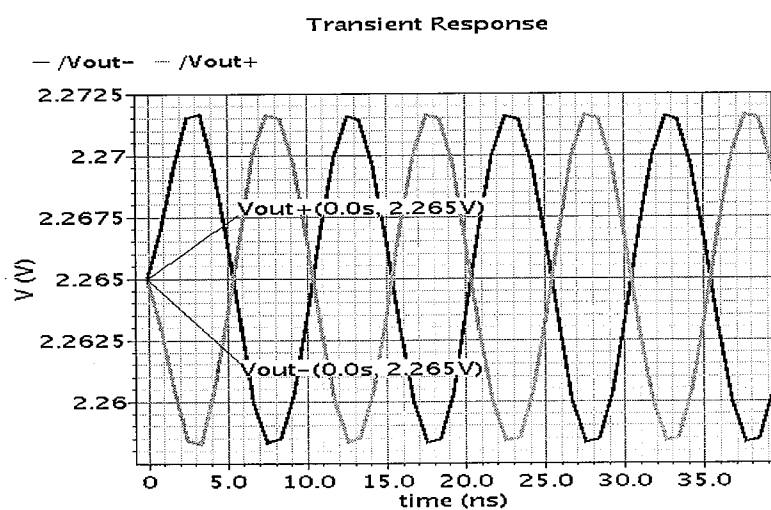


图 4.15 瞬态仿真波形曲线图

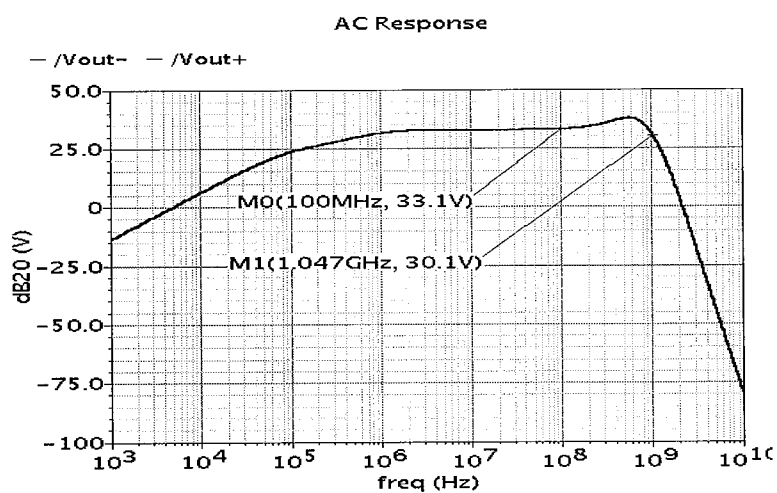


图 4.16 输出幅频响应曲线图

对主放大电路子系统进行了噪声、电源抑制比等一系列性能仿真，得到图 4.17 所示的仿真波形，并对其在 TT 工艺角 27° 环境下的仿真数据进行汇总，得到表 4.1。仿真结果表明，设计达到了预期目标且留有很大的裕量。

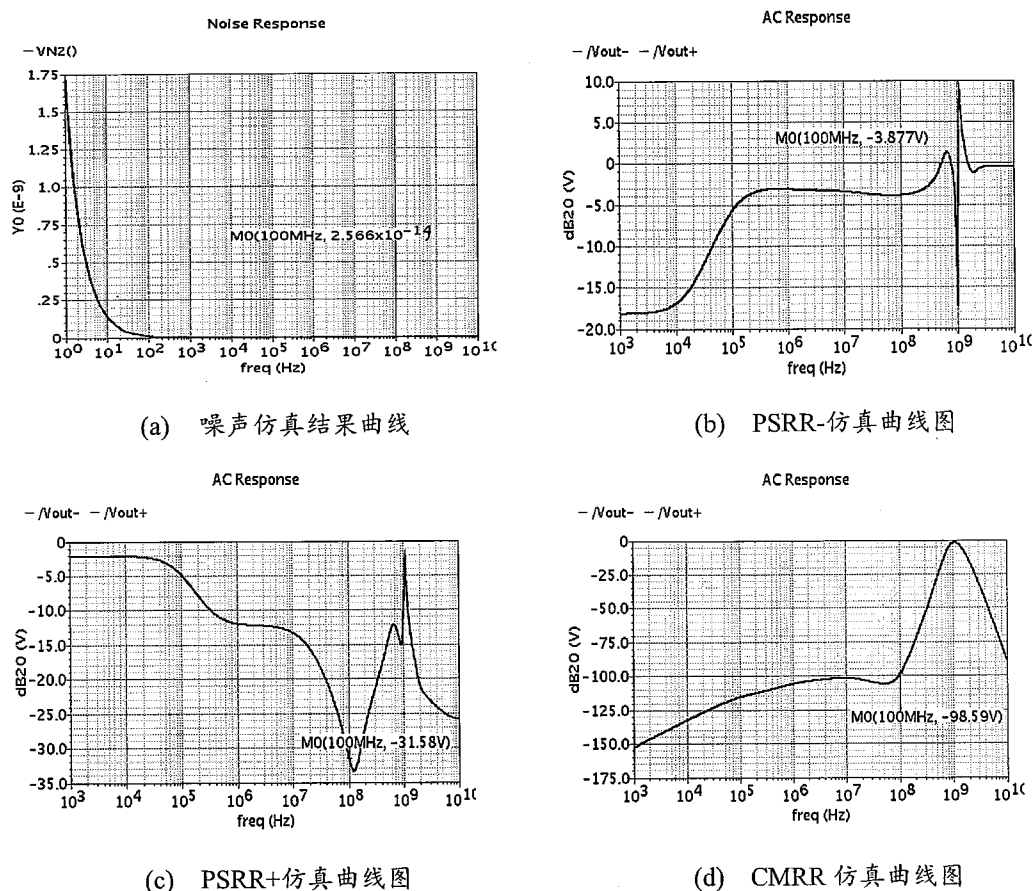


图 4.17 主放性能仿真曲线图

表 4.1 主放大器仿真结果汇总

仿真参数	仿真结果
带宽 (Hz)	1047M
增益@100MHz (Ω)	33.1dB
输出共模电平 (V)	2.265
CMRR@100MHz	131.69
NOISE@100MHz (A/sqrt(Hz))	25.67f
PSRR+@100MHz	64.68dB
PSRR-@100MHz	36.98dB
功耗 (W)	75.14

表 4.2 为对各工艺角及温度的仿真结果, 可知各种环境下电压增益均大于 25dB, 带宽均大于 500MHz, 各工艺角下输出的共模电平偏差为 588mV。

表 4.2 主放大器工艺角仿真结果

VDD=3.3V						
温度/输出	MOS/RES/CAP	TT/TT/TT	FF/FF/FF	SS/SS/SS	FS/FF/FF	SF/SS/SS
27°	BW (MHz)	1047	1570	502.84	1070	839.79
	Gain@100MHz (dB)	33.1	34.92	29.59	40.61	25.73
45°	BW (MHz)	1030	1540	513.92	1040	841.28
	Gain@100MHz (dB)	32.26	34.08	29.02	39.68	24.03
-10°	BW (MHz)	1090	1650	568.44	1140	825.3
	Gain@100MHz (dB)	34.78	36.61	30.32	42.45	26.01
最大输出共模 (V)		2.5163555				
最小输出共模 (V)		1.9281872				
输出共模最大偏差 (mV)		588.17				

4.6 本章小结

本章采用四级全差分放大器级联的方式实现了主放大器模块的电路级设计。设计中通过有源电感技术和失调电压补偿技术分别解决了级联电路带宽下降和直流电压失调的难题。此外，设计了输出缓冲辅助电路，以实现与传输线的匹配。经 cadence 软件前仿真结果表明，主放大器模块的指标满足设计需求。

第5章 系统版图设计

版图设计是联系电路设计和生产工艺的中间环节。本章概述了 CMOS 模拟版图的设计规则和注意要点,在此基础上介绍了系统版图和模块版图的具体实现。版图设计中采取优化方案,优化了高频模拟版图中的寄生参数和串扰问题。最后给出系统版图的后仿真结果,并与前仿真结果作以对比分析。

5.1 CMOS 高速模拟版图设计概述

版图设计中要考虑的问题十分复杂,下面从几个方面叙述 CMOS 模拟电路版图尤其是高速模拟版图的设计要点。

5.1.1 设计规则

集成电路制作过程中,需要准确定位每一层的形状、位置,并且通过特定的工艺生产。设计规则的制定是为了保证工艺的精准性以便生产出合格的芯片。版图设计规则由生产厂家提供,一般按层给出,它主要分为两种:一种是对某一层图形自身的限制,例如最小尺寸;另一种是对各层之间图形位置的限制,包括最小间隔、最小延伸长度、最小包含长度等。版图是否符合设计规则可以通过 Cadence 软件附带的 assura 或 caliber 版图验证工具提供的 DRC 功能进行检验。

5.1.2 高速版图需考虑的因素

(1) 寄生参数

在高速集成电路的版图中,寄生参数对版图性能的影响不可忽略,寄生参数主要包括寄生电容和寄生电阻^[51]。

寄生电容的包括导电图层与衬底间的寄生电容以及金属之间的寄生电容。金属之间的寄生电容主要存在于垂直重叠或平行排列的金属之间,且越靠近衬底的金属层寄生电容越大。寄生电容的存在会降低高频电路的带宽,版图设计时可以从以下几个方面减少寄生电容^[52]: 1、对于交流信号线采用寄生电容较小的高层金属; 2、对电路带宽起关键作用的节点连线应尽量短,以减少导线和衬底间或

导线之间引起寄生电容的机会；3、高频电路的 PAD（焊盘）可以采用自定制的形式（如采用高层金属完成），以减少 PAD 寄生电容对带宽的影响。此外，寄生电容有时也可加以利用，如采用 MOS 管栅极的寄生效应做成 MOS 管电容器，相比 MIM 电容和 POLY 电容达到同样的电容值所需的面积更小。

版图中的金属线并不是理想的导线，每种导电材质都有自己的方块电阻，即金属线的寄生电阻。寄生电阻的存在会使导线上产生一定的电压降，引起电路工作状态的偏差。针对这种情况：一方面，通过减少走线长度或增加走线宽度来减少寄生电阻，但后者会引起寄生电容增大，因此版图设计时可以重点针对直流信号线采用大面积金属来减低压降；另一方面，尽量避免使用方块电阻较大的材质走线，如多晶硅。

（2）线电流密度

版图中，导线宽度受电流大小限制，当流经的电流过大时，会缩短导线的使用时间，甚至会引起金属熔断。对于特定层的金属来说，金属线越宽可承受的电流就越大。生产厂家会在设计规则中给出单位宽度的电流限制，就目前工艺来说，这个值通常在 $1\text{mA}/\mu\text{m}$ 左右。此外关于导线宽度还要注意一下几个问题：1、流过导线的电流包括直流电流和交流电流，设定导线宽度时应考虑最大电流值^[51]。2、对于导线流过的电流很大时，可以在较宽的金属线上开槽以保证电流的均匀，或采用多层金属并联走线的方式来分流。3、导线通常在 90° 拐角处导电能力会下降，可以采用 45° 拐角的方式来改善其导电能力。

（3）衬底耦合噪声

衬底耦合噪声的产生原因如图 5.1 所示。两个电路共用一块 P 型衬底，每个电路都与衬底之间有寄生的电容，且衬底本身存在寄生电阻，因此电路 1 中的噪声会通过这些寄生电容和寄生电阻耦合到电路 2 中。

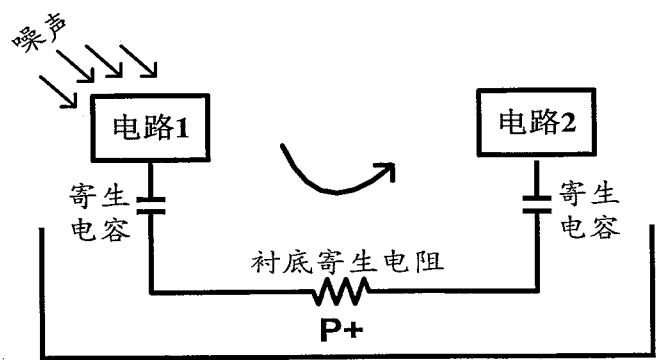


图 5.1 衬底耦合噪声示意图

对于这种情况，一方面，可以通过模块四周加保护环（guard ring）来隔离衬底噪声。对噪声较大模块加保护环可以防止噪声泄漏，在噪声敏感模块周围加保护环可以避免其受外部噪声的干扰；另一方面，可以利用某些工艺中提供的深 N 阱（DNW）对敏感模块进行隔离。

5.2 前端放大电路系统版图设计

5.2.1 系统电路简介

图 5.2 为前置放大器模块和主放大器模块级联后的系统级电路原理图，表 5.1 列出了基本工艺角下的系统前仿真结果，以便与下文中后仿真指标做一对比。

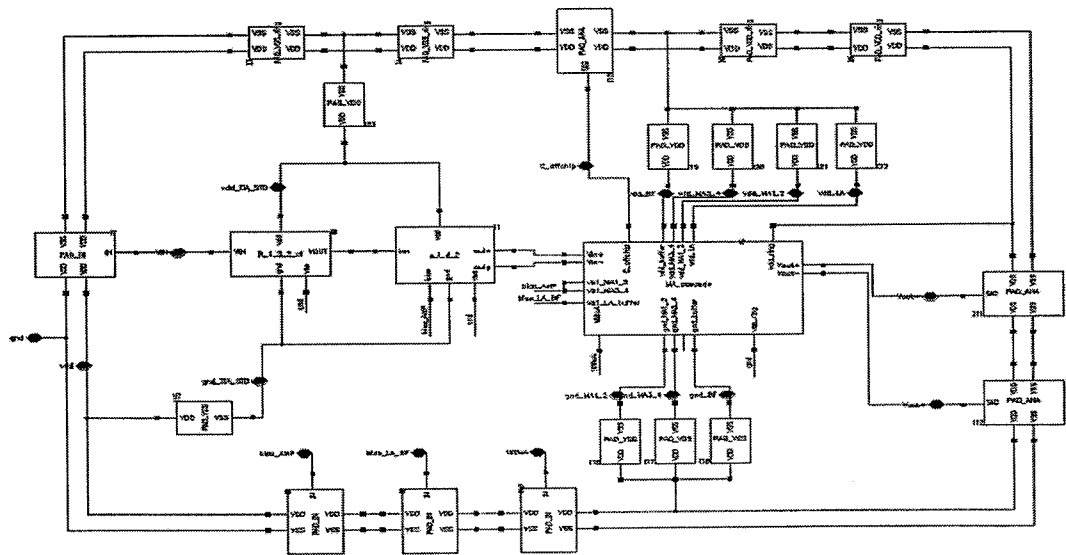


图 5.2 前端放大电路系统电路设计图

表 5.1 系统级基本工艺角前仿指标汇总

仿真参数	仿真结果
带宽 (Hz)	1.156G
增益@100MHz (Ω)	89.44dB
输出共模电平 (V)	2.265
PSRR+@100MHz	74.58dB
PSRR-@100MHz	75.19dB
NOISE@100MHz (A/sqrt(Hz))	7.439p
功耗 (W)	82.84m

5.2.2 系统版图及模块版图实现

前端放大电路系统版图设计如图 5.3 所示，各模块版图设计如图 5.4 所示。

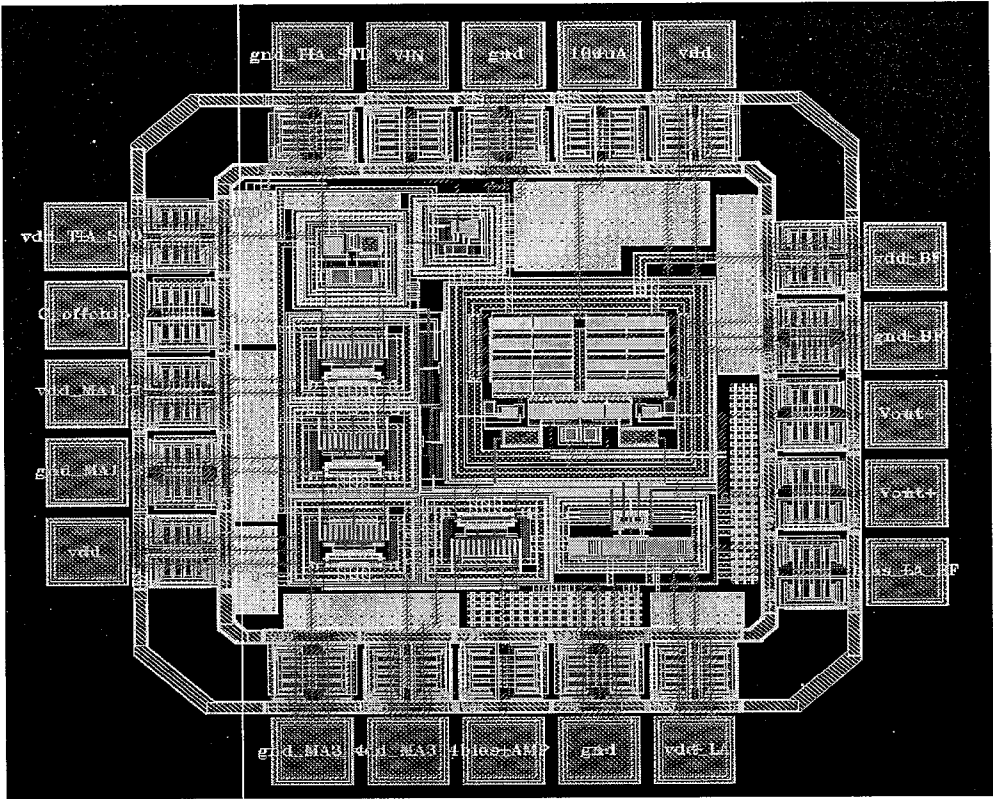


图 5.3 前端放大电路系统级版图

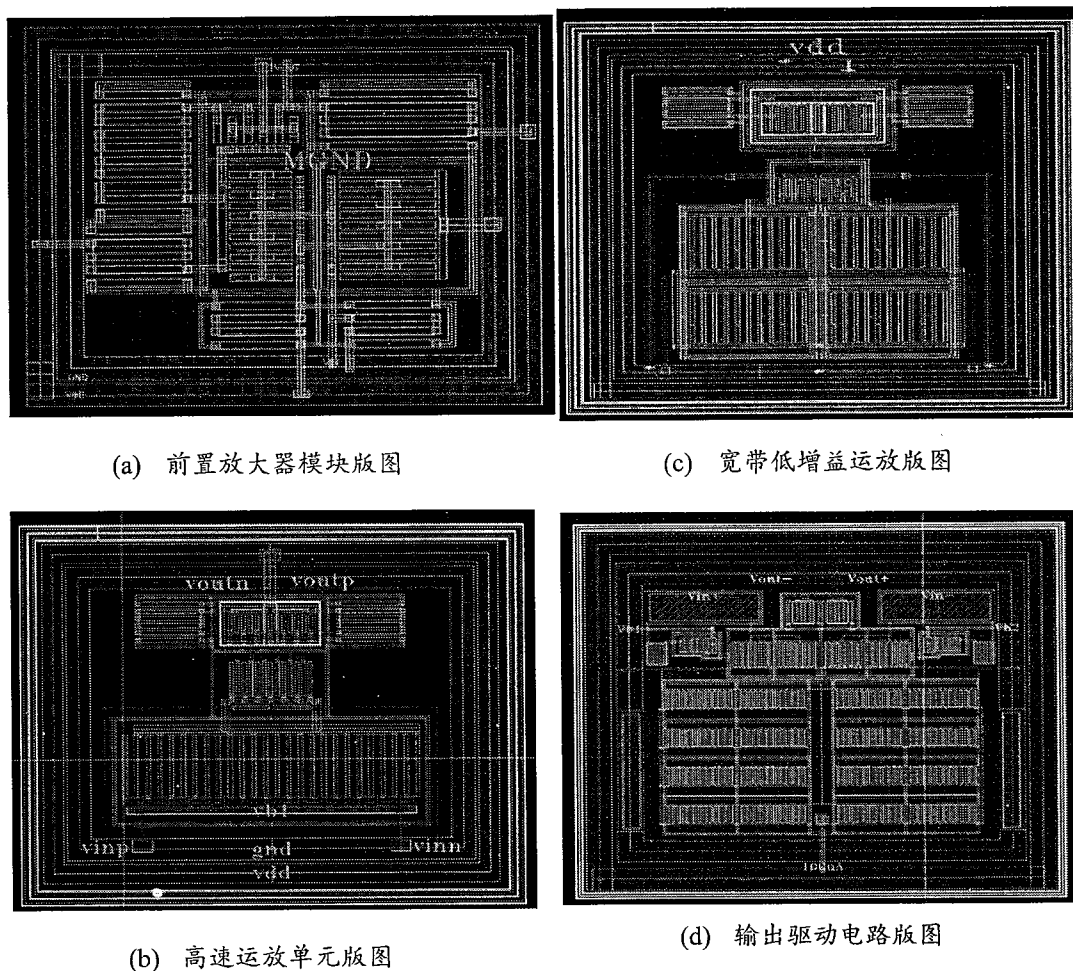


图 5.4 模块级版图设计

5.2.3 版图性能的优化

版图设计中，重点针对高频版图中的寄生参数、信号串扰问题以及差分电路的器件匹配问题进行了优化。

5.2.3.1 布局布线优化

布局包括模块内部布局和系统整体布局。

首先讨论模块内部布局。图 5.4 (a) 所示的前置放大器模块的版图中对有源器件采取了就近布局原则。例如将 RGC 结构的两个 MOS 管的栅极相对摆放，这样使得连接有源器件的高频信号通路走线缩短，经后仿真结果表明，采取这种结构的版图布局可以使模块版图的带宽提高 10~20%。图 5.4(b)~(d)所示的主放大器各单元模块的版图中，由于采取的是全差分放大器结构，布局中主要考虑有源

器件的匹配问题（将在 5.2.3.2 器件匹配中详细介绍）。对于不走交流信号的无源器件，其布局优先级小于有源器件，设计中采取了插空和就近放置原则。

其次讨论系统整体布局。由于前端放大电路系统是开环电路，布局上的主要原则是将相邻模块首尾相接放置，这样可以缩短主信号通路连线长度以及减少输入输出之间寄生电容的影响。整体布局要和芯片 PAD 管脚排布原则相一致，这一点将在 5.2.3.5 系统芯片 PAD 排布优化中详细介绍。

布局的合理性直接关系到布线的难易以及走线寄生效应大小，二者是不可分割的，设计版图时应综合考虑。关于布线的优化，重点是减少走线长度尤其是交流信号线的长度以减少其寄生效应，关于这一点将在下文对寄生参数的优化中详细介绍。

5.2.3.2 器件匹配优化

由于主放大电路采用全差分结构，版图设计时需要 MOS 管进行匹配，以减少掺杂浓度等生产偏差引起的器件参数失配。MOS 管的匹配包括对称匹配和共质心匹配两种方式。后者匹配的更加严格，它又包括一维共质心对称和二维共质心对称两种匹配形式。其中二维共质心匹配如图 5.5 和 5.6 所示，它可以得到两条对称轴，能够消除各方向工艺线性梯度的影响，匹配特性最优，但带来的副作用是使连线长度增加，不适合走高频信号的 MOS 管。因此设计中，对于走高频信号的输入差分对管采取图 5.7 所示的对称匹配的方式，而对于走直流信号且尺寸较大的 buffer 电路尾电流管采取图 5.5 所示的二维共质心匹配的方式。

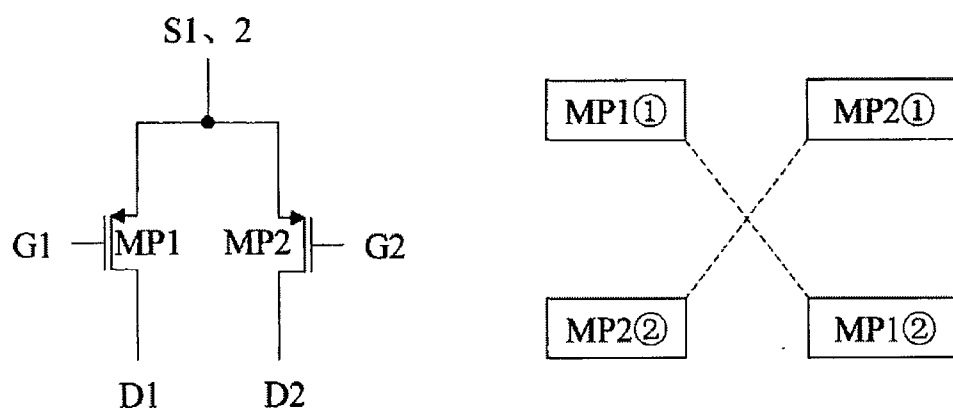


图 5.5 二维共质心匹配示意图

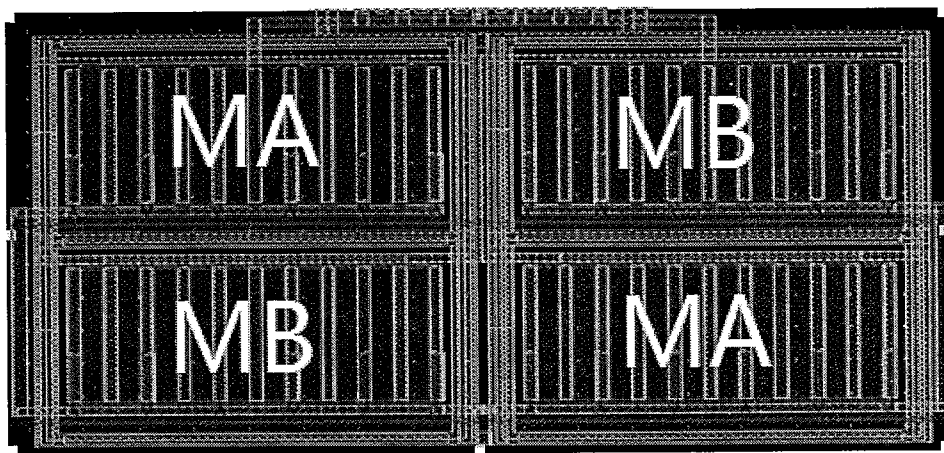


图 5.6 二维共质心匹配版图

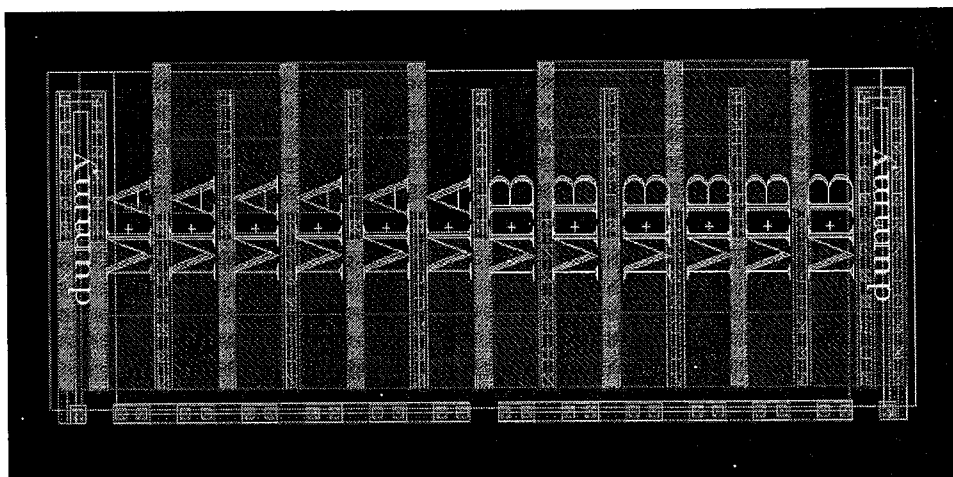


图 5.7 MOS 管对称匹配版图

其次，设计中通过加 dummy 管的方式，进一步提高了器件匹配。由于边缘图层在刻蚀时容易出现偏差甚至损坏。通过 MOS 管及电阻两边或四周各加一个没有任何电气作用的附加管，可以将边界未知的刻蚀偏差转移到了 dummy 器件上，从而有效地抵抗生产时工艺刻蚀的偏差，提高芯片成品质量。但 dummy 器件会对走线的难易及版图集成度有影响，设计中采用部分 MOS 管和电阻两边加 dummy 的形式，具体版图如图 5.8 所示。

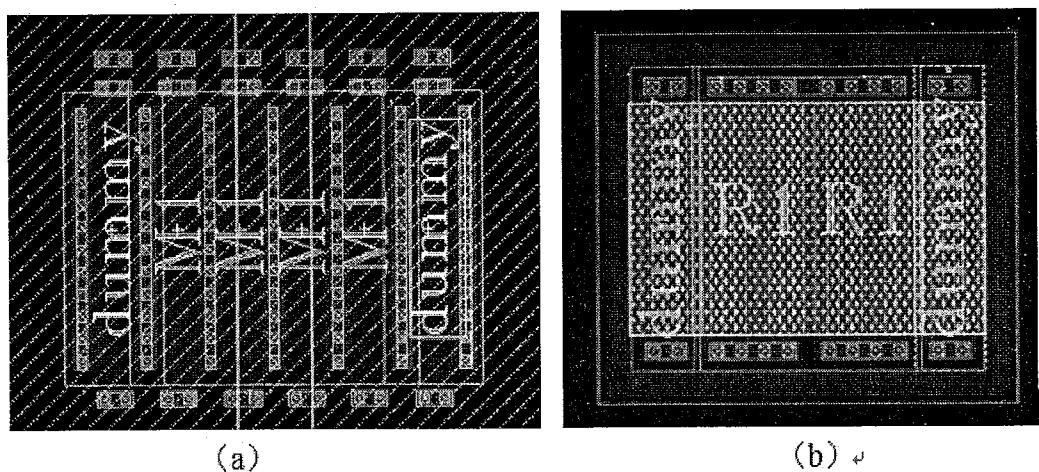


图 5.8 (a) MOS 管的 dummy 形式, (b) 电阻的 dummy 形式

5.2.3.3 寄生参数的优化

版图中的寄生效应主要包括器件层寄生和连线层寄生, 寄生参数主要包括寄生电阻和寄生电容。

首先讨论器件层的寄生参数优化。设计中对单个 MOS 管器件版图采用 finger (叉指) 方式。如图 5.9 所示, 采用这种处理后, 构成器件的栅极的多晶硅的寄生电阻由于多条 finger 的并联而大大降低; 由图 5.9 (b) 可以看到采用叉指方式后, 源漏区的面积都大大减小, 使得漏极节点 (通常为主极点) 的寄生电容减低, 版图带宽增大。设计中还采用了全差分输入对管共用了一个源极 finger 的方式来减小寄生电容。此外, 由于多晶硅的阻值较大, 设计中避免了用多晶硅材料走线。例如对叉指方式的 MOS 管的栅极采用如图 5.10 所示的连线的方式, 即在每个 finger 的栅极单独打从多晶硅到金属的孔, 然后将各孔用金属相连, 从而减少了由多晶硅材质引入的较大的寄生效应。

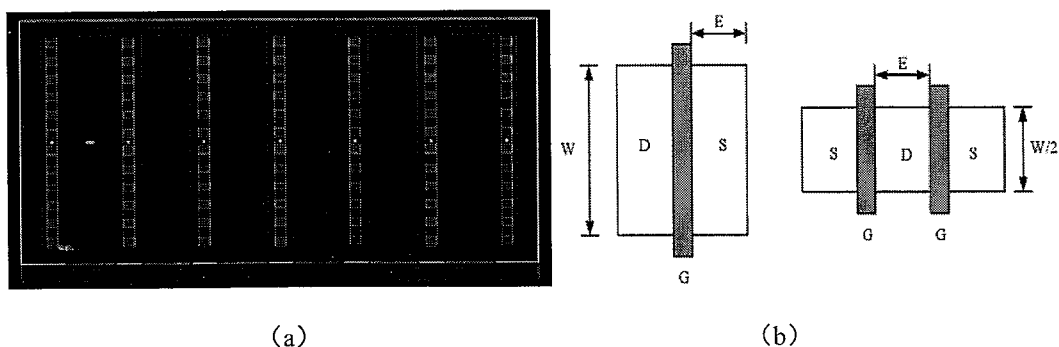


图 5.9 (a) 采用叉指结构的 MOS 管版图 (b) MOS 管的叉指结构图示意图

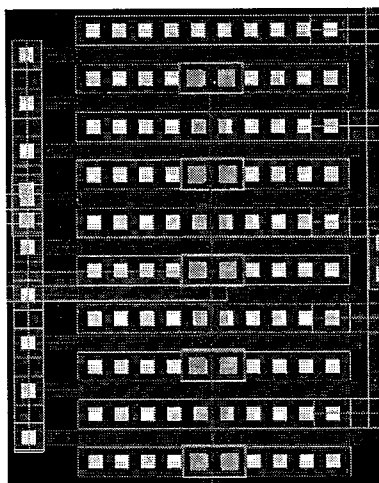


图 5.10 MOS 管栅极连接方式优化

其次讨论连线层的寄生参数优化。通常高层金属的寄生电容和寄生电阻比低层金属小，所以设计中采用高层金属走交流信号，以减少寄生电容对版图带宽的影响。对于相邻的信号线要尽量避免同层及垂直层的平行走线，以降低由于走线之间寄生的面电容或边缘电容引起信号间的串扰。对于电路中的关键节点（如主极点或输出结点），应缩短版图中的连线，这就要求相关器件布局时要尽量靠近。

5.2.3.4 噪声性能的优化

片内噪声主要由耦合效应引起，其主要包括衬底耦合和信号线之间耦合。

首先讨论衬底耦合。CMOS 工艺各模块电路共用一块衬底，电路与衬底之间存在许多寄生效应，而且实际的衬底并不是理想的模拟“地电位”，部分信号可能通过衬底在模块之间相互串扰。针对这种情况，版图设计中采用了加保护环（guard ring）的方法进行优化，即在需要保护的模块周围通过加一圈衬底接触或阱接触的方式，并将衬底和 N 阱分别接到地电位和电源电位。这样做的意义是使其可以更好地吸收衬底电势的变化，使衬底更加纯净，进而从一定程度上减少衬底带来的噪声耦合。针对本次设计，由于前置放大器的输入信号及其微弱，属于噪声敏感模块，设计中对前置放大器做了重点隔离措施，在其四周做了多层保护环，并且为了防止部分噪声从孔的下面通过，在连线长度和集成度允许的范围内，将保护环的面积做的尽量大，用较粗的金属线接地电位或电源电位。

其次讨论信号线间的耦合。通过走信号的金属线之间的寄生效应（主要为寄生电容）会引起信号间的相互串扰。两金属线间的走线方式按产生寄生电容的大

小依次为：不同层金属线平行走线、同层金属线平行走线、不同层金属线交叠走线^[52, 53]。图 5.11 (a) 所示为平行和交叠电容示意图。由于相同情况下平行电容比交叠电容要大很多，所以本设计中，在走线上对于相邻的信号线尽量采取用不同层的金属交叠走线的方式。但对于不得不并行走线的信号，采取了尽量减少金属线间的平行长度，或者如图 5.11 (b) 所示的在并行信号线之间加一条地线的方式来屏蔽或降低它们之间的耦合效应。

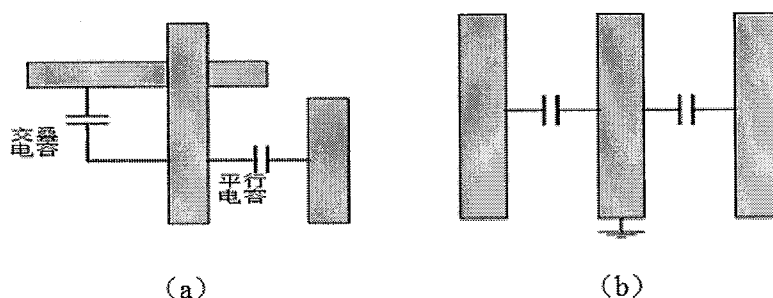


图 5.11 (a) 交叠电容和平行电容，(b) 用屏蔽导体来减少耦合

5.2.3.5 芯片 PAD 排布优化

图 5.12 为芯片的 PAD 管脚排布示意图，针对本次前端放大电路系统的特点对 PAD 排布及芯片内部走线做了以下几个方面的优化处理。首先，由于前端放大电路的输入信号及其微弱，因此对输入 PAD 的排布采取 GSG 的方式，即在输入 PAD 旁边分别放置一个地信号的 PAD，这样可以有效地防止其他信号对输入端信号的串扰。其次，将几组电源和地 PAD 成对就近放置，且在与电源和地 PAD 连接的走线上采取不同层金属并行走线的方式。采取这种方式一是基于信号完整性的考虑，二是利用平行金属线之间较大的寄生电容效应来滤掉电源和地信号中的交流分量，从而稳定直流信号。再次，对于连接直流信号 PAD 的连线（如电源、地线和偏置电压线），采用了较宽的金属以降低走线上的压降，且在较宽的走线内部作开槽处理来保证电流均匀通过。除此之外，连线上还要尽量使输入输出的主信号通路线尽可能的短，以减小走线寄生效应对版图带宽性能的恶化。

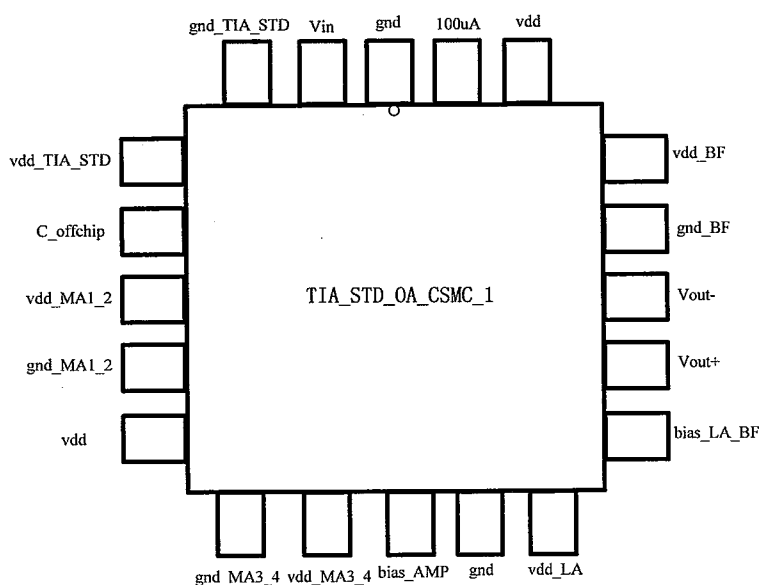


图 5.12 系统版图芯片管脚排布

5.3 后仿真验证

5.3.1 仿真环境搭建

仿真测试电路如图 5.13 所示，相关参数如下：

- 电源电压：3.3V
- 输入信号：频率为 100MHz，信号幅度为 1.5uA，直流偏置 0uA 的电流信号，
- 输入负载：2.5pF 电容
- 输出负载：500fF 电容，10nf 隔直电容，50Ohm 电阻
- 偏置电压：1.1V
- 偏置电流：100uA

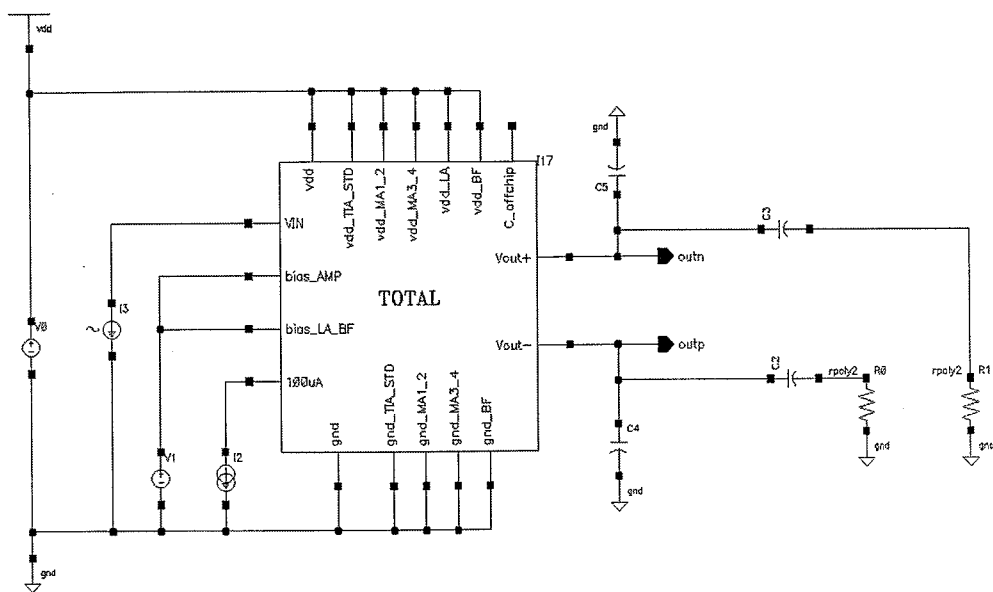


图 5.13 系统仿真测试电路

5.3.2 后仿真结果及分析

在 TT 工艺角 27°环境下对系统版图进行功能仿真。直流仿真分析得到差分输出端的瞬态曲线如图 5.14 所示，可以看到系统正负差分输出端波形幅度相同，相位相反，直流失调不明显，直流共模电平为 2.17V，差分输出性能良好。交流小信号仿真分析得到幅频响应曲线如图 5.14 所示，放大系统中频增益（100MHz 处）为 88.16dB，3dB 带宽为 758.2MHz，满足设计需求。

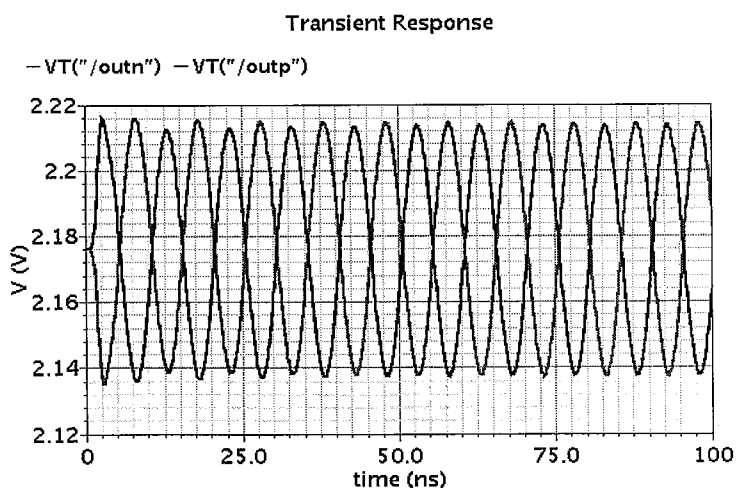


图 5.14 瞬态仿真波形

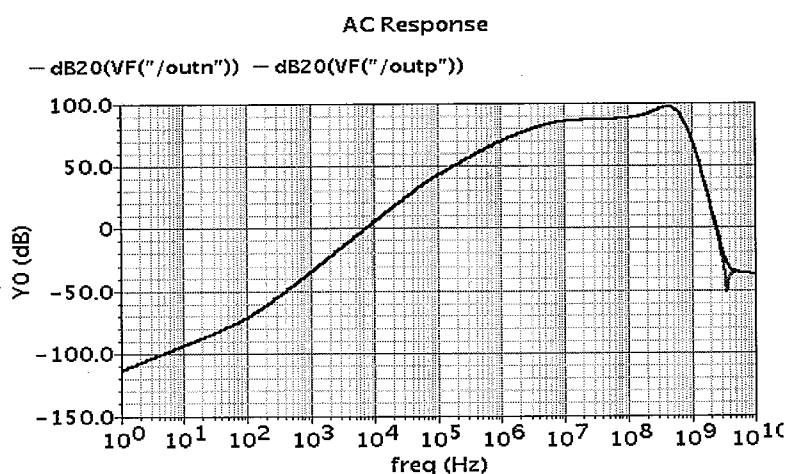


图 5.15 幅频响应曲线

对系统版图进行了噪声、电源抑制比等一系列性能仿真,得到图 5.16~图 5.18 的仿真波形,并对其在 TT 工艺角 27°环境下的仿真数据进行汇总,得到表 5.2。后仿真结果相比前仿真结果,带宽有 30%比例的下降,这主要是由于版图中核心电路及 PAD 中的寄生电容的影响。版图设计中尽管已通过一些措施来优化核心电路的寄生电容,但 PAD 的寄生电容却很难改善。鉴于此,在电路设计时在带宽上留有较大的裕量,所以后仿真指标仍能满足设计需求。其次,等效输入噪声谱密度相比前仿真有轻微的提高,这是因为衬底串扰噪声的存在,使版图中的“地电位”不再是理想的“地电位”,这一现象可以通过隔离等措施改善,但无法避免。除此之外,其余指标均与前仿真指标符合的较好,版图后仿真结果基本达到了预期目标。

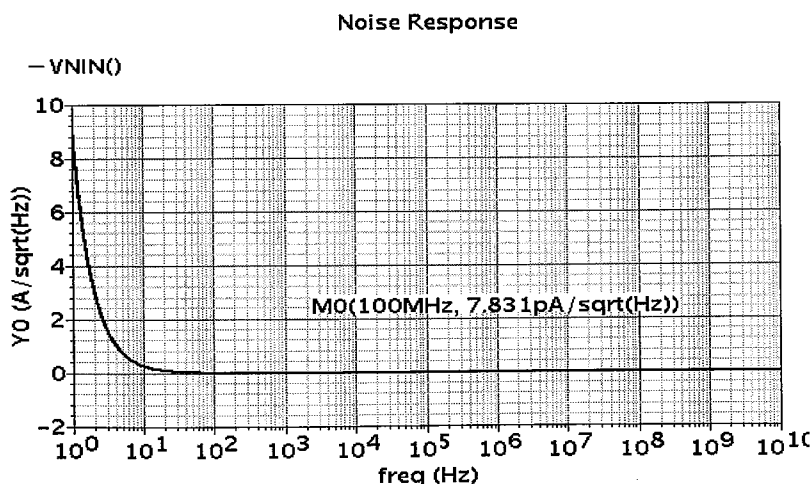


图 5.16 输入等效噪声曲线

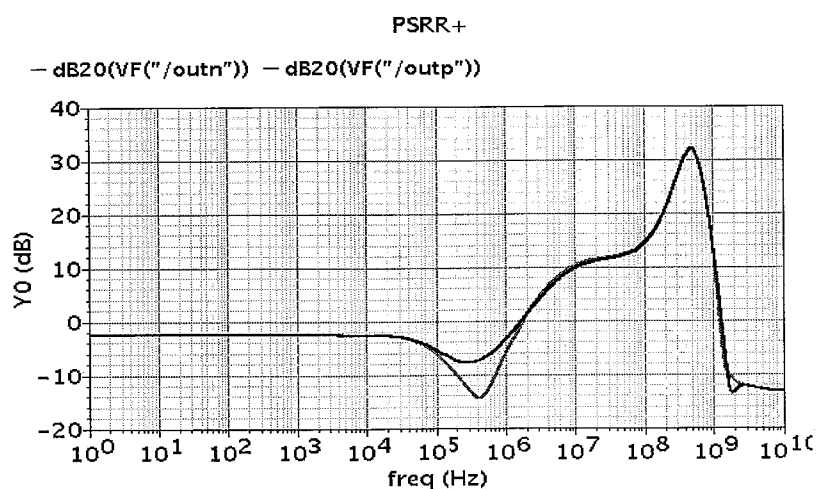


图 5.17 PSRR+仿真曲线

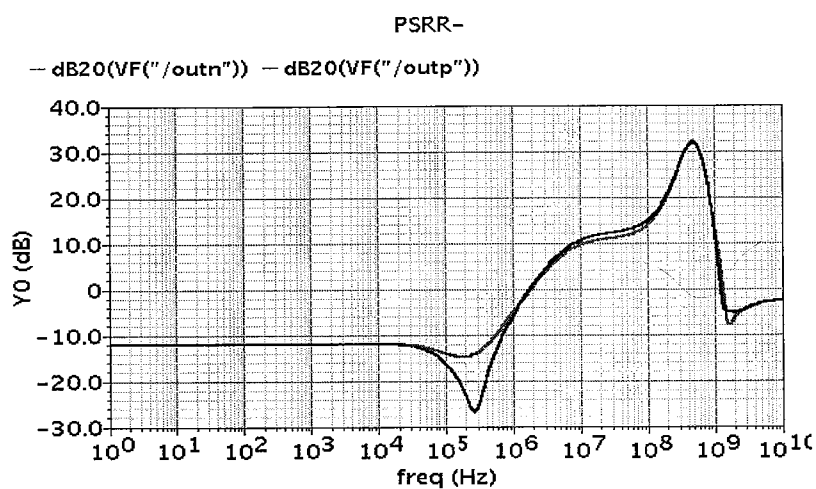


图 5.18 PSRR-仿真曲线

表 5.2 后仿真结果

仿真参数	仿真结果
带宽 (Hz)	758.2M
增益@100MHz (Ω)	88.16dB
输出共模电平 (V)	2.176
PSRR+@100MHz	73.6dB
PSRR-@100MHz	74.17dB
NOISE@100MHz (A/sqrt(Hz))	7.831p
功耗 (W)	84.07m
版图面积 (um $\times$ um)	1194 $\times$ 1220

表 5.3 为对各工艺角及温度的仿真结果。可以看出，各种环境下，其跨阻增益均大于 80dB Ω m，带宽均大于 500MHz，且各工艺角下输出的共模电平变化不

大，仿真结果良好。

表 5.3 工艺角仿真结果

VDD=3.3V						
MOS/RES/CAP 温度/参数		TT/TT/T T	SS/SS/SS	FF/FF/FF	SF/SS/SS	FS/FF/FF
27°	BW (MHz)	762.843	504.093	1124.245	646.188	781.799
	Gain@100MHz (dBohm)	88.078	89.177	85.015	85.760	89.359
45°	BW (MHz)	747.545	512.942	1090.292	644.387	756.062
	Gain@100MHz (dBohm)	86.992	88.369	83.889	84.819	88.152
-10°	BW (MHz)	788.860	569.624	1185.007	641.101	834.893
	Gain@100MHz (dBohm)	90.287	90.412	87.294	87.543	91.783
最大输出共模 (V)		2.331				
最小输出共模 (V)		2.024				
输出共模最大偏差 (mV)		307				

5.4 本章小结

本章采用 CSMC 0.5um 2P3M CMOS 工艺器件库，完成了前端放大电路的模块级和系统级版图设计。版图设计中通过优化布局布线、隔离等措施降低了高频版图中寄生参数对系统带宽的影响，减弱了信号之间的串扰；采用共质心版图和对称版图技术提高了差分器件的匹配。经 cadence 软件后仿真结果表明，系统后仿真指标与前仿真符合较好，满足设计需求。

第6章 芯片实现与芯片测试

6.1 芯片测试概述

芯片测试是芯片设计的最终环节，测试的反馈结果是指导下次设计改善的重要依据。芯片测试按实现起来由易到难分为在芯片测试、基座测试和封装测试三种^[44]。在芯片测试操作灵活方便，寄生参数较小，测试得到的结果通常在三者中最好，但是对工作环境模拟得不够好。后两者对芯片的工作环境模拟较好，相比之下，基座测试仅对芯片管脚进行了键合处理，而封装测试对芯片进行了封装，其测试环境就是芯片的实际工作环境，本次测试选用封装测试。

封装（Package）是指芯片和不同类型材料组成的形状各异的封装体。封装又包括金属封装、陶瓷封装和塑料封装三种。前两种封装形式性能较好但成本较高，故占有的市场份额较少。塑料封装具有工艺简单、成本低的优点，本次测试芯片采用塑料封装形式。

6.2 芯片测试方案

6.2.1 测试设备

本次测试的芯片带宽在 500M 以上，属于高速芯片测试，测试所需的基本设备如下：

- 数字万用表
- 电源
- 高频实时示波器
- 矢量信号发生器
- 频谱分析仪
- 矢量网络分析仪

6.2.2 测试环境搭建

芯片测试在安捷伦开放实验室完成，实验室配备有各种高性能的测试仪器，为测试工作的顺利完成提供了必要的硬件支持。图 6.1 与图 6.2 分别为芯片测试

PCB 照片和测试环境照片。

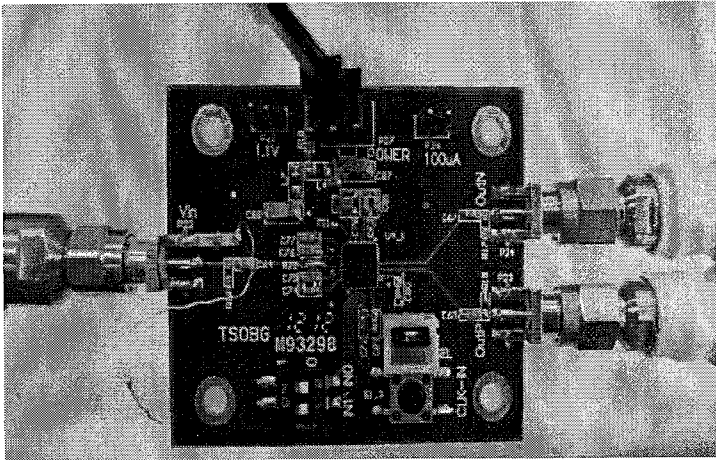


图 6.1 芯片测试 PCB 实物照片

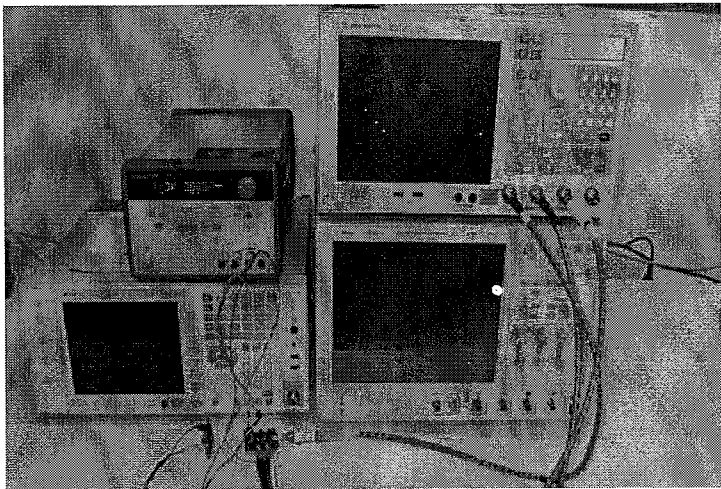


图 6.2 芯片测试仪器及图片

6.2.3 测试系统设计

测试中，主要对电路的时域工作状态，频域带宽，增益和系统抗噪声干扰能力进行检验，图 6.3~图 6.4 为相应的测试系统示意框图。

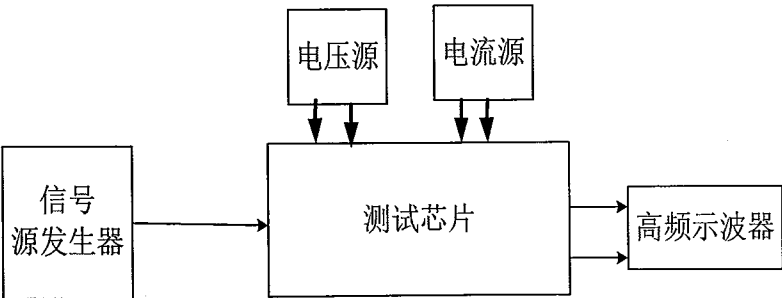


图 6.3 芯片瞬态特性测试方案

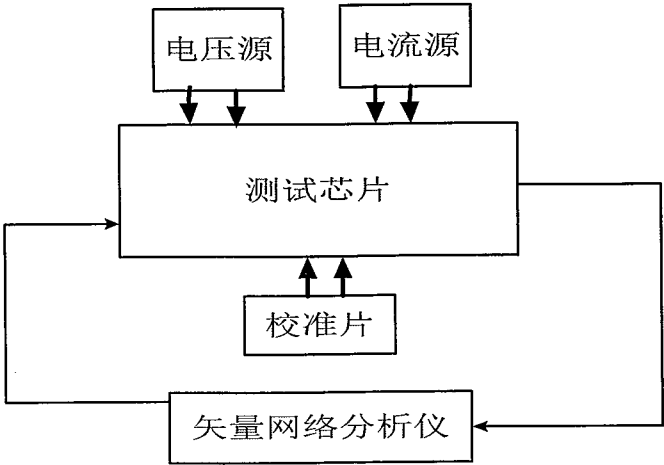


图 6.4 芯片交流特性测试方案

6.3 芯片照片

光电接收机前端放大电路系统芯片的显微照片如图 6.5 所示，其核心电路尺寸为 1194um×1220um，封装后的芯片尺寸为 0.5cm×0.5cm。

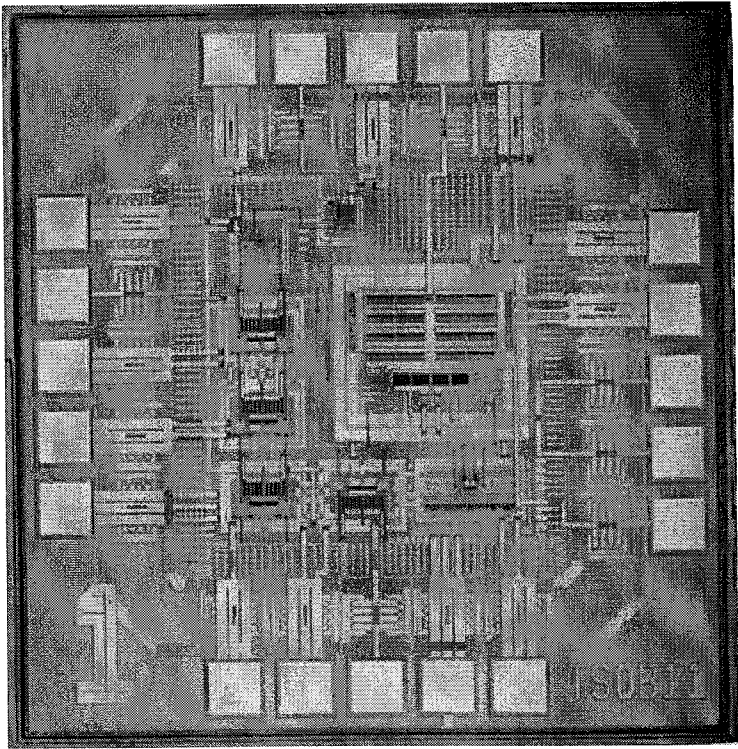


图 6.5 前端放大电路系统芯片显微照片

6.4 芯片测试结果及分析

对前端放大电路系统芯片进行了直流特性测试，来确定芯片的静态工作特性

和静态工作点状态。测试数据如表 6.1 所示，芯片工作的电源电压为 3.3V。在室温（25°）环境下，输出静态工作点分别为 1.8039V 和 1.7931V，静态功耗为 128.7mW。

表 6.1 芯片直流特性测试数据

供电电压(V)	静态功耗(mW)	共模输出电压(正端) (V)	共模输出电压(负端) (V)	工作温度(°)
3.3	128.7	1.8039	1.7931	25

对芯片进行了交流特性下的功能和性能测试，测试结果如表 6.2 和图 6.6~图 6.9 所示。由测试结果可知，芯片的增益为 84.12dBΩ，与后仿真指标仅差 0.4%，符合预期。芯片带宽为 1.063GHz，高于后仿带宽。等效输入噪声电流谱密度为 19.71 pA/sqrt(Hz)，比后仿结果略差。

表 6.2 芯片交流特性测试数据汇总

输入信号(MHz)	增益(dBΩ)	带宽-3dB(Hz)	输入阻抗(Ω)	输出阻抗(Ω)	输入等效噪声电流谱密度(pA/sqrt(Hz))	失调(mV)
100	84.12	1.063G	33.03	116.15	19.71	39.47

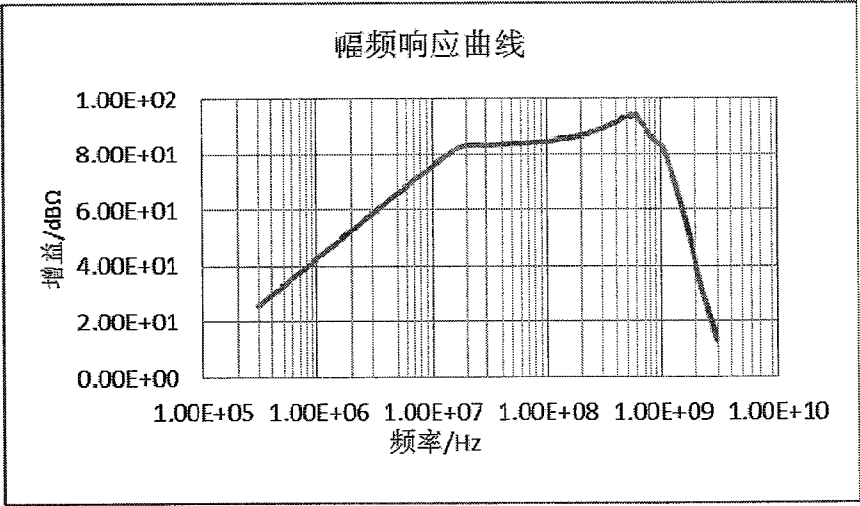


图 6.6 芯片幅频响应测试曲线

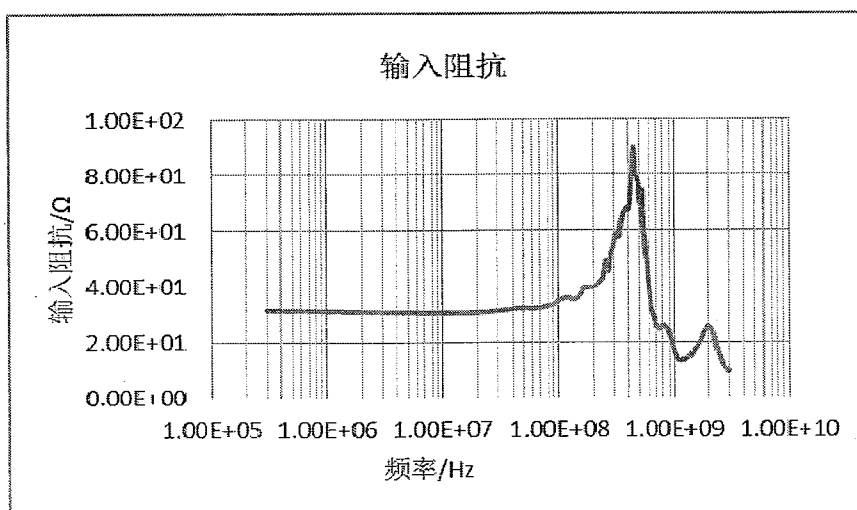


图 6.7 芯片输入阻抗测试曲线

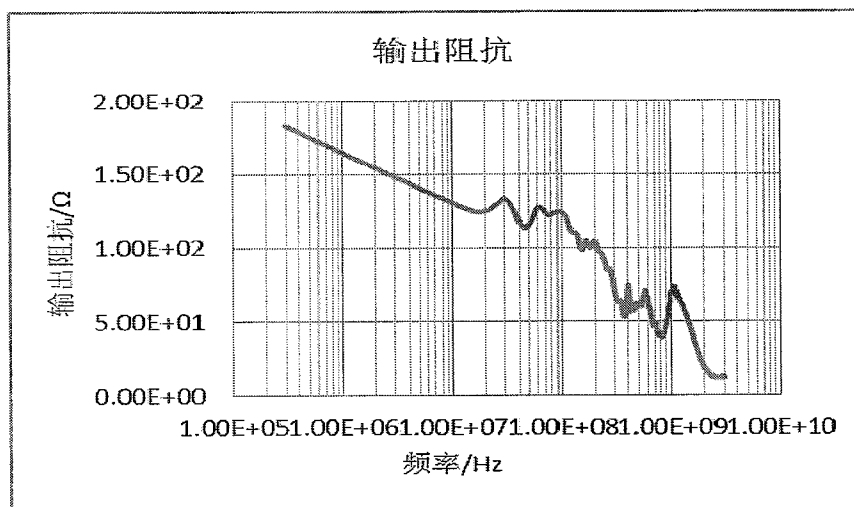


图 6.8 芯片输出阻抗测试曲线

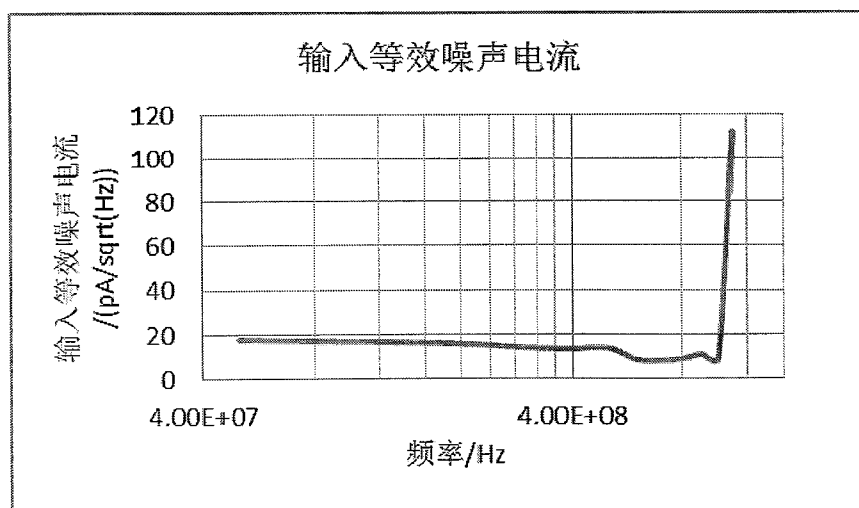


图 6.9 芯片等效输入噪声测试曲线

分别测试了电源电压、偏置电压和偏置电流对芯片性能的影响，测试结果如图 6.10~图 6.12 所示。可以看到，芯片的电源电压误差容限约为 $(-10\%\sim+10\%)$ ，偏置电压误差容限约为 $(-10\%\sim+10\%)$ ，偏置电流误差容限约为 $(-20\%\sim+150\%)$ ，测试结果达到预期。

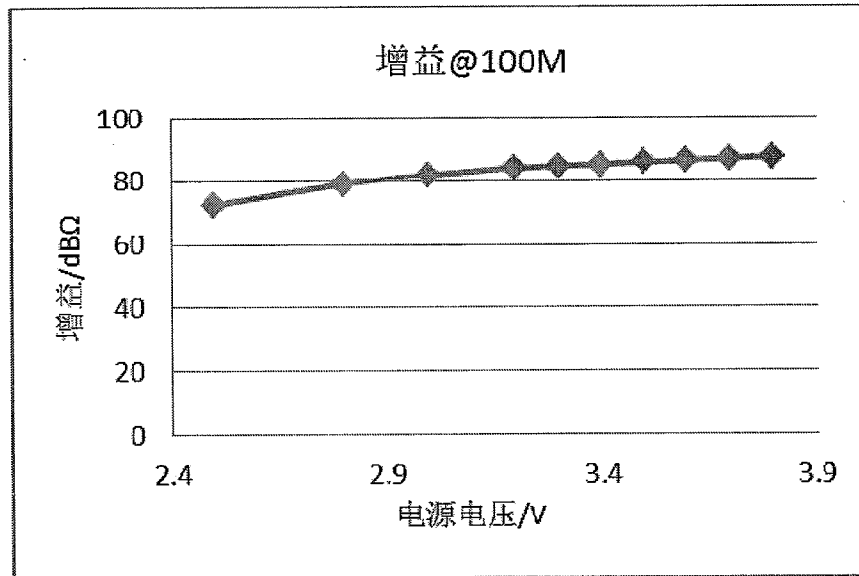


图 6.10 芯片电源电压调整率测试曲线

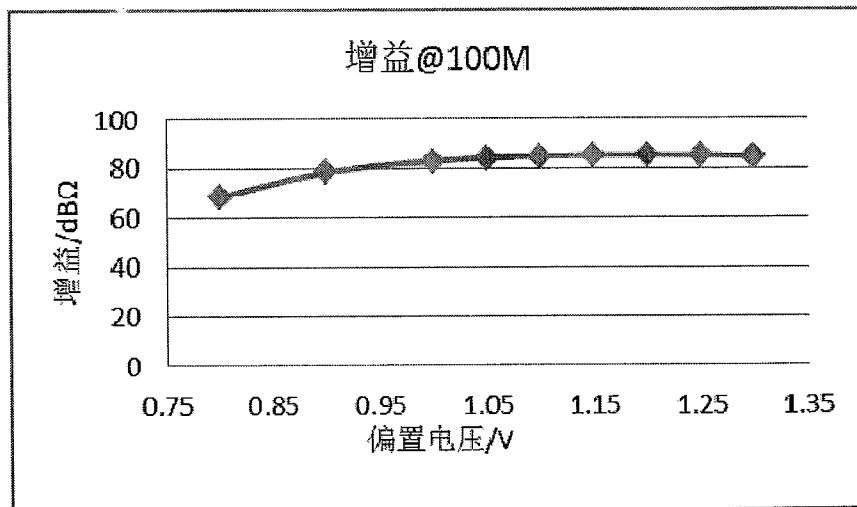


图 6.11 芯片偏置电压调整率测试曲线

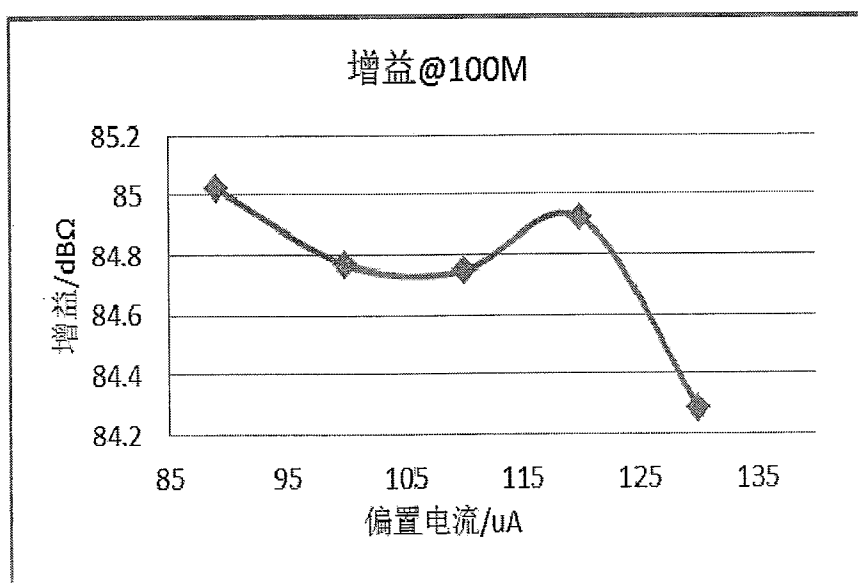


图 6.12 芯片偏置电流调整率测试曲线

从总体上讲，芯片测试指标与后仿真指标符合较好。芯片从功能上满足应用需求，稳定性能方面也较理想。但本次测试也暴露了很多问题，首先是有部分指标还有待提高。一方面，噪声性能的测试结果与后仿真指标有一定的差距。针对这一点，考虑到电路带宽指标的测试结果还有很大的裕量，下次设计时可考虑牺牲带宽来换取带内噪声的减少。另外，可以考虑更换更先进的工艺（如具有深 N 阱的工艺），以便对敏感模块进行更好地隔离，从而降低信号和衬底串扰引入的噪声，但代价是流片成本的增加。另一方面，功耗的测试指标与后仿真差距较大。除了输出缓冲器和测试电路板消耗了部分功耗外，设计时未使用低电压设计以及设计过程未过多考虑功耗因素也是部分原因。下次流片时可以考虑换用较低电压设计（如 1.8V），这样可以大大降低功耗，但会带来输出摆幅和增益方面的压力。其次，由于受项目时间进度、测试资源和成本的限制，对本次芯片未作统计测量和老化测量分析，希望下次流片时能够改进。

第7章 结束语

7.1 总结

论文采用 CSMC 0.5um 2P3M CMOS 工艺实现了应用于激光测距系统的光电接收机前端放大电路芯片，完成的工作主要包括以下三个方面：

首先，完成了前端放大电路系统的电路设计并通过了前仿真验证。论文深入调研了前置放大器和主放大器的结构以及关键技术。在实现方案上，前置放大器选取 RGC 跨阻放大器和共源极放大器结合的方式，能够较好地隔离光电探测器寄生电容，兼顾了增益、带宽和噪声的需求。主放大器采用四级高速运放单元级联的方式，并通过有源电感技术和失调电压补偿技术分别解决了级联电路带宽下降和直流电压失调的难题。此外，设计了输出缓冲单元，以实现与传输线的匹配。

其次，完成了前端放大电路系统的版图设计并通过了后仿真验证。在完成了电路级设计后，采用 CSMC 0.5um CMOS 工艺器件模型，分别进行了模块级和系统级版图设计。版图设计中通过优化布局布线方式减少了高频版图中寄生参数对带宽的影响，减弱了信号之间的串扰问题；采用共质心版图和对称版图技术提高了差分器件的匹配。经 cadence 软件后仿真结果表明，系统后仿真指标与前仿真指标符合较好，满足设计需求。

最后，对系统版图进行了芯片实现和测试验证。设计采用 CSMC 0.5um 2P3M CMOS 工艺流片，并对所得芯片样片进行了测试。测试结果显示，在 3.3V 供电电压，25°环境下，芯片的增益为 84.12 dB，芯片带宽为 1.063GHz，等效输入噪声电流谱密度为 19.71 pA/sqrt(Hz)，静态功耗为 128.7mW。芯片的静态参数以及主要指标与后仿真结果符合较好，满足应用需求。

本设计是实验室针对前端放大电路单芯片集成的首次尝试，难免存在一些问题。总体来说，本课题的完成为实验室今后采用 CMOS 工艺最终实现多通道激光接收机前端放大电路高度集成化提供重要的经验参考，对于高分辨率激光雷达测量系统的研制具有一定的参考价值。

7.2 展望

在下一步工作中，可进一步改善或有待继续开展的研究包括以下一些方面。

首先，在前端放大电路系统设计方面：

1、本次前端放大电路系统芯片的设计采用外加偏置电压和电流的方式，测试和使用时需要额外的基准源芯片提供偏置，使得芯片应用不够稳定和方便，并且这样的设计增加了芯片引出的端口数，使 PAD 或外界寄生效应对电路性能影响更大。针对这一点，下次设计可考虑片内集成基准源的方式。此外，设计中应尽量用电流偏置来代替电压偏置，因为对于 CMOS 工艺而言，电流镜具有很好的匹配精度，而电压偏置受芯片加工工艺影响较大。

2、设计时重点关注了主要指标且留有较大裕量，对功耗和集成度的优化工作稍显不足。针对功耗问题，下次流片时可考虑在满足需求的基础上减少静态电流，或选取更小尺寸的工艺；针对集成度问题，可选取具有深 N 阱及更多层金属的工艺。

其次，在激光测距光电接收机领域方面：

进一步的工作可以把光电检测器和放大电路集成于一个芯片中。单芯片集成电路可以减小由键合线引起的寄生参数的影响，电路的带宽可以进一步增加，且系统可靠性会提高。