

80138
2012 年夏季学位

密级:_____

中国科学院研究生院

硕士学位论文

基于 FPGA 的 MEMS 谐振微悬臂梁生化传感器接口电路

作者姓名: 柴光飞

指导教师: 李昕欣 研究员

中国科学院上海微系统与信息技术研究所

学位类别: 工学硕士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院上海微系统与信息技术研究所

二零一二年五月

FPGA-based smart interface circuit for MEMS resonant
micro-cantilever bio/chemical sensors

By

Chai Guangfei

A Dissertation Submitted to

Graduate University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Master of Engineering

Shanghai Institute of Microsystems and Information Technology

May, 2012

致 谢

衷心感谢我的导师李昕欣研究员。李老师渊博的知识、开阔的思路、严谨的科学态度深深影响了我；李老师对科研方向、学术问题的敏锐把握能力使我获益匪浅；李老师对事业的献身精神，将值得我终生学习。愿李老师身体健康、万事如意。

忠心感谢刘民老师在电路知识以及工程实践上的帮助，刘老师让我对电路设计的认识从理论上升到实践。刘老师总是及时的不厌其烦地回答我的各种疑问，这种对于学生的耐心和热心让我深受感动。

衷心感谢于海涛师兄，接口电路的设计离不开传感器理论，于海涛师兄在传感器理论方面给予了我许多热情指导和帮助，一起研究的两年使我收获颇多。同时感谢悬臂梁传感器工作小组。

感谢蔡梅妮、韩梅、李绍良、孙晓、王军诚、王敏昌、王双福、姚绍康等同学在工作、学习和生活上的热情支持和鼓励。

感谢研究生部各位老师对于学习、工作和就业方面的指导。感谢中国科学院上海微系统所给我提供了优越的研究环境，也感谢中国科学院研究生院。

最后，衷心感谢我的父母。感谢他们多年的养育之恩，是他们默默的关注、理解、支持和鼓励，一路支持着我前进。

基于 FPGA 的 MEMS 谐振微悬臂梁生化传感器接口电路

柴光飞（微电子学与固体电子学）

指导老师：李昕欣 研究员

摘 要

谐振式微悬臂梁生化传感器具有体积小、易集成、灵敏度高等优点，在生化痕量检测领域具有广阔应用前景。本论文主要针对实验室自制的谐振式微悬臂梁生化传感器，研究和设计了其闭环接口电路，将接口电路与传感器组成闭环自激振荡系统，从而使传感器能够实现快速、自动的生化检测。

本论文首先给出了谐振式微悬臂梁传感器相关的基本理论。由基本理论分析得知，当谐振式微悬臂梁通过特异性反应吸附待测生化物质时，由于等效质量增加使得谐振频率降低，通过测量其谐振频率变化就可以分析待测物的含量或浓度。

所设计的闭环接口电路由两部分构成，分别为前级处理电路和锁相环控制电路。前级处理电路主要完成信号的放大、滤波、移相和波形整形功能。将锁相环作为反馈回路，在回路中利用回执信号，将输出端的信号频率及相位，锁定在输入端参考频率及相位上。两者结合来满足闭环接口电路自激振荡所需的条件，从而实现传感器的自驱动与自检测。针对以往采用混合锁相环作为反馈回路时锁定范围受限、关键参数易受环境影响、系统各功能不易集成等诸多缺点，设计了基于 FPGA 的数字锁相环。以该数字锁相环为核心的接口电路系统，能自动扫频快速寻找谐振点并精确锁定，且扫频参数、锁相参数均可调节，为接口电路的智能化发展奠定了基础。

最后利用本文设计的接口电路来测试传感器。结果表明，接口电路能很好的自动扫频寻找谐振点并完成锁定。锁定状态下，谐振频率的分辨率可达 0.01Hz。

关键词：谐振式微悬臂梁 生化传感器 接口电路 锁相环 FPGA

FPGA-based smart interface circuit for MEMS resonant micro-cantilever bio/chemical sensors

Chai Guangfei (Microelectronics and Solid state electronics)

Directed by Prof. Li Xinxin

Abstract

Featuring small size, easy to integrate and high sensitivity, resonant micro-cantilever bio/chemical sensors have broad application prospects in the field of trace bio/chemical detection. Based on our lab-made resonant micro-cantilever sensors, this dissertation investigates and designs a closed-loop interface circuit. The micro-cantilever sensor and interface circuit are combined together to form a close-looped self-exciting resonance system, which makes the sensor being capable of rapid bio/chemical detection.

Firstly, the theory of the resonant micro-cantilever bio/chemical sensor is introduced. According to the theory, the added mass on the cantilever due to specific adsorption of bio/chemical molecules, will lead to shift the resonant frequency. The adsorbed content or concentration can be analyzed by measuring the frequency change.

The closed-loop interface circuit consists of two parts that are pre-processing circuit and phase-locked loop (PLL). The pre-processing circuit is used to fulfill signal amplification, filtering, phase shift and waveform shaping. The PLL, which is used as feedback loop, can lock the frequency and phase of the output signal at the input signal. The two parts are co-operated together to meet the requirement of the close-looped self-exciting resonance system, and to achieve the sensor's self-driving and self-testing. Particularly, the traditional interface circuit usually uses mixed PLL as a feedback loop, which makes its lock range limited, its key parameters vulnerable to environment and its function difficult to be integrated. Aimed at solving these problems, a digital PLL is designed based on FPGA. The interface circuit system uses the digital PLL as core element and can search the resonant frequency automatically and lock it rapidly. Its sweeping parameters and locking parameters are both adjustable. The developed technique adds a solid basis for further development of intelligent interface circuit.

Finally, the aforementioned interface circuit is used to test the sensor. The results indicate that the interface circuit can automatically search the resonant frequency and lock it precisely, rapidly and reliably. In the locked state, the fluctuation range of the resonant frequency is only about 0.01Hz.

Key words: Resonant micro-cantilever, Bio/chemical sensor, Interface circuit, Phase-locked loop (PLL), FPGA

目 录

致 谢.....	i
摘 要.....	iii
Abstract.....	v
第一章 绪论.....	1
1.1 MEMS 概述.....	1
1.1.1 MEMS 简介.....	1
1.1.2 MEMS 的应用.....	3
1.1.3 MEMS 发展趋势与面临的问题.....	4
1.2 微悬臂梁生化传感器概述.....	5
1.2.1 生化传感器.....	5
1.2.2 微悬臂梁.....	8
1.3 FPGA 概述.....	9
1.3.1 FPGA 简介.....	9
1.3.2 FPGA 设计流程.....	11
1.3.3 FPGA 的应用.....	12
1.4 SOPC 概述.....	13
1.5 谐振式微悬臂梁传感器接口电路.....	15
1.6 本论文研究内容.....	16
第二章 谐振式微悬臂梁传感器的基本理论.....	18
2.1 微悬臂梁的弯曲谐振模态.....	18
2.2 谐振式微悬臂梁在外力驱动下的响应.....	20
2.3 谐振式微悬臂梁传感器的生化检测原理.....	22
2.4 谐振式微悬臂梁传感器的激励和振动检测方式.....	24
2.4.1 激励方式.....	24
2.4.2 振动检测方式.....	25
2.4.3 电阻热激励、压阻检测的谐振式微悬臂梁分析.....	25
2.5 本章小结.....	29
第三章 谐振式微悬臂梁传感器闭环接口电路.....	30
3.1 闭环接口电路整体方案介绍.....	30
3.1.1 谐振式微悬臂梁传感器闭环自激条件.....	30

3.1.2 基于锁相环的谐振微悬臂梁传感器闭环接口电路	30
3.2 前级信号处理电路	31
3.2.1 差分放大电路	31
3.2.2 滤波器	33
3.2.3 移相器	34
3.2.4 波形整形电路	35
3.3 基于 FPGA 的锁相环电路设计	36
3.3.1 锁相环电路概述	36
3.3.2 基于 FPGA 实现的数字锁相环	38
3.3.3 鉴相器	39
3.3.4 超前滞后计数器	43
3.3.5 直接数字合成器 (DDS)	45
3.2.6 CPU 的控制功能	51
3.4 本章小节	54
第四章 接口电路与谐振微悬臂梁传感器的联调与测试	56
4.1 谐振式微悬臂梁传感器	56
4.2 FPGA 资源利用情况	56
4.3 开环测试	58
4.4 闭环测试	59
4.5 本章小结	64
第五章 总结与展望	65
参考文献	67
攻读硕士学位期间发表的学术论文和专利目录	71
个人简历	72

第一章 绪论

1.1 MEMS 概述

1.1.1 MEMS 简介

MEMS 一词是 Micro-Electro-Mechanical System 的简称，也即微电子机械系统。20 世纪 60 年代初期已有人利用硅平面加工技术制造微梁和压力传感器，70~80 年代硅传感器有了很大发展，同时利用微加工技术（Micromachining）制作出多种微小尺寸的机械零部件。1988 年，UC（Berkeley）Muller 小组发表了转子直径为 60-100 μm 的硅静电马达^[1]。同期，MIT、Berkeley、Stanford 三大学和 AT&T 及 NSF 的 15 名科学家向美国政府提出了“小机器、大机遇，关于新兴领域——微动力学（微系统）”的建议书；NSF 又于 1989 年召开了研讨会，其总结报告提出了“微电子技术应用于电（子）机系统”。自此 MEMS 一词就渐渐成为一个世界性的学术用语，MEMS 技术的研究开发也日益成为国际上的一个热点。与 MEMS 相近的概念还有 Micro System（微系统）^[2]和 Micro Machine（微机械）^[3]，两者都以微小（Micro）为特征，不同的是前者强调系统，欧洲多用此称；后者强调机械，日本多用此称。当前人们常不加区别的与 MEMS 通用。

MEMS 是指可批量制作的，集微型结构、微型传感器、微型执行器以及信号处理和电路，直至接口、通信和电源等于一体的微型器件或系统^[4]。MEMS 是随着半导体集成电路微细加工技术和超精密机械加工技术的发展而发展起来的。图 1.1 是典型的 MEMS 模型框图。

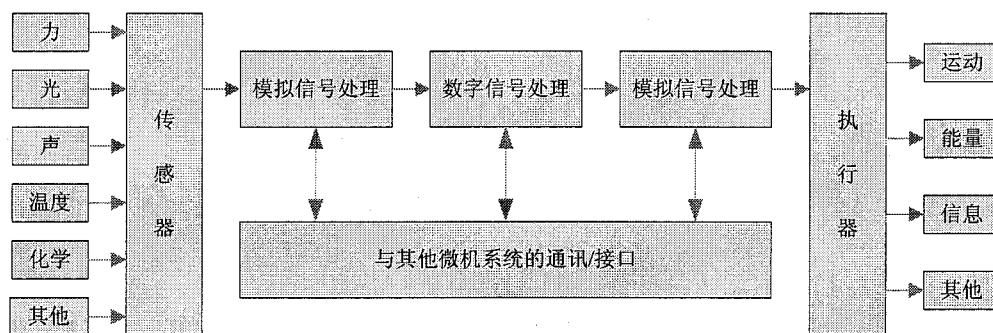


图 1.1 MEMS 的模型框图

一般来说，MEMS 具有以下几个特点^[5]：

(1) 微型化: MEMS 体积小、重量轻、耗能低、惯性小、谐振频率高、响应时间短。

(2) 以硅为主要材料, 机械电气性能优良: 硅的强度、硬度和杨氏模量与铁相当, 密度类似铝, 热传导率接近钨和钨。

(3) 批量生产: 用硅微加工工艺在一片硅片上可同时制造成百上千个微型机电装置或完整的 MEMS。批量生产可大大降低生产成本。

(4) 集成化: 可以把不同功能、不同敏感方向或制动方向的多个传感器或执行器集成于一体, 或形成微传感器阵列、微执行器阵列, 甚至把多种功能的器件集成在一起, 形成复杂的微系统。微传感器、微执行器和微电子器件的集成可制造出可靠性、稳定性很高的 MEMS。

(5) 多学科交叉: MEMS 涉及电子、机械、材料、制造、信息与自动控制、物理、化学和生物等多种学科, 并集约了当今科学技术发展的许多尖端成果。

MEMS 的发展目标在于, 通过微型化、集成化来探索新原理、新功能的元件和系统, 开辟一个新技术领域和产业。MEMS 可以完成大尺寸机电系统所不能完成的任务, 也可嵌入大尺寸系统中, 把自动化、智能化和可靠性水平提高到一个新的水平。

MEMS 器件与传统器件相比, 具有体积小、成本低、易实现多功能的特点^[4]。图 1.2 给出了一个典型的 MEMS 传感器的示意图^[6]。MEMS 的技术思想是批量制造集成的微型化器件^[7, 8]。在借鉴传统的机械结构和 IC 工艺的基础上, MEMS 发展出了适于在微米尺度下工作的微机械结构^[8, 9]、适于微米尺度的微机械基本理论^[10]和设计方法^[11]、适于微机械结构的驱动方式和敏感方式^[12, 13]、适于微机械器件的加工和封装工艺^[14, 15]。

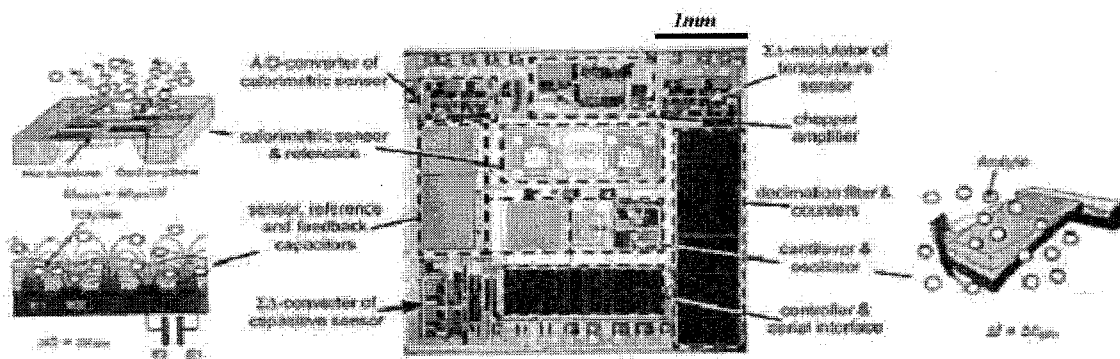


图 1.2 MEMS 气体传感器

1.1.2 MEMS 的应用

MEMS 技术的应用范围广泛^[16-20], MEMS 技术是一种典型的多学科交叉的前沿研究领域,几乎涉及到自然科学及工程技术的所有领域,如电子技术、机械技术、物理学、化学、生物医学、材料科学和能源科学等。与不同的技术结合,往往便会产生一种新型的 MEMS 器件。总体来说,微机电系统的应用主要有以下几大类^[21]:

微型传感器:微型传感器是 MEMS 最重要的组成部分。1962 年,第一个硅微型压力传感器的问世,开创了 MEMS 技术的先河,并一直是推动 MEMS 技术不断进步的动力,同时 MEMS 技术的应用又使传感器的性能提高了几个数量级。现在已经形成产品和正在研究中的微型传感器涉及领域有压力、力、力矩、加速度、速度、位置、流量、电量、磁场、温度、气体成分、湿度、pH 值、离子浓度和生物浓度、微陀螺、触觉传感等。现在,微型传感器正朝着集成化和智能化的方向发展。

微型执行器:微型执行器主要有微电机、微开关、微谐振器、微阀门和微泵等。把微型执行器分布成阵列可以收到意想不到的效果,如可用于物体的搬送、定位。微型执行器的驱动方式主要有静电驱动、压电驱动、电磁驱动、形状记忆合金驱动、热双金属驱动、热气驱动等。

微型光机电器件和系统:随着信息技术、光通信技术的发展,宽带的波分复用光纤网络将成为信息时代的主流,光通信中光器件的微小型化和大批量生产成为迫切的需要。MEMS 技术与光器件的结合恰好能满足这一需求,由 MEMS 与光器件融合为一体的微型光机电系统(MOEMS)将成为该领域中的一个重要研究方向。2000 年,美国加利福尼亚大学电气工程学院的 Guo-Dung J Su 等人得到美国 DARPA 支持,使用表面微机械技术研制了高性能单晶硅反射镜二维(2D)光扫描器,反射镜在厚的(大于 10 μm)绝缘硅(SOI)上形成,而且连接到表面微机械驱动器。

微型机器人:科学家正在研制微型机器人,能在桌面大小的地方组装如硬盘驱动器之类的精密小巧的产品。日本通产省的 10 年计划就是一例。军事部门对这种微型机器人表现了浓厚的兴趣。日本已制作出利用太阳能电池的微小机器人,它只有钱币大小。太阳能电池产生的电力驱动马达使机器人向着光亮的地方前进。

微型飞行器:微型飞行器一般是指长、宽、高均小于 15cm,重量不超过 120g,在成本可接受的情况下,研制的一种有军事用途的飞行器。这个飞行器的设计目标是 16km 的巡航范围,并能以 30~60km/h 的速度连续飞行 20~30min。美国陆军把这种微型飞行

器装备到陆军，它被广泛的用于战场侦察、通信中继和反恐怖活动。

微型动力系统：微型动力系统以电、热、动能和机械能的输出为目的，以毫米到厘米级尺寸产生 1W 到 10W 级的功率。MIT 从 1996 年开始了微型涡轮发动机的研究。它们研制的涡轮发动机利用 MEMS 加工技术制作，主要包括空气压缩机、涡轮机、燃烧室、燃料控制系统（包括泵、阀、传感器等），以及电动机/发电机。

1.1.3 MEMS 发展趋势与面临的问题

MEMS 技术发展趋势^[21-25]：

（1）研究方向多样化

MEMS 技术涉及的领域主要包括惯性器件如加速度计与陀螺、AFM（原子力显微镜）、数据存储、三维微型结构的制作、微型阀门、泵和微型喷口、流量器件、微型光学器件、各种执行器、微型机电器件性能模拟、各种制造工艺、封装键合、医用器件、实验表征器件、压力传感器、麦克风以及声学器件等多个发展方向。

（2）加工工艺多样化

有传统的体硅加工工艺、表面牺牲层工艺、溶硅工艺、深槽刻蚀与键合工艺相结合、SCREAM 工艺、LIGA 加工工艺、厚胶与电镀相结合的金属牺牲层工艺、MAMOS（金属空气 MOSFET）工艺、体硅工艺与表面牺牲层工艺相结合等。

（3）系统单片集成化

由于一般传感器的输出信号（电流或电压）很弱，若将它连接到外部电路，则寄生电容、电阻等的影响会彻底掩盖有用的信号。因此采用灵敏元件外接处理电路的方法已不可能得到质量很高的传感器，只有把两者集成在一个芯片上，才能具有最好的性能。

（4）MEMS 器件芯片制造与封装统一考虑

MEMS 器件与集成电路芯片的主要不同在于，MEMS 器件芯片一般都有活动部件，比较脆弱，在封装前不利于运输。所以 MEMS 器件芯片制造与封装应统一考虑。

（5）普通商业应用与高性能特殊用途如航空、航天、军事用 MEMS 器件并存

例如加速度计，既有大量的只要求精度为 0.5g 以上，可广泛应用于汽车安全气囊等的具有很高经济价值的加速度计；也有要求精度为 10~8g 的，可应用于航空航天等高科技领域的加速度计。

MEMS 技术面临的问题^[26]：

MEMS的应用将对军用、民用的各个领域产生重大影响,这已经成为一个共识。但是要使目前发源于半导体工业的MEMS技术像集成电路那样成熟并能渗透到各个领域,除了开发各种新加工工艺和完善现有工艺外,还要解决如下问题:CAD技术、封装与测试、可靠性、应用研究和标准化问题。在CAD、封装与测试方面,MEMS技术与IC最大的区别在于前者要与现实物理世界发生多方面的相互作用,涉及多种能量和物质的传输和处理,因此所要解决的问题比后者复杂得多,成为MEMS技术进一步发展的瓶颈,目前人们已对这方面的问题给予了高度的重视,正在努力加以解决,并有所突破。

MEMS可靠性和应用研究是目前MEMS技术研究应该引起高度重视的方面。可靠性是MEMS器件(特别是用于安全和生物医学领域的)使用者最关心的问题之一。粘附、杂质玷污以及加工中引入的残余应力等是目前MEMS中造成机械结构失效的常见原因。IC技术的成熟和广泛应用与可靠性规律的充分掌握和测试手段的完善是分不开的。MEMS的工艺和材料比IC丰富得多,其失效规律必然有其特殊性,有必要进行深入细致的研究。另外,掌握了失效规律后,如何在器件的设计、制造和使用中避免失效或性能下降也将是MEMS可靠性研究者、设计/制造人员以及用户共同努力的一个重要方面。MEMS应用研究的必要性在于:MEMS有其自身的特点,它不是简单地将宏观机电系统微型化,如果简单地用于置换宏观机电元件,往往无法达到预期的目的。

MEMS的标准化可以分为不同的层次:(1)工艺和材料的标准化。在这一方面侧重于单项工艺(特别是与CMOS兼容的表面工艺)的标准化制造中心,如MCNC。而要做到像IC Foundry那样则有相当难度;(2)元件和信号处理电路的标准化,在这一方面已有一些实例,如MEMSCAP的标准电感库和Micro Sensor的多用途电容式传感器信号处理电路;(3)系统接口的标准化,标准化的系统接口可以方便应用,并可以作为模块构成更大的系统。

1.2 微悬臂梁生化传感器概述

1.2.1 生化传感器

信息技术作为信息时代的关键技术是建立在信息获取、信息传输和信息处理三大基础技术之上的,与之相对应的就是传感技术,通讯技术和计算机技术,它们分别构成了信息技术系统的感官,神经和大脑。其中,传感技术作为信息技术基础,其重要性不言

而喻。最近几年来,通信技术和计算机技术迅速的发展已取得了举世瞩目的成就,它们从根本上改变了人们传统的生活方式和习惯。与之相比,传感技术却相对滞后,成为当前信息技术发展的一个“瓶颈”,研制新型的、高性能的传感器是当前人们努力的目标。

简单的说,传感器就是一种信息获取与处理的装置。人体的感觉器官就是一套完美的传感系统,通过眼、耳、皮肤来感知外界的光、声、温度、压力等物理信息,通过鼻、舌感知气味和味道这样的化学刺激。对物质成分传感的器件就是化学传感器,它是一种小型化的、能专一和可逆地对某种化学成分进行应答反应的器件,并能产生与该成分浓度成比例的可测信号。而生物传感器是以生物活性单元(如酶、抗体、核酸、细胞等)作为生物敏感单元,对被测物具有高度选择性的监测器。由于二者之间关系密切,人们常常把它们合在一起称为生化传感器。

由于环境监测^[27]、卫生医疗^[28]、制药工程^[29]、国防和反恐^[30]等领域对高分辨率、操作简便、响应快速、价格低廉的生化分析手段有巨大需求^[31],生化传感器自出现起就受到了广泛的研究,出现了多种类型的生化传感器,生化传感器的结构基本都由三个部分组成^[32, 33]:一是能够与被测生化物质发生特异性相互作用的敏感材料;二是将该特异性反应过程伴随的物理和化学变化转变为电信号的换能器;三是进行信号处理和输出的电路。这三部分有机结合,共同完成生化检测过程(如图 1.3 所示)。

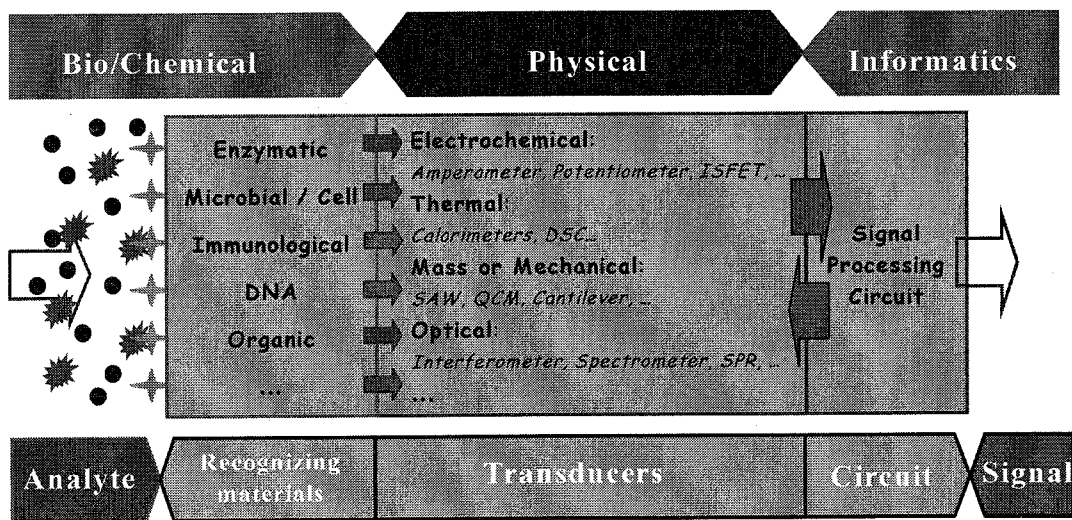


图 1.3 生化传感器的基本结构

生化传感器的研究内容主要包括生化敏感材料及其固定方法、换能器及接口电路和数据处理算法等。生化反应的敏感机理繁多,但可选择的特异性敏感材料体系有限,而

适合传感器结构，并能在各种环境中保持活性的敏感材料则更少。生化敏感材料的固化方式必须兼顾生化特异性反应机理和传感器敏感原理来实现，目前敏感膜固化方法有隔离、包埋、吸附、共价结合、交联、微胶囊等方法^[34, 35]。换能器则必须针对生化特异性反应特征性的物理化学变化和使用环境来选择，除了最初检测电势^[36-38]的电化学电极，还出现了检测电学阻抗^[39, 40]、热量^[41]、声速^[42]、质量^[43-45]、表面应力^[46-48]、折射率^[49, 50]等物理性质变化的多种换能器。因为生化检测不可避免地存在非特异性反应的交叉影响以及环境干扰，为了进行多种成分的识别和消除干扰，生物传感器使用方式除一个敏感元件单独使用，还出现了多个敏感单元组成阵列进行多通量检测的方式^[51]；信号处理方式也由简单的差分放大，发展出模拟和数字滤波、数值统计分析、模式识别算法等技术^[52-54]。表 1.1 给出了常用换能器的特点。生物传感器的研究目的是将具有高选择性和高稳定性的生化敏感材料，高分辨率和高可靠性的换能器，高速分析的信号处理电路结合在一起，实现能够快速准确地进行生化分析的小型化、多功能和智能化的传感器系统^[28]。

表 1.1 常用换能器的特点

换能器		特点
电化学	电势计	量程宽，应用场合广； 响应速度慢，易受干扰
	电流计	线性度好，灵敏度高； 易受干扰、不稳定
	阻抗	结构简单，价格低廉； 信噪比低
热	热计	结构简单，线性度好； 易受环境干扰
	差热分析	常用的检测方式、可进行连续流体检测；响应速度慢
压电	QCM	价格低廉，灵敏度高； 易受非特异性吸附干扰
	SAW	灵敏度高； 易受非特异性吸附和高频干扰
光	SPR	适合亲和反应，灵敏度高； 价格昂贵，不易小型化
	干涉	普适性和多信号检测； 需要反应媒介、成本高

生化传感器技术横跨生物化学、微纳科学和信息科学，体现了这三个学科的交叉和融合。将生化传感器与 MEMS 技术结合起来，利用高灵敏度的 MEMS 换能器及其大批量生产的集成制造工艺，将超越传统生物传感器的性能和制造水平，极大推动生化传感器的发展，研究基于 MEMS 的生化传感器具有重要意义。

1.2.2 微悬臂梁

微悬臂梁是一种一端固定，另一端悬空的板条状结构，但其并不仅仅局限于规则的矩形板条结构。如图 1.4 所示为几种不同类型微悬臂梁的扫描电镜照片^[55-60]，可以对其结构进行简单了解。

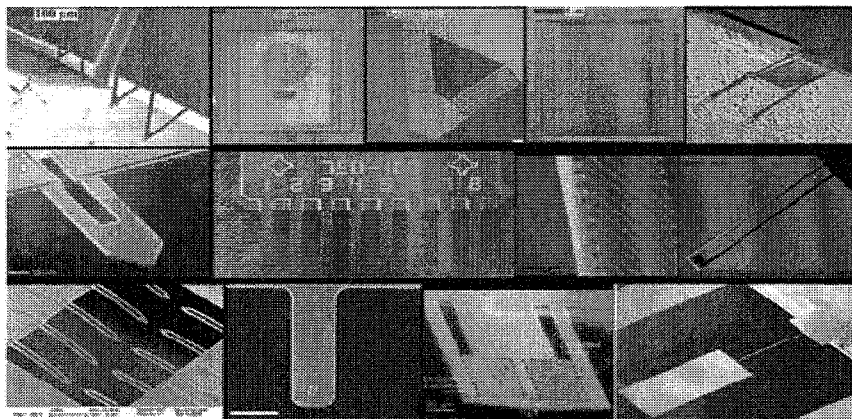


图 1.4 不同类型微悬臂梁的扫描电镜照片

人们一般通过两种方式使用微悬臂梁进行传感^[61]，分别为静态方式和动态方式，如图 1.5 所示。静态工作方式通过检测传感过程中微悬臂梁产生的弯曲变形来实现传感，利用的是悬臂梁上应力的变化来实现检测，该方式下悬臂梁的表面效应远远大于体效应的影响。动态工作方式则是通过检测微悬臂梁在传感过程中振动特性（如振幅、频率、品质因子等）的改变来实现传感，利用的是悬臂梁谐振频率的变化来检测质量的变化，该方式精度高，更适用于精确的定量分析和痕量检测。已经有人通过此方法研究了微悬臂梁对各种物质的响应^[62]，如水蒸气、汞蒸汽、氢气、氧气、甲苯、乙醇、神经性毒气、爆炸物以及溶液中的各种离子、pH 值等。

本文所讲的谐振式微悬臂梁传感器，也就是指工作在动态方式的微悬臂梁传感器。

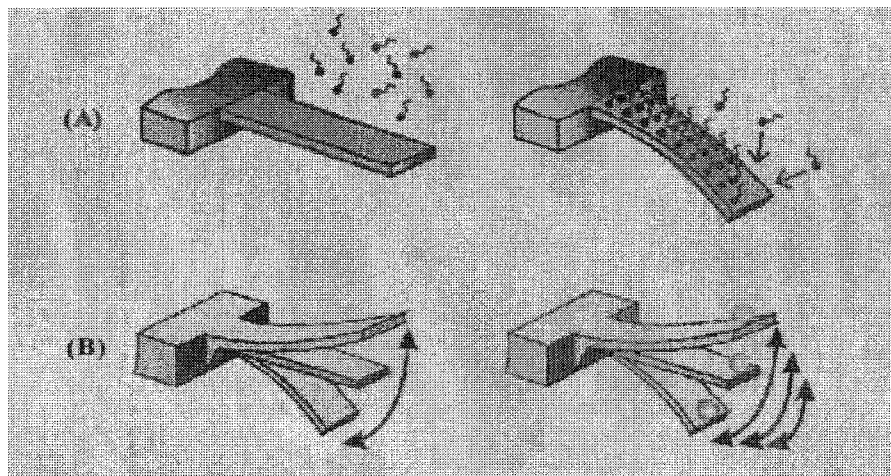


图 1.5 微悬臂梁传感器的两种工作方式

(A)静态方式 (B)动态方式

1.3 FPGA 概述

1.3.1 FPGA 简介

FPGA 一词是 Field Programmable Gate Array 的缩写,即现场可编程门阵列,它是在 PAL、GAL、EPLD 等可编程器件的基础上进一步发展的产物。是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点。

FPGA 芯片主要由三部分组成,分别是 IOE (Input Output Element, 输入输出单元)、LAB (Logic Array Block, 逻辑阵列块,对于 Xilinx 称之为可配置逻辑块 CLB)和 Interconnect (内部连接线)。IOE 是芯片与外部电路的物理接口,主要完成不同电气特性下输入/输出信号的驱动与匹配要求,比如从基本的 LVTTTL/LVCMOS 接口到 PCI/LVDS/RSDS 甚至各种各样的差分接口,从 5V 兼容到 3.3V/2.5V/1.8V/1.5V 的电平接口;LAB 是 FPGA 的基本逻辑单元,其实际的数量和特性依据所采用的器件的不同而不同;内部连接线连通 FPGA 内部的所有单元,而连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。

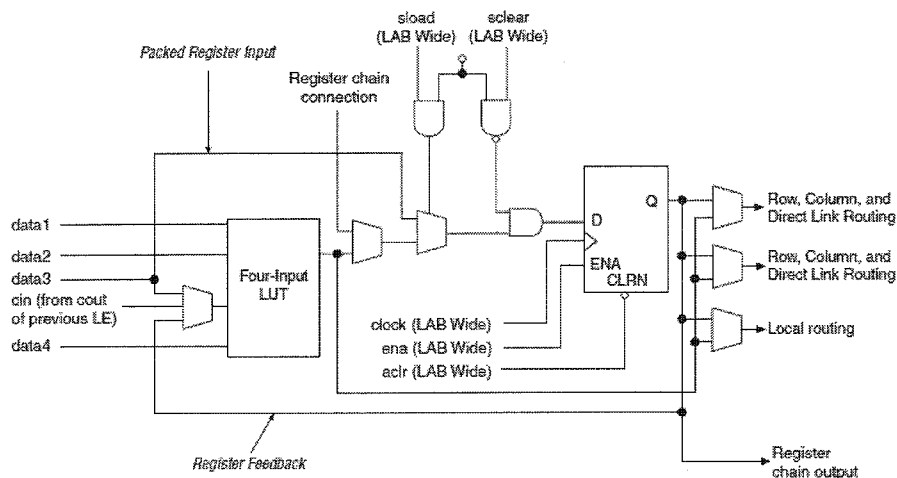


图 1.6 普通工作模式下的 LE 模块图

LE (Logic Element, 逻辑单元) 是 FPGA 芯片最小的逻辑单元, 每个 LE 主要由 LUT (Look Up Table, 查找表) 和寄存器组成^[63], 如图 1.6 所示。对于一个 n 输入的逻辑运算, 不管是与或非还是异或运算等等, 最多可能存在 2^n 种结果。事先将结果存放于一个存储单元, 就相当于实现了逻辑功能。FPGA 中的查找表就是基于此原理。

LUT 其本质是一个静态存储器 SRAM, 目前 FPGA 多采用 4 输入的 LUT, 每个 LUT 可以看作一个有 4 位地址线的 16×1 的 RAM。当我们通过原理图或 HDL 语言描述了一个逻辑电路后, FPGA 开发软件会自动计算逻辑电路的所有可能的结果, 并把结果事先写入 RAM。这样, 在 FPGA 工作时, 每输入一个信号进行逻辑运算就等于输入一个地址进行查表, 找出地址对应的内容, 然后输出。

FPGA 利用小型查找表 (16×1 RAM) 来实现组合逻辑, 每个查找表连接到一个 D 触发器的输入端 (见图 1.6), 触发器再来驱动其他逻辑电路或驱动 I/O, 由此构成了既可实现组合逻辑功能又可实现时序逻辑功能的基本逻辑单元模块, 这些模块间利用金属连线互相连接或连接到 I/O 模块。FPGA 的逻辑是通过向内部静态存储单元加载编程数据来实现的, 存储在存储器单元中的值决定了逻辑单元的逻辑功能以及各模块之间或模块与 I/O 间的连接方式, 并最终决定了 FPGA 所能实现的功能, FPGA 允许无限次的编程。

一般来讲, FPGA 具有如下特点:

(1) 采用 FPGA 设计 ASIC 电路 (Application Specific Integrated Circuit, 专用集成电路), 用户不需要投片生产, 就能得到可用的芯片。

- (2) FPGA 可做其它全定制或半定制 ASIC 电路的中试样片。
 - (3) FPGA 内部有丰富的触发器和 I/O 引脚。
 - (4) FPGA 是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一。
 - (5) FPGA 采用高速 CMOS 工艺，功耗低，可以与 CMOS、TTL 电平兼容。
- 可以说，FPGA 芯片是小批量系统提高系统集成度、可靠性的最佳选择之一。

1.3.2 FPGA 设计流程

FPGA 的设计流程^[64]如图 1.7 所示。

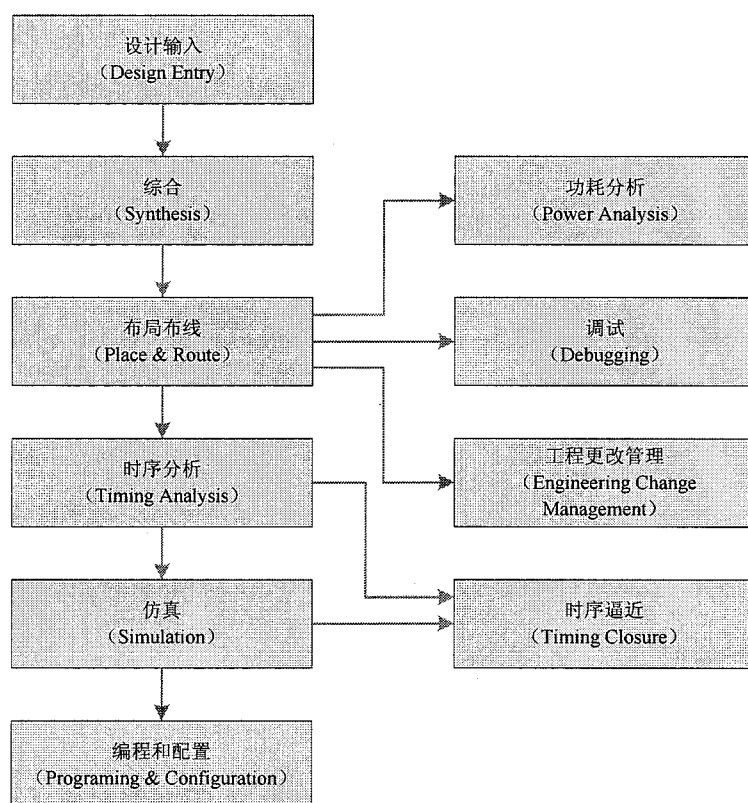


图 1.7 基于 Quartus II 的 FPGA 设计流程图

其中，Quartus II 是 Altera 公司推出的 FPGA/CPLD 开发环境，其优点是功能强大、界面友好、使用便捷。仿真包括三种：功能仿真、综合后仿真以及布局布线后仿真。功能仿真是验证电路功能是否符合设计要求，其特点是不考虑电路门延迟与线延迟，考察重点为电路在理想环境下的行为和设计构想是否一致。综合后仿真的主旨在与验证综合后的电路结构是否与设计意图相符，是否存在歧义综合结果。布局布线后仿真是指电路

已经映射到特定的工艺环境,综合考虑电路的路径延迟与门延迟的影响,验证电路的行为是否能在一定时序条件下满足设计构想的过程。

1.3.3 FPGA 的应用

FPGA 的应用主要分以下几个领域^[65]:

1. 数据采集和接口逻辑领域

(1) FPGA 在数据采集领域的应用

自然界的信号大部分是模拟信号,因此一般的信号处理系统中都要包括数据的采集功能。通常的实现方法是利用 A/D 转换器将模拟信号转换为数字信号后,送给处理器,比如利用单片机(MCU)或者数字信号处理器(DSP)进行运算和处理。对于低速的 A/D 和 D/A 转换器,可以采用标准的 SPI 接口来与 MCU 或者 DSP 通信。但是,高速的 A/D 和 D/A 转换芯片,比如视频 Decoder 或者 Encoder,不能与通用的 MCU 或者 DSP 直接接口。在这种场合下, FPGA 可以完成数据采集的粘合逻辑功能。

(2) FPGA 在逻辑接口领域的应用

在实际的产品设计中,很多情况下需要与 PC 机进行数据通信。比如,将采集到的数据送给 PC 机处理,或者将处理后的结果传给 PC 机进行显示等。PC 机与外部系统通信的接口比较丰富,如 ISA、PCI、PCI Express、PS/2、USB 等。传统的设计中往往需要专用的接口芯片,比如 PCI 接口芯片。如果需要的接口比较多,就需要较多的外围芯片,体积、功耗都比较大。采用 FPGA 的方案后,接口逻辑都可以在 FPGA 内部来实现了,大大简化了外围电路的设计。

(3) FPGA 在电平接口领域的应用

除了 TTL、COMS 接口电平之外, LVDS、HSTL、GTL/GTL+、SSTL 等新的电平标准逐渐被很多电子产品采用。比如,液晶屏驱动接口一般都是 LVDS 接口,数字 I/O 一般是 LVTTL 电平, DDR SDRAM 电平一般是 HSTL 的。在这样的混合电平环境里面,如果用传统的电平转换器件实现接口会导致电路复杂性提高。利用 FPGA 支持多电平共存的特性,可以大大简化设计方案,降低设计风险。

2. 高性能数字信号处理领域

无线通信、软件无线电、高清影像编辑和处理等领域,对信号处理所需要的计算量提出了极高的要求。传统的解决方案一般是采用多片 DSP 并联构成多处理器系统来满

足需求。但是多处理器系统带来的主要问题是设计复杂度和系统功耗都大幅度提升，系统稳定性受到影响。FPGA 支持并行计算，而且密度和性能都在不断提高，已经可以在很多领域替代传统的多 DSP 解决方案。例如，实现高清视频编码算法 H.264。采用 TI 公司 1GHz 主频的 DSP 芯片需要 4 颗芯片，而采用 Altera 的 Stratix II EP2S130 芯片只需要一颗就可以完成相同的任务。FPGA 的实现流程和 ASIC 芯片的前端设计相似，有利于导入芯片的后端设计。

3. 其他应用领域

除了上面一些应用领域外，FPGA 在其他领域同样具有广泛的应用：

- (1) 汽车电子领域，如网关控制器/车用 PC 机、远程信息处理系统。
- (2) 军事领域，如安全通信、雷达和声纳、电子战。
- (3) 测试和测量领域，如通信测试和监测、半导体自动测试设备、通用仪表。
- (4) 消费产品领域，如显示器、投影仪、数字电视和机顶盒、家庭网络。
- (5) 医疗领域，如软件无线电、电疗、生命科学。

1.4 SOPC 概述

SOPC 一词是 System On a Programming Chip（可编程片上系统）的缩写，该技术最早是由 Altera 公司提出来，它是基于 FPGA 解决方案的 SOC 片上系统设计技术，即将嵌入式处理器、I/O 口、存储器以及各类功能模块集成到一个 FPGA 器件上，构成一个可编程的片上系统。SOPC 是现代计算机应用技术发展的一个重要成果，是现代处理器应用的一个重要方向。

SOPC 结合了 SOC 和 PLD、FPGA 各自的优点，一般具备以下基本特征^[66]：

- (1) 至少包含一个嵌入式处理器内核。
- (2) 具有小容量片内高速 RAM 资源。
- (3) 丰富的 IP Core 资源可供选择。
- (4) 足够的片上可编程逻辑资源。
- (5) 处理器调试接口和 FPGA 编程接口。
- (6) 可能包含部分可编程模拟电路。
- (7) 单芯片、低功耗、微封装。

以 Altera 公司的软硬件平台为例, SOPC 设计, 包括 32 位 Nios II 软核处理器^[67]为核心的嵌入式系统的硬件配置、硬件设计、硬件仿真、软件设计、软件调试等。SOPC 系统设计的基本工具包括: Quartus II (用于完成 Nios II 系统的综合、硬件优化、适配、编程下载和硬件系统测试)、SOPC Builder (Nios II 嵌入式处理器开发软件包, 用于实现 Nios II 系统的配置、生成、Nios II 系统相关的监控和软件调试平台的生成)、ModelSim (用于对生成的 HDL 描述进行系统功能仿真)、Nios II IDE (软件编译和调试工具), 还可借助 Matlab/DSP Builder 生成 Nios II 系统的硬件加速器, 进而为其定制新的指令。

Nios II 是采用流水线技术和哈佛结构的通用精简指令集计算机 RISC (精简指令集架构) 处理器, 是一种面向用户的、可以灵活定制的嵌入式 CPU。

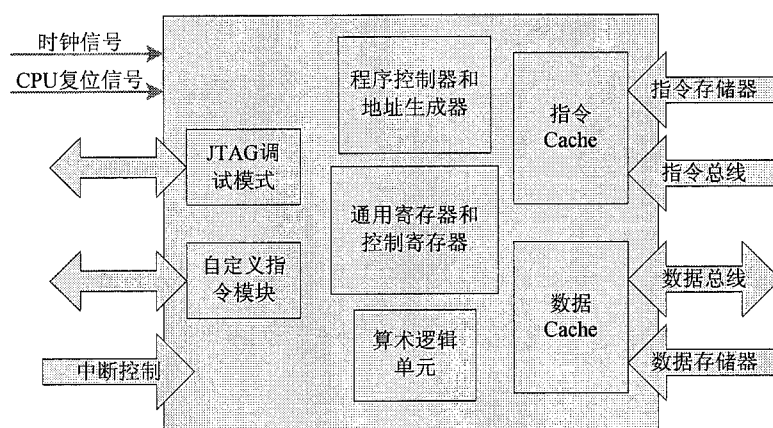


图 1.8 Nios II CPU 内部结构示意图

内嵌于 FPGA 的 32 位 Nios II 处理器具有一系列不同于普通嵌入式 CPU 系统的特性, 它包含一套通用外设和接口库, 可以灵活选择或增删, 可以自定制用户逻辑作为外设或接口设备, 也可以允许用户定制自己的指令集。设计者可以使用 Nios II 加上 FPGA 内部 RAM、ROM, 还可以加上外部的 Flash、SRAM 来构成一个嵌入式系统。

普通嵌入式系统开发主要是软件开发, 而 Nios II 为核心的 SOPC 的开发分硬件开发和软件开发两个流程^[66]。硬件开发包括由用户定制系统硬件构建, 然后由计算机完成硬件系统和对应的开发软件系统生成; 软件设计则与传统方式接近。

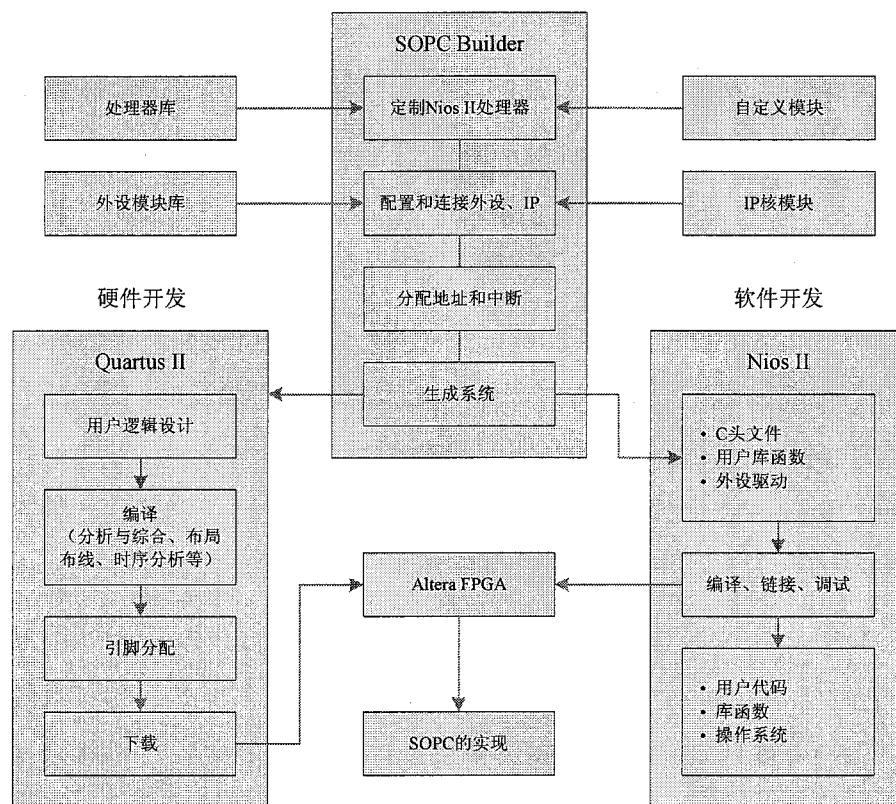


图 1.9 SOPC 软硬件开发流程图

1.5 谐振式微悬臂梁传感器接口电路

谐振式微悬臂传感器的分辨率和灵敏度极高，在生化检测中常用于精确的定量分析和痕量检测。一方面由于被测物质浓度极低，悬臂梁等效质量增加很小，谐振频率的变化通常只有几赫兹。为了保证频率变化信号能从噪声中提取出来，系统的频率稳定性必须非常高。为了满足这种要求，必须设计高精度低噪声的接口电路，为传感器的稳定和持续工作提供必要的驱动信号并进行信号处理。另一方面，针对不同的生化物质检测，需要设计不同的传感器，各传感器之间性能参数可能会差距很大，譬如谐振频率等，因而，迫切需要一种智能化的接口电路，其对于参数不同的传感器均能处于良好的工作状态，从而避免更换传感器时重新设计接口电路的繁琐。

在实际应用中，传感器的工作环境可能相当复杂，所以研究小体积、轻重量、低功耗、快响应、宽频带、高精度、高可靠、智能化和环境适应能力强的新一代传感器的任务变得十分迫切和突出，我们希望传感器能够脱离庞大而繁重的外部驱动和检测设备，从而实现便携式应用，这就对接口电路提出了巨大的挑战，因为只有通过精准的外部接

口电路, 传感器才可能实现自驱动和自检测。

谐振式传感器接口电路包括驱动和检测两个部分。其中驱动电路的功能是维持谐振元件以一定的频率作恒幅简谐振动, 检测电路的功能是将机械振动转化为电信号, 并对信号进行处理, 得到所需的输出信号。驱动和检测电路是紧密相连、互相影响的, 在闭环系统中, 它们与谐振传感器组成一个闭环系统, 相互提供幅度和相位参考, 使系统维持在自激振荡状态。

在闭环接口电路系统中, 一般用锁相环作为反馈回路^[68, 69], 在回路中利用回执信号, 将输出端的信号频率及相位, 锁定在输入端参考信号的频率及相位上。

锁相环是一个使输出信号与输入信号在频率和相位上同步的电路。以往在传感器接口电路领域应用的锁相环^[70, 71], 一般采用单片 IC 方式实现, 譬如 MAX038^[72]。该种锁相环为混合锁相环, 其锁定范围比较受限, 关键参数会因元件的离散而改变, 易受温漂和器件老化的影响, 且不利于接口电路系统各功能的集成。本文所设计的锁相环能够克服这些缺点, 详细介绍将在第三章给出。因为它的所有关键器件, 包括鉴相器、超前滞后计数器、CPU、直接数字频率合成器除去数模转换与滤波部分, 均在 FPGA 内部实现, 很好的利用了数字电路对外界环境不敏感的优势。而且直接数字频率合成器可以直接输出正弦波信号驱动传感器, 不需要额外的波形转换电路。FPGA 为现场可编辑逻辑门阵列, 在其内部实现的电路都是可编程的, 借助于其强大的在线可编程特性, 锁相环的精度等参数都可以通过编程调节, 不需要重新更改外部硬件电路设计。如果接口电路还需要后续功能的改进的话, 只需要相应的修改程序就可以了, 为接口电路的智能化发展提供了保证。

1.6 本论文研究内容

本论文主要针对实验室自制 MEMS 谐振式微悬臂梁生化传感器, 设计了闭环接口自激振荡电路, 该接口电路以基于 FPGA 实现的数字锁相环为核心, 很好的解决了以往以混合锁相环为核心的接口电路系统存在的诸多问题。本论文的研究内容和文章结构如下:

第一章, 绪论。

第二章, 谐振式微悬臂梁传感器的基本理论。介绍谐振式微悬臂梁的工作原理以及

幅频相频响应，给出其驱动与检测的实现方式，以此作为接口电路设计的理论基础。

第三章，谐振式微悬臂梁传感器闭环接口电路。本章为论文的重点。设计了基于锁相环的闭环接口电路系统，将该接口电路系统分前级处理电路和锁相环两部分作讨论。并分别对前级处理电路和锁相环所包含的各个功能模块进行了详细论述。特别的，此处的锁相环为基于FPGA的数字锁相环，对其鉴相器、超前滞后计数器、DDS（直接数字频率合成器）、CPU（中央处理器）均进行了详细分析和论述。

第四章，接口电路与谐振微悬臂梁传感器的联调与测试。应用第三章所设计的接口电路系统对谐振式微悬臂梁传感器进行测试，包含开环测试和闭环测试，并对测试结果进行了分析。

第五章，总结与展望。

第二章 谐振式微悬臂梁传感器的基本理论

谐振式传感器就是利用谐振元件把被测参量转换为频率信号的传感器。当被测参量发生变化时, 振动元件的固有振动频率会随之改变, 通过相应的检测电路, 就可得到与被测参量成一定关系的电信号。其优点是体积小、重量轻、结构紧凑、分辨率高、灵敏度高以及便于数据传输、处理和存储等。微悬臂梁是最基本, 也是目前应用最广泛的薄膜谐振器件之一, 它被应用到质量和流程控制、生物医学的痕量检测、气态和液态有机分子的分析等各个领域^[73-75]。微机械悬臂梁的主要优点是: 最易与IC集成、质量分辨率高、谐振频率低信号处理电路简单。

2.1 微悬臂梁的弯曲谐振模态

微悬臂梁有三个重要参数, 包括弹性系数、谐振频率和品质因子(Q 值)。这三个参数对微悬臂梁传感器的设计有着重要的参考作用。弹性系数、谐振频率以及 Q 值均和梁的形状、集合尺寸以及构成梁的材料紧密相关。微悬臂梁的弹性系数表明梁的软硬, 这对梁的驱动来说比较重要, 因为在同样大小驱动力作用下, 较软的悬臂梁更容易弯曲, 因而更容易驱动。对于动态检测的悬臂梁来说, 工作原理就是利用了悬臂梁固有谐振频率在检测前后的变化。Q 值表明梁在气体或液体中振动时的能量损耗情况, Q 值越大, 梁的检测灵敏度越高^[76]。

如图 2.1 所示是一个弯曲谐振模态的微机械悬臂梁:

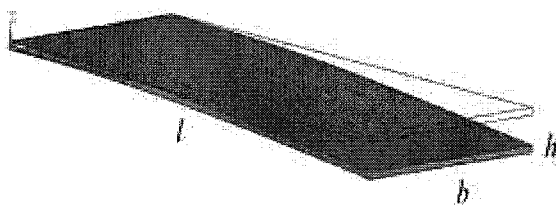


图 2.1 弯曲振动微机械悬臂梁示意图

悬臂梁的弹性系数只跟梁的尺寸和材料的弹性模量有关, 细长而薄的梁的弹性系数越小, 梁越软。

当悬臂梁周围有黏性流体（气体或液体）存在时，悬臂梁的振动会受到阻滞，从而引起能量消耗导致振幅减小。悬臂梁这种在一个振动周期内的总机械能和能量损耗的比值可用 Q 值来表示。谐振式悬臂梁受外界激励而作受迫振动，当其 Q 值很大时，表明谐振时的振幅远远大于其他驱动频率下的振幅，也即该梁对其固有频率激励下的响应度很高。谐振悬臂梁 Q 值的大小决定了其是否更容易被激励而谐振，从而决定了此种工作方式悬臂梁灵敏度的高低。

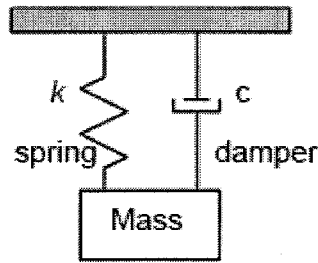


图 2.2 质量阻尼振动系统的简化模型

将谐振梁看作一个质量阻尼振动系统，如图 2.2 所示，其振动方程可用二阶差分方程来表征^[77]：

$$mx'' + cx' + kx = 0 \quad (2.1)$$

式中 m 是悬臂梁的质量， c 是阻尼系数， k 是悬臂梁材料的弹性系数。

令 $\omega_0^2 = \frac{k}{m}$ ， $n = \frac{c}{2m}$ ，可以得到：

$$x'' + 2nx' + \omega_0^2 x = 0 \quad (2.2)$$

其中 ω_0 是系统在无阻尼情况下的振动角频率，也就是悬臂梁的固有频率； n 是阻尼系数。

令 $x = Ae^{\lambda t}$ ，可得：

$$\lambda^2 + 2n\lambda + \omega_0^2 = 0 \quad (2.3)$$

对方程求解，得到：

$$\lambda_{1,2} = -n \pm \sqrt{n^2 - \omega_0^2} \quad (2.4)$$

系统的特性可以通过 n 与 ω_0 的比值来加以研究。定义 $\zeta = n/\omega_0$ 为系统的阻尼比。

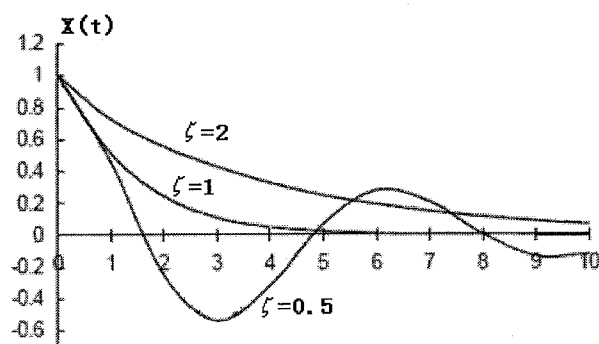


图 2.3 不同阻尼比下的系统幅值衰减

不同的阻尼比下，悬臂梁的振动情况也不同，如图2.3所示。在弱阻尼时（ $\zeta < 1$ ），振动频率为： $\omega_d = \sqrt{\omega_0^2 - n^2} = \omega_0 \sqrt{1 - \zeta^2}$ ，此时悬臂梁的振动频率小于它的固有频率，而且谐振梁的振幅随着时间呈指数衰减。当过阻尼时（ $\zeta > 1$ ），悬臂梁将不会发生谐振。当临界阻尼时（ $\zeta = 1$ ），悬臂梁也不会发生谐振，但是它达到平衡位置的时间最短。由此可以看出，要充分激励悬臂梁谐振就必须尽量减小它的阻尼，虽然一些外部阻尼无法消除，但是我们可以通过反馈电路为悬臂梁提供能量补给，等效为减小阻尼的目的。

2.2 谐振式微悬臂梁在外力驱动下的响应

令悬臂梁在一个周期正弦信号驱动下作连续振动，驱动频率为 ω ，驱动幅值为 F_0 。

则（2.1）式可表示为：

$$mx'' + cx' + kx = F_0 \sin(\omega t) \quad (2.5)$$

若悬臂梁在驱动下作垂直方向的弯曲振动，则上式可进一步表示为：

$$m \frac{\partial^2 z(t)}{\partial t^2} + c \frac{\partial z(t)}{\partial t} + kz(t) = F_0 \sin(\omega t) \quad (2.6)$$

从（2.6）式可以看出，微谐振器的振幅决定于激励的大小、粘滞阻尼和微谐振器自身的机械损耗，随着振幅的增大，微谐振器的机械损耗也将增加，而且损耗和振幅无严格线性关系。因此，实际应用中，一般维持谐振器的振幅不变，这样机械损耗为一定值，

可以根据驱动力的大小来指示被测物理量。

驱动频率的高低直接影响着谐振梁的幅值和相位响应^[77]。幅值与相位跟驱动的关系可通过下式来表征：

$$B = \frac{B_0}{\sqrt{\left(1 - \frac{\omega^2}{\omega_0^2}\right)^2 + 4\left(\frac{n}{\omega_0}\right)^2 \left(\frac{\omega}{\omega_0}\right)^2}} \quad (2.7)$$

$$\varphi = \tan^{-1} \frac{2n\omega}{\omega_0^2 - \omega^2} \quad (2.8)$$

其中， B 和 φ 分别为由驱动引起的振幅响应和相位响应。 $B_0 = F_0/k$ ，表示的是悬臂梁在恒力 F_0 的作用下的静态位移。

如果我们对频率和幅值进行归一化处理，令 $\lambda = \omega/\omega_0$ ， $\beta = B/B_0$ ，那么幅值响应和相位响应可进一步表示为：

$$\beta = \frac{1}{\sqrt{(1 - \lambda^2)^2 + 4\zeta^2 \lambda^2}} \quad (2.9)$$

$$\varphi = \tan^{-1} \frac{2\lambda\zeta}{1 - \lambda^2} \quad (2.10)$$

由 (2.9) 式我们可知，幅值响应 β 是驱动频率 λ 的函数，它们在不同阻尼下的响应关系如图 2.4 所示。

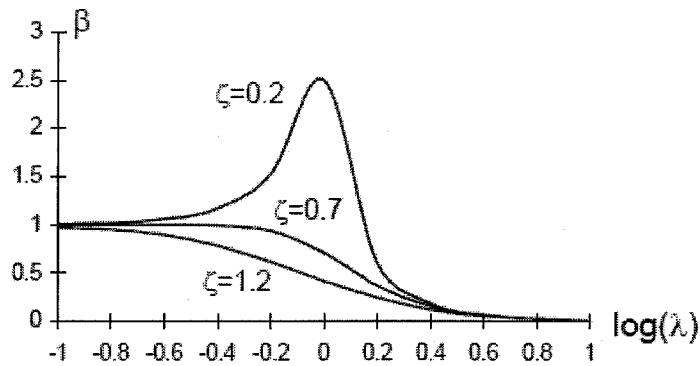


图 2.4 不同阻尼下悬臂梁幅值—频率响应图

由图 2.4 可以看出，当驱动频率很低时，谐振梁的幅值响应和恒力作用下的静态位

移非常相似；驱动频率越接近悬臂梁的固有频率时，谐振梁的响应幅值越大；当驱动频率升高时，响应幅值迅速衰减。由此看来，谐振梁的响应曲线和带通滤波器的响应曲线相同，而在闭环系统中，它就相当于一个 Q 值很高的带通滤波器。

悬臂梁的相位响应会对它的闭环工作产生至关重要的影响，在不同阻尼下的相位—频率响应如图 2.5 所示。

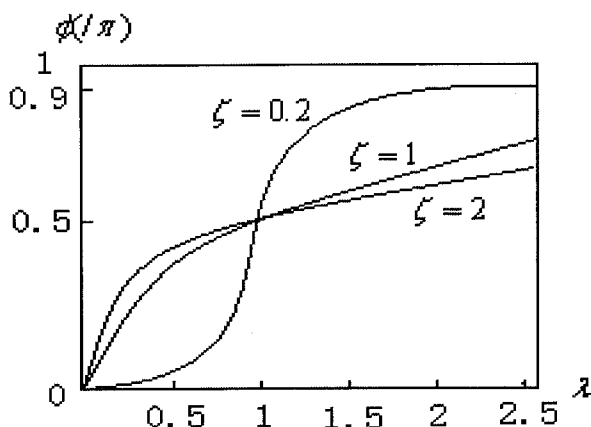


图 2.5 不同阻尼下相位—频率响应图

由图 2.5 可知，当激励频率越高时，相位响应也越大，但是当驱动频率与悬臂梁固有频率相同时，无论阻尼大小，谐振梁的相位响应都为 $\frac{\pi}{2}$ ，这也是保证传感器闭环系统正常工作的前提。谐振梁的相位响应会直接影响着闭环系统的工作稳定性。

2.3 谐振式微悬臂梁传感器的生化检测原理

微机械悬臂梁根据工作机理不同可分为静态和动态两种模式，静态模式主要是利用悬臂梁上应力的变化来检测，这种模式中，悬臂梁的表面效应远远大于体效应的影响。动态模式则主要是利用悬臂梁谐振频率的变化来检测质量的变化，这种方法精度很高，因而适合于精确的定量分析和痕量检测。本文主要研究动态模式的微机械悬臂梁。

将悬臂梁看作弹簧—质量块系统，其基态固有谐振频率可以表示为^[78]：

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{k}{m_{eff}}} \quad (2.11)$$

其中, k 和 m_{eff} 分别为悬臂梁的弹性系数和有效质量。

当谐振式微悬臂梁通过特异性反应吸附待测生化物质时, 悬臂梁的等效质量增加, 基态谐振频率降低。假设吸附的质量为 Δm 集中在悬臂梁的自由端, 悬臂梁的基态频率变为 f'_0 , 则有

$$\Delta m = \frac{k}{4\pi^2} \left(\frac{1}{f'^2_0} - \frac{1}{f^2_0} \right) \quad (2.12)$$

如果 Δm 足够小, 则有:

$$\Delta m = \frac{k\Delta f}{2\pi^2 f^3_0} = 2m_{eff} \frac{\Delta f}{f_0} \quad (2.13)$$

其中 $\Delta f = f_0 - f'_0$ 为悬臂梁基态固有频率的变化值。

根据这个原理, 当谐振式微悬臂梁通过特异性反应吸附待测生化物质时, 由于等效质量增加、谐振频率降低, 通过测量其谐振频率变化就可以分析待测物的含量或浓度。

分辨率 (Resolution) 和灵敏度 (Sensitivity) 是谐振式微机械悬臂梁传感器进行质量检测时最重要的性能指标。灵敏度是指传感器在稳态下输出信号的变化量与引起此变化量的输入变化量的比值。对于本文, 灵敏度 S 表示为谐振频率变化 Δf 与质量变化 Δm 之比。

当质量变化 Δm 足够小时, 质量检测灵敏度 S 可近似为

$$S = -\frac{\Delta f}{\Delta m} \approx -\frac{f_0}{2m_{eff}} \quad (2.14)$$

灵敏度为负值表示随着吸附质量增加, 谐振频率降低。

由此可以看出: 悬臂梁传感器的灵敏度只与它自身的特性有关, 它和谐振频率成正比, 而和有效质量成反比。所以, 要提高谐振式悬臂梁传感器的灵敏度, 我们可以通过减小悬臂梁尺度的方法, 从而达到提高悬臂梁的固有频率和减小悬臂梁有效质量的目的。

分辨率指传感器的检测部件所能检测到的被测量的最小变化量。如果系统最小可检测频率变化为 δf , 则质量检测分辨率 δm 为:

$$\delta m = \frac{\delta f}{S} = 2 \frac{\delta f}{f_0} m_{\text{eff}} \quad (2.15)$$

由此可以看出，微机械悬臂梁的质量检测分辨率和频率稳定度以及有效质量有关，谐振频率越稳定、有效质量越小，微机械悬臂梁的质量检测分辨率越高。

2.4 谐振式微悬臂梁传感器的激励和振动检测方式

2.4.1 激励方式

为了使谐振梁振荡，需要用某种激励方式激励谐振梁起振并维持谐振。选择驱动效率高的激励方式，能够抑制悬臂梁的低阶谐振模态，在不降低悬臂梁面积和质量的情况下提高品质因数，进而改善微机械悬臂梁的质量检测分辨率。如表 2.1 所示，微机械悬臂梁常用的驱动方式有电磁驱动、静电驱动、电热驱动和压电驱动等方式。静电驱动是微机械中使用最普遍的驱动方式，通过在微机械悬臂梁和固定面间施加电压产生静电力来驱动悬臂梁振动的，不可避免地会增加微机械悬臂梁的阻尼，而且驱动力小。电磁驱动利用洛伦兹力驱动悬臂梁，具有功耗小，驱动效率高等优点，但是需要外加一个永磁体，不便于传感器的封装。而压电驱动工艺复杂，并且不与传统 IC 工艺兼容。电热驱动具有实现容易、可集成制造、封装简单等特点，特别适合于制作便携式传感器，因而本实验室采用电热驱动方式激励微机械悬臂梁谐振。

表 2.1 常用的微机械悬臂梁的激励方式

激励方式	电磁激励	静电激励	电热激励	压电激励
工作原理	洛伦兹力	静电力	热膨胀产生弯矩	压电效应产生弯矩
功耗	小	小	大	小
实现方式	需要外加永磁体	可集成制造	可集成制造	工艺复杂
驱动效率	高	受限于驱动电压	低	低
缺点	封装体积大	需要较大驱动电压、增加阻尼	温漂和趋肤效应	易产生内应力

2.4.2 振动检测方式

微机械悬臂梁常用的检测方式有压阻检测、电容检测、压电检测、隧穿电流检测和光检测等方式^[79]（如表 2.2 所示）。自从 1954 年半导体的压阻效应^[80]被发现以来，压阻效应在微机械领域中被广泛应用，至今仍然是 MEMS 中最重要的敏感技术。压阻检测方式可以很好的将检测元件集成在微机械传感器上，具有制造工艺和检测电路简单的优点。采用压阻的方法检测微机械悬臂梁的振动信号是利用集成在其上的压阻材料的压阻效应特性实现的。相对于光学反射检测，压阻检测比较简单，容易实现，是最适用于便携式生化传感器的检测方法之一。

表 2.2 常用的微机械悬臂梁的振动检测方式

检测方式	压阻检测	电容检测	隧穿电流检测	光检测
工作原理	压阻效应	极板间电容变化	隧穿电流随极板间距变化	光反射、干涉等
灵敏度	小	中	高	高
分辨率	0.01%	10af	高	高
实现方式	IC 工艺集成	IC 工艺集成	IC 工艺集成	不易集成、需 PSD
缺点	温度系数较大	电磁干扰	易受环境干扰	易产生内应力

2.4.3 电阻热激励、压阻检测的谐振式微悬臂梁分析

1、电阻热激励、压阻检测的谐振式微悬臂梁

如图 2.6 是电阻热激励、压阻检测的谐振式微悬臂梁结构。利用激励电阻通电后的热效应引起悬臂梁膨胀弯曲，进而使悬臂梁发生弯曲振动。热激励电阻通常采用半导体工艺制作在硅微谐振器的表面，其位置应根据驱动的模式和振型来优化选择，主要目的是为了优化激励，提高驱动效率。电热激励的优点是工艺易实现，后续电路简单，适合于薄长的梁式结构。

压阻检测主要是利用了单晶材料的压阻效应。对于金属或半导体材料，若沿它的某一晶面加以压力或拉力时，其晶格内部将产生畸变，这一畸变将导致晶体内部能级构造的变化，进一步导致载流子相对能量的改变，从而引起晶体固有电阻率的变化。这种现象就是物理学上的压阻效应。

检测方式采用压阻拾振电桥，如图 2.6 中所示的惠斯通电桥。电桥的其中一个电阻 R_{sensor} 为压敏电阻，平衡状态下有 $R_1 \times R_{\text{sensor}} = R_2 \times R_{\text{ref}}$ ，输出电压 V_o 为 0；当悬臂梁发生弯曲振动时， R_{sensor} 有一微小变化 ΔR ，电桥失去平衡，产生输出电压 V_o ， V_o 的频率与悬臂梁的振动频率一致，其值由下式计算^[81]：

$$V_o = \left[\frac{R_1 \times R_{\text{sensor}} - R_2 \times R_{\text{ref}}}{(R_2 + R_{\text{sensor}}) \times (R_1 + R_{\text{ref}})} \right] \times V_i \quad (2.16)$$

通过上式可以看出，惠斯通电桥将压阻阻值的变化转化为电压的变化。

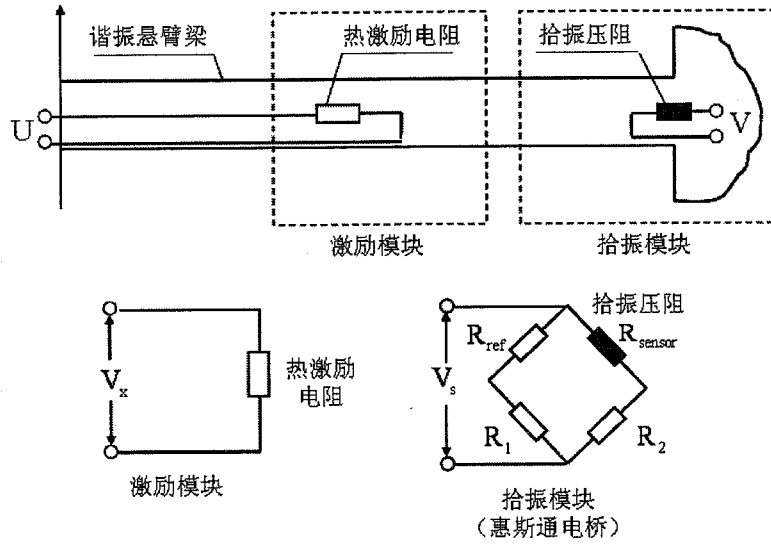


图 2.6 集成了热激励电阻、压敏惠斯通电桥的谐振式微悬臂梁结构示意图

2、激励优化分析

对于电热激励的悬臂梁来说，激励信号在激励电阻上产生的热功率 P 与激励电压 U 的平方呈线性关系，即 $P = U^2 / R$ (R 为加热电阻的阻值)。当驱动电压为频率为 ω 的交流信号 $U_{ac} \sin(\omega t + \varphi)$ 时，加热电阻上产生的瞬时热功率为：

$$P(t) = [U_{ac} \sin(\omega t + \varphi)]^2 / R = U_{ac}^2 / 2R [1 - \cos 2(\omega t + \varphi)] \quad (2.17)$$

由上式可以看出，当驱动电压的频率为 ω 时，功率 P 的频率为 2ω 。由于悬臂梁的驱动信号来自于加热产生的温度变化，因此悬臂梁受迫振动的频率也为 2ω ，即检测输出信号的频率也为 2ω 。在生化检测的应用中，悬臂梁被要求引入反馈以工作在闭环状

态下。如果将检测输出信号分频再引入回路，不仅会增加电路的复杂程度，同时降低了系统的 Q 值。因此一般选择驱动电压为一个直流信号叠加一个交流信号，即 $U(t) = U_{dc} + U_{ac} \sin \omega t$ ，此时，加热电阻上产生的瞬时功率为：

$$\begin{aligned} P(t) &= [U_{ac} \sin(\omega t + \varphi) + U_{dc}]^2 / R \\ &= [U_{ac}^2 / 2 + U_{dc}^2 + 2U_{ac}U_{dc} \sin(\omega t + \varphi) - U_{ac}^2 \cos 2(\omega t + \varphi) / 2] / R \end{aligned} \quad (2.18)$$

由上式可见，热功率包括一个直流分量和两个交流分量。热功率的直流分量部分会在悬臂梁上产生一个固定的温度分布，这个分布由悬臂梁的几何参数和周围空气温度决定，对悬臂梁的驱动没有任何作用，在此可以忽略。热功率中频率为 ω 的交流分量是有用的信号，当传感器闭环工作时， ω 选择为悬臂梁的固有谐振频率从而使悬臂梁达到谐振状态。而当悬臂梁谐振时，热功率中频率为 2ω 的交流分量由于其频率与悬臂梁的任一阶固有频率都不相同，因此其产生的振动信号将远小于悬臂梁的谐振信号，我们只需选择适当带宽的滤波器，将其滤除，就能保证闭环系统的振荡频率为 ω 。

因而电热驱动的激励信号选择直流叠加交流的方式。下面讨论激励信号的直流分量和交流分量如何分配才能达到最优的驱动效率。

由式(2.18)可以看出，悬臂梁的振幅主要取决于 $2U_{ac}U_{dc} \sin(\omega t + \varphi)$ 这一分量的幅值大小，也即取决于 $U_{ac}U_{dc}$ 的大小。实验结果也验证了这一点。首先通过改变加载在驱动电阻上的直流分量和交流分量，利用 Polytec MSA-500 多普勒振动检测仪通过光学检测方式测量不同驱动电压下悬臂梁的谐振振幅。得到结果如图 2.7 所示。

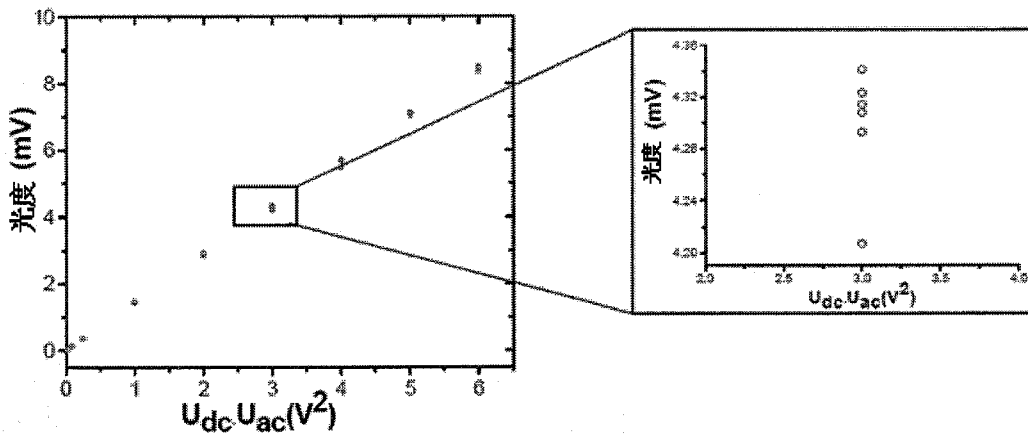


图2.7 不同驱动电压下悬臂梁的谐振振幅

其中, U_{dc} 是激励信号的直流分量, U_{ac} 是激励信号交流分量的幅值。由图 2.7 可见, 当驱动电压的直流分量与交流分量的乘积 $U_{dc} \cdot U_{ac}$ 一定时, 不论 U_{dc} 与 U_{ac} 怎么改变, 悬臂梁的谐振振幅基本相同。

式(2.18)中除 $2U_{ac}U_{dc} \sin(\omega t + \varphi)$ 这一项外其余的两项分量虽然对悬臂梁的振幅没有贡献, 但会使悬臂梁产生温度变化, 倘若选择不当, 会引入过多的热噪声。在分量 $2U_{ac}U_{dc} \sin(\omega t + \varphi)$ 确定的情况下, 为减小能量损耗, 同时降低悬臂梁的温度, 可通过选取合适的 U_{dc} 和 U_{ac} , 使总的热功率 $P(t)$ 最小。由式(2.18)可得 $P(t)$ 的平均值为:

$$|P(t)| = \left[U_{dc}^2 + (1 + \sqrt{2}) 2^{-3/2} U_{ac}^2 + \sqrt{2} U_{dc} U_{ac} \right] / R \quad (2.19)$$

当 $U_{dc} \approx 0.924 U_{ac}$ 时, 上式取最小值, 也即激励信号选择原则为近似相等的直流分量和交流分量。根据这一结论, 我们选择直流分量和交流分量相同的驱动电压。

为了确定驱动电压的大小, 可记录用不同电压驱动时, 闭环系统的频率稳定性, 其结果如图 2.8 所示。

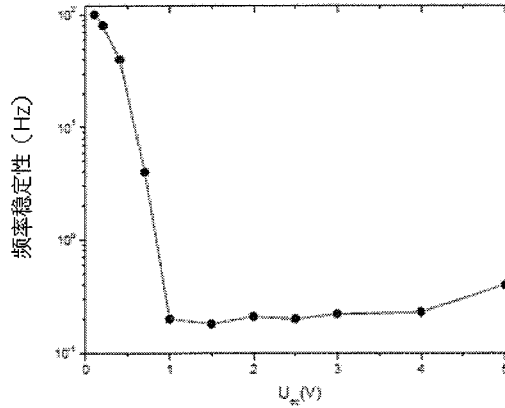


图2.8 不同电压驱动下的谐振频率稳定度 ($U_{dc}=U_{ac}$)

由图 2.8 可见, 当驱动电压的直流分量 (或者交流分量) 小于 1v 时, 谐振梁的频率稳定性较差, 这是由于电压过小驱动力不足; 当驱动电压的直流分量在 1v~4v 之间时, 谐振梁的频率稳定度在 0.2Hz 左右; 当驱动电压的直流分量增加到 5v 时, 谐振梁的频率稳定度开始变差, 这是由于大电流下悬臂梁的温升较大, 导致热机械噪声增加。综上

所述，为了保证较低的功率消耗和较高的频率稳定性，驱动电压的最优选择是 $U_{dc}=U_{ac}=1V$ 。

2.5 本章小结

1. 介绍了谐振式微悬臂梁的弯曲谐振模态。
2. 介绍了谐振式微悬臂梁传感器在外力驱动下的响应，包括幅频响应和相频响应。
3. 介绍了谐振式微悬臂梁传感器的生化检测原理，并给出了传感器分辨率和灵敏度两个指标的定义。
4. 分别讨论了谐振式微悬臂梁的激励方式和振动检测方式，并特别的对采用电阻热激励、压阻检测的谐振式微悬臂梁进行了详细分析和论述。

第三章 谐振式微悬臂梁传感器闭环接口电路

3.1 闭环接口电路整体方案介绍

3.1.1 谐振式微悬臂梁传感器闭环自激条件

要实现微悬臂梁传感器谐振频率的实时检测和跟踪,简化测量操作,提高测量精度,必须采用闭环工作,将悬臂梁传感器和接口电路组成一个闭环振荡系统。从结构上看,闭环自激振荡器通常由基本放大电路、反馈网络和选频网络组成,如图 3.1 所示。

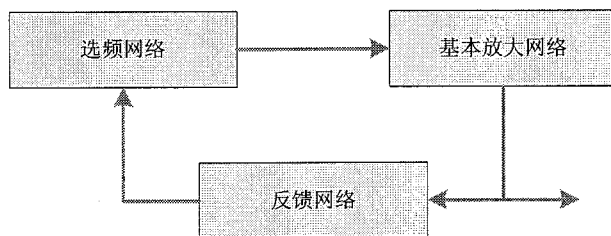


图 3.1 自激振荡系统

自激振荡系统要实现闭环自激必须满足以下两个条件^[82]:

$$|H(s)| \geq 1 \quad (3.1)$$

$$\angle H(s) = 2k\pi, (k = 0, 1, 2, 3 \dots) \quad (3.2)$$

其中 $H(s)$ 是闭环系统的传递函数, (3.1) 式是幅值平衡条件, (3.2) 式是相位平衡条件。

使谐振梁传感器自激的因素是干扰信号或噪声信号。因为噪声信号的频谱范围很广,其中包括谐振梁的固有频率。这个微弱的噪声频率分量经过反复的选频、滤波、放大之后反馈到悬臂梁的激励端口,最终形成自激振荡。而其它的噪声分量则被选频网络抑制掉。

3.1.2 基于锁相环的谐振微悬臂梁传感器闭环接口电路

谐振式微悬臂梁传感器闭环自激振荡系统由传感器和接口电路组成,如图 3.2 所示即为传感器闭环自激系统框图。

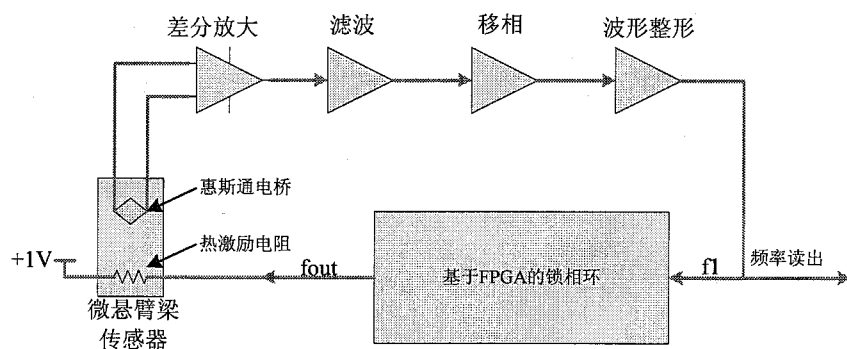


图 3.2 传感器闭环自激系统框图

图 3.2 中除了微悬臂梁传感器之外的部分都是接口电路。接口电路通过对传感器输出信号放大滤波，并产生一定的延迟以满足闭环自激的幅度和相位条件，保证闭环振荡系统上电后能自激工作。

接口电路分为前级处理电路和锁相环控制电路。前级处理电路主要由差分放大器、带增益的滤波器、移相器和波形整形电路组成。差分放大器提取传感器输出的有用信号（差分信号）并加以放大，滤除共模噪声。带增益的滤波器一方面滤除直流和高频噪声，另一方面可调整幅值使系统满足闭环自激所需的幅值条件。移相器用来调节系统相位，在闭环电路的调试之初，须通过移相器对相位进行调节，以满足 $\angle H(s) = 2k\pi, (k = 0, 1, 2, 3, \dots)$ 的相位条件。波形整形电路将移相器输出的正弦波信号整形为数字锁相环（基于 FPGA 实现）输入端所需的方波信号。前级处理电路和锁相环控制电路将分别在下两节做详细介绍。

频率读出采用等精度频率计与 LCD 结合的方式，在此不做赘述。等精度频率计与锁相环的核心部分均在 FPGA 内部完成，不需要额外的电路，同时结合 FPGA 强大的在线可编程的优势，很好的保证了接口电路向集成化和智能化方向的发展。

3.2 前级信号处理电路

3.2.1 差分放大电路

传感器从惠斯通电桥输出的两路信号是直流信号和交流信号的叠加，它们的直流信号大小相等且幅度较大，而交流信号不同且幅度较小。为了放大交流信号同时抑制直流信号，这里需要一个差分放大器。

使用仪表运算放大器AD620^[83]作为前级放大器，对压阻输出信号进行差分放大(如图2.6)。仪表运算放大器具有差动输入阻抗高(大于 10^9 欧姆)、共模抑制比高、偏置电流低、温度稳定性好、单端输出噪声低和增益调节方便等优点。利用仪表运算放大器的高共模抑制比，可以比较稳定的消除直流分量的影响。

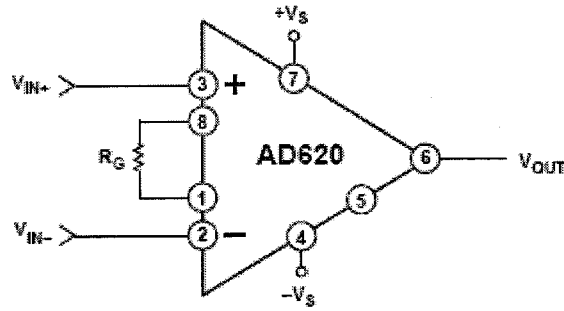


图3.3 AD620运算放大电路

图 3.3 中 AD620 的放大增益可表示为:

$$G = \frac{49.4k\Omega}{R_G} + 1 \quad (3.3)$$

需要注意的是，由于受到 AD620 的增益带宽积限制(如图 3.4 所示)，当谐振梁的固有频率达到 1MHz 时，AD620 的增益就会急剧下降，所以高频时要选择具有更高增益带宽积和共模抑制比的仪表放大器。

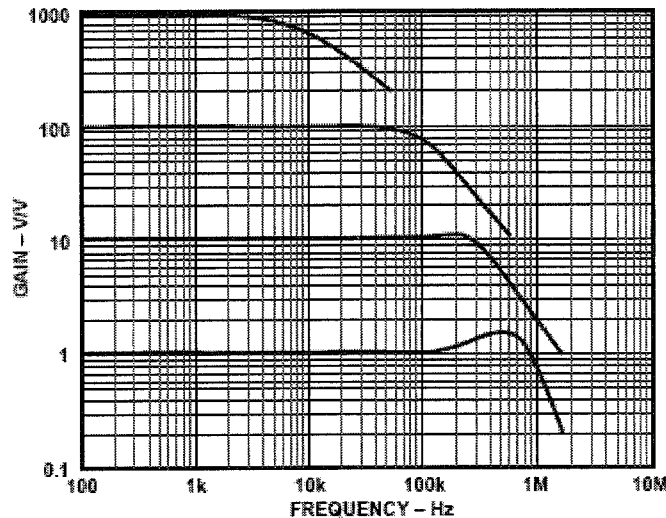


图 3.4 AD620 的增益带宽积

3.2.2 滤波器

此处的滤波器一方面需要滤除传感器出来的高次谐波成分, 另一方面需要滤除直流成分。虽然差分放大器 AD620 可以抑制共模信号, 仅放大差模信号, 但由于放大器调零、传感器桥路电阻不平衡、温漂等方面的误差, 使得差分放大出来的信号难免会有一部分直流成分存在。

常用的基于单运放实现的带通滤波器有三种, 分别是宽带带通滤波器、KRC 带通滤波器(或称塞林更带通滤波器)和多重反馈带通滤波器^[84]。第一种带通滤波器 Q 值较小, 但其通带范围比较广。后两种 Q 值比较大, 但通带范围比较小。因为用在这里的带通滤波器的目的是滤除直流和几百 kHz 的高频, 需要滤波器的上限截止频率和下限截止频率差距比较大, 也即通带范围比较广, 因而此处选用宽带带通滤波器。

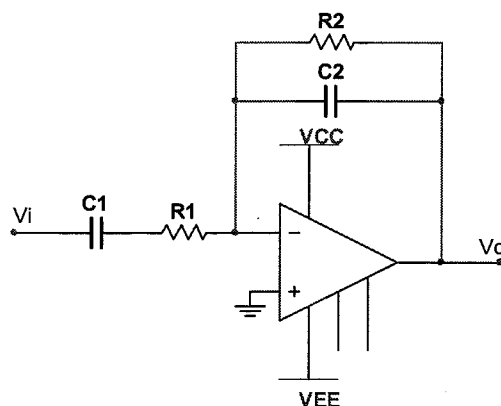


图 3.5 宽带带通滤波器电路原理图

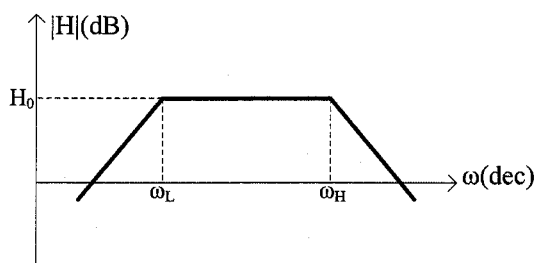


图 3.6 宽带带通滤波器幅值响应

宽带带通滤波器实际上就是将一个一阶的低通滤波器与一个一阶的高通滤波器合并, 从而给出带通响应。其传递函数为:

$$H(s) = -\frac{R_2}{R_1} \frac{R_1 C_1 s}{R_1 C_1 s + 1} \frac{1}{R_2 C_2 s + 1} \quad (3.4)$$

指出在 origin 的一个零点和两个实极点分别在 $-1/R_1 C_1$ 和 $-1/R_2 C_2$ 。令 $s \rightarrow j\omega$ 得出：

$$H(j\omega) = H_0 \frac{j\omega/\omega_L}{(1 + j\omega/\omega_L)(1 + j\omega/\omega_H)} \quad (3.5)$$

$$H_0 = -\frac{R_2}{R_1}, \quad \omega_L = \frac{1}{R_1 C_1}, \quad \omega_H = \frac{1}{R_2 C_2} \quad (3.6)$$

其中， H_0 称为中频增益。宽带带通滤波器常用在 $\omega_L \ll \omega_H$ 的情况下， ω_L 和 ω_H 为别称为低-3dB 频率和高-3dB 频率，也即下限截止频率和上限截止频率。

3.2.3 移相器

闭环系统工作之前必须对其进行相位调制，使它满足闭环自激的条件，这个调制工作就由移相器来完成。移相器的电路结构如图 3.7 所示，它的传递函数为：

$$H(s) = \frac{-RCs + 1}{RCs + 1} \quad (3.7)$$

由此可以指出 $H(s)$ 在 $s = 1/RC$ 有一个零点，在 $s = -1/RC$ 处有一个极点。令

$s \rightarrow j\omega$ ，可得：

$$\angle H(s) = -2 \arctan(\omega/\omega_0) \quad (3.8)$$

其中， $\omega_0 = \frac{1}{RC}$ 。

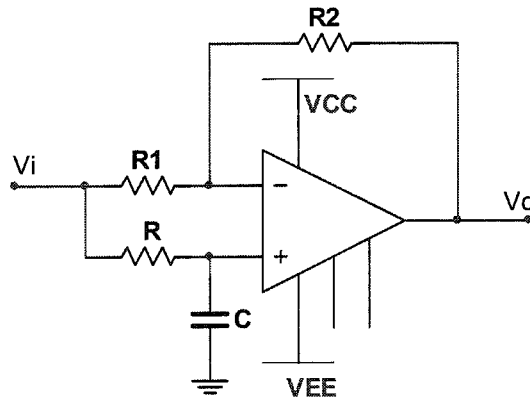


图 3.7 移相器电路原理图 ($R_2=R_1$)

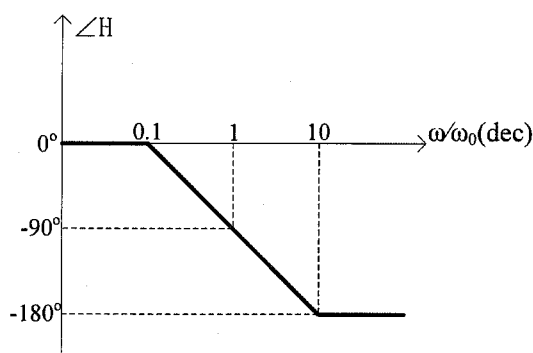


图 3.8 移相器相位响应

通过移相器的信号增益为 1, 本身对信号没有任何放大作用。但它引入了从 $0^\circ \sim 180^\circ$ 变化的可变相位滞后, 如图 3.8 所示, 并在 $\omega = \omega_0$ 有 -90° 的相移。

3.2.4 波形整形电路

波形整形电路是用来实现前级处理电路向锁相环电路的过渡。因为前级电路中的工作信号均为模拟信号, 而大多数锁相环的输入信号都要求是数字信号, 因而需要通过一个整形电路将模拟信号转化为数字信号。这里采用的是过零电压比较器, 它通过将输入电压信号与 0V 电压信号相比较, 高于 0V 的信号就由运算放大器放大到正电源电压值, 低于 0V 的信号放大为负电源电压值。此时得到的虽然是方波信号, 但却有正、负两种极性, 因而不能直接作为数字信号使用。最简单的方法是在输出端接入一个二极管, 二极管正极接地, 负极接波形整形电路的输出端, 这样就可以得到幅值在 0V 与整电源电压之间的方波信号。

当然本设计由于采用了 TI 公司的 LM311 比较器芯片^[85], 其可以通过将 1 号管脚接地的方式获得上述幅值在 0V 与正电源电压之间的方波信号, 因而也就不再采用二极管的方案了。

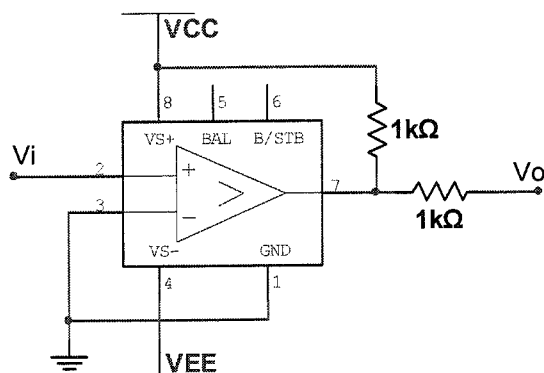


图 3.9 波形整形电路原理图

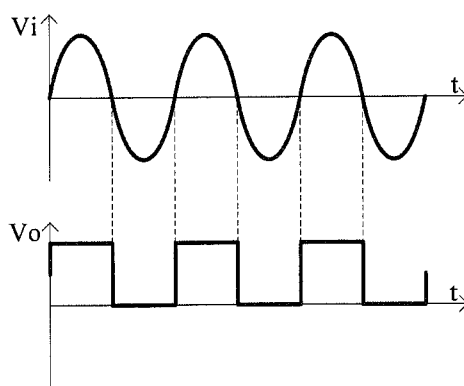


图 3.10 波形整形电路的输入输出信号波形图

3.3 基于 FPGA 的锁相环电路设计

谐振式微悬臂梁传感器输出信号微弱，噪声成分复杂，首先可用一个差分放大器提取有用交流信号并对其放大，减少系统噪声。但这是远远不够的，必须选用具有精确选频功能的电路模块对信号进一步滤波。考虑到我们要测量的是谐振频率变化量，所以该电路模块的选频特性必须同时具有可变可跟踪性。要同时满足上述要求，使用一般的带通滤波器不可行，必须采用锁相环技术。

3.3.1 锁相环电路概述

锁相环指的是能实现跟踪功能的电路。确切的讲，锁相环是一个使输出信号（由振荡器产生的）与参考信号或者输入信号在频率和相位上同步的电路。在同步（通常称之为锁定）状态，振荡器输出信号和参考信号之间的相位差为零，或者保持常数^[86]。

以线性锁相环为例，锁相环可认为由三个功能模块构成：（1）压控振荡器（VCO）；（2）鉴相器（PD）；（3）环路滤波器（LF）。

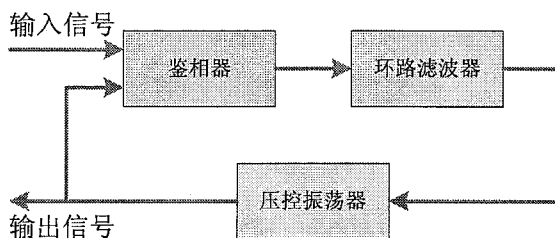


图3.11 锁相环结构框图

早在 1932 年，法国工程师 de Bellescize 就实现了第一个锁相环^[87]，将其称为“相关通信”（coherent communication）。直到实现可应用的锁相环集成电路，锁相环才广泛应用到工业界。第一个锁相环集成芯片大约出现在 1965 年，是一个纯粹的模拟器件。在接下来的几年里，锁相环逐渐转移数字领域。大约在 1970 年，出现了第一个数字锁相环，实际上，它是一个混合器件，仅仅鉴相器采用数字电路实现，剩下的模块仍然是模拟电路。又过了几年之后，发明了全数字锁相环。全数字锁相环毫无意外的全部由数字功能模块组成，因此不包含任何无源器件，如电阻、电容等。类似滤波器，锁相环也可以用软件实现，其功能由计算机程序完成，称之为软件锁相环。

在传感器接口电路领域，要实现传感器谐振频率的实时检测和跟踪，简化测量操作，提高测量精度，必须采用闭环工作，将传感器和接口电路组成一个闭环振荡系统。其中接口电路的核心部分即为锁相环。对于模拟锁相环或混合锁相环，其锁定范围受限，一般会比较小。而且关键参数会因为元件的离散而改变，易受温漂和器件老化的影响。全数字锁相环可以解决模拟电路的缺点，它是完全的数字系统，具有精度高且不受温度和电压影响，环路带宽和中心频率编程可调，易于构建高阶锁相环等优点。然而，它一般应用于纯数字领域，不太适合应用于传感器接口电路领域，因为它输出的是方波信号。如果要去驱动传感器，还需要将方波转换为正弦波，这之间的转换电路会比较麻烦，且效果不会很好。按照以往的方式，在传感器接口电路中的锁相环一般采用单片 IC 的方式实现，比如 MAX038。此锁相环为混合锁相环，因而它不可避免的会有如前所述混合锁相环的各种缺点，而且采用单片 IC 的方式实现锁相环，会对后续接口电路功能的改进与提高造成诸多不便，不利于整个接口电路智能化的发展。

3.3.2 基于 FPGA 实现的数字锁相环

鉴于上节所述的现有锁相环存在的诸多问题,本文实现了基于FPGA的锁相环电路。从严格意义上来讲,该锁相环恐怕不能归类到全数字锁相环,因为其包含模拟电路(滤波器和整形电路),但它的核心部件全部由基于FPGA的数字电路完成,因而具有ADPLL的一切优点,还有更重要的一点,就是它可以输出模拟的正弦波信号,很好的解决了与传感器的衔接问题。

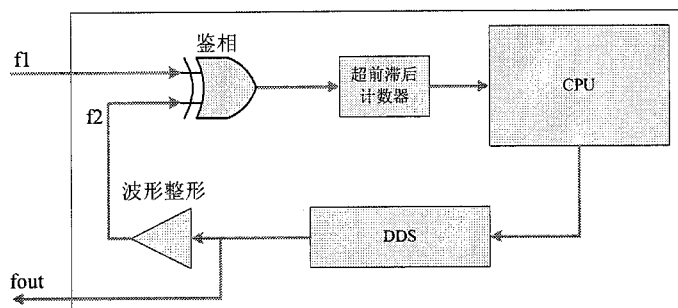


图3.12 基于FPGA实现的数字锁相环原理图

图 3.12 为本文设计的基于 FPGA 的数字锁相环,可以看到其由五个部分组成,分别是:鉴相器、超前滞后计数器、CPU(中央处理器)、DDS(直接数字合成器)和波形整形器。鉴相器对输入信号 f_1 与参考信号 f_2 进行鉴相;超前滞后计数器对鉴相器输出信号的占空比进行判定;CPU 由开关控制完成相应的控制功能;DDS 由 CPU 控制输出不同频率的正弦波信号;整形器将正弦波形式的输出信号 f_{out} 转换为方波形式的参考信号 f_2 送入鉴相器进行鉴定,此处的整形电路与前级处理电路中的波形整形电路设计完全相同,不再赘述。

对比图 3.11 所示的线性锁相环的基本结构框图可以看出,两者在结构上会有些许差别。当然,我们可以把其中的超前滞后计数器看作图 3.11 中的环路滤波器,而把 CPU 和它所控制的 DDS 看作图 3.11 中的压控振荡器。这样,两者在基本结构方面其实是类似的。

下面各节将对基于 FPGA 实现的数字锁相环各个部分做详细介绍。

3.3.3 鉴相器

鉴相器的输出信号与两个输入信号 f_1 和 f_2 的相位差成比例。许多电路结构都可以实现这种功能。当前以四种鉴相器为主，他们分别是：乘法鉴相器、异或门鉴相器、JK 触发型鉴相器和鉴频/鉴相器。而其中在全数字锁相环中用的最多的是异或门鉴相器和 JK 触发型鉴相器，因而此处重点阐述这两种。

1. 异或门鉴相器

异或门 (XOR) 鉴相器的输入为两路方波信号，输出一频率等于参考信号频率两倍的信号。其逻辑真值表和波形图分别如表 3.1 和图 3.13 所示。

表 3.1 异或门鉴相器的真值表

输入		输出
f_1	f_2	f_{out}
0	0	0
0	1	1
1	0	1
1	1	0

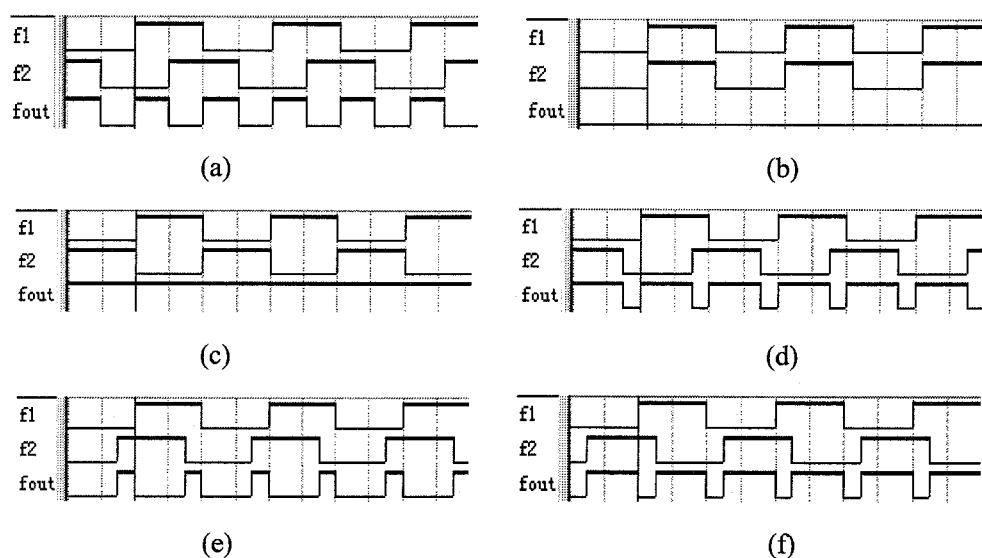


图 3.13 异或门鉴相器的波形图

$$(a) \theta_e = \frac{\pi}{2}, (b) \theta_e = 0, (c) \theta_e = \pi, (d) \frac{\pi}{2} < \theta_e < \pi, (e) -\frac{\pi}{2} < \theta_e < 0, (f) \pi < \theta_e < \frac{3\pi}{2}$$

其中, θ_e 为鉴相器的输入 f_1 与 f_2 的相位差。

鉴相器的特性直接决定鉴相范围, 最终影响锁相环的一个重要参数——锁定范围。对于以往在混合锁相环中采用的异或门鉴相器, 其鉴相范围为 $(0, \pi)$ 。而此处虽然采用的同样是异或门鉴相器, 但由于整个锁相环的实现方式不同, 使得其鉴相范围比原来扩大了一倍, 变为 $(-\frac{\pi}{2}, \frac{3\pi}{2})$ 。下面将详细阐述原因。

首先结合图 3.13 中的(a)、(b)、(c)、(d)四种情况, 加以说明。(a)相位差为 $\frac{\pi}{2}$, 此时输出信号 f_{out} 占空比为 50%, 这种情况正是对应的锁相环锁定的情况, 即输入 f_1 与输出 f_2 之间保持固定的相位差。(b)相位差为 0, 输出信号 f_{out} 均值取得最小值, 也就是 0。(c)相位差为 π , 输出信号 f_{out} 均值取得最大值。(d)相位差介于 $\frac{\pi}{2}$ 与 π 之间, 此时输出信号 f_{out} 占空比介于 50%与 100%之间。以往我们认为异或门鉴相器的鉴相范围为 $(0, \pi)$, 是因为在此区间, 鉴相器的输出信号 f_{out} 的均值与相位差 θ_e 成线性关系, 即:

$$\overline{f_{out}} = K_d \theta_e \quad (3.9)$$

其中, 鉴相器的增益 K_d 为常数。如果 XOR 电源电压分别为 U_B 和 0, 并假设逻辑电平分别为 U_B 和 0, 则 $K_d = U_B / \pi$ 。异或门鉴相器的输出特性曲线如图 3.14 所示。

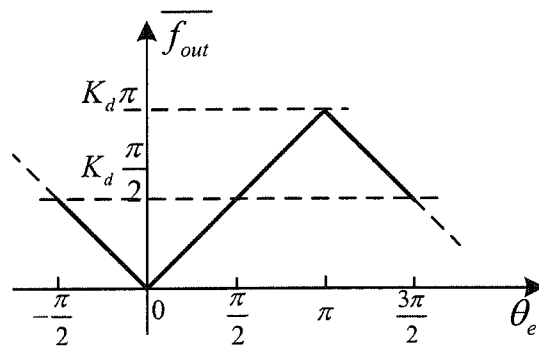


图 3.14 异或门鉴相器输出特性曲线

混合锁相环中, 是通过在鉴相器输出端接滤波器(低通滤波器)的方式, 将两路输入信号的相位差值信息转换为幅度(均值)信息。由图 3.14 可以看出, 当相位差在 $(0, \pi)$ 内时, 鉴相器输出信号的均值与相位差精确的满足线性关系, 当然, 其鉴相范围也

只能在线性区。一旦鉴相器两路输入的相位差超出 $(0, \pi)$ 的线性区时, 必然导致锁相环失锁。

但是, 对于本文所设计的锁相环, 当鉴相范围超出 $(0, \pi)$ 的范围时, 也即输出信号 f_{out} 的均值与 θ_e 不再满足线性的关系时, 是否锁相环就不能完成锁定了呢?

下面我们来分析图 3.13 中(e)、(f)两种情况。当然这要结合超前滞后计数器的实现原理来说明, 超前滞后计数器的原理将在下节详细阐述。(e)相位差介于 $-\frac{\pi}{2}$ 与 0 之间, 输出信号 f_{out} 占空比介于 0 到 50%之间, 按照本文设计的超前滞后计数器的工作原理, 此时 CPU 会加大相位控制字 K 的值。而且当相位差在 $-\frac{\pi}{2}$ 到 $\frac{\pi}{2}$ 之间时, 输出信号 f_{out} 的占空比一直是小于 50%的, 因而在这期间 DDS 的输出频率会一直增加, 结合悬臂梁传感器的相位-频率响应关系(图 2.5), 此时 DDS 的输出频率一直增加直到完成锁定为止。同理(f)相位差介于 π 与 $\frac{3\pi}{2}$ 之间, 输出信号 f_{out} 占空比介于 50%到 100%之间, 通过 CPU 控制的 DDS 会一直减小输出频率, 直到完成锁定为止。确切的说, 当相位差在 $(-\frac{\pi}{2}, \frac{3\pi}{2})$ 内时, 都能保证锁相环很好的工作。

通过上述分析, 可以看出, 虽然同样用的是异或门鉴相器, 但基于本文设计的锁相环, 其鉴相范围为 $(-\frac{\pi}{2}, \frac{3\pi}{2})$, 相较于以往的 $(0, \pi)$, 鉴相范围扩大了一倍。可见, 我们在分析鉴相器的鉴相范围时, 并不能孤立的去分析鉴相器, 还需要结合整个锁相环的实现原理来分析。同样的鉴相器, 对于不同的锁相环实现方式, 可能会有不同的鉴相范围, 鉴相范围也不仅仅是鉴相器的线性范围而已。

异或门鉴相器具有简单易实现的优点, 且占用系统资源较少, 因而本设计中采用的即是异或门鉴相器。

2. JK 触发型鉴相器

JK 触发型鉴相器如图 3.15 所示, 其输入与异或门鉴相器相同, 也是两路方波信号, 但输出为一频率等于参考频率的方波信号。此处所指的 JK 触发器不同于传统的 JK 触发器, 因为它是边沿触发的, 而且是双路触发。出现在触发器 J 输入端的下降沿触发使触发器进入“高”状态($f_{out}=1$); 出现在触发器 K 输入端的下降沿触发使触发器进入“低”状态($f_{out}=0$)。其真值表如表 3.2 所示。

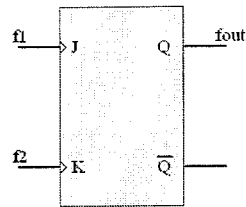


图 3.15 JK 触发型鉴相器

表 3.2 JK 触发型鉴相器的真值表

输入		输出
f1	f2	fout
↓	x	1
x	↓	0

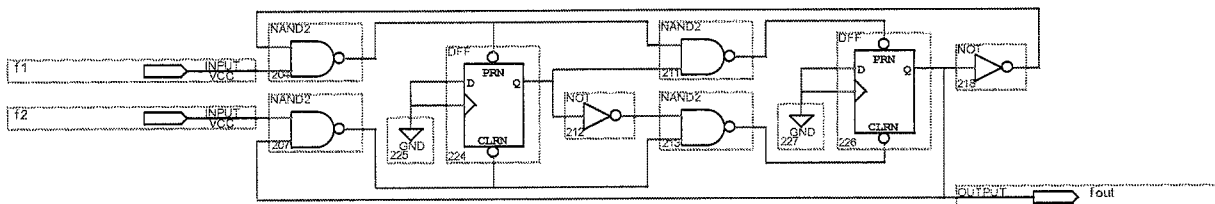


图 3.16 基于 Quartus II 实现的 JK 触发型鉴相器电路图

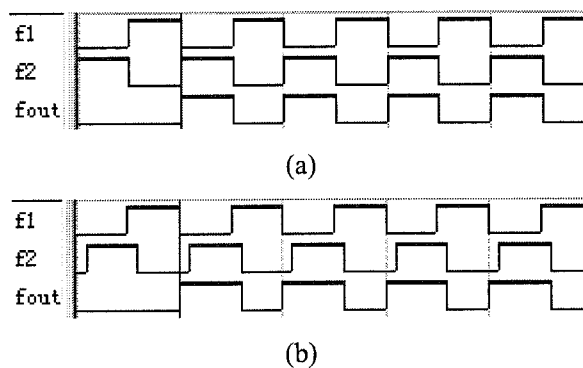


图 3.17 JK 触发型鉴相器的信号波形图

$$(a) \theta_e = \pi \quad (b) \pi < \theta_e < 2\pi$$

JK 触发型鉴相器与异或门鉴相器不同，JK 触发型鉴相器的线性范围为 $(0, 2\pi)$ ，且其鉴相范围正是其线性范围。

如图 3.17(a)所示, 在输入信号 f_1 与 f_2 相位差 $\theta_e = \pi$ 时, 即 f_1 与 f_2 反相, 输出信号 f_{out} 为一频率与参考信号相同、占空比为 50% 的方波; 如图 3.17(b)所示, 在输入信号 f_1 与 f_2 相位差 $\pi < \theta_e < 2\pi$ 时, 输出信号为一频率与参考信号相同、占空比大于 50% 的方波。可以很容易的看出, 相位差 $\theta_e = 2\pi$ 时, 输出信号 f_{out} 的占空比达到最大值, 即 100%, 其均值 $\overline{f_{out}}$ 取得最大值; 当相位差 $\theta_e = 0$ 时, 输出信号 f_{out} 的占空比达到最小值, 即 0%, 其均值 $\overline{f_{out}}$ 取得最小值。

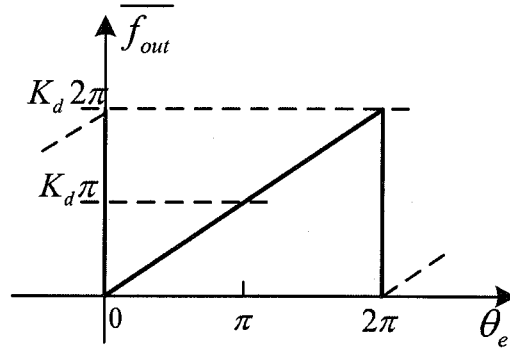


图 3.18 JK 触发型鉴相器输出特性曲线

相位差在 $0 < \theta_e < 2\pi$ 范围内时, 输出信号的均值 $\overline{f_{out}}$ 与相位差 θ_e 成线性关系 $\overline{f_{out}} = K_d \theta_e$ 。其中, 鉴相器的增益 K_d 为常数。与异或门鉴相器类似, 假设逻辑电平分别为 U_B 和 0, 则 $K_d = U_B / 2\pi$ 。

JK 触发型鉴相器的输出特性曲线如图 3.18 所示。从图中可以看出, 其输出特性曲线以 2π 为周期, 当相位差超出 $(0, 2\pi)$ 的范围时, 必然导致锁相环失锁。因而 JK 触发型鉴相器的鉴相范围只能在线性范围 $(0, 2\pi)$ 。

3.3.4 超前滞后计数器

本文设计的超前滞后计数器的工作原理是用一高频时钟, 分别对鉴相器的输出信号的高电平持续时间和低电平持续时间进行计数, 然后将两个计数值进行比较。当两计数值相等时, 即鉴相器的输出信号占空比为 50%, DDS 保持输出频率不变; 当高电平的

计数值大于低电平的计算值时，即鉴相器的输出信号占空比 $>50\%$ ，CPU 控制 DDS 减小输出频率；当高电平的计数值小于低电平的计算值时，即鉴相器的输出信号占空比 $<50\%$ ，CPU 控制 DDS 加大输出频率。超前滞后计数器的电路如图 3.19 所示：

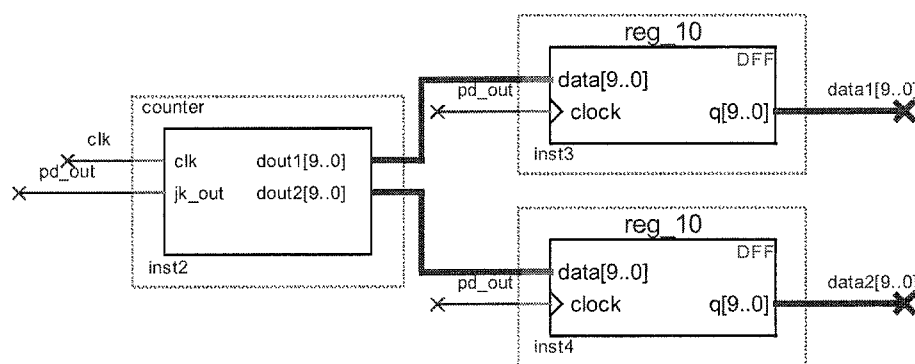
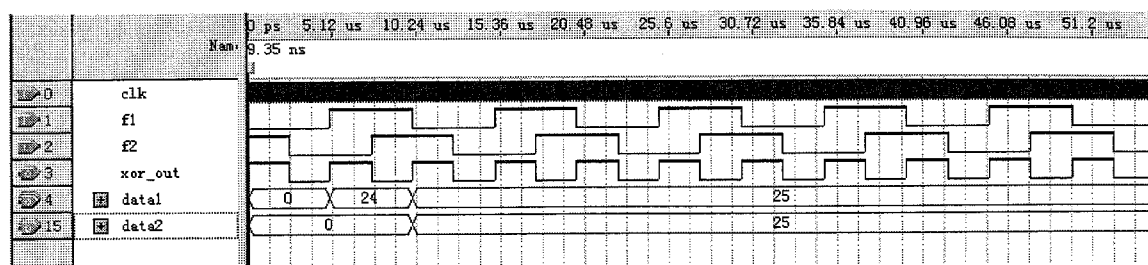


图 3.19 基于 Quartus II 实现的超前滞后计数器电路图

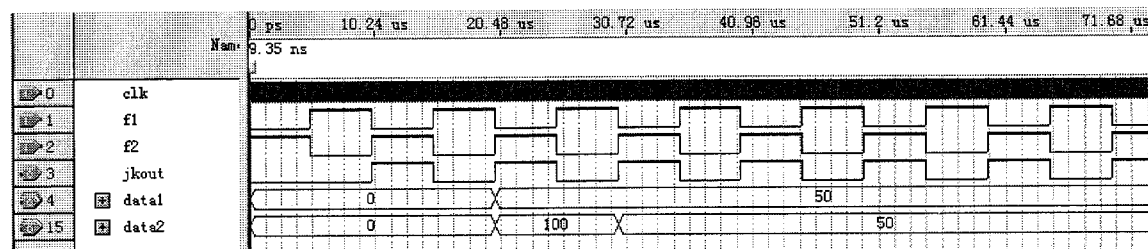
其中 clk 为高频全局时钟，pd_out 为鉴相器的输出信号，data1 和 data2 分别为送入 CPU 待判断的两路数据。计数器 counter 借助于 Quartus II 平台由硬件描述语言 Verilog HDL 编程实现，实现原理如表 3.3 所示。reg_10 是 10 位寄存器，两个寄存器的目的是为了保证送入 CPU 的数据同步。

表 3.3 超前滞后计数器的实现原理

clk	pd_out	计数器行为
↓	0	cnt1=0;
↓	1	cnt1=cnt1+1;
↑	0	cnt2=cnt2+1;
↑	1	cnt2=0
	↓	dout1=cnt1;
	↑	dout2=cnt2;



(a)



(b)

图 3.20 超前滞后计数器的仿真结果

$$(a) \text{ 异或门鉴相且 } \theta_e = \frac{\pi}{2} \quad (b) \text{ JK 触发型鉴相且 } \theta_e = \pi$$

由仿真结果（如图 3.20 所示）可以看到，当鉴相器采用异或门鉴相时，若输入信号 f1 与 f2 的相位差为 $\frac{\pi}{2}$ ，则超前滞后计数器输出高电平计数和低电平计数两路相等的的数据，并且此两路数据同步；当鉴相器采用 JK 触发型鉴相时，若输入信号 f1 与 f2 的相位差为 π ，则超前滞后计数器输出高电平计数和低电平计数两路相等的的数据，并且此两路数据同步。

3.3.5 直接数字合成器（DDS）

DDS(Direct Digital Synthesizer)即直接数字合成器，由美国学者 J. Tierney 等于 1971 年提出，是一种全数字频率合成技术^[88]。其具有较高的频率分辨率，可以实现快速的频率切换，并且在改变时能够保持相位的连续，很容易实现频率、相位和幅度的数控调制。DDS 的灵活性使它成为理想的信号发生器，而且用来处理信号的数字电路不会因为热漂移、老化和元件的变化而受影响。数字功能块的实现使它达到系统高度集成化成为可能。

如果说锁相环是整个接口电路的核心，那么 DDS 就是锁相环的核心。因为 DDS 的精度直接决定了接口电路系统的扫频精度以及锁相环的锁频精度。

1. DDS 介绍

DDS 是根据正弦函数的产生, 从相位出发, 由不同的相位给出不同的电压幅度, 即相位—正弦幅度变换, 最后滤波, 平滑输出所需要的频率。为了更好的理解 DDS, 先对正弦函数的产生做一简单回顾^[89]。

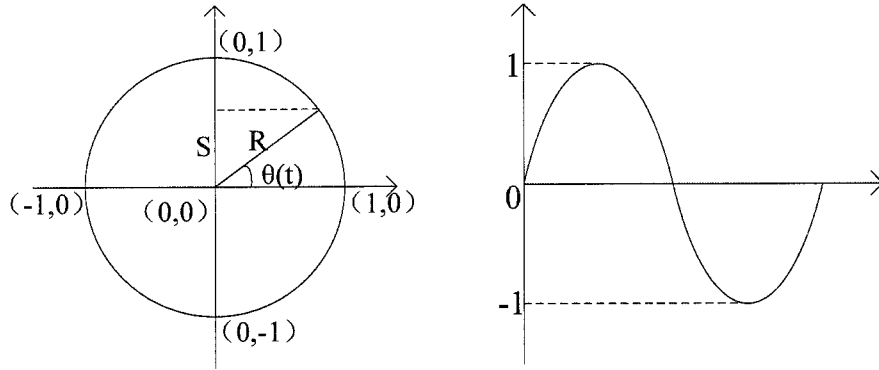


图 3.21 单位圆表示的正弦函数

图 3.21 表示了半径 R 长度为 1 的单位圆。 R 以原点为中心旋转与 x 轴的正方向形成夹角 $\theta(t)$, 即相位角。设 R 在 y 轴上的投影为 S , 当 R 的端点连续不断的绕圆旋转时, S 将取 $-1 \sim +1$ 之间的任意值, 而 $\theta(t)$ 则从 $0^\circ \sim 360^\circ$ 变化。

S 的长度就是正弦函数的幅度, 也就是 $S = R \sin \theta(t)$ 。如果 R 的端点不是连续不断的绕圆旋转, 而是以等步长的相位增量阶跃式旋转, 那么 S 的值将形成阶梯式的近似正弦函数。当相位增量很小, 步长数目增加时, 阶梯式正弦波就接近实际的正弦函数。

从这个简单的讨论可以看出, 通过改变相位增量的步长大小, 就可以改变绕圆旋转的步长数目, 从而产生变换的方法。

对于正弦信号发生器, 它的输出可以用下式来描述:

$$S_o = A \sin \omega t = A \sin(2\pi f_o t) \quad (3.10)$$

其中, S_o 是指该信号发生器的输出信号波形。 f_o 指输出信号对应的频率。上式的表述对于时间 t 是连续的, 为了用数字逻辑实现该表达式, 必须进行离散化处理, 用基准时钟 clk 进行抽样, 令正弦信号的相位 θ 为:

$$\theta = 2\pi f_o t \quad (3.11)$$

在一个 clk 周期 T_{clk} , 相位 θ 的变化量为:

$$\Delta\theta = 2\pi f_o T_{clk} = 2\pi f_o / f_{clk} \quad (3.12)$$

其中 f_{clk} 指频率对于 2π 可以理解成“满”相位，为了对 $\Delta\theta$ 进行数字量化，把 2π 切割成 2^N 份，由此每个 clk 周期的相位增量 $\Delta\theta$ 用量化值 K 来表述： $K \approx \frac{\Delta\theta}{2\pi} \cdot 2^N$ ，且 K 为整数。与式 (3.12) 联立，可得：

$$K = 2^N \cdot \frac{f_o}{f_{clk}} \quad (3.13)$$

设计完成之后，则 f_{clk} 与 N 即取固定值，因而由上式可以看出，用于累加的相位增量量化值 K 决定了信号的输出频率 f_o ，并呈现简单的线性关系。

直接数字合成器 DDS 就是根据上述原理而设计的数控频率合成器。如图 3.22 所示，是一个基本的 DDS 结构，主要由相位累加器、正弦 ROM 查找表、DAC 和滤波器构成。

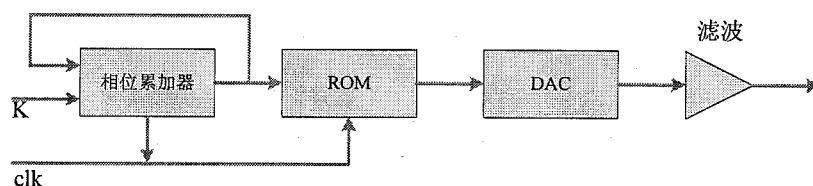


图 3.22 DDS 原理框图

K 为由 CPU 输出的频率控制字， clk 为全局时钟。ROM 中存放正弦函数值，在本设计中其地址位和数据位均为 12 位。DAC 为数模转换器，采用 TI 公司的 12 位高速数模转换器 DAC902。滤波器采用基于运放搭建的二阶宽带带通滤波器，滤除 DAC 输出的直流成分和高频噪声。其中的相位累加器和正弦 ROM 查找表是 DDS 结构中的数字部分，可直接在 FPGA 内部设计完成，而 DAC 和滤波部分需要外围电路实现。

在 FPGA 内部实现的 DDS 部分电路如图 3.23 所示（含 CPU 控制部分）：

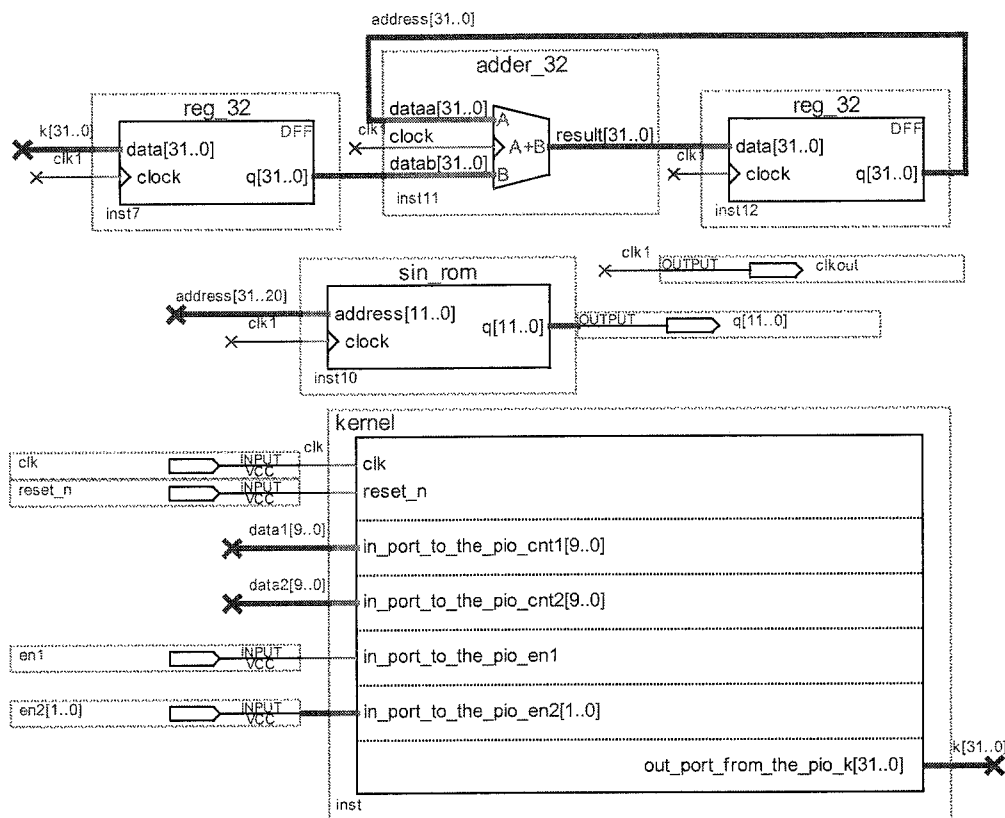


图 3.23 基于 Quartus II 设计的 DDS 电路图

其中 kernel 为在 FPGA 内部嵌入的 32 位 Nios II 软核处理器，即 CPU 完成整个接口电路的控制功能。clkout 的频率即为全局时钟的频率，用作外部高速 DA 的输入时钟。

DDS 的常用参量：

(1) DDS 的输出频率 f_o 。

$$f_o = K \cdot \frac{f_{clk}}{2^N} \quad (3.14)$$

其中，K 为频率控制字； f_{clk} 是系统全局时钟 clk 的频率；N 是相位累加器的数据位宽，也即频率控制字的数据位宽。

(2) DDS 的频率分辨率 Δf 。DDS 的频率分辨率也即频率最小步进值，可用频率输入值步进一个最小间隔对应的频率输出变化量来衡量，即令 K=1，得到：

$$\Delta f = \frac{f_{clk}}{2^N} \quad (3.15)$$

在本设计中，全局时钟频率 f_{clk} 为 50MHz，相位累加器位数 N 为 32 位。因而频率

分辨率 Δf 为 $50 \times 10^6 / 2^{32} \approx 0.012 \text{ Hz}$ 。

利用 DDS 技术, 可以实现输出任意频率和指定精度的正弦信号发生器; 当然也可以用作任意波形发生器, 只要相应的改变 ROM 查找表中的波形数据即可。

DDS 的特点主要有三个: 第一, DDS 的频率分辨率在相位累加器的位数 N 总够大时, 理论上可以获得相应的分辨精度, 这是传统方法难以实现的; 第二, DDS 是一个全数字结构的开环系统, 无反馈环节, 因此其速度极快, 一般在纳秒量级; 第三, DDS 的相位误差主要依赖于时钟的相位特性, 相位误差小。此外 DDS 的相位是连续变化的, 形成的信号具有良好的频谱, 传统的直接频率合成方法无法实现。

DDS 扫频是一个动态的过程, 因而无法在此进行截图显示。图 3.24 只是定性的给出 DDS 的仿真输出波形, 这里仅仿真了 DDS 的扫频功能, 为了观察的方便, 将步进频率间隔设置的很大。

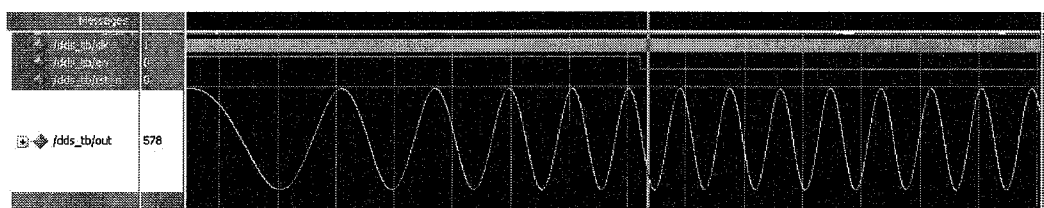


图 3.24 基于 ModelSim 的 DDS 扫频仿真波形

由仿真波形看到, 可以对 DDS 的输出进行控制, 包括启动与停止, 输出频率的大小, 以及步进频率等。

2. 数模转换器

DAC (Digital to Analog Converter), 即数字模拟转换器, 是一种将数字信号转换为模拟信号 (以电压或电流形式) 的设备。其按输出信号的形式可分为电压输出型和电流输出型两种。一般来讲, 电压输出型 DAC 转换时间较慢, 而在 DDS 中需要高速 DAC, 因而必须选用电流转换型 DAC。

本设计中采用的是 TI 公司的 12 位高速数模转换器 DAC902。

DAC902 为 12 位最大转换速率能够达到 165MSPS 的数模转换器。DAC902 采用的是两路互补电流输出, 分别为 I_{out} 和 I_{out} , 总的输出电流 I_{oufs} 为两者的和, $I_{oufs} = I_{out} + I_{out}$, 可通过外部电阻 R_{set} 调节, 调节范围为 2mA~20mA。

$$I_{outfs} = 32 \cdot V_{ref} / R_{set} \quad (3.16)$$

其中 V_{ref} 为参考电压。传感器的驱动需要的是电压信号，而电流输出型 DAC 直接输出的是电流信号，因而不能直接用来驱动传感器，还需要进行电流电压的转换。将电流信号转换为电压信号，常用的方法有两种：一是在输出引脚上接负载电阻，如图 3.25(a) 所示；二是外接运算放大器，如图 3.25(b) 所示。两种方法各有优缺点。方法一实现简单，但必须在规定的电压范围内使用，且输出阻抗很高，一般需要外接运算放大器使用。方法二可以给出一个很低的输出阻抗，但付出的代价是动态性能上的降低以及额外的运算放大器的成本，且总的建立时间 t_s 延长，其可由 DAC 的电流建立时间和运算放大器的建立时间估计得出： $t_s = \sqrt{t_{s(DAC)}^2 + t_{s(OA)}^2}$ 。本设计中，在 DAC 之后还需要加一带通滤波器来滤除 DAC 输出的直流成分和高频噪声，该带通滤波器基于运算放大器实现，弥补了方法一中输出阻抗高的不足，因而此处采用的是方法一。

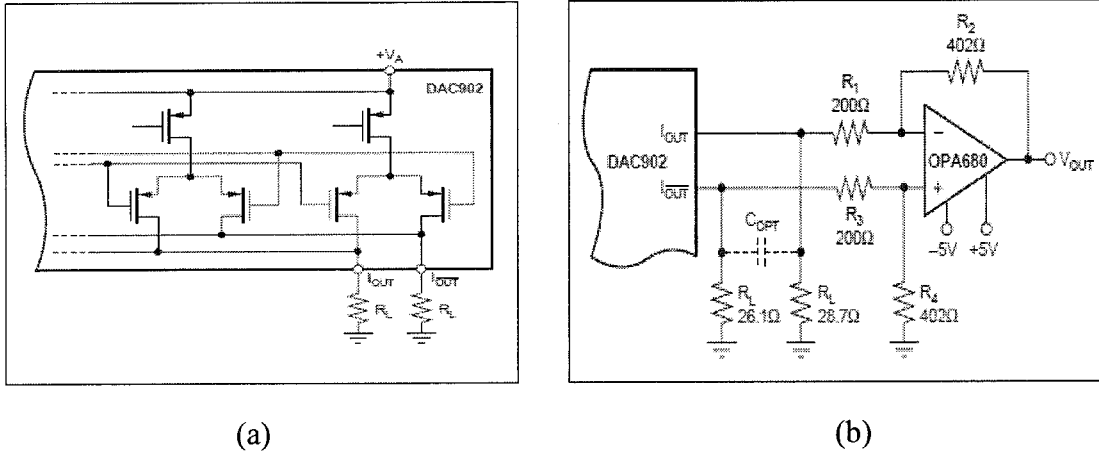


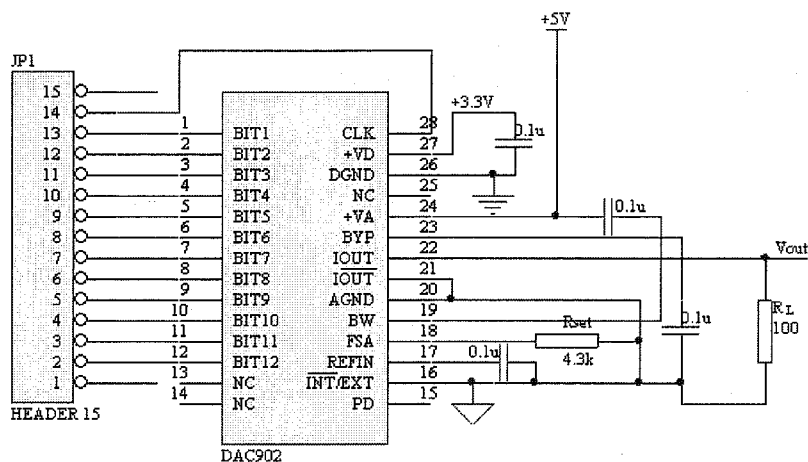
图 3.25 DAC 输出的电流电压转换方式

(a)接负载电阻 (b)接运算放大器

当 I_{out+} 或 I_{out-} 输出端连接负载电阻时，就可以相应的分别得到输出电压信号

$$V_{out+} = I_{out+} \cdot R_L \text{ 或 } V_{out-} = I_{out-} \cdot R_L。$$

接负载电阻时只需要单端输出就可以了，因而本设计中将 I_{out-} 接地，将 I_{out+} 端接负载电阻 R_L 。电路如图 3.26 所示。



3.26 基于 DAC902 实现的数模转换电路图

3.2.6 CPU 的控制功能

此处的 CPU 可通过 FPGA 内部嵌入式软核的方式来实现。如图 3.23 所示，其中的 kernel 即为借助 Altera 公司的 SOPC Builder 平台生成的 32 位软核 Nios II 处理器。借助于 SOPC Builder，可以灵活定制 Nios II CPU 的许多特性，图 3.27 所示即为依据本设计所定制的 Nios II 处理器。由该处理器控制，完成频率自扫描和相位锁定两种功能。

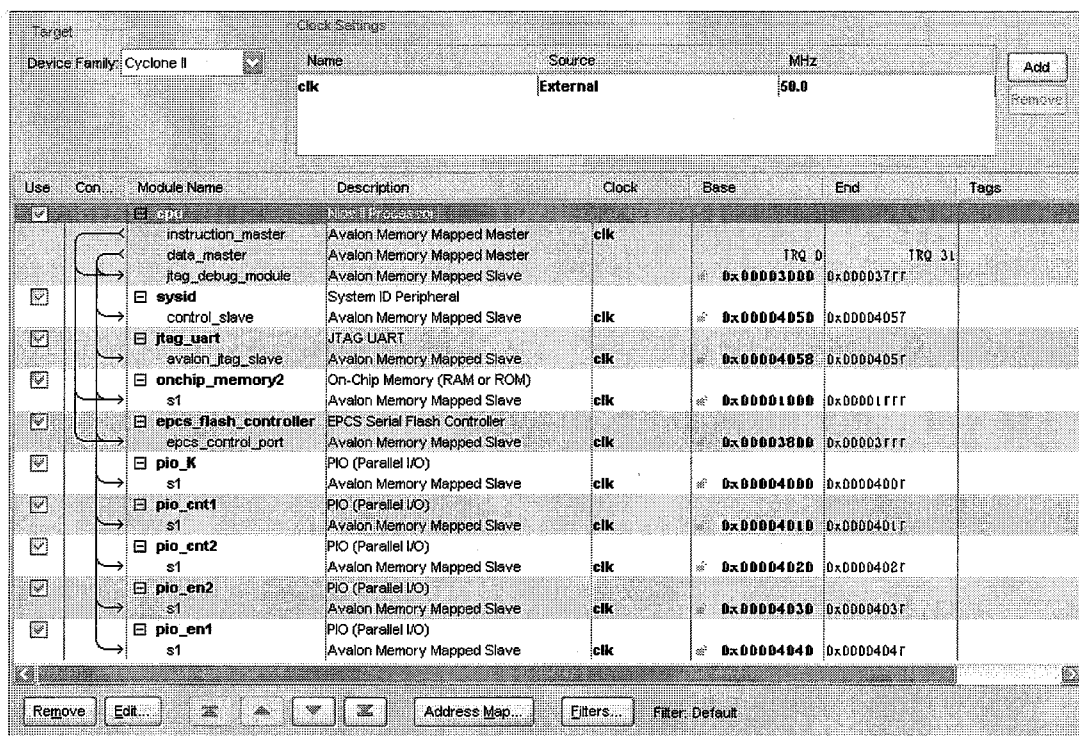


图 3.27 基于 SOPC Builder 平台定制的 CPU

其中, clk 为 CPU 的时钟, 取 50MHz。sysid 即 System ID, 是一种标示符, 类似校验和的东西, 在下载程序之前或者重启之后, 都会对它进行检验, 以防止错误发生。jtag_uart 即 JTAG UART, 是实现 PC 和 Nios II 系统间的串行通信接口, 用于字符的输入输出, 在 Nios II 的开发调试过程中扮演了重要角色。onchip_memory2 为 FPGA 片内 RAM 存储器。epcs_flash_controller 对应 Altera 公司的 EPCS 系列串行 Flash, 其内部存放 FPGA 配置信息, 防止数据掉电丢失。pio_K 输出端口, 对应 DDS 的频率控制字 K。pio_cnt1 和 pio_cnt2 均为输入端口, 对应超前滞后计数器送来的两路待判断数据。pio_en1 和 pio_en2 均为输入端口, 其中 pio_en1 为 1 位输入, 其状态决定系统进入扫频模式还是锁相模式; pio_en2 为 2 位输入, 其状态决定扫频模式中的哪种扫频方式。

该 CPU 的控制流程图如图 3.28 所示, 其控制功能表如表 3.4 所示。

表 3.4 CPU 的控制功能表

en1	en2[1..0]	功能
0	0 0	全速扫频
0	0 1	反向慢速扫频
0	1 0	正向慢速扫频
0	1 1	固定频率
1	x x	锁相

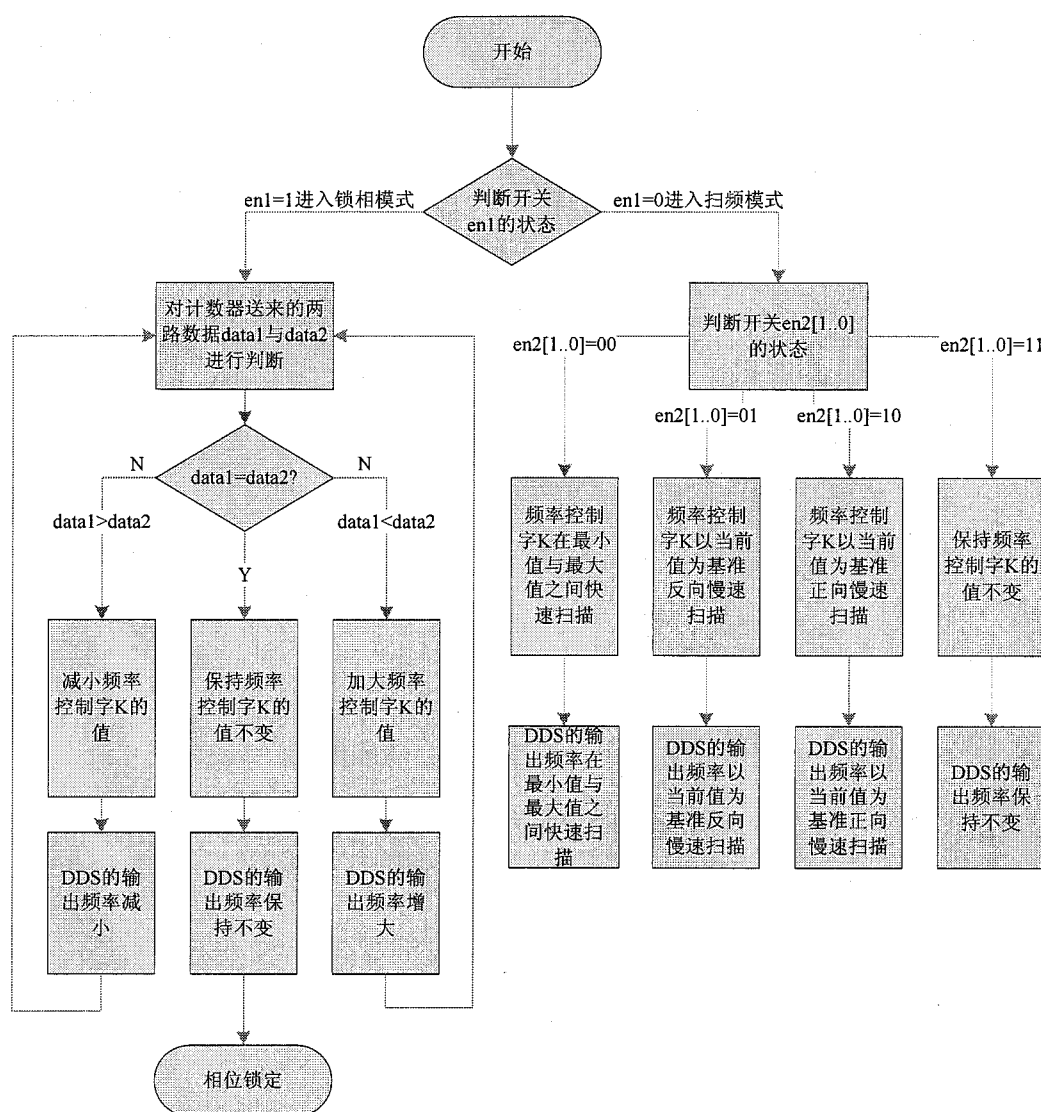


图 3.28 CPU 控制流程图

当开关 $en1$ 为 1 时（高电平），系统进入相位锁定模式。CPU 对超前滞后计数器送来的两路数据 $data1$ 与 $data2$ 进行判定， $dout1$ 为高电平计数， $dout2$ 为低电平计数。当 $dout1=dout2$ 时，说明输入信号 $f1$ 与参考信号 $f2$ 的相位差为 $\frac{\pi}{2}$ ，传感器的驱动频率恰好为谐振频率，此时 CPU 保持频率控制字 K 的值不变，从而保证 DDS 的输出频率不变，也即系统锁定在谐振状态；当 $dout1>dout2$ 时，说明输入信号与输出信号的相位差大于 $\frac{\pi}{2}$ ，传感器的驱动频率大于谐振频率，此时 CPU 减小频率控制字 K 的值，从而使 DDS 的输出频率减小；当 $dout1<dout2$ 时，说明输入信号与输出信号的相位差小于 $\frac{\pi}{2}$ ，传感器的驱动频率小于谐振频率，此时 CPU 加大频率控制字 K 的值从而使 DDS 的输出频率

增大。CPU 不断对超前滞后计数器送来的两路数据进行判断并做出相应的响应，从而最终将输入信号 f_1 与参考信号 f_2 的相位差锁定在 $\frac{\pi}{2}$ 的位置，也即传感器的谐振点。

当开关 $en1$ 为 0 时（低电平），系统进入频率自扫描模式。此时 CPU 不再需要对超前滞后计数器送来的两路数据进行判断。在 CPU 内部，分别设定频率控制字的初始值和终止值，其对应扫描的最小频率值和最大频率值。通过开关 $en2[0]$ 与 $en2[1]$ 的配合，可完成四种扫频模式的自由切换，包括全速扫频，反向慢速扫频，正向慢速扫频，固定频率。当 $en2[1..0]=00$ 时，CPU 控制频率控制字 K 不断地在最小值与最大值之间快速扫描，从而使 DDS 的输出频率在最小值与最大值之间快速扫描；当 $en2[1..0]=01$ 时，CPU 控制频率控制字 K 以当前值为基准反向慢速扫描，从而使 DDS 的输出频率以当前频率为基准反向慢速扫描；当 $en2[1..0]=10$ 时，CPU 控制频率控制字 K 以当前值为基准正向慢速扫描，从而使 DDS 的输出频率以当前值为基准正向慢速扫描；当 $en2[1..0]=11$ 时，CPU 保持频率控制字 K 的值不变，从而使 DDS 的输出频率保持不变。

在接口电路锁相之前，先进行开环频率扫描，可以预先了解传感器的谐振点信息，且其扫频精度、扫频速率、扫频范围等参数均可调节。

CPU 的控制功能基于 Nios II 平台，由 C 语言编程实现。

正如表 3.4 中所示，可以通过 CPU 完成对 DDS 扫频的控制，也可以完成对整个锁相环的锁定控制。将 $en1$ 和 $en2$ 设计为以开关形式作为控制方式，通过 $en1$ 与 $en2$ 的配合工作，可以很好的完成锁相环扫频与锁相的协同工作。

3.4 本章小节

本章是论文的重点，详细介绍了谐振式微悬臂梁传感器闭环接口电路的设计。

1. 介绍了闭环接口电路的整体设计方案，对闭环自激振荡系统的闭环自激条件进行了讨论，给出了基于锁相环的闭环接口电路设计方案。

2. 介绍了闭环接口电路的前级处理电路，对其各个模块进行了详细论述，包括差分放大电路、滤波器、移相器和波形整形电路。

3. 介绍了闭环接口电路的核心——锁相环，该锁相环基于 FPGA 设计，不同于以往的混合锁相环。对该锁相环的各个组成部分进行了详细论述，包括鉴相器、超前滞后计数器、直接数字合成器以及 CPU。此处基于 FPGA 设计的数字锁相环解决了以往混合锁

相环锁定范围受限、关键参数易受环境影响、系统各功能不易集成等诸多问题，为接口电路的智能化打下了良好的基础。

第四章 接口电路与谐振微悬臂梁传感器的联调与测试

4.1 谐振式微悬臂梁传感器

谐振式微悬臂梁传感器为本实验室基于 MEMS 工艺自主制作, 如图 4.1 所示。分别为扫描电镜照片和封装好的实物图^[91]。从扫描电镜照片图 4.1(a)中我们可以清晰地看到热激励电阻和惠斯通电桥。用于生化物质检测的微悬臂梁传感器需要敞开式的封装方法, 以便对外界生化物质进行敏感作用。本文中的器件以 PCB 电路板作封装基底, 如图 4.1(b)所示即为封装好的实物图。

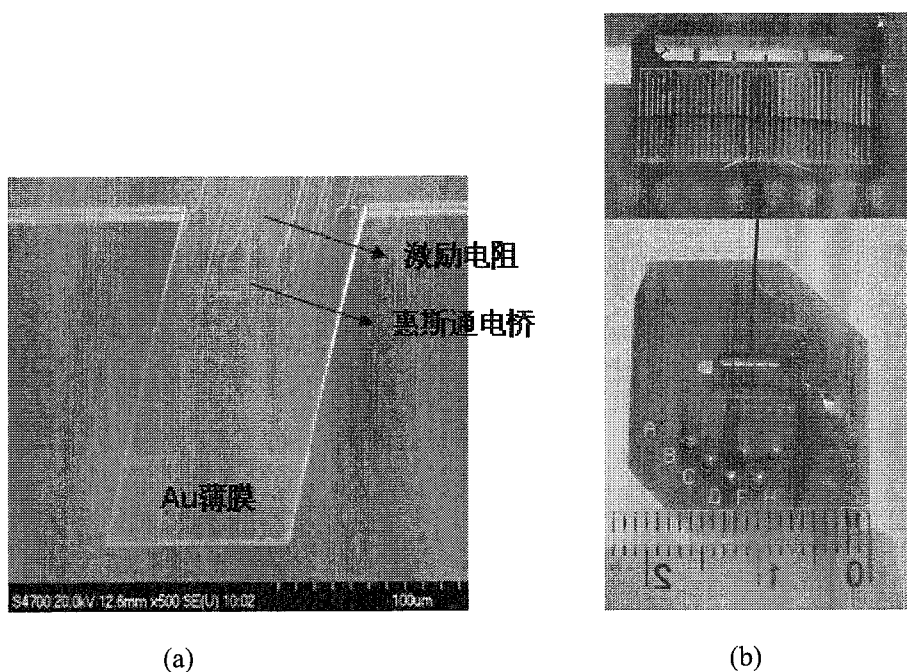


图 4.1 基于 MEMS 工艺的谐振式微悬臂梁

(a)扫描电镜照片 (b)封装好的实物图

4.2 FPGA 资源利用情况

本设计中选用的 FPGA 芯片为 Altera 公司的 Cyclone II 系列。该系列采用 90nm 工艺, 从根本上针对低成本进行设计, 并实现了高性能与低功耗的结合。如表 4.1 所示为 Cyclone II 系列各个型号所含资源情况。

表4.1 Cyclone II系列FPGA特性

Feature	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
LEs	4608	8256	14448	18752	33216	50528	68416
M4K RAM blocks (4Kbits plus 512 parity bits)	26	36	52	52	105	129	250
Total RAM bits	119808	165888	239616	239616	483840	594432	1152000
Embedded multipliers	13	18	26	26	35	86	150
PLLs	2	2	4	4	4	4	4
Maximum user I/O pins	158	182	315	315	475	450	622

从性价比的角度出发, 本设计选取Cyclone II系列中的EP2C8Q208C8。由表4.1可以看到, 其具有8256个LEs, 36个M4K RAM blocks (4Kbits plus 512 parity bits), 同时具有165888bit的RAM, 支持18个Embedded multipliers和2个PLL, 资源配置十分丰富。配置芯片采用4Mbit的EPCS4N^[92], 可以存储配置信息和Nios II的软件程序, 防止掉电丢失。晶振采用50MHz有源晶振。

Flow Status	Successful - Mon Mar 19 11:47:48 2012
Quartus II Version	9.0 Build 132 02/25/2009 SJ Full Version
Revision Name	dds_pll
Top-level Entity Name	dds_pll
Family	Cyclone II
Device	EP2C8Q208C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	2,535 / 8,256 (31 %)
Total combinational functions	2,264 / 8,256 (27 %)
Dedicated logic registers	1,556 / 8,256 (19 %)
Total registers	1556
Total pins	20 / 138 (14 %)
Total virtual pins	0
Total memory bits	131,328 / 165,888 (79 %)
Embedded Multiplier 9-bit elements	4 / 36 (11 %)
Total PLLs	0 / 2 (0 %)

图 4.2 FPGA 的资源利用情况

将所有在 FPGA 内部实现的电路部分编译之后，可以查看整个设计所占用的资源，如图 4.2 所示。由资源利用情况可以看到，本设计仅利用了芯片总逻辑单元的 31% 左右，这样就为后续电路功能的改进提供了余量。

4.3 开环测试

开环测试的实现方法就是在保持激励信号幅值不变的前提下，给定一频率区间，在此区间内使激励信号从低频向高频以足够小的间隔扫描，以测定该频率段的输出振动信号幅值和相位相应。

在对谐振式传感器进行开环测试时，一般不需要复杂的接口电路来支持，只需通过分析传感器输出的频率—幅值响应曲线就能得到我们想要的有关谐振器件的一些基本特征参数，比如谐振频率、Q 值等。这些参数都可以直接通过网络分析仪得出。测试方案如图 4.3 所示。

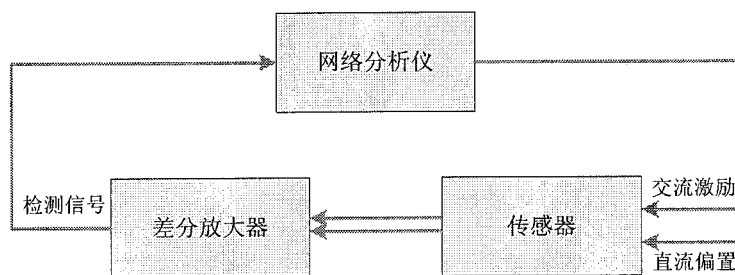


图 4.3 开环测试系统框图

将网络分析仪输出的交变电压叠加一个直流电压输入悬臂梁的驱动电阻，由悬臂梁固定端处的压阻惠斯通电桥检测悬臂梁的弯曲振动，振动信号经 AD620 放大后，输入网络分析仪。开环测试的结果如图 4.4 所示。可以看到，悬臂梁的谐振频率约为 83.82 kHz，Q 值约为 363.01。

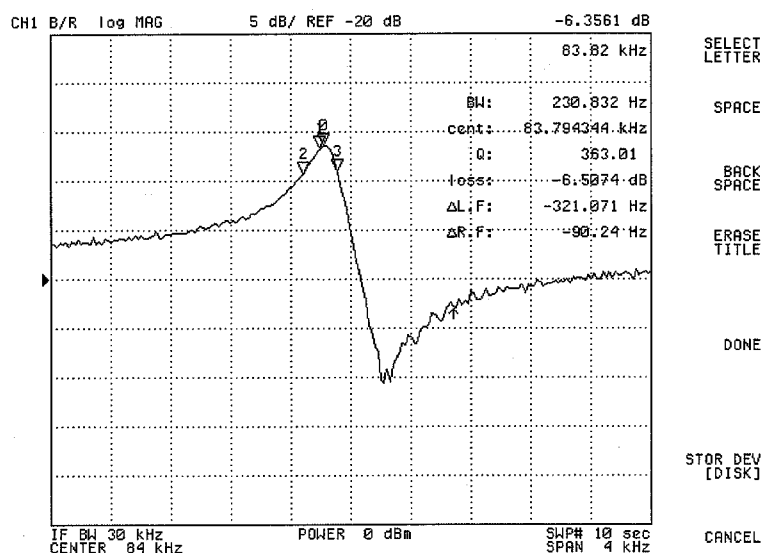


图 4.4 悬臂梁开环测试的幅值响应

4.4 闭环测试

开环测试是闭环检测的基础，其能够测定谐振梁的品质因数和谐振频率等基本特性。但开环检测无法实现实时跟踪频率变化，而且检测精度也有限，因此当传感器在实际应用时，都是通过闭环的方式实现检测的。

闭环测试是通过一个正反馈网络将传感器的输出信号反馈到激励端，调整闭环电路的幅值及相位平衡条件，实现传感器在其谐振频率上的连续恒幅自激振荡。对于用于生化检测的谐振式传感器来说，每进行一次生化修饰或反应都会改变悬臂梁的质量从而使得它的谐振频率发生变化，可以通过闭环检测方便的测定每次反应中结合到悬臂梁上的质量。

用网络分析仪对悬臂梁闭环系统进行扫频，测定其闭环幅值响应如图4.5所示。由幅值响应可以看到，悬臂梁开环和闭环检测的谐振频率基本相同，两者之间存在一定的差别主要是由开环检测和闭环检测系统间的误差，因在生化检测中对我们有用的信息是谐振频率的变化值而非绝对值，所以这个差别并不影响检测工作。但是闭环时谐振梁的Q值约为1320.8，要远高于开环Q值，这是因为闭环下谐振梁的能量损耗通过反馈电路得到了很好的补给。

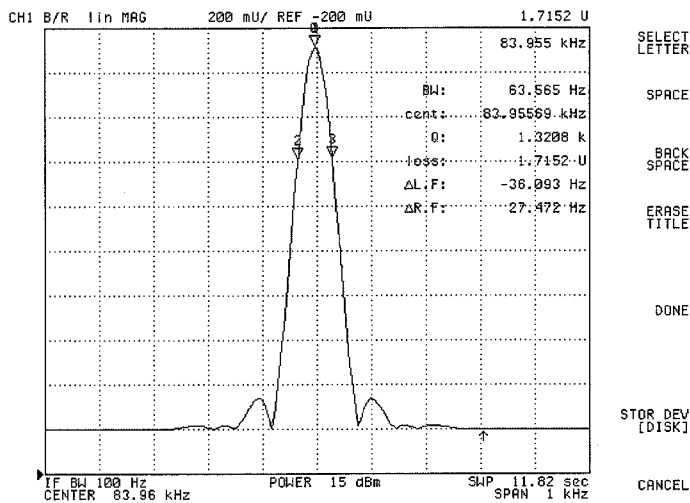


图 4.5 悬臂梁闭环测试的幅值响应

当然此处的闭环 Q 值还有另一层含义，其表示的是振动频率在谐振点处的几率大小。 Q 值越大，表明振动频率在谐振点处的几率越大，也即频率稳定性越好； Q 值越小，表明振动频率在谐振点处的几率越小，也即频率稳定性越差。

图 4.6 所示即为本文设计的闭环测试系统实物图。其中传感器为实验室自制的基于 MEMS 工艺的谐振式微悬臂梁生化传感器。接口电路分两层，上层为模拟部分，包括电源稳压、放大、滤波、移相、整形、数模转换；下层为数字部分，包括 FPGA 芯片及其配置电路。

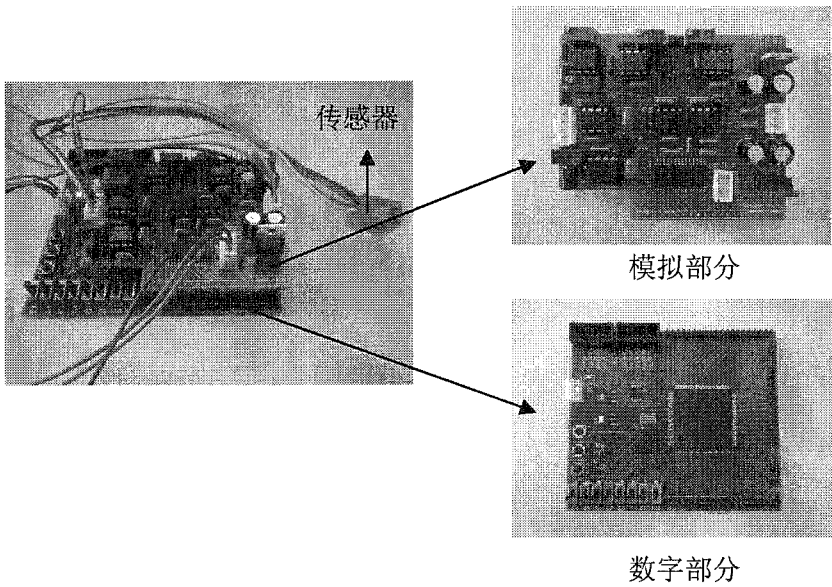


图 4.6 闭环测试系统实物图

将传感器和接口电路组成闭环自激振荡系统，通过开关 en1 与 en2 的控制，可以使系统自动锁定到谐振状态。当系统跟踪的谐振点时，测量其输入输出波形如图 4.7 所示：

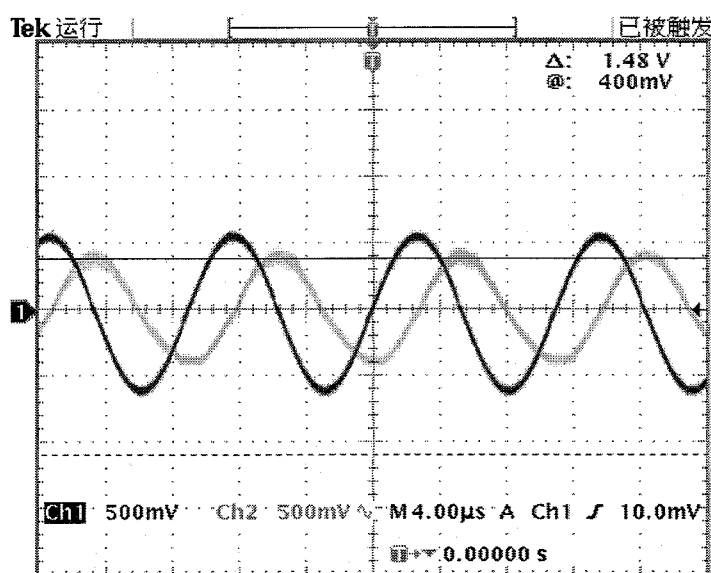
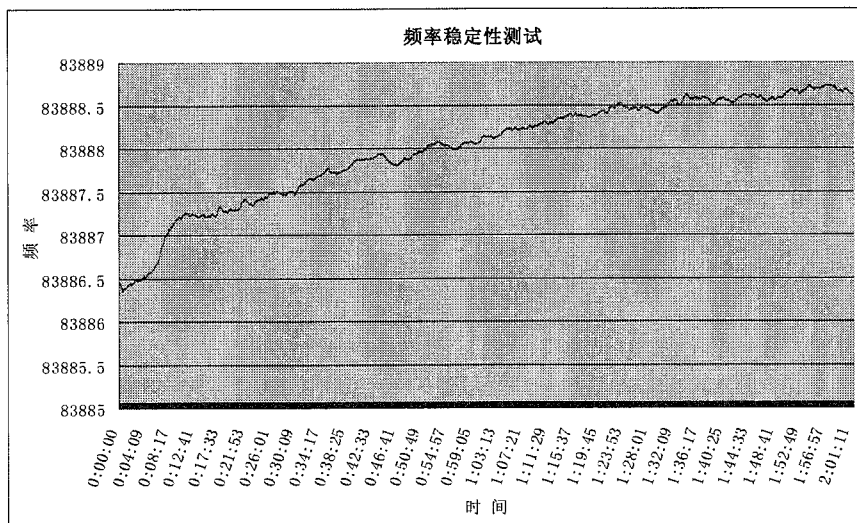


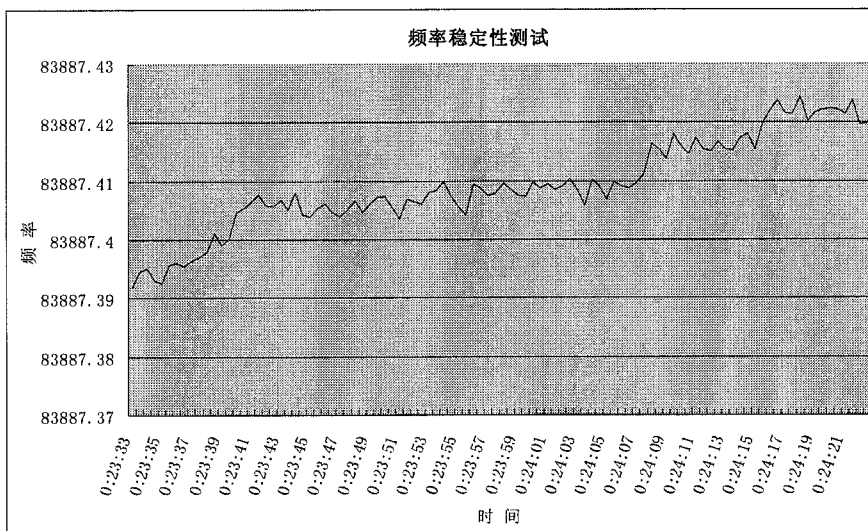
图 4.7 传感器输入与输出信号的波形

其中 Ch1 为图 3.2 中 f_{out} 的波形，也即输入信号的波形，Ch2 为图 3.2 中移相之后的波形，也即输出信号的波形（因为信号在传输的过程中会产生延迟，经过滤波器也会产生相移，此处需要移相器对相位进行补偿调整，使系统严格满足闭环自激振荡的相位条件，因而此处测量的也是移相之后的波形）。通过观察图中两信号的相位，可以发现当处于谐振状态时，两者保持 $\frac{\pi}{2}$ 的固定相位差。

取一谐振频率大概在 100kHz 左右的传感器器件，连续记录约 2 个小时闭环系统的工作频率，读出频率值的分布情况如图 4.8(a)所示，谐振频率大概在 83.887kHz 左右。频率发生 2~3Hz 的偏移是由器件本身的漂移引起的。随机抽取 100 个点，如图 4.8(b)所示，可以看到频率在趋势线上线下的波动范围在 0.01Hz 左右，相较于以往采用模拟锁相环时 0.05Hz 左右的波动范围，有了很大提高。



(a)



(b)

图 4.8 闭环系统频率稳定性测试结果 (100kHz)

同样的方法，取一谐振频率大概在 500kHz 左右的传感器器件，连续记录约一个小时闭环系统的工作频率，读出频率值分布如图 4.9 所示，谐振频率大概在 539.360kHz 左右。对两组传感器进行的测试结果表明，在不改变硬件设计的前提下，该接口电路系统对具有不同谐振参数的传感器均可以自动扫频寻找谐振点并锁定。

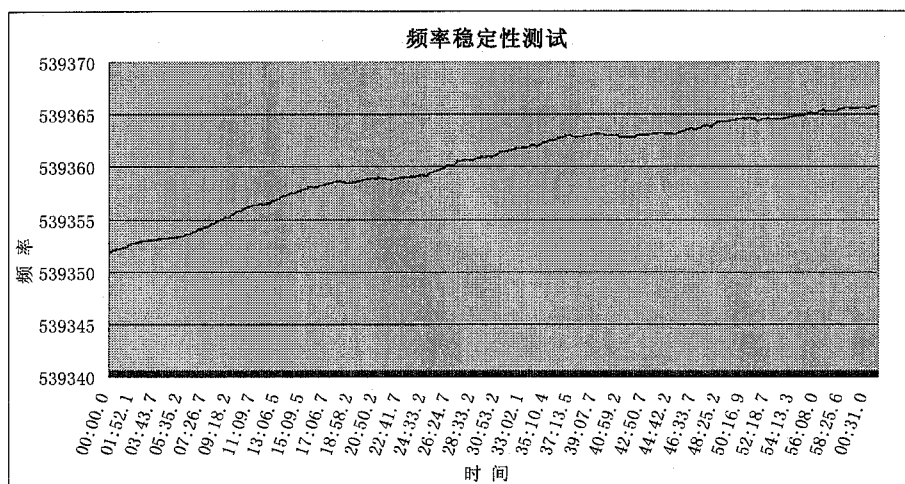


图 4.9 频率稳定性测试结果 (500kHz)

通过外部开关的控制, 将系统由锁相模式切换到如表 3.4 所示扫频模式中的固定频率输出状态, 则此时驱动悬臂梁传感器的输入信号为一固定频率信号。理论上传感器的输出信号与输入信号 (也即驱动信号) 频率完全相同, 但实际上输出信号的频率读出结果如图 4.10 所示。可以看到频率读出系统存在一定的基底噪声, 其噪声范围约为 $\pm 0.01\text{Hz}$ 。也就是说, 实际上并不需要一味地提高数字锁相环的频率精度, 当精度达到 0.01Hz 左右时, 再提高精度已经没有什么实际意义了。

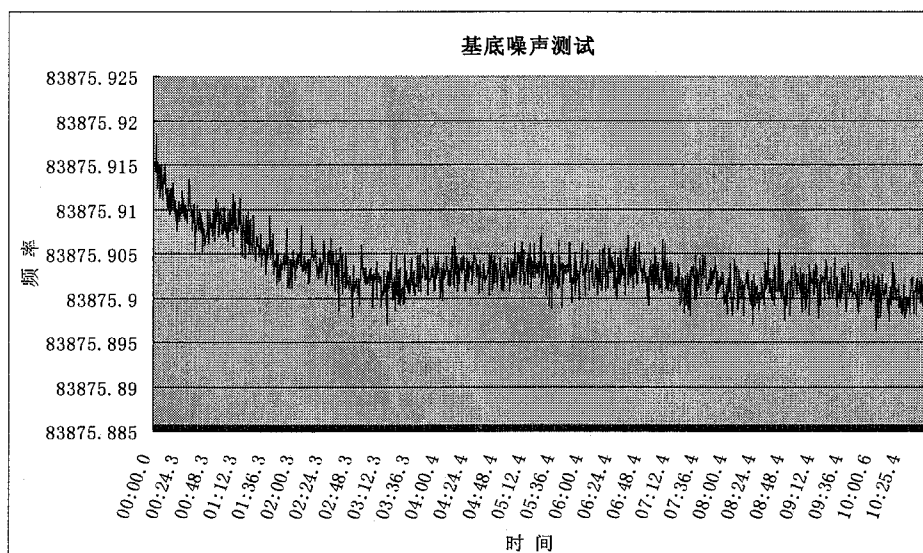


图 4.10 系统基底噪声

4.5 本章小结

本章主要利用第三章所设计的接口电路对实验室自制的微悬臂梁生化传感器进行了测试。

1. 将所有在 FPGA 内部实现的电路设计编译之后,可见其资源利用率在 31%左右,为后续功能的改进提供了余量。

2. 借助于网络分析仪对谐振式微悬臂梁传感器进行了开环测试。

3. 给出了闭环测试系统的实物图,并对谐振式微悬臂梁传感器进行了闭环测试。

由测试结果可以看出,传感器输入信号与输出信号被锁定在 $\frac{\pi}{2}$ 的固定相位差,频率波动范围大概在 0.01Hz 左右,相较于以往有了很大提高。

第五章 总结与展望

谐振式微悬臂梁生化传感器具有灵敏度高、体积小、敏感响应快、易于实现阵列式集成等优点,在生化痕量检测领域具有广阔应用前景。本文主要针对实验室自制的采用电阻热激励、压阻检测的谐振式微悬臂梁传感器,设计了闭环接口电路。将传感器与接口电路组成闭环自激振荡系统,实现了传感器的自驱动和自检测,并分别进行了开环测试和闭环测试。

要实现微悬臂梁传感器谐振频率的实时检测和跟踪,简化测量操作,提高测量精度,必须采用闭环工作,将悬臂梁传感器和接口电路组成一个闭环振荡系统。接口电路通过对传感器输出信号放大滤波,并产生一定的延迟以满足闭环自激的幅度和相位条件,保证闭环振荡系统上电后能自激工作。本论文所设计的闭环接口电路以锁相环作为反馈回路,相应地接口电路分为前级处理电路和锁相环控制电路。前级处理电路主要由差分放大器、带增益的滤波器、移相器和波形整形电路组成,完成传感器输出信号的放大、滤波、相位调整和波形变换功能。以锁相环作为反馈回路,在回路中利用回执信号,将输出端的信号频率及相位,锁定在输入端参考频率及相位上。

针对以往采用混合锁相环作为反馈回路时锁定范围受限、关键参数易受环境影响、系统各功能不易集成等诸多问题,设计了基于 FPGA 的数字锁相环。该数字锁相环由鉴相器、超前滞后计数器、CPU、直接数字合成器以及波形整形电路构成。其中鉴相器、超前滞后计数器、CPU 以及直接数字合成器中除去数模转换和滤波部分均在 FPGA 内部完成,很好的利用了数字电路对外界环境不敏感的优势。借助于 FPGA 的在线可编程的特点,使得锁相环的精度、锁定速度等参数均可通过编程调节,不需要更改硬件电路设计。如果接口电路需要后续功能的改进和提高的话,只需要响应的修改程序就可以了,为接口电路的智能化发展奠定了基础。

文章最后给出了谐振式微悬臂梁传感器的测试结果。分析测试结果可以看出,由接口电路和传感器组成的接口电路系统可以很好的维持在闭环自激状态,锁相环可以很好的将输入信号与参考信号锁定在 $\frac{\pi}{2}$ 的相位差。接口电路的扫频精度、扫频速度以及锁相环的精度、锁定速度都可以自由调节。当处于锁定状态时,频率在趋势线上线下的波动范围在 0.01Hz 左右,相较于以往采用混合锁相环时 0.05Hz 左右的波动范围,有了很大提高。

今后的工作中，从接口电路的角度来讲，应该至少还有两方面需要改进的地方：

1. 将等精度频率计嵌入到 FPGA 设计中。因为最终需要将接口电路与传感器集成到一起，做成方便易用的手持式设备来进行生化检测，从而实现产业化。由 FPGA 的编译结果可以看到，基于本论文的全部设计仅占用了 31% 的资源，因而再将频率计嵌入 FPGA，应该是绰绰有余的。而基于 FPGA 设计的等精度频率计将比基于单片机的方案精度更高。当然，类似的也可以将更多的功能集成到本设计中。

2. 今后可能会设计出更高谐振频率的微悬臂梁传感器，譬如几兆赫兹。这对于 FPGA 内部的设计来说没有任何问题，但基于本文设计的接口电路的前级处理电路已经不能满足要求。因为不论差分放大器还是运算放大器都会受到增益带宽积的限制，且比较器也有最高频率限制。当频率达到几兆赫兹时，就不能再选用本文中所用的 AD620、OP37、LM311 等芯片，而需要相应的选择适合高频特性的芯片。