

密级:_____



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

埋入式三维系统级封装关键技术研究

作者姓名: _____ 谢慧琴

指导教师: _____ 万里兮 研究员 中科院微电子研究所

_____ 曹立强 研究员 中科院微电子研究所

学位类别: _____ 工学硕士

学科专业: _____ 微电子学与固体电子学

研究所: _____ 中国科学院微电子研究所

2014 年 5 月

Research on key technologies in embedded 3D system packaging

By

Xie Huiqin

**A Dissertation Submitted to
The University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Master of Electronics and Communication Engineering**

Institute of Microelectronics of Chinese Academy of Sciences

May, 2014

中国科学院大学直属院系

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名： 谢慧琴
日 期： 2014.5.30

中国科学院大学直属院系

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密的学位论文在解密后适用本声明。

作者签名： 谢慧琴
日 期： 2014.5.30

导师签名： 万思全
日 期： 2014.5.30

摘要

随着电子产品的集成度不断提高，微电子封装技术进入了一个新发展阶段。其中，三维封装技术和埋入技术是目前封装发展的两个重要方向。埋入技术和三维封装技术都可以满足小型化、高速互连、高可靠性等封装要求，综合使用这两项技术有望使系统性能得到进一步优化。

本论文主要研究埋入三维系统级封装的关键技术，以一个实际的多芯片系统的封装设计为背景，设计采用了埋入堆叠芯片的封装结构来实现封装的超小型化。论文主要包括应力可靠性、电学设计、工艺实现和测试设计四个部分。一、对埋入堆叠芯片的封装结构进行了应力可靠性分析，验证了非对称结构的可行性；二、阐述了此封装结构的电学设计过程，研究发现键合线为影响封装结构电学性能的关键结构，在此基础上设计了一种改善电学传输特性的优化结构；三、介绍了括高精度 Cavity 基板的结构设计规则、制作流程和封装样品的微组装工艺步骤流程，验证了该封装结构的可实现性，并对最终的 Cavity 基板的成品率进行了分析。四、设计了一款功能转接板的设计和一款无源链路测试转接板，成功测试了封装样品基板内层从金手指焊盘到焊球的 S 参数。

关键词：埋入；三维封装；堆叠芯片；Cavity 基板

Abstract

As microsystems continue to move toward higher integration density, plenty of new concepts in the field of packaging have been proposed. Among these concepts, 3D packaging and embedding technologies are gaining more attention because they can meet the packaging requirements of miniaturization, high speed interconnection and high reliability. With the combining of these two technologies, system performance would be much better than before.

This thesis studies key technologies involved in embedded 3D system packaging. The research is based on the product development of a multi-chip system adopting embedded die-stack technique to achieve packaging ultra-minituration . There are four main parts of this theesis, which are stress analysis, electric design, manufacturing and testing. Firstly, the mechanical analysis is performed to prove the feasibility of asymmetric package structure. Secondly, the process of electric design is described to identify bonding wires are the critical factor which affects signal quality. A new package structure is proposed to optimize the electrical performance. Thirdly, design rules, fabricating process, and assembling process of the packaging product are introduced respectively, verifying the manufacturability of high-precision cavity. Meanwhile, the yield of products is analyzed. Finally, two test boards respectively used for redistribution of bump and S parameters measurement are fabricated.

Keywords: Embedding; 3D packaging ; die stack; Cavity substrate

目 录

摘 要	I
ABSTRACT	III
目录	V
第一章 绪论	1
1.1 课题研究背景	1
1.2 国内外研究现状	3
1.3 本文的主要研究内容	6
第二章 埋入三维封装的关键工艺	7
2.1 三维封装	7
2.1.1 PoP /TSV 技术	7
2.1.2 堆叠芯片技术	8
2.2 埋入技术	10
2.2.1 芯片先置型埋入技术	10
2.2.2 芯片后置型埋入技术	12
第三章 埋入三维封装产品的 DFX 设计	15
3.1 封装 DFX 设计的流程	15
3.2 封装对象和封装结构设计	15
3.3 封装结构的结构 DFR 设计	18
3.3.1 封装结构材料属性	18
3.3.2 Molding 厚度对基板翘曲的影响	19
3.3.3 基板厚度对基板翘曲的影响	21
3.4 版图设计	23
3.4.1 BGA 分布设计	24
3.4.2 芯片旋转	25
3.4.3 键合线 Profile	26
3.4.4 堆叠芯片	26

3.4.5	线宽参数设计.....	27
3.4.6	过孔参数设计.....	29
3.5	信号完整性分析.....	31
3.5.1	叠层设计.....	31
3.5.2	隔离度分析.....	32
3.5.3	全链路仿真方案.....	35
3.5.4	埋入堆叠芯片结构的软件兼容性.....	36
3.5.5	键合线的 S 参数.....	38
3.5.6	典型信号线的 S 参数.....	40
3.5.7	埋入堆叠芯片的全链路仿真.....	42
3.6	封装结构的电源完整性分析.....	45
3.6.1	谐振模式分析.....	45
3.6.2	扫频分析.....	47
3.7	优化设计.....	47
第四章	埋入三维封装产品的制作和测试.....	51
4.1	高精度 CAVITY 基板制作.....	51
4.1.1	Cavity 基板的结构设计.....	51
4.1.2	Cavity 基板的制作流程.....	52
4.1.3	Cavity 基板的样品分析.....	55
4.2	封装样品的微组装.....	57
4.2.1	倒装芯片.....	57
4.2.2	堆叠芯片的粘接.....	59
4.2.3	堆叠芯片的引线键合.....	59
4.2.4	表贴元件.....	61
4.2.5	植球和点胶.....	62
4.3	埋入三维封装系统的测试.....	64
4.3.1	一款功能转接板设计.....	64
4.3.2	一款无源链路测试转接板设计.....	65

第五章 总结与展望	69
5.1 本论文的主要工作	69
5.2 未来工作展望	70
参考文献.....	71
致谢	75
攻读硕士学位期间发表（或录用）的论文及专利.....	77

第一章 绪论

1.1 课题研究背景

随着 22nm 芯片实现量产, 14nm 及以下的芯片面临漏电流、可靠性、工艺制作成本高昂等重重挑战^[1], 集成电路技术的工艺节点已经接近其物理极限, 仅仅依靠光刻尺寸的减小已经不能满足微电子技术发展的需求^[2]。对于未来集成电路的发展方向, 系统级芯片 (System on Chip, SOC) 和系统级封装 (System in Package, SIP) 是目前微电子行业讨论的热点话题^[3]。SOC 强调的是在同一块芯片上整体实现 CPU、DSP、数字电路、模拟电路、存储器等各种电路, 综合实现数据交换、数据处理、图像处理、语音处理、通信等功能。SIP 强调的是将两个以上的具有不同功能的有源器件、若干分离无源器件以及微机电系统或光电器件集成为一个能实现系统功能的具有标准封装外形的模块^[4]。

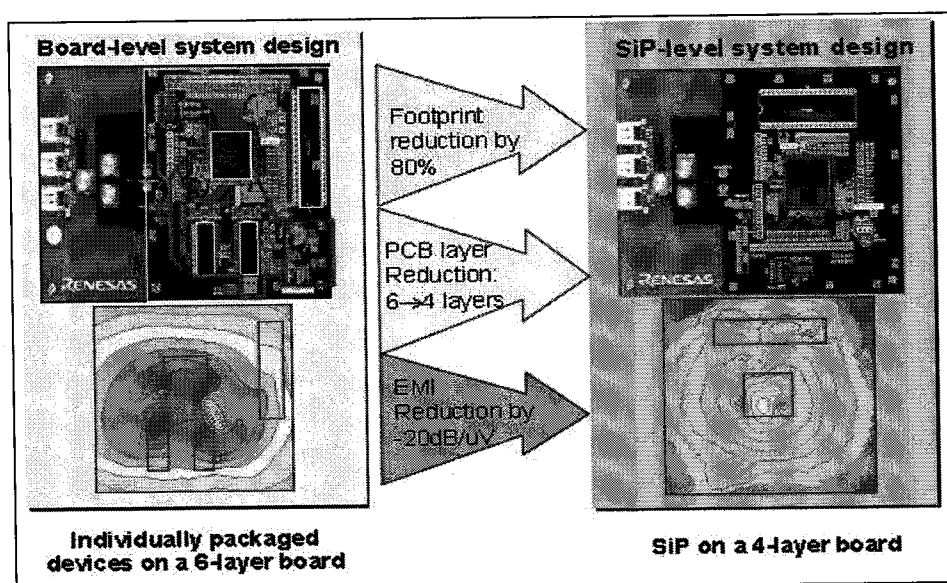


图 1.1 SIP 技术和传统板级技术设计的产品对比

2009 年国际半导体技术发展路线组织 (International Technology Roadmap for Semiconductor, ITRS) 从市场和成本、技术上的优点、技术上的限制三个方面将 SOC 和 SIP 技术进行了详细的比较^[5]。SIP 技术主要优点是兼容多种 IC 工艺的优势, 容易实现不同模块的复用和集成, 有源无源器件的埋入, 减小噪声串扰, 同时也具有缩短研发周期和高良品率的优势。ITRS 特别指出了 SIP 技术在移动消费类电子产品中有着巨大前景。2011 年 ITRS 对比了使用 SIP 技术和传统板级系统技术设计的产品^[6], 如图 1.1。SIP 技术设计将产品的面积减小了 40%, 并将 6

层板减小为 4 层板，且很好地控制了电磁辐射（Electromagnetic Interference, EMI），SIP 技术在系统设计中的优势非常明显。2012 年 ITRS 指出要进一步发展 SIP 技术，如 TSV、TGV、3D SIP、MEMS、RF、光电器件的集成等。由此可见 SIP 技术是未来微电子发展的重要方向^[7]。

图 1.2 说明了 SIP 的主要技术手段，分为二维封装（Horizontal），堆叠封装（Stacked）和埋入（Embedded）三部分。其中，堆叠封装是一种三维封装技术，强调封装在垂直方向的集成，它包括芯片堆叠（Stacked Die）、封装堆叠（Package on Package, POP）、硅通孔（Through Silicon Via, TSV）等。埋入技术可以按照埋入元器件的类型分为埋入有源器件和埋入无源器件，埋入有源器件又可按照器件埋入的方式分为芯片先置型和芯片后置型^[8]。

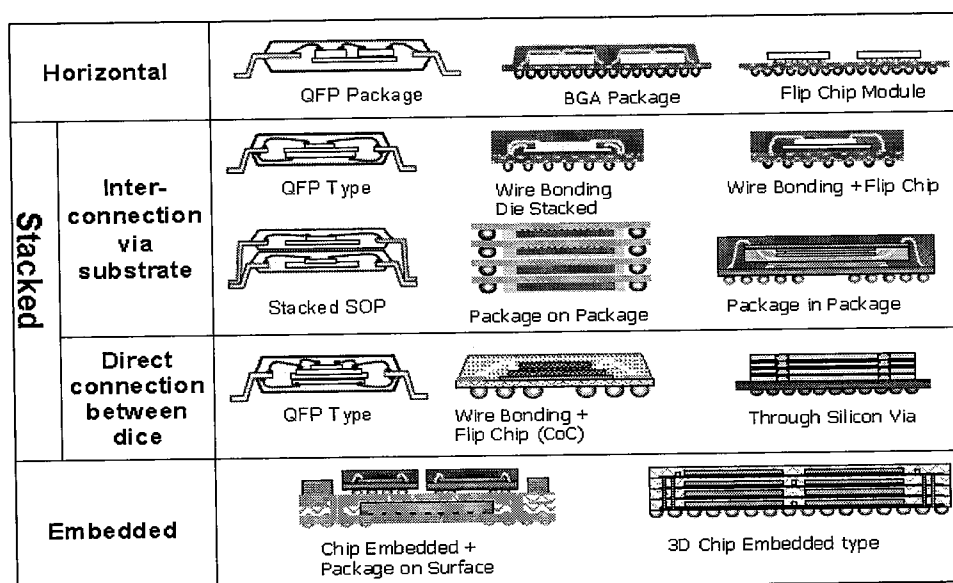


图 1.2 SIP 的主要技术手段

三维封装能大大减小封装的尺寸和重量^[9]，非常符合移动消费类电子产品轻薄小的需求，所以，三维封装被广泛的应用于移动电子产品中^[10]。埋入技术是近几年学术界和产业界的热门话题，它是实现封装薄型化的重要技术^[11]。芯片后置型埋入技术是射频封装中常用技术，常用于军用电子和航天电子产品的封装中。

埋入技术和三维封装技术都可以显著地实现小型化、高速互连、高可靠性的封装要求^[12-14]，在封装中都具有非常巨大的应用前景^[15]。但埋入技术和三维封装并不是等同的概念，工艺、研究内容和设计理念都有一定的差异，所以，公司、研究机构、高校等封装设计者一般只研究其中一种技术，鲜有提及这两种技术同时使用。但是，笔者认为，三维封装在减小封装面积的效果更显著，而埋入更直

接的成效是使封装薄型化, 综合使用这两项技术将使小型化的成效更为显著, 系统性能将会更优化。三维封装中的一部分技术产业化成果显著^[16], 工艺发展非常成熟, 与埋入技术的结合是完全有可能的。随着高密度封装的进一步发展, 埋入技术和三维封装技术结合将会是一个很好的解决方案。所以, 本论文将重点研究埋入式三维封装系统的关键技术。

1.2 国内外研究现状

早在 1998 年 Sharp, Hitachi, Mitsubishi, 和 Intel 就共同推出了 FLASH 和 SRAM 堆叠的说明, 并将此技术用于大规模量产的手机, 这是最早期的三维封装技术的大规模产业化^[17]。此后, 随着半导体器件和系统的持续发展, 芯片堆叠技术不断被改良。埋入式封装技术兴起相对较晚, 但随着近年来薄型化封装的发展和电源分布网络对高频去耦电容的需求, 埋入式技术已引起越来越多的关注。表 1.1 列出了研究三维封装和埋入技术的知名半导体公司、科研机构 and 大学。值得一提的是, 这些研究结构多单独研究三维封装或者埋入技术, 并不同时研究两项技术结合使用的关键问题^[18-20]。

表 1.1 各地区封装技术主要研究单位

地区	主要研究单位
美国	IBM、Intel、AMD、Freescall、PRC、Amkor、SEMATEC、SRC、Georgia Institute of Technology、Duke University
欧洲	Infineon、STMicroelectronics、Fraunhofer IZM、Delft University of Technology
亚洲	Samsung、Sharp、ASE、Spil、IME、UTAC、Industrial Technology Research Institute、Siliconware Precision、Kaist
国内	中科院微电子所、清华大学、上海交通大学、西安电子科技大学、江阴长电、天水华天、南通富士通

目前, 堆叠芯片技术发展非常成熟, 采用该技术的产品众多。绝大多数的手机的生产使用 FLASH 和 SRAM 存储器堆叠, 数字基带处理器与其它附加功能芯片堆叠, 如 MP3 解码和 GPS 处理等, 堆叠芯片的个数倾向于 3 个或者 4 个^[21]。图 1.3 为 3D plus 公司推出的产品^[22], 包括 3 个 SRAM 芯片堆叠的小外形封装和 4 个堆栈 (水平分布) 10 个 SDRAM 芯片垂直堆叠 J 型引线的陶瓷封装。

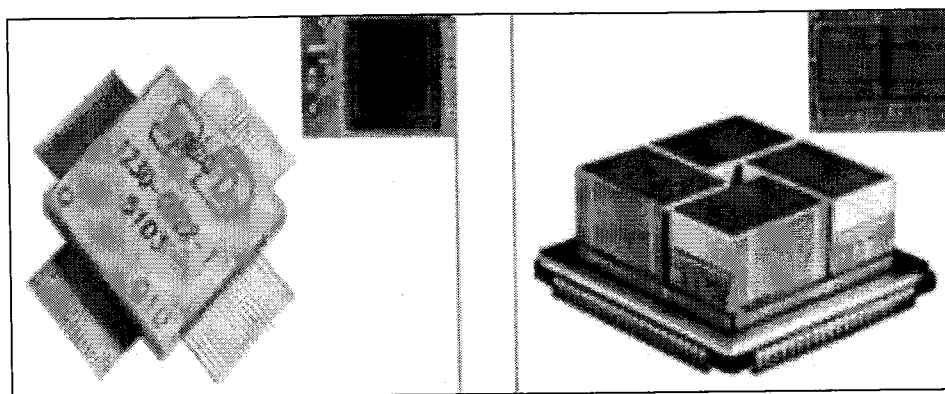


图 1.3 3D plus 公司的采用堆叠芯片封装技术产品

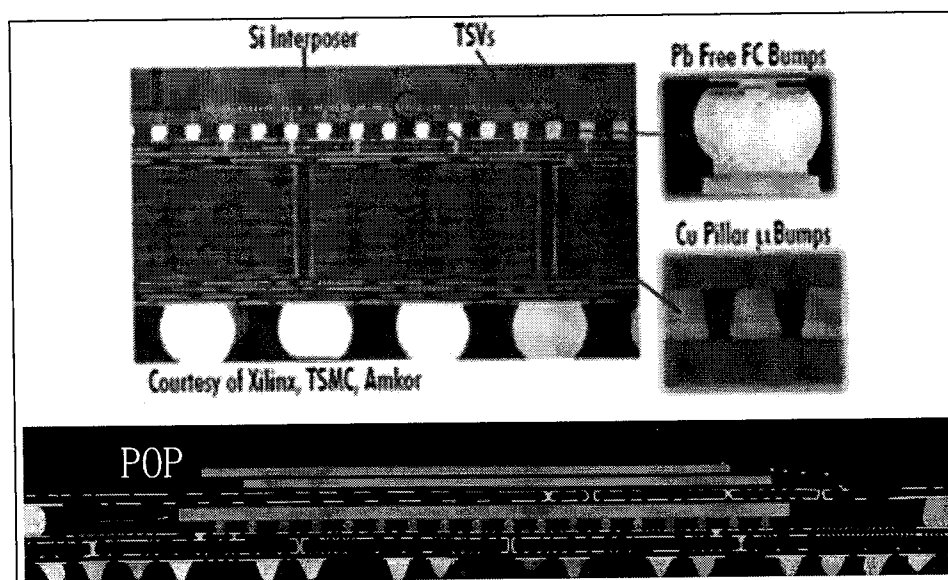


图 1.4 TSV/PoP 封装的剖面图

近年来,随着微电子封装对更高密度集成的需求进一步提高, POP 技术被越来越多的应用于高端移动终端的产品^[23]。相比较堆叠芯片封装, POP 技术灵活性更强,不同的封装可以单独检测,并且 POP 技术不同封装之间的隔离度较高。最新 TSV(Through Silicon Via)技术,是利用无源的硅基转接板,将互连扩展到更宽的间距或者是在多个芯片间的形成互连硅基转接板,实现芯片的三维堆叠^[24]。目前,这种技术并没有实现大规模产业化。赛灵思与台积电合作推出了一款基于 TSV 技术的 FPGA 产品^[25]。这种产品采用的是 65 纳米制作工艺,硅基转接板厚度为 100 μm ,正面微凸点的间距为 45 μm ,硅通孔的直径为 10 μm ,背面凸点 C4 的间距仅为 180 μm 。图 1.4 为 TSV 和 PoP 封装的剖面图,其中 TSV 为 Amkor 公司产品, PoP 为苹果公司产品。

埋入技术的产业化程度不如堆叠芯片技术高,但随着这项技术受到越来越多的重视,研究成果颇丰。由美国乔治亚理工大学系统级封装研究中心 PRC

(Package Research Center) 发起的全球公司-研究机构联盟 EMAP(Embedded Actives and Passives Research Consortium)主要研究使用埋入有源和无源技术实现 1-110GHz 的混合信号系统的超小型化封装^[26], 研究方向包括电学设计、热管理、机械应力等。PRC 的 Nithya Sankaran 等人研究了埋入芯片-封装的电磁耦合机制^[27], 包括通过封装的电磁激励、电磁波在介质中的传播, Cavity 中的电磁场的垂直辐射和通过芯片焊盘的耦合。根据该联盟新加坡 A*STAR (Agency for Science, Technology and Research)的研究发现, 埋入填充材料, 芯片的厚度、位置、形状, 焊球等都会影响封装中的应力分布, 但填充材料的 CTE 是影响应力分布的最关键因素^[28]。

图 1.5 为乔治亚理工大学设计的高性能 Cavity 基板^[29], 该基板成功埋入了包含 1000 个管脚的测试芯片, 芯片管脚间距为 $100\mu\text{m}$ 。基板 Cavity 底部焊盘直径为 $40\mu\text{m}$, 焊盘间距为 $100\mu\text{m}$, 线宽为 $12\mu\text{m}$ 。

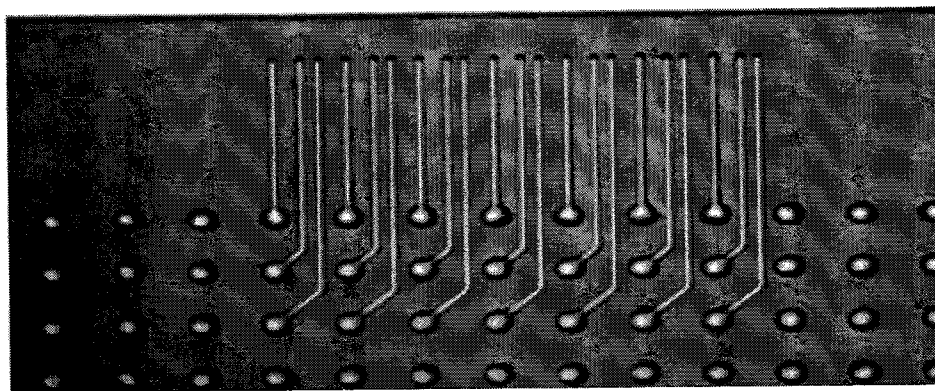


图 1.5 一款高性能埋入式 Cavity 基板

中国科学院微电子所系统封装技术研究室设计了一种将有源芯片埋入到有机基板的板级封装模块结构, 找到了该模块的最大应力点, 并优化了工艺设计。该研究室还在基板内以阵列形式共埋入 4 万个电容器^[11]。国内很多公司对三维封装技术和工艺做了深入的研究, 如中芯国际、南通富士通、天水华天、江阴长电等^[30-31]。其中, 堆叠芯片技术工艺最为成熟, POP 封装和 TSV 技术尚处于起步阶段。基于堆叠芯片技术的三维封装产品已经问世, 如江阴长电的 8 芯片堆叠的内存颗粒, 但目前还没有基于 TSV、POP 技术的相关产品问世^[32]。

1.3 本文的主要研究内容

本论文主要研究埋入三维系统级封装的关键技术，研究内容主要集中在以下 5 个方面：

第一，封装的相关工艺调研，主要是埋入技术和堆叠芯片技术。堆叠芯片技术是大规模生产中使用最广泛的三维封装技术，发展最为成熟，其与埋入技术结合的可能性最高，所以本论文将重点调研堆叠芯片技术的相关工艺。

第二，封装结构的应力可靠性分析，主要分析引起 Cavity 基板翘曲的因素，验证此非对称封装结构的可行性；

第三，封装结构的电学设计。电学设计包括版图设计、信号完整性仿真和电源完整性仿真。为改善封装结构链路的电学传输特性，本文设计了一种优化结构；

第四，埋入三维封装产品的制作，包括高精度 Cavity 基板的结构设计规则和制作流程和封装样品的微组装工艺步骤流程介绍，验证该封装产品的工艺的可行性；

第五，埋入三维封装产品的测试。可测试性设计包括两方面的内容，一个是一款功能转接板的设计，另一个是基板无源链路测试转接板设计。前者将应用于封装样品的功能测试，后者用于测试封装样品从金手指焊盘到 BGA 焊球的 S 参数。

第二章 埋入三维封装的关键工艺

2.1 三维封装

近年来,电子产品朝着更小、更轻、高性能、高可靠性和低成本的方向^[33-35]快速发展。二维平面有限的利用面积已经不能满足封装的要求,电子封装向三维封装发展^[36]。与二维封装技术相比,三维封装集成度大大增加,产品的尺寸和重量可减小数十倍^[37]。三维封装封装上、下层间之间采取垂直互连,互连长度缩短,信号的传输延迟大大减小,寄生电容和寄生电感也大为减小,非常有利于高频高速信号的传输^[9]。三维封装还具有设计灵活,便于异质集成和低功耗等优势。三维封装的主要技术是芯片叠层(Stacked Die),封装叠层(package on package, PoP)和硅基转接板(Through Silicon Via, TSV)^[10]。

2.1.1 PoP /TSV 技术

PoP 技术是一种已经应用于大规模生产的技术,但由于其成本相对较高,一般只应用于高端消费类电子产品的三维封装。PoP 技术显著减小了封装的面积,缩短了不同模块之间的距离,同时,它为终端用户提供了更自由的三维结构组合可能,且可以相对方便地控制不同模块之间的隔离度。所以, PoP 技术多被用于手机的基带处理器和内存,图像处理器和内存,声音处理器和内存的封装中^[38-40]。

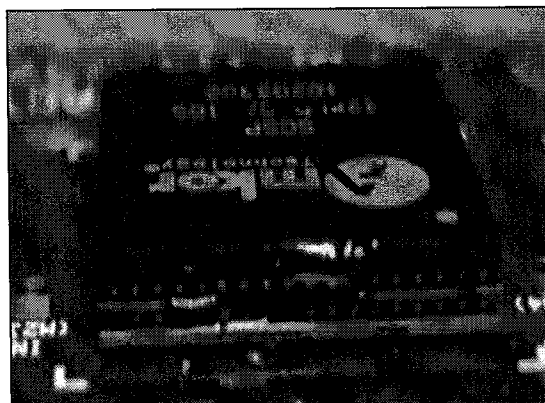


图 2.1 Amkor 公司 PoP 封装的产品

图 2.1 为 Amkor 公司 PoP 封装的产品。根据 Amkor 公司的数据^[41], PoP 封装的面积可达到 $15\text{mm} \times 15\text{mm}$, 晶圆加工能力小于 $100\mu\text{m}$, 封装高度为 1.3mm 到 1.5mm 之间, 顶层封装的焊球间距可减小至 $500\mu\text{m}$, 焊球使用无铅工艺。

目前, PoP 技术的主要研究方向集中在进一步减小焊球的间距, 提高焊球的共面性, 控制焊球的塌陷, 提高不同封装模块之间的隔离度, 提高封装的可靠性等方面^[42]。

PoP 技术包括两个以上的封装, 埋入技术针对于基板技术, 可直接将埋入技术应用于单独的封装结构, 但这个技术不能称之为埋入式三维封装。PoP 封装结构的封装高度本身较大, 大于基板的厚度, 无法再次埋入基板。PoP 封装的系统功能已经比较完善, 可直接与板级互连。所以, 研究 PoP 技术与埋入技术结合的意义不大。

TSV 技术正处于快速发展阶段, 是目前 2.5D /3D IC 的核心组成结构, 为现阶段研发的重点^[24]。TSV 技术与陶瓷基板和有机基板相比, 热膨胀系数与 IC 完好匹配, 可以采用半导体工艺加工, 尺寸稳定性好, 扇出能力大大增强, 且兼容圆片级工艺, 设备, 材料, 便于异质集成, 是一种非常有前景的新技术, 可应用于 Memory、FPGA、逻辑芯片以及它们的混合封装^[43]。

根据 STATS Chip PAC 提供的转接板技术参数^[44], 转接板尺寸为 $12\text{mm} \times 12\text{mm}$, 厚度 $110\mu\text{m}$, 正面 RDL (与芯片连接) 2-4 层, 背面 RDL 层(与基板连接)2-4 层, 过孔间距 $200\mu\text{m}$, 过孔直径 $10 \sim 50\mu\text{m}$, 为凸点直径 $20\mu\text{m}$ 。

TSV 技术目前面临的最大问题是工艺难实现, 只有台积电和 IBM 实现了小批量产品的生产。TSV 技术目前要解决的问题太多, 包括凸点分布、互连结构的电学建模、芯片散热、机械可靠性等诸多方面^[45]。所以, 现阶段埋入 TSV 技术实现的可能性很小。

2.1.2 堆叠芯片技术

堆叠芯片技术能大大减小封装的面积, 并降低下一级微组装的成本。堆叠芯片技术是目前工业生产中应用最为广泛的三维封装技术。堆叠芯片技术最初更多地被应用于内存设计。内存供应商利用堆叠芯片技术来实现低成本、高容量、高速的内存架构^[17]。近年来, 系统工程师通过处理器和内存的堆叠, 处理器和专用集成电路芯片 (如音频解码器) 的堆叠, 不同逻辑芯片的堆叠等手段来减小系统

的面积,优化系统的性能。不论是从内存模块,还是系统设计层面上,堆叠芯片技术都具有长远的应用前景^[46]。随着堆叠芯片数目的增加和堆叠芯片的复杂化(如芯片减薄,芯片散热增加,芯片面积变化),堆叠芯片技术难度增加。

堆叠芯片技术最高可以实现 24 款有源芯片堆叠。图 2.2 为 Elpida 公司 20 个超薄芯片堆叠的产品^[47]。但是,资料表明,当堆叠有源芯片的数目超过 9 个时,测试、封装的成本大大增加,且产量和可靠性降低。目前,绝大多数的手机和平板使用的就是 FLASH 和 SRAM 堆叠技术,这种内存堆叠倾向于使用 3-5 个芯片堆叠在一起。7-8 个有源芯片的堆叠目前还存在 I/O 分配和器件互连设计等问题,大规模生产中使用相对较少^[21]。

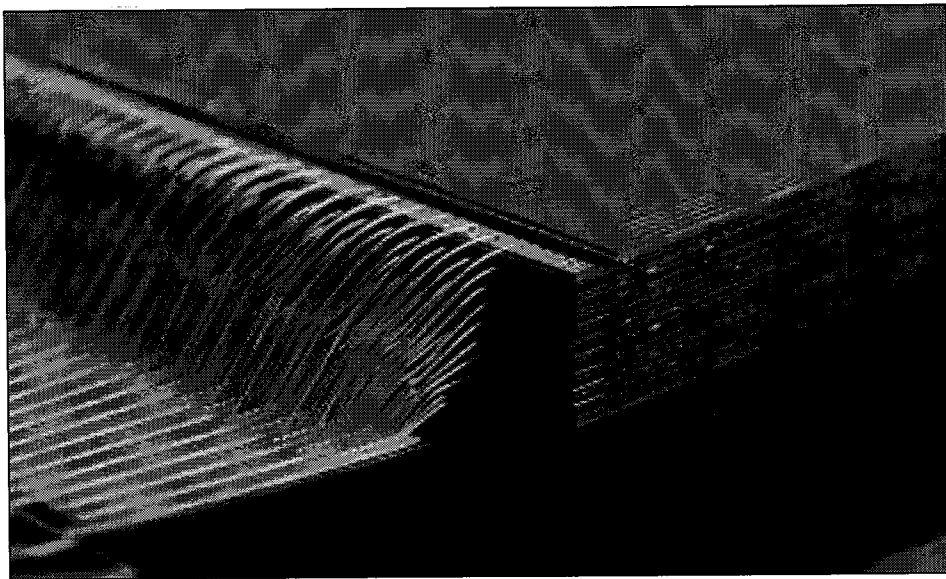


图 2.2 Elpida 公司 20 个超薄芯片堆叠的产品

芯片堆叠的方式一般分为金字塔式、垫片(Spacer)式和错位式,应根据封装的不同要求而采用不同的方式。金字塔型大多使用大小不同的芯片,上层芯片面积比下层芯片面积小,这样下层芯片表面就有足够的面积和空间可以用来进行引线键合。隔片式常见于同尺寸的芯片或者是下层芯片面积小于上层芯片面积,在两层芯片之间加入一层更小的垫片以便于下层芯片的引线键合。错位式是上层芯片和下层芯片进行不同方向的错位贴装,交替进行,这样每层芯片表面都有足够的面积和空间可以用来进行引线键合^[48]。

现在普遍的堆叠芯片与基板的互连方式为引线键合,也有引线键合和倒装焊混合互连的方式。由于堆叠芯片技术的仍采用引线键合和倒装焊的传统互连方式,所以,它与引线框架封装,有机基板封装技术兼容性良好。近年来,由于可

弯折封装技术的发展,也有人将堆叠技术应用于柔板封装。

散热是堆叠芯片技术的一个重要问题。由于堆叠芯片有多个热源,高功率芯片的热量能直接耦合到低功率芯片,可能会影响低功率芯片的正常工作,甚至形成正反馈的热电偶。业界一直在研究将制冷系统集成到堆叠芯片中,利用制冷液的流动和相变,增强芯片的散热能力^[49]。

为避免对现有工艺进行大的改动,一般通过芯片厚度的减薄来保证总的封装高度不变。目前,芯片已经减薄到 20 μm 左右。芯片厚度的减小会造成芯片刚度降低,发生形变,在热处理过程中芯片应力点集中甚至会造成芯片的损坏。另外,部分堆叠芯片的键合引线较长,长引线在塑模时由于无支撑,引线可能发生形变弯曲导致与相邻引线短路,也会造成可靠性问题^[48]。

2.2 埋入技术

传统有机基板技术中,主要通过内层线路和基板过孔互连,有源和无源器件安装在基板的两侧。随着系统工作频率和信号传输速度的增加,产品面积的减小,这种技术的固有缺陷日益突出。一方面,封装尺寸的减小已经接近极限,另一方面,过孔、互连的寄生参数严重限制了系统性能的提高。以电源分布网络的大量去耦电容为例,分立电容占据了大量的布线空间,且引线寄生电感,降低了电容的去耦能力,有的分立高频去耦电容的去耦频率甚至下降到 100MHz^[50]。若采用埋入式电容,能减小布线面积,降低引线寄生的参数,大大增强电容的去耦能力。

埋入技术对实现超小型,薄型化极为有利,而且,能将元器件之间的引线缩短,提高系统整体的性能。埋入技术的种类很多。埋入技术可按照器件埋入基板的方法可分为芯片先置型埋入技术和芯片后置型埋入技术。

2.2.1 芯片先置型埋入技术

芯片先置型埋入技术,指的是先将芯片嵌入到各种不同种类的基板之上,然后在芯片和基板上进一步制作多层互连线层。主要的芯片埋入技术有由 Helsinki 大学提出的集成模块板(IMB, integrated module board) 结构,和 Fraunhofer IZM (Institute for Reliability and Microintegration)和柏林工业大学共同研发了一种聚合物芯片(CIP, chip in polymer) 技术^[11]。

IMB 结构可将完整的功能模块和部分功能模块埋入基板中^[51]。有源、无源器件被埋入芯板的 Cavity 中，埋入精度 $\pm 5\mu\text{m}$ ，Cavity 被塑胶填充。其他介质层和芯板压合，激光钻孔并在垂直方向电镀。外层介质的线路的水平方向电镀使用半加成法。最后，基板电路阻焊层保护，元件的焊盘使用表面处理工艺保护。该 IMB 技术使得布线总长度和布线间距得到显著减少，从而达到了高密度集成封装。在单个 IMB 封装好后，还可以将 IMB 在纵向方向上进行堆叠，从而实现 3D 封装的构架，封装密度进一步提高。

图 2.3 为 CIP 技术的典型封装结构示意图。该技术将厚度超薄（ $20\sim 50\mu\text{m}$ ）的芯片埋入基板的介质层之中^[12]，并使用粘片胶固定，芯片通过微过孔与外层铜箔互连。这种技术可以实现超薄外形的封装，且与标准的基板、PCB 板工艺兼容。

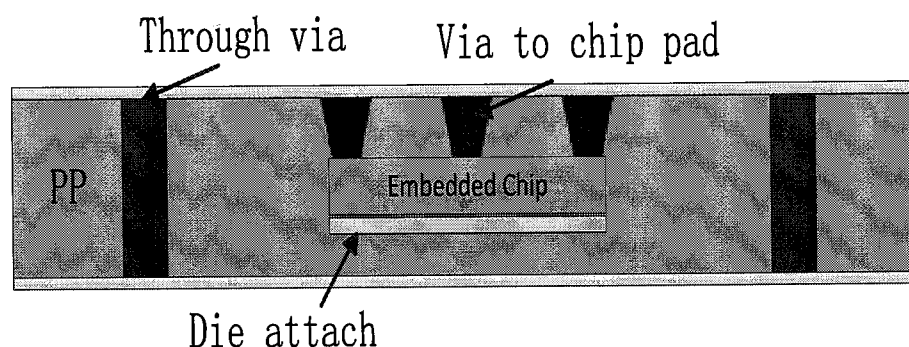


图 2.3 典型芯片先置型埋入封装结构示意图

这种技术增加了基板的加工难度，同时也存在一些可靠性问题。传统的基板介质固化需要高温高压的条件，但为了避免芯片失效，有时不得不采用高成本的光固化技术。现有的有机基板埋入技术有源器件芯片并不是适用于所有的芯片^[52]，一个重要的原因是现有的很多芯片上结构不能很好的兼容其基板工艺，比如有源埋入的器件要求其焊盘的材料是金或铜，而现有的芯片多数是打线用的 Al 凸点，而 Al 凸点上盲孔制作以及后续的化铜电镀等工艺均不能在基板线中的开展制作。为了提高埋入芯片互连的可靠性，应首先在芯片镀铜 $5\mu\text{m}$ ，并使用镍钯金技术处理芯片焊盘，芯片埋入成本和复杂度增加。复杂的基板加工工序往往会对芯片造成破坏，且封装后有缺陷的芯片不可替换。同时，埋入有源器件还存在热管理的问题。

2.2.2 芯片后置型埋入技术

为了改善这些问题, 2007 年美国乔治亚理工大学的封装研究中心提出了一种芯片后置型埋入技术^[26]。这种方法是将多层基板先层压形成线路后, 再在基板制作一个比芯片尺寸稍大的腔体 (Cavity), 之后再将芯片埋入到 Cavity 之中。这样芯片在埋入基板之后不再经历复杂的加工步骤, 提高了封装的良品率。通过可返工的互连线和选用合适的高热导率的填充材料与塑封材料, 有缺陷的芯片可以被替换。最后, 因为埋入芯片的背面直接暴露在外界环境下或是与热传导系数较高的散热材料层相连, 所以可以有效地解决芯片的散热问题。同时, 由于芯片后置型埋入技术只是在封装基板上开腔, 然后将基板与其他模块组合, 所以, 芯片后置型埋入技术与 TSV, IPD, MEMS 封装等其他工艺完全兼容, 如图 2.4 所示。

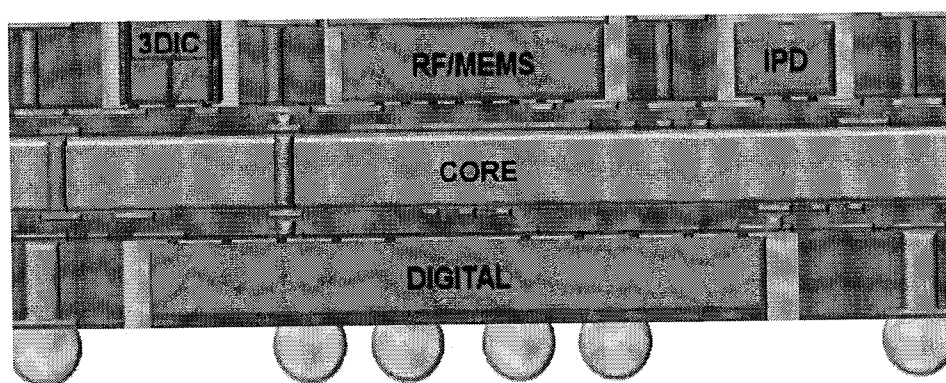


图 2.4 与埋入技术兼容的工艺

芯片后置型埋入技术的难点在于高精度 Cavity 基板的制作^[53]。Cavity 的形成有掩模板法, 等离子体刻蚀, 激光烧蚀, 铣刀切割等。掩模板法只适用于介质材料为光敏感介质。等离子束刻蚀的位置由金属模板决定, 未被金属板遮挡的位置被等离子体刻蚀。这种刻蚀方法随着 Cavity 尺寸和精度的增加成本急剧增加。激光刻蚀与激光形成过孔的原理一致, 即使用高能量的激光束将材料刻蚀, 包括覆铜板和未覆铜的介质材料。激光烧槽可形成较好形貌的 Cavity 结构, 但因为激光束必须将 Cavity 内所有材料刻蚀, 所以这种方法产量较低, 并不适用于大规模工业生产。铣刀切割形成 Cavity 与前三者略有不同, 它首先在介质中制作 Cavity。铣刀切割时只需切割 Cavity 的边缘。这种方法成本较低, 且制作周期短, 适合大规模生产。但这种方法也有固有的缺点, 如 Cavity 的成型精度较低, 传统工艺难以制作高精度的 Cavity 基板。

Cavity 基板形成后,即可继续后续的微组装。使用仪器 Fineplacer (Finetech GmbH & Co),贴片精度可以精确到 $\pm 0.5\mu\text{m}$,芯片与 Cavity 边沿的间距在 $50\text{-}400\mu\text{m}$ ^[53]。芯片通过倒装焊球的方式与基板焊盘互连,焊球间距最小可为 $50\mu\text{m}$ 左右,焊球直径约 $30\mu\text{m}$ 。当焊球直径减小时,生成金属间化合物 (Intermetallic Compounds, IMC) 风险增加,可选择合适的焊球和焊球下金属材料 (Under Bump Metallurgy, UBM) 材料。窄间距的焊球对热-机械可靠性的要求更高,所以,常选择低热膨胀系数 (Coefficient of Thermal Expansion, CTE) 的基板并填充 Underfill 提高焊球的可靠性。

第三章 埋入三维封装产品的 DFX 设计

3.1 封装 DFX 设计的流程

根据惠普公司 DFM 的调查, 60%的产品总成本取决于设计, 75%的制造成本取决于设计说明与规范, 80%的生产缺陷是由于设计造成的。而一个好的封装设计流程可以尽早的发现设计中的缺陷^[54], 缩短产品研发的时间, 降低设计的成本。图 3.1 描述了封装设计的基本流程, 该流程引入了 DFX 设计的理念, 综合考虑了可制造性、电学特性、热机械可靠性等关键问题。

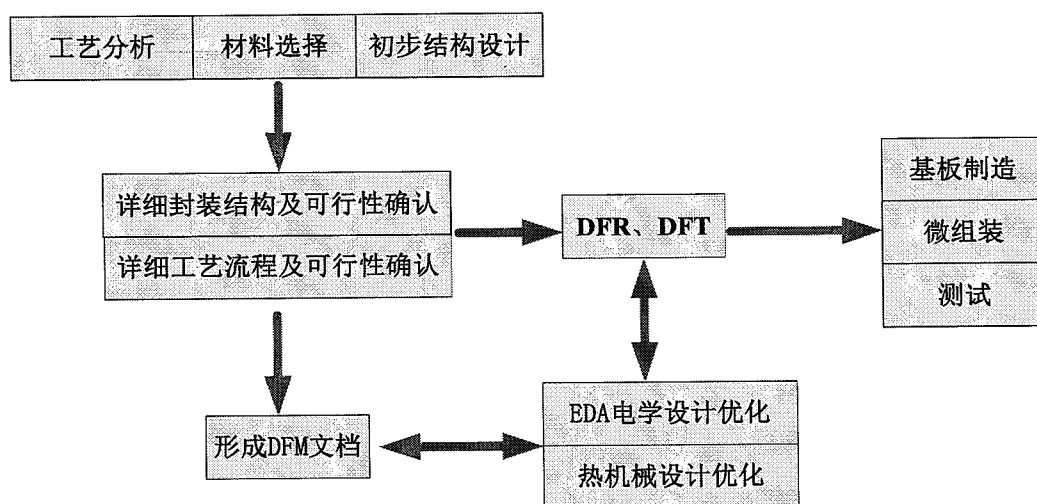


图3.1 封装设计流程图

根据封装设计流程图, 封装设计的一个非常重要的环节就是通过仿真, 预测系统的性能, 对设计中可能存在的缺陷进行改善, 保证设计的成功^[55]。仿真包括电学仿真, 热仿真, 机械仿真等^[56]。电学仿真主要解决封装中可能出现的信号完整性 (SI)、电源完整性 (PI) 和电磁干扰 (EMI) 问题。热仿真的主要目的就是消除封装设计中的热点。机械仿真主要是为了避免由于结构设计不对称、工艺条件不合适、冲击外力等造成的封装中的应力集中。

3.2 封装对象和封装结构设计

本案例的封装对象为一个数字智能系统。图 3.2 为该数字智能系统的原理图。从原理图中可以看到, 系统中有四款有源芯片 (DIE) 和 22 个电阻电容。电阻电容的尺寸为 0201。四款芯片包括液晶驱动、控制芯片、计量芯片和内存 (FLASH), 分别标记为 D1, D2, D3, D4。所有芯片厚度 300 μ m, 全部采用互补

金属氧化物半导体（Complementary Metal Oxide Semiconductor Transistor, CMOS）工艺。四款芯片之间有互连，其中，D1 和 D2 的连接最为复杂，链路上分布着大量的表贴元件。表 3.1 为 4 块有源芯片的基本信息介绍，包括芯片的型号，标号，功能描述，管脚间距，尺寸，管脚数和消耗功率。

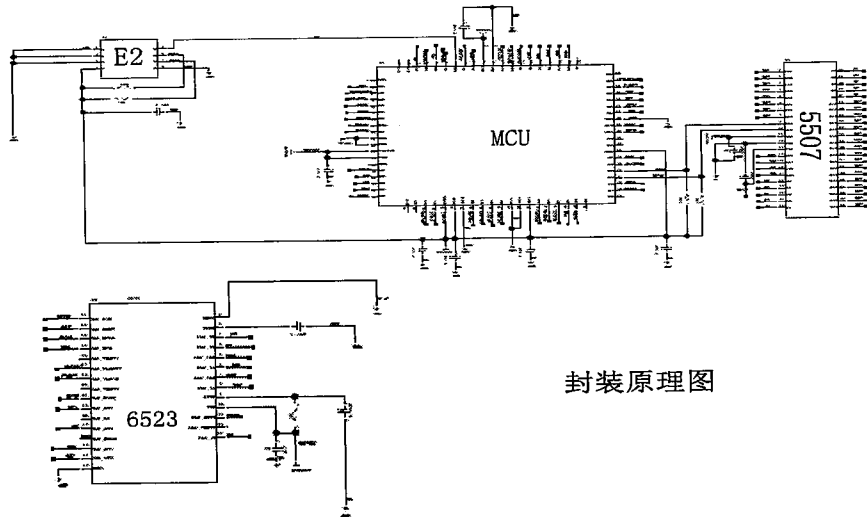


图3.2 数字智能系统封装原理图

表 3.1 有源芯片的基本信息介绍

Die	Identifier	功能描述	Pitch (μm)	Die Size (L*W*Tmm ³)	Pin Count	Power(mw)
5507	D1	液晶驱动	90	1.72×1.57×0.3	44	400
MCU	D2	控制芯片	100	3.076×3.076×0.3	79	1000
6523	D3	计量芯片	285	3.85×3.39×0.3	29	80
EEPROM	D4	Flash	175	1.82×1.7435×0.3	8	3.3

根据封装设计的要求，三维封装是小型化设计的必然趋势。D1, D2, D3 芯片面积逐渐增加，边长增加在 300μm 以上，贴片和引线键合（Wire Bond, WB）具有充足的空间裕量。所以，将这三款芯片组成了一个金字塔型的堆叠结构，形成了三维立体封装，这样，整个封装的面积可大幅减小。称 D1、D2、D3 芯片堆叠形成的整体为芯片堆栈（Die Stack）。D4 芯片与最小的 D1 芯片面积大致相同，且都与 D2 芯片的面积相差较大，理论上也可以将 D4 芯片放置在 Die Stack 的顶层。但 D3 芯片与 D2 芯片的互连较多，为方便 D2 芯片与 D3 芯片的互连，

仍然选择 D1, D2, D3 芯片的堆叠。由于 D4 和 D3 芯片边长变化为 $100\mu\text{m}$, 考虑到堆叠芯片的贴片精度, D4 芯片不与 D1, D2, D3 芯片堆叠。

D1 和 D2 芯片位于 Die Stack 的顶部和中部, 所以 D1 和 D2 芯片只能通过 WB 技术与基板互连。且 D1, D2 芯片焊盘间距较小 (最小为 $90\mu\text{m}$), WB 可靠性高。D3 芯片位于 Die Stack 的底部, 可通过 FC 技术与基板互连。另外, D3 芯片焊盘间距较大 (大于 $150\mu\text{m}$), FC 互连的可靠性高。D4 芯片也可通过 FC 技术与基板互连。

图 3.3 为封装结构的示意图。封装结构采用标准球栅阵列封装 (Ball Grid Array, BGA)。D1、D2、D3 芯片大小逐渐增加, 形成金字塔型堆叠并埋入腔体。从图左侧可以看出, 基板为六层板, 编号为 L1-L6, 其中, L1、L3、L5 为信号线, L2、L4、L6 为电源地平面(叠层设计的具体内容将在 3.5.2 中详细介绍), 基板各金属层之间使用通孔连接。封装基板的最大特点是基板中存在两层台阶, 且台阶上有线路的腔体, 用于堆叠芯片的埋入和互连。D1 芯片通过键合引线 with 基板 M1 层连接。D4 芯片通过凸点与基板 L1 层互连。由于腔体台阶上有与 L3 层线路互连的金手指焊盘 (Finger Pad), D2 芯片可通过键合引线直接与基板 L3 层线路互连。D3 芯片通过凸点与基板 L5 层直接互连。可以看出, 引线键合和倒装焊混合互连、埋入堆叠芯片和腔体基板是该封装结构的主要特点。介质厚度的确定是根据板厂的加工能力和机械仿真的结果, 这将在封装结构的 DFR 设计中详细研究。

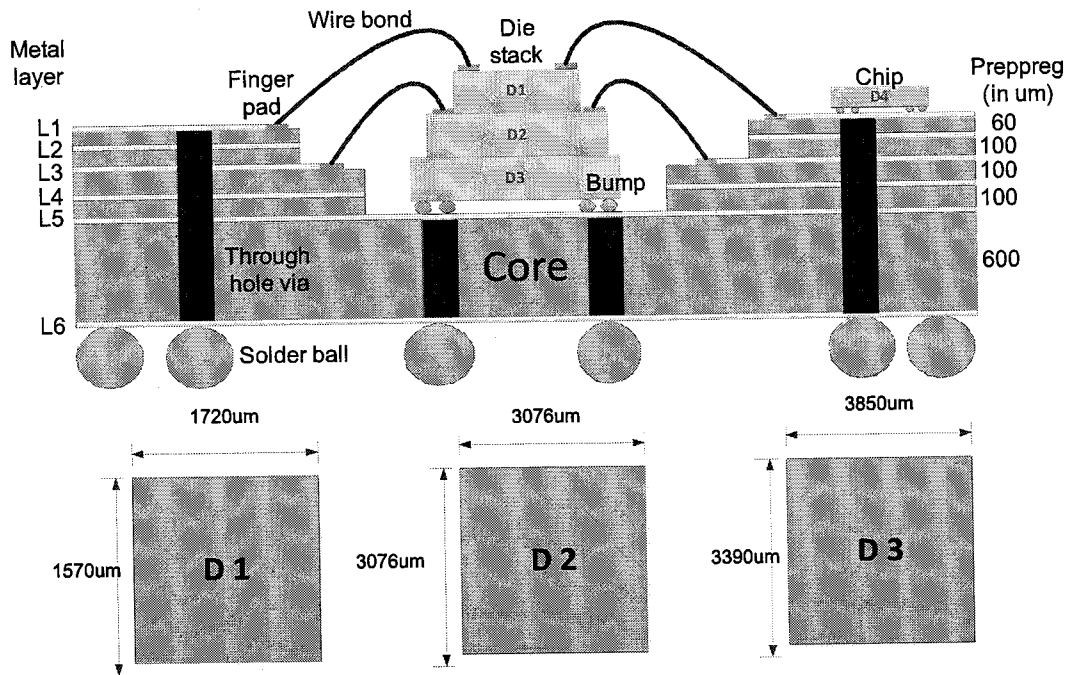


图3.3 封装结构的示意图

3.3 封装结构的结构 DFR 设计

为了提高封装结构的可靠性，封装设计一般会遵循对称的原则。如基板的叠层对称，压合时受力均匀；元件摆放规整，基板应力分布均匀。但案例中的封装结构的最大特点就是水平方向和垂直方向均十分不对称。堆叠芯片、Cavity 结构、非对称基板、Molding 等引入了大量的不平衡应力，封装产品翘曲的风险很大。

本节中将重点分析引起埋入此三维封装结构翘曲的因素。

3.3.1 封装结构材料属性

环氧玻璃布基基板材料是以环氧树脂为粘合剂，以电子级玻璃纤维布作为增强材料的一类基板材料。由于它电气性能优良、工作温度较高、机械性能好本身受环境的影响小，被大量应用于电子产品的封装中。其中，应用最广泛的产品型号为 FR4。但普通的高 Tg 的 FR4 板材 IT180，Tg 温度仅为 175 度，TCE 为 18 左右。为尽量减小封装结构的翘曲，介质材料选取了采用低 CTE(14)，Tg 温度高达 200 度以上，高介电常数（4.9）的 BT。表 3.2 列出了此封装结构使用材料的热-应力相关参数。

表 3.2 封装材料属性

组件	材料	杨氏模量 (GPa)	泊松比	热膨胀系数 (ppm/K)
芯片	Si	130.61	0.28	2.6
基板(BT)	BT. HL 832NX Type A	25°C, 27.5 50°C, 26.9 75°C, 26.1 100°C, 25.3 125°C, 24.5	0.19	X:14 Y:14 Z:30
Die attach	QMI 538NB	20	0.3	19.6
ACF	Au	2	0.4	50
Soldermask	Polymer	8	0.4	29
铜	Cu	129	0.34	17.3
Molding Compound	FP4323	25°C, 7.92 50°C, 7.60 75°C, 7.10 100°C, 6.43 125°C, 5.13	0.3	21

3.3.2 Molding 厚度对基板翘曲的影响

封装基板为六层板，基板底层厚度约为基板厚度的一半，会引起封装体的翘曲；在基板灌封模塑胶后的冷却过程中，由于胶体收缩等引起封装体发生翘曲。为考察影响封装体发生翘曲的原因，并优化封装体结构，选取 molding 高度和基板厚度两个主要影响因数做正交仿真实验。

实验模型设置如下：1.植芯片球是在 molding 后，因此建模时不加 BGA 球；2.bonding 线对结构机械应力影响很小，为简化建模及计算，不建 bonding 线模型；3.芯片与基板键合时使用 ACF 导电胶。4. 考虑到模型在 x 轴方向的对称性以及提高计算速率，建立 YZ 方向的平面二维模型。

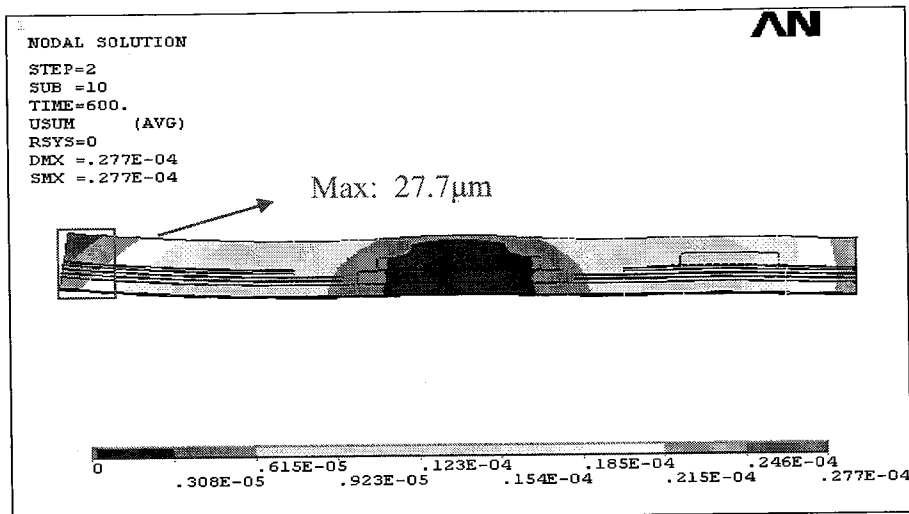


图3.4 molding 高度 800 μm, 基板厚度 300 μm 时的位移分布图

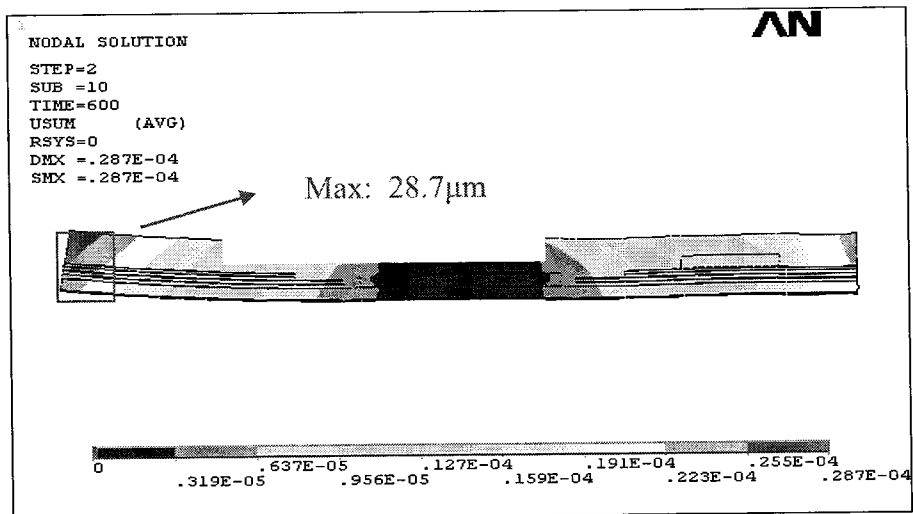


图3.5 molding 高度 900 μm, 基板厚度 300 μm 时的位移分布图

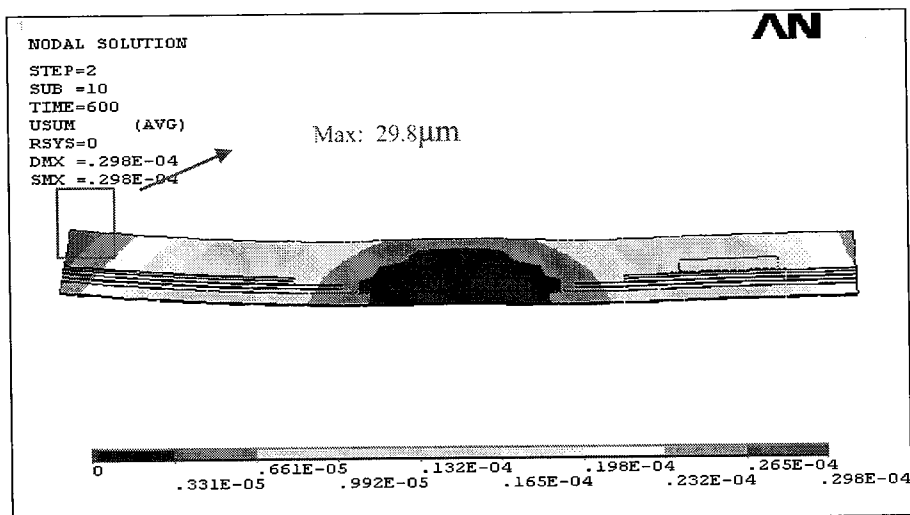


图3.6 molding 高度 1000 μm, 基板厚度 300 μm 时的位移分布图

由图 3.4~图 3.6 可以看出，随着模塑胶高度的增加，封装体趋于向上发生翘曲，形成笑脸状弯曲；因此可以预测在 molding 冷却过程中，molding 胶给基板两侧带来向上的拉力，使封装体发生翘曲。

3.3.3 基板厚度对基板翘曲的影响

基板进行叠层设计时除了要考虑到信号层、电源层、地层的相对位置关系，还需要考虑电路板加工制造过程中机械应力的释放。如图 3.7 所示，是一个典型 6 层封装基板的叠层结构，对于印刷电路板的制造工艺来说，是在芯板 core 的两侧对称的压合覆铜板和介质材料，如果一侧层数较多，另一侧层数较少，或者一侧的覆铜板的铜被蚀刻掉得较多而另一侧蚀刻掉的少，芯层两侧感受到的机械应力明显失衡，就会造成板子的翘曲。

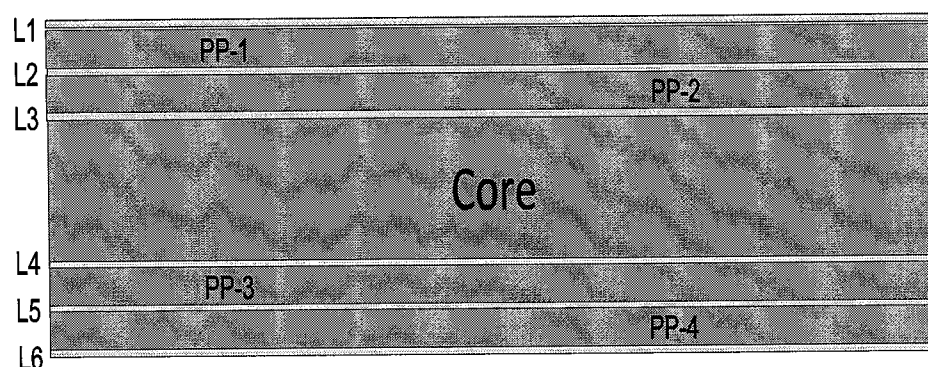


图3.7 典型六层板的叠层设计

图 3.8 为埋入三维封装的基板结构。由于基板中开放 Cavity 结构的引入，基板 L1-L5 层之间部分介质镂空，所以基板的 Core 层无法设计 L3~L4 层，所以，埋入三维封装的基板叠层设计为下层厚，上层薄的形式。

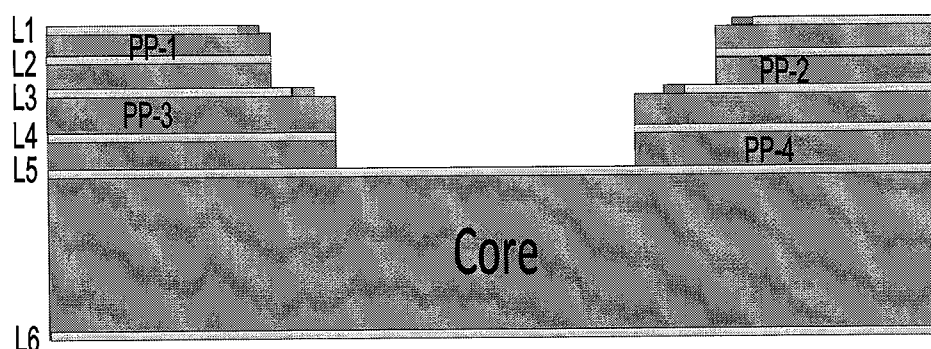


图3.8 埋入三维封装的基板叠层设计

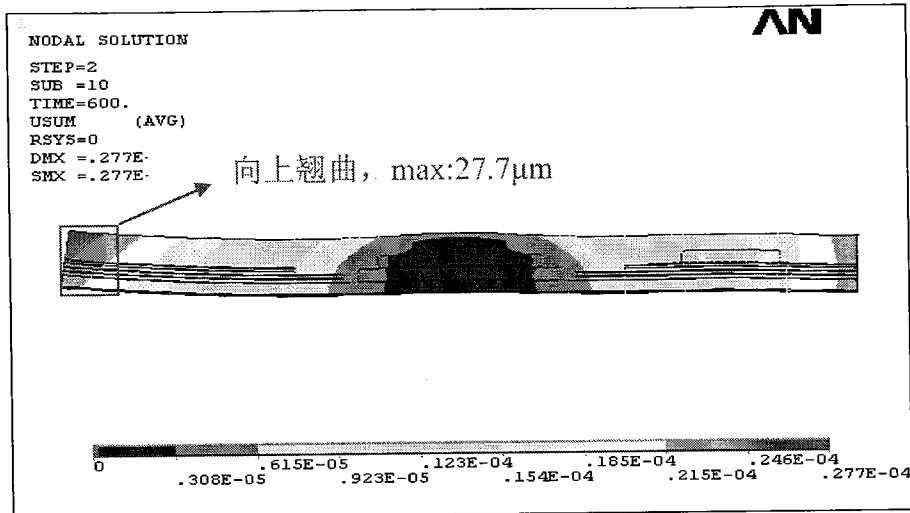


图3.9 molding 高度 800 μm, 基板厚度 300 μm 时的位移分布图

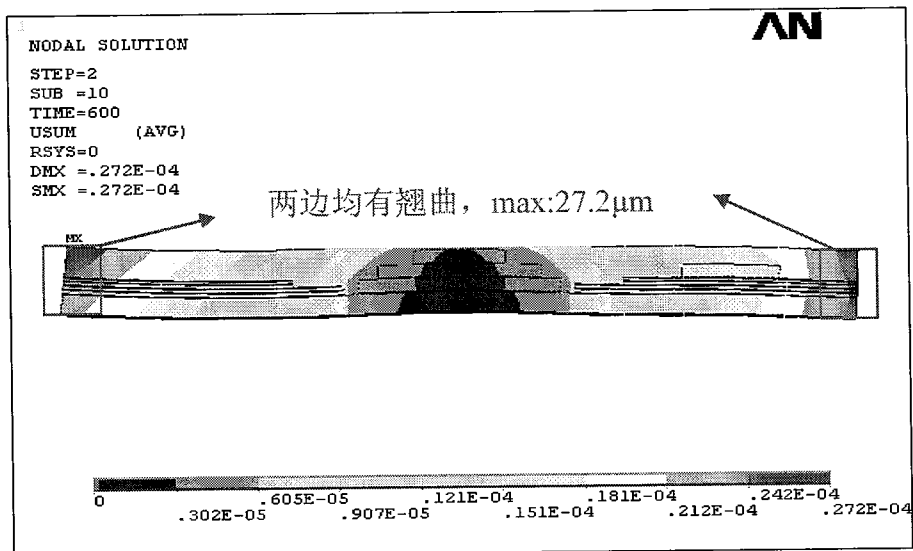


图3.10 molding 高度 800 μm, 基板厚度 500 μm 时的位移分布图

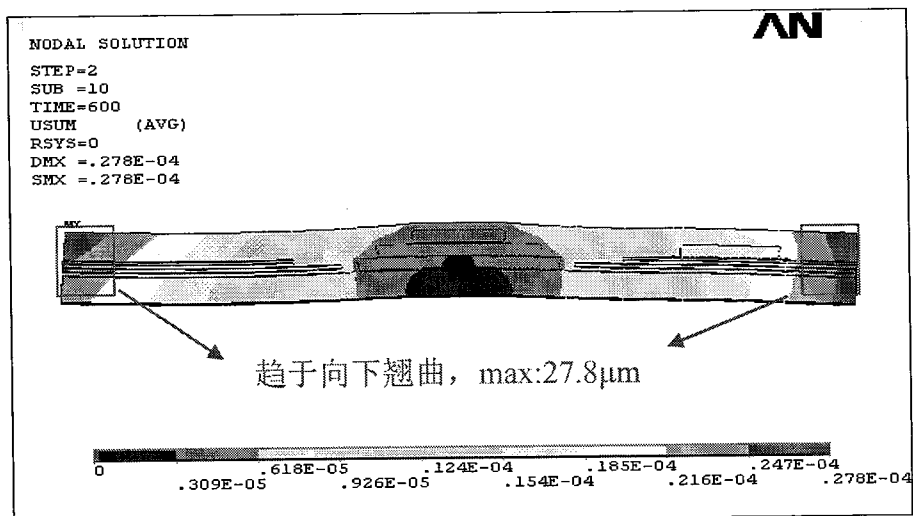


图3.11 molding 高度 800 μm, 基板厚度 700 μm 时的位移分布图

由图 3.9~图 3.11 可以看出,在一定高度的模塑胶情况下,随着基板最底部 BT 板厚度的增加,封装体趋于向下发生翘曲,形成哭脸状弯曲;因此可以预测在 molding 冷却过程中,基板的不对称结构,即上薄下厚,会使整个封装结构两侧带来向下的拉力,使封装体发生翘曲。

表 3.3 列出了同时引入变量基板厚度和 Molding 高度变量,基板厚度位移发生变化的情况。

表 3.3 不同结构封装体的最大位移

Molding 高度(μm) Core 层厚度(μm)	800	900	1000
300	27.7	28.7	29.8
500	27.2	27.5	28.1
700	27.8	27.7	27.9

当最下层基板厚度为 $300\mu\text{m}$, molding 高度为 1mm 产生的位移为 $29.8\mu\text{m}$, 比 molding 高度为 $800\mu\text{m}$ 产生的最大位移 27.7 大了 7.6% ; 而当最下层基板厚度为 $500\mu\text{m}$ 时, molding 高度为 1mm 产生的位移为 $28.1\mu\text{m}$, 比 molding 高度为 $800\mu\text{m}$ 产生的最大位移 27.2 大了 3.3% ; 而在最下层基板厚度为 $700\mu\text{m}$ 时, molding 高度为 1mm 产生的位移为 $27.9\mu\text{m}$, 比 molding 高度为 $900\mu\text{m}$ 产生的最大位移 27.7 大了 0.7% ; 可以说明, molding 胶在塑封过程中,的确是给基板两侧带来了向上的拉力;并且基板的厚度越薄,造成的翘曲越明显,如在最下层 BT 板厚为 $300\mu\text{m}$ 时,随着 molding 胶高度的增加,封装体翘曲增量几乎成线性增长;而当基板厚度大到一定程度时,如最下层 BT 板厚为 $700\mu\text{m}$ 时,此时 molding 胶厚的变化对封装体的翘曲不明显,影响趋小。因而适当的增加基板的厚度能够改善封装体翘曲的问题。

3.4 版图设计

传统二维封装结构只要确定了封装结构基本参数,即可按照版图设计的规则完成布局布线。三维封装结构的版图设计不仅要遵循基本的布线规则,还要考虑到封装结构的特殊性。版图设计不仅可以为封装工艺提供指导,也关系到模型是否能兼容第三方仿真软件。本节将以一个数字智能系统的封装设计为例,详细介

绍埋入三维封装的版图设计与普通二维版图设计的主要不同点。三维封装设计对版图设计工具的要求更高。此封装设计选择了 Cadence SIP Layout tool 16.6，值得一提的是，低于此版本的软件并不支持埋入堆叠芯片的封装结构。另外，合理芯片的堆叠方式能降低布线的复杂度。键合线 Profile 的设计关系到电学仿真是否成功。过孔、线宽等参数的设计要首先考虑工艺是否可行。

3.4.1 BGA 分布设计

封装结构中共有信号线 110 个，电源地共 5 个。为了方便封装基板和 PCB 板的互连，所有的信号线只使用外两圈的 BGA 焊球，如图 3.12 所示（绿色为信号线焊盘）。根据系统中共 110 根信号线，所以，BGA 焊球分布为外圈 18*19，共三排，内圈为 5*5，均用来分布电源和地焊球，BGA 焊球共 211 个。图 3.13 为 D1 芯片的 L1 层布线图，图中另外标注了 L1 层表贴元件的位置，分布于 D1 芯片外围的四个角落。这样，D1 芯片的信号线以最短的距离平直扇出，且能避开表贴元件。所以，D1 芯片的信号管脚就近分布于基板四周的中间区域。D2 和 D3 芯片的信号线 BGA 依次向两边展开，如图 3.12 标注。这样，在布线时，可以预留足够的表贴元件的空间，且各芯片的互连十分顺直，还能保证每款芯片的信号线 BGA 分布相对集中，方便下一级互连。

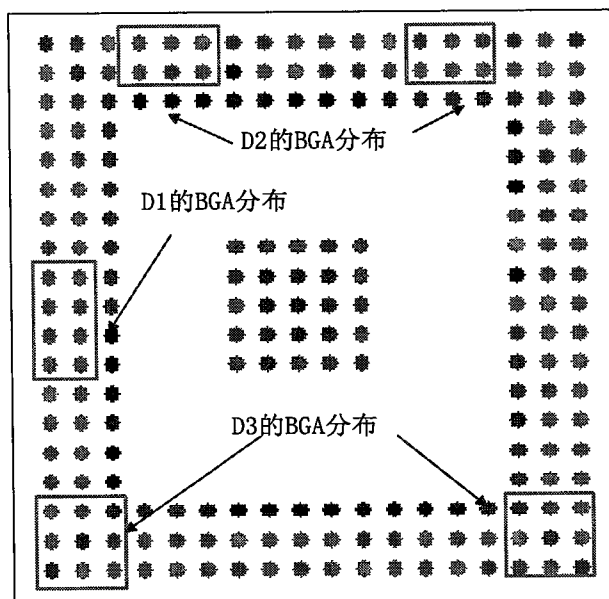


图3.12 埋入三维封装的 BGA 分布图

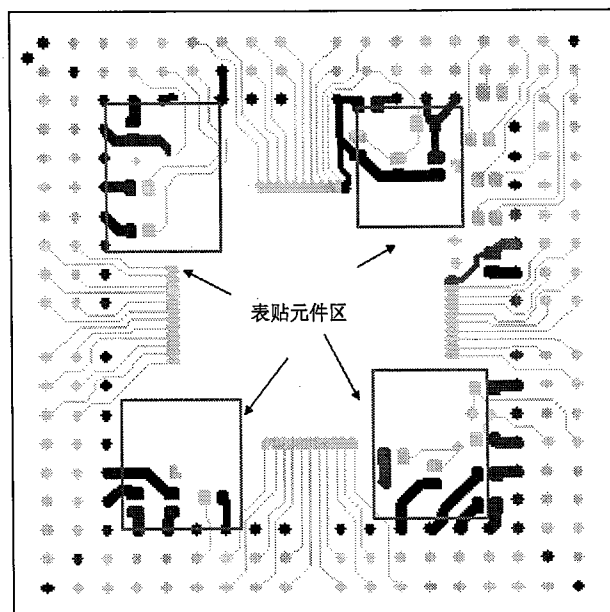


图3.13 L1 层信号线分布

3.4.2 芯片旋转

根据封装原理图, D1 和 D2 有较多的互连, 图 3.14 对比了不同导入方式的芯片互连特点。由于 D1 芯片和 D2 芯片互连较多的管脚并不在芯片的同一方位, 为了方便 D1 和 D2 芯片的垂直互连, 缩短互连距离, 导入芯片时需要将 D1 芯片正向旋转九十度。

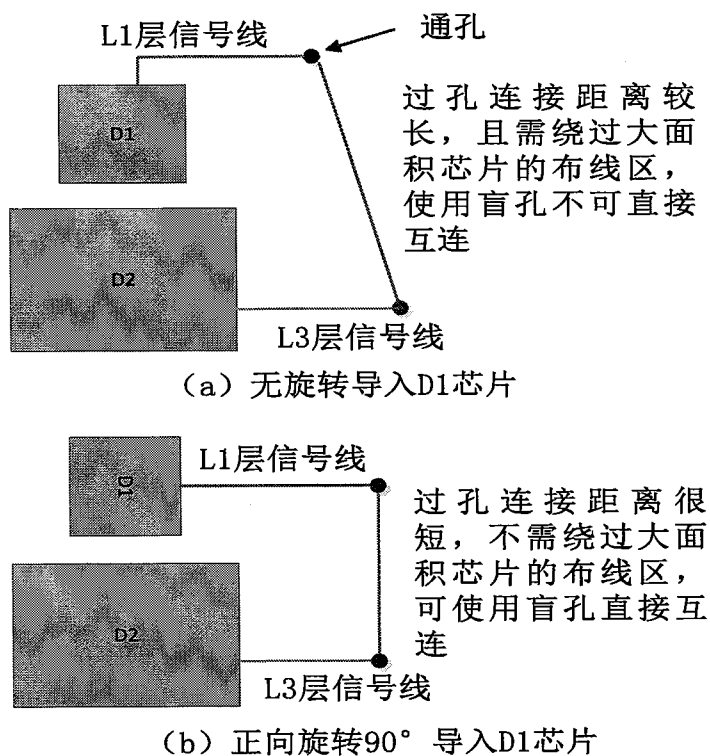


图3.14 D1 和 D2 芯片的垂直互连

3.4.3 键合线 Profile

Profile 表示键合引线的弧高, 横向距离等参数为确定的一组值。实际打线时, 不同芯片的打线参数 (Profile) 一般不同。但在二维版图设计阶段, 并不一定要强调所有芯片的键合引线设置 Profile 不同。即使所有的芯片设置同一个 Profile, 对于微组装中实际打线并没有太大影响。因为软件导出的打线文件 (DXF 文件) 只包括键合引线第一点和第二点的二维位置, 在后期实际打线操作中根据情况可以调整弧高等参数。但是, 在 EDA 工具, 如 SIWAVE 和 Sirgity XtracIM 中, 一个 Profile 只分配一组参数值。若所有的芯片设置同一个 Profile, 那么所有键合引线也只能使用同一组参数值。即使忽略不同芯片的弧高差异, 堆叠在不同层的芯片也不会经过相同的二维距离实现与基板互连。所以, 三维堆叠芯片的键合引线一定要分别设置不同的 Profile, 否则就无法保证导入 EDA 仿真软件的电气互连正确。

3.4.4 堆叠芯片

堆叠芯片的空间结构复杂, 需要利用仿真软件对键合引线的直径、弧高、横向走线距离等参数进行预估, 为实际打线提供参考, 保证键合引线在空间不交叉。在 wire bond editor 选项卡中设置键合引线的直径 1mil, 弧高 150 μm , 且调整键合引线的第一点到第二点的每一步的走向。SIP layout tool 中可以查看版图的三维结构。通过 Z scaling 可以将三维版图纵向放大, 更清楚地查看键合引线的空间结构, 金线不交叉。

基板设计的特点是在 L1 和 L3 层均设计有用于打线的 Finger 焊盘, 版图设计时, L1 和 L3 层的 Finger 应使用不同的焊盘, 且 Finger 焊盘应标明位于基板的哪一层。这样, 完成键合线与基板的互连后, 才能正确的进行后续的布局布线工作。

在同一区域的芯片内会自动形成一个 die-stack。另外, 每个表贴元件也是一个 die stack。芯片堆叠的方式与 layout cross section 中芯片的上下位置相对应。在 die-stack 里面可以调整芯片的厚度。Sit on layer 选项中, 可以设置堆叠芯片的埋入层。另外, 三款堆叠的芯片与基板互连的方式不同, 在导入芯片的时候, 要选择芯片是以引线键合还是倒装焊的方式与基板互连。

3.4.5 线宽参数设计

根据机械应力仿真的结果, 底层介质厚度约为 $700\mu\text{m}$ 时, Molding compound 对翘曲的影响因素降低。随着底层介质厚度的减小, 翘曲的风险增加。设计时, 应尽量是底层介质的厚度接近 $700\mu\text{m}$ 。另外, 设计时, 线宽应在板厂的工艺加工能力范围之内。已知板厂的最小加工线宽为 $50\mu\text{m}$ 。

层压后介质厚度会有一定的减小。介质的型号为 BT.HL 832NX Type A, 介电常数 4.9。为了保护表层线路, L1 和 L6 层表面覆盖 $25\mu\text{m} \pm 10\%$ “绿油”, 型号为 PSR-4000 AUS-308, 介电常数 4.3。其中, 最小线宽为 $50\mu\text{m}$, 铜层厚度增加, 线宽精细度降低。为使线宽精细, 各层的铜厚设计为 $1/2\text{OZ}$, 厚度为 $17.5\mu\text{m}$, 为简化计算, 使用 $18\mu\text{m}$ 代替。

根据叠层设计的结果, L1, L3, L5 层分别为信号线, 带状线和带状线。D1 芯片的信号层为表层覆盖绿油的微带线, 如图所示。D2, D3 芯片的信号层为带状线, 如图 3.15 所示。

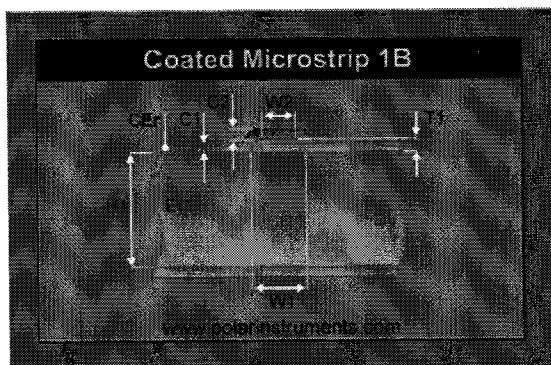


图3.15 埋入式微带线

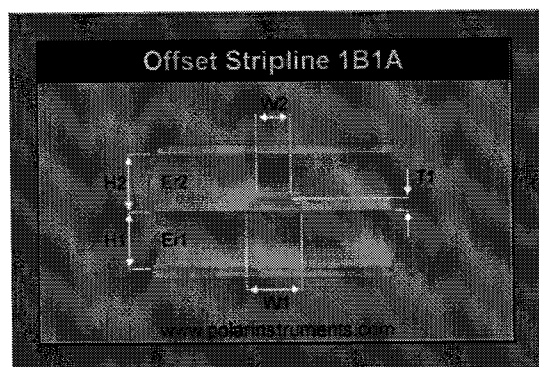


图3.16 带状线

$$Z_0 = \left(\frac{87}{\sqrt{\epsilon_r + 1.41}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \Omega, \quad 0.1 < \frac{W}{H} < 2, \quad 1 < \epsilon_r < 15 \quad (3.1)$$

微带线的特性阻抗为式 3.1，因为微带线一侧是介质另一侧是空气，空气的相对介电常数为 1，介质的介电常数为 ϵ_r ，通常 $\epsilon_r > 1$ ，所以与带状线两侧都是介质相比较，其有效介电常数偏小，其有效介电常数的计算公式为：

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[\frac{1}{\sqrt{1 + \frac{12H}{W}}} + 0.04 \left(1 - \frac{W}{H} \right)^2 \right], \quad \frac{W}{H} < 1 \quad (3.2)$$

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[\frac{1}{\sqrt{1 + \frac{12H}{W}}} \right], \quad \frac{W}{H} > 1 \quad (3.3)$$

带状线的特性阻抗

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left[\frac{4H}{0.67W \left(0.8 + \frac{T}{W} \right)} \right] \Omega, \quad \frac{W}{H} < 0.35, \quad \frac{T}{H} < 0.25 \quad (3.4)$$

根据经验公式知，线宽增加，特性阻抗减小；介质厚度增加，特性阻抗增加。设计时，首先考虑 L5 层带状线的底层介质厚度接近 700 μm 。基板的最大加工尺寸为 1.2mm 左右，其余各层介质厚度应小于 100 μm 。由于 L3 层带状线厚度较小，设计时应尽量减小 L3 层线条宽度，带状线特性阻抗才能达到 50 Ω ，但 L3 层线宽不能小于 50 μm 。综合考虑各方面因素，最终各层介质厚度确定为 60 μm , 100 μm , 100 μm , 100 μm , 600 μm 。将参数输入 Polar 中，最后确定 D1, D2, D3 芯片的线宽为 75 μm , 50 μm 和 75 μm ，在工艺可加工的范围内，且阻抗匹配的结果均符 50 $\Omega \pm 10\%$ 的要求，计算结果如图 3.17 所示。

				Tolerance	Minimum	Maximum
Substrate 1 Height	H1	60.0000	+/-	0.0000	60.0000	60.0000
Substrate 1 Dielectric	Er1	4.9000	+/-	0.0000	4.9000	4.9000
Lower Trace Width	W1	75.0000	+/-	0.0000	75.0000	75.0000
Upper Trace Width	W2	63.0000	+/-	0.0000	63.0000	63.0000
Trace Thickness	T1	25.0000	+/-	2.5000	22.5000	27.5000
Coating Above Substrate	C1	18.0000	+/-	3.0000	15.0000	21.0000
Coating Above Trace	C2	18.0000	+/-	3.0000	15.0000	21.0000
Coating Dielectric	CEr	4.3000	+/-	0.0000	4.3000	4.3000
Impedance	Zo	50.99			50.26	51.81

图3.17 L1 层信号线仿真结果

				Tolerance	Minimum	Maximum
Substrate 1 Height	H1	100.0000	+/-	3.0000	97.0000	103.0000
Substrate 1 Dielectric	Er1	4.9000	+/-	0.0000	4.9000	4.9000
Substrate 2 Height	H2	100.0000	+/-	3.0000	97.0000	103.0000
Substrate 2 Dielectric	Er2	4.9000	+/-	0.0000	4.9000	4.9000
Lower Trace Width	W1	50.0000	+/-	0.0000	50.0000	50.0000
Upper Trace Width	W2	38.0000	+/-	0.0000	38.0000	38.0000
Trace Thickness	T1	18.0000	+/-	0.0000	18.0000	18.0000
Impedance	Zo	52.79			51.97	53.58

图3.18 L3 层信号线仿真结果

				Tolerance	Minimum	Maximum
Substrate 1 Height	H1	600.0000	+/-	3.0000	597.0000	603.0000
Substrate 1 Dielectric	Er1	4.9000	+/-	0.0000	4.9000	4.9000
Substrate 2 Height	H2	100.0000	+/-	3.0000	97.0000	103.0000
Substrate 2 Dielectric	Er2	4.9000	+/-	0.0000	4.9000	4.9000
Lower Trace Width	W1	75.0000	+/-	0.0000	75.0000	75.0000
Upper Trace Width	W2	63.0000	+/-	0.0000	63.0000	63.0000
Trace Thickness	T1	18.0000	+/-	0.0000	18.0000	18.0000
Impedance	Zo	53.65			52.81	54.47

图3.19 L5 层信号线仿真结果

3.4.6 过孔参数设计

由于一次压合，基板板材存在伸缩性，芯板 pin 定位压合会有 0.15mm 的偏差，因此这样的叠层结构必须有 0.2mm 的通孔环宽。根据深南电路的批量加工能力，板的深宽比最好在 5:1，主要由于树脂塞孔会容易有空洞之类，小规模打样可以为 8:1。过孔深度为 1200 μm ，所以过孔直径需大于 150 μm 。所以，过孔的尺寸为 150/350 μm ，设计时考虑为 6 层板，放宽设计裕量，为 150/400 μm 。

内圈过孔设计时，由于内圈过孔深度为 600 μm ，根据深宽比得到的最小过孔直径小于 100 μm ，但由于受到钻头尺寸的限制，内圈过孔设计仍为 150 μm 。在内圈布线时，布线密度较大，如图所示将内圈过孔的焊盘改为 300 μm 。

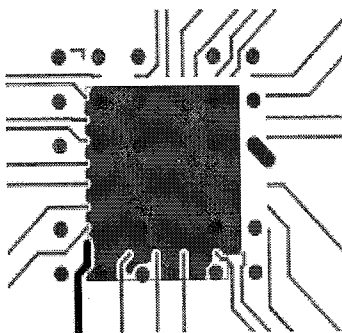
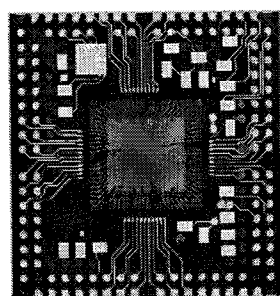
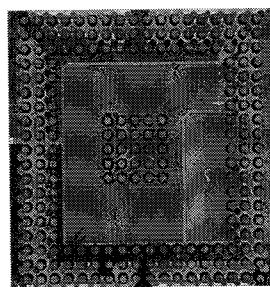


图3.20 内圈过孔设计

图 3.21 为设计完成的封装版图，从版图中可以看到——(a) 顶视图：基板表层分布着大量的电阻电容和小芯片 D4；(b) 底视图：BGA 焊球分布；(c) 侧视图：堆叠芯片被埋入基板；(d) 东北视图：堆叠芯片。



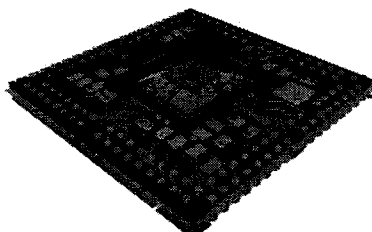
(a) Top view



(b) Bottom view



(c) Front view



(d) North-East view

图3.21 埋入三维封装的版图设计

3.5 信号完整性分析

信号完整性分析的主要是研究由于信号路径和返回路径上阻抗突变引起的引起的反射、延时、串扰、振铃、上冲、下冲、振铃等问题^[55]。仿真工具有 Hyperlynx, Synopsys, HSPICE, CST Microwave Studio and EM studio, Ansoft HFSS, Ansoft designer, Ansoft SIWAVE 和 Aglient ADS 等。AnsoftLinks 是 Ansoft 公司开发的将版图文件导入仿真软件交互的一个中转软件。

3.5.1 叠层设计

一个好的叠层设计方案能大大减小电磁干扰 EMI 及串扰的影响, 本节中将具体分析封装基板的叠层设计如何影响电子系统的信号完整性。

叠层设计应该尽量做到: (1) 信号层应该和电源/地层相邻; (2) 信号层应该和临近的敷铜层紧密耦合(即信号层和临近敷铜层之间的介质厚度很小); (3) 电源敷铜和地敷铜应该紧密耦合; (4) 系统中的高速信号应该在内层且在两个敷铜之间, 这样两个敷铜可以为这些高速信号提供屏蔽作用且将这些信号的辐射限制在两个敷铜区域; (5) 多个地敷铜层可以有效的减小 PCB 的阻抗, 减小共模 EMI^[57]。这就需要根据实际的系统要求选择适当的板层结构。

根据封装结构设计的参数, 共有六层板, 表 3.4 列出了三种 6 层板结构。其中, S 代表信号层, G 代表地层, P 代表电源层。

表 3.4 6 层板的叠层结构设计

	A	B	C
L1	S	S	S
L2	S	G	G
L3	P	S	S
L4	G	P	P
L5	S	G	S
L6	S	S	P

A: 将电源和地分别放在 L3 和 L4 层, 这一设计解决了电源覆铜平衡的问题, 但 L1 和 L6 层的电磁屏蔽性能差。另外, 根据前面的资料, 此封装结构中共有信号线 110 个, 电源地共 5 个, 布线密度不大。这种叠层设计的电源、地平面数量太少, 信号层过多, 不适合此封装结构。

B:将电源和地分别放在 L2, L4 和 L5 层。所有信号层与接地层相邻, 且电源层和接地层配对。但是, 这种叠层设计也有不足之处。首先是层的结构不平衡。其次是 L6 层为信号层不方便埋入器件走线。

C: 叠层设计中有 3 个信号层, 3 个电源、地参考平面, 每个信号层的参考平面相互独立, 可以很好的控制不同层信号串扰的问题。另外, D1, D2, D3 芯片可以直接与基板的 L1, L3, L5 层互连, 布线非常方便。但同 B 一样, 有个不足之处, 也是各层的覆铜率不平衡。由于 Cavity 结构的引入, 厚底层介质也会导致基板翘曲。所以, 此叠层设计不能以传统的覆铜率对称来减小基板翘曲的防线。作者也曾尝试通过仿真来指导各层的覆铜率设计, 但部分介质镂空, 布线、铺铜位置不确定等因素, 仿真模型过于复杂且意义不大, 所以, 作者最终选择不考虑覆铜率的影响, 通过实验验证基板翘曲的情况。

3.5.2 隔离度分析

该封装结构的电学隔离度分析较为复杂, 突出表现为: (1) 芯片的纵向堆叠, 所以在垂直方向上, 不同芯片的键合引线相互耦合; (2) 封装基板的信号线之间产生电磁耦合。

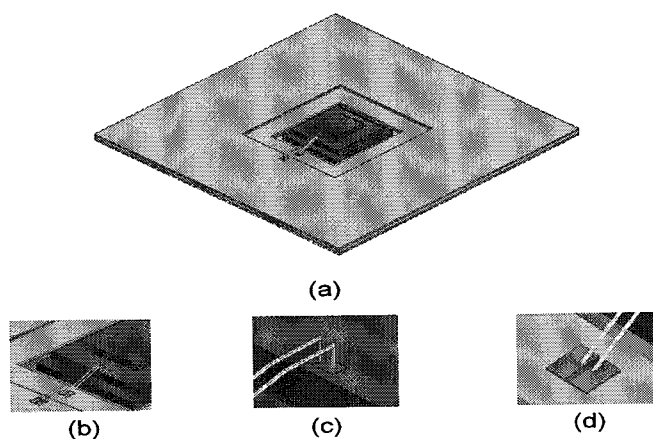


图3.22 键合线隔离度仿真模型

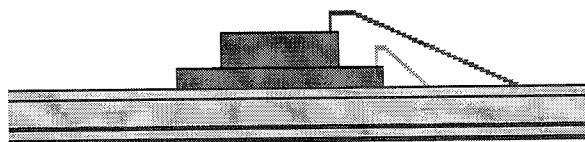


图3.23 Cavity 基板堆叠芯片键合线局部放大图

图 3.22 为 HFSS 中手动建立的仿真模型，用于仿真堆叠芯片键合引线的串扰。模型包括埋入堆叠芯片，Cavity 基板和键合引线等结构及局部细节图，模型中各结构的尺寸与版图中的设计完全一致。其中，(a) 为 Cavity 基板、埋入堆叠芯片及键合引线的整体模型；(b) 为键合线的细节图；(c) 为键合线连接芯片端仿真激励-集总端口；(d) 为 I/O 金手指处的仿真激励-集总端口。模型中绿色部分为基板，灰色部分为芯片，黄色部分为键合引线和金手指焊盘。其中两根长键合引线连接 D1 芯片和基板 M1 层，分别为信号线和回流地线，芯片管脚和金手指焊盘处分别添加端口 Port1 和 Port2。两根短键合引线连接 D2 芯片和基板 M3 层，分别为信号线和回流地线，芯片管脚和金手指焊盘处分别添加端口 Port3 和 Port4。图 3.23 为 Cavity 基板堆叠芯片键合线局部放大图，不同芯片的键合线距离相对较远。图 3.24 为堆叠芯片的键合线串扰仿真结果，芯片键合线的隔离度在 10GHz 以内保持在约-40dB 以下。

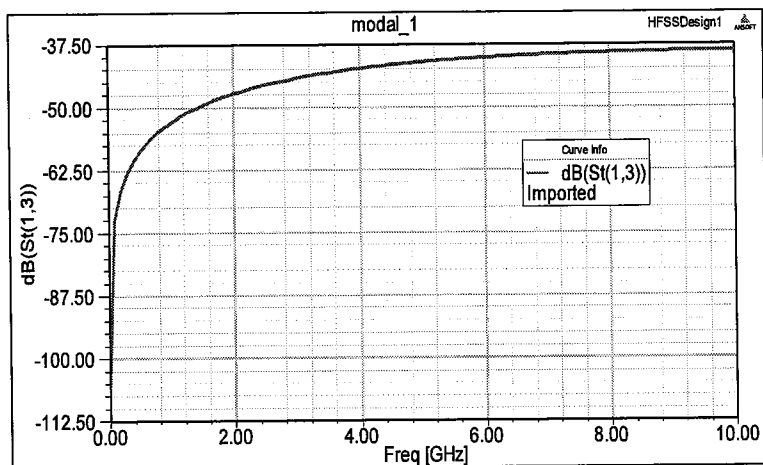


图3.24 Cavity 基板堆叠芯片键合线隔离度仿真

图 3.25 为非 Cavity 基板堆叠芯片键合线的局部放大图，不同芯片的键合线距离减小。图 3.26 为非 Cavity 基板的堆叠芯片的键合线串扰仿真结果芯片键合线的隔离度在 10GHz 内保持在约-30dB 以下。由于 Cavity 提供了更大的打线空间，堆叠芯片的键合线隔离度增加。

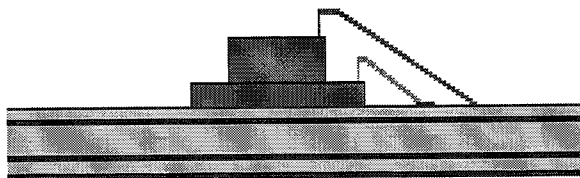


图3.25 非 Cavity 基板堆叠芯片键合线局部放大图

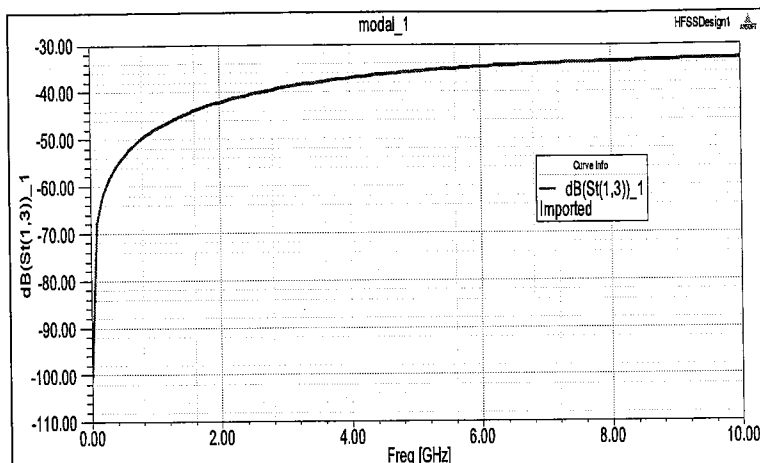


图3.26 非 Cavity 基板堆叠芯片键合线隔离度仿真

本设计中对链路串扰的另一个改进是用电源地平面将不同芯片的信号隔离。为了评估这种结构对隔离度的改善效果,我们在三维全波电磁仿真软件 HFSS(行业标准设计工具)进行了建模和仿真分析。图 3.27 为仿真模型截取图,其中图 (a) 为传统二维封装中采用的是空间隔离两条表层微带线, (b) 为有电源地平面隔离的微带线和带状线结构。图 3.28 为采用空间隔离的信号线串扰仿真结果, 10GHz 时,信号线的隔离度仅为 15dB 左右。而采用电源地平面隔离的信号线,如图 3.29 所示,在 DC 到 10GHz 内,隔离度都在-124dB 以下。电源地平面大大提高了信号线的隔离度。

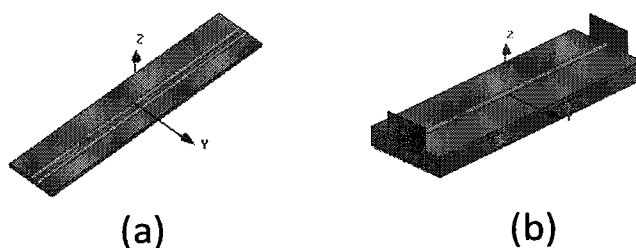


图3.27 堆叠芯片信号线串扰仿真模型

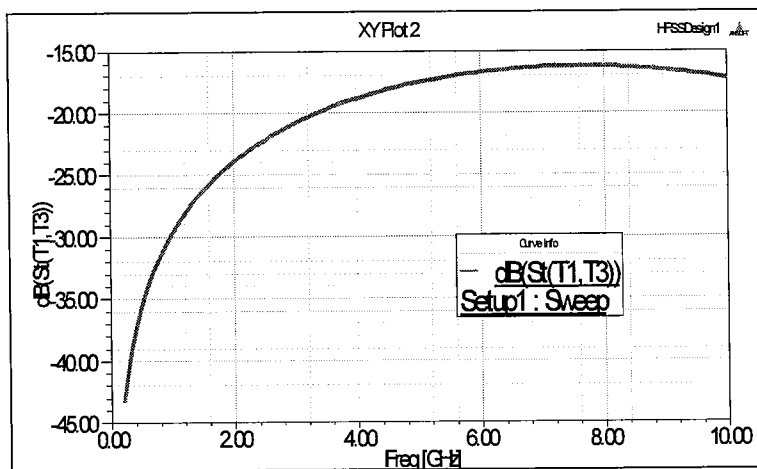


图3.28 采用空间隔离的信号线串扰仿真

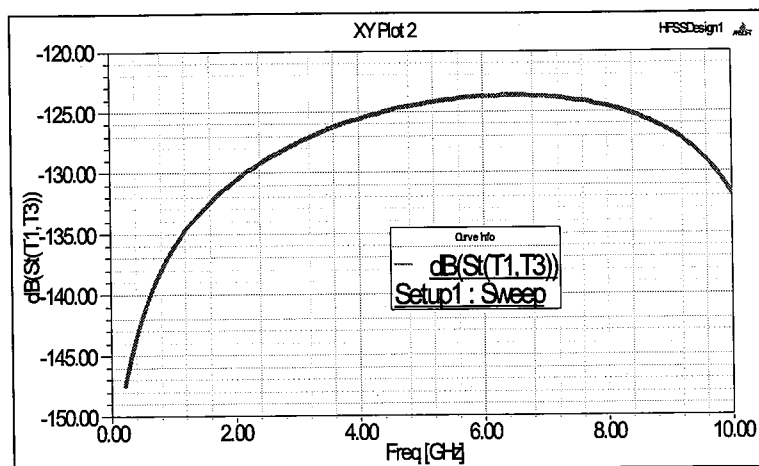


图3.29 采用平面隔离的信号线串扰仿真

3.5.3 全链路仿真方案

信号完整性仿真中,设计者首先要从平面版图文件中导出与用于仿真软件三维模型。埋入三维封装的系统结构十分复杂,主流仿真软件并不直接兼容这一结构。针对此封装结构,本文提出了一个可行性仿真方案,即对于复杂结构的仿真,可先将模型分解成若干个部分,通过 HFSS 或者 SIWAVE 等 EDA 工具以文件的格式导出各部分模型参数,然后在 ADS 中将各部分模型组合,形成整体模型全链路结构,在 ADS 中输出图表结果。这种仿真方案能有效避免设计者将时间浪费在不正确的方向上,如调整各种参数最后却发现模型与仿真软件完全不兼容。这对于提高设计者的仿真效率,保证设计的准确性大有帮助。同时,此仿真方案对于其他复杂的三维封装结构也有一定的借鉴意义。

ADS 是 Angilent 公司推出的电路和系统仿真软件,主要是与频域工具(比如 SIWAVE, HFSS)结合起来,既可进行时域电路仿真,也可以进行频域电路仿真,仿真包括串扰,反射,眼图, S 参数等。

HFSS 和 SIWAVE 等 EDA 工具可以以文件的格式输出部分结构的仿真结果,如 SPICE 模型, S 参数模型, IBIS 模型等。SPICE 模型包括有源器件和无源器件,有源器件是信号源、电流电压波形,晶体管模型或者是门模型,无源器件为 RLCG 模型, Spice 模型的仿真速度相对较。S 参数模型为 TOUCHSTONE 文件,文件的后缀为 .SNP, N 表示的是端口的数量,文件的内容为 S 参数。IBIS 模型文件的后缀为 .icm,主要描述的是 I/O 接口(buffer)的电压电流关系,电压随时间的变化,器件的封装寄生效应,输入电容,时间管理信息等。IBIS 模型是以数据格式表征输入和输出端口行为的看法,高速准确仿真信号完整性,它是板级仿

真通用的标准。因为我们的仿真是针对无源链路结构，所以仿真时只需得到 S 参数文件即可。

3.5.4 埋入堆叠芯片结构的软件兼容性

Ansoftlink 导入封装结构的版图文件后，查看 Layer Stackup 选项卡，如图 3.30 所示。其中 type 栏中 wirebond 代表芯片，所有的芯片都默认同一高度，且不能更改。由此可知，Ansoftlink 不支持堆叠芯片结构。且芯片高度值大于基板 M1 的高度值，所以，Ansoftlink 也不支持芯片埋入的结构。从 Ansoftlink 导入 HFSS 和 SIWAVE 的原始模型也不支持埋入堆叠芯片结构。

Name	Color	Type	Material	Thickness	Elevation
UNNAMED 1		DIELECTRIC	AIR	0	1.138
E2		WIREBOND	GOLD	0	1.138
UNNAMED 3		DIELECTRIC	FR-4	0	1.138
5507		WIREBOND	GOLD	0	1.138
UNNAMED 5		DIELECTRIC	FR-4	0	1.138
DIE MCU		WIREBOND	GOLD	0	1.138
UNNAMED 7		DIELECTRIC	FR-4	0	1.138
6523		WIREBOND	GOLD	0	1.138
UNNAMED 9		DIELECTRIC	FR-4	0	1.138
M1		METAL	COPPER	0.018	1.12
UNNAMED 11		DIELECTRIC	FR-4	0.06	1.06
M2		METAL	COPPER	0.018	1.042
UNNAMED 13		DIELECTRIC	FR-4	0.09	0.952
M3		METAL	COPPER	0.018	0.934
UNNAMED 15		DIELECTRIC	FR-4	0.09	0.844
M4		METAL	COPPER	0.018	0.826
UNNAMED 17		DIELECTRIC	FR-4	0.09	0.736
M5		METAL	COPPER	0.018	0.718
UNNAMED 19		DIELECTRIC	FR-4	0.7	0.018
M6		METAL	COPPER	0.018	0

图3.30 Ansoftlink 中叠层选项卡

HFSS (High Frequency Structure Simulator) 是 Ansoft 公司推出的全波三维电磁场仿真软件，是行业标准设计工具。HFSS 常用于天线，PCB，封装，连接器，电缆，波导等结构的仿真，可输出 S、Y、Z 参数，三维电磁场图，提供全波 spice 模型，也可输出 touchstone 文件。图 3.31 为版图文件导入 HFSS 的整体模型，图 3.32 为堆叠芯片键合线局部放大图，从图中可以看到，键合引线与基板并不互连。

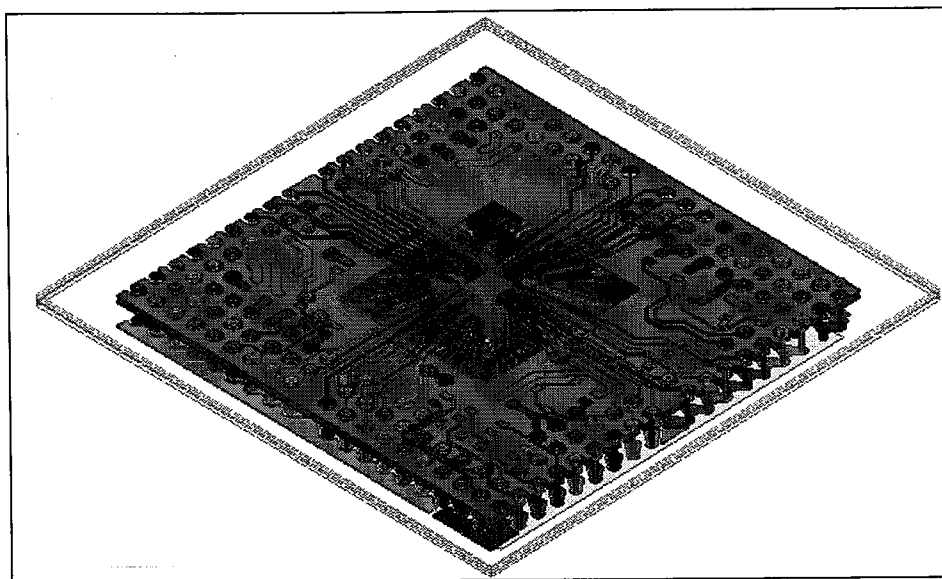


图3.31 HFSS 中埋入堆叠芯片的整体模型

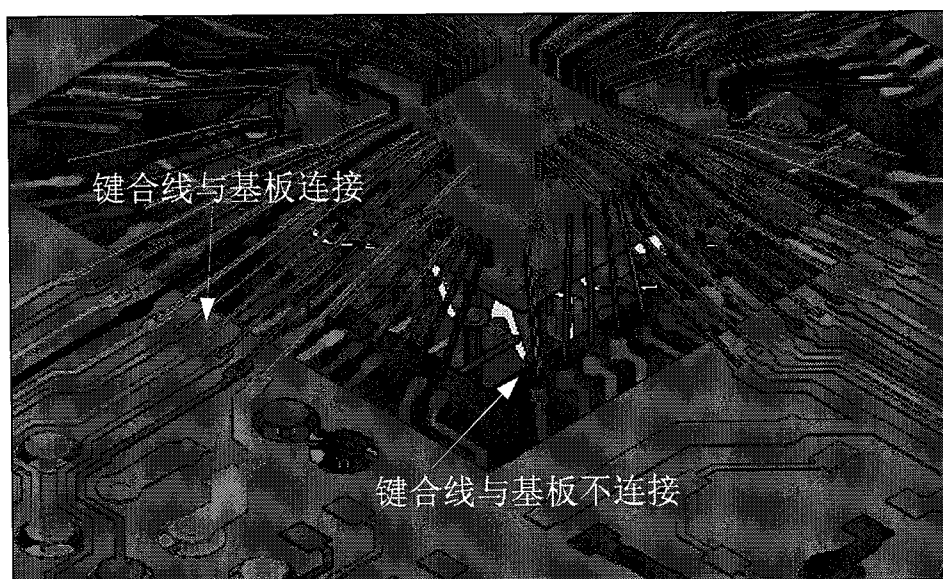


图3.32 HFSS 中堆叠芯片键合线局部放大图

SIWAVE 主要用来分析包含大规模复杂的电源、地平面的 PCB 和封装, 可进行平面谐振分析, S、Y、Z 参数提取, IR Drop 分析, EMI 分析, SSN 噪声分析等, 可输出全波 Spice 模型、Touchstone 文件和 IBIS 模型等。SIWAVE 使用 2.5D 场求解器, 精度上比 HFSS 稍微差一点, 比一般的 2D 场分析软件要强。图 3.33 为版图文件导入 SIWAVE 的整体模型, 图 3.34 为堆叠芯片键合线局部放大图, 可以看到, 键合引线与基板并不互连。

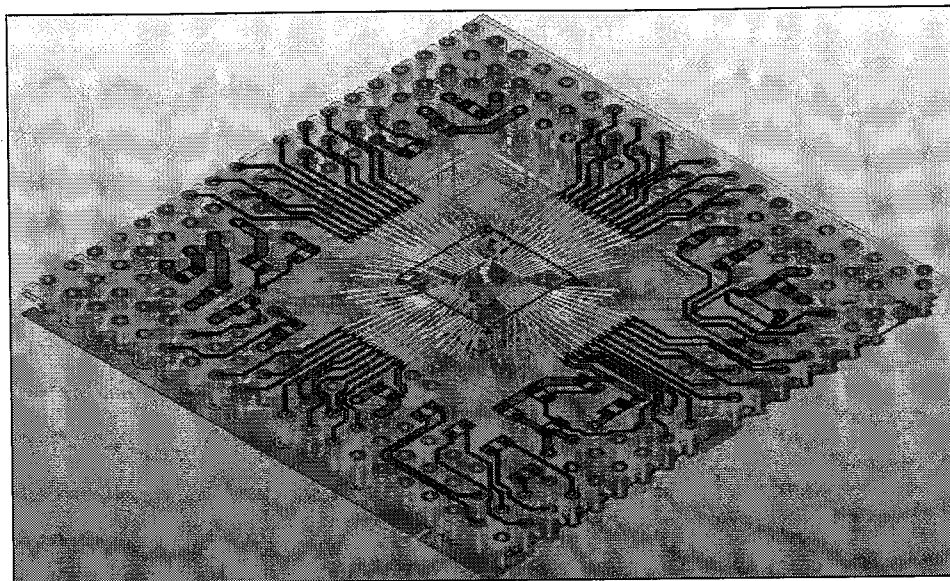


图3.33 SIWAVE 中埋入堆叠芯片的整体模型

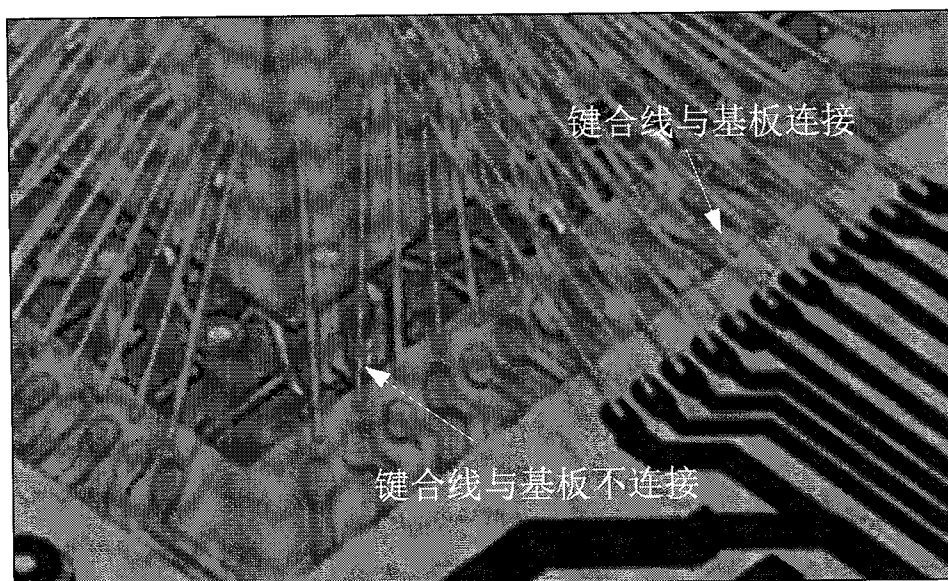


图3.34 SIWAVE 中堆叠芯片键合线局部放大图

由于 HFSS 与 SIWAVE 与埋入堆叠芯片结构均兼容，所以，设计时可使用全链路仿真方案。首先，利用 HFSS 中强大的建模能力提取键合线的 S 参数，再利用 SIWAVE 快速提取基板无源链路的 S 参数，最后在 ADS 中进行全链路仿真分析。

3.5.5 键合线的 S 参数

S 参数是用来描述线性无源互连结构的行为。它不考虑互连结构的具体形式，把互连结构当成一个“黑盒子”，仅仅通过网络在端口处的参量来完全描述互连结构的不同端口的入射信号和反射信号之间的关系。工程上常把 S11 称为回损 (Return Loss)，把 S12 称为插损 (Insertion loss)。从傅里叶分析的角度来

说,任何时域的信号都可以分解为一系列正弦信号的叠加。某一频点的 S 参数可看成互连结构对正弦信号的响应。入射信号和反射信号的频率相同。有了频域的响应,就能根据傅里叶变换的对应关系,得到对时域的各种复杂波形的响应特性。所以,使用 S 参数可以从频域描述互连结构所有的有效信息^[55]。

键合线的仿真使用堆叠芯片隔离度仿真的模型。图 3.35、图 3.36 为不同长度的键合引线 S 参数仿真结果,其中,图 3.35 为插入损耗 S12,图 3.36 为回波损耗 S11。黑色圆点标注的紫曲线表示是长键合引线的仿真结果,黑色小三角形标注的红色曲线表示的是短键合引线的仿真结果。四条曲线均平滑不存在谐振点,说明信号键合引线和地键合引线对可视为横截面均匀的两导体传输线结构。

图 3.35 中,在相同频率下,长键合引线的插入损耗大于短键合引线的插入损耗,信号传输特性随着键合引线长度的增加变差。当频率增加时,两键合引线的插耗的差值越来越大,5GHz 时,两者的差值约为 1.3dB,当频率升高为 10GHz 时,长键合引线的插损为-4.3dB 左右,短键合引线的插损仅为-1.5dB 左右,两者的差值增加为 2.8dB。频率增加时,长键合引线的插损大大增加,不利于信号的传输。图 3.36 中,当频率大于 500MHz 时,两键合引线的回波损耗 S11 均高于 -30dB,说明键合引线端口阻抗(50 欧姆)之间存在大的失配,信号从芯片传入键合引线会存在很大的反射。10GHz 时,长键合引线 S11 接近 0,短键合引线的 S11 也只有 -6dB 左右,信号大部分被反射。

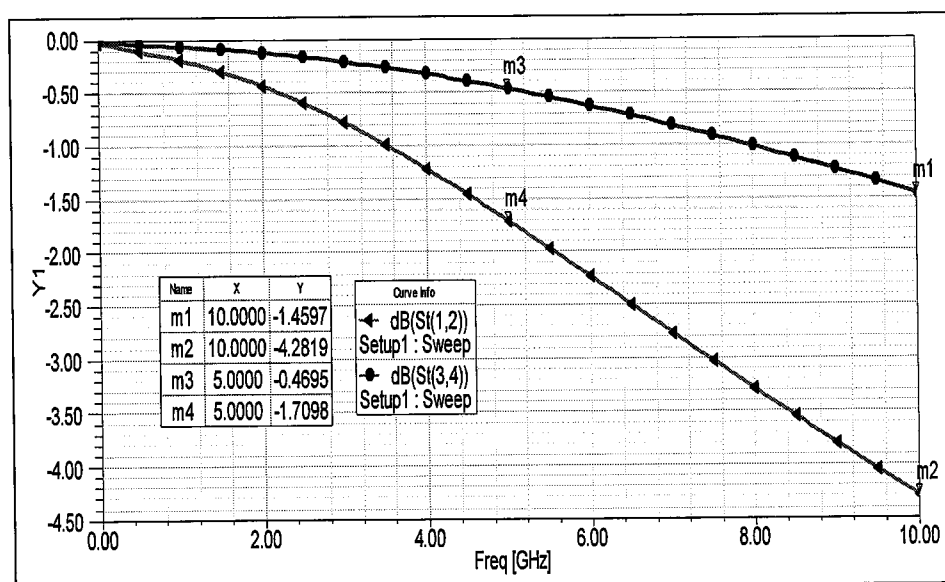


图3.35 不同长度键合引线的 S12 参数

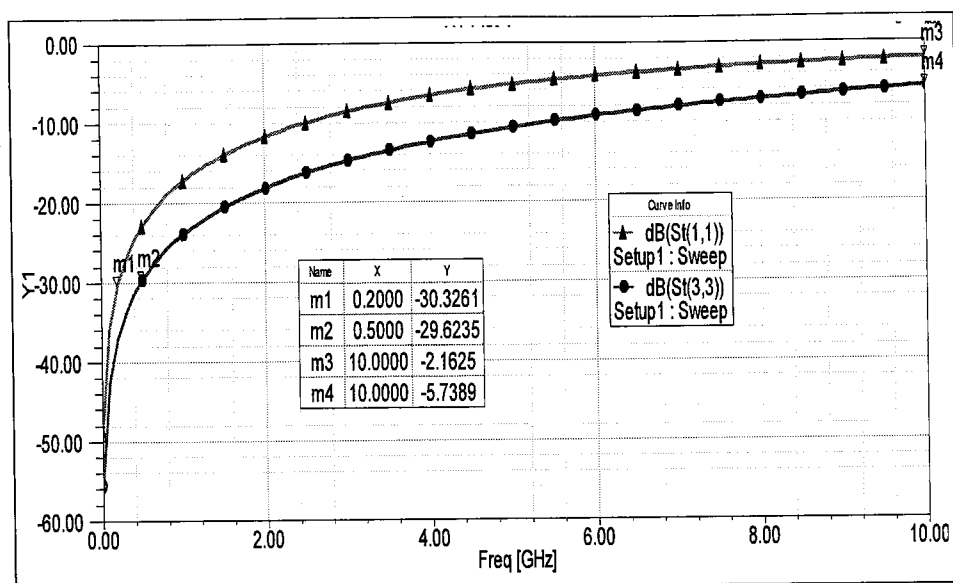


图3.36 不同长度键合引线的 S11 参数

3.5.6 典型信号线的 S 参数

不同于 3D 全波电磁场求解器仿真速度较慢, 2.5D 全波电磁场求解器能快速准确的分析包含大规模复杂的电源、地平面的 PCB 和封装 SI 和 PI 设计。根据此封装结构的设计, L2、L4、L6 层均设计有大面积的电源、地平面作为 M1、M3、M5 层信号的参考平面。所以, 仿真时用 SIWAVE 仿真基板链路的电学特性。SIWAVE 网格划分为二维平面的网格划分, 即对于同一高度, SIWAVE 默认为同一介质。对于 Cavity 基板, 同一高度, 基板部分为介质, 部分为空气, 所以 SIWAVE 忽略基板的 Cavity 结构。同时, SIWAVE 的叠层设计时自然累积高度, 所以, SIWAVE 并不支持埋入堆叠芯片的结构。对于没有参考平面(一般以电源地平面参考)的信号线, SIWAVE 是不能模拟的。Cavity 的存在, M2 和 M4 层的电源地平面被挖空, 电源地平面的完整性被破坏。但是, Cavity 内 M1-M4 层并没有布线, 仿真结果不受影响。

图 3.37 为基板中典型信号 S0 从金手指焊盘到 BGA 球的传输特性。由于基板中无源链路中过孔、焊盘、BGA 球等结构的多个不连续结构的影响, 插入损耗 S12 存在两个较大的谐振点, 分别为 5GHz 和 8GHz。

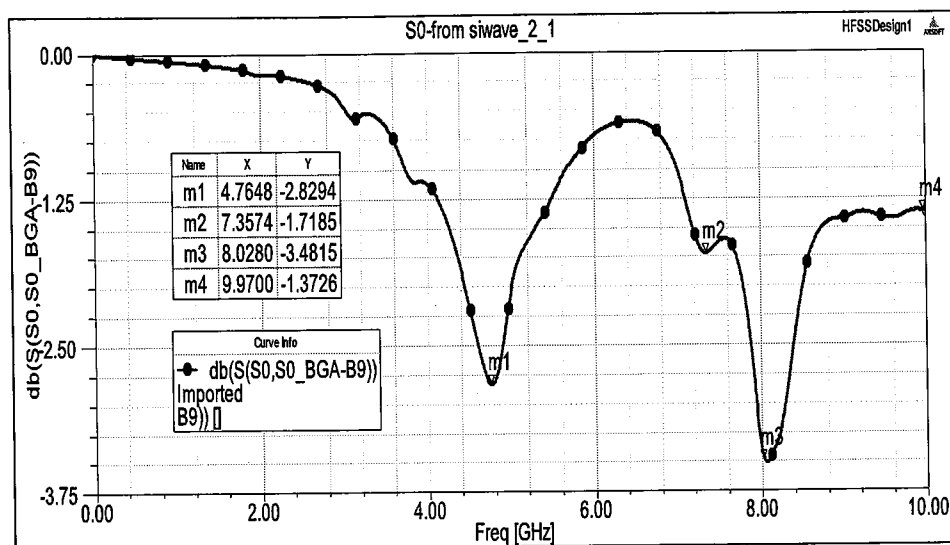


图3.37 SIWAVE 中信号线 S0 的 S12 参数

图 3.38 为 HFSS 中截取的 S0 信号线仿真模型，包括 S0 信号线在基板的走线、过孔、焊盘和焊球。其中走线、过孔、焊盘为蓝色部分，焊球为灰色。仿真模型保留了大量的电源地平面，作为信号线 S0 的回流平面。信号线 S0 两端各包含一个 lumped port，其中，焊球处的 port 为 Ansoftlinks 导入时自动添加，金手指处的 port 为手动添加。仿真频率设置为 0-10GHz，扫频间距为 100MHz。

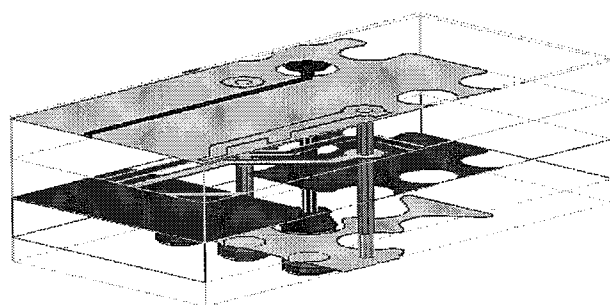


图3.38 HFSS 中 S0 信号线仿真模型

图 3.39 为 SIWAVE 中和 HFSS 中信号线 S0 的 S12 参数仿真结果对比。由于 HFSS 只在间隔 100MHz 的频点计算传输损耗，所以，HFSS 中 S12 曲线谐振点消失，十分平滑。但两个仿真结果的最大衰减频率均为 -3.5dB 左右，所以，两种软件的仿真结果均具有参考意义。所以，针对有大量参考平面的信号线的 S 参数仿真，可选择操作更为方便，仿真速度更快，细节信息更多的 2.5D 电磁场仿真工具 SIWAVE。

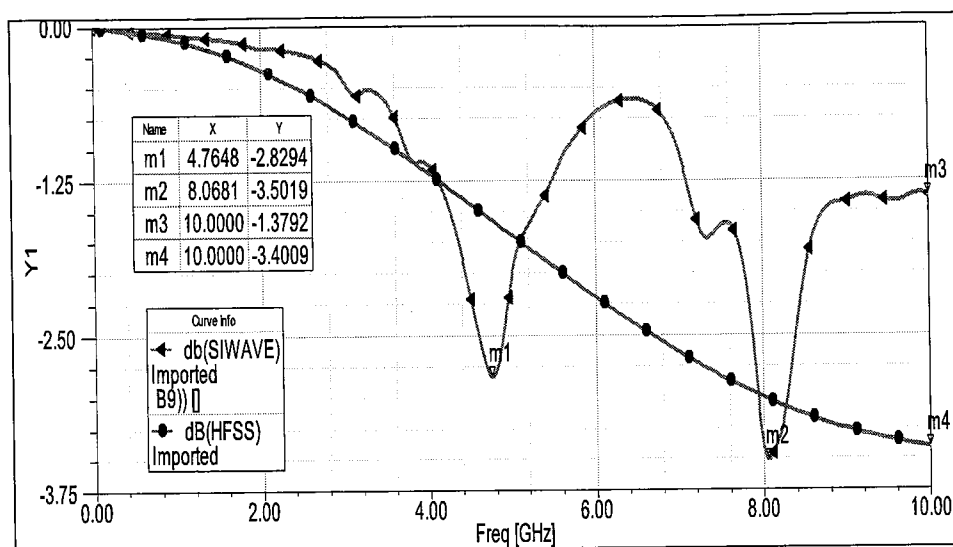


图3.39 SIWAVE 中和 HFSS 中信号线 S0 的 S12 参数对比

3.5.7 埋入堆叠芯片的全链路仿真

为了进一步验证链路中信号的质量，在 ADS 中进行 TDR 分析。TDR 是时域反射计 (Time Domain Reflectometry) 的缩写。TDR 分析时，产生一个快速上升沿的阶跃信号或者其它波形信号的激励，并在链路中不同位置设立观测点。通过观测点处的波形的出现的时间和大小进行分析，可以得到互连结构的不连续点的位置，阻抗突变的大小，互连线的延时，传输线的有效介电常数等参数。

TDR 分析包括信号延时和反射分析。图 3.40 为 ADS 中用于延时分析的仿真链路结构图，图 3.41 为 ADS 中用于反射分析的仿真链路结构图。链路中都包括从 HFSS 中提取的键合引线寄生参数文件和 SIWAVE 中提取的基板信号线的寄生参数文件。图 3.40 的仿真激励源为幅值为 1V，频率为 1GHz 的正弦信号。图 3.41 的仿真激励源为幅值为 1V，上升时间为 100ps 的阶梯信号。图 3.40 和图 3.41 中均设立 V1，V2，V5 三个观测点，其中，V1 表示的键合引线起点的波形，V2 表示键合引线的终点的波形，V5 表示的是基板无源链路终点的波形。

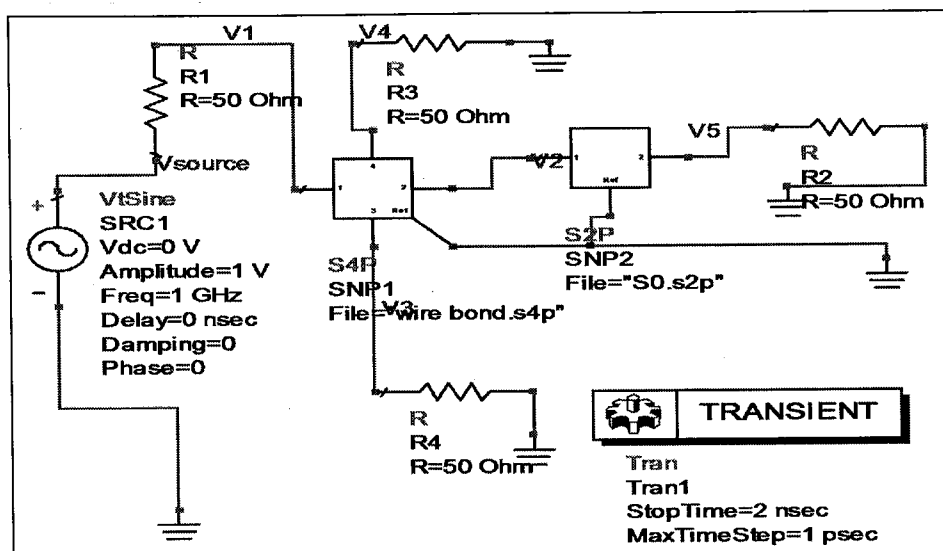


图3.40 ADS 中延时分析链路图

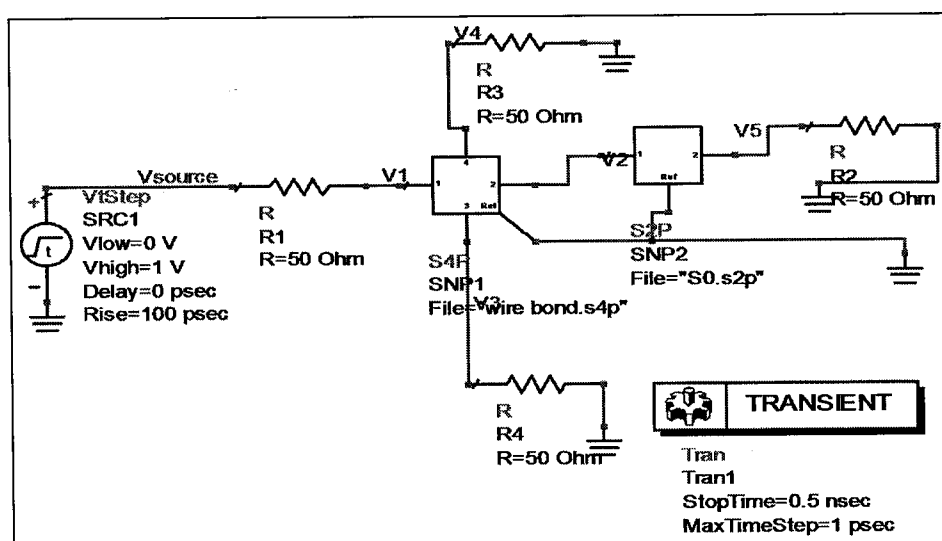


图3.41 ADS 中反射分析链路图

图 3.42 为延时分析的结果。V1, V2, V3 的第一个正弦波波峰到达的时间分别为 224ps, 271ps 和 329ps。所以, 信号在键合引线的延时与信号在基板无源链路中的延时几乎都为 50ps 左右, 键合引线的延时约为整个封装结构延时的一半。

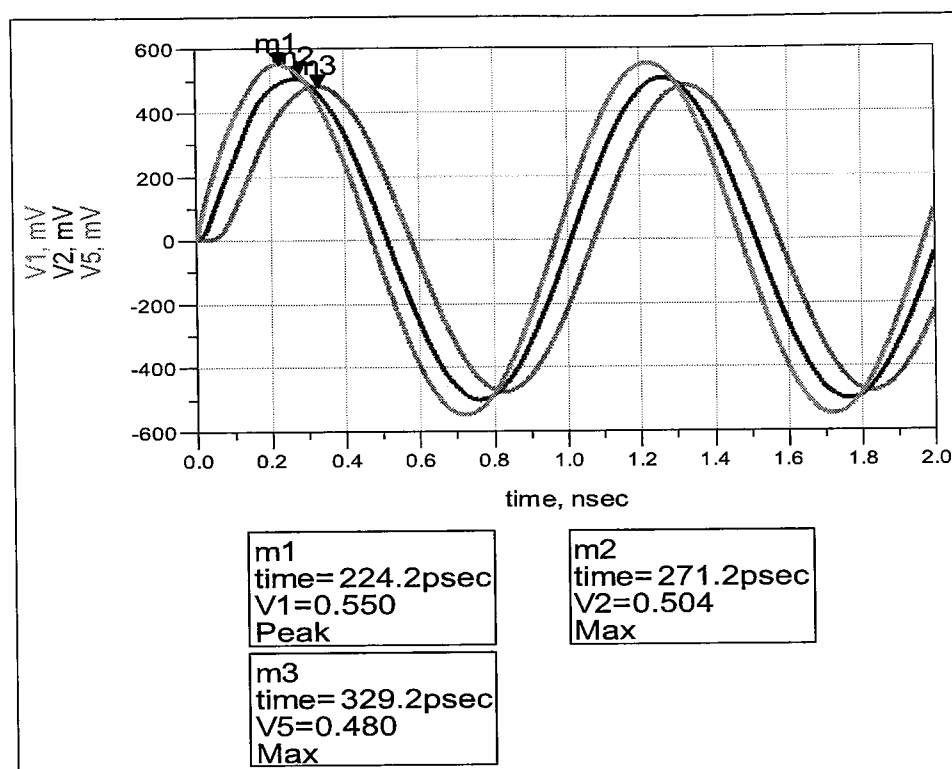


图3.42 ADS 中延时分析的结果

图 3.43 为反射分析的结果，其中紫色曲线为信号在键合引线起点位置波形，蓝色曲线为信号在金手指焊盘处波形，红色曲线为信号经过 BGA 焊球后的波形。对比原来的激励幅值 1V 的阶梯信号，刚到达键合引线的信号波形（紫色曲线）畸变严重，可见，信号在此处存在很大的反射，键合引线与端口阻抗（50 欧姆）失配严重。这与之前的键合引线 S11 的分析结果一致。紫色波形达到的信号幅值为 634mV，可知反射电压约为 134mV，反射系数 ρ 为 0.268。蓝色曲线为信号经过长键合引线后的波形，信号峰值减小，信号的上冲几乎消失，这是由键合引线信号的衰减引起的。红色曲线为信号经过整个封装结构后的波形，波形大致为阶梯信号，但上升时间几乎增加了一倍，这与延时分析的结果吻合。

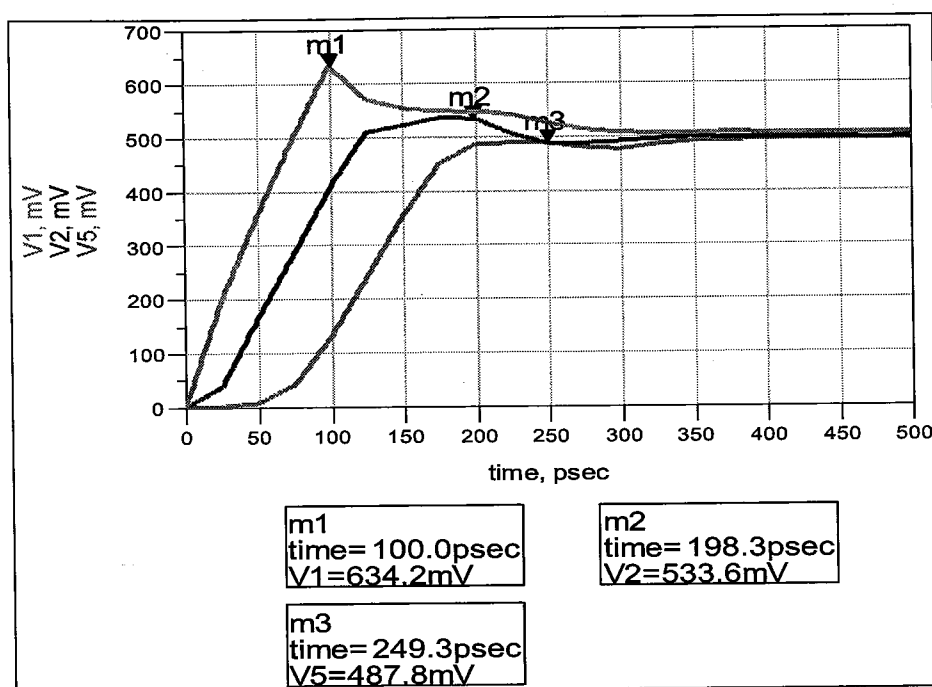


图3.43 ADS 中反射分析的结果

综上所述，长键合引线是链路中引起信号质量衰减的一个非常重要的因素。长键合引线为大的感性突变，是引起整个封装链路衰减和延时的关键结构。另外，如果需要对封装中信号路径进一步优化，可以对基板中的不连续结构进行优化，消除基板无源链路插入损耗曲线的谐振点。

3.6 封装结构的电源完整性分析

3.6.1 谐振模式分析

谐振模式分析是分析引起基板谐振的本征模式。封装结构中有大面积的电源地平面，且电源地平面连接大量的去耦电容。去耦电容在用于滤除电源的高次谐波的同时，也可能与电源地网络一起形成一个大的并联谐振结构。如果某种谐振模式被激发，则会大大增加电源地平面的直流压降，甚至引起电磁能量在封装结构中的剧烈震荡。此封装结构中，Cavity 的引入改变了基板的结构，谐振分析时应考虑 Cavity 的影响。

公式 3.5 为矩形波导谐振腔谐振频率^[58]，此处的下标 m, n, l 分别表示的是谐振腔 x, y, z 方向的驻波波形变化个数。 μ_r 为谐振腔介质的相对磁导率， ϵ_r 为介质的相对电导率。由于基板中 Cavity 的尺寸和 Cavity 中介质的属性，其谐振频率大于 100GHz，所以，在系统工作的频率附近，Cavity 本身不会形成谐振腔。另外，Cavity 内部并无金属线路，也不存在寄生电感电容，可认为 Cavity 的引入

对基板的谐振模式无影响。谐振模式分析可避免在系统工作的频率处引起谐振。图 3.44 为基板可能的谐振模式，已知系统的工作频率为 300MHz。由于基板中腔体的尺寸和腔体中介质的属性，其谐振频率大于 100GHz，在系统工作的频率附近，腔体本身不会形成谐振腔。谐振模式分析可避免在系统工作的频率处引起谐振。

$$f_{mnl} = \frac{ck_{mnl}}{2\pi\sqrt{\mu_r\epsilon_r}} = \frac{c}{2\pi\sqrt{\mu_r\epsilon_r}} \sqrt{\left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2 + \left(\frac{l\pi}{d}\right)^2} \quad (3.5)$$

Mode	Re. Freq (GHz)	Im. Freq (GHz)	k	Wavelength (m)	Q
1	0.012205509	0.001405894	0.25580855	24.562061054	4.369538300
2	0.013597280	0.001598691	0.28497791	22.047973146	4.281922000
3	0.015474309	0.001759362	0.32431754	19.373560048	4.426036800
4	0.017521341	0.002027611	0.36722016	17.110131861	4.349520000
5	0.018313574	0.002058789	0.38382414	16.369958785	4.475672500
6	0.038620201	0.006248752	0.80941957	7.762581446	3.130421800
7	2.036511410	0.083185320	42.68212300	0.147208828	12.251017700
8	2.878412733	0.094562507	60.32706999	0.104152005	15.227840800
9	3.166531316	0.107519349	66.36558896	0.094675349	14.733888400
10	3.597449994	0.069636688	75.39697663	0.083334712	25.834973000
11	4.423492065	0.119015758	92.70953826	0.067772803	18.590365500
12	5.201640457	0.115042539	109.01832258	0.057634214	22.612994000
13	5.338572345	0.123795494	111.88820275	0.056155923	21.567859000

图3.44 基板谐振模式

图 3.45 为基板谐振模式（模式 7，如图所示）被激发时，电源平面的电压分布。从分布图中可以看出，相对完整的电源平面附近，电压波动较小。地过孔附近，电源平面的电压相对较低。由过孔或者平面切割引起的不完整的电源地平面、远离地过孔、电源地平面边缘尖锐区域的电压幅值相对较大且电压波动较大。

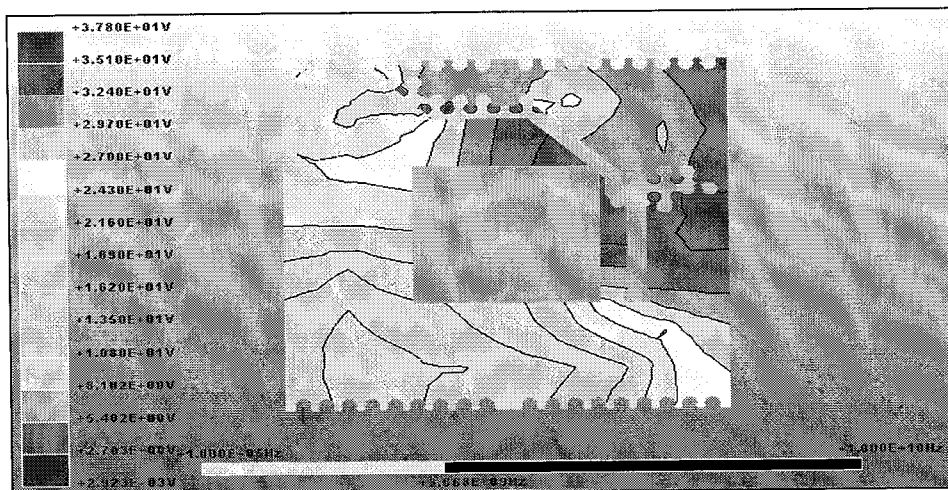


图3.45 基板的电源平面的电压分布（模式7）

3.6.2 扫频分析

扫频分析是分析封装结构在通过电流时引起的电源分布网络的电压波动。仿真时首先在电源和地的 BGA 焊球端添加一个电流源，然后，在基板上不同位置添加电压探针（Voltage Probe）来测量基板在此处的电压波动。图 3.46 为探测点观测到的不同位置的电压波动。从图中可以看出，3.1GHz 时，红色曲线和蓝色曲线代表的不同位置都出现了较大的电压波动。这与模式分析的结果一致。根据谐振模式分析的结果，3.1GHz 是基板的一个本征谐振模（模式 9），基板谐振可以引起电源地网络阻抗的增加，导致电压大幅增加。不同的是，红色曲线的波动幅度明显大于蓝色曲线。这是因为，红色曲线为探测点附近有 1 个地过孔，蓝色曲线为探测点附近有 3 个地过孔，增加的地回流过孔可以减小电源地平面电压的波动。这与基板谐振模式分析的结果一致。

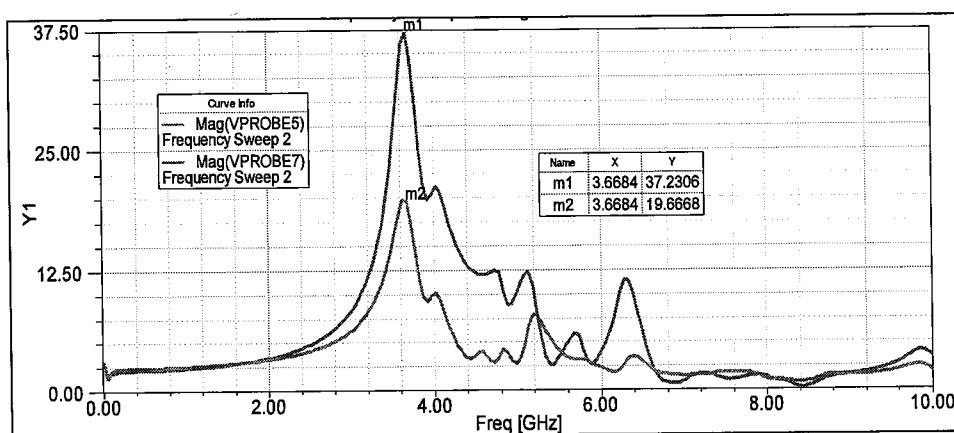


图3.46 电源平面不同位置的电压波动（模式 9）

3.7 优化设计

根据仿真结果的分析，长键合引线是引起此封装结构中链路信号质量变差的一个极为重要的因素，这将限制埋入堆叠芯片技术的应用范围。

由于优化设计是为了拓展埋入堆叠芯片封装技术的应用范围，所以优化设计不用局限于此系统，芯片的大小和类型不受到本案例的限制。若仍采用之前的正金字塔形芯片堆叠方式，由于最上层芯片键合引线过长，且很难进行补偿，所以，优化设计采用了类倒金字塔型结构。图 3.47 为优化设计的封装结构示意图。由于芯片 Dummy1 的面积大于芯片 Dummy2 的面积，所以，芯片 Dummy2 的键合引线无法扇出。所以，在芯片 Dummy1 和芯片 Dummy2 之间增加一个隔片（Spacer），隔片的厚度大于芯片 Dummy2 的键合引线弧高（一般弧高大于 $40\mu\text{m}$ ）。

芯片 Dummy1 的键合采用悬臂式键合的方式。由于本案例中的基板已经通过工艺验证可行，同时，为了方便优化设计的过程，优化设计也使用该尺寸的基板，只改变芯片的大小。实际系统中可根据芯片的尺寸重新设计基板的尺寸。根据案例中基板的加工经验，芯片与基板 Cavity 的边缘距离设置为 $350\mu\text{m}$ ，金手指焊盘距离基板边沿 $350\mu\text{m}$ ，绑定的横向距离为 $700\mu\text{m}$ 。为减小封装的高度，并符合 Cavity 的高度，本优化设计中所有芯片厚度和隔片(Spacer)的厚度设置为 $100\mu\text{m}$ 。

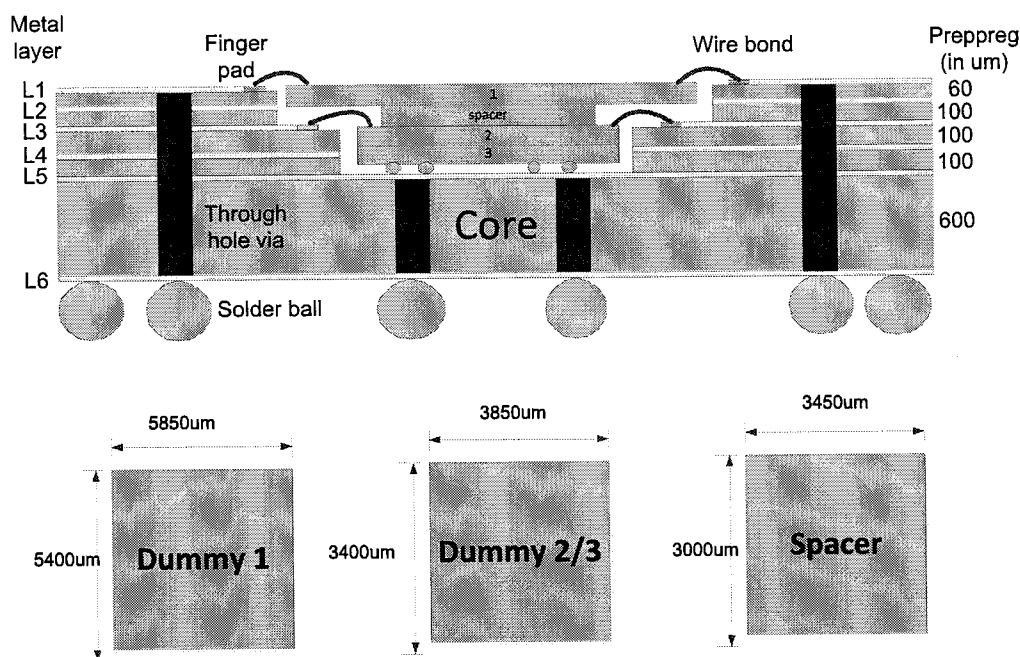


图3.47 优化的封装结构示意图

图 3.48 对比了不同长度的键合引线和基板链路的插入损耗结果对比。其中

1) Curve1-黑色朝左小三角形标注的红色曲线

此为长键合引线的插入损耗 S_{12} ，受到本系统芯片尺寸和 Cavity 基板的加工能力限制，键合引线和金手指焊盘的横向距离为 $3000\mu\text{m}$ ；

2) Curve2-黑色圆点标注的紫色曲线

此为 SIWAVE 中信号线 S0 的基板无源链路的金手指焊盘到 BGA 焊球的插入损耗 S_{12} ，封装中不连续结构较多，所以，曲线中存在谐振点；

3) Curve3-黑色朝下小三角形标注的蓝色曲线

此为 HFSS 中信号线 S0 的基板无源链路的金手指焊盘到 BGA 焊球的插入损耗 S_{12} ，由于仿真时只计算间距为 100MHz 的插入损耗，所以，曲线比较平滑；

4) Curve4-黑色朝右小三角形标注的棕色曲线

此为优化结构中的键合引线插入损耗 S12，优化结构不使用此系统，根据基板的加工能力和贴片的裕量，键合引线的最小二维横向距离约为 700 μm 的插入损耗；

5) Curve5-黑色小正方形标注的棕色曲线

此为短键合引线插入损耗 S12，正金字塔形堆叠芯片的底层芯片的键合线相对较短，所以，插入损耗减小。

如果使用 SIWAVE 的仿真结果，对比 Curve1 和 Curve2 发现，不考虑曲线谐振点存在的窄频率区间，大部分频带范围内，基板无源链路的衰减小于长键合引线的衰减。特别是当频率低于 4GHz(系统工作的频带范围内)，基板链路的衰减小于键合引线的衰减。若使用 HFSS 的仿真结果，对比 Curve1 和 Curve3 发现，长键合线引起的损耗完全大于基板无源链路的插入损耗。对比 Curve2、Curve3 和 Curve5 发现，若减小键合线的长度，无论是使用 HFSS 还是 SIWAVE 的仿真结果，键合线的插入损耗都小于基板的无源链路的插入损耗。若使用优化结构，键合引线的损耗在整个频带范围内小于基板无源链路的损耗，且键合引线的最大插损只有 -0.12dB 左右。所以，减小键合引线的长度能大大优化封装中信号的传输质量。

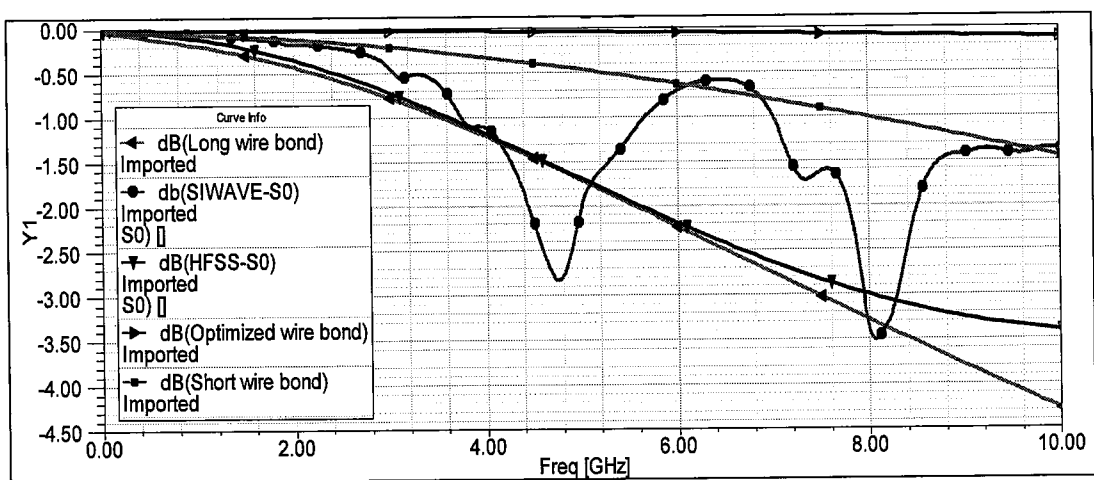


图3.48 不同长度的键合引线和基板链路的 S12 对比

眼图分析常用来直观的评价高速链路的传输特性，眼图是信号波形中很多短截的片段（眼图在时间上的跨度为两个码元的位宽）叠加在一起形成的。从眼图中可以看出一些量化的数据，如信号的上升、下降时间，信号交叉点的位置，信噪比，抖动等。眼图是评估高速互连的一个常用工具。图 3.49，图 3.50 为链路优化前后的 2Gbps 眼图分析对比。图 53 为链路优化前的眼图，眼图整体比较干

净，且线条较细，散点较少，是因为链路中并没有较大的噪声。但眼图的上升沿有明显的振铃，这是信号路径阻抗不匹配引起的。这与之前的分析结果长键合引线为大的阻抗不连续点一致。图 54 为链路优化后的眼图，眼图质量明显变好。眼图整体更为干净，线条更细，散点更少，说明新结构中信号的隔离度进一步提高，这与不同芯片键合引线物理距离增加有关。由于新结构的键合引线长度减小，眼图上升沿的振铃消失。另外，眼图的上升、下降沿变陡，眼宽增加，说明信号延时减小^[59]。

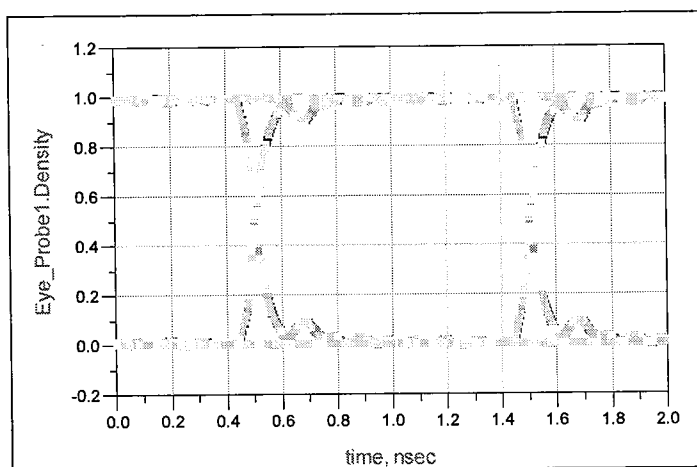


图3.49 链路未优化的眼图

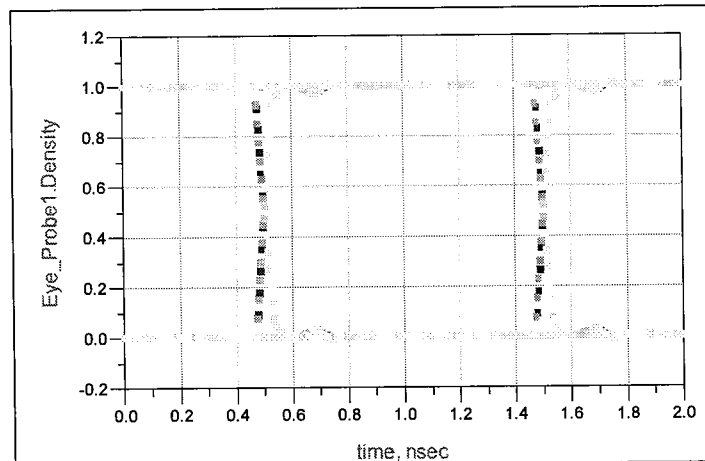


图3.50 链路优化后的眼图

第四章 埋入三维封装产品的制作和测试

4.1 高精度 Cavity 基板制作

图 4.1 为 Cavity 基板结构。埋入式三维封装的 Cavity 基板的最大特点是芯板与 PP 的张数不对称、芯板厚度上下不对称、Cavity 结构等都会导致基板产生大量的不平衡的应力，容易引起基板翘曲。

Cavity 基板制作的难点是保护 Cavity 结构台阶及底部的线路。Cavity 边缘距离金手指焊盘 $350\mu\text{m}$ ，若压合时 PP 流胶过大，覆盖 Cavity 边缘的金手指，影响键合线和基板的互连，制作时要保证压合时金手指不被 PP 覆盖。所有线路上铜箔厚度为 $18\mu\text{m}$ - $35\mu\text{m}$ 之间，若不能很好控制 Cavity 结构的纵向精度，台阶及底部的线路或被切断，所以 Cavity 基板制作的纵向深度控制在 $18\mu\text{m}$ 以内。

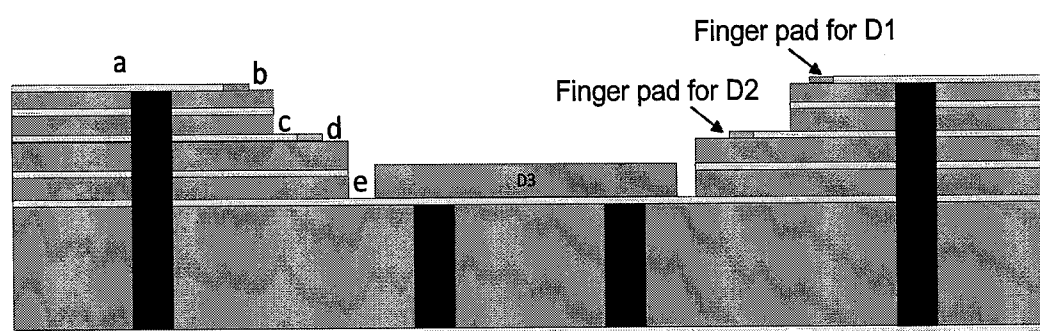


图4.1 Cavity 基板结构

4.1.1 Cavity 基板的结构设计

表 4.1 为 Cavity 基板尺寸的设计规则以及规则制定的原因。表中阐述了基板尺寸设计规则，开放腔体的横向和纵向尺寸标准。尺寸设计为工艺加工留出了一定的裕量，但是否能满足设计的加工要求，还需要进行实际的工艺验证。

图 4.2 为 Cavity 基板的结构示意图，包括基板和 Cavity 的尺寸。Cavity 包含两层台阶，台阶宽度约为 $1000\mu\text{m}$ ，台阶高度 $200\mu\text{m}$ 左右，台阶上和 Cavity 的底部均有线路，用于堆叠芯片的互连。

表 4.1 封装基板尺寸的设计规则

	Size limits (μm)	Comments
a	3225	不得小于腔体尺寸的 1/2, 否则会增加基板翘曲的风险
b	350	考虑到机械铣刀铣槽精度, 可以适当放大到 400-500 μm
c	350	考虑到 L1-L2 之间的 pp 流胶, 可以适当放大到 500 μm
d	350	考虑到机械铣刀铣槽精度, 可以适当放大到 400-500 μm
e	350	考虑到 L3-L4 之间的 pp 流胶, 可以适当放大到 500 μm

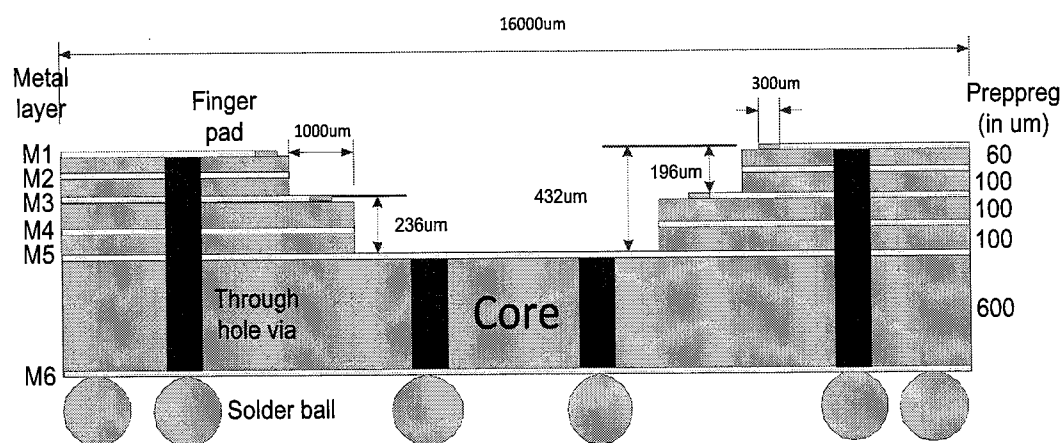


图4.2 Cavity 基板的尺寸说明

4.1.2 Cavity 基板的制作流程

Cavity 基板制作时最关键的工艺为控制基板的翘曲, 所以, 我们选择低翘曲的 Lamination 工艺^[60]。为了进一步控制翘曲, 设计时, 采用了低 CTE 的材料 BT, 同时, 尽量将底层芯板做厚。封装基板为六层板, 布线空间较大, 可以使用较大尺寸的过孔和环宽, 增加了 Lamination 工艺互连的可靠性^[61]。为了保护 Cavity 台阶和底部的线路, 选择了采用不流胶的 PP, 型号 EM285NF, 同时, Cavity 设计时, 金手指焊盘和 Cavity 边缘保持一定的距离。

Lamination 工艺使用三张芯板, 两张不完整的 PP, 一次压合成型。PP 中切割部分替换为 PTFE 垫片, 如图 4.3 所示。PP (Prepreg) 是由树脂浸渍增强材料 (如电子级玻璃纤维布, 木浆纤维纸等), 呈半固化状态的薄片材料, 它具有很强的粘性。层压时 PP 中环氧树脂融化、流动、凝固, 将各层电路压合在一起, 形成可靠的绝缘层。按照 Cavity 的尺寸, 将 PP 中间部分切割, 切割后的 PP,

用 PTFE 垫片填充。切割 L4 和 L5 层铜箔和之间的 pp, 形成大小为 $6550*6100\mu\text{m}$ 矩形开窗, 用相同大小的 PTFE 垫片填充。切割 L2 和 L3 层铜箔和之间的 pp, 形成大小 $4550*4100\mu\text{m}$ 的矩形开窗, 用相同大小的 PTFE 垫片填充。

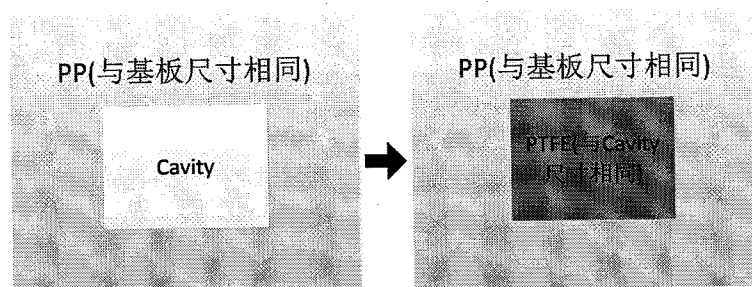
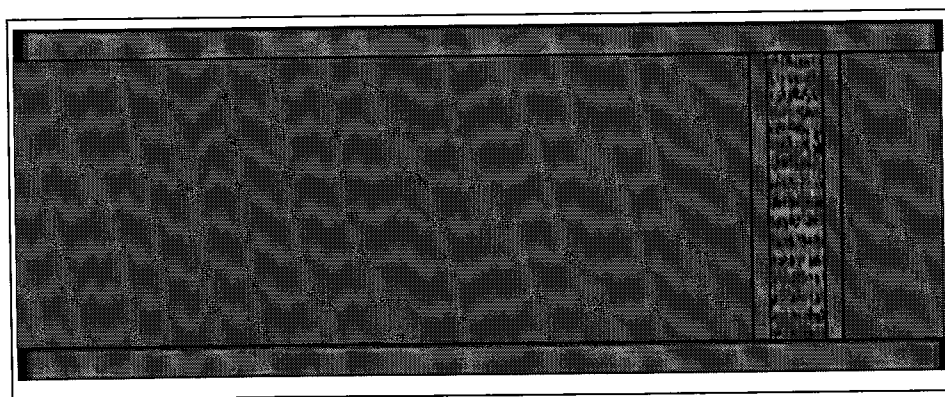


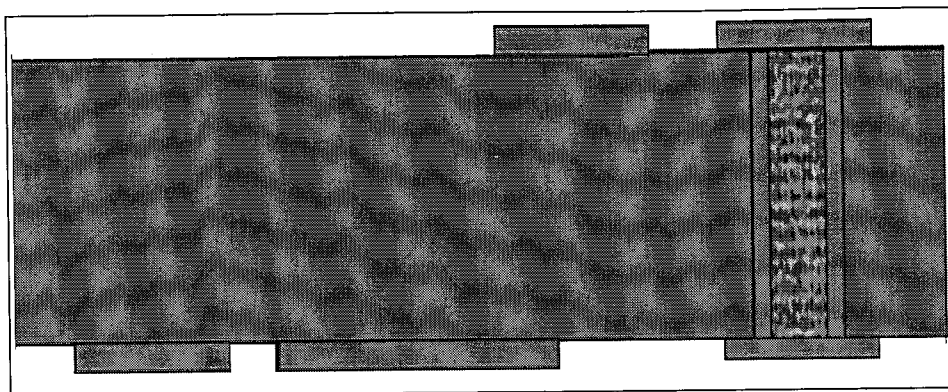
图4.3 PP 切割过程

图 4.4 为 Lamination 工艺制作 Cavity 基板的流程图。使用机械铣刀切割形成 Cavity 结构。PTFE 垫片在铣刀切割形成高精度 Cavity 基板的过程中发挥着重要作用。若不使用 PTFE 垫片, 直接使用机械铣刀切割芯板和 PP, 纵向精度无法满足 $18\mu\text{m}$ - $35\mu\text{m}$ 的要求; 另外, 即使切割完成, PP 在压合的过程中与铜箔紧密粘接, 无法实现 PP 与铜箔的分离。PTFE 是一种高分子材料, 抗酸、抗碱、抗各种有机溶剂、抗氧化, 化学稳定性极强, 高温高压下不与 PP 发生化学反应。同时, PTFE 烧结温度 $360\text{-}375^\circ\text{C}$, 低于基板制作的温度 200°C 左右, 在基板制作的过程中, PTFE 能保持极强的高温稳定性。所以, 在高温压合的过程中并不与 PP 或者铜箔粘接。

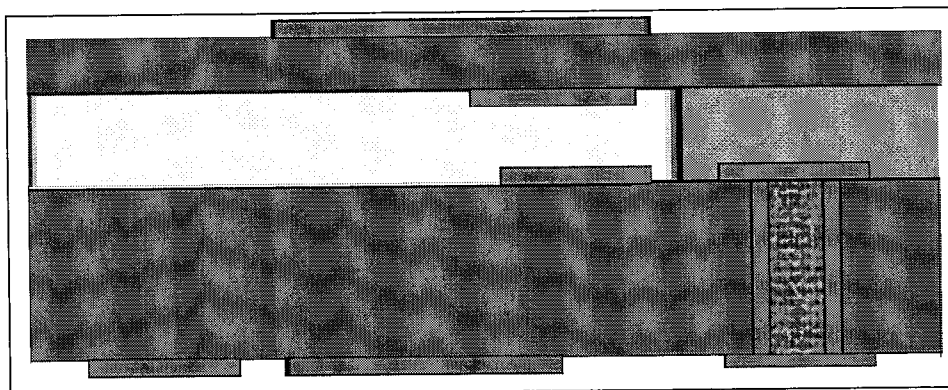
另外, PTFE 的摩擦系数在 0.01-0.10 之间, 是现有塑料材料, 乃至所有工程材料中摩擦系数最小的, 具有突出的不粘性, 容易实现 PTFE 和 PP 的分离。芯板切割完成后, 可直接将 PTFE 垫片和基板分离。这样, 机械铣刀形成 Cavity 的纵向深度裕量在铣刀自身的精度上增加 PTFE 的厚度 $100\mu\text{m}$, Cavity 边缘线路被完全保护。



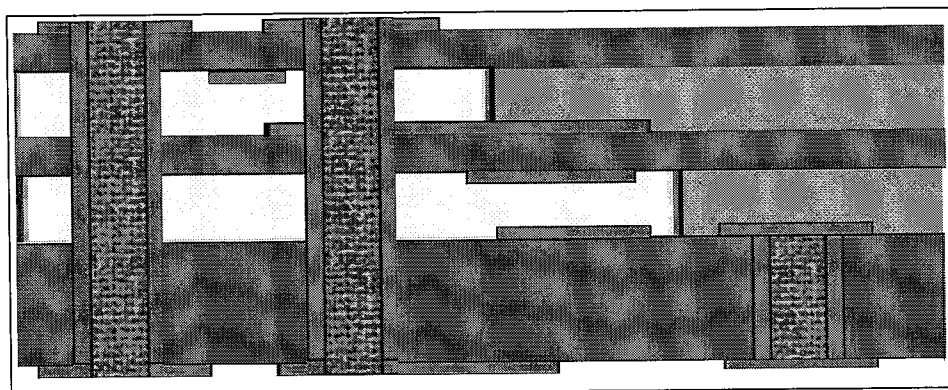
a) BT 芯板机械钻孔电镀



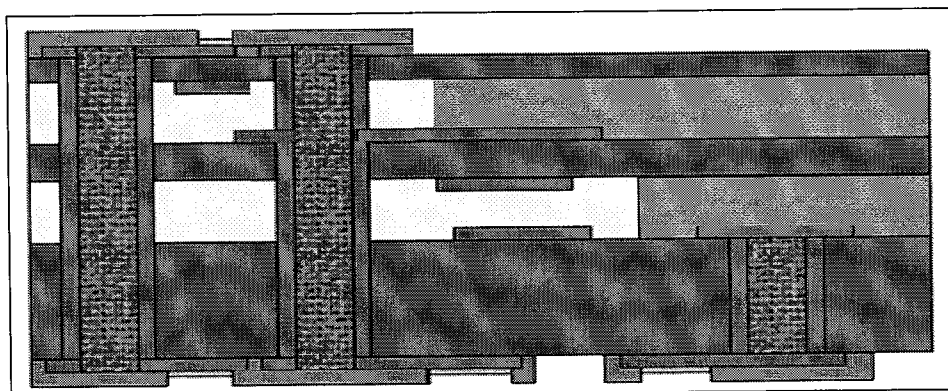
b) 芯板两面图形化处理, L5、L6 线路成形



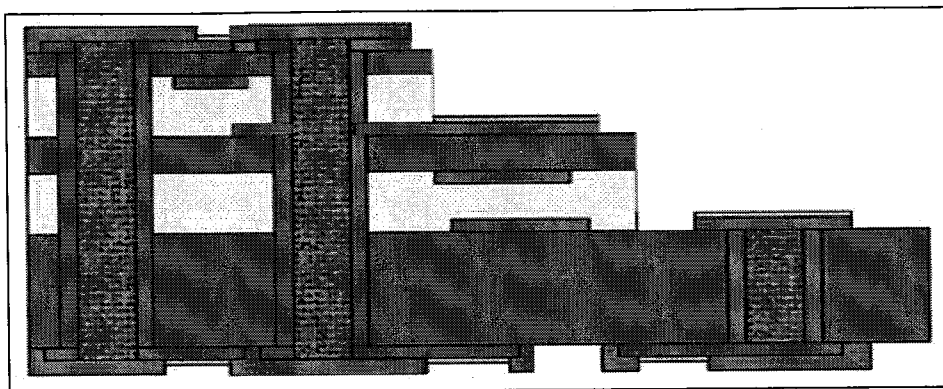
c) 所有的 BT 芯板高温、切割后的 PP、PTFE 高温压合



d) 多层板高温压合后, 然后机械钻孔电镀



e) 外层图形阻焊



f) 机械铣槽和化学镍钯金保护

图4.4 Lamination 工艺制作高精度 Cavity 基板的流程图

4.1.3 Cavity 基板的样品分析

第一版的制作中,整板有 70%区域露基材,报废 1392unit, 占总报废的 51.8%, 效果非常不理想。压合时,为了改善翘曲,在元件面加了缓冲垫,使得第一张芯板相邻 unit 间产生凹陷,树脂塞孔时大量树脂填入,反复多次走不织布刷干净树脂后,对基板表层阻焊层破坏太大。将树脂塞孔的树脂印刷方向改为焊接面改为元件面,有效地将元件面的树脂量控制在很小的范围内,第二批通过 3 次陶瓷刷和 3 次不织布就将树脂刷干净了。

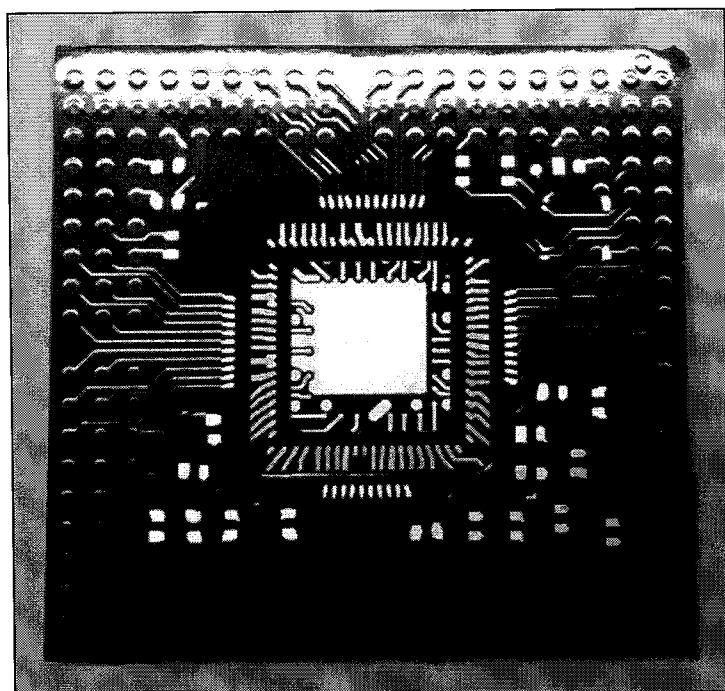


图4.5 Cavity 基板实物图

图 4.5 为基板制作完成的实物图，图 4.6 为 Cavity 基板的显微图，从图中可清晰的看到基板 Cavity 台阶和底部的线路，Cavity 的成型精度和线路精度达到设计要求。

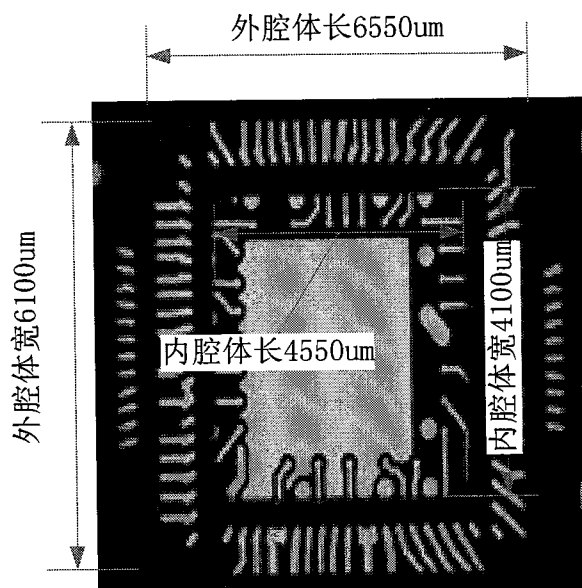


图4.6 Cavity 基板显微图

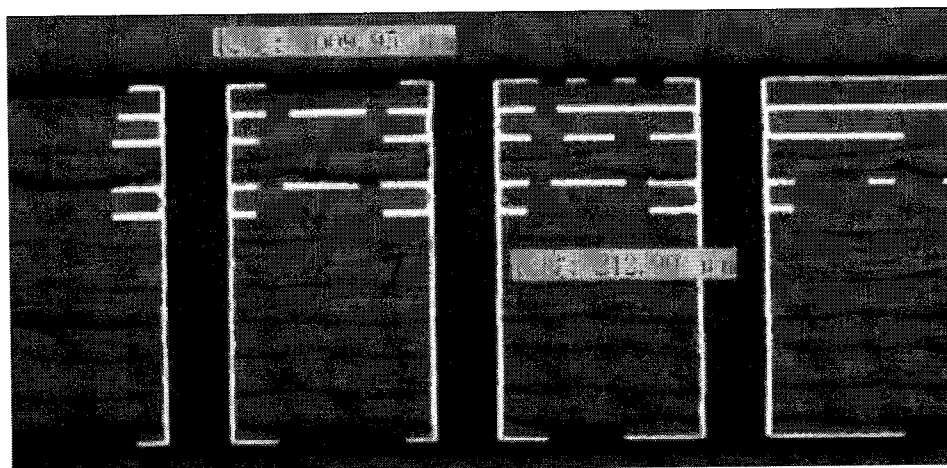


图4.7 Cavity 基板过孔显微图

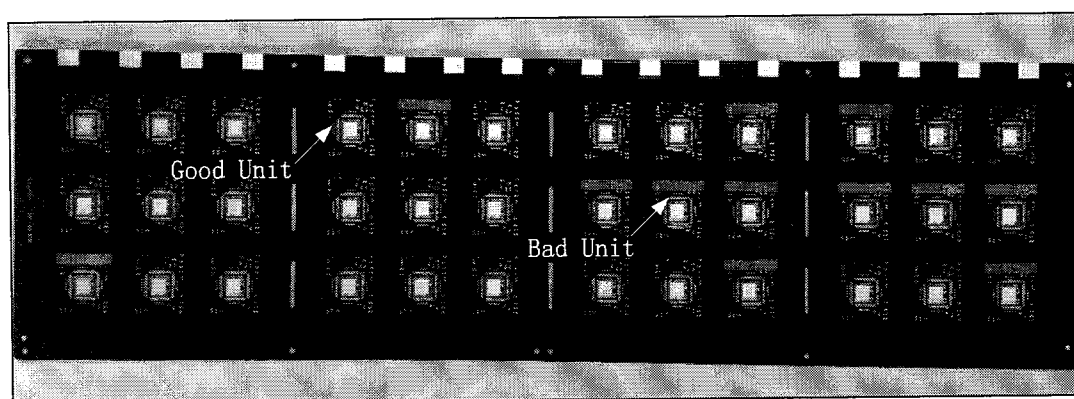


图4.8 Pannel 实物图

图 4.7 为基板过孔的剖面图,机械通孔的长度为 $1009.95\mu\text{m}$,孔径为 $212.9\mu\text{m}$,孔壁镀铜均匀,过孔尺寸达到设计要求。图 4.8 为 Cavity 基板 Pannel 实物图,从图中可以看到,失效产品数目并不少。生产中,样品总投入 3024unit,良品 335unit,最终良率 11.1,图 4.9 为产品失效分析的 Pareto 图。结果显示露基材为产品失效的主要原因,这一原因已有效解决。另外,短路引起的基板失效所占比例约为 40%左右。引起短路的原因主要是封装基板采用的是不对称压合,基板翘曲情况比较严重。数据分析认为,可以重要样品形式复投(3 倍样品量以内),但不建议进行大规模量产。

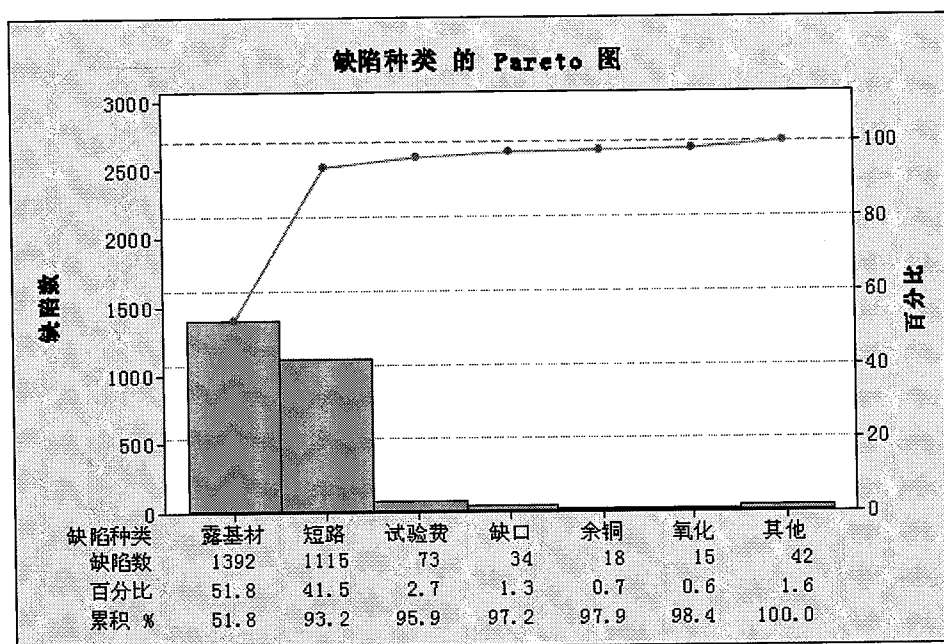


图4.9 产品失效分析的 Pareto 图

4.2 封装样品的微组装

微组装是微电子封装的重要技术领域,微组装技术包芯片粘接,引线键合,倒装焊, SMT, 点胶, 植球等工艺。堆叠芯片、Cavity 基板的设计给该样品的微组装带来了一定的难点。

4.2.1 倒装芯片

芯片 D3 和 D4 采用倒装焊的方式与基板互连。倒装焊技术中,芯片面朝下,使用芯片下金属凸点(bump)连接芯片和芯片载体,如图 4.10 所示。倒装焊技术的原理是通过焊料、超声、加压、加热等方式将凸点将芯片和封装体实现电气连接,并使用 Underfill 填满芯片与封装载体之间空隙,将凸点包围,缓冲芯片

和封装载体的热应力失配，提高凸点的可靠性。

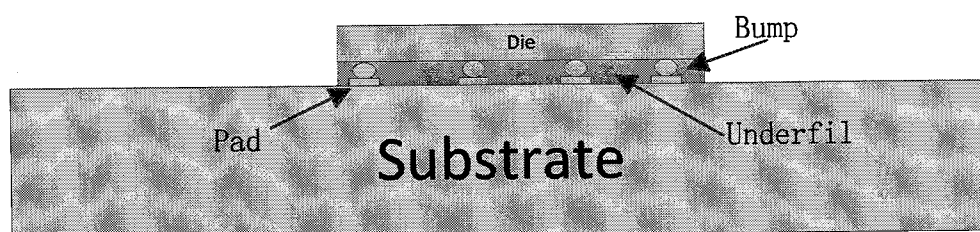


图4.10 倒装焊芯片与基板互连

凸点的形式可为焊球 (solder)、导电材料 (Conductive Adhesive)、金属柱 (Pillar)、金属桩 (Stub)。凸点的金属材料可以为 Au, Ni, AuSn, SnAg, PbSn, SnCu, SnAgCu 等。SnPb 焊料的成本较低, Pb 对环境的污染和身体有害, 生产时应尽量控制 Pb 的使用。凸点的间距与凸点的成型技术密切相关。电镀形成的凸点间距最小可能为 $25\mu\text{m}$ 左右, 而印刷形成的凸点最小间距为 $150\mu\text{m}$ 左右。另外, 凸点的间距与凸点的排布方式有关。凸点的排布方式有全阵列和四周阵列两种。一般来讲, 四周阵列的凸点间距为 $60\text{-}100\mu\text{m}$, 封装尺寸限制不大; 而全阵列凸点的最小尺寸为 $150\mu\text{m}$, 封装尺寸为 $10\text{mm}\text{-}55\text{mm}$ 。

为实现薄型封装和保证低温工艺, 我们使用了各向异性导电胶 (ACF, Anisotropic Conductive Adhesive Film) 实现芯片与基板的电气和机械连接^[62]。ACF 组成主要包含导电粒子和绝缘聚合物两部分, 导电粒子是表面镀有 Ni/Au 的球形树脂颗粒, 大小一般在 $2\mu\text{m}\text{-}10\mu\text{m}$ 之间。未使用之前的 ACF 有上下两层绝缘保护膜, 使用时先将上膜撕去, 将 ACF 贴到基板上的对应芯片凸点的 Pad 上, 再把 ACF 的底膜撕去, 然后对准芯片凸点和基板上的 Pad, 进行加热加压, 导电粒子外层的绝缘聚合膜破裂, 使芯片凸点和基板上的 Pad 相连, 而其它方向不导通, 因此实现了各向异性的互连。

本设计中, 首先, 采用自动引线键合机在芯片 Pad 表面超声压焊金球凸点, 该操作操作流程简单、时间短、且能提高设备的使用率, 适合小批量生产。所用金丝直径 $25.4\mu\text{m}$, 纯度 99.99999%。之后通过计算机程序控制键合机将凸点的尾状物压平, 得到高度一致的凸点, 便于后期的倒装焊的质量。ACF 贴 D3 芯片粘接时的温度为 190°C , 加压力 7N, 持续时间 200s。D4 芯片面积较小, 粘接时温度为 190°C , 加压力 7N, 持续时间 150s。

4.2.2 堆叠芯片的粘接

堆叠芯片之间使用贴片胶 QMI 538N 粘接。由于每个芯片的引线键合空间很窄，芯片和胶在接触过程中，芯片在胶上保证尽量少的漂移。如果不能控制好贴片的精度，很可能影响其他芯片引线键合的过程。同时，为了保证封装高度的一致性，贴片胶的厚度应可控。另外，贴片胶应有良好的导热性，将芯片的热量导出到基板或引线框架，防止在芯片堆叠位置形成热点。考虑贴片胶的固化条件对封装应力的影响。贴片胶具有低的介电常数，最好不能用导电胶，防止各芯片的线路之间形成寄生电容以免相互影响。

4.2.3 堆叠芯片的引线键合

图 4.11 列举了几种先进的使用与堆叠芯片技术的键合工艺。高 I/O (320 以上) 的堆叠芯片的键合线的扇出，悬臂式芯片键合（上层超出下层芯片距离约为 2mm），低弧度引线键合（可低至 $45\mu\text{m}$ ），芯片与芯片间键合，超长引线键合（最大长度约为 5mm 左右），窄间距键合（键合金线中心距 $40\mu\text{m}$ ，下一个技术节点为 $25\mu\text{m}$ ），细金线键合（直径减小为 $15\mu\text{m}$ 左右）。

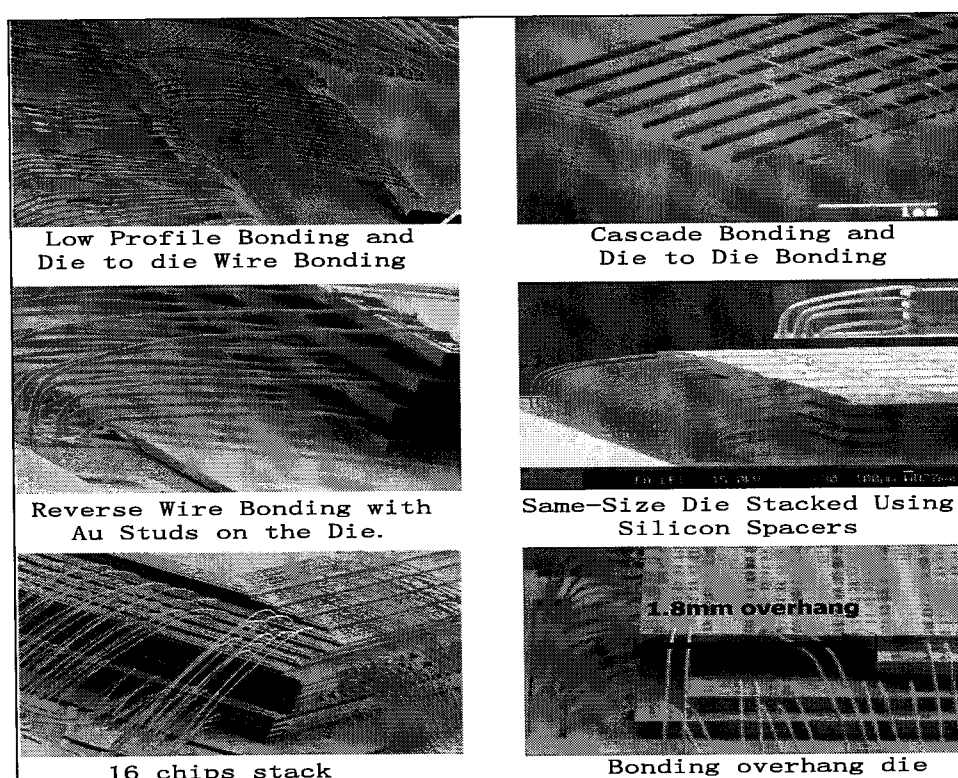


图4.11 先进堆叠芯片的键合工艺

键合线的材料为金，采用金丝球焊技术。金丝球焊技术操作方便、灵活，且焊点牢固。球焊时，承片台需要加热，压焊时加超声，因此其加热温度远低于普通的热压焊。一般加热温度为 100°C 左右。打线焊盘的最小间距一般为 $75\mu\text{m}$ 以上，Cavity 基板的引入，金手指焊盘扇出宽度约 $6000\mu\text{m}$ ，边扇出金手指焊盘的最大数目为 21 个，中心距为 $250\mu\text{m}$ 左右，金手指焊盘尺寸为 $300/150\mu\text{m}$ 。为了增加打线的可靠性，Cavity 台阶上的金手指焊盘使用镍钯金处理，增强金线和铜的结合力。金线直径为 1mil 。图 4.12 为键合完成后的显微图，从图中可以看出，打线空间十分富余，且打线难度不大。

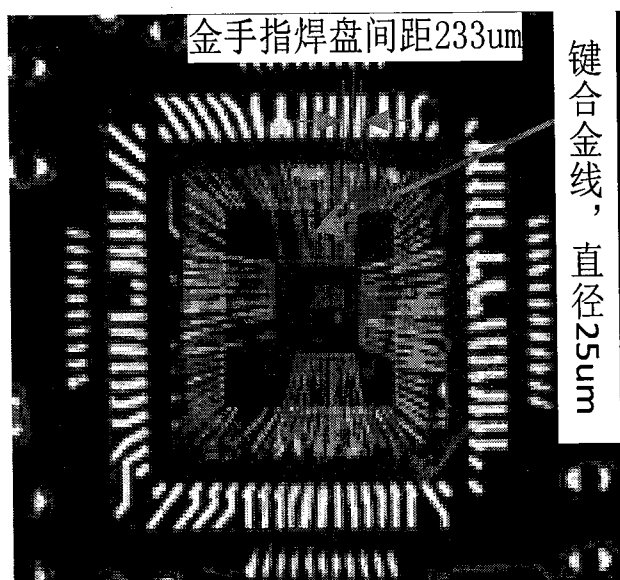


图4.12 堆叠芯片的引线键合俯视图

图 4.13 为磨片后的堆叠芯片键合线侧视图。一般来说，芯片最内层焊盘的间距应大于 $250\mu\text{m}$ ，通常设置在 350 到 $400\mu\text{m}$ 之间，两层焊盘之间的间距应大于 $400\mu\text{m}$ 。芯片的最大 2D 打线距离可达到 5mm ，但打线时要注意控制塌线。图 4.14 标出了堆叠芯片的 2D 打线距离。受芯片尺寸、Cavity 基板的加工尺寸限制，封装结构的特殊性，芯片 D1 的 2D 打线距离为 $2880\mu\text{m}$ ，芯片 D2 的 2D 打线距离为 $1880\mu\text{m}$ ，堆叠芯片与焊盘的距离大于最小距离限制，且远小于最大打线距离。不同金手指焊盘之间的距离为 $700\mu\text{m}$ ，大于最小间距 $400\mu\text{m}$ ，尺寸设计符合要求。键合时采用正向键合工艺，所以键合线第一点的弧高应大于 $100\mu\text{m}$ 左右。由于 D1 芯片厚度 $300\mu\text{m}$ ，且 D1 芯片的边长小于 D2 芯片 $678\mu\text{m}$ ，所以，D2 芯片的弧高控制十分容易，且 D1 芯片和 D2 芯片的键合线垂直距离较大，D1 芯片的长键合线即使塌线，也不会与 D2 芯片键合线接触。

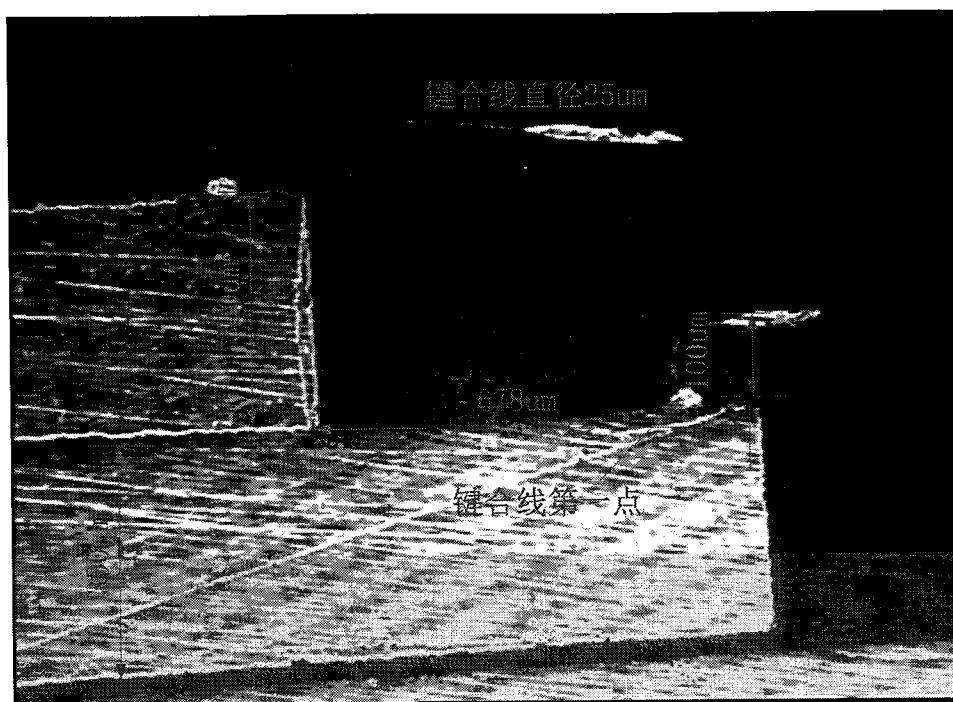


图4.13 堆叠芯片的引线键合侧视图

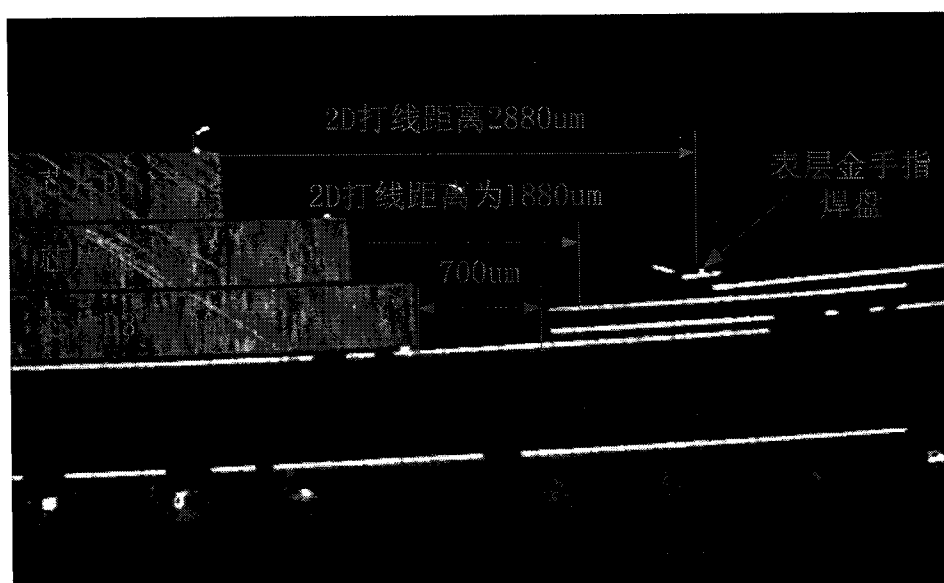


图4.14 堆叠芯片 2D 打线距离

4.2.4 表贴元件

表面贴装技术 (Surface Mount Technology, SMT) 是指印制电路板上无需通孔, 直接将表面贴装元器件贴、焊到印制电路板上规定位置。SMT 技术具有组装密度更高, 生产效率高, 低的寄生效应, 高可靠性等特点。封装设计需要表贴元件共 22 个, 分别为 11 个 0201 的电容和 11 个 0201 的电阻。使用钢网将适量的焊膏均匀的刷在基板的焊盘上, 保证元件与基板的焊盘在回流焊接时, 达到良好的电气连接和足够的机械强度。图 4.15 为表贴元件后的封装样品正面图。

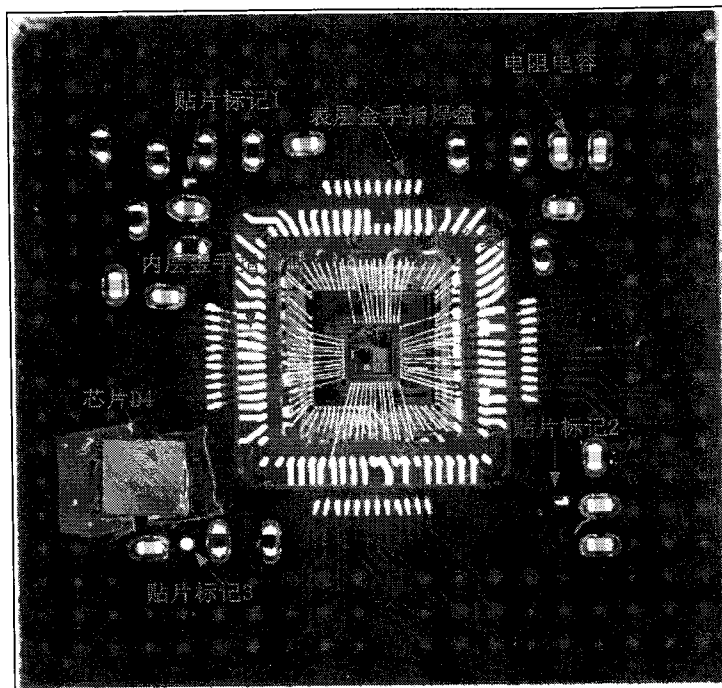


图4.15 封装样品正面图

4.2.5 植球和点胶

塑料封装是指对半导体器件或者芯片采用树脂等材料进行包封的一类封装。塑封材料被广泛用于系统级封装中的芯片、键合线和焊球的保护，是提高产品可靠性的重要封装材料。标准塑封材料主要有 70% 的填充物（主要是二氧化硅）、环氧树脂、外加固化剂、耦合剂、阻燃剂、着色剂等^[63]。随着各配料成本的比例变化，塑封材料的热膨胀系数、介电常数、密封性、吸湿性、强韧性等参数会发生变化。样品中塑封材料为黑胶，烘烤温度为 125° C 到 165° C 之间，烘烤时间为 10 分钟。图 4.16 为点胶后样品正面图。



图4.16 点胶后样品正面图

BGA(Ball Grid Array)即为球栅阵列封装,它是一种表面安装型封装,它具有封装密度高,共面性好,失效率低,引脚短而牢固,寄生参数小等优点。BGA的焊球分布有全阵列和部分阵列两种方法。根据设计,样品中焊球共 211 个,分布为外圈 18*19,共三排,内圈为 5*5,属于部分阵列分布。焊球采用 SAC350 的锡球,成分为 $\text{Sn}96.5\text{Ag}3\text{Cu}0.5$,焊球的直径为 $500\mu\text{m}$,阻焊开窗为 $400\mu\text{m}$,焊球间距为 $800\mu\text{m}$,焊球采用回流焊的方式粘接。回流焊机型号为 Speedlinetecho MNIE。回流过程约 8 分钟。回流温度分七个区间, 160°C , 160°C , 180°C , 210°C , 220°C , 255°C , 260°C ,每个温度区间约 1 分钟。

BGA 焊球在安装时,由于看不见焊球的对位,一般要在封装基板上做标记,安放时使 BGA 的外轮廓与标记对准,如图 4.17(a)所示。图 4.17(b)为 Cavity 基板的植球后实物图。图 4.18 为封装样品植球后的剖面图,包括堆叠芯片、键合引线,内圈通孔和焊球。

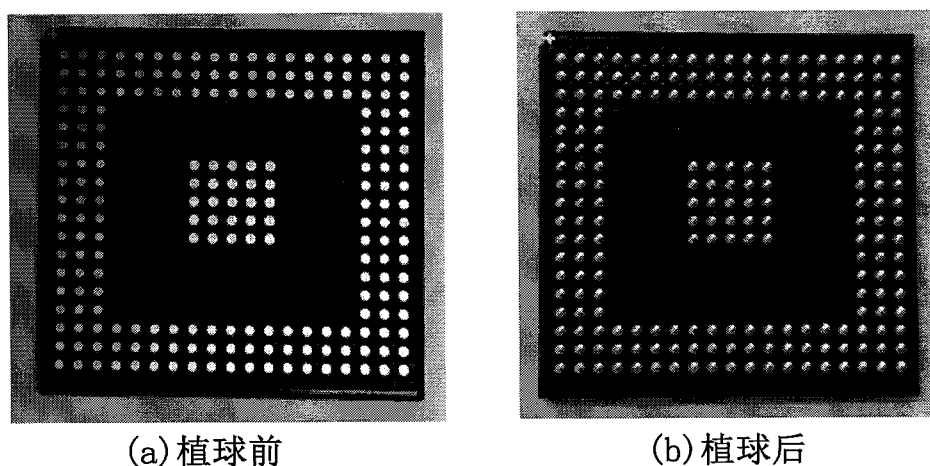


图4.17 Cavity 基板植球图

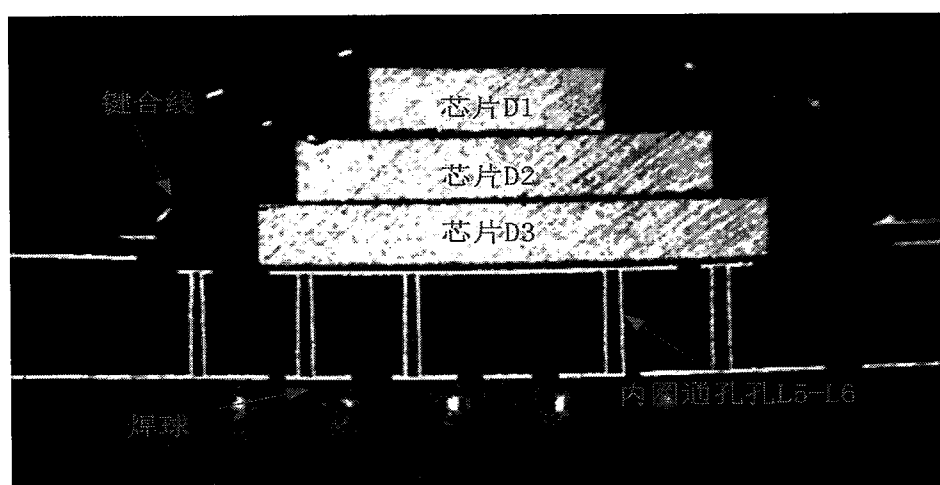


图4.18 封装样品剖面图

4.3 埋入三维封装系统的测试

前面我们已经验证了 Cavity 基板的工艺可行性，为了进一步评估封装样品的电学性能，这一节将对 Cavity 基板进行电学功能测试和 S 参数测试。功能测试主要是为了验证封装样品是否能成功实现系统的功能。从 S 参数测试结果中可分析 Cavity 基板无源链路的高速信号传输特性，用于评估该封装结构是否适用于高速信号系统。

4.3.1 一款功能转接板设计

该封装样品属于电表系统的一个子模块，将样品安装于系统中，通电后根据电表是否正常读数即可验证封装样品是否能实现功能。但由于母版的 BGA 分布与封装样品的 BGA 分布并不一致，所以，测试时需要设计一款功能转接板，对封装样品的管脚分布进行再次排布，保证各管脚连接正常。功能测试转接板为 4 层板，板厚共 522 μm ，各层铜厚 18 μm 。基板正面和背面焊盘排布分别与封装样品和系统母版的焊球分布对应，基板内部线路和过孔用于各管脚的互连。图-19 为 Cavity 基板通过焊球与功能测试转接板连接的实物图。图 4.20 为系统中电表液晶面板读数图，显示封装样品实现正常工作。

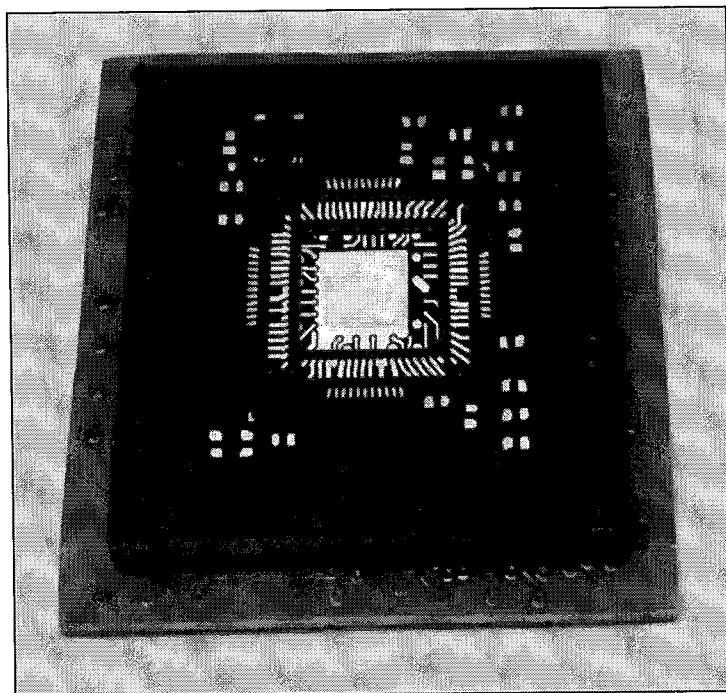


图4.19 功能转接板实物图



图4.20 封装样品正常工作

4.3.2 一款无源链路测试转接板设计

S 参数测试是为了评估封装样品传输高速信号的能力。S 参数测试使用的设备为矢量网络分析仪和微探针台，测试频率为 10GHz，使用探针型号为 GS 探针，探针间距为 250 μm 。S 参数测试要求两端口共面，而封装样品的金手指焊盘和焊球并不符合这一测试条件。利用去嵌入的方法，设计并制作了一款测试转接板。测试转接板包括测试线条和去嵌入线条，测试线条一端连接 BGA 焊盘，另一端连接测试焊盘，去嵌入线条与测试线条的线型一致，不同的是测试线条两端均连接测试焊盘。测试时，Cavity 基板与测试转接板通过焊球连接，如图 4.21 所示。

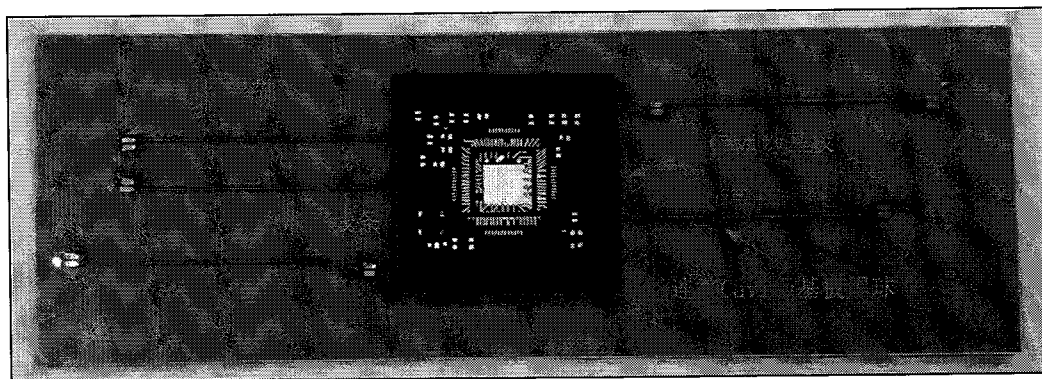


图4.21 测试版实物图

第一次测试时，微探针台的 GS 探针分别位于测试线条的测试焊盘和 Cavity 基板的金手指焊盘。图 4.22 为 L1 层信号线的测试结果，结果包括 Cavity 基板的金手指焊盘到 BGA 焊球部分和测试转接板的测试线条部分。为消除测试线条的影响，对去嵌入线条进行第二次 S 参数的测试。

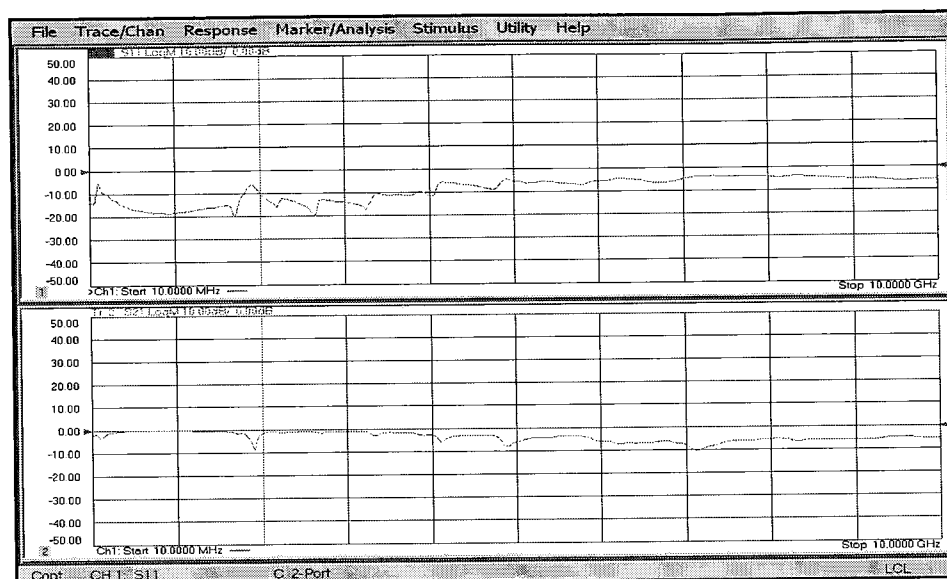


图4. 22 信号线的测试结果

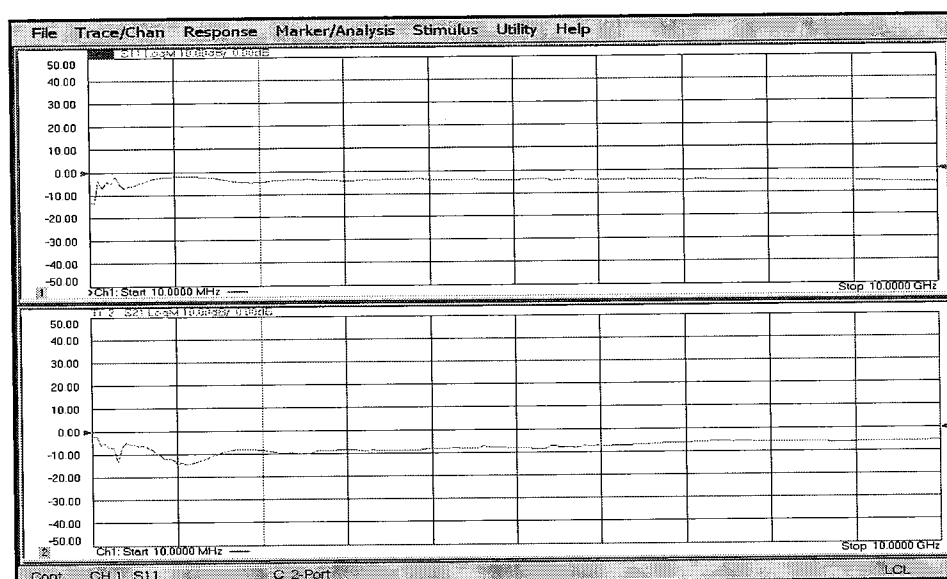


图4. 23 去嵌入线条的测试结果

图 4.23 分别为去嵌入线条的 S 参数的测试结果。在 ADS 中使用去嵌入模块可以将测试转接板测试线条的影响消除。图 4.24 为去嵌入后信号线条的传输特性曲线。由于 ADS 中仿真精度的限制，所以去嵌入信号线 S_{12} 曲线在 0GHz 时会有一定的误差。

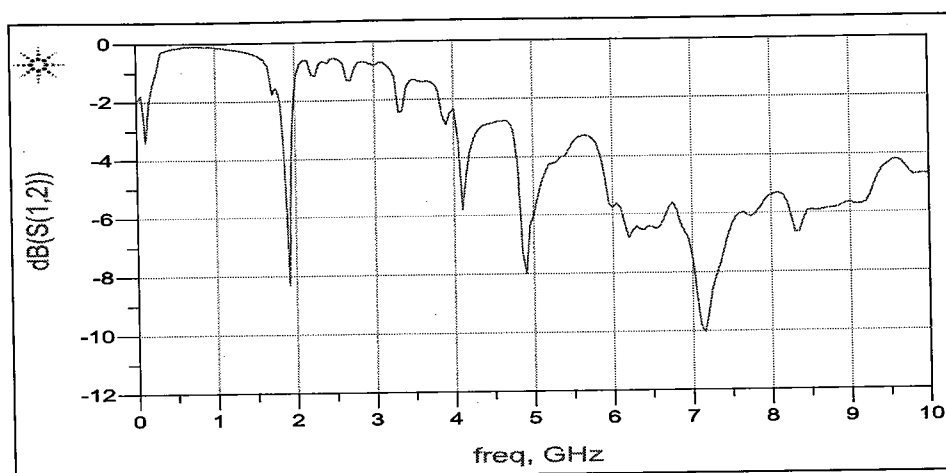


图4.24 去嵌入后 Cavity 基板信号线传输特性

测试信号线为 Cavity 基板的内层信号线，存在从表层到内层的短桩，所以信号线的 S 参数谐振十分明显。若忽略过孔谐振的影响，信号线 3 分贝带宽应在 3GHz 以上。残桩的末端相当于开路，形成一个四分之一波长谐振器，使得通道在谐振点的衰减急剧增加。短桩的长度增加，其产生的电容越大，会导致一个更低的谐振频率。设计时，高速信号应避免短桩，使用埋孔。由于 Cavity 基板的设计，测试结构成功测试了封装样品内层信号链路的 S 参数。

第五章 总结与展望

5.1 本论文的主要工作

为实现封装产品的超小型化,本文主要研究了埋入三维系统级封装的关键技术。

首先分别对三维封装和埋入技术进行了工艺调研,确认了芯片先置型埋入技术和堆叠芯片技术的结合实现埋入三维系统级封装技术的方案。以一个实际的多芯片系统的封装设计为背景,封装设计采用了埋入堆叠芯片的封装结构。

考虑到该封装结构为非对称结构,制作时会引入大量不平衡应力,所以本文首先分析了该封装结构的应力可靠性,发现基板叠层厚度和 Molding 高度是引起 Cavity 基板翘曲的两个重要因素。

然后,本文重点阐述了埋入堆叠芯片封装结构的电学设计过程。电学设计包括版图设计、信号完整性仿真、电学完整性仿真和优化设计四部分内容。版图设计中首先强调了合适的布局软件的选取对复杂封装结构版图成功设计的重要性,并分析了芯片方向选择、键合线 Profile、线宽参数、过孔参数等在埋入三维封装结构设计的特殊性。信号完整性仿真中,利用全链路仿真方案解决了仿真软件不兼容埋入堆叠芯片的封装结构的问题。方案对典型链路分别进行了键合线和信号线的 S 参数,并对全链路进行了延时和反射分析。分析发现,长键合线为引起信号链路质量畸变的主要因素。信号完整性仿真中还对埋入堆叠芯片封装结构的隔离度进行了分析,通过与非 Cavity 和空间隔离基板的隔离度仿真结果的对比,发现 Cavity 和平面隔离基板能有效提高不同芯片的信号线的隔离度。电源完整性仿真包括谐振模式分析和扫频分析,根据分析结果,Cavity 结构并不会影响谐振模式分布。为改善封装结构链路的电学传输特性,本文设计了一种大大减小键合线长度的优化结构。

最后,本文介绍了封装样品的制作和测试过程。封装样品的制作包括高精度 Cavity 基板的结构设计规则和制作流程、封装样品的微组装工艺步骤流程等。对最终的 Cavity 基板的成品率进行了分析,并通过磨片对最终封装样品的关键参数进行了分析。测试包括功能测试和无源链路 S 参数测试。由于封装样品的 BGA 分布与母版的 BGA 分布并不一致,设计并制作了一款功能转接板,将封装样品的 BGA 管脚进行了再分布,实现了母版的复用,并进行了系统功能性测试。S

参数测试要求两端口共面，而金手指焊盘和 BGA 焊球并不符合这一测试条件。因此，利用去嵌入的方法，设计并制作了一款测试转接板，可以成功测试封装样品从金手指焊盘到 BGA 焊球的 S 参数。另外，由于 Cavity 基板的设计，测试结构成功测试了封装样品内层信号链路的 S 参数。

5.2 未来工作展望

埋入三维系统级封装是一个新的概念，涉及的方面十分广泛。由于时间紧迫和篇幅限制，本论文只对其中的某些关键技术进行了重点研究，除此之外，还有很多工作可以继续深入展开。

- 1) 本文只研究了埋入堆叠芯片的封装结构设计和实现，并没有涉及其它可能的埋入三维封装结构。
- 2) 由于项目中芯片功率很小，最大仅为 1W，本文并没有进行热学分析。若将此封装结构应用于较高功率的系统，需要增加此封装结构的热设计。
- 3) 如果将芯片的厚度减小或者使用埋入无源器件技术，封装尺寸可进一步减小。
- 4) 本文提出的优化结构和原来的结构只进行了电学性能仿真的对比，还可以进行不同封装结构的加工难度、可靠性、散热性等方面的对比。
- 5) 本文重点研究埋入三维封装结构的实现，但最终样品的成品率较低，可进一步研究提高成品率的方法。

参考文献

- [1] Y. Kojima, Y. Takahashi, M. Takakuwa, S. Ohshio, S. Sugatani, R. Tujimura, *et al.*, "Study of device mass production capability of the character projection based electron beam direct writing process technology toward 14 nm node and beyond," *Journal of Micro/Nanolithography, MEMS, and MOEMS*, vol. 11, pp. 031403-1-031403-8, 2012.
- [2] A. B. Kahng, "Scaling: More than Moore's law," *IEEE Design & Test of Computers*, vol. 27, pp. 86-87, 2010.
- [3] 王水弟, 蔡坚, and 贾松良, "系统芯片 (SOC) 与系统级封装 (SIP)," *中国集成电路*, pp. 49-52, 2003.
- [4] 万里兮, "系统级封装及其研发领域," *电子工业专用设备*, vol. 36, pp. 1-5, 2007.
- [5] "<http://www.itrs.net/Links/2009ITRS/Home2009.htm>."
- [6] "<http://www.itrs.net/Links/2011ITRS/Home2011.htm>."
- [7] "<http://www.itrs.net/Links/2012ITRS/Home2012.htm>."
- [8] D. Manassis, A. Podlasly, A. Ostmann, R. Aschenbrenner, K. D. Lang, and Ieee, "Large-Scale Manufacturing of Embedded Subsystems-in-Substrates and a 3D-Stacking Approach for a Miniaturised Medical System Integration," in *2013 European Microelectronics Packaging Conference*, ed, 2013.
- [9] E. Beyne, "3D system integration technologies," in *VLSI Technology, Systems, and Applications*, 2006 International Symposium on, 2006, pp. 1-9.
- [10] M. A. Bolanos, "3D Packaging Technology: Enabling the next wave of applications," in *Electronic Manufacturing Technology Symposium (IEMT)*, 2010 34th IEEE/CPMT International, 2010, pp. 1-5.
- [11] 曹立强, 张霞, and 于燮康, "新型埋入式板级封装技术," *中国科学: 信息科学*, vol. 42, pp. 1588-1598, 2013.
- [12] D. Manassis, L. Boettcher, S. Karaszkievicz, A. Ostmann, R. Aschenbrenner, and K. Lang, "Chip embedding technology developments leading to the emergence of miniaturized system-in-packages," in *Microelectronics and Packaging Conference (EMPC)*, 2011 18th European, 2011, pp. 1-8.
- [13] D. Choudhury, "3D integration technologies for emerging microsystems," in *Microwave Symposium Digest (MTT)*, 2010 IEEE MTT-S International, 2010, pp. 1-4.
- [14] S. F. Al-Sarawi, D. Abbott, and P. D. Franzon, "A review of 3-D packaging technology," *Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging*, *IEEE Transactions on*, vol. 21, pp. 2-14, 1998.
- [15] E. R. R. Tummala and E. J. Rymaszewski, "Microelectronics Packaging Handbook," ed: Cambridge Univ Press, 1997.
- [16] R. Terrill and G. L. Beene, "3D packaging technology overview and mass memory applications," in *Aerospace Applications Conference*, 1996. Proceedings., 1996 IEEE, 1996, pp. 347-355.
- [17] M. Kada and L. Smith, "Advancements in stacked chip scale packaging (S-CSP), provides system-in-a-package functionality for wireless and handheld applications,"

- JOURNAL OF SURFACE MOUNT TECHNOLOGY, vol. 13, pp. 11-15, 2000.
- [18] R. R. Tummala, "Packaging: past, present and future," in Electronic Packaging Technology, 2005 6th International Conference on, 2005, pp. 3-7.
 - [19] 胡杨, 蔡坚, 曹立强, 陈灵芝, 刘子玉, 石璐璐, et al., "系统级封装 (SiP) 技术研究现状与发展趋势," 电子工业专用设备, vol. 41, pp. 1-6, 2012.
 - [20] R. R. Tummala, V. Sundaram, F. Liu, G. White, S. Hattacharya, R. Pulugurtha, et al., "High density packaging in 2010 and beyond," in Electronic Materials and Packaging, 2002. Proceedings of the 4th International Symposium on, 2002, pp. 30-36.
 - [21] 李真, "堆叠芯片封装技术的研究," 2008.
 - [22] "<http://www.3d-plus.com/techno-flex-process-die-stack.php>."
 - [23] 邓仕阳, 刘俐, 杨珊, 王曳舟, 方宣伟, 夏卫生, et al., "堆叠封装技术进展," 半导体技术, vol. 37, pp. 335-340, 2012.
 - [24] J. H. Lau, "Evolution, challenge, and outlook of tsv, 3d ic integration and 3d silicon integration," in Advanced Packaging Materials (APM), 2011 International Symposium on, 2011, pp. 462-488.
 - [25] "<http://www.statschippac.com/services/documentlibrary/whitepapers.aspx>."
 - [26] "<http://www.prc.gatech.edu/>."
 - [27] N. Sankaran, H. Chan, M. Swaminathan, V. Sundaram, R. Tummala, T. Kamgaing, et al., "Chip-package electrical interaction in organic packages with embedded actives," in Electronic Components and Technology Conference (ECTC), 2011 IEEE 61st, 2011, pp. 150-156.
 - [28] K. Chee Houe, Z. Xiaowu, V. Kripesh, J. H. Lau, K. Dim-Lee, V. Sundaram, et al., "Stress Analysis of Embedded Active Devices in Substrate Cavity for System-On-Package (SOP)," in Electronics Packaging Technology Conference, 2008. EPTC 2008. 10th, 2008, pp. 236-241.
 - [29] F. Liu, V. Sundaram, S. Min, V. Sridharan, H. Chan, N. Kumbhat, et al., "Chip-last embedded actives and passives in thin organic package for 1-110 GHz multi-band applications," in Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th, 2010, pp. 758-763.
 - [30] 赵璋 和 童志义, "电子工业专用设备," 2011.
 - [31] F. K. Eide, "IC stack utilizing secondary leadframes," ed: Google Patents, 2000.
 - [32] 李丙旺, 徐春叶, and 欧阳径桥, "芯片叠层封装工艺技术研究," 电子与封装, vol. 12, pp. 7-10, 2012.
 - [33] S. G. Rosser, I. Memis, and H. Von Hofen, "Miniaturization of printed wiring board assemblies into system in a package (sip)," in Microelectronics and Packaging Conference, 2009. EMPC 2009. European, 2009, pp. 1-8.
 - [34] Lo, x, T. her, Schu, x, D. tze, et al., "Module miniaturization by ultra thin package stacking," in Electronic System-Integration Technology Conference (ESTC), 2010 3rd, 2010, pp. 1-5.
 - [35] R. N. Das, F. D. Egitto, B. Bonitz, M. D. Poliks, and V. R. Markovich, "Package-Interposer-Package (PIP): A breakthrough Package-on-Package (PoP) technology for high end electronics," in Electronic Components and Technology Conference (ECTC), 2011 IEEE 61st, 2011, pp. 619-624.

- [36] S. Peng, V. Leung, D. Yang, R. Lou, D. Shi, and T. Chung, "Development of a new Package-on-Package (PoP) structure for next-generation portable electronics," in Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th, 2010, pp. 1957-1963.
- [37] 翁寿松, "3D 封装的发展动态与前景," 电子与封装, vol. 6, pp. 8-11, 2006.
- [38] A. Yoshida, J. Taniguchi, K. Murata, M. Kada, Y. Yamamoto, Y. Takagi, et al., "A study on package stacking process for package-on-package (PoP)," in Electronic Components and Technology Conference, 2006. Proceedings. 56th, 2006, p. 6 pp.
- [39] F. Carson, "Innovations Push Package-on-Package Into New Markets," Semiconductor International, 2010.
- [40] M. Dreiza, A. Yoshida, K. Ishibashi, and T. Maeda, "High density PoP (package-on-package) and package stacking development," in Electronic Components and Technology Conference, 2007. ECTC'07. Proceedings. 57th, 2007, pp. 1397-1402.
- [41] "<http://www.amkor.com/go/packaging/all-packages/psvfbga/package-on-package-PoP--psfvbga--psfccsp--tmv-PoP>."
- [42] J. Y. Lee, T. K. Hwang, J.-Y. Kim, M. Yoo, E. S. Sohn, J.-Y. Chung, et al., "Study on the board level reliability test of package on package (PoP) with 2nd level underfill," in Electronic Components and Technology Conference, 2007. ECTC'07. Proceedings. 57th, 2007, pp. 1905-1910.
- [43] J. H. Lau, "TSV manufacturing yield and hidden costs for 3D IC integration," in Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th, 2010, pp. 1031-1042.
- [44] "<http://www.statschippac.com/>."
- [45] S. L. Pei-Siang, C. Faxing, C. S. Choong, M. C. B. Rong, V. N. Sekhar, V. S. Rao, et al., "Challenges and approaches of TSV thin die stacking on organic substrate," in Electronics Packaging Technology Conference (EPTC), 2011 IEEE 13th, 2011, pp. 455-461.
- [46] G. H. Loh, "Computer architecture for die stacking," in VLSI Technology, Systems, and Applications (VLSI-TSA), 2012 International Symposium on, 2012, pp. 1-2.
- [47] "<http://www.elpidashelterdogs.com/>."
- [48] 孙宏伟, "叠层芯片封装技术与工艺探讨," 电子工业专用设备, vol. 35, pp. 65-74, 2006.
- [49] "http://www.zurich.ibm.com/news/08/3D_cooling.html."
- [50] P. Muthana, M. Swaminathan, R. Tummala, P. M. Raj, E. Engin, L. Wan, et al., "Design, modeling and characterization of embedded capacitor networks for mid-frequency decoupling in semiconductor systems," in Electromagnetic Compatibility, 2005. EMC 2005. 2005 International Symposium on, 2005, pp. 638-643.
- [51] P. Palm, R. Tuominen, and A. Kivikero, "Integrated Module Board (IMB); an advanced manufacturing technology for embedding active components inside organic substrate," in Electronic Components and Technology Conference, 2004. Proceedings. 54th, 2004, pp. 1227-1231.
- [52] L. Boettcher, D. Manassis, A. Ostmann, S. Karaszkievicz, and H. Reichl, "Embedding of chips for system in package realization-technology and applications," in Microsystems, Packaging, Assembly & Circuits Technology Conference, 2008. IMPACT 2008. 3rd

- International, 2008, pp. 383-386.
- [53] B.-W. Lee, V. Sundaram, B. Wiedenman, C. K. Yoon, V. Kripesh, M. Iyer, et al., "Chip-last embedded active for System-On-Package (SOP)," in Electronic Components and Technology Conference, 2007. ECTC'07. Proceedings. 57th, 2007, pp. 292-298.
- [54] M. Pecht, Integrated circuit, hybrid, and multichip module package design guidelines: a focus on reliability: John Wiley & Sons, 1994.
- [55] E. Bogatin, Signal integrity: simplified: Prentice Hall Professional, 2004.
- [56] J. Miettinen, M. Mantysalo, K. Kaija, and E. O. Ristolainen, "System design issues for 3D system-in-package (SiP)," in Electronic Components and Technology Conference, 2004. Proceedings. 54th, 2004, pp. 610-615.
- [57] T. Sudo, H. Sasaki, N. Masuda, and J. L. Drewniak, "Electromagnetic interference (EMI) of system-on-package (SOP)," Advanced Packaging, IEEE Transactions on, vol. 27, pp. 304-314, 2004.
- [58] J. A. Stratton, Electromagnetic theory vol. 33: John Wiley & Sons, 2007.
- [59] G. Kim, D. G. Kam, S. J. Lee, J. Kim, M. Ha, K. Koo, et al., "Modeling of eye-diagram distortion and data-dependent jitter in meander delay lines on high-speed printed circuit boards (PCBs) based on a time-domain even-mode and odd-mode analysis," Microwave Theory and Techniques, IEEE Transactions on, vol. 56, pp. 1962-1972, 2008.
- [60] [60] T. Shimoto, K. Matsui, K. Kikuchi, Y. Shimada, and K. Utsumi, "New high-density multilayer technology on PCB," Advanced Packaging, IEEE Transactions on, vol. 22, pp. 116-122, 1999.
- [61] Y.-W. Huang and P. Wang, "Method of making a high density multilayer wiring board," ed: Google Patents, 2000.
- [62] W.-S. Kwon, S.-J. Ham, and K.-W. Paik, "Deformation mechanism and its effect on electrical conductivity of ACF flip chip package under thermal cycling condition: An experimental study," Microelectronics Reliability, vol. 46, pp. 589-599, 2006.
- [63] B.-S. Kong, H.-C. Yun, J.-C. Lim, Y.-S. Jung, D.-Y. Kim, and K.-S. Chung, "High reliable and environmental friendly molding compound for CABGA (R) packages," in Electronic Components and Technology Conference, 2001. Proceedings., 51st, 2001, pp. 1393-1397.

致 谢

论文完成之际，意味着我在中科院微电子研究所的三年研究生生活即将落幕，此时此刻，内心感慨万千，满怀留恋与感恩，留恋这里的生活、成长和收获，感谢这里的同学、老师和所有帮助过关心过我的人。

首先衷心感谢我的导师万里兮研究员，感谢万老师在我科研道路上的指引与帮助，悉心的指导我的选题和研究工作，提供给我良好的科研环境与条件，帮助我解决了一个又一个的困难。万老师为人和蔼谦逊、诲人不倦、治学严谨、知识渊博、待人宽厚，每一次与他的交流都让我受益匪浅。同时，我也要衷心地感谢我的第二导师曹立强研究员，感谢曹老师对我的课题研究提供的各方面的支持，为我提供了许多宝贵的资源。在我生活和工作中遇到困难时，曹老师总是无私地帮助我，指引我的前进。曹老师平易近人、乐观幽默、才思敏捷、思维开阔、包容豁达，每一次与他的交流都深深地感染和激励着我。求学生涯已经暂告一个段落，但求知的道路却永无止境。万老师和曹老师的严谨求实的治学态度和豁达宽容的为人准则是我一生学习的榜样与奋斗的目标。在此，我向万老师和曹老师致以最诚挚的感谢和祝福。

感谢于大全研究员在学习生活中对我的指导，感谢于老师给我的每一次支持和鼓励。感谢于中尧高级研究员为课题提供的众多技术和资源支持。感谢李君副研究员在我的课题研究过程中给予的悉心指导，在方向选择、思路分析、视角开拓、难点攻克和细节执行等方面，都有她的无微不至的关心、支持和鼓励。感谢王惠娟师姐、孙瑜师姐和张霞师姐，谢谢你们在工作上和生活上给了我的众多帮助，我会永远记得我们一起度过的这段难忘的时光。

感谢刘丰满、李宝霞、王启东、宋见、郭学平、杜天敏、侯峰泽、何晓锋、孙晓锋、崔婕、周静、杨彬彬、赫然、王启冰、张迪、武晓萌、何慧敏、吴鹏、何毅、潘杰、邱德龙、王书令、王旭刚等所有九室成员给予我的帮助、支持和富有创造性的建议，感谢你们让我三年研究生生活变得丰富而充实，这将成为我人生中最美好的一段回忆。

感谢微电子所人事教育处的崔京老师、李博老师、吴璇老师和邵花老师在工作和生活上对我的关心和帮助。

感谢我的父母在我求学生涯中给予我无微不至的关怀和照顾，不管遇到什么，他们都一如既往地支持我、鼓励我、陪伴我。感谢我的妹妹谢亚琴和我的表妹刘芳，谢谢你们曾经在北京和我一起奋斗，亲人的陪伴让我的研究生生活幸福而温馨。

最后，感谢所有的老师、亲人和朋友对我的关心和帮助，感谢所有爱我的与我爱的人们，我都将铭刻在心，你们是我在今后工作生活中不断前行的动力！

攻读硕士学位期间发表（或录用）的论文及专利

- [1] 谢慧琴, 曹立强, 李君, 张童龙, 虞国良, 李晨, 万里兮. 基于 Cavity 基板技术的堆叠芯片封装设计与实现[J]. 科学技术与工程. 已录用. (中文核心)
- [2] 谢慧琴, 李君, 曹立强, 万里兮. 埋入堆叠芯片封装结构的电学仿真和优化[J]. 现代电子技术. 已录用. (中文核心)
- [3] Huiqin Xie, Jun Li, Jian Song, Fengze Hou, Xueping Guo, Shuling Wang, Yu Daquan, Cao Liqiang, Lixi Wan. " A 3D package design with cavity substrate and stacked die ", 2013 14th International Conference on Electronic Packaging Technology & High Density Packaging, Dalian, China, 2013.8. (EI 收录)
- [4] Fengze Hou Xia Zhang, Xueping Guo, Huiqin Xie, Yuan Lu, Liqiang Cao, Lixi Wan. "Thermo-mechanical reliability study for 3D package module based on flexible substrate" , 2013 14th International Conference on Electronic Packaging Technology & High Density Packaging, Dalian, China, 2013.8. (EI 收录)
- [5] 郭学平, 谢慧琴, 于中尧, 刘丰满. 一种嵌入式有源埋入功能基板封装结构及工艺方法: 国家发明专利, 申请号 201310457111.0[P].
- [6] 侯峰泽, 谢慧琴, 张迪, 刘丰满. 一种用于 PoP 封装的散热结构: 国家发明专利, 申请号: 201410086565.6[P].
- [7] 王启东, 邱德龙, 吴晓萌, 曹立强, 于大全, 张迪, 谢慧琴. 带散热功能的三维堆叠芯片: 国家发明专利, 申请号: 201410086565.6 [P].