



Y1413577



北京大学

硕士研究生学位论文

题目：96dB动态范围 Σ - Δ 音频DAC
设计与ASIC实现

姓 名：付洁
学 号：10617018
院 系：软件与微电子学院
专 业：电子与通信工程
研究方向：集成电路设计
导 师：邹月娟

二00八年六月

96dB 动态范围 Σ - Δ 音频 DAC 设计 与 ASIC 实现 摘要

高精度数模转换器 (DAC) 在数字音频领域有着广泛的应用。目前, 实现数模转换高精度的主要方法是基于过抽样 (over-sampling) 的 Σ - Δ 调制 (delta-sigma modulation) 技术。对于 DAC, 过抽样和 Σ - Δ 调制通过数字电路实现, 可以比较容易得达到 16bit、20bit 甚至 24bit 的精度。同时, 该技术也会带来模拟转换单元的失配 (mismatch)、数字调制在有限精度下的空闲音 (idle tone)、时钟抖动的噪声调制效应等问题。如何采用少的硬件资源达到所需的性能, 一直都是 Σ - Δ DAC 设计的重点。本论文的设计目标是采用 3.3V、0.35 μ m 的标准 CMOS 工艺实现一个动态范围达到 96dB 的音频 DAC。

论文在介绍 Σ - Δ 数模转换器基本原理的基础上, 深入分析了当前主流的 Σ - Δ DAC 实现结构与方法。根据对转换精度需求和算法复杂度的评估, 论文选取了 64 倍过抽样、3 阶单环路 Σ - Δ 调制、7 量化的系统结构, 对滤波器、调制器的结构、系数、内部运算处理精度以及编码方式作了全面优化, 以减小电路面积。为提高数模转换器的性能, 论文选取部分 DWA (partial DWA) 方法来消除多比特模拟转换单元间的失配问题; 设计并优化了扰动 (dither) 产生电路, 以达到消除空闲音的效果; 分析了时钟抖动对高频噪声的调制效应, 采用了简单的电路结构来抑制该效应对系统性能的影响。

论文数字电路设计部分采用标准的半定制 ASIC 设计流程。前期算法研究采用 Simulink 环境验证; 对电路的验证采用仿真结果与 Simulink 模型输出相比较的方法, 并进行了整个 DAC 电路的数模混合仿真。

最终芯片测试结果表明, 所设计的 DAC 动态范围可达到 96dB, 总谐波失真约为 -84dB, 系统对时钟抖动表现出较低的敏感性。

关键词: 数模转换器, 过抽样, delta-sigma 调制, 噪声整形, mismatch shaping, data weighted averaging, dither

A 96 dB Dynamic Range Σ - Δ Audio DAC Design and ASIC Implementation

Fu Jie (Electronics and Communication Engineering)

Directed by Prof. Zou Yuexian and Dr. Tim Lu

Abstraction

High precision digital-to-analog convert has found its widespread application in digital audio industry. By now, the delta-sigma modulation method based on over-sampling is the main technique to achieve a high precision digital-to analog conversion. For Σ - Δ DACs, the over-sampling and delta-sigma modulation implemented by digital circuits are easy to achieve 16, 20 even 24 bits data resolution. But there still are some unexpected effect which will degrade the DAC performance badly, for example, the mismatch between 1 bit DAC unit element in multi-bit Σ - Δ DAC, the idle tones introduced by digital modulator, the modulation effect of the clock jitter, etc. Additional circuits are developed to eliminate these adverse effects. How to design a required Σ - Δ DAC meet the specification with less hardware resource, it is always the Σ - Δ DAC research and design key point. The aim of this thesis is to implement a 96dB dynamic range audio DAC under standard 3.3V 0.35um CMOS technology.

This thesis described the basic theory of the Σ - Δ DAC at first, then elaborates and analyzes the mainstream realization structure, designs and implements the requisite 96 dB dynamic range audio DAC. Based on the conversion precision and estimation of the algorithm complexity, this thesis selects the factor-of-64 over-sampling, 3 order CRFB Σ - Δ modulator, 7 level quantization structure, carries out overall optimization including the filter, modulator structure, coefficients, internal state and storage data finite precision, coding method which greatly reduce the chip die size. To improve the DAC performance, this thesis adopts the improved data-weighted-average technique to eliminate the mismatch between 1 bit DAC array unit element; Designs and optimizes the dithering circuit to eliminate the idle tone introduced by the modulator; Analysis of the high frequency noise modulation effect caused by the clock jitter, adopts a least area-saved circuit to suppress it.

The digital circuit design of the DAC follows the normal half-customization digital circuit design flow. At first the system level algorithm is proposed and fully simulated by SIMULINK model; When the RTL coding is finished, it is simulated by comparing the codes output with the SIMULINK model output(golden reference) when using the same stimulus. After that the codes are verified on FPGA, synthesized to gate level netlist, and static timing analysis is carried out to ensure the timing convergence. At the end, the digital circuit is co-simulated with the analog circuit.

The final chip testing result indicates the designed DAC can achieve 96 dB dynamic range, the total harmonics distortion is about -84dB, the system manifest low sensitivity to clock jitter.

Key word: digital-to-analog converter, over sampling, delta-sigma modulation, noise shaping, mismatch shaping, data-weighted-average, dither

版权声明

任何收存和保管本论文各种版本的单位和个人，未经本论文作者同意，不得将本论文转借他人，亦不得随意复制、抄录、拍照或以任何方式传播。否则，引起有碍作者著作权之问题，将可能承担法律责任。

北京大学学位论文原创性声明和使用授权说明

原创性声明

本人郑重声明：所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不含任何其他个人或集体已经发表或撰写过的作品或成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本声明的法律结果由本人承担。

论文作者签名：付洁 日期：2008年5月19日

学位论文使用授权说明

(必须装订在提交学校图书馆的印刷本)

本人完全了解北京大学关于收集、保存、使用学位论文的规定，即：

- 按照学校要求提交学位论文的印刷本和电子版本；
- 学校有权保留学位论文的印刷本和电子版，并提供目录检索与阅览服务，在校园网上提供服务；
- 学校可以采用影印、缩印、数字化或其它复制手段保存论文；
- 因某种特殊原因需要延迟发布学位论文电子版，授权学校 ☐ 一年 / ☐ 两年 / ☐ 三年以后，在校园网上全文发布。

(保密论文在解密后遵守此规定)

论文作者签名：付洁

导师签名：

郑晓明

日期：2008年5月19日

第1章. 绪论

1.1 引言

随着半导体技术的迅速发展,数字系统已广泛应用于各学科领域及人们的日常生活中。相对于模拟电路,数字电路采用更小更简单的电路结构,实现了更复杂、精确和高速的系统,并具有更高的鲁棒性。

数字系统只能处理离散的数字信号,其输出也是数字的。在真实自然界中,各种变量都是连续变化的模拟量。为实现数字系统对模拟量的控制、运算和处理,需要一个模拟量与数字量之间相互转换的过程。这种过程,称之为数据转换;完成这种转换的电路称为数据转换器。

数据转换器 (data converter) 按照输入输出可分为数模转换器(Digital to Analog Converter)和模数转换器(Analog to Digital Converter)。数据转换器在数字信号处理系统中的典型应用如图 1-1所示,其中实现数字信号到模拟信号转换的接口电路称为数模转换器。

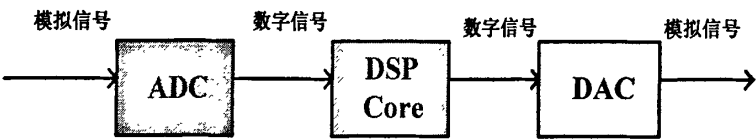


图 1-1 数据转换器的应用框图

近年来,在汽车类电子、消费类音视频、个人计算机等领域的推动下,数字多媒体技术的取得了突飞猛进的发展。对数字多媒体技术中的数字音频系统而言,为获得高保真的输出音质,需要数模转换器有很高的转换精度。现在主流的数字音频信号精度已经达到了16位的,18位、20位,甚至24的音频信号也正在逐渐被采用。

DAC电路结构众多,按照电路中数模转换单元的采样率,DAC可以分为Nyquist速率 (Nyquist- rate) DAC和过抽样率(over sampling)DAC两大类。Nyquist速率DAC一般由纯模拟电路实现,过抽样率DAC常采用数模电路相结合的方法。对于目前已有的VLSI制造工艺,全模拟电路DAC所能达到的最大精度为12位,并会带来相当高的功耗和电路复杂度[1]。为提高数模转换精度,降低电路功耗和复杂度,在需要高精

度数据转换的领域常使用过抽样率DAC。过抽样率DAC基于过抽样和 Σ - Δ 调制技术实现，由Inose在1962年提出，采用这种结构的高精度DAC具有面积小、功耗低、转换精度高，抗干扰能力强等优点，在数字音频处理和通信领域获得了广泛发展和应用。

1.2 课题背景

本论文的选题以实习公司focaltech-systems的数字音效处理芯片项目FT2A00为背景。该芯片对IIS接口输入的20位数字音频信号进行音效实时处理后，将数字音频信号转换为模拟信号，输出给电视音箱进行播放。作为音频信号数据形式转换的接口电路，数模转换器的性能决定了芯片的输出音质，它是整个芯片设计中非常重要的一个环节。课题的目标是在3.3V 0.35 μ m的标准CMOS工艺下，实现一个能表现16位音质、动态范围达到96dB的数模转换器。

1.3 论文主要工作

论文详细论述了一个能达到96dB动态范围音频DAC的完整设计流程，具体内容从理论分析、设计规格制定、算法设计到电路设计和最终芯片测试结果。

1.4 论文组织结构

论文的正文部分由六个章节组成：

第一章是论文的绪论部分，主要说明该课题的背景及意义。

第二章论述了 Σ - Δ DAC的基本原理、系统架构和设计考虑，并提出了本论文所设计DAC的设计需求和基本系统参数。

第三章详细论述了所设计DAC的算法设计部分，包括对具体仿真结果和有限字长效应的分析。

第四章详细论述了所设计DAC的电路实现过程。

第五章介绍了最终芯片的测试结果。

第六章是关于论文的总结与对未来工作的展望。

第2章. Σ - Δ 数模转换器概述

2.1 数模转换相关基本原理[2]

2.1.1 数字信号处理中的有限字长效应

大部分的离散时间系统均可用常系数线性差分方程描述,其系数和信号变量具有无限精度,可在 $-\infty$ 和 $+\infty$ 之间取任意值。然而,由于用来储存的数字寄存器存在有限长度的限制,无论是用软件形式在通用计算机上还是用专用硬件形式实现系统,系统参数和输入信号都只能在某一个特定范围内取离散值。量化过程决定了离散时间系统由非线性差分方程描述。原则上几乎不可能精确地分析和处理这些非线性方程。但如果量化量小于信号变量和滤波器常数的值,则可以应用基于统计模型的简单近似理论得到离散化的效果,其结果可以用实验验证。

2.1.1.1 二进制定点数字表示

在大多数数字计算机、专用数字信号处理器和专用集成电路实现的数字滤波算法中,数字(和信号变量)用二进制表示。在二进制表示形式中,数字使用符号0和1来表示,称为比特,其中,二进制点将数字的整数部分和小数部分分开。例如,十进制数11.625的二进制表示为 $1011_{\Delta}101$ 。这里使用 Δ 表示二进制点。二进制点左边的四位1011形成整数部分,而位于二进制点右边的三位101代表数字的小数部分。通常,二进制数 n 的十进制等效包含 B 个整数位和 b 个小数位: $a_{B-1} a_{B-2} \dots a_1 a_0 \Delta a_{-1} a_{-2} \dots a_{-b}$ 。这里,每一个位 a_i 的值取1或者0。最左端的为 a_{B-1} 称为最高位(MSB),而最右边的位 a_{-b} 称为最低位(LSB)。

数字的二进制可以用定点和浮点两种表示方法。与浮点表示相比,数据采用定点表示时运算电路的复杂度相对较低,因此专用集成电路中一般采用定点表示的方法。对定点表示,二进制的小数点被假定固定在特定的位置,而运算电路的硬件在实现算数运算时考虑这个固定位置。只要对于两个数它们都在同一个位置,数字加法器的加法运算独立于被加的两个数的二进制点的位置。另一方面,在计算两个二进制数的乘积时,小数点的位置就很难确定,除非它们是两个整数或者两个小数。因为在使用乘法器电路计算两个整数的乘法的情况,结果也是一个整数。同样,两个小数的成绩得

到一个小数。因此，在数字信号处理中，定点数通常表示为小数。

在定点表示法中，用 B 位表示非负整数 η 的范围，具体为：

$$0 \leq \eta \leq 2^B - 1 \quad (2.1)$$

类似地，也可以在定点表示法中用 B 位表示正小数 η 的范围，具体为：

$$0 \leq \eta \leq 1 - 2^{-B} \quad (2.2)$$

在任何一种情况中， η 的范围是固定的。如果 η_{max} 和 η_{min} 分别代表 B 位定点中所表示的数的最大值和最小值，则可用 B 位表示的数的动态范围为 $R = \eta_{max} - \eta_{min}$ ，而该表示的分辨率定义为

$$\delta = \frac{R}{2^B - 1} \quad (2.3)$$

这里， δ 也就是所知的量化阶。

为了表示长度为 b 位的正小数和负小数，称之为符号位的附加放在寄存器最前的位置，以表示这个数字的符号。对于正数，符号位为0，而对于负数，符号位为1。

定点数表示的负数有三种不同表示形式：原码、反码和补码形式。数字信号的二进制运算中一般采用补码形式。在补码形式中，正小数的补码表示和原码形式中的表示一致，而其负数的补码表示是将正小数的二进制的每一位取反，并在最低位加上1来表示。

2.1.1.2 量化过程

下面解释在数字滤波器实现的离散化过程中产生误差的各种原因。为简单起见，考虑图 2-1中由如下线性常系数差分方程定义的一阶无限冲激响应数字滤波器：

$$y[n] = ay[n-1] + x[n] \quad (2.4)$$

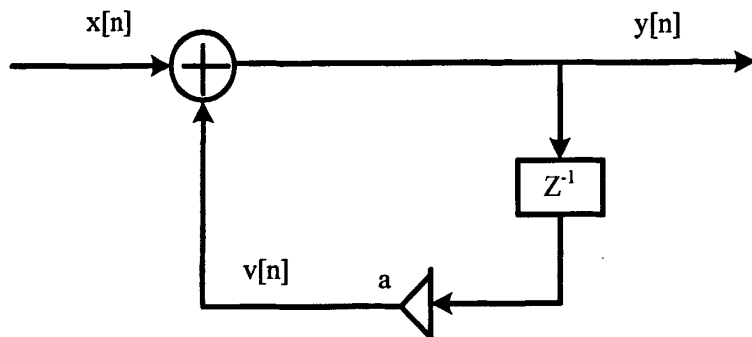


图 2-1 一阶无限冲击响应数字滤波器

其中, $y[n]$ 和 $x[n]$ 分别是输出和输入变量。描述该滤波器的传输函数为:

$$H(z) = \frac{1}{1 - az^{-1}} = \frac{z}{z - a} \quad (2.5)$$

当在数字机器上实现时, 滤波器系数 a 只能取某些离散值 $\hat{a}$, 通常, 只能近似为初始设计值 a 。因此, 实际采用的传输函数为:

$$\hat{H}(z) = \frac{z}{z - \hat{a}} \quad (2.6)$$

式(2.6)可能和式(2.4)中期望的传输函数 $H(z)$ 不同。因此, 实际的频率响应可能与期望的频率响应有很大不同。这个系数量化问题类似于在模拟滤波器实现中出现的灵敏度问题。

如果假定输入序列 $x[n]$ 是通过对模拟信号 $x_a(t)$ 抽样后得到的, 则通过A/D抽样转换器可将抽样和保持的输出离散化。如果将A/D转换器的输出表示为 $x_q[n]$, 那么, 式(2.4)中所示数字滤波器的实际输入为:

$$x_q[n] = x[n] + e[n] \quad (2.7)$$

其中, $e[n]$ 是输入量化过程中产生的A/D转换误差。

算术运算的量化导致了另外一种误差。在式(2.5)中描述的简单数字滤波器情况下, 将 a 与信号 $y[n-1]$ 相乘产生乘法器输出 $v[n]$:

$$v[n] = ay[n-1] \quad (2.8)$$

对 $v[n]$ 进行量化, 以匹配存放乘积德寄存器。量化后的信号 $v_q[n]$ 可表示为:

$$v_q[n] = v[n] + e_a[n] \quad (2.9)$$

其中 $e_a[n]$ 是乘积量化过程产生的误差序列。这类舍入误差的性质有些类似于A/D转换误差的性质。

由以上的分析可以看出,数字系统的有限字长效应会引入两种类型的误差,一种是对信号的储存和重新量化过程中产生的误差,它们以量化噪声的形式存在于数字系统中,是数字系统噪声的主要来源。另一种是对数字系统参数的量化而引入的误差,它们会改变整个系统的频率响应,需要在算法设计阶段即考虑参数量化对系统性能的影响。

2.1.1.3 量化噪声

量化噪声的存在是数据转换器实现高精度转换的核心障碍所在。在数据转换器中,为了实现连续值和离散值之间的转换,每一个离散的量化值都对应一段连续的量化区间。即在量化过程中,由于量化台阶数的限制,同一个量化台阶 Δ 内的任何模拟量都对应了相同的量化结果。这说明,在信号进行转换时,即使转换器有完全理想的转换特性,转换过程中仍然会引入误差,这类误差被称为量化误差 e ,由这个误差而引入的信号带宽内的噪声称为量化噪声。

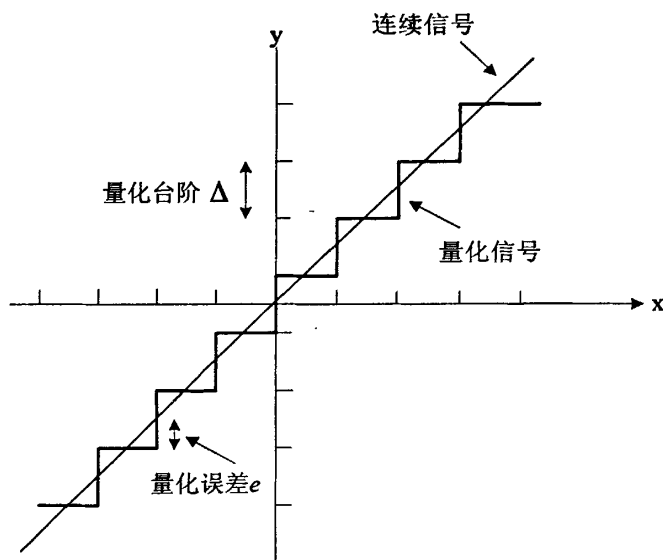


图 2-2 连续值和离散值的转换曲线

如果量化器有足够多的量化间隔;量化噪声在量化间隔上都是均匀分布以及输入

信号不会超出量化器输入幅度等条件符合的情况下, 量化噪声可以近似成一种与输入无关的白噪声, 即量化误差等于 $\pm\Delta/2$ 范围内任何一个值的概率都是均等其均方根 e_{rms} 为:

$$e_{rms} = \left(\frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de \right)^{1/2} = \sqrt{\frac{1}{12} \Delta^2} \quad (2.10)$$

假设信号采样频率为 f_s , 数据转换后的输出信号能量分布在 $0 \sim f_s/2$ 频段内。由于量化误差为白噪声, 在 $0 \sim f_s/2$ 内任何频率上其能量都是相等的。量化噪声的能量谱密度 $e^2(f)$ 可表示为:

$$e^2(f) = \frac{e_{rms}^2}{f_s/2} = 2 \frac{e_{rms}^2}{f_s} \quad (2.11)$$

舍入和截尾是最常用的两种数据量化方式, 对数据执行 $N+1$ 位舍入量化的误差 $e[n]$ 为:

$$-\frac{1}{2} 2^{-N} < e[n] \leq \frac{1}{2} 2^{-N} \quad (2.12)$$

而对数位 $N+1$ 位截尾量化的误差 $e[n]$ 有:

$$-2^{-N} < e[n] \leq 0 \quad (2.13)$$

由于假设中, 噪声源均匀分布, 因而得到舍入误差均值是:

$$m_e = 0 \quad (2.14)$$

方差是:

$$\sigma_e^2 = \frac{2^{-2N}}{12} \quad (2.15)$$

而截尾的均值是:

$$m_e = -\frac{2^{-N}}{2} \quad (2.16)$$

方差是:

$$\sigma_e^2 = \frac{2^{-2N}}{12} \quad (2.17)$$

噪声的平均功率为噪声均值的平方加上方差,因此舍入操作引入的量化噪声功率比截尾操作的略小。但是,舍入的计算复杂度要大于截尾,需要更多的逻辑判断和计算。

为有效缩短设计周期,应在算法设计阶段即对系统的量化噪声进行评估。

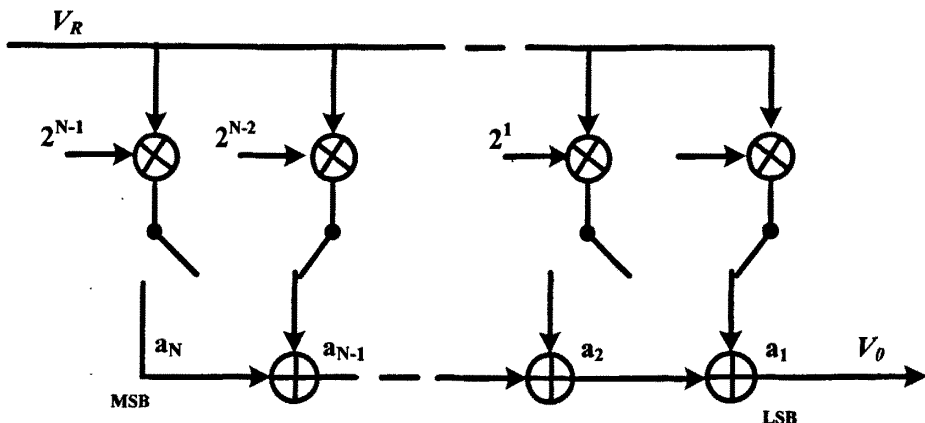
2.1.2 数模转换器概述

模拟信号数字处理的最后一步是将离散的数字量转换为连续变化的模拟量,实现该功能的电路或器件称为数模转换电路,通常称为D/A转换器或DAC(Digital Analog Converter)。

数可分为有权数和无权数,所谓有权数就是其每一位的数码有一个系数,如十进制数的45中的4表示为 4×10 ,而5为 5×1 ,即4的系数为10,而5的系数为1,数模转换从某种意义上讲就是把二进制的数转换为十进制的数。最原始的DAC电路由以下几部分构成:参考电压源、求和运算放大器、权产生电路网络、寄存器和时钟基准产生电路,寄存器的作用是将输入的数字信号寄存在其输出端,当其进行转换时输入的数字信号变化不会引起其输出的不稳定。时钟基准产生电路主要对应参考电压源,它保证输入数字信号的相位特性在转换过程中不会混乱,时钟基准的抖动(jitter)会制造高频噪音。

图 2-3中所示的简化框图可以解释最常用的D/A转换器的基本思路。为不失一般性,图中论文假设数字抽样值为正并且用自然二进制码表示。这里, V_R 表示输入电流值,如果第 l 个二进制位 $a_l=0$,则第 l 个开关 S_l 打开,如果 $a_l=1$,则开关闭合。于是D/A转换器的输出 V_o 表示为

$$V_o = \sum_{l=1}^N 2^{l-1} a_l V_R \quad (2.18)$$

图 2-3 N 位数模转换器的框图

二进制数据其权系数的产生，依靠的是电阻，CD格式是16bit，即16位。所以采用16只电阻， X_i 对应16位中的每一位。参考电压源依次经过每个电阻的电流和输入数据每位的电流进行加权求和即可得出模拟信号，这就是多比特DAC。

多比特是通过内部精密的电阻网络进行电位比较，并最终转换为模拟信号，好处在于高的动态跟随能力和高的动态范围，但是电阻的精度决定了多比特转换器的精度，要达到24bit的转换精度， X_i 电阻的匹配精度要求高达0.000015，即便是理想的电阻，其热噪音形成的阻值波动都会大于此值，多比特系统目前广泛采用的是R-211梯形电阻网络，对电阻的精度要求可以降低，但即便如此，理想状态的电阻达到的转换精度也不会达到24bit，23bit已经是极限。多比特系统的优点在于设计简单，但受制于电阻的精度，成本也高。

在数字信号处理应用中，有各种不同的D/A转换器[4]，如加权电阻D/A转换器、梯状电阻D/A转换器、过抽样D/A转换器等。

2.2 Σ - Δ 数模转换的基本原理与结构

与由纯模拟电路实现的多比特数模转换器相比， Σ - Δ 数模转换器将过抽样（Over-sampling）和 Σ - Δ 调制（Delta sigma modulation）技术相结合，在数模转换之前对数字信号进行处理，使低精度的数模转换电路就能表现出高的数据分辨率[4]。

Σ - Δ 数模转换器主要由插值器(Interpolator)、 Σ - Δ 调制器(Delta Sigma

Modulator)、内部DAC (internal DAC) 和模拟重构滤波器(analog reconstruction filter) 组成。 Σ - Δ 调制器(Delta Sigma Modulator)又称为噪声整形器(noise shaper), 内部DAC (internal DAC) 又称为DAC核(core DAC),它可以是一位, 也可以是多位。对于多位内部DAC, 还应加入失配整形(Mismatch Shaping)电路, 来消除内部DAC单元间的失配。其中, 插值器, Σ - Δ 调制器和失配噪声整形电路是数字电路实现, 内部DAC和模拟重构滤波器则是模拟电路。

典型的 Σ - Δ 数模转换器结构如图 2-4所示,

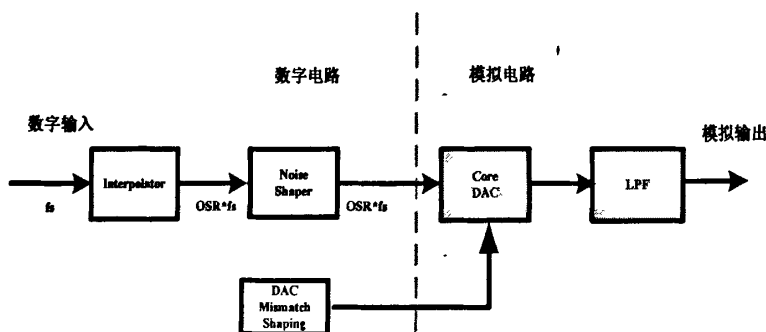


图 2-4 Σ - Δ 数模转换器系统框图

其工作原理如下:

- 插值器(Interpolator)通过插值滤波提高输入信号的抽样率。

抽样率为 f_s 的输入信号, 在经过插值器后变为 OSR 倍的 f_s (OSR 为上抽样因子)。在过抽样率下, 量化噪声分布在更宽的频带范围内, 更易于被调制器调制, 与信号分离。

- Σ - Δ 调制器 (noise shaper) 对数模接口处的量化噪声进行调制, 将它们搬移到信号带外高频段。

调制之后的信号带内量化噪声大量减少, 表现出更高的数据分辨率; 大量量化噪声位于信号频带外, 更易于被模拟重构滤波器 (analog reconstruction filter) 滤除。

- 内部数模转换器(core DAC)将数字信号转换为模拟信号。
- 模拟重构滤波器滤除具有高通特性的量化噪声, 得到重构后的音频信号。

以下各小节将详细论述各子模块的具体原理。

2.2.1 插值器简介

2.2.1.1 过抽样技术[2]

根据奈奎斯特定理, 对一个信号带宽为 f_m 的信号进行抽样, 最低所需的抽样频率是 $f_s = 2f_m$, 如果用以比此频率更高的速率来进行抽样, 称之为过抽样 (over sampling)。

过抽样方法是多抽样率数字信号处理的一个极好的应用, 并日益被用于对高分辨率数据转换器的设计。这一节将分析常规数字系统的量化噪声性能, 并展示过过抽样方法是如何减少信号带内噪声功率的。

为了说明过抽样方法的特性, 论文考虑一个以 f_s 为抽样率的双极性 b 位数字信号, 它能表示的信号全尺度范围设为 R_{fs} , 因此, 每个比特所能表示的最小间隔为 $\delta = R_{fs} / 2^b$ 。根据量化噪声的特性, 假定它是一个功率谱在 $\pm \delta / 2$ 之间均匀分布的误差, 它的均方根量化噪声由下式给出:

$$\sigma_e^2 = \frac{\delta^2}{12} \quad (2.19)$$

功率值为 σ_e 的均方根噪声因此在频率0到 $f_s/2$ 之间有一个平坦的谱分布。每单位带宽内的噪声功率, 称为噪声密度, 由下式给出:

$$P_{e,n} = \frac{\sigma_e^2}{f_s/2} = \frac{\delta^2}{6f_s} \quad (2.20)$$

图 2-5显示了在三个不同抽样率下的噪声密度图, 图中阴影部分表示感兴趣的信号所占的频段。

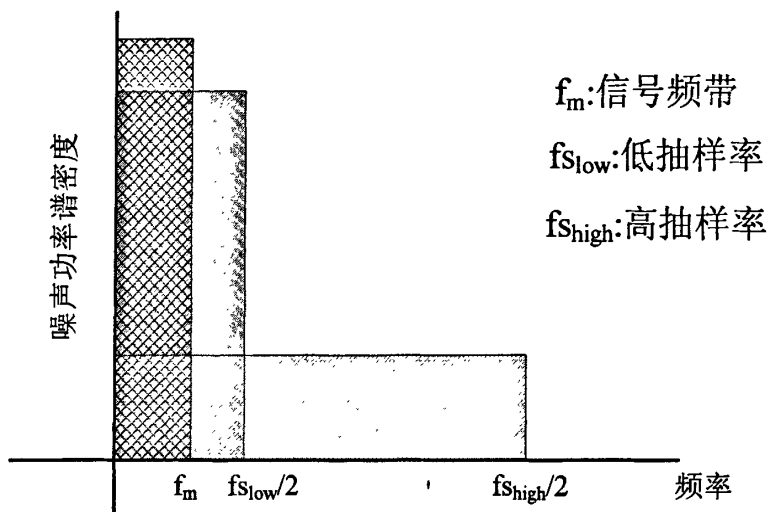


图 2-5 不同抽样率下的量化噪声功率谱密度

从该图可以看出，在感兴趣的信号频段里，高抽样率情况下噪声的功率小于低抽样率情况下噪声的功率。在感兴趣频段中的全部噪声，称为带内噪声功率，它由下式给出：

$$P_{total} = \frac{(R_s/2^b)^2}{12} \cdot \frac{f_m}{f_s/2} \quad (2.21)$$

根据以上公式，论文来分析过抽样对数据精度的影响。对于一个以那奎斯特速率抽样的 β 位数据， $f_s = 2f_m$ ，将这两个条件带入上式可得：

$$P_{total} = \frac{(R_s/2^b)^2}{12} \cdot \frac{f_m}{2f_m/2} = \frac{(R_s/2^b)^2}{12}$$

当它与较高抽样率下的 b 位数据带内量化噪声相等时，有：

$$\frac{(R_s/2^b)^2}{12} \cdot \frac{f_m}{f_s/2} = \frac{(R_s/2^\beta)^2}{12} \quad (2.22)$$

由此可得： $\beta = b + \frac{1}{2} \log_2(OSR)$

其中 $OSR = \frac{f_s}{2f_m}$ ，被称为过抽样率(over sampling ratio)。

2.2.1.2 插值器原理分析

插值器将信号的抽样率从 f_s 提高到 $OSR \cdot f_s$ ，它由上抽样和插值滤波实现。一个典型插值器的结构如图 2-6所示。

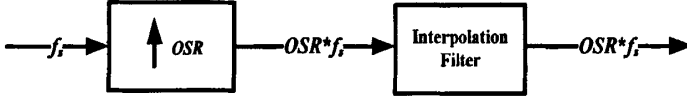


图 2-6 插值器的系统框图

考虑一个上抽样因子为 OSR 的上抽样器（ OSR 是正整数），生成的输出序列 $x_u[n]$ 的抽样率是输入序列 $x[n]$ 的 OSR 倍。上抽样运算实际上在输入序列 $x[n]$ 的两个连续样本间插入 $OSR-1$ 个等距的零值样本，输入输出对应关系如下：

$$x_u(n) = \begin{cases} x[n/OSR], & n = 0, \pm OSR, \pm 2OSR, \dots \\ 0, & \text{other} \end{cases} \quad (2.23)$$

为了使生成的高抽样率序列更有效，常常将上抽样插入的零值样本替换为一些合适的非零值，这些值是用插值滤波器处理后得到的。

从频谱特性来看，经过上抽样以后输入和输出的关系为

$$X_u(z) = X(z^{OSR}) \quad (2.24)$$

通过上抽样得到的序列 $x_u(n)$ 的频谱如图 2-7中b图所示。从图中可以看出， OSR 倍的上抽样，会在基带上引入 $OSR-1$ 个额外的输入谱的镜像。由于在 $x[n]$ 的相邻样本之间插入了零值，上抽样以后，使得带限到低频部分的信号看来不像一个低通谱。在经过低通滤波器后， $x_u(n)$ 除去了 $OSR-1$ 个镜像，并且用有效的内插样值填充零样值。经过低通滤波以后的信号频谱如图 2-7中图c所示。

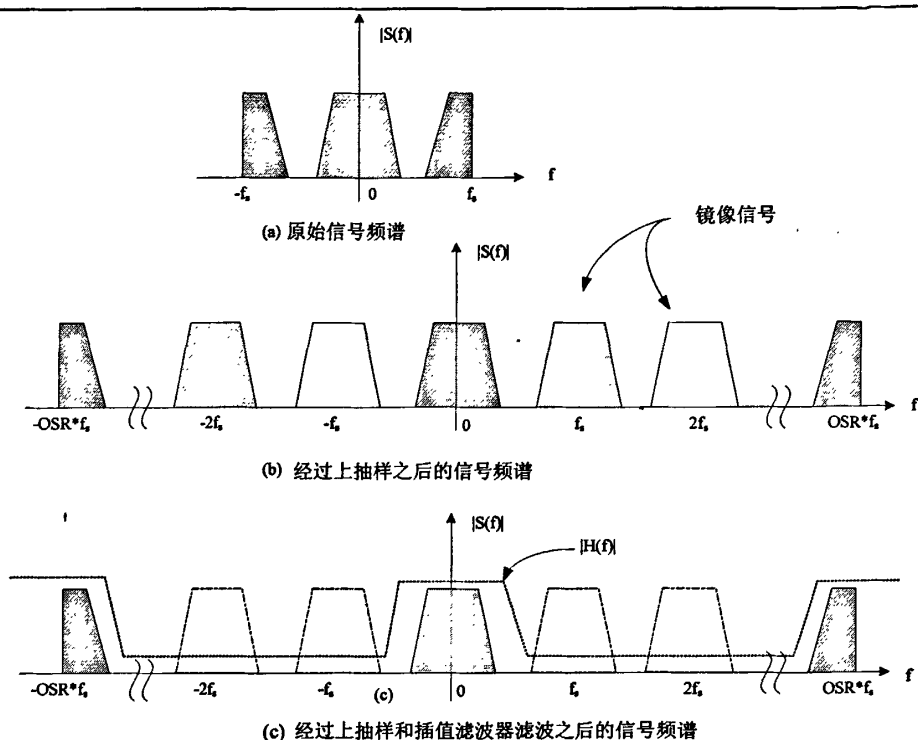


图 2-7 输入信号经过上抽样和插值滤波前后的频谱对比

对 Σ - Δ DAC, 插值器用来将信号的抽样率从 f_s 提高到 OSR 倍的 f_s 。经过上抽样后的镜像信号频谱位于从 f_s 、 $2f_s$ 直到 $(OSR-1) \cdot f_s$ 的频率附近。这些多余的镜像信号位于人耳听力范围(20Hz~20KHz)之外, 不会被人听到。但对整个系统而言, 这部分带外高频镜像信号具有非常大的能量, 会严重影响调制器的稳定性; 同时, 模拟电路的非线性特性会造成它们之间的互调, 产生进入基带频率段的信号分量, 影响DAC的性能。插值器中的插值滤波器用来抑制这部分镜像信号, 它是插值器设计的重点。经过插值滤波之后, 带外信号功率大幅减少, 互调进入基带的高频噪声也会减少, 这也有助于降低对模拟重构滤波器阻带衰减幅度和线性度的要求。

由2.2.1.1节推导得出的公式 $\beta = b + \frac{1}{2} \log_2(OSR)$ 可知, 为达到与那奎斯特抽样相同的数据分辨率, 过抽样率越高, 所需要的数据位数越少。过抽样率每增加一倍, 有效分辨率增加0.5位。对于 $M=1024$ 的过抽样率而言, 6位的数据精度就已经相当于那奎斯特抽样率下的16位的有效分辨率。但是, 人们总是希望能够用更低的过抽样率和更少数据位数来表示相同的有效分辨率, $\Delta\Sigma$ 调制器的出现很好的解决了这个问题, 它通过噪声整形的作用, 有效的改变了带内噪声的谱密度, 使得在相同过抽样率

的情况下达到更高的信噪比。

2.2.2 Σ - Δ 调制（量化噪声整形）技术简介

2.2.2.1 Σ - Δ 调制原理分析

Σ - Δ 调制器有多种实现结构，出于简化理论分析的考虑，本节主要介绍一个典型单环路 Σ - Δ 调制器的噪声整形原理，关于不同结构更详细的讨论，将会在本文后一小节中论述。

一个典型单环路一阶 Σ - Δ 调制器的结构及其线性模型如图 2-8所示

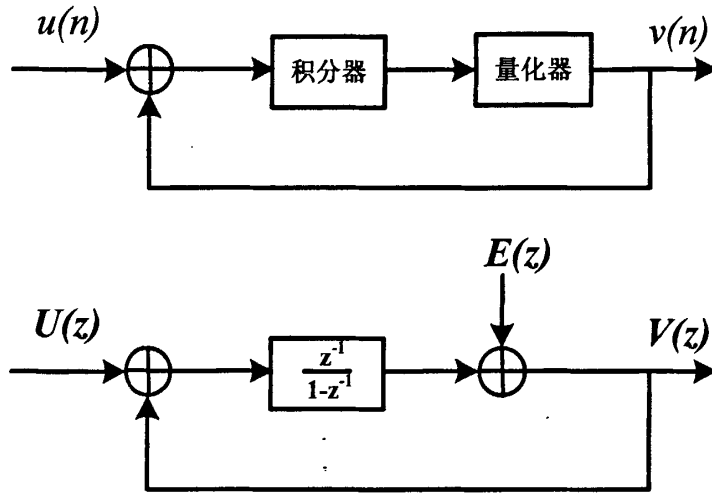


图 2-8 单环路一阶 Σ - Δ 调制器的结构及其线性模型[1]

由图 2-8可以看出，对一个单环路一阶 Σ - Δ 调制器，它的输入输出信号在时域和频域之间的关系可以表示为：

$$\begin{aligned} v(n) &= u(n-1) + e(n) - e(n-1) \\ V(z) &= U(z)z^{-1} + E(z)(1-z^{-1}) \end{aligned} \quad (2.25)$$

由上式可得单环路一阶 Σ - Δ 调制器的信号传输函数 $STF(z)$ 和噪声传输函数 $NTF(z)$ 分别为：

$$STF(z) = z^{-1} \quad (2.26)$$

$$NTF(z) = 1 - z^{-1} \quad (2.27)$$

从以上的分析可以发现，输出信号由两部分组成，第一部分是带有一个抽样周期延时的输入信号，它并没有改变输入信号的任何特性；另一部分是量化噪声的微分，微分的效果是使噪声产生高通特性，原本均匀分布的量化噪声的大部分功率转移到了高频部分。这样在过抽样率下，信号的带内噪声被更加有效的抑制，信号的有效分辨率得到了进一步的提高。

由推导得出的噪声传输函数，可以得到被调制之后的噪声功率谱密度为： $S_q(f) = (2\sin(\pi fT))^2 S_e(f)$ 。这里， $T = 1/f_s$ ，是抽样周期， $S_e(f)$ 是量化噪声的单边功率谱密度，过抽样及调制前后的功率谱密度对比如图 2-9所示

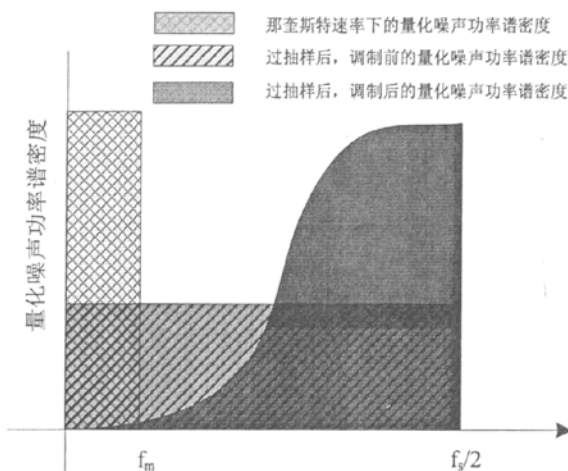


图 2-9 Σ - Δ 调制前后的量化噪声功率谱

对 $S_q(f)$ 在0和信号带宽 f_m 之间进行积分，可以得到带内的噪声功率。对于 $OSR \gg 1$ 的情况，带内噪声功率被近似表示为：

$$q_{rms}^2 = \frac{\pi^2 e_{rms}^2}{3(OSR)^3} \quad (2.28)$$

其中 q_{rms}^2 表示调制之前的量化噪声功率。

与期望相同，带内噪声将随着过抽样率的增加而降低。但是，这种降低相对较慢；过抽样率的翻倍仅仅能将带内噪声减小9dB,相当于1.5位的数据精度。为了在相

对较低的过抽样率下得到更高的数据分辨率，一种有效的改进方法是提高 Σ - Δ 调制的阶数。对于一个 L 阶的 Σ - Δ 调制系统，它的输入输出关系、噪声传输函数和带内噪声功率列出如下：

$$V(z) = U(z)z^{-1} + E(z)(1 - z^{-1})^L \quad (2.29)$$

$$q_{rms}^2 = \frac{\pi^{2L} e_{rms}^2}{(2L+1)(OSR)^{2L+1}} \quad (2.30)$$

由上式可以看出，通过增加过抽样率和增加量化阶数（减小 e_{rms}^2 ），都可以降低信号带内的噪声功率，提高系统的有效分辨率。

2.2.2.2 Σ - Δ 调制环路结构综述[5]

Σ - Δ 调制器，根据调制阶数，可以分为一阶调制和多阶调制；根据调制器结构，可以分为单回路和多回路级联调制；根据信号反馈信号，可以分为MSB反馈型和误差反馈型。

图 2-10中列出了典型的一、三、五阶[6][7] Σ - Δ 调制的结构框图，这里都采用的MSB反馈信号，对于典型的误差反馈型 Σ - Δ 调制框图，在图 2-11中列出。

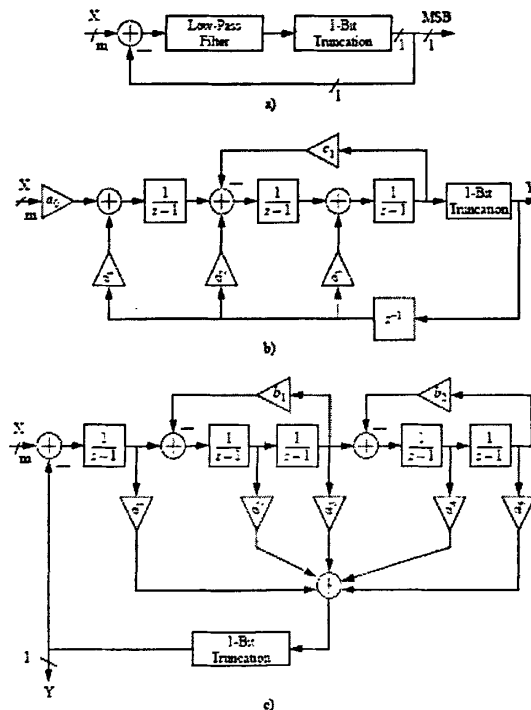


图 2-10 单比特 MSB 反馈型量化噪声调制结构框图[5]

a) 一阶 b) 三阶 c) 五阶

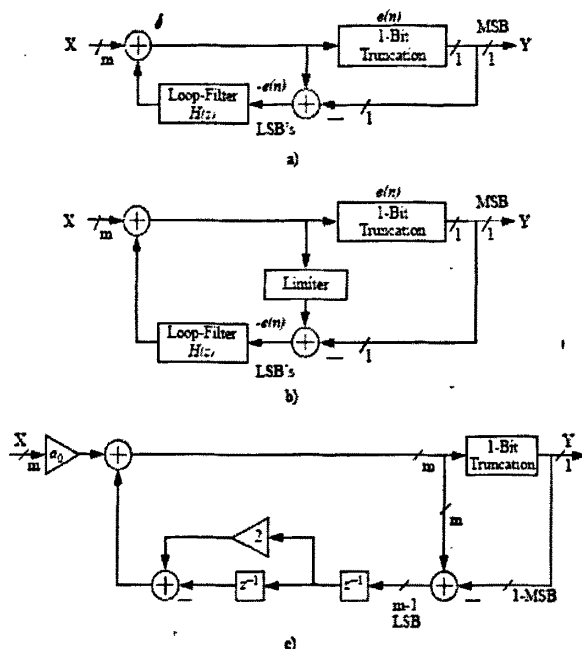


图 2-11 单比特误差反馈型量化噪声调制结构框图[5]

a) 一阶 b) 带限制器的一阶 c) 二阶

对于 Σ - Δ DAC而言，调制环路中的滤波器都是采用数字方法实现，因此反馈信号的类型并不会对整个调制环路产生影响，一般来说设计过程中比较倾向于选择MSB反馈的方法。

不同于到目前为止论文所讨论的单环路 Σ - Δ 调制，还有一种多环路级联(multi-stage noise-Shaping) [1]的 Σ - Δ 调制方法，但它主要应用在 Σ - Δ ADC中，被用来解决模拟电路在高调制阶下的不稳定问题，在这里论文不再讨论，它的一个典型框图如图 2-12所示

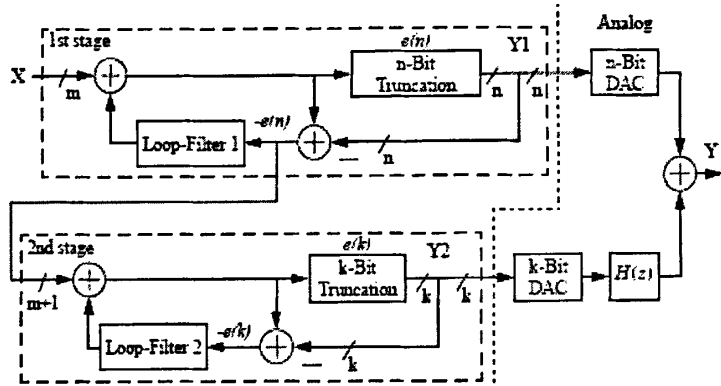


图 2-12 MESH 结构调制框图[5]

2.2.3 多位 DAC 动态单元匹配 (Dynamic Element Matching)

在 Σ - Δ DAC电路中，内部DAC可以采用一位或多位DAC。一位DAC只有两个输出值，因此是完全线性的，它的缺点是会带来大量带外量化噪声。 Σ - Δ DAC内部大多采用多位DAC。

多位DAC的结构如图 2-13所示，它由一个数字编码器和 N 个完全相同的一位DAC单元组成， N 等于输入信号的量化阶数。编码器将输入的数字信号编码为一个 N 位的数字序列，该序列的每一位去驱动相应的DAC单元。所有DAC单元输出值的总和，就是该输入数字信号的模拟值。

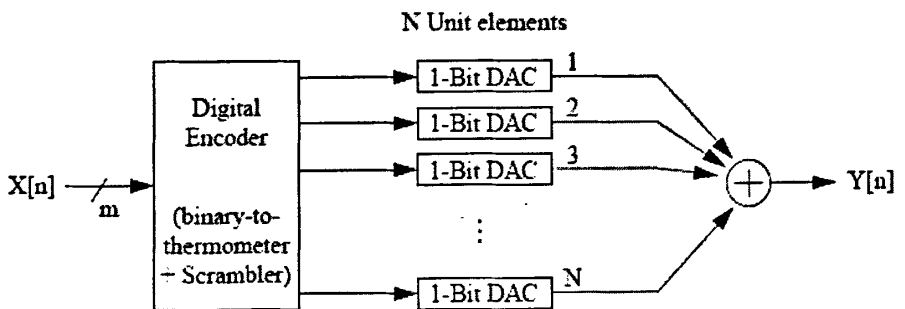


图 2-13 多位 DAC 的结构[5]

传统的多位DAC采取温度计编码器，它的编码方式如下：

$$y_k = \begin{cases} 1, & \text{if } (k \leq x[n]) \\ 0, & \text{else} \end{cases} \quad (2.31)$$

其中 $x[n]$ 表示输入序列， y_k 表示编码序列的第 k 位。

与一位DAC相比，多位DAC对应着更低的带外量化噪声功率，有助于降低模拟重构滤波器的设计要求。在实际电路中，由于制造工艺的局限性，一位DAC单元的输出值都会偏离它的理论值，体现在整个多位DAC上就是量化级之间的失配（mismatch）。由于传统DAC采用了温度计编码的方式，对于每个固定的输入，被选中的DAC单元都是固定的，这会引入很大的信号带内噪声，影响数模转换系统的信号与噪声加失真比（Signal to Noise plus Distortion Ration）。

动态单元匹配（Dynamic Element Matching，DEM）技术[8]被用来消除这种失配噪声。DEM技术的原理及适用范围如[9]所述。使用DEM技术前后的DAC失配噪声频谱对比如图 2-14所示。DEM技术通过采用与传统多位DAC不同的编码方式，将被选择的DAC单元随机化，使得大部分的失配噪声被搬移到信号带宽以外的高频频段，并小于量化噪声。

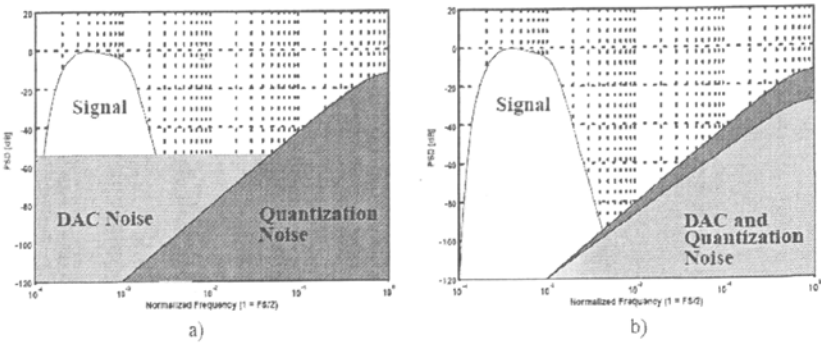


图 2-14 使用 DEM 前后内部 DAC 噪声功率谱的对比[4]

常用的DEM方法有：加权数值平均（Data-Weighted Averaging）[1][9][11][12]、独立阶平均（Individual Level Averaging）[13]、基于向量的失配整形（Vector-Based Mismatch Shaping）[14]、树状结构的单元选择（Element Selection Using Tree Structure）[15][16]、DAC非线性数字校正（Digital Correction of DAC nonlinearity）[17][18]等多种方法。

与Σ-Δ调制一样，对不匹配噪声的整形也可分为一阶或多阶。DWA方法因其电路复杂度较小，在对失配噪声的一阶调制中获得了广泛应用。对于需要二阶失配调制

的DAC，一般采用树状结构。

2.2.4 电路非理想情况的影响及解决方法

在实际电路中，还常存在着一些非理想情况，这些非理想情况会直接影响到所设计DAC的性能。在设计初期就应该考虑它们对系统可能造成的影响。

2.2.4.1 空闲音 (idle tone)与扰动 (dither) 电路

在分析数字电路的量化噪声时，噪声的功率谱被假定为具有随机分布的特性；在实际电路中，噪声功率可能集中在一个或者多个频率点上，这种噪声称为空闲音(idle tone)。

与随机信号比较而言，人耳对具有周期性的信号更加敏感。低于噪声基底15dB以内的的空闲音都会被人耳察觉。在电路设计初期，就需要考虑将可能产生的空闲音抑制在可接受的范围内。

以下三种情况可能会导致空闲音的产生[19]:

- 量化信号的再量化
- 电路中信号的溢出
- 系统中的极限环

给信号预留足够的数据位数就可避免信号溢出而导致的空闲音。而对于上述第一、三种情况产生的空闲音，则需要加入扰动电路。关于扰动电路的设计，将在本文第三章详细叙述。

2.2.4.2 时钟抖动[20][21]与后滤波器 (post filter)

时钟抖动是指时钟信号在发生电平翻转时，其实际翻转时刻的不确定性，即电平翻转时刻可能会落在一个时间段里的任何一个时间点上。时钟电路存在不可避免的抖动现象，在音频接口IC中尤为明显。对 Σ - Δ 数模转换器，在数模转换时大量的带外量化噪声将会被这种时钟抖动调制回信号频带范围内，降低数模转换系统的SNDR。高频段的噪声功率决定了 Σ - Δ 数模转换器对时钟抖动的敏感性[22][23]。

有两种方法可以减少这些高频噪声，一是增加量化阶数；二是提供更多的带外

滤波。实现带外滤波功能的滤波器被称为后滤波器。后滤波器既可以在数字域实现，也可以在模拟域实现。

在优化系统级设计时，需要对这两种方法折衷考虑：增加量化阶和采用数字域的后滤波器都将增加一位DAC的数量，增加动态单元匹配电路的复杂度；模拟域的后滤波器则对应着更复杂的模拟电路以及更多的功耗。

2.3 Σ - Δ 音频 DAC 的性能衡量指标与设计约束

在进行具体设计之前，需要首先了解与DAC性能相关的指标，以及设计过程中各参数之间的相互约束关系。

2.3.1 音频 DAC 性能衡量指标

对于音频DAC，人们更加关注它在小信号输入下的性能。在实际的测试中，常常以-60dB频率为1KHz的正弦波作为输入信号，测试所得的SNR相对于信号全摆幅的数值（SNR+60），称为该DAC的动态范围（dynamic range）。

衡量音频DAC性能的另外一个重要指标是总谐波失真（total harmonics distortion），简称为THD。

2.3.2 设计约束分析

由以上分析可知，在设计 Σ - Δ DAC系统时，过抽样率、 Σ - Δ 调制阶数、内部DAC量化阶数、模拟重构滤波器的复杂度，这些因素之间彼此限制，相互制约：在达到相同数据分辨率的提前下，可通过增加 Σ - Δ 调制环路阶和增加量化阶的方法来降低过抽样率，从而降低电路运行所需的最低系统时钟，减小芯片面积。这种做法的缺点是过多的量化噪声集中在带内，增加系统对时钟抖动的敏感性，这对模拟重构滤波器提出了更加严格的设计要求；通过增加内部DAC位数可以有效减少总的量化噪声，这又会导致DEM电路复杂度的增加。

根据具体的应用领域和设计的要求，选择相对折衷的系统架构，是 Σ - Δ DAC设计中的重要考虑点之一。

2.4 96dB 动态范围 Σ - Δ 音频 DAC 的设计概述

根据芯片系统要求,可得本论文所设计的DAC需达到的设计目标和设计中所应遵循的基本原则,具体内容如下所述。

2.4.1 设计要求及指标

本课题所设计的DAC应用于信号源是16位数据精度、数据速率为48KHz的单芯片方案的数字音频系统。芯片内部音效处理模块的音频信号数据格式为20位,这对所设计的音频DAC提出的要求有:

- 接收20位的数字音频信号;
- 超过96dB的动态范围(对应于16位的数据精度);
- 在面对相当大的时钟抖动时,有很强的鲁棒性;
- 双通道(左右声道)(可扩展至三通道(左右声道和低音声道))输出
- 完全整合的DAC所有通道。不需要任何的外加电路或者滤波器;
- 标准的COMS工艺实现;
- 精确的带内和带外频率响应。对于模拟电路中的滤波器,可以放松对带外频率响应准确度的要求,以降低模拟电路的功耗和复杂度;
- 有限的带外噪声功率。带外噪声功率与系统的功耗相互制约:更低的带外噪声功率对应着更高阻带衰减的模拟重构滤波器,这将增加模拟重构滤波器的复杂度,从而增加系统的功耗。这是整个设计中需要折衷考虑的问题;
- 模拟信号单端输出。

在实际应用中,本DAC可以支持32KHz、44.1KHz和48KHz三种数据速率的输入信号。

拟设计的DAC设计指标如表格 2-1所示

表格 2-1 音频 DAC 设计指标

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
-----------	--------------------	-----	-----	-----	------

Resolution			16		Bits
Analog voltage		3.0	3.3	3.6	V
Digital voltage		1.71	1.8	1.89	V
Power			tbd		mW
DC ACCURACY					
Gain mismatch channel to channel			±1	±5	% of FSR
Gain error			±2	±10	
DYNAMIC PERFORMANCE(f _{in} =1kHz)					
THD+N	VOUT = 0 dB		-88	-78	dB
	VOUT = -60 dB		-30		
Dynamic range	EIAJ*, A-weighted	86	96		
S/N ratio	EIAJ*, A-weighted	86	96		
Channel separation		84	90		
ANALOG OUTPUT					
Input voltage		1.65			V _{p-p}
Center voltage			1.65		V
Load impedance	AC coupling	10			kΩ
LPF frequency response	-3 dB		250		kHz
	f _{IN} = 20 kHz		-0.03		dB
DIGITAL FILTER PERFORMANCE					
Passband				0.444 fs	Hz
Stopband		0.556 fs			
Passband ripple				±0.05	dB
Stopband attenuation		-65			

2.4.2 设计基本原则

所有的芯片设计都遵循一个共同的目标：尽量少的硬件资源（电路面积）和尽量低的电路功耗。

对本论文所设计的芯片，它应用于电视系统中，功耗方面的要求相对较低,因此设计的侧重点应是减少硬件资源，这是贯穿本设计的基本原则；芯片的功耗也是需要尽量降低的。

Σ-ΔDAC的主要电路都是信号处理模块。与控制逻辑相比，信号处理模块中的

加法、乘法运算单元和延迟单元（数据存储单元）是影响电路面积的主要因素。减少电路面积主要是减少它们对硬件资源的需求。这需要在满足设计指标的前提下，一方面在进行算法设计时，制定最宽松的系统规格和选用电路复杂度最小的算法；另一方面在进行电路实现时，采用合理的硬件架构，复用尽量多的硬件单元，减少不必要的存储单元和控制逻辑。

第3章. 16 位音频 Σ - Δ DAC 的算法设计与仿真

3.1 系统结构参数计算

Σ - Δ DAC 的关键设计参数是：过抽样率 OSR ， Σ - Δ 调制环路阶数 L 和调制器输出量化阶数 N 。这些参数的设置都取决于 DAC 所希望达到的动态范围。动态范围的瓶颈是输入信号的精度和模拟电路带来的噪声，对于能还原出 16 位数据精度音频信号的 DAC 来讲，数字电路带来的带内信号量化噪声比应远大于 96dB。考虑调制环路设计过程中噪声传输函数极点优化、冲击信号对系统的影响，数字电路部分的带内 SNR 需要有充裕的余量，将理论值设定在 116dB (96+20) 左右是一个比较合理的值。它是本设计参数选取的出发点。

过抽样率 OSR ， Σ - Δ 调制阶数 L 和量化阶数 N 与带内 SNR 的关系如下[1]：

$$SNR = \frac{3}{2} \cdot M^{2L+1} \frac{2L+1}{\pi^{2L}} \cdot 2^{2N} \quad (3.1)$$

由 $SNR \geq 116\text{dB}$ ，可以得到满足条件的最小设计参数是： $OSR=128, L=2, N=4$ [24] 或 $OSR=64, L=3, N=2$ 。后一组参数对应着更低的过抽样率和更少量化阶的数模转换器。并且没有明显增加调制电路的复杂度。本设计选取这一组参数设置。

在对 Σ - Δ 调制器的输出信号进行量化时，噪声信号叠加在数据信号上，可能会导致信号重新量化时的溢出 (overflow)，导致调制器的不稳定和产生大量明显的空闲音，损坏音频信号的听感。为避免溢出，最终量化时需要多增加一位保护位 (guard bit) 来保存信号，这样使得 DSM 输出的总数据位数变为 3 位。对于用补码小数表示的范围在 ± 1 之间的输入信号，输出维持在 ± 1.5 之间，量化阶为 $[-1.5, -1, -0.5, 0, 0.5, 1, 1.5]$ 。

在实际电路中，还需要加入扰动电路和后滤波器，它们的电路结构相对简单，对电路面积几乎没有影响。由于后滤波器位于 Σ - Δ 调制器和内部 DAC 之间，它的输出端产生的量化噪声不会进入 Σ - Δ 调制环路，这将严重恶化整个系统的性能。为了避免后滤波器输出被重新量化产生量化噪声，论文保存后滤波器输出信号的所有位数，这会使内部 DAC 的输入数据位数增加到 4 位，量化阶变为 $[-3, -2.5, -2, -1.5, -1, -0.5, 0, 0.5, 1, 1.5, 2, 2.5, 3]$ 共 13 个量化阶，多位 DAC 中 1 位 DAC 单元的数目变为 12。

多位DAC需要选择合适的DEM算法来消除DAC单元之间的失配问题。本设计中内部DAC单元之间的失配被限制在正常值的0.2%以内，一阶的不匹配整型就足以使它对数模转换器性能不造成的影响[16]。

综上所述可得：所涉及DAC数字电路部分的基本参数为：64倍过抽样率，3阶 Σ - Δ 调制，12位内部DAC，一阶动态单元匹配技术。

3.2 插值滤波器的设计与仿真

3.2.1 设计要求

从之前的分析可知，本论文对插值滤波器的设计要求如下：

- 接收20位的数字音频信号输入。
- 上抽样因子是64。
- 滤波器通带为0到20KHz。这要求的滤波器归一化信号带宽定义为0.444（即对于采样率为44.1KHz的输入信号，信号带宽约为20KHz；此时对于48KHz的输入信号，信号带宽约为 $48K \times 0.444 = 21.320KHz$ ）。需要注意的是，在本论文随后的设计中，输入信号抽样率均假定为48KHz。
- 插值器带内波纹应该保持在 $\pm 0.05dB$ 以内，以确保不影响音频信号听感。
- 插值器引入的总带内量化噪声应该低于信号源量化噪声至少15dB,即在-116dB以下，以确保不降低整个系统的带内信噪比。
- 考虑到在音频DAC中，镜像信号频谱位于音频信号频带以外，这部分频带范围内存在大量的噪声，插值滤波器需要将镜像信号的幅度衰减到噪声功率谱密度之下。在一些低频率信号点可以略高于该值。

3.2.2 有利于减少芯片面积的级联结构

插值器电路中包含大量的数据存储单元和运算逻辑，它对芯片面积的影响非常大。插值器可以采取立即上抽样到所需的过抽样率，并在这个时钟下进行插值滤波的方法。这要求插值滤波器有非常陡峭和狭窄的过渡带，使所需FIR滤波器系数非常多，对应于电路实现时的大量数据存储单位，大幅增加芯片面积；插值滤波器完全工作在

高时钟之下，也会造成功耗的大幅度提升，和产生大量的数字电路噪声。为解决这一系列问题，本论文采用了多插值器级联的方法[25][26]，逐步提高信号的抽样率。

在级联结构中，硬件资源消耗较大的滤波运算被设计在数据速率较低的上抽样级进行，以降低电路复杂度。随着抽样率的逐步提高，数字滤波器的复杂度应逐渐降低。在 Σ - Δ DAC插值滤波器的设计中，常用的级联顺序是：FIR数字滤波器，半带数字滤波器，SINC滤波器。

SINC滤波器又可称为CIC滤波器，常用在级联结构中数据速率最高的最后几级。一阶SINC滤波器是最简单的FIR滤波器。

SINC滤波器的缺点是会给带内信号带来不同程度的衰减，幅度衰减补偿滤波器（droop compensation FIR filter）用来补偿这种衰减[27]。衰减幅度补偿会使滤波器系数大量增加，为减少电路消耗，它被安排在级联结构中信号速率最低的第一级。

对于半带滤波器，当输入信号带宽恒定时，数据抽样率越高，滤波器通带与阻带之间的过渡带(transition band)就越长，设计得到的滤波器系数也越少；半带滤波器有将近一半的滤波器系数为零，可以大量减少滤波运算量，降低电路复杂度。这些优点使半带滤波器广泛应用于高抽样率转换系统中滤波器的中间级。它同时也有自身内在的缺点，就是对于传统的FIR实现结构，半带滤波器对系数量化的影响相当敏感。为解决这个问题，最近的研究提出了很多不同于传统FIR滤波器的结构[28]。不同结构之间的比较，将在随后的相关章节中详细论述。

本64倍过抽样插值器采取四级级联的结构。最后一级是一个上抽样因子为8的一阶SINC滤波器，它由一阶抽样/保持电路实现，对前级8倍插值器的每个输出样本值重复采样8次即可，不需要增加额外的硬件资源。设计的主要任务是前级的8倍插值器(X8 interpolator)。64倍插值器的完整结构如图 3-1所示，图中 f_s 表示输入信号的抽样率。

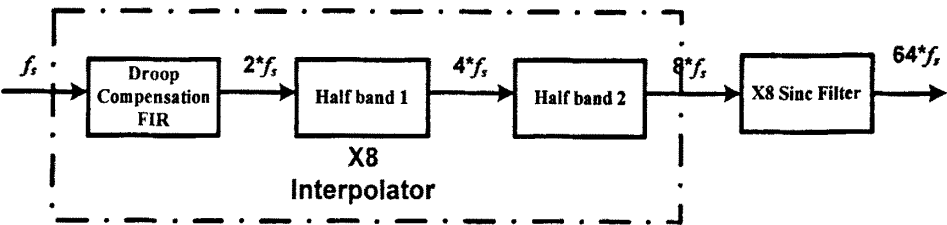


图 3-1 一个级联插值器的实现框图

前级八倍插值器由三个两倍插值器级联而成。在进行具体设计时，需要先评估 SINC 滤波器的特性，以确定第一级衰减补偿 FIR 滤波器的设计规格和随后两个半带滤波器的设计目标。

需要注意的是,为了保证输入信号功率不会被衰减,一个 n 倍的插值器所对应的插值滤波器增益应该是 n 。

3.2.2.1 一阶 SINC 滤波器的设计与仿真

一阶 SINC 滤波器是一个有 $N-1$ 个延迟单元 (N 等于滤波器抽头数) 的 FIR 滤波器, 它只是简单的计算输入序列的移动平均。对于输入序列 $v(n)$, 它的输出可以表示为:

$$W(n) = \frac{1}{N} \sum_{i=0}^{N-1} v(n-i) \quad (3.2)$$

冲击响应为:

$$h(n) = \begin{cases} 1/N & \text{if } (0 \leq n \leq N-1) \\ 0 & \text{otherwise} \end{cases} \quad (3.3)$$

它在 Z 域中的传输函数和频率响应分别是:

$$H(z) = \frac{1-z^{-N}}{N(1-z^{-1})} \quad (3.4)$$

$$H(e^{j2\pi f}) = \frac{\text{sinc}(Nf)}{\text{sinc}(f)} \quad (3.5)$$

在这里, sinc 被定义为 $(\sin(\pi * f))/(\pi * f)$, 这是这种类型的滤波器被命名为 SINC 滤波器的原因。

在式(3.4)中 z^{-1} 对应于上抽样以后较高的那个频率, N 是插值(上抽样)因子, 它等于输出输入信号的频率比。

在这个设计里面, SINC 滤波器是整个 64 倍插值器的最后一级, 它对应的上抽样因子是 8, 即 $N=8$, 输入信号的抽样率从 $8f_s$ 提高到 $64f_s$, 其频率响应曲线如图 3-2 所示, 图中横坐标中的频率根据输入信号的抽样率 f_s 进行了归一化, 即横轴中的数字 8 对应于数值为 $8f_s$ 的频率点。

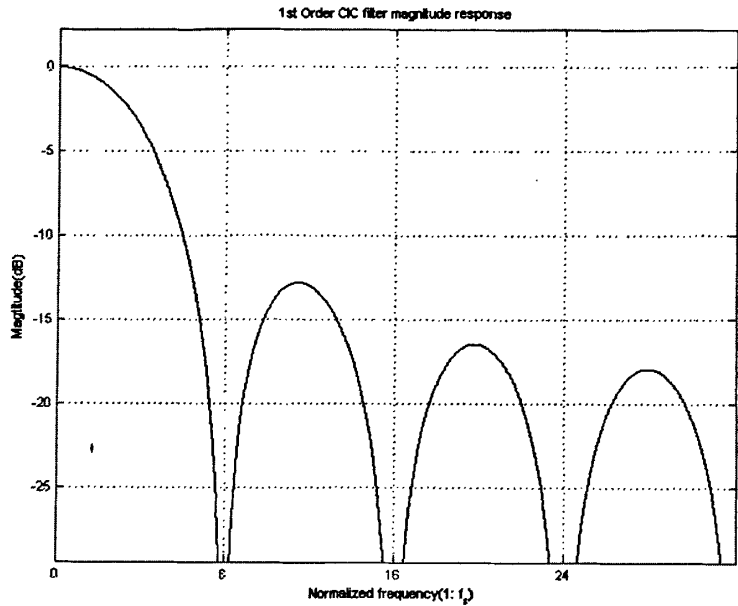


图 3-2 一阶八倍 SINC 插值器的幅频响应

从图 3-2中可以看出，在零频率附近，滤波器的增益非常接近1；在 $8f_s$ 、 $16f_s$ ，一直到 $56f_s$ 这些频率点，滤波器的增益几乎等于零，它很好的抑制了8倍上抽样中产生的镜像信号。

SINC滤波器引入的最大带内衰减为0.045dB，如图 3-3所示。它发生在最大信号频率点（ $48 \times 0.444 = 21.320\text{KHz}$ ）。这个数值的数量级已经与所允许的信号带内波纹相同，应该被补偿。

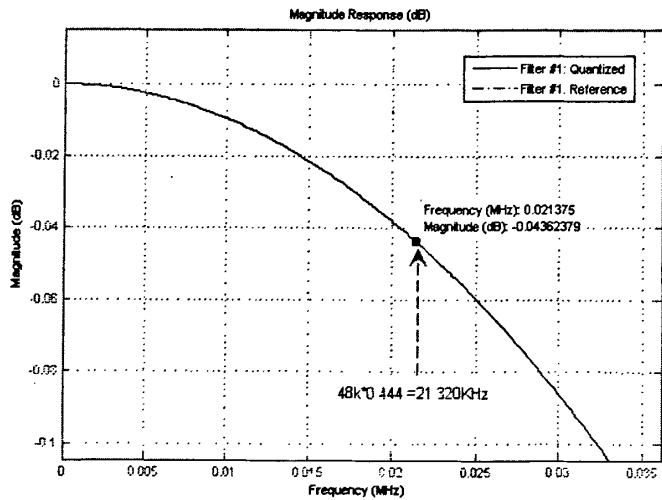


图 3-3 SINC 滤波器在最大基带信号频率处的幅度衰减

图 3-4 是 1 阶 SINC 滤波器幅频响应曲线在 $8f_s$ 处的细节图。从图中可以看出, 在 8 倍上抽样中产生的最低镜像信号频率点 362.688 (48*8-48*0.444) KHz 的幅度衰减最小, 约为 -24.5dB。对于一个 64 倍过抽样量化间隔为 0.5 的 3 阶 Σ - Δ 调制器, 它在 362.688KHz 处的噪声增益约为 3.68dB, 信号的 RMS 增益约为 -3.82dB, 带内噪声功率谱密度约为 -35dB。考虑一个全摆幅输入的正弦信号, 在这个最低镜像信号频率点处的幅度约为 $-3 - 3.82 - 24.5 = -31.2$ dB, 双边带量化噪声功率谱密度在这一点处的值约为 $-35 + 3.68 = -31.32$ dB。在对镜像信号的抑制角度这一方面, 一阶 SINC 滤波器已足够满足设计要求。

SINC 滤波器没有对输入信号进行量化和截短, 不会引入量化噪声。

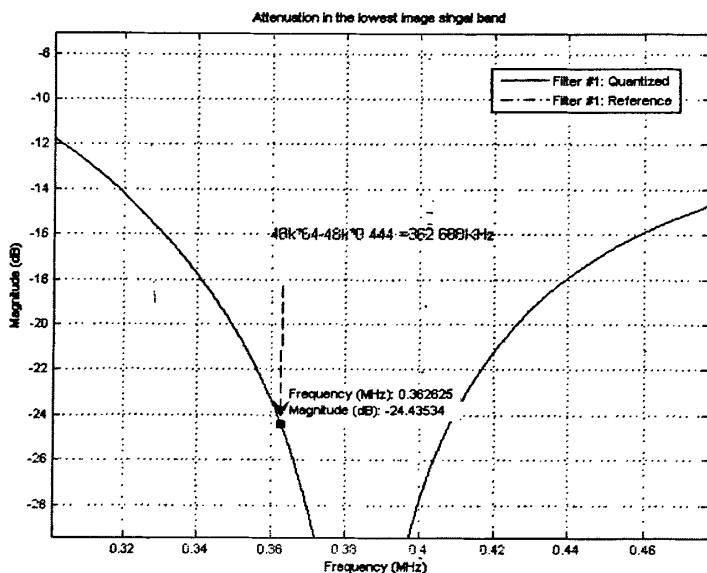


图 3-4 SINC 滤波器在最低镜像信号频率点的幅度衰减

3.2.2.2 Droop 补偿 FIR 滤波器设计与仿真

衰减补偿 FIR 滤波器是一个有 $N-1$ 个延迟单元 (N 等于滤波器抽头数) 的 FIR 滤波器。它的输入输出序列 $w(n)$ 与 $v(n)$ 之间的关系为:

$$w(n) = \sum_{i=0}^{N-1} c_i v(n-i) \quad (3.6)$$

其中 c_i 为滤波器的系数。

衰减补偿 FIR 滤波器位于整个级联插值滤波器的第一级，输入数据速率是 $2f_s$ ，它的作用是抑制在 2 倍上抽样过程中引入的镜像信号频谱，这些镜像信号频谱位于 f_s 倍频附近；同时它还需要补偿由最后一级 SINC 滤波器带来的带内衰减。

本论文采用 Matlab 中的 Filter Design and Analysis Toolbox 来设计这种滤波器，所设计的滤波器抽头数为 63，系数量化为 16 位，输出数据量化为 19 位（由输出信号量化引入的带内量化噪声约为 -122dB）。滤波器幅度-频率响应如图 3-5 所示。图 3-6 是其带内补偿幅度和阻带衰减细节图，从图中可以看出，所设计的滤波器在带内带有较小的波纹 (0.02dB 以内)，带内增益随着频率增高呈现增大的趋势，这可以有效补偿由 SINC 滤波器引入的带内衰减；在第一个镜像信号的最低频率点 26.668 (48-48*0.444) KHz 处，阻带衰减约为 -75dB，对镜像信号的最低衰减约为 -70dB。

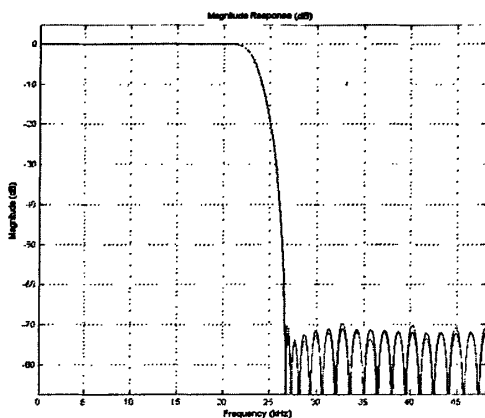


图 3-5 Droop 补偿 FIR 滤波器的幅频响应曲线

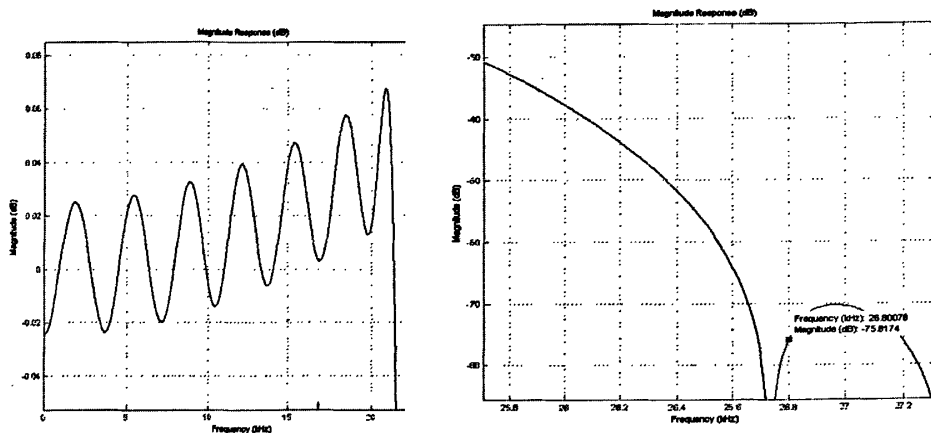


图 3-6 Droop 补偿 FIR 滤波器带内补偿和阻带衰减

3.2.2.3 半带滤波器设计与仿真

级联插值滤波器的第二级和第三级都由半带滤波器组成，它们的作用是抑制由上抽样引入的位于 $2f_s$ 和 $4f_s$ 附近的镜像信号。滤波器输入数据的速率分别是 $4f_s$ 和 $8f_s$ 。

为减小半带滤波器对系数量化的敏感性，近年来的研究提出了很多不同于直接型的 FIR 滤波器结构，以减少或消除乘法运算[29]，这些方法同时会引入额外的数据存储单元。在本论文的设计中，一个串行乘法器已足以完成所有的乘法操作，因此半带滤波器仍然采用传统的 FIR 结构。

所设计的半带滤波器抽头数分别为 11 和 7，系数均被量化为 16 位，输出数据均被量化为 18 位，由此引入的带内量化噪声分别为 -119dB 和 -122dB。它们的幅度-频率响应曲线如图 3-7 和图 3-8 所示。

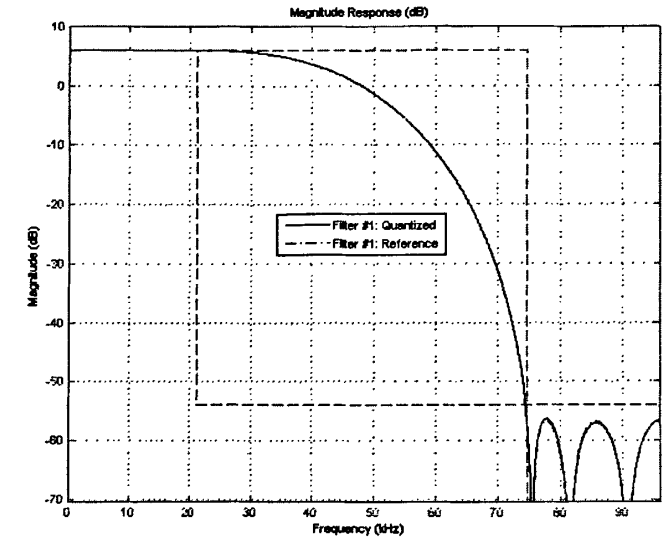


图 3-7 半带滤波器 1 的幅度-频率响应

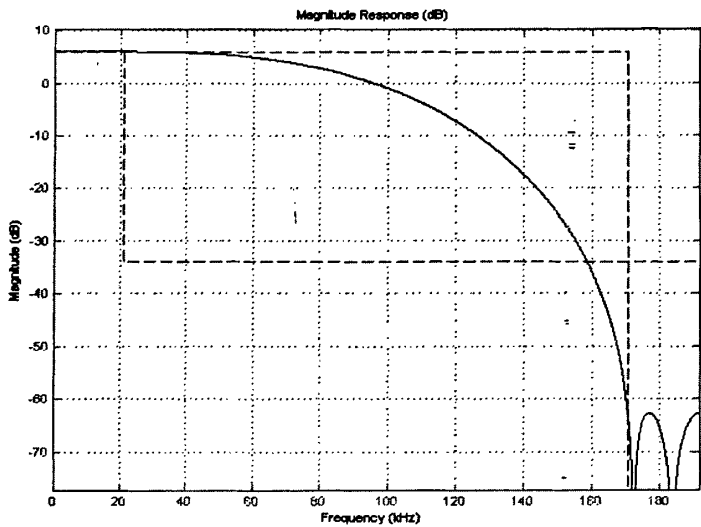


图 3-8 半带滤波器 2 的幅度-频率响应

3.2.3 插值器的有限字长效应分析

3.2.3.1 量化噪声分析

由3.2.2节的分析可知，由插值器引入的总量化噪声为：

$$-122\text{dB} + (-119\text{dB}) + (-122\text{dB}) = 10 \cdot \lg(10^{\frac{-122}{10}} + 10^{\frac{-119}{10}} + 10^{\frac{-122}{10}}) \text{dB} \approx -116\text{dB}$$

这也满足本论文的设计要求。

3.2.3.2 有限字长下的幅频响应分析

所设计的64倍插值滤波器需要在信号频带内有平坦的幅度响应，通带波纹保持在 $\pm 0.05\text{dB}$ 之内，将上抽样过程中引入的镜像信号幅度抑制在调制以后的量化噪声功率谱值以下。

信号通过插值器与调制器之后的频率响应，以及经过调制以后量化噪声功率谱密度曲线如图 3-9所示。关于调制器信号传输函数（Signal Transfer Function）和噪声传输函数（Noise Transfer Function）的详细讨论，将在本论文的3.3节进行。

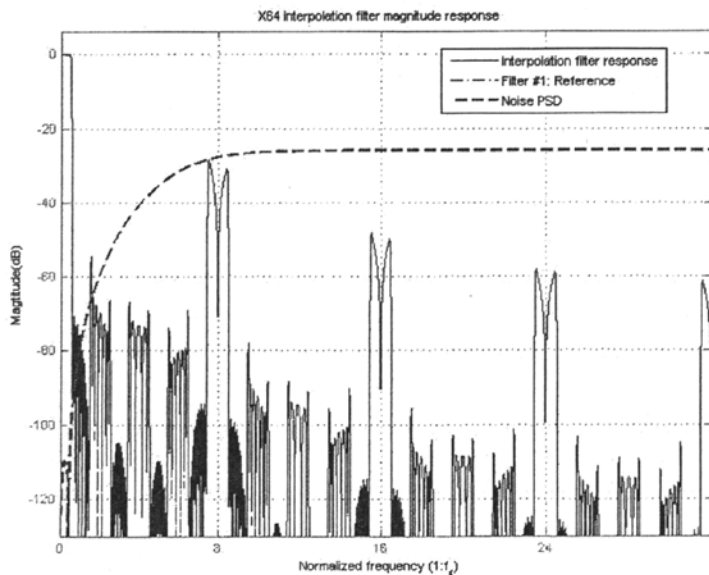


图 3-9 64 倍插值器的频率响应曲线

从图中粗略可以看出，在 f_s 、 $2f_s$ 和 $8f_s$ 这些频率点，镜像信号的频谱幅度与量化噪声的功率谱密度值比较接近，这些频率点是需要仔细检查的地方。图 3-10、图 3-11、图 3-12是在这三个频率点处插值滤波器幅频响应的细节图。

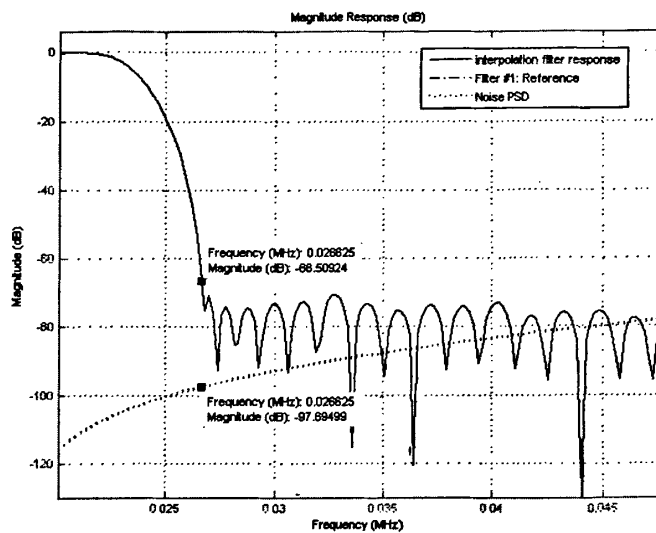


图 3-10 第一个镜像信号的最低频率点的信号幅度与噪声功率谱密度

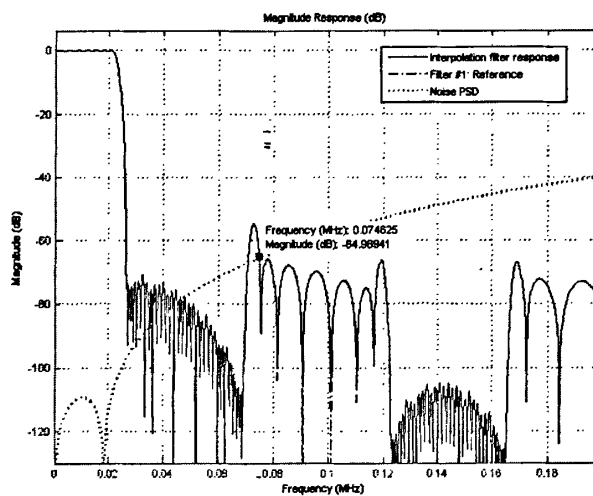


图 3-11 第二个镜像信号的最低频率点的信号幅度与噪声功率谱密度

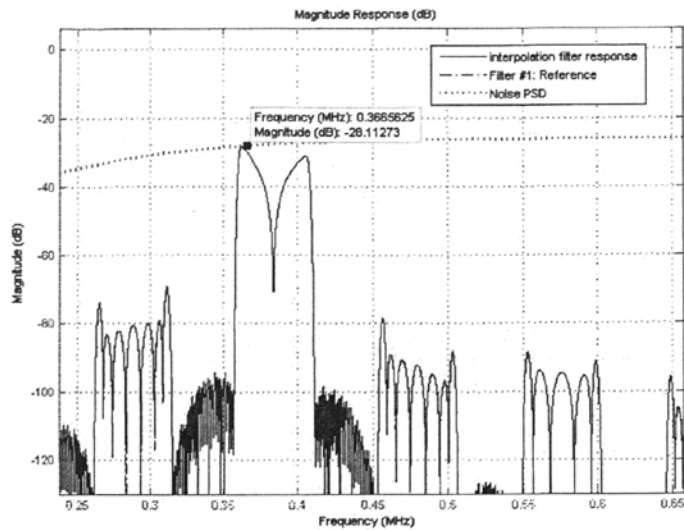


图 3-12 第八个镜像信号的最低频率点的信号幅度与噪声功率谱密度

论文所关心的通带波纹如所图 3-13示。

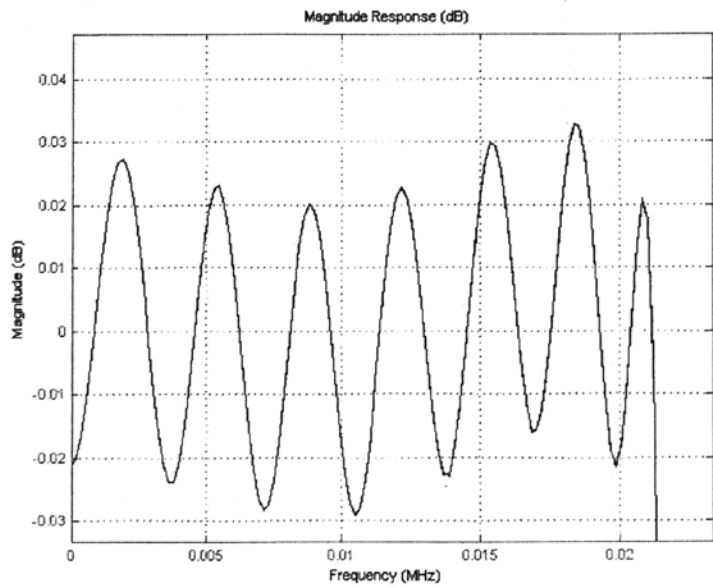


图 3-13 64 倍插值器的通带波纹

从对幅度-频率响应的仔细分析可以得知，所设计的滤波器具有以下特性：

- 整个信号传输函数的带内波纹保持在 $\pm 0.03\text{dB}$ 以内。
- 在第一个镜像信号的最低频率点，插值滤波器对信号幅度的抑制大约是

-65dB，它高于量化噪声功率谱密度大概30dB，如图 3-10所示。

- 在第二个镜像信号的最低频率点，插值滤波器对信号幅度的抑制大约是-64dB，它十分接近量化噪声功率谱密度值，图 3-11所示。
- 在第四个镜像信号的最低频率点，插值滤波器对信号幅度抑制已经远低于量化噪声功率谱密度值。
- 在第八个镜像信号的最低频率点，插值滤波器对信号幅度的抑制大约是-28.25dB，它十分接近量化噪声功率谱密度值，如图 3-12所示。

由上可知，所设计的插值滤波器带内波纹完全满足设计要求；除第一个镜像信号外，插值滤波器对镜像信号的幅度衰减也都满足要求；由于第一个镜像信号的频率相对较低，它不会明显影响到DAC的性能。

3.3 Σ - Δ 调制器的设计与仿真

本设计采用的是三阶单环路MSB反馈CRFB结构。

3.3.1 噪声传输函数（Noise Transfer Function）的零极点优化分析

考虑一个单环路MSB反馈 L 阶 Σ - Δ 调制，它的噪声传输函数 $NTF(z)$ 为：

$$NTF(z) = (1 - z^{-1})^L \quad (3.7)$$

它的全部零点位于 $z=1$ ，全部极点位于 $z=0$ ，这是一种便于理论分析的情况。在实际设计中，噪声传输函数采用更为一般的形式，来改善调制器的性能，提高调制器的稳定性。这种改进的噪声传输函数将零点分布在单位圆上，使它们覆盖到信号的整个频带范围；同时将复极点分布在单位圆内信号频带的周围。被展宽的零点分布减少了信号频带内的总噪声功率；极点被移向更靠近零点的位置，减少了噪声传输函数的带外增益，提高了调制系统的稳定性。这种噪声传输函数零极点位置的改变称为零极点的优化(zeros and poles optimization)。

对3阶 Σ - Δ 调制器，将单一零点放在DC,另外两个共轭零点放在 $\pm\sqrt{\frac{3}{5}}f_b$ (f_b 是信号带宽)的频率点上，将提高DAC的带内信号量化噪声比大约8dB。

在决定噪声传输函数的极点时，必须考虑到一些限制条件：

整个噪声传输函数 $H(f)$ ，必须满足可实现的条件 $H(\infty) = 1$ 。

极点位置的选择必须至少基于调制环路稳定性的考虑。因为带外NTF增益，环路增益和由此导致的整个调制环路的稳定性，都在很大程度上取决于NTF极点的选择

进行NTF极点优化时必须保持信号传输函数的幅度相应地在信号带宽内的平坦。因为在进行NTF零点优化时，NTF极点对信号频带内NTF幅度响应的影响被认为是非常小的；而且对于大部分调制结构来讲，STF和NTF有相同的极点。

这些约束条件使得极点的选择必须在设计中折衷考虑多方面的因素。

图 3-14是对 $L=3, OSR=64$ 的 Σ - Δ 调制器零极点优化前后噪声传输函数的对比。

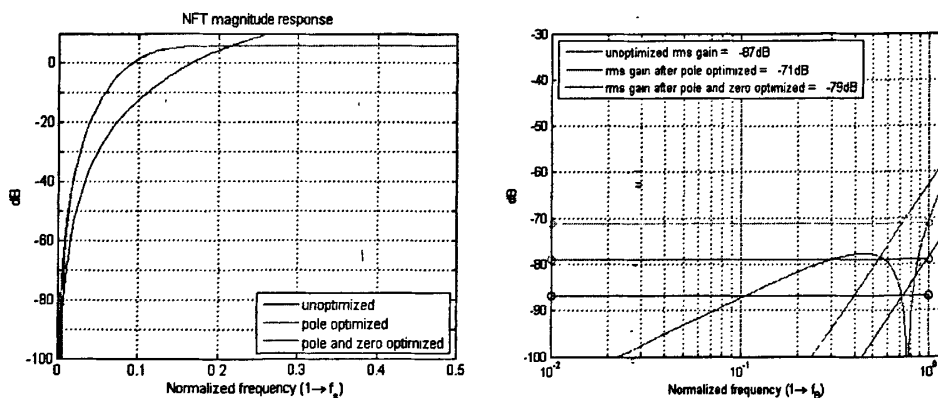


图 3-14 $L=3, OSR=64$ 调制器零极点优化前后 NTF 对比

优化以后的信号传输函数，噪声传输函数和调制器系数如图 3-15所示

为了简化调制器的结构，系数 b_2, b_3, b_4 被设置为0, 采用CRFB结构使这种做法几乎不会影响调制器的性能[1]。

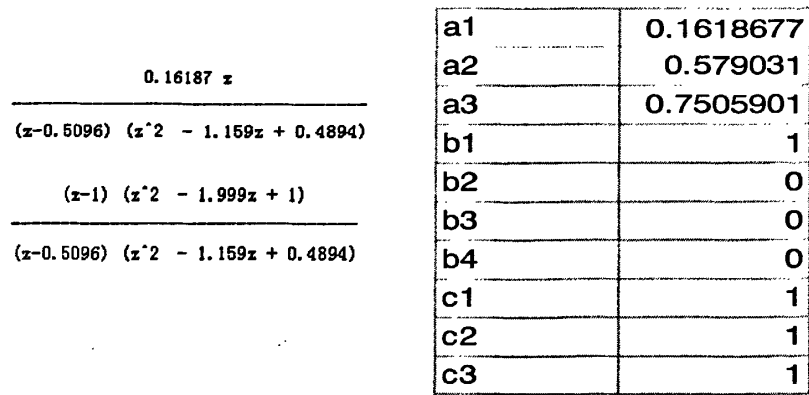


图 3-15 经过零极点优化的 NTF, STF 和调制器系数

最终得到的调制器STF、NTF幅频响应、带内噪声RMS增益、零极点坐标如图 3-16所示

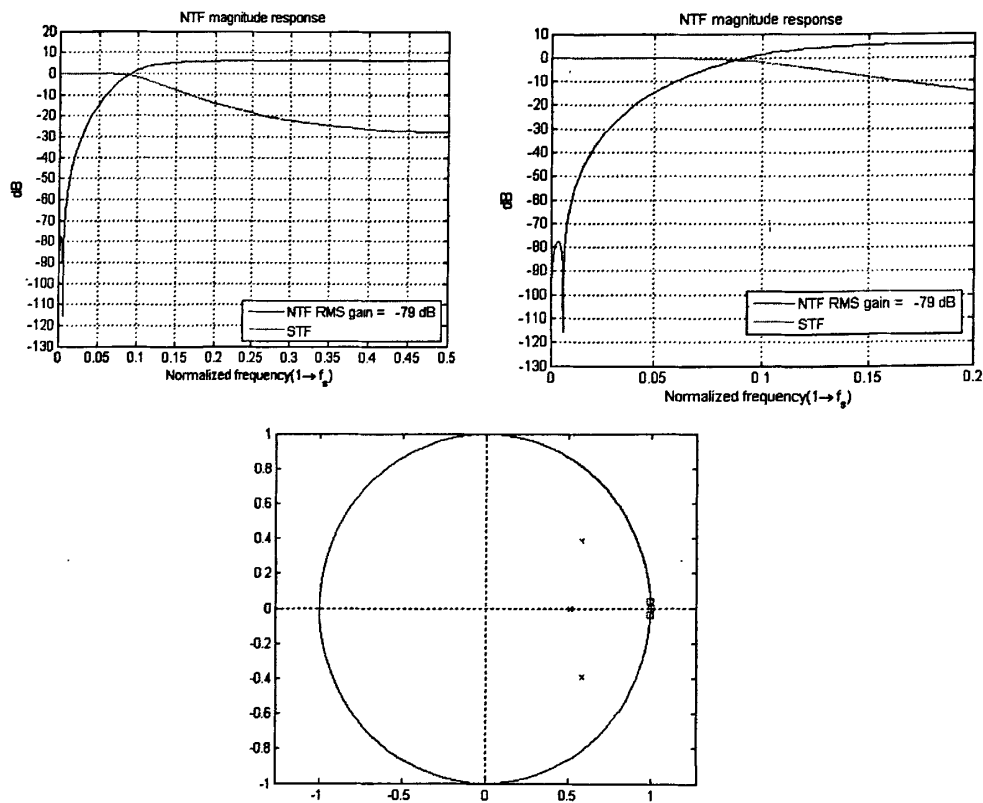


图 3-16 经过零极点优化后的 STF、NTF 和零极点位置

3.3.2 内部状态(internal states)的动态范围缩放(dynamic range scaling)

由前一节中论文设计了调制环路的系数, 此时调制环路的内部状态(internal states)并没有完全占据存储单元可达到的最大动态范围。为了将这些内部状态范围限制在一个已知的值, 需要进行动态范围缩放(dynamic range scaling)。动态范围缩放适用于任何基于状态的线性系统(linear system on a state-by-state basis)。图 3-17 说明了一个内部状态值是怎么被缩放 k 倍的, 它只是简单的所有输入到这个内部状态节点的分支值缩小 k 倍, 由这个节点输出的所有分支被乘以 k 来补偿这种衰减。

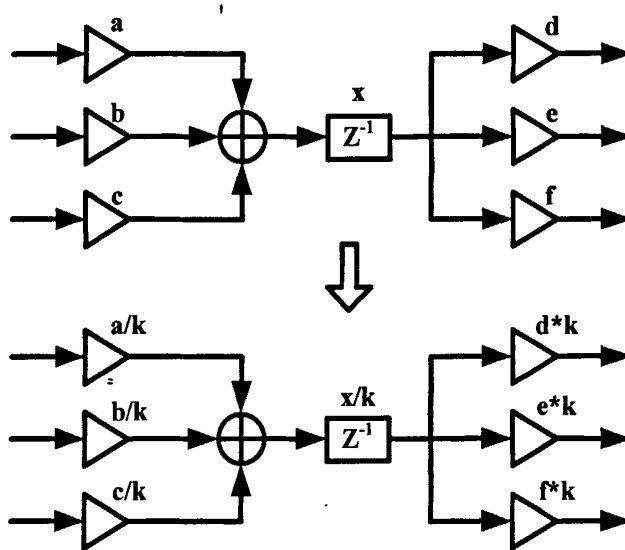


图 3-17 缩放一个独立的滤波器内部状态, 从 x 到 x/k

这些内部状态由补码小数表示, 论文将它们值限制在 ± 1 之间。在进行这一步系数缩放后, 论文取不同幅度和频率的信号作为 Σ - Δ 调制系统的输入, 通过 SIMULINK 模型仿真来观察这些内部状态的最大值, 以确保它们接近并略小于用于存储该状态的存储单元所能代表的最大值。

3.3.3 Σ - Δ 调制器的有限字长效应分析

3.3.3.1 系数量化分析

调制器运行在经过上抽样以后的系统时钟之下。为了减少运算复杂度, 调制器系数被量化为只有两位或者三位为 1 的数字表示, 这称为系数的第二次缩放。经过这

次缩放以后，调制器中的乘法将可以通过不超过三次的加法操作完成，大大减少了所需硬件资源。

调制器的原始系数，经过第一次缩放以后的系数值和经过第二次缩放以后的系数如表格 3-1所示

最终的NTF和STF如表格 3-1所示

The pre-scale coefficients		With b2..bn omission and rough scaling		After rescaling	
a	0.16186771	as	0.223840575	as2	0.21875 (8-1)/32
	0.57903096		0.541986678		0.53125 (16+1)/32
	0.75059006		0.433435677		0.4375 (16-2)/32
g	0.00144557	gs	0.002343169	gs2	0.001465 1/2024+1/2048
b	0.16186771	bs	0.223840575	bs2	0.21875 (8-1)/32
	0.57903096		0		0
	0.75059006		0		0
	1		0		0
c	1	cs	0.676874642	cs2	0.65625 (16+4+1)/32
	1		0.616928769		0.625 (16+4)/32
	1		1.731721904		1.78125 (64+1-8)/32

表格 3-1 调制器的系数缩放前后对比

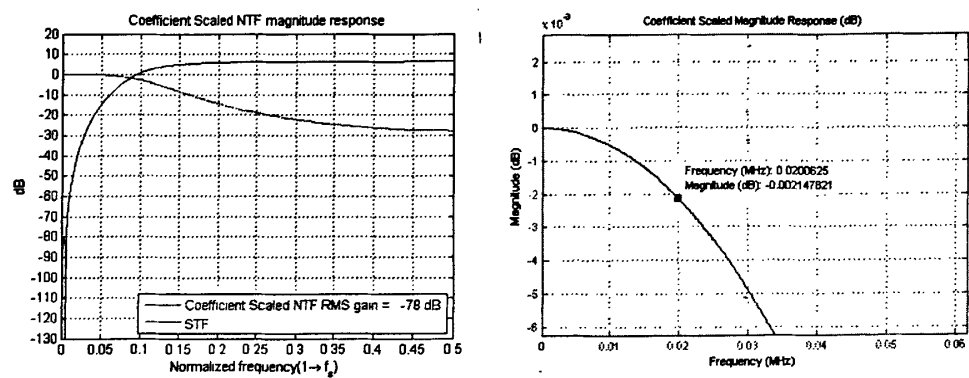
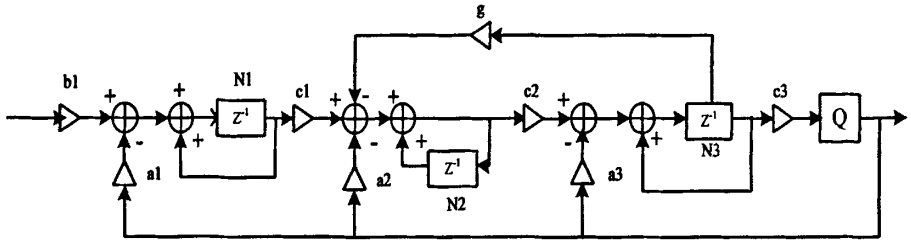


图 3-18 经过系数缩放的 Σ - Δ 调制器 STF 和 NTF 幅频响应曲线

从图中可以看出，系数缩放使信号的带内SNR减少了1dB,在20KHz处的信号被衰减0.002dB。这说明系数的缩放并没有明显影响调制器的性能。

3.3.3.2 量化噪声分析

所设计的三阶调制器结构如图 3-19所示


 图 3-19 3 阶 Σ - Δ 调制结构图

图中的延迟单元是需要决定量化字长的地方，这三个延迟单元的数据位数记为 $N1$ 、 $N2$ 和 $N3$ 。为使他们引入的带内量化噪声不影响到整个调制环路的系统性能，该噪声设置在 -131dB ($\approx -116-15$) 是一个比较合理的值。

Σ - Δ 调制器几乎对输入信号没有任何影响，为了方便计算，调制器中产生的量化噪声被等效到输入端，它们加在调制器输出端的噪声等于这个等效值。

对于第一级积分器，位数为 $N1$ 的量化引入的量化噪声等效到调制器的输入端，其值为：

$$\frac{1}{b1^2} \cdot \frac{(2^{-N1})^2}{3} \cdot \frac{1}{OSR}$$

它应该小于 -131dB，由此可得 $N1 > 19.64$ 。在第一个积分器的延迟单元需要储存 20 位有效数据。

对于第二级积分器处的量化噪声等效到调制器的输入端时，它相当于经过了一阶调制，与它相关的输入噪声等效值为：

$$\frac{1}{(b1c1)^2} \cdot \frac{(2^{-N2})^2}{3} \cdot \frac{\pi^2}{3OSR}$$

当它小于 -131dB 时， $N2 > 15.09$ ，即第二个延迟单元需要存储 16 位有效数据。

同理，对第三级积分器的延迟单元，需要存储 11 位有效数据。

为验证这种有限字长的设置对调制器性能的影响，论文建立了 Σ - Δ 调制器的双精度和定点 SIMULINK 模型。对 1KHz 满摆幅正弦波输入，在双精度下， Σ - Δ 调制器的输出信噪比约为 117.3dB，在定点下的信噪比约为 116.9dB，这说明量化字长的设置并

没有对调制器输出信号的信噪比造成明显影响。

3.4 随机扰动（dither）电路的设计与仿真

本论文所设计的Dither电路由一个伪随机序列产生器（Pseudo Random Sequence Generator）[30]实现，它的实现方框图如图 3-20所示

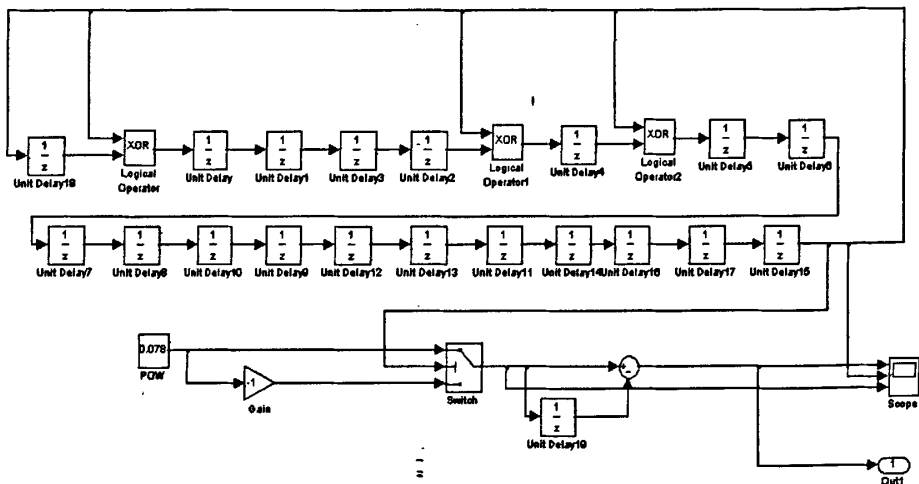


图 3-20 Dither 产生器方框图

这个序列产生器将会产生一个周期序列，周期长度由延迟单元的长度决定。图中的PRSG由19个延迟单元实现，由此产生的dither信号特征频率位于音频信号频带之外。在这个dither信号加入到调制器的最终量化端之前，被一个传输函数为 $1-z^{-1}$ 的一阶高通滤波器滤波，经过调制以后的dither信号的传输函数为 $(1-z^{-1})^4$ ，比调制器更高一阶的噪声整形使加入的dither信号不会明显增加带内噪声功率。dither信号的功率由系数POWER决定，为了有效消除调制环路产生的空闲音，POWER的值必须被合理的设置。

图 3-21对比了在是否采用dither电路时Σ-Δ调制器输出信号频谱的对比，图中为简化分析，输入设定为不同幅度值的DC信号。在实际分析时论文采用了大量不同频率成分和不同幅度的信号。图中绿色频谱是没有dither的调制器的输出，红色频谱是加入dither以后调制器的输出。从图中可以看到，幅度超过-120dB的空闲音都被抑

制到-130dB以下。

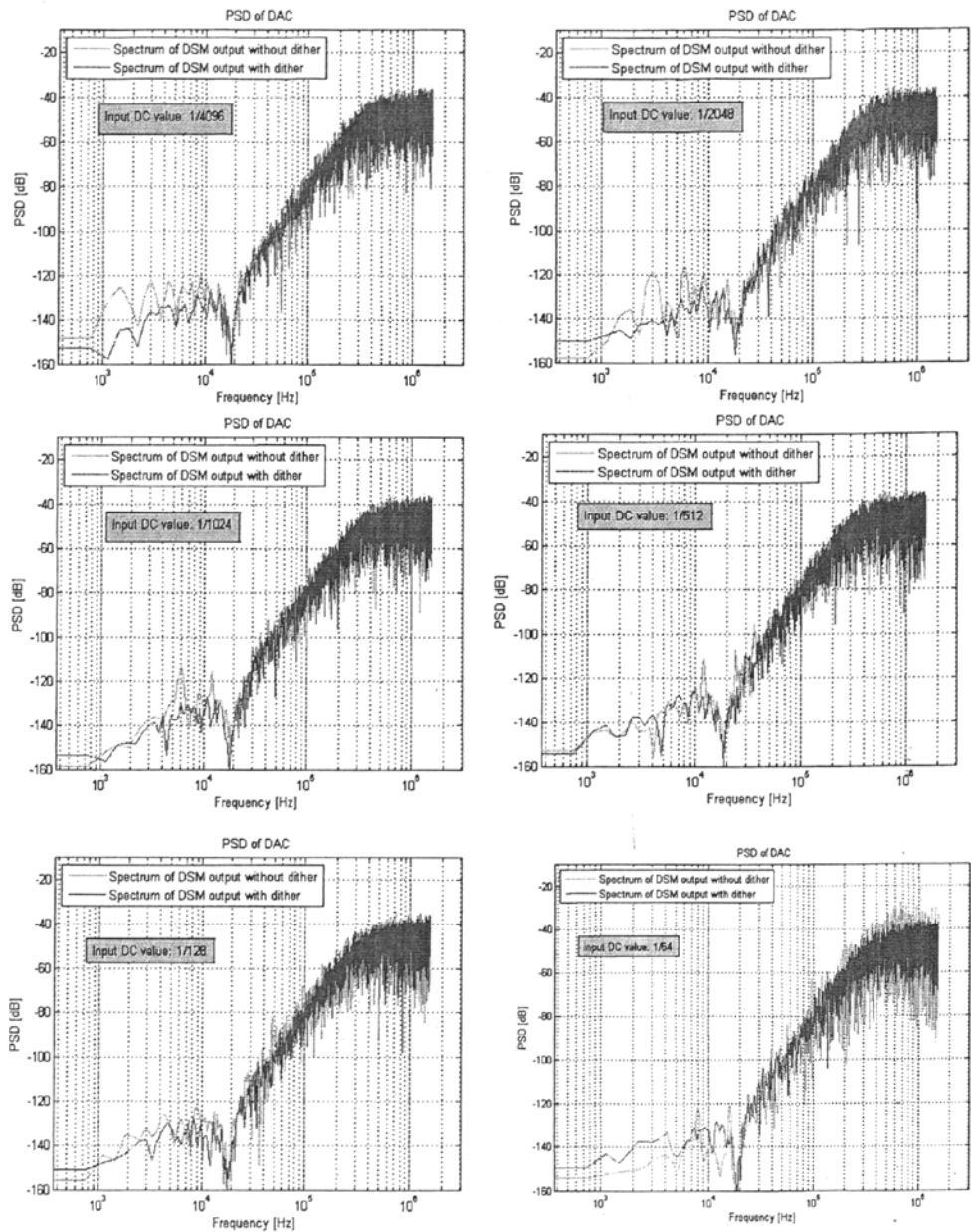


图 3-21 有无 dither 时 Σ - Δ 调制器输出信号频谱的对比

3.5 后滤波器(post filter)的设计与仿真

对于所设计的系统，一阶低通就能达到所需要的滤波效果。它的z域传输函数为 $1+z^{-1}$ ，并在数字域实现。 Σ - Δ 调制器的输出在经过后滤波前后的频谱对比如所示

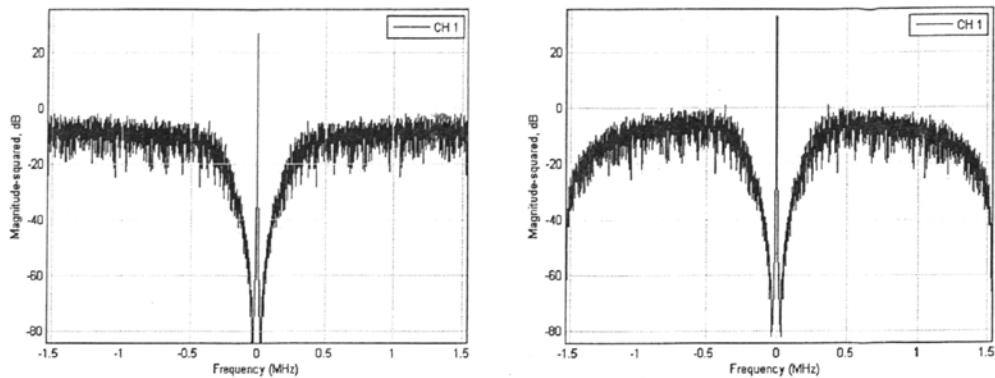


图 3-22 Σ - Δ 调制器的输出经过后滤波器前后的频谱对比

需要注意的是，数字域的后滤波器输出的量化噪声不会被调制器调制。为了避免产生量化噪声，输出数据的数据位全部被保留。这种方法带来的影响是输入到内部多位DAC的数字信号变成13阶。

3.6 DWA 算法分析与仿真

本节简单介绍了普通DWA方法的原理及缺点，并对它的改进结构进行了分析和比较，选择了适合于本系统的DWA方法。

图 3-23中是对理想13阶DAC、带有0.2%失配的DAC但不采用DWA技术和采用DWA技术的频谱对比。

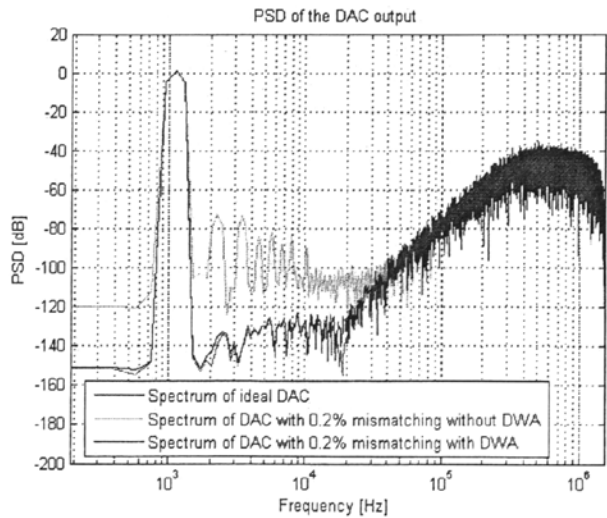


图 3-23 理想 DAC、0.2%失配 DAC 和带有 DWA 技术的 0.2%失配 DAC 的频谱对比

图中输入信号是一个幅度为满摆幅, 频率为1.25KHz的正弦波, 从图中可以看出, DAC单元之间的失配会带来大量的带内噪声, DWA技术有效的抑制了这一部分噪声。,,

普通DWA方法的缺点是, 由于DWA内在的周期性, 对一些特定的输入, 它将产生空闲音[31][32]。近年来的研究针对这种空闲音提出了很多的改进方法[33]。图 3-24 是文献中[34]的一副截图, 它比较了在16倍过抽样、3阶 Σ - Δ 调制、5位 (31阶) 量化、多位DAC单元之间的失配为0.5%的 Σ - Δ DAC系统中, 采用不同的DWA方法取得的最大SNDR值, 并建议选用伪DWA (Pseudo DWA) [35]的方法。

ACHIEVABLE PEAK SNDR USING VARIOUS DWA SCHEMES IN A THIRD-ORDER $\Delta\Sigma$ MODULATOR WITH OSR = 16, $B = 5$ BITS, AND $M = 31$ ELEMENTS. A RANDOM DAC-ELEMENT MISMATCH OF 0.5% IS ASSUMED. (INPUT SIGNAL: -2 dBFS AT $f_s/2048$)

DAC Linearization	Peak SNDR (dB)
Ideal DAC	92.8
No DWA	60.4
DWA [25]	90.9
Pseudo DWA, $n_{inv} = 128$	89.9
Pseudo DWA, $n_{inv} = 64$	89.1
P-DWA [12]	89.7
Bi-DWA [8]	85.8
RnDWA [28]	83.2
IDWA [26]	82.0

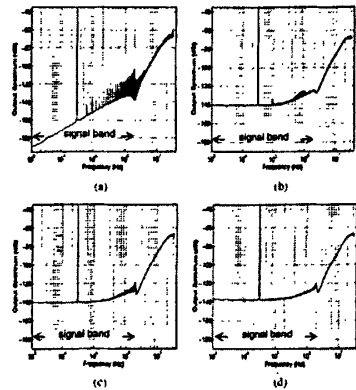


Fig. 9. Output spectrum of the $\Delta\Sigma$ modulator using: (a) DWA [25], (b) P-DWA [12], (c) Pseudo DWA with $n_{inv} = 128$, and (d) Pseudo DWA with $n_{inv} = 64$ (input signal: -20 dBFS at $f_s/2048$.)

图 3-24 改进的 DWA 方法的比较

从图中的比较可以看出, 使用Pseudo DWA的方法可以达到的最大SNDR值接近于理想的多位DAC, 并能有效消除传统DWA方法引入的空闲音。

另外一种实现简单、对失配噪声抑制效果好并能消除DWA空闲音的方法是部分DWA (Partial DWA) [36][37]。

本论文将从对失配噪声和空闲音的抑制来比较这两种常用DWA方法的性能

当多位DAC的失配度为0.2%时, 采用这两种方法的输出频谱与理想多位DAC的输出频谱对比如图 3-25所示

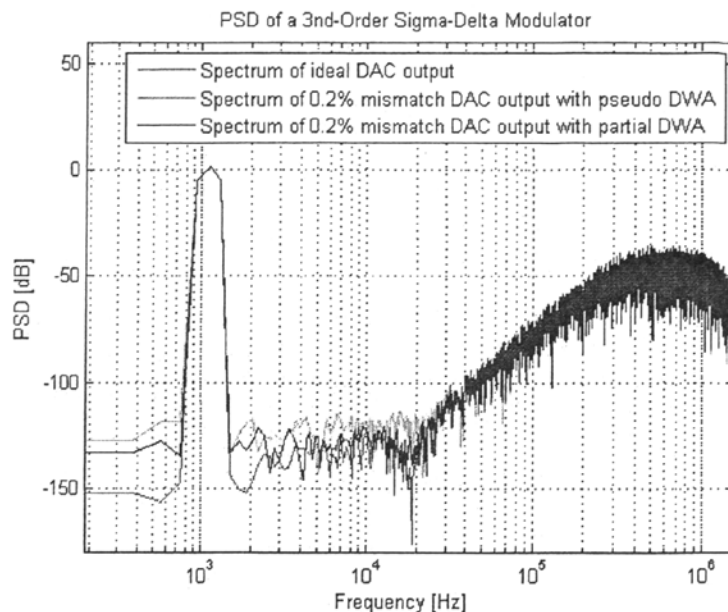


图 3-25 D A C 输出频谱对比

从图 3-25中可以看出, Partial DWA算法更好的抑制了失配噪声;从仿真数据来看,理想DAC输出信号的SNDR是115dB,对失配度是0.2%的内部DAC,采用Partial DWA算法输出信号的SNDR是113dB,采用Pseudo DWA算法则是105dB。由此可知, Partial DWA算法更好的抑制了失配噪声。

DWA产生的空闲音是与输入信号的幅度和频率有关的。图 3-26是在失配度是0.2%时,采用普通DWA、Partial DWA和Pseudo DWA算法, DAC输出信号频谱的比较。图中输入是不同幅度的直流信号,这更易于观察不同DWA算法对空闲音的影响。

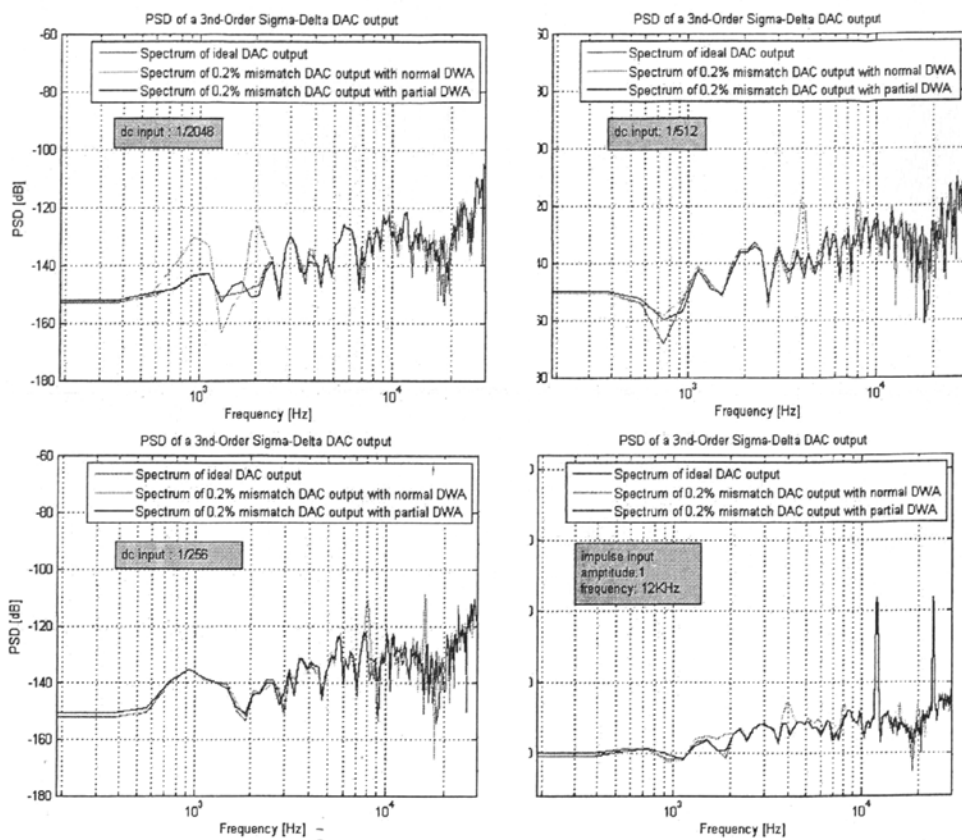


图 3-26 关于空闲音抑制的频谱比较

从仿真结果来看，Pseudo和Partial DWA，都能有效的减少传统DWA方法产生的空闲音。在对空闲音的抑制程度上，它们并没有明显的区别。

通过以上的比较，本论文选择了Partial DWA算法来调制失配噪声。

3.7 模拟重构滤波器的分析

模拟重构滤波器实质上是一个一阶低通滤波器，它的作用是衰减过多的带外噪声。

对 Σ - Δ DAC，模拟重构滤波器不需要有很准确的幅频特性，也不需要很高的带外衰减。因此，为减小电路面积和功耗，本论文选用了一阶无源RC滤波器。所设计的滤波器3dB截止频率约在350KHz附近。

第4章. 16 位音频 Σ - Δ DAC 的电路设计与实现

本论文在上一章中完成了对 Σ - Δ DAC的行为级算法设计,分析了有限字长效应对系统造成的影响。本章将对电路设计与实现进行具体论述,其中主要讨论数字电路部分,对模拟电路部分的实现做了简要介绍。

对数字电路,将算法转换成硬件电路,除了有限字长效应的影响之外,还需考虑电路面积、功耗、电路运行速度等实际问题。在实际电路中,这几个因素互相制约,往往无法使所有的方面都达到最优,需要针对具体的设计进行权衡。考虑到所设计的芯片应用在电视系统中,对芯片的功耗要求相对较低,电路设计的侧重点是减小芯片面积。

进行数字电路实现之前,首先要对整个数字电路的硬件架构进行设计,对以功能划分的算法级子模块进行拆分和重组(repartition),得到适合于电路实现的基于电路结构划分的电路级子模块;随后再对各个电路子模块进行具体的电路设计与实现。这种方法,被称为自顶而下(Top-Down)的设计方法。

本章第一节介绍在数字电路具体实现之前的硬件架构设计。为得到合理的硬件结构,该节首先分析了系统中各子模块所需的电路类型、主要电路类型的结构与实现方法;然后以此为依据,计算了各功能子模块的算术运算量,从复用硬件资源的角度出发,对系统模块进行重新划分,以达到减小电路面积的目的。考虑到所设计的 Σ - Δ DAC主要由信号处理模块组成,算术运算和存储单元是影响电路面积最主要的因素,论文进行硬件资源复用时主要是对算术运算单元(加法器、乘法器)的复用。

本章第二节将介绍在硬件架构设计完成以后,对各子模块的电路架构设计。

本章第三节是关于电路设计具体流程的介绍。

本章第四节是对模拟电路实现的简单介绍。

第五节是芯片的最终版图布局。

4.1 数字电路硬件架构设计

所设计的 Σ - Δ DAC数字模块有:64倍插值滤波器、3阶 Σ - Δ 调制器、Partial DWA、扰动电路和后滤波器。

64倍插值滤波器、3阶 Σ - Δ 调制器和后滤波器属于数字信号处理模块，电路的主要操作是乘法、加法和延迟单元更新，它们将占据大量的电路面积，是电路设计的重点。

Partial DWA和扰动电路主要由逻辑操作组成，电路实现相对简单。

4.1.1 基本电路结构简析[38]

根据信号传输函数，这三个数字信号处理模块可以成两大类，FIR滤波器型和IIR滤波器型；插值器和后滤波电路属于FIR滤波器型。在FIR滤波器型的电路中没有反馈的数据信号，因此又被称为非递归型(non-recursive)或者前馈(feed-forward)型电路。 Σ - Δ 调制器属于IIR滤波器型，它是递归(recursive)型的电路。

图 4-1是典型的FIR滤波器和IIR滤波器的结构。

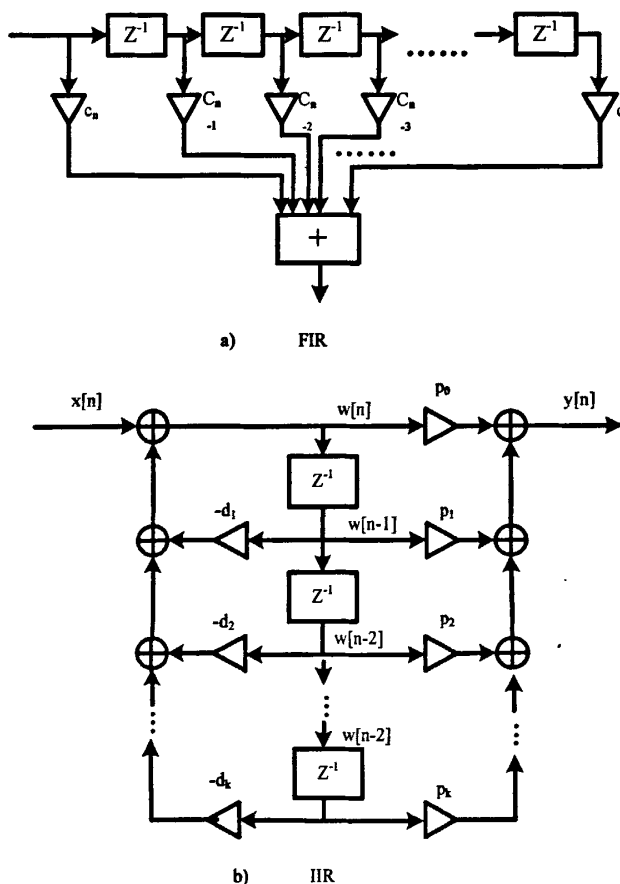


图 4-1 典型的 FIR 和 IIR 数字滤波器的结构

从图中可以看出，不管是FIR滤波器型，还是IIR滤波器型，电路中最主要的操作是相乘-累加运算，如图 4-2所示。根据信号输入速率和电路时钟频率的关系，这种相乘-累加运算可以用串行的方法实现，也可以用并行的方法实现，本节第一小节将分析这两种不同的实现方法。

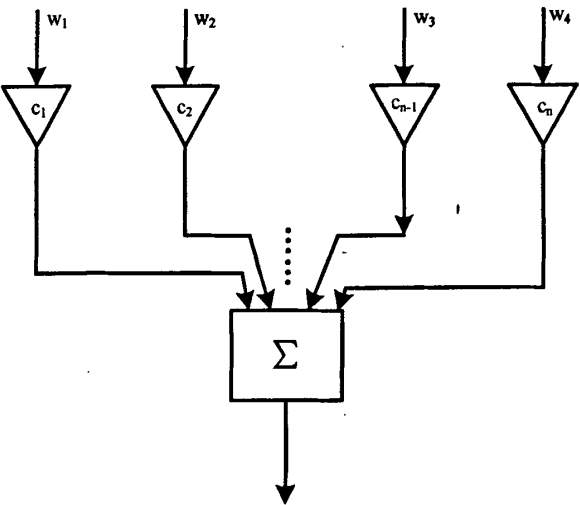


图 4-2 相乘-累加单元的结构框图

本设计中的64插值器由多个插值器级联组成。与普通FIR滤波器不同，插值滤波器一般采用多向分解的方法实现，本节的第二小节将介绍一个2倍插值单元的多向实现。

当FIR滤波器具有对称的滤波器系数时，乘法的运算量将减少一半。系统中的插值滤波器都设计为具有这种对称性，它的结构与特性将在本节第三小节介绍。

第四小节介绍了一种完全串行的乘法器电路结构。在数据速率较低（如音频信号）的系统里，这种乘法以其面积小的特点，取得了广泛的应用。

4.1.1.1 相乘-累加单元的并行与串行结构

根据电路中数据速率和电路时钟的关系，图 4-2中的相乘-累加单元可以采用并行的电路结构，也可以采用串行的电路结构，或者使用两者相结合的方法。

并行结构主要用在数据速率与系统时钟比较接近的电路模块中。并行电路结构与图 4-2中所示完全相同。电路中的每一次乘法或加法运算都由对应的乘法或者加法器实现。这种结构的电路面积较大。由于大量的算术运算需要在一个周期内完成，在

数据速率较高的系统中,可能出现电路时序不收敛的问题,这时需要采用流水线(pipe line)的结构,也会增加电路面积。并行结构的优点是电路采用较低的时钟,因此功耗较低。

串行结构一般用在系统时钟是数据速率多倍的系统里,它的基本思路是将相同的硬件资源在不同时间分配给不同的算术运算。

相乘-累加单元的串行结构如图 4-3所示。

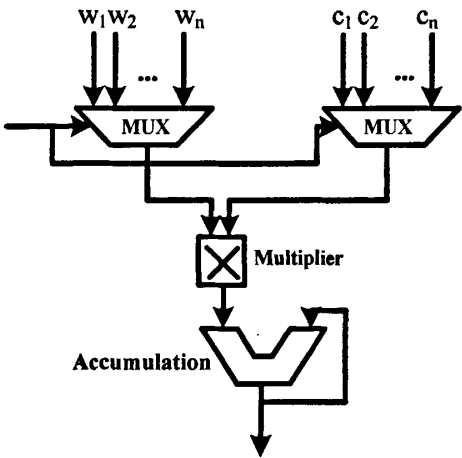


图 4-3 相乘-累加单元的串行结构

与并行结构对比可以看出,串行结构中所有的乘法和加法运算都对应着相同的乘法器和加法器,控制信号在不同时间段为乘法器选择不同的输入,并将计算结果送给累加器做累加。通过遍历乘法器的所有输入数据,来完成所需的相乘-累加操作。

在不使用流水线时,串行结构也需要所有的算术运算在一个数据周期内完成,考虑一个有 k 次乘加操作的相乘-累加单元,系统时钟需要是数据速率的 k 倍。当系统时钟低于这个值时,需要采用并行与串行结构相结合的方法。

串行结构通过复用硬件资源减少了算术运算单元的数量,这是有利于减小电路面积的。在实际电路实现时,电路综合工具一般会根据综合要求从工艺库中选择满足时序关系并且面积最小的算术单元,这样,对于实现相同功能的算术运算单元而言,电路时钟较高时面积会变得较大。同时,串行电路会引入额外的控制逻辑,这也会增加电路的面积。

与并行结构相比, 由于电路时钟较高, 串行结构的功耗会较大

在电路设计过程中, 仔细权衡相乘-累加单元的结构。

4.1.1.2 插值器的多相分解与电路实现

考虑任意一个具有 z 变化 $X(z)$ 的序列 $\{x[n]\}$:

$$X(z) = \sum_{n=-\infty}^{\infty} x[n]z^{-n} \quad (4.1)$$

将上面的 $X[z]$ 重写为

$$X(z) = \sum_{k=0}^{M-1} z^{-k} X_k z^M \quad (4.2)$$

其中,

$$X_k(z) = \sum_{n=-\infty}^{\infty} x_k[n]z^{-n} = \sum_{n=-\infty}^{\infty} x[Mn+k]z^{-n}, 0 \leq k \leq M-1 \quad (4.3)$$

子序列 $\{x_k[n]\}$ 成为父序列 $\{x[n]\}$ 的多相分量, 而又 $\{x_k[n]\}$ 的 z 变换得到的函数 $X_k(z)$, 称位 $X(z)$ 的多相分量。子序列 $\{x_k[n]\}$ 和原序列 $\{x[n]\}$ 之间的关系为

$$x_k[n] = x[Mn+k], 0 \leq k \leq M-1 \quad (4.4)$$

式用矩阵形式可以写为:

$$X(z) = \begin{bmatrix} 1 & z^{-1} & \cdots & z^{-M+1} \end{bmatrix} \begin{bmatrix} X_0(z^M) \\ X_1(z^M) \\ \vdots \\ X_{M-1}(z^M) \end{bmatrix} \quad (4.5)$$

多相分解在多抽样率结构上的解释, 如图 4-4 所示

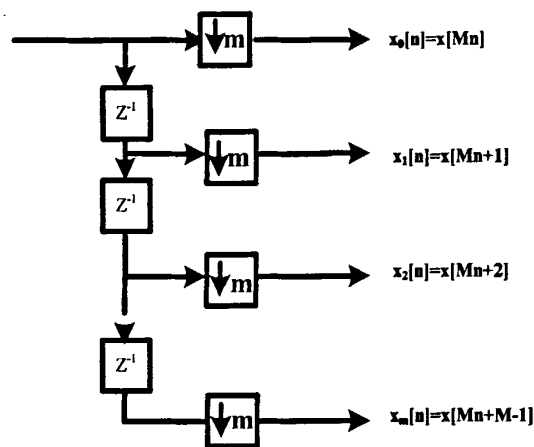


图 4-4 序列 $x[n]$ 的 M 支路多相分解的结构图解

将多相分解用在内插器中能节省相应的计算，得到高效的内插器。

2倍内插器的高效实现结构如图 4-6所示。图中插值器输入序列 $x[n]$ 的抽样率为 f_s ，输出序列为 $y[n]$ 。传输函数为 $H(z)$ 的插值滤波器被分解为传输函数分别为 $H_1(z)$ 和 $H_2(z)$ 的两个子滤波器。

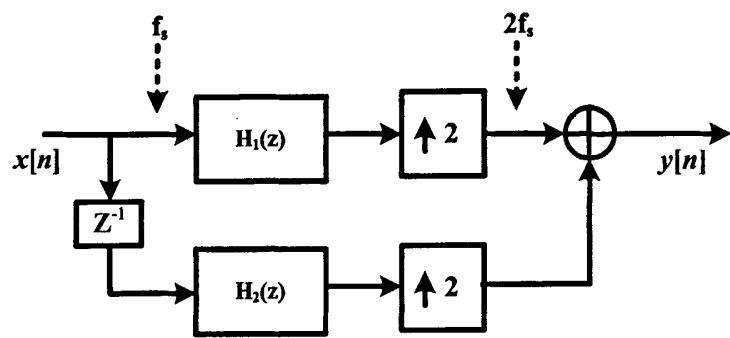


图 4-5 2 倍插值器的多相分解结构

在电路实现时可以采用图 4-6所示的方法，即对于每个输入样本，经过两个子滤波器以后，得到两个输入样本值，以实现2倍插值的目的。

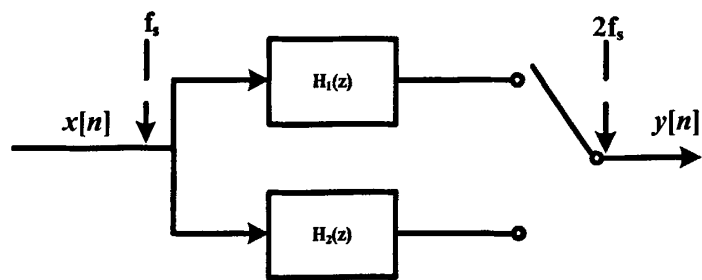


图 4-6 两倍插值器的电路实现框图

4.1.1.3 具有对称系统的 FIR 滤波器结构

它的结构如图 4-7所示，这种滤波器的系数两两相互对称。

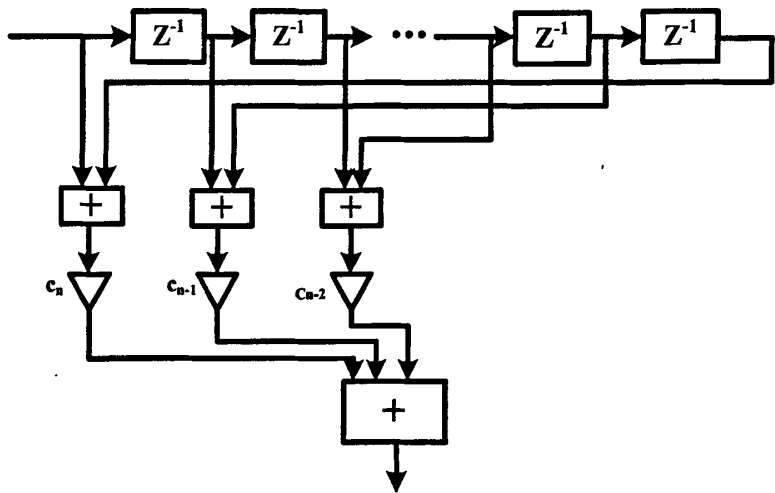


图 4-7 具有对称系数的 FIR 滤波器结构

采用这种FIR滤波器结构，一半的乘法运算量可以被加法代替。

4.1.1.4 串行乘法器的电路结构[39]

目前的电路综合工具（如Synopsys公司的Design Compiler）可以根据面积、速度等约束条件直接由电路RTL代码中的乘法运算符综合出多种结构的乘法器。对于信号速率极低的系统，比较有利的是串行累加结构，由于此结构无法直接使用综合工具产生，需要人工设计。

假设一个乘数为4位的乘法，它的基本原理和实现结构如图 4-8所示。在此例中，

无符号被乘数 A 、 B 为 4 位，乘积 P 为 $2 \times 4 = 8$ 位。

$A_3A_2A_1A_0$

$B_3B_2B_1B_0$

$\otimes$

$a_3a_2a_1a_0$

$b_3b_2b_1b_0$

$c_3c_2c_1c_0$

$\oplus$

$d_3d_2d_1d_0$

$P_7P_6P_5P_4P_3P_2P_1P_0$

图 4-8 二进制乘法实现的基本流程图

对于有符号数补码相乘，可以先将补码转换成源码，利用无符号数乘法计算出结果，再根据乘数与被乘数的符号决定乘积符号，将乘积变为补码形式。

串行乘法器类似于[40]所讲到的软件乘法器，由加法器、逻辑控制单元和累加器寄存器组成。其旨在通过寄存器暂存达到循环利用加法运算单元的目的，大大节省乘法器的面积。其代价是降低了乘法器的速度，需要多个时钟周期才能完成一个乘法操作。

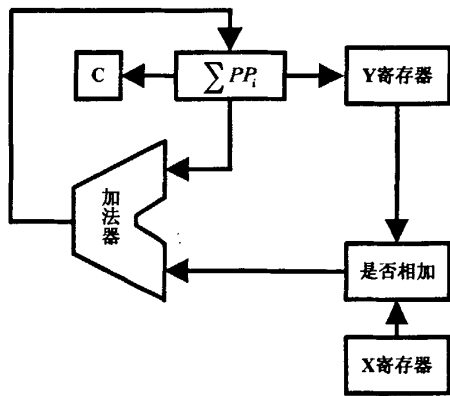


图 4-9 串行乘法器结构与流程

图 4-9 中，Y 寄存器为位寄存器，表示正在与被乘数 X 相乘的乘数 Y 的某一位。这样，通过一个加法器、一个移位寄存器和相应的控制逻辑就可以简单地实现被乘数位

数固定，乘数位数任意的乘法器。

对一个总共有 N 次乘法，第 i ($1 \leq i \leq N$) 次乘法的乘数为 M_i 位的系统，如果每个时钟周期电路可以完成一个完整加法运算，则完成这些乘法运算所需的时钟周期数 L 至少为

$$L = \sum_{i=1}^N M_i \quad (4.6)$$

4.1.2 基于硬件资源复用的电路模块划分

论文需要首先计算系统中个功能模块的算术运算量，以从硬件资源复用的角度对整个系统进行电路级的模块划分，。

对64倍插值器，最主要的算术运算是乘法，论文首先计算乘法的运算量：

对于第一级的衰减补偿FIR滤波器，它有63个系数。在进行算法设计时它被设计为奇偶子滤波器系数都对称的形式，这将乘法运算量减少到一半，为16次。假设所有的乘法由一个乘法器实现，这个乘法器最低的运行频率为： $48K \times 16 \times 2 = 1.536\text{MHz}$ 。

对于第二级的半带滤波器，它有11个系数，其中一半的系数为0,中间系数为1。当它被分解为奇偶子滤波器时，奇子滤波器总共有6个系数，其中每两个系数对称，实际需要的乘法运算量为3；偶子滤波器总共有5个系数，其中四个为0，中间系数为1。假设所有的乘法由一个乘法器实现，乘法器最低的运行频率为： $96K \times 3 = 0.288\text{MHz}$ 。

同理，对第三级的半带滤波器，由单乘法器实现时，所需乘法器的最低运行频率为： $192K \times 2 = 0.384\text{MHz}$ 。

1阶SINC滤波器的实现并不需要任何的操作。

由以上的分析可以得知，所设计的64倍插值滤波器由一个乘法器实现时，乘法器的最低运行频率应为： $1.536 + 0.288 + 0.384 = 2.208\text{MHz}$ 。

电路的系统时钟被设定为数据速率的1024倍，即 $48K \times 1024 = 49.152\text{MHz}$ 。考虑到 $49.152 / 2.208 = 21.80$ ，一次乘法可以用21个系统时钟周期来完成，这个时间是相当充裕的。为减少电路面积，论文采用串行乘法器，将滤波器系数设置为乘数。插值器的滤波器系数全为16位的二进制数，因此完成一次乘法需要16个系统时钟周期。为了便于

控制逻辑对乘法器运算开始的控制和运算结束的确认, 论文在串行乘法设计时, 加入了额外的2个时钟来进行握手协议。完成一次插值滤波器所需的乘法, 将需要18个时钟周期

为了使用串行乘法器完成整个插值滤波器操作, 电路时钟最低应为 $2.208 \times 18 = 39.744 \text{ MHz}$ 。当前电路的系统时钟完全满足要求。

对串行实现的插值滤波器, 滤波器系数完全对称, 每一次乘法运算中的被乘数, 都是两个延迟单元相加的结果, 它的输出也将与当前累加寄存器的值做加法, 所得值用来更新累加寄存器。因此电路中每一次乘法运算都对应着两次加法运算。这些加法运算由单加法器实现时, 所需的最低系统时钟为 4.416 MHz , 当前电路的系统时钟也完全满足要求。

对于3阶 Σ - Δ 调制器, 主要由加法运算和逻辑控制单元组成。在调制器系数被量化为免除乘法 (multiplier-free) 的数据表示后, 调制器需要在每个数据周期计算27次加法。考虑到调制器的输入数据速率是 3.072 MHz , 电路时钟为 49.152 MHz , 每个输入数据只有16个时钟周期可以用来进行加法运算, 论文采用两个加法器来实现这些加法操作。

后滤波器传输函数为 $1+z^{-1}$, 需要进行一次加法操作, 它可以和调制器电路合并在一起, 使用调制器电路中的加法器。

对于扰动电路和partial DWA模块, 它们完全由逻辑电路组成。考虑到扰动电路的信号输出到 Σ - Δ 调制器, 它与调制器电路合并并在同一个电路模块里; partial DWA 模块成为独立的电路模块。

至此, 论文得到重新划分以后的电路模块如图 4-10所示:

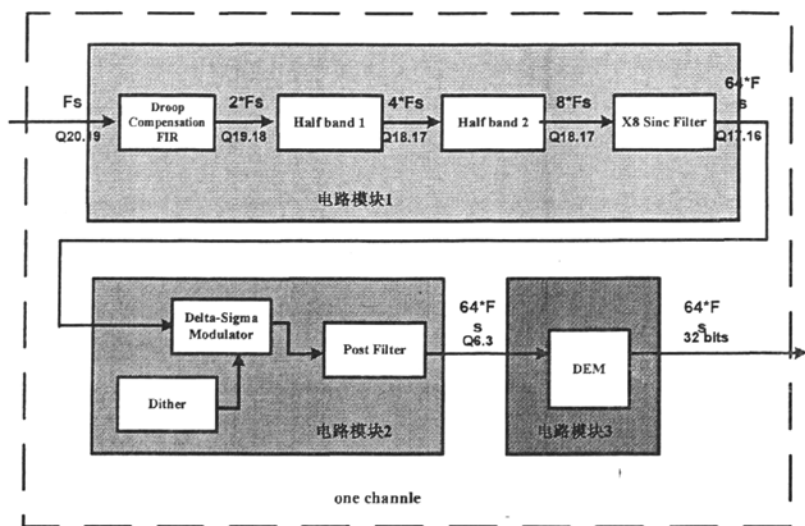


图 4-10 电路模块划分

至此， Σ - Δ DAC 中的一个声道被划分为三个独立的电路模块：第一个电路模块是插值器，电路单元包括一个乘法器、一个加法器、一些延迟线上的数据存储单元和一些逻辑控制电路；第二个电路模块包括 Σ - Δ DAC 调制器、扰动电路和后滤波器，电路单元包括两个加法器、一些数据存储单元和一些逻辑控制电路；第三个电路子模块对应于 DEM 模块，它是纯逻辑控制电路。

4.2 数字电路子模块的结构设计

经过第一节分析，在电路实现时，一个 Σ - Δ DAC 声道被划分为三个独立的电路模块。这一节讨论这三个电路子模块的设计方法。设计的重点是图 4-10 中的电路模块 1 和模块 2。

4.2.1 插值器模块的结构

插值电路首先对输入信号经过三级 8 倍插值，然后将得到的每个信号样本重复 8 次，最终得到 64 倍插值后的信号。前三级级联插值的多向分解级联结构如图 4-11 所示，图中 $w_m[n]$ 表示第 m 级插值器的输出， $H_{mn}[z]$ 表示第 m 级插值器的第 n 个子滤波器。

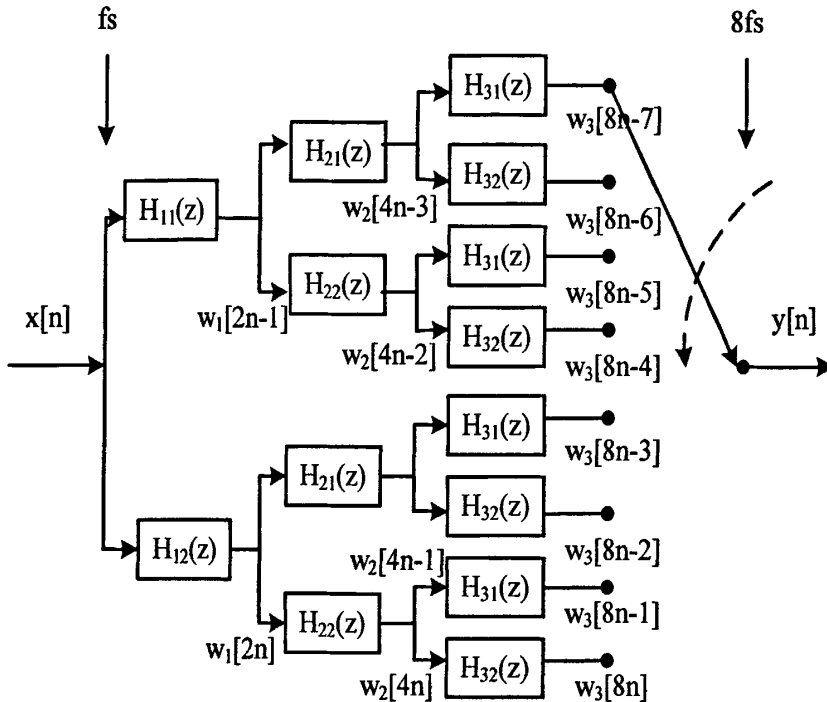


图 4-11 8 倍插值滤波器的信号流程图

8 倍插值电路需要对每个输入 $x[n]$ 计算八个输出 $w_3[8n-7]$ 、 $w_3[8n-6]$ 、...、 $w_3[8n]$ 。

为串行计算所有的插值过程，论文把图 4-11 中的计算过程分成八条数据路径，依次计算八个输出值。这八条数据路径分别为： $w_1[2n-1]$ 、 $w_2[4n-3]$ 、 $w_3[8n-7]$ ； $w_2[4n-3]$ 、 $w_3[8n-6]$ ； $w_1[2n-1]$ 、 $w_2[4n-2]$ 、 $w_3[8n-5]$ ； $w_2[4n-2]$ 、 $w_3[8n-4]$ ； $w_1[2n]$ 、 $w_2[4n-1]$ 、 $w_3[8n-3]$ ； $w_2[4n-1]$ 、 $w_3[8n-2]$ ； $w_1[2n]$ 、 $w_2[4n]$ 、 $w_3[8n-1]$ ； $w_2[4n]$ 、 $w_3[8n]$ 。

为保证了输出数据有均匀的抽样间隔，每条数据路径的输出值被写入一个同步 FIFO[41]，输出电路根据输出数据时钟从这个 FIFO 里面来读取和重复数据。

子滤波器由加-乘-累加操作组成，整个电路仅采用了一个加-乘-累加运算单元。有限状态机[42]用来选择加法操作中的输入数据和乘法操作中的滤波器系数。在子滤波器输出计算过程中，累加的中间结果存放在累加寄存器里，所有的累加操作完成以后，累加寄存器中的数据被清零，并开始下一个子滤波器的运算。电路实现框图如图 4-12 所示：

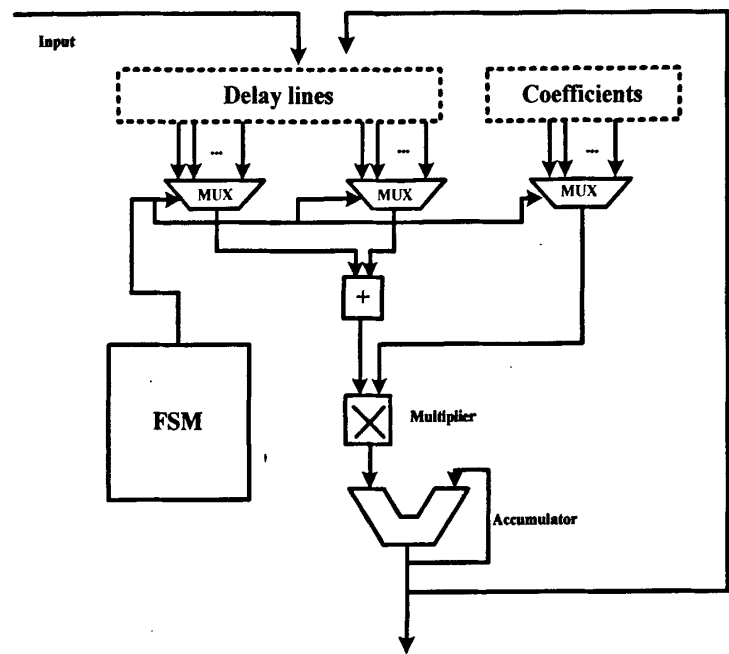


图 4-12 插值器的电路结构框图

4.2.2 其它模块的结构

电路模块2的电路结构与电路模块1相似：有限状态机用来选择加法器的输入，中间结果被暂存在累加寄存器中。所有操作完成以后，数据延迟单元更新，开始计算下一输入样本值所对应的输出值，在此不再累述。

电路模块3是纯逻辑控制电路。

4.3 数字电路具体设计流程

为缩短设计周期，提高设计效率，数字电路部分采用半定制的设计方法[43].

数字部分的设计流程如图 4-13所示：

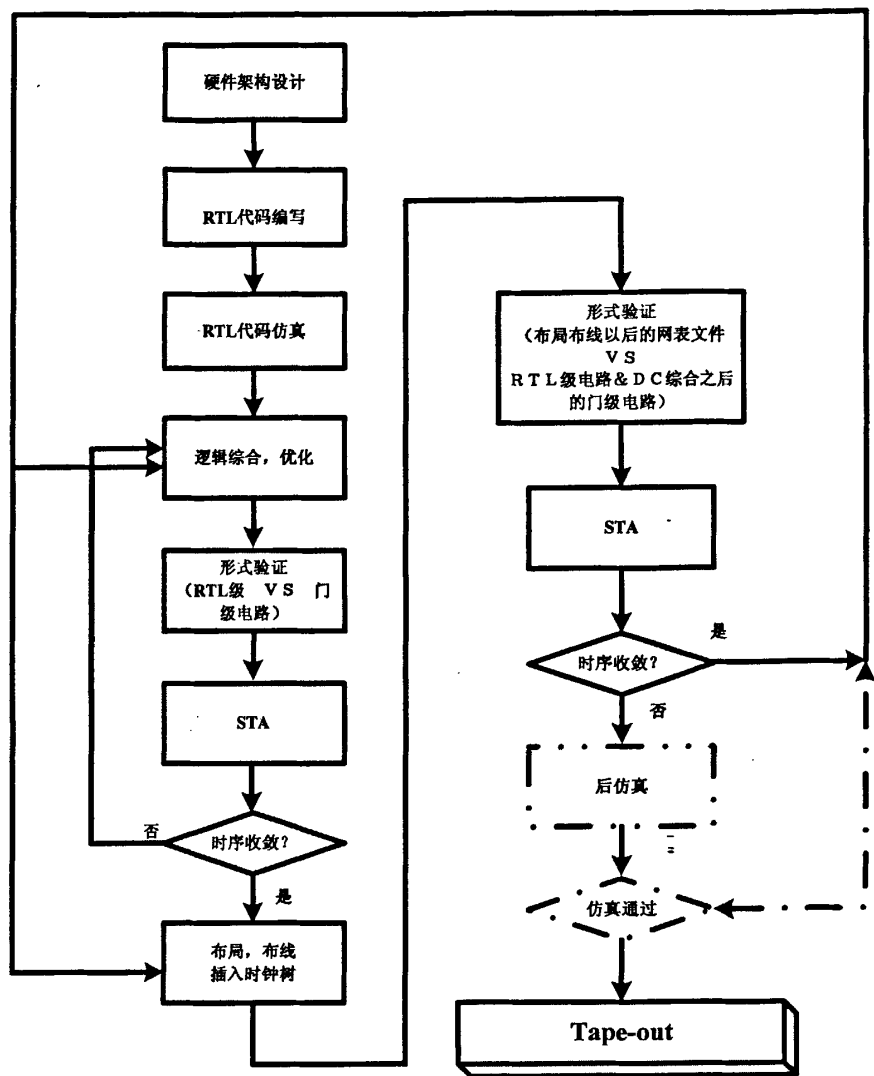


图 4-13 半定制数字电路设计流程

论文首先采用Verilog-HDL语言编写电路和仿真平台的RTL代码，将RTL代码仿真结果与Matlab 仿真结果做对比，验证代码的正确性。

在经过充分验证之后，RTL代码被综合成与工艺库有关的门级网表[44]。工艺库论文采用VIS公司3.3V 0.35um的标准CMOS工艺。

为确保门级网表和原RTL代码功能的一致性和电路时序的收敛性，论文对综合后的电路门级网表进行了形式验证[45]和静态时序分析[46]。

之后，论文对门级网表进行布局布线和插入时钟树，并提取电路的寄生参数，

进行最后的形式验证和时序分析。

本设计实际工作频率为49.152MHz，在设计过程中，论文将时钟设定为55MHz，以保证留有一定的时钟裕度。

图 4-14是对一个幅度为-20dB,频率为1.25KHz的正弦波经过数字模块的最终门级网表代码和带有0.2%失配的内部DAC的行为级模型后的频谱分析。进行频谱分析时需要注意的是，如果直接对输出信号进行傅立叶变换，信号中大量的高频噪声会因为频率卷积折叠回信号带内，严重恶化带内信噪比[1]，影响仿真结果分析。在进行傅立叶变化之前，必须先对信号样本加窗，hanning窗已足以满足要求[1]。这种做法带来的影响是信号能量会泄漏到旁边的频率点上[47]，如图中所示，信号频谱从单频扩散到了三个频率点。仿真得到的数字电路输出信号信噪比约为109dB。

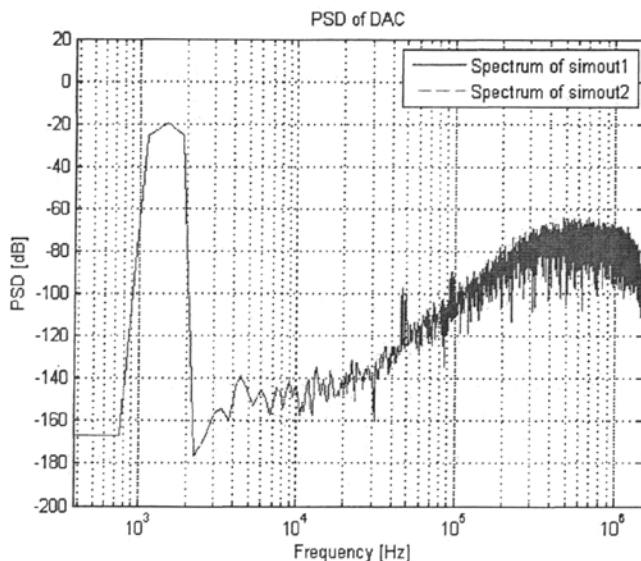


图 4-14 输入幅度为-20dB,频率为 1.25KHz 的正弦信号经过数字模块和带有 0.2%失配的内部 DAC 之后的频谱图

对DAC中的一个声道，综合后得到的电路单元面积为889665.5nm²，其中插值器面积为671702.5nm²，调制器面积为176662.5 nm²，DEM模块面积为41300nm²。可以看出，插值器的面积约占整个通道的75%，它仍是影响电路面积的主要因素。而在插值器中，很大一部分单元面积是数据延迟器，约为467678.5 nm²，占整个插值器电路面积的70%，在下一个版本的芯片中，论文考虑用SRAM存储延时的数据，来减小电路面积；对于论文所设计的串行乘法器，面积仅为41807.5nm²，是同类乘法器面积的1/3。

4.4 模拟电路模块的设计

模拟电路模块包括1位DAC单元阵列和模拟重构滤波器。1位DAC单元由完全相同的12个1bitDAC组成。

对于模拟电路的设计，论文首先采用Hspice进行电路的仿真，然后进行layout并进行DRC验证，并与数字部分一起进行混合仿真。

4.5 芯片版图布局

最终得到的芯片版图布局如图 4-15所示

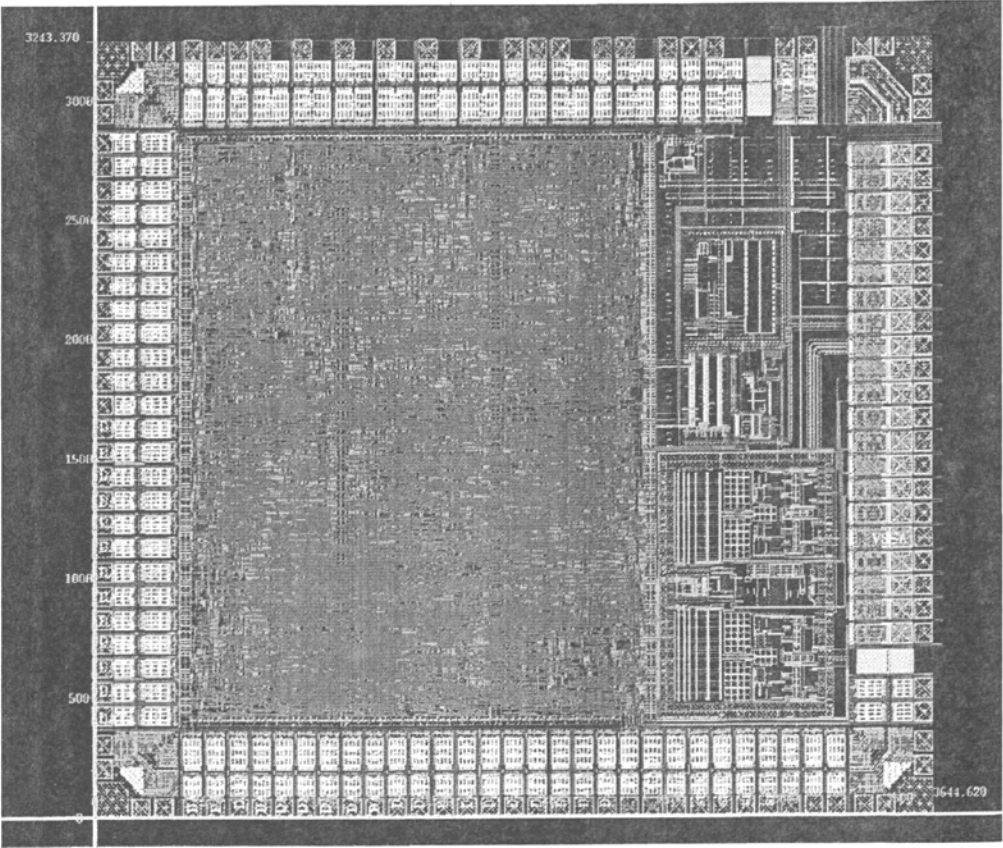


图 4-15 DAC 的芯片版图布局

第5章. 芯片测试与总结

5.1 测试方案

芯片测试环境如图 5-1 所示, 图中左边是测试板, 右边是待测芯片。仪器 Audio Precision 提供符合 I2S[48]时序的数字信号输入, 同时负责对模拟输出信号进行性能分析。

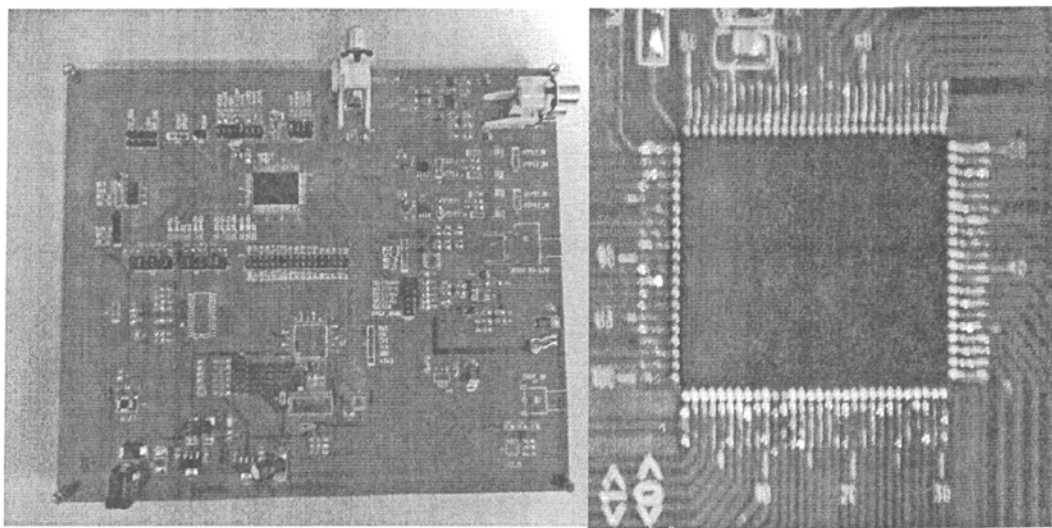


图 5-1 芯片测试环境

5.2 测试结论

图 5-2是芯片的性能测试图, 输入信号是精度为20位的满摆幅1KHz正弦波, 采样率是48KHz。

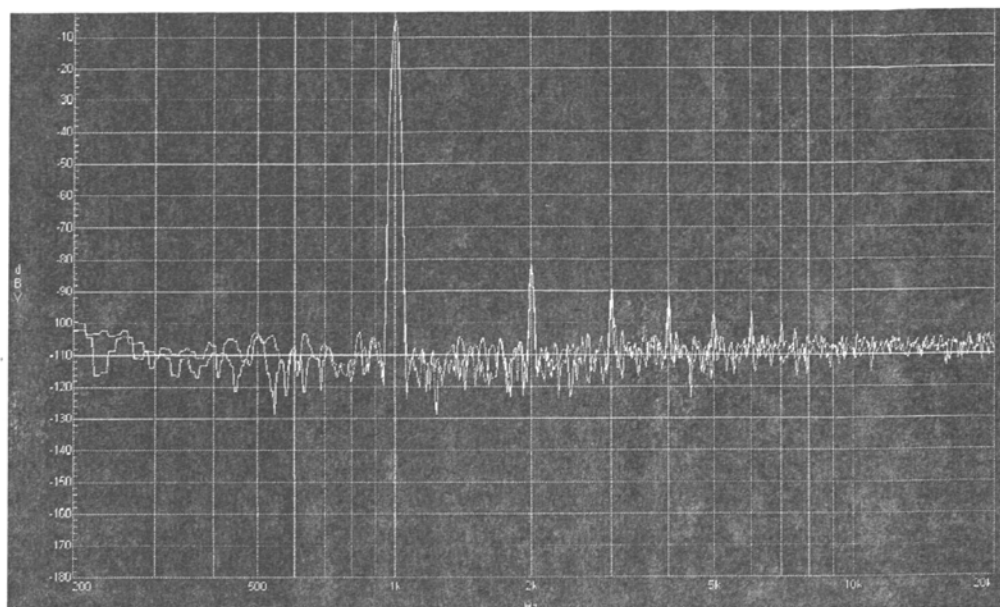


图 5-2 芯片性能测试结果

对于20位的输入信号，测试得到DAC的动态范围约为96dB，THD约为-84dB，噪声底约为-110dB，完全符合设计指标。以此芯片进行性能测试得到信噪比最高可以达到100dB以上。

第6章. 总结与展望

6.1 论文总结

本论文主要研究了一个 96dB 动态范围 Σ - Δ 音频 DAC 芯片的高性能低成本实现, 设计完成并成功留片。

论文在综述国内外文献的基础上, 首先深入分析了主流的 Σ - Δ DAC 实现结构与方法, 根据转换精度需求和算法复杂度评估, 选取了 64 倍过抽样、3 阶单回路 Σ - Δ 调制、7 阶量化的系统结构; 对滤波器、调制器的结构、系数、内部运算处理精度以及编码方式作了全面优化, 以减小电路面积。为了提高数模转换器的性能, 论文选取了部分 DWA (Partial DWA) 方法来消除多比特模拟转换单元间的失配问题; 设计并优化了扰动 (dither) 产生电路, 达到了消除空闲音的效果; 分析了时钟抖动对高频噪声的调制效应, 采用了简单的电路结构来抑制该效应对系统性能的影响。论文采用 Simulink 对所提出的算法进行仿真验证和性能比较; 在进行电路设计之前, 论文对 DAC 电路结构进行了仔细分析和规划, 以减小芯片面积。按照标准半定制数字电路的设计流程进行了数字电路部分的设计; 并实现了整个 DAC 电路的数模混合仿真。

在芯片成品测试中, 所设计的 DAC 听感良好。测试结果表明, 所设计的 DAC 动态范围可达到 96dB, 总谐波失真约为 -84dB。性能已可与国际同类产品像媲美。目前, 芯片正在准备量产。

设计的不足之处在于芯片面积仍然较大, 这是由于芯片中采用了大量 DFF (约占整个 DAC 数字电路部分的 75%) 造成的, 如果采取 SRAM 代替这些 DFF, 芯片面积将会大大减小, 这是下一步完善芯片的主要考虑点。

6.2 未来工作展望

本人觉得未来工作的规划可分为以下三个方向:

第一, 对本论文所设计的 DAC 芯片面积和功耗进行进一步的优化。计划的做法是采用 SRAM 代替 DFF 对数据进行存储以减少电路面积, 降低电路功耗。同时采用 clock gating 的方法, 避免寄存器的空翻, 进一步降低电路功耗[49]。

第二，考虑到消费者对音质要求的不断提高，下一步工作的重点是设计更高精度的音频 DAC。在更高精度的音频 DAC 系统中，时钟抖动、空闲音、模拟电路的非线性等不利因素的影响将会更加突出，如何克服这些设计难点以达到设计指标将是后续工作主要的研究方向。

第三，系统厂商对音频处理芯片提出了很多音效处理的要求，比如虚拟低音、3D 音效、均衡器、自动增益控制、环境噪声去除等。如何优化增加和算法实现这些音效处理，使得音频芯片拥有更多的 DSP 运算能力和系统集成能力也是下一步一个非常重要的研究方向。

参考文献

- [1] Schreier R. and Temes G.C., *Delta-Sigma Data Converters* (英文影印版), 科学出版社, 2007.
- [2] Robert M.Gray and David L. Neuhoff, "Quatization", *IEEE Transactions on Information Theory*, vol.44, no.6, octorber 1996.
- [3] Sanjit K. Mitra, *Digital Signal Processing —A Computer-Based Approach*, 2nd Edition. McGraw-Hill, 2006.
- [4] Norsworthy, S. R., Schreier, R. and Temes, G.C., *Delta-Sigma Data Converters, Theory, Design and Simulation*, IEEE Press, New York, 1997
- [5] E.bach, "Multibit oversampling D/A converters using dynamic element matching methods", *SIEMENS AG Semiconductors Group Workpage 3*.
- [6] Temes, G. C, "Oversampling D/A Converters", handout to the advanced engineering course on oversampled delta-sigma data converters, Lausane, July 1997.
- [7] Sooch, N. S. and Scott, J. W, "18-bit stereo D/A converter with integrated digital and analog filters", *Proceedings AES 91st Convention*, New York, October 1991.
- [8] Galton, I. "Spectral shaping of circuit errors in digital-to-Aanalog converters", *IEEE Transactions on Circuits and Systems Part II*, vol- 44, pp. 808-817, October 1997
- [9] Jared Welz and Ian Galton, "Necessary and Sufficient Conditions for Mismatch Shaping in a General Class of Multibit DACs", *IEEE Transactions on Circuits and Systems II: Analog and Digital Processing*, vol.49, no.6, December 2002.
- [10] Leung, B. H and Sutarja, "multibit sigma-delta A/D converter incorporating a novel class of dynamic element matching techniques", *IEEE Journal of Solid-State Circuits*, vol. SC-27, pp.35-51, January 1992
- [11] R.T. Baird and T.S.Fiez, "Improved $\Sigma - \Delta$ DAC linearity using data weighted averaging", *Proceedings of the 1995 IEEE International Symposium on Circuits and Systems*, vol.1, pp.13-16, May 1995
- [12] R.T. Baird and T.S.Fiez, "Linearity enhancement of multibit A/D and D/A converters using data weighted averaging", *IEEE Transactions on Circuits and Systems Part II*, vol.30, pp. 753-762, December 1995.
- [13] F.Chen and B.H.Leung, "A high resolution multibit sigma-delta modulator with individual level averaging", *IEEE Journal of Solid-State Circuits*, vol.30, no.4, pp.453-460, April 1995.
- [14] R.sheier and B.zhang, "Noise-shaped multibit D/A convertor employing unit elements", *Electronics Letters*, vol.31, no.20, pp.1712-1713, Sept.28 1995.
- [15] Ian Galton, "Spectral Shaping of Circuit Errors in Digital-to-Analog Converters", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol.44, no.10, October 1997.
- [16] Jared Welz and Ian Galton, "Simplified logic for first-order and second-order mismatch-shaping digital-to-analog converters", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol.48, no.11, October 2001.
- [17] D. Groeneveld et al., " A self-trimming 14-b 100 MS/s CMOS DAC", *IEEE Journal of Solid-State Circuits*, vol.35, pp.1841-1852, Dec.1999.

- [18] M. Sarhang-Nejad and G.C. Temes, "A high-resolution multi-bit Σ - Δ ADC with digital correction and relaxed amplifier requirements," *IEEE Journal of Solid-State Circuits*, vol.28, pp. 648-660, June 1993.
- [19] Udo Zolzer. *Digital Audio Signal Processing*. John Wiley & Sons, Ltd., 1998.
- [20] S. H. Ardalan and J. J. Paulos, "Analysis of nonlinear behavior in delta-sigma modulators", *IEEE Transactions on Circuits and Systems*, vol. 34, pp. 593-603, June 1987.
- [21] Haitao, Laszlo Toth, and John M.Khoury, "Analysis of timing jitter in bandpass sigma-delta modulators", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol.46, no.8, August 1999.
- [22] Konstantinos Doris, Arthur van Roermund and Domine Leenaerts, "A general analysis on the timing jitter in D/A converters", *IEEE International Symposium on Circuits and Systems*, 2002, vol.1, pp117-121.
- [23] Jose Luis Gonzalez and Eduard Alarcon, "Clock-jitter induced distortion in high speed CMOS switched-current segmented digital-to-analog converters", *Circuits and Systems, 2001. ISCAS 2001*, vol.1, pp.512-515, May 2001.
- [24] "Stereo, Single Supply 16-, 18- and 20-Bit Sigma-Delta DACs ", Product Data sheet AD1857/AD1858, Analog Devices, Inc., Rev.0, Norwood, MA, 1997.
- [25] Brian P. Brandt and Bruce A. Wooley, "A Low-Power, Area-Efficient Digital Filter for Decimation and Interpolation", *IEEE Journal of Solid-State Circuits*, vol.29, no.6 pp.679-687, June 1994.
- [26] N.S. Scooch, J.W. Scott, T. Tanaka, T. Sugimoto and C. Kubomura, "18-bit stereo D/A converter with integrated digital and analog filters", *presented at the 91st convention of the Audio Engineering Society*, New York, October 1991, preprint 3113.
- [27] "Understanding CIC compensation filters", Altera Corporation *AN-455-1.0*. ver.1.0, April 2007.
- [28] T.Saramaki, "Design of FIR filters as a tapped cascade interconnection of identical subfilters", *IEEE Transactions on Circuits and Systems*, vol.34, no.9, pp.1011-1029, September 1987.
- [29] Peng Yun Fei, Kong Derui and Zhou Feng, "Design and Implementation of a Novel Area-Efficient Interpolator", *Chinese Journal of Semiconductors*, vol.27, no.7, pp.1164-1169, July 2006.
- [30] 樊昌信、张甫翊、徐炳祥、吴成柯, 通信原理, 第五版, 国防工业出版社。
- [31] Rex T. Baird and Terri S. Fiez, "Linearity enhancement of multibit delta-sigma A/D and D/A converters using data weighted averaging", *IEEE Transactions on Circuits and Systems-II, Analog and Digital Signal Processing*, vol.42, pp.753-762, December 1995.
- [32] Feng Chen and Bosco Leung, "Some observations on tone behavior in data weighted averaging", *IEEE International Symposium on Circuits and Systems*, vol.1, pp 500-503, 1998.
- [33] Kuan-Dar Chen and Tai-Huar Kuo, "An improved technique for reducing baseband tones in sigma-delta employing data weighted averaging algorithms without adding dither", *IEEE Transactions on Circuits and Systems-II, Analog and Digital Signal*

- Processing*, vol.46, pp.63-68, January 1999.
- [34]Anas A. Hamoui and Kenneth W. Martin, "High-Order Multibit Modulators and Pseudo Data-Weighted Averaging in Low Oversampling ADCs for Broad Band Applications", *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol.51, no.1, pp.72-84, January 2004.
- [35]Anas A. Hamoui and Kenneth W. Martin, "Linearity Enhancement of Multibit Modulator Using Pseudo Data Weighted Average", *IEEE Transactions on Circuits and Systems-I: Regular Papers*, vol.51, no.1, pp.753-762, January 2004.
- [36]Ichiro Fujimori, Akihiko Nogi, Tetsuro Sugimoto, "A Multibit Delta-Sigma Audio DAC with 120-dB Dynamic Range", *IEEE Journal of Solic-State Circuits*, vol.35, no.8, pp.1066-1073, July 2000.
- [37]Marzia Annovazzi, Vittorio Colonna, Gabriele Gandolfi, Fabrizio Stefani, and Andrea Baschiroto, "A Low-Power 98-dB Multibit Audio DAC in a Standare 3.3-v 0.35 m CMOS Technology", *IEEE Journal of Solic-State Circuits*, vol.37,no.7, pp.825-834, July 2002.
- [38]Keshab K.Parhi, *VLSI Digital Signal Processing Systems:Design and Implementation*, John Wiley & Sons, Inc. 1999.
- [39]张靖恺, "音频 '虚拟低音' 技术之研究、设计与实现", 北京大学硕士学位论文, 2006.
- [40]Michael D.Ciletti, *Advanced Digital Design with the Verilog HDL*, (英文影印版), 电子工业出版社, 2005.
- [41]甘学温, CMOS VLSI 器件与电路分析, 2001. P. P. 176~182.
- [42]大卫·哈里斯, 尼尔 HE.威斯特, CMOS 大规模集成电路设计 (英文版), 第三版, 机械工业出版社.
- [43]甘学温, 数字 CMOS VLSI 分析与设计基础, 北京大学出版社, 2006.
- [44]Synopsys Inc. Design Compiler Workshop 2006.
- [45]Synopsys Inc. Formality Workshop 2006.
- [46]Synopsys Inc. Prime Time Workshop 2006.
- [47]Fredric J. Harris, "On the use of windows for harmonic analysis with the discrete Fourier transform", *Proceedings of the IEEE*, vol.66, pp.51-83, January 1978.
- [48]Philips Semiconductor Inc. I²S Specification. 1986, revised 1996.
- [49]Frank Emmett and Mark Biegel, "Power Reduction Through RTL Clock Gating", *SNUG San Jose*, 2000.
- [50]Ichiro Fujimori and Tetsuro Sugimoto, "A 1.5V, 4.1mW Dual-channel Audio Delta-Sigma D/A Converter", *IEEE Journal of Solic-State Circuits*, vol.33, no.12, pp.1863-1870, July 1998.

致 谢

岁月如歌，光阴似箭，三年的研究生生活即将结束。回首三年的求学历程，身边出现了太多引导我、帮助我、激励我的人，对你们，我心中充满了感激。

感谢导师邹月嫻博士，您从选题到研究方向选择和撰写论文，都给了我悉心指导和点拨。老师严谨治学的态度和平易近人的作风是我终生学习的榜样

感谢focaltech-systems公司CEO胡正大先生，给了我宝贵的实习机会，让我能够完成这一研究课题；感谢企业导师陆惠宏博士在这期间对我的淳淳教导和悉心关怀，您这两年的亲身教诲一定会让我今后的人生受益匪浅；感谢公司同事莫良华、潘克林，对我毫无保留的指导和生活上的关心，你们使我能够快速成长。还有一起在公司工作实习的师兄杨鑫、张靖凯、田超，是你们总是不厌其烦的为我解决困惑，督促我不断进步。

感谢ADI上海研发中心的同事潘扬、叶菁华，你们的热心指导使我的论文内容更加丰富并最终得以顺利完成。

感谢三年来朝夕相处的同学们，这三年我们同奋斗，共欢乐，一起走过了人生中最后的青春。愿大家未来一帆风顺前程似锦。

需要特别感谢的是我的父母和家人。父母的养育之恩无以为报，他们是我多年求学路上的坚强后盾；还有我的姑姑和姑父，在我面临人生选择的迷茫之际，为我排忧解难。你们对我无私的爱与照顾是我不断前进的动力。

还有许多老师同学及亲友在学习和生活上给予过我鼓励和帮助，虽然无法一一列出姓名，但仍在这里向他们表示我衷心的感谢。

硕士阶段的学习即将告一段落，人生的旅程即将再次启航，告别北大深研院恋恋难舍。在未来的工作中,我将一如既往地努力进取，不辜负大家的期望。

硕士期间发表论文

付洁、邹月娴, “高精度 Σ - Δ 音频 DAC 中省面积插值器的设计与 ASIC 实现”, 《电声技术》, 2008, 07 期。