内部资料

# 集微技术信息简报

**Vol.3 No.5**
**2016 年 11 月**
**（总第十五期）**

NSTL

国家科技图书文献中心
中国科学院文献情报中心

# 本期目录

## 专题分析

3D 存储技术专利态势分析.....2
3D 存储技术重点专利.....20

## 政策计划

国务院关于印发北京加强全国科技创新中心建设总体方案的通知（国发〔2016〕52 号）.....40
改委工信部等政府部门发布中国具备 0.25μm 工艺的半导体企业名单.....50
NSF 投资 1000 万美元支持十项大数据项目.....52
美国陆军公布《2016-2045 年新兴科技趋势》.....53
日本 2016 年未来社会创造计划的重点政策措施.....55
欧盟委员会发布 2011-2016 年百亿亿次计算研究概述.....56

## 前沿研究

一种实现了时序优化的基于硅通孔的 3D 存储器设计.....58
一种 7.7A 768Gb 3b/cell 的 3D 浮栅 NAND 闪存.....58
在深度分析后程序 VT 不稳定性在电子应力在 3D SONOS 存储器.....59
Neurocube:具有高密度 3D 存储器的可编程数字神经形态架构.....59
3D 闪存的干扰释放.....60
存储技术新进展：3D XPoint 技术横空出世.....60

## 应用实施

全球 3D NAND FLASH 技术发展.....65
英特尔 3D NAND：下一代产品将在 2017 下半年面世.....79
东芝开始全球首批 64 层 3D NAND 闪存的样品出货.....81
三星 48 层 3D 闪存技术.....82

专题分析

# 3D 存储技术专利态势分析

## 研究背景

3D 存储技术（3-Dimensional memory）主要指具有三维结构的存储器，一般是通过堆叠很多层存储器件层的方法来实现。

随着便携式消费类电子产品的蓬勃发展，人们对非挥发存储器的容量和集成密度提出了越来越高的要求。在 50nm 节点以下，平面型的各类存储器虽然依然可以维持合理成本来制造器件，但是为了满足小尺寸下器件性能的苛刻要求，技术的复杂性成了人们关注的重点。特别对于高密度的存储器，如 Flash 存储器，当能够存储的电子数目到达极限时，就不能再通过减小器件的尺寸或者多位存储技术来提高密度。于是，一种通过堆叠很多层存储器件层的方法来实现更高密度的技术方案，即三维集成（3dimension，3D）技术被提出[1]。目前市场上主流的 3D 存储器主要是 3D NAND flash、3D Xpoint、3D RRAM、3D DRAM 等。

然而，器件尺寸的缩小终将走向物理极限，多值存储技术的可靠性及其它各项性能也都存在很多问题，而 3D 技术则因面临材料选择、器件结构、工艺实现难度等诸多艰巨的挑战也暂时不会迅速推广。

## 研究内容

本研究从 3D 存储技术专利入手，力求呈现当前该专利技术态势及专利活动特点。

3D 存储技术专利分析内容共包括：专利数申请时间趋势分析、技术构成分析、国家/地区分析、申请人等四大项专利分析模块。

## 数据来源

数据来源：美国汤森路透科技（Thomson Reuters Scientific）公司 ThomsonInnovation 全球专利数据库（检索日期 2016 年 10 月 23 日），分析过程中采用了该公司的 TDA（Thomson Data Analyzer）分析工具。

[1]袁方. 新型高密度非挥发存储器研究[D]. 清华大学, 2014.

# 1 专利申请时间趋势

## 1.1 专利申请时间走势

截至检索日期，共检索到 3D 存储技术相关的专利家族 3557 个，专利家族最早优先权年时间跨度为 1959-2016 共 52 年，考虑到专利一般从申请到公开最长达 18 个月的时间，以及数据库录入的时间延迟，近两年的专利申请量会出现失真。

分析 3D 存储技术的专利数量随时间的变化趋势，可以作为预测 3D 存储技术发展趋势的重要参考指标。图 1.1 揭示了 3D 存储技术专利数量的年度统计情况，可以看出 3D 存储技术的专利家族数量整体呈现递增趋势。

第一个 3D 存储技术的专利是 IBM 在 1959 年申请的，专利号为) US1959838456A（DATA PROCESS MACHINE BUSINESS THREE DIMENSION MEMORY UNIT REGISTER MATRIX ADDRESS CODE）。

此后该技术发展缓慢，每年只有少量专利产出。1989 年以后，年均申请量突破 10 件以上，专利申请量开始逐渐增加，且呈稳定上升趋势。2010 年开始随着对存储器要求越高，3D 结构的需求越大越大，再加上制造工艺上的进步，专利申请量呈现快速增长。

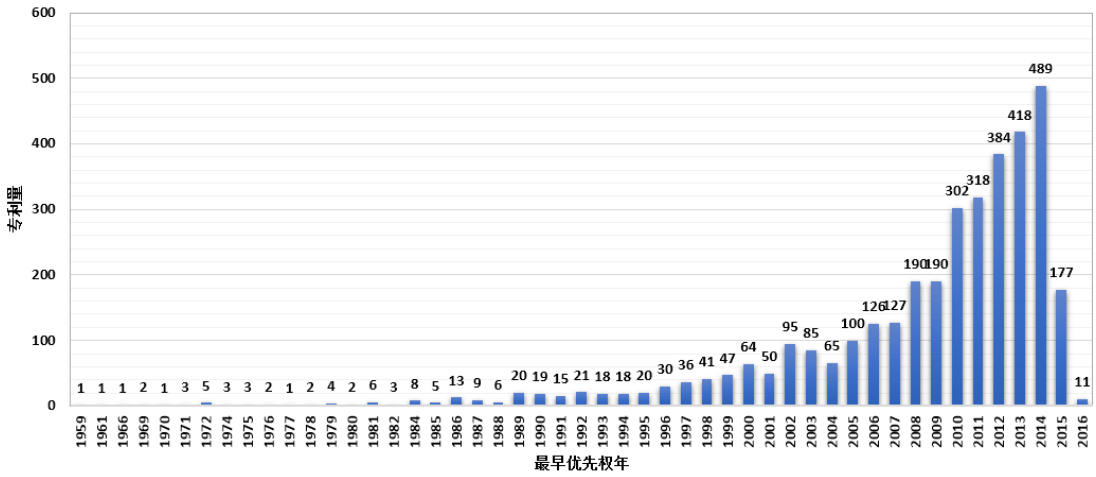



**图 1.1 3D 存储技术专利申请时间趋势(单位：项)**

## 1.2 专利技术生命周期

专利技术生命周期是指在专利技术发展的不同阶段中，专利申请量与专利申请人数量的一般性的周期性的规律。一个比较完整的技术生命周期示意图是

利用某段时间内与某项技术相关的专利申请数量和相应的专利申请人数量的变化情况绘制而成的，以年度申请人量为横坐标，年度申请数量为纵坐标，绘制出曲线对技术发展的各个阶段进行分析，预测技术的发展速度及前景。专利技术生命周期常用 4 段论，即萌芽期、发展期、成熟期、衰退期。

对 3D 存储技术领域的专利分析发现，3D 存储技术整体上处于技术成长期。

（1）萌芽期：1989 年之前，3D 存储技术领域发明的数量和专利申请人较少，波动性较大，申请年度的连续性也较低，处于技术的萌芽期。

（2）发展期：

1990 年到 2005 年，3D 存储技术领域的相关专利技术数量增加明显，进入发展期期，该技术的研发投入逐渐增多。

2006 年到 2012 年，专利技术发明的数量和申请人数量进入阶梯式增长期，，整体呈现快速发展态势。

2013 年至今，专利申请数量持续增加、专利申请人有所回落，3D 存储技术领域核心的技术主体逐步稳固。

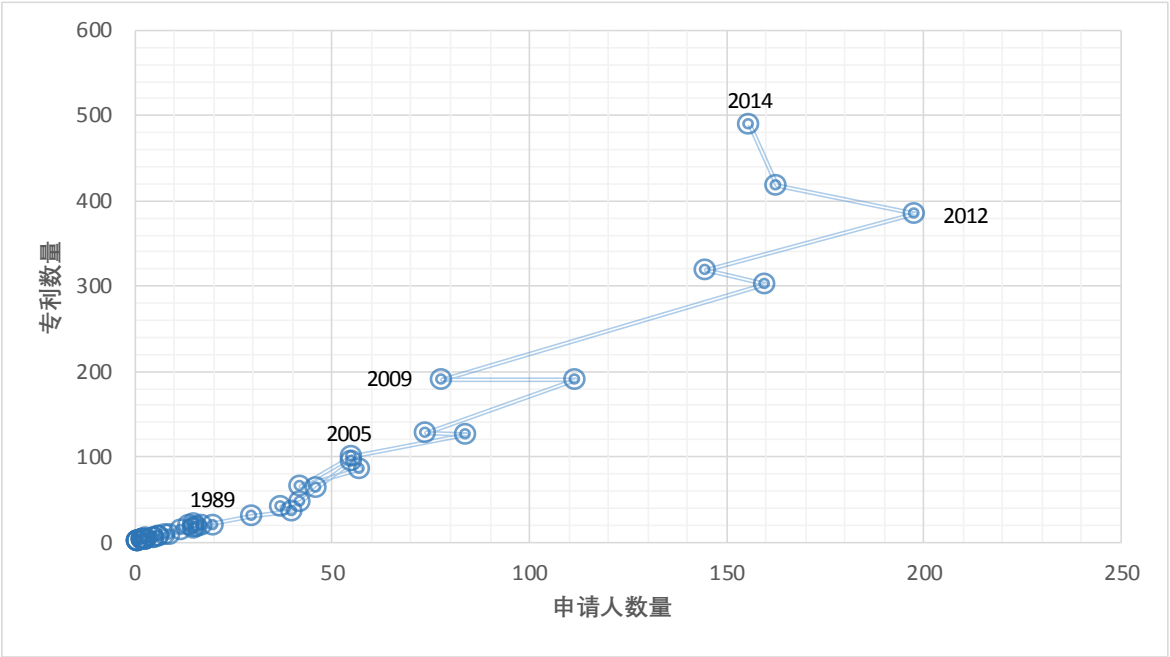



**图 1.2 3D 存储技术专利技术生命周期**

## 2 专利申请技术构成分析

### 2.1 主题聚类分析

为了方便直观形象的了解 3D 存储技术的研究点，对该技术专利相关关键词

进行处理并绘制专利技术聚类图，从而更深入的探索专利技术的发明内容与创新性。

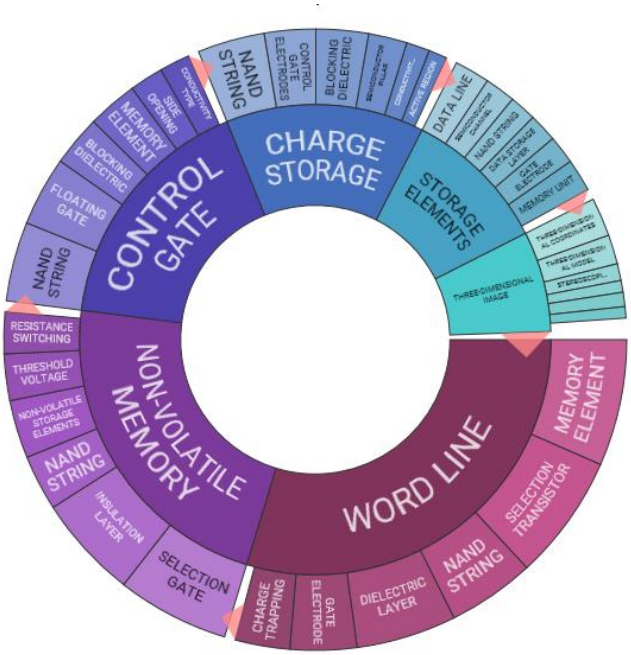



**图 2.1 3D 存储技术专利技术主题分布**

分析 3D 存储技术专利地图，发现 3D 存储技术主题聚焦于字线、非易失性存储器、控制门、电荷存储、存储元素、侧墙、内存芯片、光存储器、3D 模型等，具体研究热点见表 2.1。

**表 2.1 研究主题及热点**

| 序号 | 研究主题 | 研究热点 | 序号 | 研究主题 | 研究热点 |
|---|---|---|---|---|---|
| 1 | 字线 | Memory Element<br>Selection Transistor<br>Dielectric Layer<br>NAND String<br>Gate Electrode<br>Charge Trapping<br>Global Bit Lines<br>Memory Module<br>N +1<br>MLC<br>Memory Bank<br>Significant Bit<br>Write-once Memory Devices<br>Master Chip | 6 | 侧墙 | Gate Electrode<br>Bit Line<br>Insulator Film<br>Semiconductor Pillar<br>NAND String<br>Blocking Dielectric<br>Floating Gate<br>Plasma Etching<br>Longitudinal Direction<br>Seed Layer<br>K Dielectric<br>Production Manner<br>Grain Size<br>Memory Card |
| 2 | 非易失性存储器 | Selection Gate<br>Insulation Layer<br>Non-volatile Storage Elements<br>NAND String<br>Threshold Voltage<br>Resistance Switching<br>Vertical Orientation<br>Random Access Memory | 7 | 内存芯片 | Memory Cell<br>Nonvolatile Memory<br>Data Line<br>Flash Memory<br>NAND Memory<br>Master Chip<br>Dynamic Random-access Memory |

| | | | | | |
|---|---|---|---|---|---|
| | | Logical Page<br>Page Buffer<br>Heavily Doped Polysilicon<br>Error Rate<br>Solid State Drive<br>Work Piece | | | Processing Element<br>Computing Unit<br>Printed Circuit Board<br>Semiconductor Package<br>Aforementioned Memory<br>Accumulation Layer<br>Video Game |
| **3** | **控制门** | NAND String<br>Floating Gate<br>Blocking Dielectric<br>Memory Element<br>Side Opening<br>Conductivity Type<br>Data Value<br>Active Region<br>Logic Circuit<br>Current Path<br>Charge Pump<br>Aforementioned Memory<br>Target Data<br>Nonvolatile Semiconductor<br>Memory Member | **8** | **光存储器** | Light Beam<br>General Formula<br>Memory Cell<br>Memory Module<br>Chemical Compound<br>Cross Section<br>Bit Line<br>Semiconductor Layer<br>Aforementioned Picture<br>Target Data<br>Image Pickup<br>Protective Layer<br>Nonvolatile Memory<br>Base Plate |
| **4** | **电荷存储** | NAND String<br>Blocking Dielectric<br>Control Gate Electrodes<br>Semiconductor Pillar<br>Conductivity Type<br>Active Region<br>Non-volatile Storage Elements<br>Voltage Generator<br>Thin Film Transistor<br>Sense Amplifier<br>Semi-conducting Material<br>Ion Beam<br>Digital Media | **9** | **3D模型** | Memory Unit<br>Position and Orientation<br>Memory Array<br>Input Image<br>Feature Points<br>Digital Camera<br>Dimensional Array<br>Bit Line<br>Nonvolatile Memory<br>Grid Electrode<br>Data Acquisition<br>Active Layer<br>Voltage Generator<br>Body |
| **5** | **存储元素** | Data Line<br>Memory Unit<br>Semiconductor Channel<br>Data Storage Layer<br>Gate Electrode<br>NAND String<br>Steering Element<br>Vertical Orientation<br>Conductive Extension<br>Computing Unit<br>Magnetic Memory<br>Managing Circuits<br>Temporary Storage<br>Logical Page | **10** | **其他** | 半导体晶圆<br>激光束<br>加热元件<br>加工室<br>只读存储器<br>金属粘接<br>电子元件<br>磁场<br>重掺 N 型区<br>多晶硅<br>碳原子<br>光子吸收<br>树结构<br>无线电频率 |

## 2.2 技术时间走势分析

技术时间走势分析主要是分析 3D 存储技术的技术手段随时间发展的变化情况，揭示出 3D 存储技术的发展过程以及最新的技术情况。本文使用德温特手工

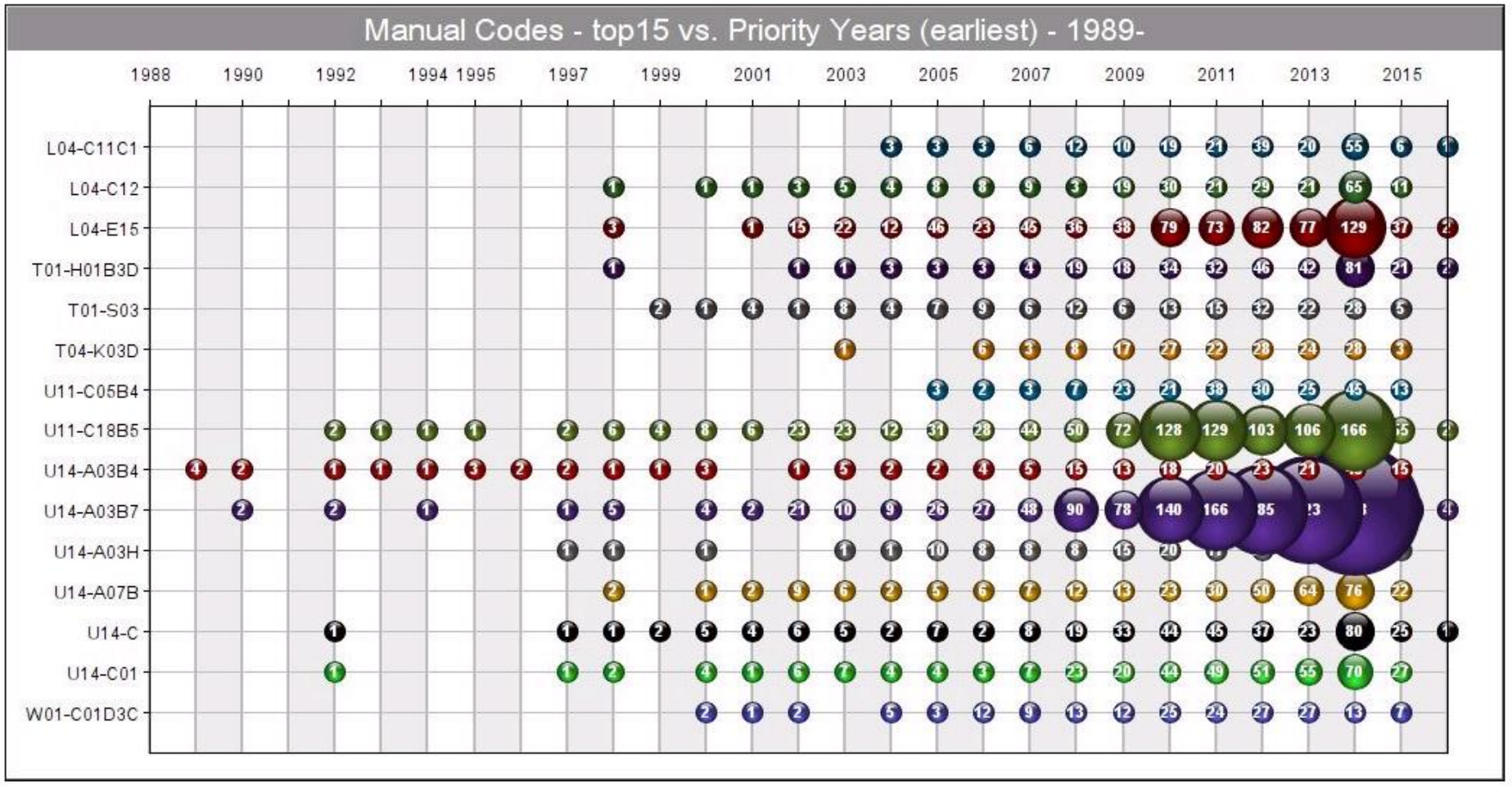
代码来体现技术分类。

由于 1989 年以前专利申请数量非常少，指导意义不大，所以本文只研究 1989 年以来专利的技术走势情况。下图显示 3D 存储技术在 1989 年以来排名前 15 的德温特手工代码随时间的变化情况。

从图中看出，1997 年之前，该技术处于缓慢发展期，涉及的技术点比较少，U14-A03B4（半导体和电子电路 - >存储器，电影和混合电路 - >数字静态存储 - >使用电气元件的存储器 - >带 FET 的存储器（NMOS，CMOS） - >存储器与电容器存储）是涉及最早最多的技术点。

1997 年后相关研究涉及的技术点更加全面，每个技术分支的专利数量呈现持续增长势头，其中 U14-A03B7（半导体和电子电路 - >存储器，电影和混合电路 - >数字静态存储 - >使用电气元件的存储器 - >带 FET 的存储器（NMOS，CMOS） - >带可调阈值 MOS 晶体管的存储器）是涉及最多的技术点，并在 2007 年后快速增长。

此外，U11-C18B5（半导体和电子电路 - >半导体材料和加工 - >半导体器件制造的衬底处理 - >半导体器件的多步工艺。 - >制造除晶体管本身以外的电子器件的多步工艺 - >完全制造存储器）和 L04-E15（耐火材料，玻璃，陶瓷 - >半导体[通用] - >半导体器件 - >半导体存储器）在 2008 年后发展迅速。




**2.2 3D 存储技术时间走势分析（a）**

| Reset | | Manual Codes - top15 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | # Records | 20 | 19 | 21 | 18 | 18 | 20 | 30 | 36 | 41 | 47 | 64 | 50 | 95 | 85 | 65 | 100 | 126 | 127 | 190 | 190 | 302 | 318 | 384 | 418 | 489 | 177 | 11 |
| Priority Years (earliest) - 1989- | # Records | Show Values >= 1 and <= 268<br>Cooccurrence<br># of Records | 1989 | 1990 | 1992 | 1993 | 1994 | 1995 | 1996 | 1997 | 1998 | 1999 | 2000 | 2001 | 2002 | 2003 | 2004 | 2005 | 2006 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 |
| 1 | 198 | L04-C11C1 | | | | | | | | | | | | | | | 3 | 3 | 3 | 6 | 12 | 10 | 19 | 21 | 39 | 20 | 55 | 6 | 1 |
| 2 | 239 | L04-C12 | | | | | | | | | 1 | | 1 | 1 | 3 | 5 | 4 | 8 | 8 | 9 | 3 | 19 | 30 | 21 | 29 | 21 | 65 | 11 | |
| 3 | 720 | L04-E15 | | | | | | | | | 3 | | | 1 | 15 | 22 | 12 | 46 | 23 | 45 | 36 | 38 | 79 | 73 | 82 | 77 | 129 | 37 | 2 |
| 4 | 311 | T01-H01B3D | | | | | | | | | 1 | | | | 1 | 1 | 3 | 3 | 3 | 4 | 19 | 18 | 34 | 32 | 46 | 42 | 81 | 21 | 2 |
| 5 | 175 | T01-S03 | | | | | | | | | | 2 | 1 | 4 | 1 | 8 | 4 | 7 | 9 | 6 | 12 | 6 | 13 | 15 | 32 | 22 | 28 | 5 | |
| 6 | 167 | T04-K03D | | | | | | | | | | | | | | 1 | | | 6 | 3 | 8 | 17 | 27 | 22 | 28 | 24 | 28 | 3 | |
| 7 | 210 | U11-C05B4 | | | | | | | | | | | | | | | | 3 | 2 | 3 | 7 | 23 | 21 | 38 | 30 | 25 | 45 | 13 | |
| 8 | 1003 | U11-C18B5 | | | 2 | 1 | 1 | 1 | | 2 | 6 | 4 | 8 | 6 | 23 | 23 | 12 | 31 | 28 | 44 | 50 | 72 | 128 | 129 | 103 | 106 | 166 | 55 | 2 |
| 9 | 213 | U14-A03B4 | 4 | 2 | 1 | 1 | 1 | 3 | 2 | 2 | 1 | 1 | 3 | | 1 | 5 | 2 | 2 | 4 | 5 | 15 | 13 | 18 | 20 | 23 | 21 | 45 | 15 | |
| 10 | 1404 | U14-A03B7 | | 2 | 2 | | 1 | | | 1 | 5 | | 4 | 2 | 21 | 10 | 9 | 26 | 27 | 48 | 90 | 78 | 140 | 166 | 185 | 223 | 268 | 92 | 4 |
| 11 | 175 | U14-A03H | | | | | | | | 1 | 1 | | 1 | | | 1 | 1 | 10 | 8 | 8 | 8 | 15 | 20 | 17 | 22 | 32 | 22 | 8 | |
| 12 | 330 | U14-A07B | | | | | | | | | 2 | | 1 | 2 | 9 | 6 | 2 | 5 | 6 | 7 | 12 | 13 | 23 | 30 | 50 | 64 | 76 | 22 | |
| 13 | 352 | U14-C | | | 1 | | | | | 1 | 1 | 2 | 5 | 4 | 6 | 5 | 2 | 7 | 2 | 8 | 19 | 33 | 44 | 45 | 37 | 23 | 80 | 25 | 1 |
| 14 | 379 | U14-C01 | | | 1 | | | | | 1 | 2 | | 4 | 1 | 6 | 7 | 4 | 4 | 3 | 7 | 23 | 20 | 44 | 49 | 51 | 55 | 70 | 27 | |
| 15 | 182 | W01-C01D3C | | | | | | | | | | | 2 | 1 | 2 | | 5 | 3 | 12 | 9 | 13 | 12 | 25 | 24 | 27 | 27 | 13 | 7 | |

**2.2 3D 存储技术时间走势分析（b）**

表 2.1 德温特手工代码具体内容

| 序号 | 手工代码 | 手工代码含义 | 专利数量 |
|---|---|---|---|
| 1 | U14-A03B7 | Semiconductors And Electronic Circuitry -> Memories, film and hybrid circuits -> Digital static stores -> Memories using electric elements -> Memories with FETs (NMOS, CMOS) -> Memories with adjustable threshold MOS transistor | 1404 |
| 2 | U11-C18B5 | Semiconductors And Electronic Circuitry -> Semiconductor materials and processing -> Substrate processing for semiconductor device manufacture -> Multistep processes for semiconductor device mfr. -> Multistep processes for manufacture of electronic devices other than transistors per se -> Complete manufacture of memory | 1003 |
| 3 | L04-E15 | Refractories, Glass, Ceramics -> Semiconductors [general] -> Semiconductor devices -> Semiconductor memories | 720 |
| 5 | U14-C01 | Semiconductors And Electronic Circuitry -> Memories, film and hybrid circuits -> General layout aspects regarding memories; interconnection arrangements -> Interconnecting storage elements | 379 |
| 6 | U14-C | Semiconductors And Electronic Circuitry -> Memories, film and hybrid circuits -> General layout aspects regarding memories; interconnection arrangements | 352 |
| 7 | U14-A07B | Semiconductors And Electronic Circuitry -> Memories, film and hybrid circuits -> Digital static stores -> Reading/writing -> Programming, erasing circuits | 330 |
| 8 | T01-H01B3D | Computing And Control -> Digital computers -> Data storage and memory, interconnection, data transfer -> Interconnections to ram, addressing and memory allocation, memory systems and architectures, etc. -> Memory storage components, hardware, or use of -> Semiconductor/solid state memory -> Non volatile electronic semiconductors memories | 311 |
| 9 | L04-C12 | Refractories, Glass, Ceramics -> Semiconductors [general] -> Semiconductor processing [general] -> Semiconductor processing - insulating and passivating layers [general] | 239 |
| 10 | U14-A03B4 | Semiconductors And Electronic Circuitry -> Memories, film and hybrid circuits -> Digital static stores -> Memories using electric elements -> Memories with FETs (NMOS, CMOS) -> Memories with capacitor store | 213 |
| 11 | U11-C05B4 | Semiconductors And Electronic Circuitry -> Semiconductor materials and processing -> Substrate processing for semiconductor device manufacture -> Layer formation -> Inorganic insulating layer deposition -> Modifying materials deposited on substrate (metallic oxides) | 210 |
| 12 | L04-C11C1 | Refractories, Glass, Ceramics -> Semiconductors [general] -> Semiconductor processing [general] -> Semiconductor processing - electrodes -> Gate electrodes | 198 |
| 13 | W01-C01D3C | Communications -> Telephone and data transmission systems -> Telephony -> Subscriber equipment -> Cordless, mobile radio telephone -> Mobile radio telephone -> Portable; hand-held | 182 |
| 14 | T01-S03 | Computing And Control -> Digital computers -> Software content -> Claimed software products | 175 |
| 15 | U14-A03H | Semiconductors And Electronic Circuitry -> Memories, film and hybrid circuits -> Digital static stores -> Memories using electric elements -> Programmable conductor RAM (PCRAM) | 175 |

### 3.专利申请国家/地区分布

专利最早优先权国家/地区在一定程度上反应技术的来源地，美国是 3D 存储技术专利产出最多的国家，占比 45.2%；其次日本、韩国也是该领域技术产出较多的国家，分别占 20.9%和 17.5%；中国专利产出排名第四。

专利公开国家/地区在一定程度上反映的是技术的市场保护分布情况，从图 3.1 可以看出美国是全球 3D 存储技术方面的专利申请人最重视的，占比 38%；日本、中国、韩国分别排名第二、第三、第四，分别占 14%、12%和 11%；国际申请排名第五，这在一定程度上反映专利的国际布局程度；韩国、欧洲专利、台湾、德国也具有相对比重的市场份额。

通过专利最早优先地和受理地的对比发现，美国在最早优先权国家/地区的比例图中占比 45.2%，而在公开国家/地区的比例图中占比 38%，比例下降，说明在美国 3D 存储技术流出多于技术产出。而中国则恰恰相反，技术流入多于技术产出，可以看出，中国是国际上非常重视的市场之一。且国际申请所在比例提高，说明该项技术的地位非常重要，受重视程度高。

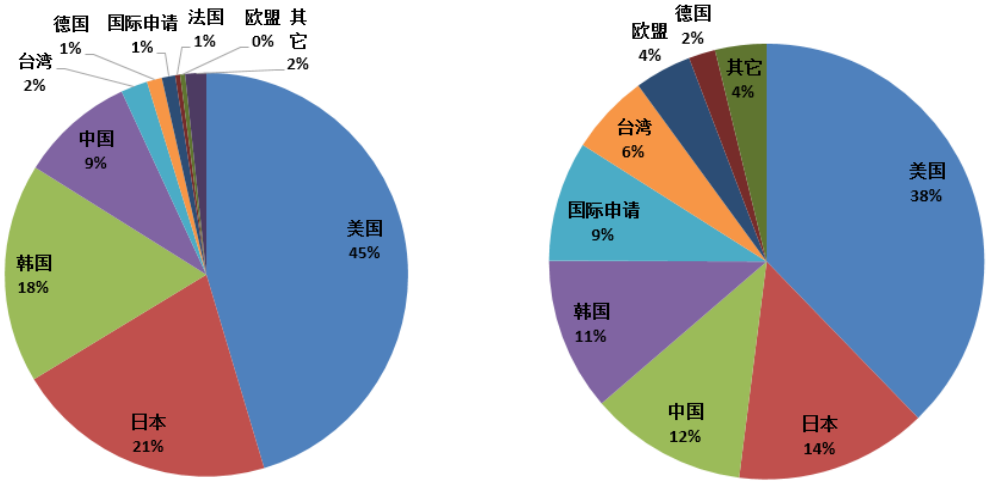



**图 3.1 3D 存储技术专利最早优先国家/地区、公开国家/地区对比**

## 4 专利申请人分析

### 4.1 主要申请人专利数分析

主要申请人分析主要是分析 3D 存储技术领域专利申请人的专利产出数量，从而遴选出主要申请人，作为后续多维组合分析、评价的基础，通过对清洗后的专利家族的专利申请人分析，可以了解在 3D 存储技术领域的主要研发机构。

按照专利家族数量进行统计分析，得出该领域排名前 15 名的机构如图 4.1 所示。

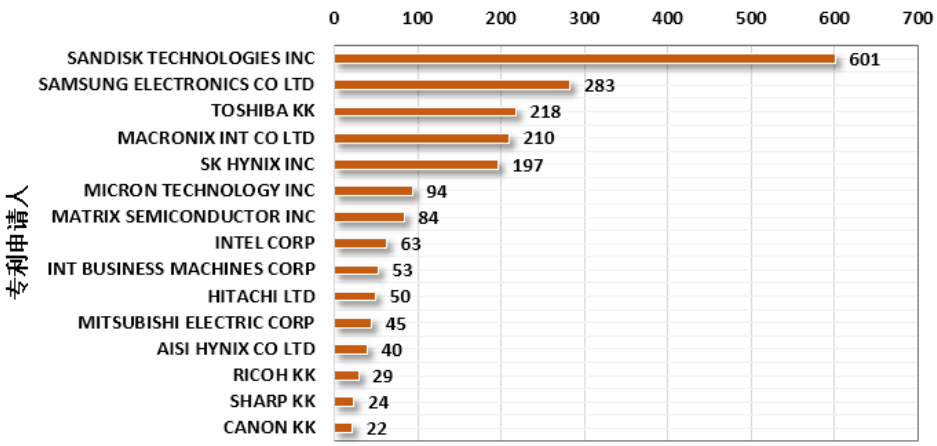



**图 4.1 3D 存储技术专利主要申请人**

SANDISK 公司拥有专利技术 601 个位列第一，占总量的 16.9%。专利数量排名第二的三星（SAMSUNG ELECTRONICS CO LTD）拥有专利技术 283 个，占总量的 8%。排名第三的东芝（TOSHIBA KK）拥有专利技术 218 个，占总量的 6.1%。排名前 15 的研究机构共有专利 2013 个，占总量的 56.6%。以上数据显示该技术在几个大的机构中比较集中，其技术有一定的集中性。

### 4.2 主要申请人时间趋势

分析 3D 存储技术主要申请人的历年专利数量的趋势，从而了解主要申请人投入 3D 存储技术的动态，深入了解申请人各年间的专利布局态势，观察 3D 存储技术的新秀或是退出等信息。

图 4.2 显示了 3D 存储技术的前 15 名专利权人历年专利的增长趋势对比图。通过该图我们可以看出，INTEL、东芝（TOSHIBA KK）、日立（HITACHI）都属于在该领域研究比较早的机构。

该技术专利申请最多的 IBM 从 1959 年才开始申请专利，此后在该领域断断续续有少量申请，在 2011 年后申请量开始增加。

专利申请最多的 SANDISK 公司从 1998 年起开始申请专利，此后年申请量一直保持在前列，在 2010 年后更是增长迅速。

后起之秀中还包括三星（SAMSUNG ELECTRONICS CO LTD）和 MACRONIX 公司等。

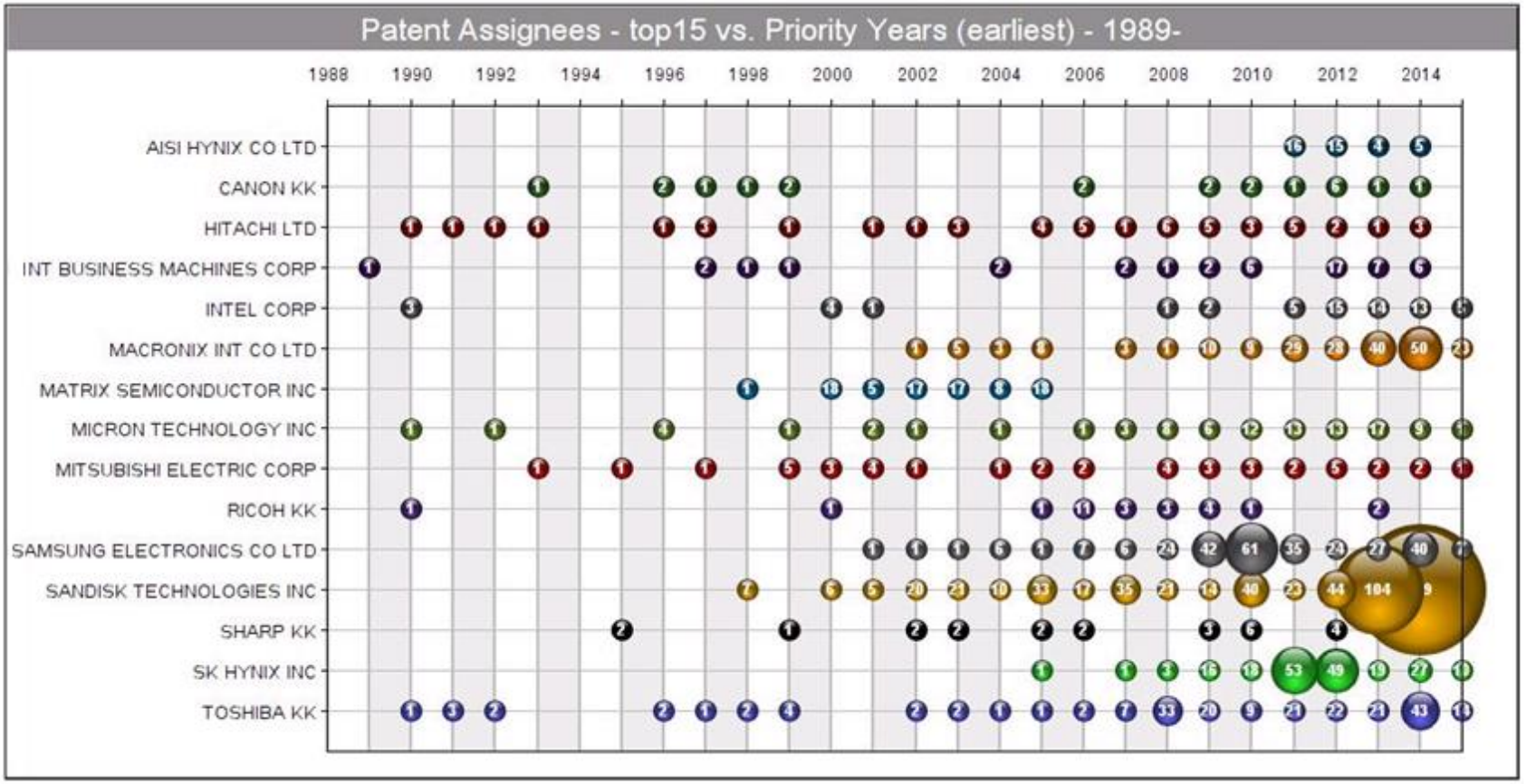



**图 4.2 3D 存储技术专利主要申请人申请时间趋势（a）**

| Reset | | Patent Assignees - top15 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | # Records | 20 | 19 | 15 | 21 | 18 | 20 | 30 | 36 | 41 | 47 | 64 | 50 | 95 | 85 | 65 | 100 | 126 | 127 | 190 | 190 | 302 | 318 | 384 | 418 | 489 | 177 |
| Priority Years (earliest) - 1989- | # Records | Show Values >= 1 and <= 149<br>Cooccurrence<br># of Records | 1989 | 1990 | 1991 | 1992 | 1993 | 1995 | 1996 | 1997 | 1998 | 1999 | 2000 | 2001 | 2002 | 2003 | 2004 | 2005 | 2006 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 | 2014 | 2015 |
| 1 | 40 | AISI HYNIX CO LTD | | | | | | | | | | | | | | | | | | | | | | 16 | 15 | 4 | 5 | |
| 2 | 22 | CANON KK | | | | | 1 | | 2 | 1 | 1 | 2 | | | | | | | 2 | | | 2 | 2 | 1 | 6 | 1 | 1 | |
| 3 | 50 | HITACHI LTD | | 1 | 1 | 1 | 1 | | 1 | 3 | | 1 | | 1 | 1 | 3 | | 4 | 5 | 1 | 6 | 5 | 3 | 5 | 2 | 1 | 3 | |
| 4 | 53 | INT BUSINESS MACHINES CORP | 1 | | | | | | | 2 | 1 | 1 | | | | | 2 | | | 2 | 1 | 2 | 6 | | 17 | 7 | 6 | |
| 5 | 63 | INTEL CORP | | 3 | | | | | | | | | 4 | 1 | | | | | | | 1 | 2 | | 5 | 15 | 14 | 13 | 5 |
| 6 | 210 | MACRONIX INT CO LTD | | | | | | | | | | | | | 1 | 5 | 3 | 8 | | 3 | 1 | 10 | 9 | 29 | 28 | 40 | 50 | 23 |
| 7 | 84 | MATRIX SEMICONDUCTOR INC | | | | | | | | | 1 | | 18 | 5 | 17 | 17 | 8 | 18 | | | | | | | | | | |
| 8 | 94 | MICRON TECHNOLOGY INC | | 1 | | 1 | | | 4 | | | 1 | | 2 | 1 | | 1 | | 1 | 3 | 8 | 6 | 12 | 13 | 13 | 17 | 9 | 1 |
| 9 | 45 | MITSUBISHI ELECTRIC CORP | | | | | 1 | 1 | | 1 | | 5 | 3 | 4 | 1 | | 1 | 2 | 2 | | 4 | 3 | 3 | 2 | 5 | 2 | 2 | 1 |
| 10 | 29 | RICOH KK | | 1 | | | | | | | | | 1 | | | | | 1 | 11 | 3 | 3 | 4 | 1 | | | 2 | | |
| 11 | 283 | SAMSUNG ELECTRONICS CO LTD | | | | | | | | | | | | 1 | 1 | 1 | 6 | 1 | 7 | 6 | 24 | 42 | 61 | 35 | 24 | 27 | 40 | 7 |
| 12 | 601 | SANDISK TECHNOLOGIES INC | | | | | | | | | 7 | | 6 | 5 | 20 | 21 | 10 | 33 | 17 | 35 | 21 | 14 | 40 | 23 | 44 | 104 | 149 | 52 |
| 13 | 24 | SHARP KK | | | | | | 2 | | | | 1 | | | 2 | 2 | | 2 | 2 | | | 3 | 6 | | 4 | | | |
| 14 | 197 | SK HYNIX INC | | | | | | | | | | | | | | | | 1 | | 1 | 3 | 16 | 18 | 53 | 49 | 19 | 27 | 10 |
| 15 | 218 | TOSHIBA KK | | 1 | 3 | 2 | | | 2 | 1 | 2 | 4 | | | 2 | 2 | 1 | 1 | 2 | 7 | 33 | 20 | 9 | 21 | 22 | 21 | 43 | 14 |

图 4.2 3D 存储技术专利主要申请人申请时间趋势（b）

### 4.3 主要申请人技术对比

主要申请人技术对比分析是对主要申请人投资技术领域进行对比分析，透析各申请人的技术布局，从而分析各申请人的技术发展策略。图 4.3 显示了 3D 存储技术的前 15 名专利权人主要技术对比图。

技术大头 SANDISK 公司研究最多的是 U14-A03B4（半导体和电子电路 - >存储器，电影和混合电路 - >数字静态存储 - >使用电气元件的存储器 - >带 FET 的存储器（NMOS，CMOS） - >存储器与电容器存储）、U11-C18B5（半导体和电子电路 - >半导体材料和加工 - >半导体器件制造的衬底处理 - >半导体器件的多步工艺。 - >制造除晶体管本身以外的电子器件的多步工艺 - >完全制造存储器）和 L04-E15（耐火材料，玻璃，陶瓷 - >半导体[通用] - >半导体器件 - >半导体存储器）。

以上这三个技术也是其他机构研究较多的方向。

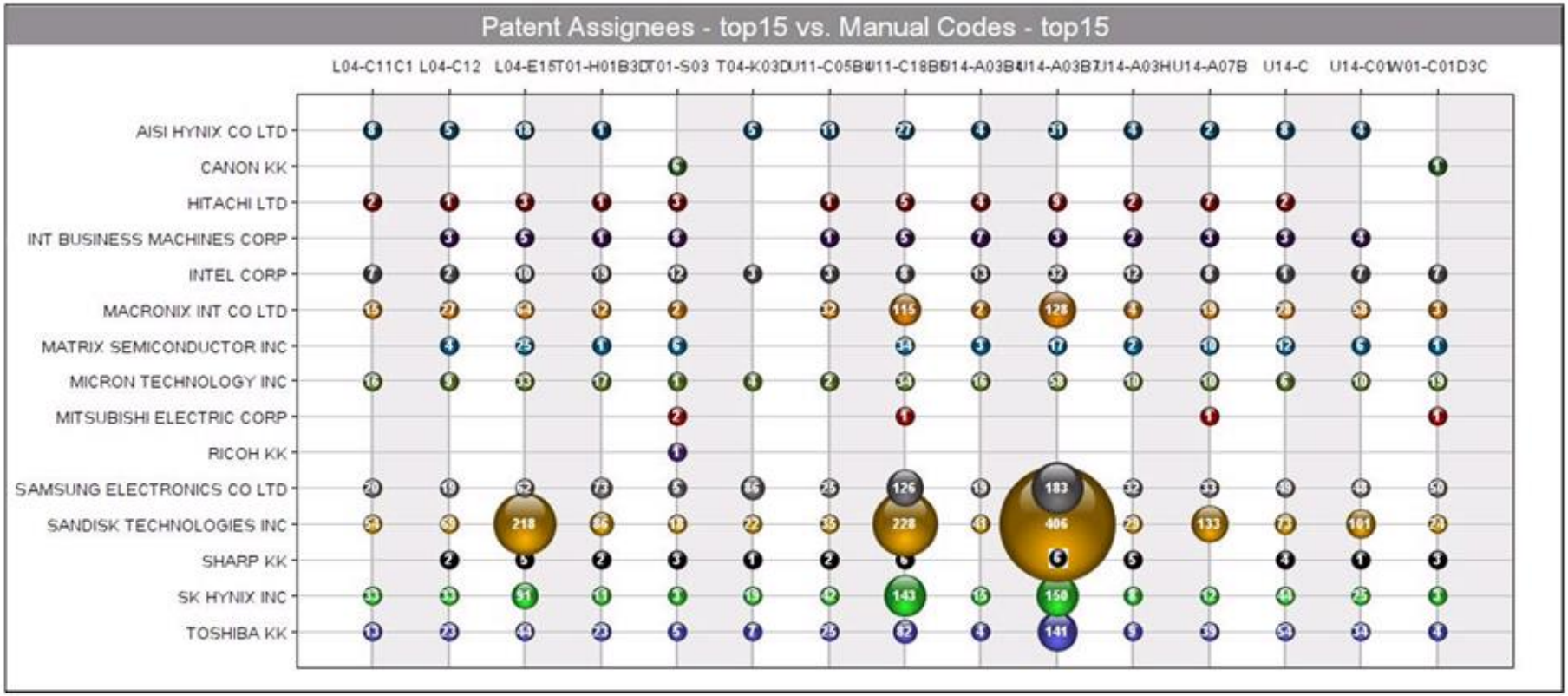



**图 4.3 3D 存储技术专利主要申请人技术对比**

### 4.4 主要申请人合作分析

申请人合作分析是对申请人合作申请专利的情况进行对比分析，借以发现申请人的知识产权共享模式、创新能力、被支持力度和技术流动信息等，如图4.4是排名前50的（拥有7个以上）技术申请人的合作网络图。

从图中看到，该技术有两个相对大的合作圈和 4 个小的合作伙伴关系。其余机构是独立产出专利。

第一个大的合作圈中，三星（SAMSUNG）、海力士（HYNIX）都与汉阳大学（UNIV HANGYANG）有合作。

第二个大的合作圈中，SANDISK 公司是合作核心，它与矩阵半导体（MATRIX SEMICONDUCTOR）合作专利较多，有 40 个合作专利产出，与东芝（TOSHIBA KK）有2件专利合作。

此外，INTEL、美光科技（MICRO TECHNOLOGY）、三菱电子（MITSUBISHI ELECTORIC）等公司的专利都是独立申请的，与其他机构没有合作。

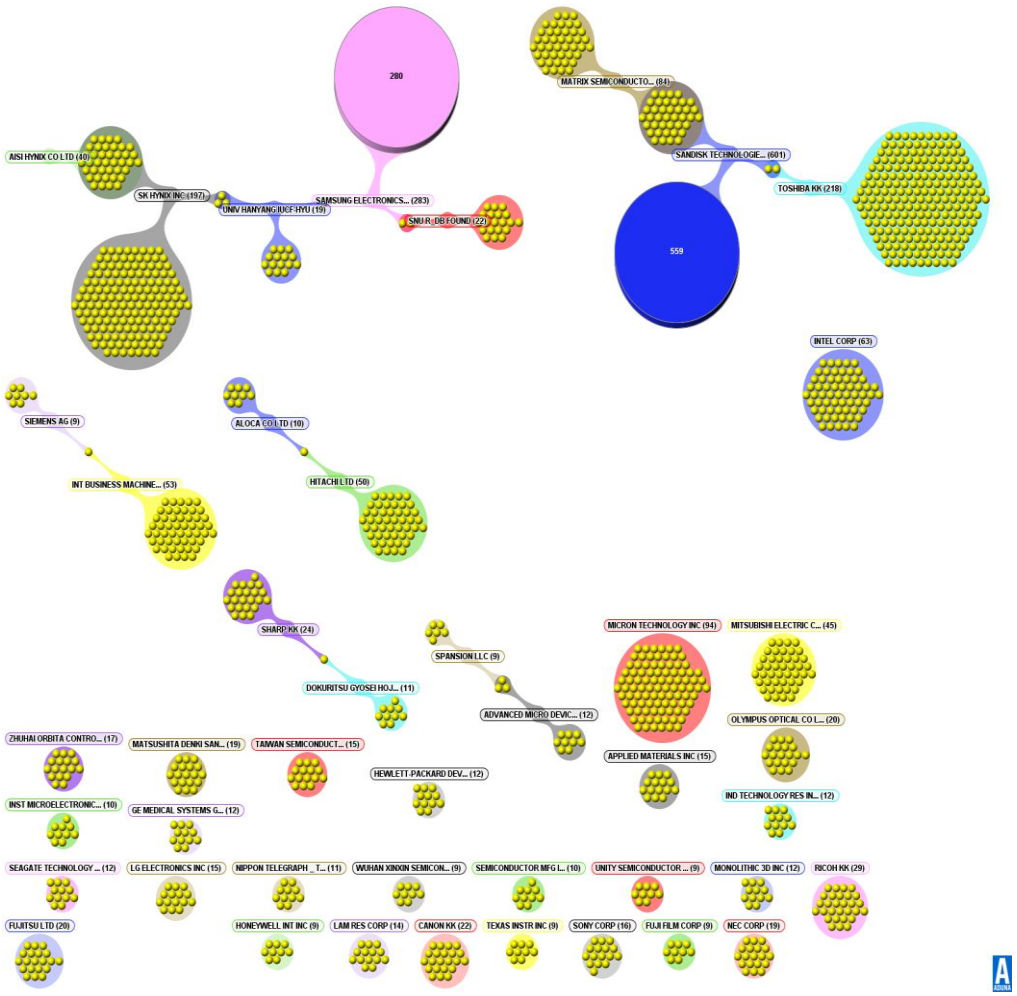



**图 4.4 3D 存储技术专利主要申请人合作**

## 4.5 主要申请人技术关联分析

基于技术分类等对申请人潜在关系进行分析，借以发现申请人的技术关联、潜在合作或竞争关系等，如图 4.5 所示的 3D 存储技术专利主要申请人技术关联图，该图排名前 50 的（拥有 7 个以上）3D 存储技术申请人的合作网络图。可以看到存在技术切合度非常高机构，其之间可能存在激烈竞争或密切的合作，而独立的点代表该机构技术的相对独立性。

从图中看出，该技术存在一个潜在的大的合作网络。

第一个潜在合作网络中，SANDISK 公司、旺宏（WANGHONG ELECTRONICS）、东芝（TOSHIBA KK）、海力士（HYNIX）、MACRONIX 之间都存着很多相似技术点。U14-C01（半导体和电子电路 - >记忆，电影和混合电路 - >关于记忆的一般布局方面; 互连布置 - >互连存储元件）和 U14-A07B

（半导体和电子电路 - >存储器，电影和混合电路 - >数字静态存储 - >读/写 - >编程，擦除电路）这两个技术点都是他们可能存在合作的技术点。

此外，INTEL 等公司的技术相对独立。

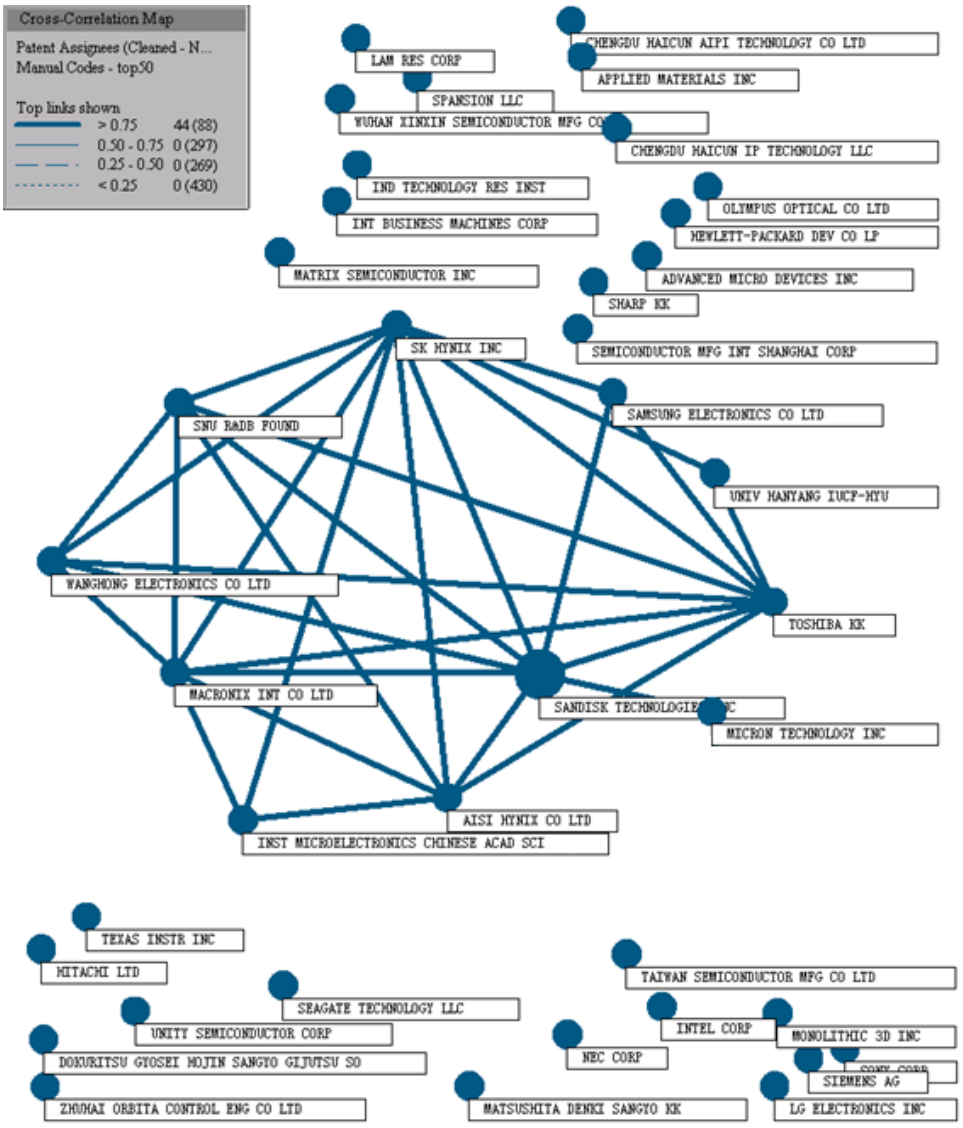



**图 4.5 3D 存储技术专利主要申请人技术关联**

检索分析：赵慧敏、王丽

# 3D 存储技术重点专利

说明：

将此前专利分析所用的数据集导入 Innography 专利数据库分析“3D 存储技术”专利，抽取专利结果中专利强度≥91 分（专利强度范围是 1-100 分，其中 80-100 分的专利代表核心专利），最早优先权年在 2011 年以后的，21 件专利作为重点专利进行推荐。

**1.专利号：** US8687399B2

**专利名称：** Integrated device e.g. three dimensional integrated circuit (3D IC) device, has several vias that are configured to provide connections between memory regions and logic circuit regions, through monocrystalline layer

**专利发明人：** LIM P，OR-BACH Z，SEKAR D C

**专 利 权 人 ：** SEKAR DEEPAK C，OR-BACH ZVI，LIM PAUL，MONOLITHIC 3D INC

**申请日：** 2011-10-02

**摘要：新颖性**-The device has an initial monocrystalline layer comprising logic circuit regions and a next monocrystalline layer comprising memory regions. The memory regions comprise transistors with drain and source that are horizontally oriented with respect to the next monocrystalline layer. Several vias with a radius of less than 100 nm, are configured to provide connections between memory regions and logic circuit regions, through next monocrystalline layer.

**用途**-Integrated device e.g. three dimensional integrated circuit (3D IC) device such as monolithic 3D dynamic RAM (DRAM) device.

**优势**-The 3D IC device with horizontal or horizontally oriented transistors, can be built at low temperatures. The 3D IC construction of partially preformed layers of transistors can provide a high density of layer to layer interconnect. The device can

provided small footprint with more functionality fits into a small space to extend Moore's Law and enable a new generation of tiny but powerful devices. The average wire length becomes much shorter, the improved speed of 3D ICs can be achieved. Since propagation delay can be proportional to the square of the wire length, the overall performance can be increased. The 3D ICs can consume low power by keeping a signal on-chip that reduces the power consumption by ten to a hundred times. Shorter wires can reduce power consumption by producing less parasitic capacitance, so that the less heat generation, extended battery life, and lower cost of operation can be achieved. The vertical dimension adds a higher order of connectivity and opens a world of new design possibilities. A large chip can be partitioned to be multiple smaller dies with 3D stacking to potentially improve the yield and reduce the fabrication cost. Heterogeneous integrationCircuit layers can be built with different processes, or even on different types of wafers to optimize the components to a much greater degree. The 3D integration can allow large numbers of vertical vias between the layers to allow construction of wide bandwidth buses between functional blocks in different layers. The arrangement can allow a bus much wider than the typical bits between the cache and processor. The wide buses can alleviate the memory wall problem.

**2.专利号：** US8891276B2

**专利名称：** Non-volatile memory device e.g. floating-gate-transistor-based flash memory, for use as e.g. secondary storage of e.g. electronic data in e.g. portable electronic device, has front-end-of-the-line amplifiers electrically coupled to lines

**专利发明人：** BATEMAN B，SIAU C H

**专 利 权 人 ：** SIAU CHANG HUA，BATEMAN BRUCE，UNITY SEMICONDUCTOR CORP

**申请日：** 2011-06-10

**摘要：新颖性**-The device has a set of back-end-of-the-line (BEOL) local bit lines

(LBLs) (106) selectively and electrically coupled with a set of front-end-of-the-line (FEOL) global bit lines (GBLs) (GBL0-GBLN). A set of BEOL discrete re-writable non-volatile two-terminal memory elements (104) is positioned between a cross-point of one of a set of BEOL word lines (WLs) (108) with one of the LBLs and each element directly and electrically connected in series with one of the WLs and one of the LBLs. A set of FEOL amplifiers i.e. sense amplifiers, is electrically coupled to the LBLs and the GBLs.

用途-Non-volatile memory device e.g. flash memory such as floating-gate-transistor-based flash memory, for use as a secondary storage and a long-term persistent storage of electronic data or firmware i.e. basic input-output operating system (BIOS), in an embedded application of a portable electronic device or battery-powered electronic device. Uses include but are not limited to embedded memory, solid state drive (SSD), hard disk drive (HDD) or cache memory, and for computer e.g. personal computer, tablet computer and notebook computer, cell phone, smart phone, personal digital assistant, digital audio player and digital camera.

优势-The device has a set of electrically conductive vias formed through an FEOL layer and a BEOL layer to electrically couple the WLs and the LBLs to a set of switching devices, the amplifiers, the GBLs and a supporting logic in an underlying FEOL semiconductor substrate or semiconductor epitaxial layer, thus allowing the memory elements to be tightly integrated and vertically stacked in multiple memory layers, and hence achieving a high-storage density, high-capacity, three-dimensional memory array that avoids scaling limits of the device, an erase operation prior to a write operation and the need for multiple two-terminals to access a memory cell for a data operation.

**3.专利号：** HK1200259A0

**专利名称：** Three-dimensional (3D) stacked multichip package e.g. 3D dynamic

random access memory (DRAM) for mobile consumer electronics, has voltage regulator to convert initial to final internal supply voltage for master chip and slave chips

专利发明人： BEOM P H，PYEON H，PYEON H B

申请日： 2015-01-21

摘要：新颖性-The 3D stacked multichip package has a master chip and slave chips staked with and electrically coupled to master chip, and an internal supply voltage generator located on master chip and generates initial internal supply voltage to be sent to one or more slave chips using chip interconnects. A voltage regulator is located on each of the master chip and at least one of slave chips. The voltage regulator converts the initial internal supply voltage to final internal supply voltage for use in each of master chip and slave chips.

用途-3D stacked multichip package such as 3D DRAM for use in mobile consumer electronics. Uses include but not limited to cellular telephones, notebook computers, personal digital assistants (PDAs), media player 3 (MP3) players.

优势-Reduces the possibility of unexpected back bias voltage (VBB) level changes by providing quick VBB level recovery. Allows effective power level regulation on slave chips, even if the number of stacked slave chips increases by providing a voltage regulator that converts the initial internal supply voltage to final internal supply voltage for use on each of the master chip and at least one of the slave chips. Reduces the current consumption in semiconductor memory device by using VBB. Minimizes the retention current by turning on or off the fast cycle circuit when needed based on such detection. Reduces cell access transistor junction leakage by improving the refresh characteristics of the DRAM cell. Eliminates the noise issues since the second stage converter can be placed on each of the chips in multichip package.

**4.专利号：** JP2016508670A

专利名称： Three-dimensional vertical memory, has barrier film whose dimension corresponds to dimension of charge storage structure, where dimension of charge storage structure is equal to or greater than dimension of barrier film

专利发明人： BRIGHTEN J，FAN D F，HOPKINS J，JAYANTI S，MAURI A G，SIMSEK E F A，SIMSEK-EGE F A

申请日： 2014-01-23

摘要：新颖性-The memory (500) has a stack of memory cells in which a cell of the stack comprises a control gate (CG). A barrier film (104) is formed between a charge storage structure i.e. floating fate (FG) (102), and the control gate, where the barrier film has a dimension corresponding to the dimension of the charge storage structure. The dimension of the charge storage structure is equal to or greater than the dimension of the barrier film, where the film has a face and the charge storage structure has a face opposing the face of the barrier film and parallel to the face of the barrier film.

用途-Three-dimensional (3D) vertical memory.

优势-The memory provides a benefit of reducing incidents of erase saturation in memory cells so as to provide improved alignment between the FG and CG due to eliminate a source of variation in manufacturing such as the nitride wrapping in irregular shapes around corners in a CG recess or a tier oxide, so that FG shape and size can be defined by a plasma enhanced chemical vapor deposition process, which can be uniform stack deposition process.

**5.**专利号： US8947944B2

专利名称： Programming method for non-volatile storage for semiconductor memory for electronic devices involves programming set of user data to set of non-volatile storage components based on comparing memory data to set of user data

专利发明人： BALAKRISHNAN G，LIU T，ZHANG H

专利权人： SANDISK 3D LLC

申请日： 2013-03-15

摘要：新颖性-The programming method involves receiving a request to write a set of user data to a non-volatile memory array, and identifying a set of non-volatile storage components from the non-volatile memory array for writing the set of user data. The memory is read from the set of non-volatile storage components prior to writing the set of user data, and the memory data is compared to the set of user data. The set of user data is programmed to the set of non-volatile storage components based on c comparing the memory data to the set of user data.

用途-Programming method for non-volatile storage for semiconductor memory for electronic devices. Uses include but are not limited to cellular telephones, digital cameras, personal digital assistants (PDAs), mobile computing device, and non-mobile computing devices.

优势-Reduces the number of latches for storing skip information since the skip evaluations are performed during read before write operations while others are deferred to the write operation. Reduces the resistance and capacitance in data lines between selected memory cells and sense amplifiers by using a sectional data line scheme.

**6.**专利号： US8956968B2

专利名称： Method of fabricating peripheral area of three dimensional stacked non-volatile memory device e.g. NOT-AND (NAND) stackable memory device, involves etching slits in cell area and interconnect area

专利发明人： HIGASHITANI M，RABKIN P

专 利 权 人 ： HIGASHITANI MASAAKI，RABKIN PETER，SANDISK TECHNOLOGIES INC

申请日： 2011-11-21

摘要：新颖性-The method involves forming stack of alternating undoped/lightly doped and heavily doped polysilicon layers on a substrate (190). Slits are etched in a

cell area (CA5,CA6) and an interconnect area (IA3). A dielectric material is deposited in recesses. Silicidation is performed in portions of heavily doped polysilicon layers in the cell area to form metal silicide layers, and portions of heavily doped and undoped/lightly doped polysilicon layers in the interconnect area to form one metal silicide interconnect.

用途-Method of fabricating peripheral area of three dimensional stacked non-volatile memory device such as NOT-AND (NAND) stackable memory device and resistive RAM memory device.

优势-Since the plane can be separated into sub arrays, the greater flexibility can be provided to the non-volatile memory device. Since the contact structure can be placed in convenient location on interconnect, and the contact resistance can be controlled, the contact yield can be improved.

**7.专利号：** CN103985697B

**专利名称：** Method for forming interconnect contact structure of controlling circuit e.g. read circuit , involves defining inside perimeter on semiconductor pads, and forming inside perimeter lower resistance regions in semiconductor pad

**专利发明人：** CHEN C，CHEN C P，CHEN Z，HSIAO Y，HSIAO Y H，SHI Y，SHIH Y，SHIH Y H，XIAO Y

**申请日：** 2013-06-25

**摘要：新颖性**-The method involves forming a stack of semiconductor pads (412A-415A) which are coupled active layers of circuit. Outside perimeter lower resistance regions are formed along outside perimeters of semiconductor pads. Openings (402C1,403C1) are formed in the stack of semiconductor pads. Each opening is configured to expose landing area on corresponding semiconductor pad, and inside perimeter is defined on semiconductor pads overlying corresponding semiconductor pad. Inside perimeter lower resistance regions are formed along inside perimeters of the

semiconductor pads.

用途-Method for forming interconnect contact structure of controlling circuit such as read circuit or decoding circuit for high density three-dimensional (3D) semiconductor device such as memory device.

优势-The opening can efficiently define inside perimeter on the pad. Inside perimeter lower resistance regions is located along inside perimeters of the pads in the stack, and electrical resistance in the inside perimeter lower resistance regions relative to the inner regions is decreased. The contact region on each semiconductor pad is characterized by high conductance for high speed operations. The inside perimeter lower resistance regions are provided with implanted impurities provided at normal with respect to substrate surface to decrease the resistance of the landing area relative to the interior regions.

**8.专利号：** US9023719B2

**专利名称：** Method for fabricating memory device, involves forming protrusion that has semiconductor material in opening to contact substrate and has top surface parallel to major surface of substrate

**专利发明人：** ALSMEIER J，LEE Y，MAKALA R S，PACHAMUTHU J

**专利权人：** SANDISK TECHNOLOGIES INC，SANDISK TECHNOLOGIES INC

**申请日：** 2014-03-25

**摘要：新颖性**-The method involves etching select gate electrode (304) to first gate insulating layer (303) through a mask to form an opening and over the bottom surface (317) of opening to expose the substrate (100) when sacrificial spacer layer protects second gate insulating layer (306). The sacrificial spacer layer is removed to expose second gate insulating layer over the sidewalls (315) of opening. A protrusion with a semiconductor material made of epitaxially-gown silicon is formed in an opening

to contact the substrate and has a top surface parallel to major surface of substrate.

用途-Method for fabricating memory device e.g. monolithic three-dimensional NOT-AND (NAND) string memory device.

优势-The sacrificial spacer layer protects the gate insulating layer from process damaging when the bottom surface of the opening is etched to expose the surface of the semiconductor substrate thus the vertical portions of the gate insulating layer are not subjected to the etching damage and thus having a higher quality.

**9.专利号：** US9035940B2

**专利名称：** Apparatus e.g. portable electronic device, for determining viewing angle of pseudo three-dimensional display by user, has memory comprising computer program code ensuring graphical tilting of onscreen area of display

**专利发明人：** RONKAINEN S，RONKAINEN S P

**专利权人：** RONKAINEN SAMI PEKKA，NOKIA CORP

**申请日：** 2011-03-08

**摘要：新颖性**-The apparatus has a memory comprising a computer program code detecting physical tilting of a display, where the display provides user visual output associated with a running application and the running application has a virtual keyboard (290) provided on the display. The program code ensures graphical tilting of an onscreen area of the display to reveal a previously off-screen area of the user visual output associated with the running application in response to detection of the physical tilting of the display.

用途-Apparatus e.g. portable electronic device, portable radiotelephone device and personal digital assistant (PDA) device (all claimed), for determining a viewing angle of a display i.e. pseudo three-dimensional display, by a user.

优势-The apparatus comprises a set of different off-screen areas in different directions from the onscreen area so as to allow different tilting actions to reveal off-

screen areas, thus providing information regarding various background processes. The apparatus provides additional information corresponding to the previous off-screen area in response to tilting, so that the user can see what is above and below a current row of multi-line text field, thus enabling the user to determine which row is selected.

**10.专利号：** US9076535B2

**专 利 名 称 ：** High density thin film transistor-based memory e.g. three-dimensional flash memory, has circuitry coupled to word lines and to first and second supply lines to bias first and second supply lines with different bias conditions

**专利发明人：** HU C，SHIH Y，YEH T

**专利权人：** MACRONIX INT CO LTD

**申请日：** 2013-07-08

**摘要：新颖性**-The memory has a series arrangement coupled to a bit line through a first end by a first switch and coupled to a first terminal of a diode through a second end by a second switch. First and second supply lines are connected to the first terminal and a second terminal of the diode. Word lines (125-1 WL-125-N WL) are coupled to corresponding memory cells. A circuitry is coupled to the word lines and to first and second supply lines to bias the first and second supply lines with different bias conditions. The circuitry applies an erase bias arrangement that induces hole tunneling.

**用途**-High density thin film transistor-based memory e.g. three-dimensional (3D) flash memory and 3D finger VG NAND memory.

**优势**-The memory biases unselected memory cells during program operation so as to prevent or reduce disturbance of stored charge. The diode is biased during read, so that no voltage drop is formed across the diode, thus preserving overhead in bias voltages for high-speed and efficient read. The memory allows a memory structure to provide improved erase performance in the memory.

**11.专利号：** US9117668B2

**专利名称：** Method for forming smooth silicon film on semiconductor substrate, involves forming plasma to deposit smooth silicon film on semiconductor substrate under specific conditions

**专利发明人：** FOX K，HOLLISTER A，REDDY S，SRIRAM M，WOMACK J

**专利权人：** HOLLISTER ALICE，REDDY SIRISH，FOX KEITH，SRIRAM MANDYAM，WOMACK JOE，NOVELLUS SYSTEMS INC

**申请日：** 2012-05-23

**摘要：新颖性**-The method involves supplying a process gas to the in plasma-enhanced chemical vapor deposition (PECVD) apparatus. The process gas comprises a silicon-containing precursor, argon, and a second gas such as helium and hydrogen. A plasma is formed to deposit a smooth silicon film on the semiconductor substrate under conditions of having roughness (Ra) of less than about 7 Å , and a compressive stress of less than about 500 MPa in absolute value.

**用途**-Method for forming smooth silicon film on semiconductor substrate used during manufacture of three-dimensional memory device such as NOT-AND (NAND) memory device.

**优势**-The smooth film with low compressive stress and low roughness can be deposited on substrate.

**12.专利号：** US9165933B2

**专利名称：** Non-volatile storage system has vertically oriented thin film transistor (TFT) select devices that are comprised of two sources/drains electrically coupled to global bit lines and vertically oriented bit lines respectively

**专利发明人：** HIGASHITANI M，RABKIN P

**专利权人：** SANDISK 3D LLC

申请日： 2013-03-07

摘要：新颖性-The non-volatile storage system has a three dimensional memory array of memory cells that is positioned above a substrate. The word lines are coupled to memory cells. The vertically oriented bit lines are coupled to memory cells. The vertically oriented thin film transistor (TFT) select devices (504) are coupled between vertically oriented bit lines and global bit lines (526). The select devices are comprised of a gate dielectric between a gate (507) and a main portion, and two sources/drains electrically coupled to global bit lines and vertically oriented bit lines respectively.

用途-Non-volatile storage system.

优势-The vertically asymmetrical TFT is made shorter than vertically symmetrical TFT without sacrificing leakage current or breakdown voltage. The aspect ratio of the non-volatile storage system is improved. The reliability of the memory element is improved. The risk of disturbing the states of unaddressed memory elements and the levels of leakage current passing through unaddressed elements are significantly reduced. The total number of processing steps needed to form integrated circuits with the three-dimensional array is reduced. The total magnitude of parasitic currents is managed without the use of diodes.

**13.**专利号： US9219005B2

专利名称： Multilayer/three-dimensional integrated circuit based system i.e. multi-metal layer three-dimensional integrated circuit semiconductor device, for use in mobile phone, has mono-crystallized semiconductor layer transferred from wafer

专利发明人： CRONQUIST B，OR-BACH Z，SEKAR D，WURMAN Z

专利权人： MONOLITHIC 3D INC

申请日： 2012-09-20

摘要：新颖性-The system has a semiconductor layer comprising alignment marks and transistors interconnected by a metal layer comprising aluminum or copper.

A mono-crystallized semiconductor layer e.g. N-type transistor, comprises horizontally oriented transistors and overlies the metal layer, where the metal layer is placed in between the semiconductor layers. The mono-crystallized semiconductor layer is transferred from a reusable donor wafer. Connection paths are provided between the transistors. A heat spreader is placed between the semiconductor layers.

用途-Multilayer/three-dimensional (3D) integrated circuit (IC) based system i.e. multi-metal layer 3D IC semiconductor device, for use in a mobile electronic device or system i.e. mobile phone (all claimed). Can also be used in a smart phone, tablet computer and a camera.

优势-The system allows effective operation of a mobile device that is small in size and volume and inexpensive, enhances self-repair technology and increases memory density and performance. The system utilizes an antifuse (AF)-based field programmable gate array (FPGA) with a programming circuitry so as to replace an AF layer. The system reduces impact of vertical connectivity on density of a functional circuitry. The system allows two layers of AFs to increase programmability or flexibility for the FPGA. The system allows majority-of-three (MAJ3) gates to effectively function as a single event transient (SET) filter for high reliability or radiation tolerant applications.

**14.专利号：** US20160078928A1

**专利名称：** High-density not and (HiNAND) flash memory array has group-divided devices in which row is controlled by first control signals, and segment-divided devices in which row is controlled by second control signals

**专利发明人：** LEE P W

**专利权人：** LEE PETER WUNG

**申请日：** 2015-11-29

**摘要：新颖性**-The HiNAND flash memory array has array of NAND memory

cells arranged either as columns in a first direction or rows in second direction. The column includes multiple strings having all transistors connected in series to couple with a global bit line (GBL) extended through a full length of column, and the row includes one page having all transistor gates being commonly coupled to a word line (WL). The row of group-divided devices is controlled by one of first signals, and the row of segment-divided devices is controlled by second control signals.

用途-HiNAND flash memory array.

优势-Allows the concurrent charge-sharing, precharge, and discharge in read and verify operations to be performed with faster speed and less-power consumption. Achieves high-yield and superior programming of 2D and three-dimensional (3D) NAND flash memory by using multiple schemes for program and program-inhibit operations including the enhanced self-boosting program-inhibit (ESBPI) and direct non-SBPI.

**15.专利号：** US9230974B1

专利名称： Method for making monolithic three-dimensional NAND memory string, involves oxidizing portion of metal material of control gates adjacent to side surfaces of control gates, and etching rear side opening using wet chemical etch

专利发明人： ALSMEIER J，CHIEN H，MATAMIS G，PACHAMUTHU J

专利权人： SANDISK TECHNOLOGIES INC，SANDISK TECHNOLOGIES INC

申请日： 2014-08-26

摘要：新颖性-The method involves forming control gates (3) comprising a metal material over a blocking dielectric in rear side recesses through a rear side opening (84), where each control gate comprises first side surface and second side surface opposite to the first side surface. A portion (535) of a metal material of the control gates is oxidized adjacent to the second side surfaces of the control gates. The rear side opening

is etched using a wet chemical etch to remove the blocking dielectric from the sidewalls and a bottom surface of the rear side opening.

用途-Method for making a monolithic three-dimensional NAND memory string.

优势-The method enables selectively removing certain materials of the blocking dielectric from areas of the stack without causing unwanted damage to a device. The method enables allowing oxidized portions to avoid metal migration from the blocking dielectric, which can potentially cause word line-to-word line shorts in a completed NAND string.

**16.专利号：** US9230979B1

**专利名称：** Monolithic three-dimensional memory device i.e. monolithic three-dimensional vertical NAND strings device, has semiconductor channel whose portion is extended through opening in dielectric layer and in contact with semiconductor material

**专利发明人：** ALSMEIER J，PACHAMUTHU J

**专利权人：** SANDISK TECHNOLOGIES INC，SANDISK TECHNOLOGIES INC

**申请日：** 2014-10-31

**摘要：新颖性**-The device has alternating layers whose stack comprises insulator layers (32) and conductive layers and located over a high-k dielectric material layer (31). A memory opening is extended through the stack. A memory film and a semiconductor channel are located within the memory opening, where the memory film is in contact with a top surface of the high-k dielectric material layer. A portion of the semiconductor channel is extended through the opening in the high-k dielectric material layer and in contact with a semiconductor material (10) within a substrate (9).

用 途-Monolithic three-dimensional memory device i.e. monolithic three-dimensional vertical NAND strings device.

优势-The device minimizes vertical recessing of a semiconductor surface below a cavity by selecting an etch chemistry that is selective to the material of the semiconductor material layer during the etching of a dielectric pad layer.

**17.专利号：** US9252151B2

专利名称： Manufacturing method for monolithic three dimensional not and (NAND) string involves oxidizing regions of charge storage layer adjacent rear side recesses to form discrete charge storage regions

专利发明人： CHIEN H，KAI J K，LEE D，MATAMIS G，PURAYATH V R，ZHANG Y

专利权人： SANDISK TECHNOLOGIES INC

申请日： 2014-02-18

摘要：新颖性-The manufacturing method involves forming a semiconductor or metal charge storage layer over the blocking dielectric (7), and forming a tunnel dielectric layer over the charge storage layer. A semiconductor channel (1) is formed over the tunnel dielectric layer, and a stack is etched to form a rear side opening in the stack. A portion of the first material layers and portion of the blocking dielectric layer are removed through the rear side opening, and the regions of charge storage layer are oxidized to form discrete charge storage regions (9).

用途-Manufacturing method for monolithic three dimensional NAND string (claimed).

优势-Provides a higher density of memory cells per unit area of silicon or other semiconductor material since the array allows vertical scaling of NAND devices. Allows the rear side recess with a high aspect ratio to be fabricated without excess thinning of the second layers. Reduces the polysilicon grain size which results in reduced voids.

**18.专利号：** US9275302B1

**专利名称：** System for detecting object within environment, has object determination module which is maintained in memory to determine final contour of object based on determination such that disparity is less than or equal to threshold

**专利发明人：** CHANG S H，CRUMP E D，YAN R

**专利权人：** YAN RENWEI，CHANG SAMUEL HENRY，CRUMP EDWARD DIETZ，AMAZON TECH INC

**申请日：** 2012-08-24

**摘要：新颖性**-The system has processor (116) which is provided to compare the first contour of the object from the three dimensional (3D) image to the second contour of the object from the two dimensional (2D) image. A disparity is determined between the first contour of the object from the 3D image and the second contour of the object from the 2D image. An object determination module is maintained in the memory to determine a final contour of the object based on a determination such that the disparity is less than or equal to a threshold.

**用途**-System for detecting object within environment using camera.

**优势**-The object determination module is maintained in the memory to determine a final contour of the object based on a determination such that the disparity is less than or equal to a threshold. Thus, the object can be accurately detected within the environment using camera and the time for detecting the object within the environment is reduced.

**19.专利号：** US9293205B2

**专利名称：** 3D HiNAND2 memory array for performing e.g. continuous read operation in dispersed blocks in plane, has row of precharge devices for connecting broken-local bit lines to common dedicated metal power line for sub-segment of segment of group

专利发明人： LEE P W

专利权人： APLUS FLASH TECHNOLOGY INC

申请日： 2014-09-15

摘要：新颖性-The array has a row of precharge devices for connecting broken-local bit lines (LBL) to a common dedicated metal power line for a sub-segment of a group segment, where the metal power line is associated with the broken-LBLs per sub-segment to perform multi-task concurrent/pipeline operations of multiple-word line (WL) in dispersed blocks flexibly based on the sub-segment and of multiple-WL read, erase-verify, and program-verify in dispersed blocks flexibly based on the segment in a plane or multiple planes with multiple-fold performance improvement.

用 途-3D HiNAND2 memory array for performing continuous and concurrent/pipeline multiple-WL program, read, erase, erase-verify and program-verify operations in dispersed blocks in same or multiple NAND planes. Can also be used for a 2D NAND memory array.

优势-The array comprises a memory architecture and decoder design to allow performance of multi-task flexible concurrent/pipeline operations with the multiple-WL or partial-WL Program operation in the sub-Segment-based dispersed Blocks and the multiple-WL or partial-WL read, erase-verify and program-verify operations in the Segment-based dispersed blocks with enhanced array flexibility and multiple-fold performance improvements in the same or different planes of the HiNAND2 flash memory, thus reducing power consumption.

**20.**专利号： US20160111436A1

专 利 名 称： Multilevel structure for three-dimensional NAND device, has epitaxial semiconductor pedestal fixed in epitaxial alignment with crystalline substrate semiconductor material in substrate and formed with top surface within horizontal plane

专 利 发 明 人： DING H，FUJINO S，FUKANO Y，MINAGAWA S，

YAEGASHI M

专利权人： SANDISK TECHNOLOGIES INC

申请日： 2014-10-17

摘要：新颖性-The structure has a stack of alternating sets of electrically conductive layers and insulator layers (32) located over a semiconductor substrate (8). An array of memory stack structures (55) is located within memory openings through the stack. An epitaxial semiconductor pedestal (110) is fixed in epitaxial alignment with a single crystalline substrate semiconductor material in the semiconductor substrate and formed with a top surface within a horizontal plane located above a set of electrically conductive layers within the stack.

用途-Multilevel structure for a three-dimensional NAND device (claimed) i.e. three-dimensional vertical NAND device.

优势-The structure comprises a memory film layer formed as a contiguous film stack that provides functionality of charge storage in absence of an external electrical bias voltage, while enabling charge transfer in the presence of a suitable external electrical bias voltage. The structure allows a retro-stepped dielectric material portion and a memory stack structures to provide structural support while backside recesses are present within volumes previously occupied by the sacrificial material layers, thus providing reliable contact through the structure for peripheral devices.

**21.**专利号： TWI546898B

专利名称： Memory device i.e. multi-level three-dimensional stacked integrated circuit memory device, has memory elements arranged in interface regions to establish array of memory cells accessible through active strips and conductive lines

专利发明人： CHEN S，CHEN S H

专利权人： MACRONIX INT CO LTD

申请日： 2014-05-02

**摘要：新颖性**-The device has a set of stacks formed with alternating active strips and insulating strips, where the insulating strips comprise effective oxide thicknesses (EOT). A set of conductive lines is arranged orthogonally over the set of stacks, where the conductive lines define a multi-layer array of interface regions at cross-points between side surfaces of the active strips in the stacks and the conductive lines. Memory elements are arranged in the interface regions to establish a three-dimensional (3D) array of memory cells accessible through a set of active strips and the conductive lines.

**用途**-Memory device i.e. multi-level 3D stacked integrated circuit memory device.

**优势**-The device allows the EOT to provide a larger process window for better aligning landing positions, thus reducing chance for landing errors to occur, and hence achieving a balanced approach between reducing interference between adjacent active layers for operation and controlling aspect ratio of vias in the stack for manufacturing.

整理：赵慧敏

政策计划

# 国务院关于印发北京加强全国科技创新中心建设总体方案的通知（国发〔2016〕52号）

为深入贯彻党的十八大和十八届三中、四中、五中全会精神，全面落实全国科技创新大会精神和《国家创新驱动发展战略纲要》、《京津冀协同发展规划纲要》部署要求，坚持和强化北京全国科技创新中心地位，在创新驱动发展战略实施和京津冀协同发展中发挥引领示范和核心支撑作用，制定本方案。

一、总体思路

按照党中央、国务院决策部署，坚持创新、协调、绿色、开放、共享发展理念，根据京津冀协同发展的总体要求，以中关村国家自主创新示范区为主要载体，以构建科技创新为核心的全面创新体系为强大支撑，着力增强原始创新能力，打造全球原始创新策源地；着力推动科技和经济结合，建设创新驱动发展先行区；着力构建区域协同创新共同体，支撑引领京津冀协同发展等国家战略实施；着力加强科技创新合作，形成全球开放创新核心区；着力深化改革，进一步突破体制机制障碍，优化创新创业生态。塑造更多依靠创新驱动、更多发挥先发优势的引领型发展，持续创造新的经济增长点，为把我国建设成为世界科技强国、实现“两个一百年”奋斗目标提供强大动力。

二、发展目标

按照“三步走”方针，不断加强北京全国科技创新中心建设，使北京成为全球科技创新引领者、高端经济增长极、创新人才首选地、文化创新先行区和生态建设示范城。

第一步，到2017年，科技创新动力、活力和能力明显增强，科技创新质量实现新跨越，开放创新、创新创业生态引领全国，北京全国科技创新中心建设初具规模。

第二步，到2020年，北京全国科技创新中心的核心功能进一步强化，科技创新体系更加完善，科技创新能力引领全国，形成全国高端引领型产业研发集聚区、创新驱动发展示范区和京津冀协同创新共同体的核心支撑区，成为具有

全球影响力的科技创新中心，支撑我国进入创新型国家行列。

第三步，到 2030 年，北京全国科技创新中心的核心功能更加优化，成为全球创新网络的重要力量，成为引领世界创新的新引擎，为我国跻身创新型国家前列提供有力支撑。

三、重点任务

充分发挥北京高端人才集聚、科技基础雄厚的创新优势，统筹利用好各方面科技创新资源，积极协同央地科技资源，深入实施军民融合发展战略，完善创新体系，优化提升首都创新核心功能，突出重点，在基础研究、原始创新和国家急需的领域取得突破，全面服务国家重大战略实施。

（一）强化原始创新，打造世界知名科学中心。

加大科研基础设施建设力度，超前部署应用基础及国际前沿技术研究，加强基础研究人才队伍培养，建设一批国际一流研究型大学和科研院所，形成领跑世界的原始创新策源地，将北京打造为世界知名科学中心。

1.推进三大科技城建设。

统筹规划建设中关村科学城、怀柔科学城和未来科技城，建立与国际接轨的管理运行新机制，推动央地科技资源融合创新发展。加强北京市与中央有关部门会商合作，优化中央科技资源在京布局，发挥高等学校、科研院所和大型骨干企业的研发优势，形成北京市与中央在京单位高效合作、协同创新的良好格局。中关村科学城主要依托中国科学院有关院所、高等学校和中央企业，聚集全球高端创新要素，实现基础前沿研究重大突破，形成一批具有世界影响力的原创成果。怀柔科学城重点建设高能同步辐射光源、极端条件实验装置、地球系统数值模拟装置等大科学装置群，创新运行机制，搭建大型科技服务平台。未来科技城着重集聚一批高水平企业研发中心，集成中央在京科技资源，引进国际创新创业人才，强化重点领域核心技术创新能力，打造大型企业集团技术创新集聚区。

2.超前部署基础前沿研究。

北京发挥科教资源优势，加强与国家科技计划（专项、基金等）衔接，统

筹布局重点领域原始创新，集中力量实施脑科学、量子计算与量子通信、纳米科学等大科学计划，引领我国前沿领域关键科学问题研究。瞄准国际科技前沿，以国家目标和战略需求为导向，整合优势力量，在明确定位和优化布局的基础上，建设一批重大科研创新基地。围绕国家应用基础研究领域部署，加强对信息科学、基础材料、生物医学与人类健康、农业生物遗传、环境系统与控制、能源等领域的支撑，取得一批具有全球影响力的重大基础研究成果，引领国际产业发展方向。

3.加强基础研究人才队伍建设。

坚持高起点、高标准，建设结构合理的创新人才团队，造就一批具有国际影响力的科学大师和以青年科学家为带头人的优秀研究群体。支持高等学校、科研院所和有条件的企业共建基础研究团队，加快科学家工作室建设，创新青年人才支持模式，形成一批从事基础研究的杰出青年科学家队伍。在全球范围内吸引一批能够承接重大任务、取得尖端成果、作出卓越贡献、形成“塔尖效应”的顶尖人才。在统筹考虑现有布局和国家对外科技合作总体部署基础上，鼓励以我为主发起国际大科学计划和大科学工程，吸引海外顶尖科学家和团队参与。

4.建设世界一流高等学校和科研院所。

推进新兴交叉学科建设，促进基础学科与应用学科、自然科学与人文社会科学交叉融合，积极推动网络数据科学、量子信息学、生物医学、纳米科学与技术、核科学与技术、航空宇航科学与技术、生物信息学等学科发展与完善，加快世界一流高等学校和科研院所建设。建设国际马铃薯中心亚太中心。创新科研院所运行体制机制，推广北京生命科学研究所等管理模式。

（二）实施技术创新跨越工程，加快构建“高精尖”经济结构。

围绕国家经济社会发展重大需求，深入实施“北京技术创新行动计划”、“《中国制造 2025》北京行动纲要”、“‘互联网+’行动计划”等，突破一批具有全局性、前瞻性、带动性的关键共性技术，加强重要技术标准研制，培育具有国际竞争力的研发创新体系，加快科技成果向现实生产力转化，在北京经济技术开发区等打造具有全球影响力的创新型产业集群。

5.夯实重点产业技术创新能力。

以智能制造、生物医药、集成电路、新型显示、现代种业、移动互联、航空航天、绿色制造等领域为重点，依托优势企业、高等学校和科研院所，建设一批对重点领域技术创新发挥核心引领作用的国家技术创新中心，突破与经济社会发展紧密相关的关键共性技术和核心瓶颈技术，形成一批具有竞争力的国际标准。推动科技与产业、科技与金融、科技与经济深度融合，培育一批具有国际竞争力的创新型领军企业，聚集世界知名企业技术创新总部，构建跨界创新合作网络。完善技术创新服务平台体系，加强研究开发、技术转移和融资、计量、检验检测认证、质量标准、知识产权和科技咨询等公共服务平台建设，打造高端创业创新平台。利用中关村政策优势，推动国防科技成果向民用领域转移转化和产业化。

6.引领支撑首都“高精尖”经济发展。

在新一代信息技术、生物医药、能源、新能源汽车、节能环保、先导与优势材料、数字化制造、轨道交通等产业领域实施八大技术跨越工程，重点突破高性能计算、石墨烯材料、智能机器人等一批关键共性技术，培育先导产业和支柱产业。推动以科技服务业、“互联网+”和信息服务业为代表的现代服务业向高端发展，促进服务业向专业化、网络化、规模化、国际化方向发展。深化科技与文化融合发展，推进“设计之都”与中关村国家级文化和科技融合示范基地建设。以北京国家现代农业科技城为依托，加快推进高端农业创新发展。

7.促进科技创新成果全民共享。

实施首都蓝天行动，推动能源结构向清洁低碳转型，深化大气污染治理，持续改善空气质量。实施生态环境持续改善行动，加强水资源保护与污水治理、垃圾处理和资源化利用，提升城市生态功能。实施食品安全保障行动，建立对食品生产经营各环节的科学高效监督管理体系，保障食品质量安全。加强重大疾病科技攻关，在疾病预防、诊断、精准医疗等领域形成一批创新成果并转化应用，打造具有国际影响力的临床医学创新中心。实施城市精细化管理提升行动，强化城市综合运行监控与重点行业安全保障能力，提高巨灾风险防范与应

对能力。推动大数据与社会治理深度融合，不断推进社会治理创新，提升维护公共安全、建设平安中国的能力水平。组织实施科技冬奥行动计划，加强北京市、河北省与国家相关部门科技创新资源整合，聚焦绿色、智慧、可持续三个重点领域，集成应用和展示最新科技成果，为冬奥会提供科技支撑。

（三）推进京津冀协同创新，培育世界级创新型城市群。

贯彻落实《京津冀协同发展规划纲要》等战略部署，充分发挥北京全国科技创新中心的引领作用，构建京津冀协同创新共同体，打造世界级创新型城市群。积极参与和服务“一带一路”、长江经济带等发展战略，有力支撑国家创新驱动发展战略实施。

8.优化首都科技创新布局。

全力推进高端产业功能区和高端产业新区建设，优化中关村国家自主创新示范区“一区多园”布局，提升产业技术创新水平，带动各园区创新发展。推动首都各区精细化、差异化创新发展，形成功能清晰、导向明确、秩序规范的发展格局。首都自主创新中心区（城六区）重点推进基础科学、战略前沿高技术和高端服务业创新发展；首都高端引领型产业承载区（城六区以外的平原地区）重点加快科技成果转化，推进生产性服务业、战略性新兴产业和高端制造业创新发展；首都绿色创新发展区（山区）重点实现旅游休闲、绿色能源等低碳高端产业创新发展；首都军民融合示范区重点打造前沿探索、基础研究、系统集成、示范应用、推广转化、产业发展的军民融合发展链条。加强统筹协调，对非首都功能疏解后的空间进行合理再布局，建设研发创新聚集区。

9.构建京津冀协同创新共同体。

整合区域创新资源，打造京津冀创新发展战略高地。加强宏观指导和政策支持，结合产业链布局需要，培育具有产学研协同特征的科技企业集团，推进其在京津冀地区联动发展。完善协同创新体制机制，推动科技创新政策互动，建立统一的区域技术交易市场，实现科技资源要素的互联互通。建设协同创新平台载体，围绕钢铁产业优化升级共建协同创新研究院，围绕大众创业万众创新共建科技孵化中心，围绕新技术新产品向技术标准转化共建国家技术标准创

新基地，围绕首都创新成果转化共建科技成果转化基地等。实施协同创新工程，围绕生态环境建设、新能源开发应用、废弃资源利用等重点领域开展联合攻关，围绕钢铁、建材等传统产业转型发展共同开展创新试点，围绕工业设计、科技服务业、文化创意等领域共同组织新技术应用示范等。

10.引领服务全国创新发展。

发挥北京全国科技创新中心的辐射引领作用，搭建跨区域创新合作网络，加强与其他地区的科技创新合作。与上海、江苏、浙江、安徽等长江中下游省市重点推进基础研究和战略高技术领域合作；与广东、福建等东南沿海省份重点推进产业关键技术、创新创业等领域合作；与东北、中西部等地区重点推进技术转移、成果转化、产业转型升级等方面合作；加强与港澳台全方位科技交流合作。面向全国开放共享创新资源，推广“一站一台”（首都科技条件平台合作站和北京技术市场服务平台）等合作模式，建立跨区域科技资源服务平台，推动科技人才、科研条件、金融资本、科技成果服务全国创新发展。支持国家科技传播中心建设，打造国家级科学文化公共服务平台和全国“双创”支撑平台。

（四）加强全球合作，构筑开放创新高地。

坚持“引进来”与“走出去”并重、引智引技和引资并举，集聚全球高端创新资源，以创新提升区域发展层级，使北京成为全球科技创新的引领者和创新网络的重要节点。

11.集聚全球高端创新资源。

吸引符合北京功能定位的国际高端创新机构、跨国公司研发中心、国际科技组织在京落户，鼓励国际知名科研机构在京联合组建国际科技中心，努力使北京成为国际科技组织总部聚集中心。面向全球引进世界级顶尖人才和团队在京发展。引导和鼓励国内资本与国际优秀创业服务机构合作建立创业联盟或成立创新创业基金。发挥中国国际技术转移中心等平台作用，完善市场化、国际化、专业化的服务体系，吸引国际高端科技成果在京落地，形成面向全球的技术转移集聚区。

12.构筑全球开放创新高地。

在研发合作、技术标准、知识产权、跨国并购等方面为企业搭建服务平台，鼓励企业建立国际化创新网络。构筑全球互动的技术转移网络，加快亚欧创新中心、中意技术转移中心、中韩企业合作创新中心等国际技术转移中心建设，推动跨国技术转移。推进海外人才离岸创新创业基地建设，为海外人才在京创新创业提供便利和服务。鼓励国内企业在海外设立研发机构，加快海外知识产权布局，参与国际标准研究和制定，抢占国际产业竞争高地。鼓励国内企业通过对外直接投资、技术转让与许可等方式实施外向型技术转移。鼓励拥有自主知识产权和品牌的企业开拓国际市场，培育以技术、标准、品牌、质量、服务为核心的外贸竞争优势，提高产业在全球价值链中的地位。促进服务创新国际化，深化北京市服务业扩大开放综合试点，加快推进服务标准、市场规则、法律法规等制度规范与国际接轨。

（五）推进全面创新改革，优化创新创业环境。

深入落实创新驱动发展与体制机制改革系列重大部署，充分发挥中关村国家自主创新示范区改革“试验田”的作用，加快推进京津冀全面创新改革试验，破除制约创新的制度藩篱，形成充满活力的科技管理和运行机制，以深化改革促进创新驱动发展。

13.推进人才发展体制机制改革。

实施更具吸引力的海外人才集聚政策，突破外籍人才永久居留和创新人才聘用、流动、评价激励等体制和政策瓶颈，推进中关村人才管理改革试验区建设，开展外籍人才出入境管理改革试点，对符合条件的外籍人才简化永久居留、签证等办理流程，让北京真正成为人才高地和科技创新高地。开展人才引进使用中的知识产权鉴定制度试点。深入实施北京市“雏鹰计划”、“高层次创新创业人才支持计划”、“科技北京百名领军人才培养工程”等人才计划，完善人才梯度培养机制，推进人才结构战略性调整。建立灵活多样的创新型人才流动与聘用模式，鼓励高等学校和科研院所人才互聘，允许高等学校、科研院所设立一定比例流动岗位，吸引企业人才兼职。研究制定事业单位招聘外籍人才的认定标准，探索聘用外籍人才的新路径。鼓励科研人员潜心研究，激发科研人员创新

动力和积极性，完善市场化的人才评价激励机制，创新评价标准和办法。完善事业单位内部分配机制，推进绩效工资向关键岗位、业务骨干和有突出贡献的人员倾斜。优化人才服务保障体系，在住房条件、子女就学、配偶就业、医疗服务等方面为高层次人才提供便利。落实教学科研人员因公临时出国相关管理政策。

14.完善创新创业服务体系。

加快发展高端创业孵化平台，构建集创业孵化、资本对接、营销服务等为一体的众创空间，提供集约化、专业化、社区化的创新创业环境。建立便捷高效的商事服务机制，推动集群注册登记、“先照后证”等改革，降低创业门槛。实施中关村大街改造提升工程，加快北京市海淀区“一城三街”建设，以创新创业打造经济社会发展新动力。深入推进国家科技服务业区域试点、服务业扩大开放综合试点、中关村现代服务业试点，探索科技服务业促进创新创业的新模式和新机制。发挥首都科技条件平台、首都科技大数据平台、中关村开放实验室等公共服务平台作用，推广创新券等科技资源开放共享的市场化机制，促进重大科研基础设施、大型科研仪器和专利基础信息资源向社会开放。加快推进研究开发、技术转移和融资、知识产权服务、第三方检验检测认证、质量标准、科技咨询等机构改革，构建社会化、市场化、专业化、网络化的技术创新服务平台。探索推动产业协同创新共同体建设，助力产业转型升级和大众创业万众创新。充分利用现有资源，统筹建设全国知识产权运营公共服务平台，建设国家知识产权服务业集聚发展示范区。

15.加快国家科技金融创新中心建设。

完善创业投资引导机制，通过政府股权投资、引导基金、政府购买服务、政府和社会资本合作（PPP）等市场化投入方式，引导社会资金投入科技创新领域。结合国有企业改革建立国有资本创业投资基金制度，完善国有创投机构激励约束机制。按照国家税制改革的总体方向与要求，对包括天使投资在内的投向种子期、初创期等创新活动的投资，研究探索相关税收支持政策。支持“新三板”、区域性股权市场发展，大力推动优先股、资产证券化、私募债等产品创

新。开展债券品种创新，支持围绕战略性新兴产业和“双创”孵化产业通过发行债券进行低成本融资。推动互联网金融创新中心建设。选择符合条件的银行业金融机构在中关村国家自主创新示范区探索为科技创新创业企业提供股权债权相结合的融资服务方式；鼓励符合条件的银行业金融机构在依法合规、风险可控前提下，与创业投资、股权投资机构实现投贷联动，支持科技创新创业。

16.健全技术创新市场导向机制。

加快营造公平竞争市场环境。探索药品、医疗器械等创新产品审评审批制度改革试点。改进互联网、金融、节能、环保、医疗卫生、文化、教育等领域的监管，支持和鼓励新业态、新商业模式发展。严格知识产权保护，加快形成行政执法和司法保护两种途径优势互补、有机衔接的知识产权保护模式，健全知识产权举报投诉和维权援助体系。探索建立符合国际规则的政府采购技术标准体系，完善新技术、新产品首购首用风险补偿机制。建立高层次、常态化的企业技术创新对话、咨询制度，发挥企业和企业家在创新决策中的重要作用。市场导向明确的科技项目由企业牵头联合高等学校和科研院所实施。健全国有企业技术创新经营业绩考核制度，加大技术创新在国有企业经营业绩考核中的比重。

17.推动政府创新治理现代化。

依法全面履行政府职能，建立权力清单和责任清单制度。深化行政审批制度改革，提高行政效能，建立创新政策调查和评价制度，加快政府职能从研发管理向创新服务转变，为各类创新主体松绑减负、清障搭台。建立科技创新智库，提升对创新战略决策的支撑能力、科技创新政策的供给能力、创新理念的引领能力，推进决策的科学化和现代化，探索政策措施落实情况第三方评估机制。大力发展市场化、专业化、社会化的创新服务机构和组织，逐步建立依托专业机构管理科研项目的市场化机制。建立健全科技报告制度和创新调查制度，加强公共创新服务供给。建立健全创新政策协调审查制度。推动创新薄弱环节和领域的地方立法进程，构建适应创新驱动发展需求的法治保障体系。深化科技项目资金管理改革，建立符合科研规律、高效规范的管理制度，强化对科研

人员的激励。

18.央地合力助推改革向纵深发展。

在中关村国家自主创新示范区内，允许在京中央高等学校、科研院所在符合国家相关法律法规的前提下，经主管部门授权，试行北京市的相关创新政策。充分发挥北京市和中央在京单位的改革合力，探索新一轮更高层面、更宽领域的改革试点，进行新的政策设计，在充分调动科技人员创新创业积极性上再形成新一批政策突破，解放和发展生产力。深入落实促进科技成果转化法，在京中央高等学校、科研院所依法自主决定科技成果转移转化收益分配。着力打破创新资源配置的条块分割，支持北京市统筹用好各类创新资源，鼓励市属和中央高等学校协同创新。完善高等学校与企业开展技术开发、技术咨询、技术服务等横向合作项目经费管理制度，鼓励开展产学研合作，其支出依据合同法和促进科技成果转化法执行。探索创新创业人才在企业与机关事业单位之间依法自由流动，并做好社会保险关系转移接续工作。鼓励在京企业、高等学校和科研院所承担国防科技前沿创新研究工作，并给予相关配套优惠政策。探索开展事业单位担任行政领导职务的科技人员参与技术入股及分红激励试点，并根据领导干部职务明确审批程序。

四、保障措施

（一）强化组织领导。

在国家科技体制改革和创新体系建设领导小组领导下，国家有关部门与北京市共建北京全国科技创新中心建设工作机制，在顶层设计、改革保障等方面实现上下联动，统筹运用各部门资源建设北京全国科技创新中心。北京市建立北京全国科技创新中心建设统筹机制，形成促进科技创新的体制架构，分解改革任务，明确时间表和路线图，推动各项任务落到实处。

（二）加强资金保障。

加大财政科技投入力度，明确财政资金投入重点。切实加强对基础研究的财政投入，完善稳定支持机制。北京市设立战略性新兴产业技术跨越工程引导资金，加大对产业关键共性技术和贯穿创新链科技创新项目的支持力度。深化

科技与金融结合，健全政府引导、企业为主、社会参与的多元化科技投入体系。

（三）完善监督评估机制。

加强监督考核，改革完善创新驱动发展的评价机制。研究建立科技创新、知识产权运用和保护与产业发展相结合的创新驱动发展评价指标体系，将本方案任务落实情况纳入北京市各级领导干部绩效考核体系。健全决策、执行、评价相对分开、互相监督的运行机制，强化对本方案实施进展情况的监督和问责机制。发挥第三方评估机构作用，定期对本方案落实情况进行跟踪评价，依据评价结果及时调整完善相关政策。

滕飞 选摘自

中华人民共和国中央人民政府

http://www.gov.cn/zhengce/content/2016-09/18/content_5109049.htm

# 改委工信部等政府部门发布中国具备 0.25μm 工艺的半导体企业名单

2016 年 10 月 17 日，为贯彻《国务院关于印发进一步鼓励软件产业和集成电路产业发展若干政策的通知》（国发[2011]4 号），落实现行集成电路生产企业有关进口税收优惠政策，经确认，现将线宽小于 0.25 微米或投资额超过 80 亿元、线宽小于 0.5 微米（含）的集成电路生产企业名单公布（详见附件）。名单中线宽小于 0.25 微米的企业、线宽小于 0.5 微米（含）的企业，分别自 2015 年 6 月 1 日和 2015 年 11 月 20 日起执行。

此前相关政策文件公布的享受集成电路生产企业进口税收优惠政策的企业名单与本公告所列名单不一致的，以本公告为准。根据行业发展状况和企业变化情况，企业名单将适时进行调整并公布。

特此公告。

附件：集成电路线宽小于 0.25 微米或投资额超过 80 亿元、线宽小于 0.5 微米（含）的集成电路生产企业名单

附件

线宽小于0.25微米或投资额超过80亿元、线宽小于0.5微米（含）的集成电路生产企业名单

| 序号 | 企业名称 | 类型 | 备注 |
|---|---|---|---|
| 1 | 上海华力微电子有限公司 | 线宽小于0.25微米 | 存续企业 |
| 2 | 英特尔半导体（大连）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 3 | 和舰科技（苏州）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 4 | 上海集成电路研发中心有限公司 | 线宽小于0.25微米 | 存续企业 |
| 5 | 上海先进半导体制造股份有限公司 | 线宽小于0.25微米 | 存续企业 |
| 6 | 台积电(中国)有限公司 | 线宽小于0.25微米 | 存续企业 |
| 7 | 无锡华润上华科技有限公司 | 线宽小于0.25微米 | 存续企业 |
| 8 | 武汉新芯集成电路制造有限公司 | 线宽小于0.25微米 | 存续企业 |
| 9 | 中国电子科技集团公司第十三研究所 | 线宽小于0.25微米 | 存续企业 |
| 10 | 中芯国际集成电路制造（北京）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 11 | 中芯国际集成电路制造（上海）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 12 | 中芯国际集成电路制造（天津）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 13 | 中航(重庆)微电子有限公司 | 线宽小于0.25微米 | 存续企业 |
| 14 | 德州仪器半导体制造（成都）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 15 | SK海力士半导体（中国）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 16 | 上海华虹宏力半导体制造有限公司 | 线宽小于0.25微米 | 存续企业 |
| 17 | 中芯北方集成电路制造（北京）有限公司 | 线宽小于0.25微米 | 存续企业 |
| 18 | 三星(中国)半导体有限公司 | 线宽小于0.25微米 | 新增企业 |
| 19 | 中芯国际集成电路制造(深圳)有限公司 | 线宽小于0.25微米 | 新增企业 |
| 20 | 联芯集成电路制造（厦门）有限公司 | 线宽小于0.25微米 | 新增企业 |
| 21 | 宁波时代全芯科技有限公司 | 线宽小于0.25微米 | 新增企业 |
| 22 | 中芯长电半导体（江阴）有限公司 | 线宽小于0.25微米 | 新增企业 |
| 23 | 无锡华润微电子有限公司 | 线宽小于0.25微米 | 新增企业 |
| 24 | 台积电（南京）有限公司 | 线宽小于0.25微米 | 新增企业 |
| 25 | 福建省晋华集成电路有限公司 | 线宽小于0.25微米 | 新增企业 |
| 26 | 合肥晶合集成电路有限公司 | 线宽小于0.25微米 | 新增企业 |
| 27 | 中芯国际集成电路新技术研发（上海）有限公司 | 线宽小于0.25微米 | 新增企业 |
| 28 | 淮安德科码半导体有限公司 | 线宽小于0.25微米 | 新增企业 |
| 29 | 武汉高芯科技有限公司 | 线宽小于0.25微米 | 新增企业 |
| 30 | 厦门市三安集成电路有限公司 | 线宽小于0.25微米 | 新增企业 |
| 31 | 杭州士兰集成电路有限公司 | 线宽小于0.5微米（含） | 存续企业 |
| 32 | 无锡华润华晶微电子有限公司 | 线宽小于0.5微米（含） | 存续企业 |
| 33 | 无锡华润上华半导体有限公司 | 线宽小于0.5微米（含） | 存续企业 |
| 34 | 江苏东晨电子科技有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 35 | 上海新进半导体制造有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 36 | 深圳方正微电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 37 | 福建福顺微电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 38 | 长沙创芯集成电路有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 39 | 重庆中科渝芯电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 40 | 吉林华微电子股份有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 41 | 上海新进芯微电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 42 | 苏州能讯高能半导体有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 43 | 西安卫光科技有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 44 | 北京微电子技术研究所 | 线宽小于0.5微米（含） | 新增企业 |
| 45 | 华越微电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 46 | 中国振华集团永光电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 47 | 无锡中微晶园电子有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 48 | 西安微电子技术研究所 | 线宽小于0.5微米（含） | 新增企业 |
| 49 | 河南芯睿电子科技有限公司 | 线宽小于0.5微米（含） | 新增企业 |
| 50 | 中国电子科技集团公司第五十八研究所 | 线宽小于0.5微米（含） | 新增企业 |
| 51 | 中国电子科技集团公司第五十五研究所 | 线宽小于0.5微米（含） | 新增企业 |
| 52 | 中科芯集成电路股份有限公司 | 线宽小于0.5微米（含） | 新增企业 |

中华人民共和国国家发展和改革委员会

中华人民共和国工业和信息化部

中华人民共和国财政部

中华人民共和国海关总署

2016 年 10 月 17 日

滕飞 选摘自
中华人民共和国发展改革委员会
http://www.sdpc.gov.cn/gzdt/201610/t20161019_823202.html

# NSF 投资 1000 万美元支持十项大数据项目

2016 年 9 月 28 日，美国国家科学家基金会（NSF）宣布将为十项“大数据轮辐（Spokes）”项目投资 1000 万美元，以开展大数据区域创新中心所确定的特定主题研究，从精准农业到个性化教育等等。数据轮辐反映出美国中西部、东北部、南部和西部四大数据中心的独有特点及能力。与大数据中心类似，数据轮辐也将发挥汇集与协调功能，而不是直接开展研究。每个项目将汇集重要的利益相关方、终端用户和解决方案提供商，形成跨领域研究团队以应对单一领域难以解决的挑战。但不同于大数据中心覆盖了某一地区全领域数据驱动挑战和解决方案，每个大数据轮辐项目都有一项特定的、目标驱动的任务。例如，来自麻省理工学院、布朗大学和杜雷塞尔大学的研究团队将研发一种数据许可方法并打造自动化平台以供个体和机构共享数据。该平台能确保数据共享符合实施中的许可限制规定。项目合作公司与机构还包括：爱思唯尔、因特尔、微软、甲骨文、罗德岛医院和汤森路透。

来自艾默瑞大学生物医学信息学的副教授盖瑞·克利福德（Gari Clifford）将调查如何利用来自健康跟踪器和环境监测器的多源数据，以改善病人护理。首个试点项目将关注于患有心血管疾病的非裔美国人和拉丁美洲人。项目合作公司与机构还包括：亚马逊、艾默瑞医疗护理中心、Relus 技术和德州大学西南医学中心。

**表 1 十大项目的地理分布与主题**

| 地区 | 项目主题 |
|---|---|
| 东北部 | 针对数据共享的许可模型 |
| 东北部 | 数据驱动型教育面临的重大挑战 |
| 东北部 | 针对大规模观测健康研究的环境因素与诱因方法集成 |

| | |
|---|---|
| 南部 | 针对病人护理协调与参与的大规模医学信息学 |
| 南部 | 针对环境可持续性的大数据分析：大数据+人工智能=可获的、可用的、有用的知识 |
| 中西部 | 先进计算神经科学网络 |
| 中西部 | 数字化农业——无人机系统、种植科学与教育 |
| 西部 | 加速和催化科学计算与数据合成中的可重复生产性 |
| 西部 | 都市见解：来自城市空间传感数据的知识发现与实时干预 |

滕飞选摘自
美国国家科学基金会 NSF
信息科技战略情报团队编译
http://www.clas.ac.cn/xwzx2016/kxxw2016/xxjsdt2016/201610/t20161015_4676767.html

# 美国陆军公布《2016-2045 年新兴科技趋势》

近期，美国陆军公布了 4 月份完成的《2016-2045 年新兴科技趋势》预测报告。该报告由未来侦察（FutureScout）战略与分析公司为陆军负责研究与技术的助理部长帮办（DASA R&T）撰写，以帮助陆军理解新兴技术趋势，更好地应对不确定性未来。这份报告是陆军负责研究与技术的助理部长帮办发布的有关新兴科技趋势的第三份年度报告。如同前两年发布的报告，该报告主要有两大目标：一是使陆军领导者和联合、跨机构及国际的利益相关者了解影响未来作战环境和塑造未来 30 年作战能力的科技趋势；二是激发陆军有关科技投资的战略对话，确保士兵在未来作战中保持优势。

这次发布的报告综合分析了过去五年美国内外、工业界、国际研究所和智库发布的 32 份科技预测报告及这些报告提到的 690 项科技趋势，以识别出可能带来变革性或颠覆性影响的趋势。报告共识别出 20 大核心科技趋势，分别是：机器人与自主系统、增材制造、大数据分析、人效增强、移动和云计算、医疗进步、赛博、能源、智慧城市、物联网、食物与水技术、量子计算、社交媒体使能、先进数码产品、混合实境（即虚拟现实与增强现实）、气候变化技术、先进材料、新型武器、太空、合成生物。此外，报告还指出了未入选的四个影响陆军能力的趋势，分别是工作性质的变化、教育、隐私、交通和物流；指出城镇化、气候变化、资源紧张、民主化变迁、创新全球化和全球中产阶级兴起等

六大影响社会政治变革、技术和安全的趋势。

在分析方法上，该报告通过搜索已公布的趋势分析报告、借助语义分析进行聚类分析以识别出共同主题、编码后确定新兴科技趋势类型等步骤，采用趋势识别方法对新兴科技趋势进行了甄别。同时，采用基于重合与分享的关注度指标来对 24 个焦点问题进行深度分析。其中，重合值（Concurrence values）是指用来测得特定趋势源报道的百分比，显示了每个趋势的报道量；分享值（Share values）是整个源文档数据库中的每个报道趋势被分享的百分占比，是衡量被预测相关源文件中，每个趋势被分享的次数。

未来创新科技不断涌现，强化了个人与企业的能力。在“增材制造”技术方面，3D 打印机将可以打印包含多种材料的复杂物体，比如工具、电子产品、替换部件、医疗设施等等，人们可以根据自身需要自定义这些东西，实现个性化产品定制。而以虚拟现实和增强现实（VR 和 AR）为主的“混合实境”则已经为电子消费产业注入了很多活力，未来将应用于更多产业领域，来传递实时的、情境感知的体验（AR），提供身临其境的视觉、听觉、嗅觉和触觉的感受（VR）。同时，除工业用途以外，“先进材料”（如纳米材料和其他诸如金属海绵和陶瓷部件）还将会在成衣、建筑材料、汽车、路面和桥梁以及其他诸多物体中出现，军队将能够运用先进材料来生产更轻更强的装甲、更加高效的运载车辆和护盾以及更强力的电池和可再生能源系统。在“量子计算”方面，虽然大多数对于量子计算技术的研究兴趣在于如何将其运用于密码破解，真正使用量子电脑可能在 21 世纪 40 年代中期才会出现，但它可能会成为一项改变许多其他技术领域诸如气候建模、药物研究和材料科学的革命性技术。到 2045 年，“机器人与自主系统”将会被普遍运用，拥有自主系统的汽车在使运输更加便利和高效的同时也会为共享经济的崛起注入活力，自主汽车和自主运输科技（“交通与物流”技术趋势）会对大众交通运输和物流造成革命性的改变；机器人将会运用于照顾老年人、运输货物、收获庄稼、维护公共治安，并为人们的每日生活提供必要服务，在军事行动中使用机器人将会使整个系统更加具有机动性、敏捷度和智能。

最后，报告提出了陆军需要考虑的五大战略问题：一是除了采办流程的重大改变，陆军如何更多、更快地利用技术创新，尤其是商业研发工作成果；二是假定创新实现全球化，陆军如何与外国政府和国际研发中心合作，以确保陆军获得最新技术；三是人效增强和自主系统有潜力变革几乎所有作战功能，陆军是否做好了变化的准备，如应对利用同样技术的对手、给予机器人多大的自主性、士兵身心将受到哪些长期影响；四是陆军如何更好地与联合团体、国际伙伴、非政府组织及其他利益相关者合作，影响政府和工业界支持的研发议题，以交付维护安全的新能力、组织对手吸纳技术创新、组织众多潜在科技趋势创造的新安全挑战；五是陆军如何培育新兴创新者，包括传统国防工业基础以外的初创企业，陆军如何鼓励自身研发中心的创新。

滕飞 选摘自
战略前沿技术
http://www.weidu8.net/wx/703152

## 日本 2016 年未来社会创造计划的重点政策措施

2016 年 6 月 24 日，日本内阁发布 2016 年未来社会创造计划。该计划是根据日本第五期科学技术基本计划而制定的行动计划，分析了在国际竞争环境下，日本应对产业升级、社会变革挑战，强化面向挑战的研发投资和人才培养的重点政策措施，包括以下重点政策方向：①第四次产业革命的战略导向。积极推进未来 10 年有望引领世界的人工智能、尖端技术突破，构建运用物联网、大数据、机器人等的新型制造系统，2020 年实现产业化。②科技创新体系改革。开展以国立研究开发法人、国立大学为核心的研发活动；促进产学研合作和资源共享；改善科研经费的申请、审查、评价模式；推进中小企业挑战项目；促进开放创新。③重点推进国家政策课题。加强基础科学研究，促进民间资金投入，制定使研究成果效益最大化的从研发到社会产业化的目标；加大力度资助国家战略前沿科学技术研究，包括国家安全、航空航天、海洋、防灾、医疗卫生、社会保障等领域。④促进公立大学、公立科研机构开展具有地方研究资源特色

的科研活动。提升基础研究能力，推进重点领域项目的研发，构建有利于区域发展的体系。

计划提出的具体措施包括：①确保提高生产力。确保国立研究开发机构和国立大学的运营经费，持续保障创新活动的成果产出。②发展具有竞争力的关键技术。以特定研究开发法人科研机构为核心，强化人工智能、大数据、纳米技术与材料领域的研发，促进具有挑战性、非连续创新的研究开发活动。③促进培养人才的科研环境。明确青年研究人员的未来职业规划，完善其各阶段的研究环境以保证研究人员充分发挥其研究能力与水平；持续培养在研究活动中表现优秀、未来有可能成为国内外领军人才的青年科学家。

滕飞 选摘自
中国科学院科技战略咨询研究院
http://www8.cao.go.jp/cstp/sogosenryaku/2016.html

## 欧盟委员会发布 2011-2016 年百亿亿次计算研究概述

2016 年 9 月，欧盟委员会发布百亿亿次计算研究概述报告，回顾了 2011-2016 年总额度超过 5000 万欧元的八项百亿亿次计算项目的研究进展。这些项目主要用于解决算法和应用开发、系统软件、能源效率、工具和硬件设计等方面的挑战。本文将对这八项百亿亿次计算项目的研究成果进行简要介绍。

（1）百亿亿次软件、工具和应用的合作研究（CRESTA）

CRESTA 创建了适用于未来百亿亿次平台的定制软件集，以实现平台的高效利用；开发出可以用当前最大的超算系统和未来百亿亿次平台的一系列因应用，这些应用已展示出显著的社会经济效益；开发出适用于百亿亿次系统的新型算法和技术，已用于相应软件。

（2）冬天的百亿亿次入口平台（DEEP）及其拓展（DEEP-ER）

德国于利希超算中心安装的 DEEP 原型已经验证了集群助推器（cluster-booster）架构的可行性；实际应用表明这种架构有益于非常广泛的高性能计算

应用；所开发的软件堆栈是标准化的，易于使用且可转移到任何异构系统给中。

（3）面向节能高性能计算的欧洲路径（MontBlancI+II）

验证了利用欧洲嵌入式技术运行高性能计算工作负载的可行性；有助于利用协同设计方法设计下一代百亿亿次级计算机；基于非传统高性能计算架构测试和拓展真正的科学应用。

（4）百亿亿次编程模型（EPiGRAM）

在消息传递接口（MPI）并行编程设计中引入和实现新概念以实现 MPI 在执行时间和内存消耗方面的可扩展性、如 MPI 流、持久聚合、终端和新派生的数据类型，这些概念的有效性已得到验证；通过新发展来改进 MPI 和图形程序设计接口（GPI-2）之间的互操作性；设计并实现基于分布全局地址空间（PGAS）编程模型的 MPI 研究。即 EMPI4Re。

（5）百亿亿次算法与先进计算技术（EXA2CT）

所开发的可拓展流水线求解器已置于科学计算工具箱 PETSc 中；研究表明 EXA2CT 开发的 GASPI 编程模型性能优于 MPI；许多研究成果应转移到工业应用中。

（6）面向工程和应用科学中关键百亿亿次计算挑战的数值方法和工具（Numexas）

显著提高了数值仿真开源软件平台 Kratos 中所使用的线性求解器的可扩展性；高度可扩展的嵌入式求解器；非常复杂的商业级问题的 MPI 移植。

滕飞选摘自

http://ec.europa.eu/index_en.htm

前沿研究

## 一种实现了时序优化的基于硅通孔的 3D 存储器设计

在三维（3D）集成电路（IC）中，处于对热量和薄度的考虑，需要大量的虚拟硅通孔（TSV）。然而，很少有研究关注这些虚拟 TSV 的多功能性和可以用于定时的事实。科研人员通过研究，提出建议，可以使用那些“时序浪费”的虚拟 TSV 来替代位线延迟单元，此外，科研人员还提出一个 TSV 分配算法以优化 TSV 阵列布局。最后，科研人员利用三个存储器设计来验证所提出的技术的可行性和可靠性。并最终发现这 3 个存储器中所有的延迟单元可以由 TSV 阵列代替。

相关研究发表于 Next-Generation Electronics (ISNE), 2016 5th International Symposium 4-6 May 2016，题目：“3D memory design based on through silicon vias enabled timing optimization”

张迪摘译自

http://ieeexplore.ieee.org/document/7543367/

## 一种 7.7A 768Gb 3b/cell 的 3D 浮栅 NAND 闪存

之前，平面浮栅 NAND 技术曾经使用 3b/cell 实现了 0.87Gb/mm$^2$ 的存储密度，并实现了 16nm 的最小特征尺寸。然而，平面 NAND 闪存的发展预计在几代技术中会达到缩放极限。为了突破这个限制，研究人员已经开始显著地向 3D NAND 闪存转变，并且已经提出并讨论了几种类型的 3D 存储器单元结构。最近，利用电荷捕获单元和 3b/cell，3D V-NAND 技术实现了 1.86Gb/mm$^2$ 的存储密度。研究人员更提出了一个使用 3D 浮动栅极（FG）技术的 3b/cell NAND 闪存，可实现 4.29Gb/mm$^2$。

研究成果发表在 Solid-State Circuits Conference (ISSCC), 2016 IEEE International，31Jan.-4 Feb.2016，题目：“7.7A 768Gb 3b/cell 3D-floating-gate NAND flash memory”

张迪摘译自

http://ieeexplore.ieee.org/document/7417947/

# 在深度分析后程序 VT 不稳定性在电子应力在 3D SONOS 存储器

通过后程序放电测量，研究人员实现了对在 3D SONOS 存储器中观察到的 ONO 堆叠退化的深入理解，这些导致了程序脉冲之后的 VT 不稳定性。研究人员证明擦除期间的空穴注入可以降解通道氧化物，从而导致缺陷的形成，同时可以在程序期间充电之后迅速发射电子。通过器件仿真，研究人员还可以实现这些应力产生 $SiO_2$ 缺陷的空间和能量精确轮廓测量，并在退化的器件中开发了一套完整的电荷损失模型。

相关研究发表在 Memory Workshop (IMW), 2016 IEEE 8th International（15-18 May 2016），题目："In Depth Analysis of Post-Program VT Instability after Electrical Stress in 3D SONOS Memories"

张迪摘译自

http://ieeexplore.ieee.org/document/7495278/

# Neurocube:具有高密度 3D 存储器的可编程数字神经形态架构

为了达到高效神经计算的目的，科研人员提出一种基于集成逻辑层 3D 高密度存储器的可编程和可扩展的数字神经形态架构。所提出的架构包括连接 2D 网格网络作为处理层的程序引擎集群，并且与 3D 多层 DRAM 集成在一起。PE 集群可以并行访问多个内存通道（库）。操作原理，即以存储器为中心的计算，将专用状态机嵌入 HMC 的控制器中，以将数据驱动到 PE 集群中。研究人员提出了 Neurocube 的基本架构，分析了在 28nm 和 15nm 工艺技术中合成的逻辑层。通过卷积神经网络的映射和后续功率和训练推断性能的估计来评估和说明了 Neurocube 的性能。

相关研究发表在 2016 ACM/IEEE 43rd Annual International Symposium on Computer（18-22 June 2016），题目："Neurocube: A Programmable Digital

Neuromorphic Architecture with High-Density 3D Memory”

张迪摘译自

http://ieeexplore.ieee.org/document/7551408/

## 3D 闪存的干扰释放

虽然 3D 闪存为巨大容量的非易失性存储器提供了巨大的机会，然而它还是遭受严重的程序干扰问题。与过去在纠错码和交换空间利用上的可靠性工作相反，研究人员提出一种扰动松弛方案，可以减轻程序扰动在物理块内造成的负面影响。该方案不会在编码或存储额外冗余数据时引入任何额外开销。特别地，考虑 3D 闪存的物理组织，提出了通过将不可避免的干扰错误分配给无效数据的闪存空间来减少数据错误率的方法。科研人员基于真实的多层 3D 闪存芯片进行了一系列实验，最终表明该方案可以显着提高 3D 闪存的可靠性。

相关研究发表在：IEEE TRANSACTIONS ON COMPUTERS，卷: 65 期，5 页，1467-1483。出版年:MAY2016，题目：“Disturbance Relaxation for 3D Flash Memory”

张迪摘译自：

http://apps.webofknowledge.com/full_record.do?product=WOS&search_mode=GeneralSearch&qid=1&SID=S28jrsOgJQR4eE5TqF5&page=1&doc=1

## 存储技术新进展：3D XPoint 技术横空出世

由英特尔和镁光联合推出的 3D XPoint 技术在 2016 年大出风头，先是年初英特尔展示了采用该技术的存储产品，然后在 4 月初，英特尔又宣布斥资 35 亿元在中国生产产品。当然最吸引大家关注的是 3D XPoint 存储产品出色的性能：速度比目前的 NAND 快 1000 倍，而储存密度则是 DRAM 的 10 倍。那么 3D XPoint 究竟是何方神圣，它是如何实现如此优异的性能的呢？

**3DXPoint 的原理**

3DXPoint是一种新型非易失性存储技术，可用于NAND和DRAM，其是由多层线路构成的三维结构。可能有人会说这不就是英特尔版的3D V NAND。尽管 3D 层叠技术是 3DXPoint 的一大亮点，但是 3D XPoint 不仅仅是将存储单元层叠起来这么简单，其在基本工作原理上与传统的NAND有着极大的区别。

传统 NAND，采用的是电容储存原理，依靠的是浮动栅级上的绝缘层形成一个等效电容，依靠控制这个等效电容上是否储存有电量，就可以判断出这一单元存储的是 1 或者 0，这就达到了存储数据的目的。而 3DXPoint 则采用了全新的储存原理，其存储单元是一种很特殊的电阻材料，这种电阻材料有非常神奇的特性：即施加不同的电压，其内部材料的形态会产生巨大的变化，从而使电阻阻值产生极大的变化，当电压撤消后，其阻值依旧会保持。打个比方，当在存储电阻上加载正电压时，电阻会呈现低电阻状态，而施加负电压时，内部材料变化，从而形成高阻抗区，让电阻阻值急剧升高，变成高阻值状态，这样，依靠施加电压的改变，就可以让存储单元在高低阻值间切换，就可以让每一个存储单元表征出 1 或 0，就达到了存储数据的目的。

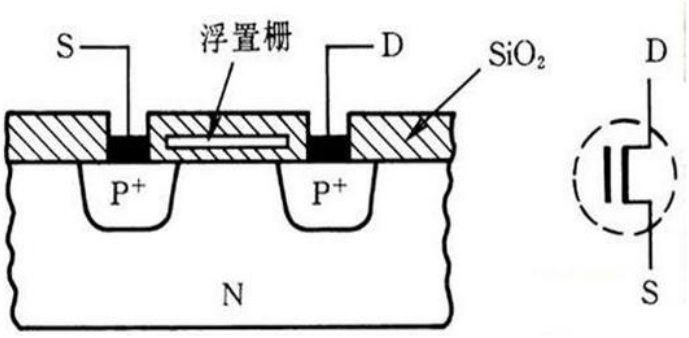



图 1：传统 NAND 闪存依靠电容原理来存储数据

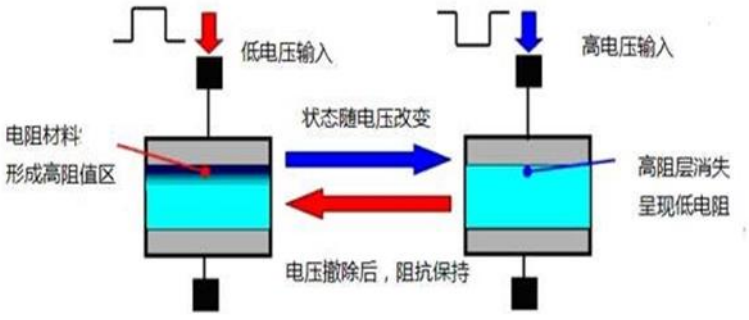



图 2：3DXPoint 的可变电阻阻抗转换原理

**3DXPoint 为何能如此出色？**

3DXPoint 是如何做到速度比目前的 NAND 快 1000 倍，且寿命更长，而储存密度则是 DRAM 10 倍的呢？

我们先从存储密度说起，3DXPoint 产品的结构相当简单，完整的存储器仅由存储单元、控制存储单元的选择器以及读写总线构成，与传统内存颗粒内部复杂的电容、晶体管结构来说，可是简单多了。这样一来每一个存储单元所占的空间就比传统产品小了很多，再加上 3DXPoint 还采用层叠原理，将数个存储单元垂直安装，这就更进一步提升存储密度，从而实现储存密度则是内存的 10 倍。需要注意的是，在这里与 3DXPoint 产品进行对比的是 DRAM，这是因为英特尔悄悄地偷换了概念。因为 NAND 也开始采用了 3D 层叠技术，3DXPoint 与 3D NAND 的容量密度将会基本相当，所以现阶段依靠 3DXPoint 来大幅度提升 SSD 的容量概率并不太高。而 3DXPoint 内存的容量有望大幅提升，年初英特尔就展示了 6TB 容量的 3DXPoint 内存。

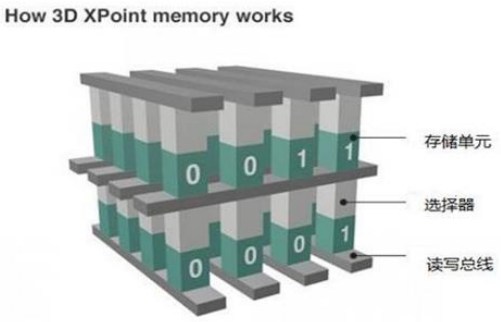



图 3：3DXPoint 存储结构与原理

同时由于 NAND 在写入或擦除数据时，电子要在栅级和源极之间的绝缘层之间流动，电子的进进出出，就让绝缘层变得千疮百孔，一旦绝缘层损坏漏电，那这个存储单元也就无法使用了。更为重要的是 NAND 制程越先进，绝缘层的厚度和面积也必然减小，寿命反而越短。而 3DXPoint 技术通过特殊材料形态变化来控制阻值变化，材料本身并不会因形态重复变化而导致性能衰退，这也就是 3DXPoint 敢于宣称其寿命可以延长 1000 倍的所在。再加上 3DXPoint 产品的寿命并不会随着制程进化而降低，这样，在未来的发展中，就可以随着制程的进化而增加存储密度，降低成本，因此 3DXPoint 技术更具发展潜力。

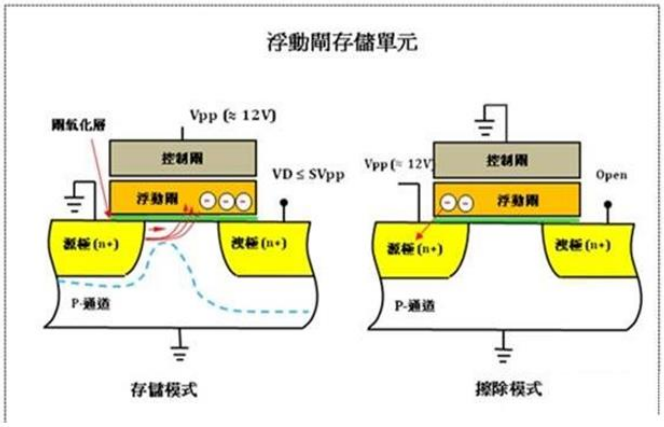



图 4：NAND 在写入和擦除过程中的电子移动，将损坏绝缘层，影响寿命

在大家最关心的性能上，NAND 的每一个存储单元，都需要一只晶体管进行处理，晶体管在低功耗状态下的延迟、开关速度等，都会影响到 NAND 的读写速度，而于 3DXPoint 产品在单个单元的读写过程中，依靠的都是电阻自身阻值的变化，无需晶体管的介入，只需要在末端控时，需要控制芯片的进行处理。在数据量巨大时，存储单元晶体管即便是微妙级别的延时，都会对数据总吞吐量造成巨大的影响，相反，控制级芯片对于功耗的敏感度较低，其延时可以做到纳秒级的，这对于总体速度提升大有帮助。不过目前在英特尔自己做的实测中，3DXPoint 产品的 IOPS、延迟性能也只是 P3700 的 7.13 倍、8.11 倍，显然 3DXPoint 还有不小的性能提升空间。

**别急着高兴，3DXPoint 大规模量产没这么简单**

3DXPoint 技术表现得如此出色，而现在英特尔、镁光都拿出样品进行展示，那么 3DXPoin 产品真的能在短时间内推出并迅速占领市场吗？这件事情显然并没有那么简单。

首先，3DXPoint 产品在实现大规模量产上还有巨大的困难。要知道电阻式闪存结构并不是什么新生事物，早在 60 年代，这一结构就已经被发现，而在 2014 年，镁光也曾经发布过基于电阻式闪存结构的 Reram，但实验室的成功，并不等于能立即商品化。据悉，3DXPoint 产品在生产时，需要用到 100 多种的新材料，而这些新材料在使用时，还可能产生化学反应，导致材料变性，这将成为商品化量产前的巨大障碍，而攻克这些难题，将需要较长的时间，同时，新品的初步量产，也将面临成品率低、产能提升等诸多门槛，即便问题顺利解

决，英特尔和镁光实现承诺，在年内推出产品，其产能也不会很大，难以全面取代现有 NAND 闪存和内存产品。

其次，显然是价格。每一种新品在上市时，其价格往往高得惊人。毕竟，生产线建立需要花费巨大成本，而早期较低的产量，又将进一步拉抬产品价格。3DXPoint 产品的量产将是投入相当大的新品，英特尔在中国的生产环节，就宣称要投入 35 亿美元，如此高额的投入，3DXPoint 产品初上市时的价格，可能会高的令人咂舌，这也注定了 3DXPoint 产品即便上市，也难于在短时间内飞入寻常百姓家。

说句套话，3DXPoint 产品可以说是前途光明，但道路坎坷。初期的高价，令 3DXPoint 产品将会首先应用于追求高速，而对价格敏感性较低的服务器等领域，而只有当其价格降低到与现有的 NAND 闪存基本相当时，才可能在民用领域大规模普及，套用比尔盖茨的一句名言：“我们经常高估了今后一、两年内将发生的变革，但又常常低估了今后 10 年内将要发生的变化。” 3DXPoint 也是如此，它的表现很出色，但它的普及，需要时间，也许还是一段较为漫长的时间。

张迪摘选自

http://www.go-gddq.com/html/s735/2016-05/1417591.htm

应用实施

# 全球 3D NAND FLASH 技术发展

存储器是半导体三大支柱产业之一。据 IC Insights 数据，2015 年半导体存储器市场总额达 835 亿美元。各类存储器中，NAND FLASH 是一个亮点。其广泛应用于 PC、手机、服务器等各类电子产品，2015 年营收达到 267 亿美元,占半导体存储器市场总额的 32%。

近年来，为了适应小体积、大容量等市场需求，NAND FLASH 制造技术向 3D 技术发展。3D NAND FLASH 通过增加立体硅层的办法，既提高单位面积存储密度，又改善存储单元性能。3D NAND FLASH 不仅能够增加容量，也可以将成本控制在较低水平。3D NAND 比 20 纳米级产品的容量密度高，读写速度快，耗电量节省，采用 3D NAND Flash 存储器的固态硬盘(SSD)其电路板面积也较小。3D 技术不仅使产品性能至少提升 20%，而且功耗可以降低 40%以上。根据三星在 SSD 峰会所述，TLC V-NAND 闪存相比传统的平面闪存的密度提升了 1 倍。

目前 3D NAND 的堆栈层数为 32-48 层，厂商们正在研发 64 层甚至更高层数的堆栈技术。2016 年开始 3D NAND FLASH 将逐步对 NAND FLASH 进行替代。

据 SEMI 数据，全球晶圆厂就支出成长率来看，最大成长动力来自 3DNAND（包括 3DXPoint）。2014 年支出为 18 亿美元，到 2015 年倍增至 36 亿美元，成长幅度高达 101%。2016 年支出将再增加 50%，上扬 56 亿美元以上。

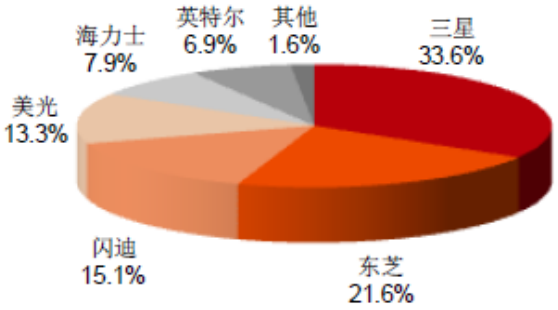
**1、 三星领跑，差距有限，存在弯道超越机会**

1.1 规模量产难度大，目前仅三星能规模量产

NAND Flash 领域霸主三星市占率稳定在 31~35%左右，并拥有独家 3DNAND Flash 堆叠技术。

三星在 2013 年 8 月宣布进入 3D NAND 量产，2014 年第 1 季正式于西安工厂投产。就目前 3D NAND Flash 原厂投产情况来看，2016 年只有三星能够实现

48层3DNAND规模化量产。三星3DNAND每月产能约在2万~4万片之间，约占三星总体NAND产能的9~18%。




图表1 2016Q1主要原厂NAND FLASH市场份额 资料来源：中国闪存市场网

| 原厂 | 主要工厂 | 主流生产工艺 | 月产出量 | 计划投产 |
|---|---|---|---|---|
| 三星 | Fab 12/16 | 16nm | 22亿 GB | 量产中 |
| | 中国西安厂 | 3D NAND | | 量产中 |
| | 平泽厂 | 10nm/3D NAND | | 2017年 |
| 东芝/闪迪 | Fab 4 | A19nm | 25亿 GB | 量产中 |
| | Fab 5 | 15nm | | 量产中 |
| | Fab 5 二期 | 15nm/3D NAND | | 2015年 |
| | Fab 2 | 3D NAND | | 2016年 |
| 美光 | MTV | 20nm | 8亿 GB | 量产中 |
| | IMFT/IMFS | 16nm | | 量产中 |
| | F10x | 3D NAND | | 2016年 |
| 海力士 | M11/M12 | 16nm | | 量产中 |
| | M14 | 20nm DRAM/3D NAND | | 2016年 |
| | 计划新建2座工厂 | | | |

图表2 2015年Flash原厂厂能投产情况：仅三星能够规模量产3D NAND

1.2 48层：2D技术向3D技术最佳的成本效益切换点

3D技术若采用32层堆叠NAND FlashDie容量达128Gb，与主流2D1y/1znm128Gb相比缺乏成本竞争力。随着3D技术的发展，采用48层堆叠则可将NAND FlashDie容量提升至256Gb，突破2DNAND128Gb容量，且较32层3DNAND更有成本和性能优势，这也是Flash原厂在2016年扩大48层量产或加快导入步伐的主要原因，使得2D技术向3D技术切换点恰好拥有最佳的成本效益。目前后进入3D领域的企业均积极在48层3D领域追赶三星。

东芝48层3DNAND今年才刚进入规模量产阶段，美光、海力士预计要等

到 2016 下半年才能够投入生产。英特尔将位于大连的逻辑芯片 12 寸厂改造为 3DNANDFlash 工厂，砸 55 亿美元升级产能，致力发展相关技术，计划今年下半年生产 3DNAND 和 Xpoint。国内的武汉新芯专注于 NAND 生产，与美企 Spanion 签订 3D NAND 授权协议，目前成为 240 亿美元国家存储器基地投资计划的受益者，预计 2017 年底就能取得 48 层 3DNAND 的验证，2018 年进行量产。紫光国芯 2015 年 11 月发布 800 亿定增公告，其中存储器芯片制造项目采用定增资金 600 亿（总投资 932 亿）。

目前 3D NAND FLASH 主要厂商情况及动向总结如下：

**l 三星**

三星在 3DNAND 技术上领先，并 2015 年底为 3D NAND 量产新建西安工厂，投资总金额已超过 50 亿美元，2016 年将扩大 48 层 3D NAND 量产，并规划在年底实现 64 层 3D NAND 量产，预计 2016 年底将产能进一步拉升至每月 10 万片。计划将韩国华城 Fab16 的 16nm 2D NAND 改造成 20nm 48 层 3D NAND 产线，预计将在 Q2 改造完毕。

**l 东芝/闪迪**

东芝/闪迪的 3D 技术采用 48 层，除了改建的 Fab2 将在 2016 年投产外，还投资买地建新 3D NAND 工厂。在日本三重县四日市市兴建 NAND Flash 新工厂，最快 2017 年量产，目标把 3D NAND Flash 产能提高至现在 2 倍。

**l 海力士**

3D NAND 已于 Q2 出货，下半年将积极增产，计划从当前的每月 2 千片增至 Q4 每月 2 万片。海力士除了新建的 M14 工厂计划量产 3DNAND，也将投资新建工厂，预计 2019 年开始投入生产。IDF 峰会上，海力士展示了一款采用第二代 36 层 3D NAND 的企业级 SSD，抢占企业级市场商机，现已通过了客户测试认证，开始出货。

**l 美光**

新加坡合资工厂，今年第一季已经开始量产 3D NAND flash，目前每月产量为 3,000 片，预料年内可拉升至每月 4 万片。美光目前已将 3D NAND 的样本送

往客户进行测试，新建的 Fab10x 工厂预计将在 2016 下半年开始投产新一代的 3D NAND。美光在台北电脑展上正式发布两款 3D NAND SSD 产品，Micron 1100 SATA 与 2100 PCIe NVMe，其中 Micron 1100 SATA 预计将在 7 月开始生产，而 2100 PCIe NVMe 将在今年夏季末开始生产。美光将在 2016 下半年推出一款消费类 MX300 系列 SSD，采用的是美光 3D TLC NAND 和 Marvell 88SS1074 控制芯片，该系列 SSD 容量可望达到 2TB。

**l Intel**

和美光共同建立新加坡合资工厂，今年第一季已经开始量产 3D NAND flash，目前每月产量为 3,000 片，预料年内可拉升至每月 4 万片；英特尔宣布投资 55 亿美元将原先逻辑芯片 12 寸厂 65nm 生产线的大连厂，改建为月产能 3 万片的 3D NAND Flash 厂，预计 2016 年先投入 15 亿美元，到 2016 第四季开始投片生产，月产能估计达 1 万片。盼量产 3D NAND 和 Xpoint。明年东芝和英特尔的 3D NAND 产能可能是三星西安厂的 2~3 倍，将威胁三星的霸者地位。

**l 武汉新芯**

已被 Cypress 购并的半导体设计公司 Spansion，自 10 年前就致力发展名为 mirror-bit 的 3DNAND 技术。武汉新芯凭借着对 Spansion 技术的信心，在 2014 年启动 3DNAND 计划；今年 2 月份，Spansion 和武汉新芯(XMC)签订 3DNAND 授权协定。由武汉新芯出资、Spansion 提供电荷储存式(Chargetrap)和浮闸(FloatingGate)的 NANDIP。公司预计 2017 年底就能取得 48 层 3DNAND 的验证，2018 年进行量产。3 月 28 日，总投资 240 亿美金（约 1600 亿元人民币）的“光谷”存储器基地项目在武汉市东湖高新区正式启动 。这一项目是湖北省自建国以来最大的单体投资项目，更成为国家发展集成电路产业的重大战略部署。

**l 紫光国芯**

2015 年 11 月，拟 932 亿（其中定增投入 600 亿）新建存储类芯片工厂，工厂实施完成并完全达产后，预计可新增 12 万片/月的存储芯片生产产能。

**l 中芯国际**

中芯在 2014 年 9 月宣布 38nmNANDFlash 记忆体工艺已就绪，虽不像武汉

新芯在 NANDFlash 的成果和专注，此技术仍为后续开发更先进的 2x/1xnm 和 3DNANDFlash 记忆体的研发和量产奠定基础。

1.3 各厂商与三星技术差距仅 1~3 年，三星霸主地位受挑战

三星 3DNAND 技术领先对手 1~3 年，各方增产之下，差距大幅缩小，明年 3DNAND 扩产大战将更加白热化，三星可能不会增建产线，以提高生产力为主，应对战局。

其中与三星技术差距最小的是东芝公司。据 EETimes 的报导，三星与东芝（Toshiba）之间尚有 1 年的技术差距，由于东芝 3DNANDFlash 目前仍处于样品水准，而三星已进入量产阶段。样品与量产之间的技术差距大约为 1 年。

东芝存储器事业的副社长成毛康雄表示，将冲刺 NAND Flash 产量，目标在 2018 年度将 NAND Flash 产量扩增至 2015 年度的 3 倍水平(以容量换算)。成毛康雄还指出，将强化 3D NAND Flash 的生产，目标在 2017 年度将 3D 产品占整体生产比重提高至 5 成，2018 年度进一步提高至 9 成左右水平。东芝打算与 Western Digital 在未来三年携手，对 3D NAND Flash 投资 1.5 兆日元，相当于 146 亿美元。

国内的武汉新芯在中科院微电子所等合作帮助下已经做成 9 层 3DNAND 的样品，非常有信心在 2018 年实现 48 层的量产，这样与三星之间也就差距在 3 年左右。2015 年 5 月，武汉新芯的 3D NAND 项目有了重要进展：第一片测试芯片通过存储器电学验证。此后，武汉新芯在更高叠层的产品工艺研发上取得了沟道电流大幅提升、存储单元性能和可靠性持续优化等更多突破性进步。

据 OFweek 报导，240 亿美金（约 1600 亿元人民币）的“光谷”存储器基地 2018 年将实现 3D NAND 存储器的首次量产，2020 年形成月产能 30 万片的生产规模，其中 20 万片 3D NAND Flash 和 10 万片 DRAM，2030 年预计达到每月产能 100 万片。

由于资金壁垒和技术壁垒较大，潜在入侵者较少。未来 3D NAND FLASH 竞争将集中在业内已有企业中。由于霸主三星技术领先优势不大，仅 1~3 年，而大部分业内企业均投入大量资金建设工厂和研发技术，因而未来三星霸主地

位会受到挑战。

| 厂商 | 2016年NAND FLASH投片量 | 3D NAND FLASH 进度 | 3D NAND FLASH产出比重 |
|---|---|---|---|
| 三星 | 484.5万 | 48 | 40.80% |
| 海力士 | 249万 | 36 | 3.30% |
| 东芝/闪迪 | 588万 | 48 | 5.40% |
| 美光/英特尔 | 319.5万 | 32 | 17.60% |

图表 3 国际大厂 2016 年预计 3D NAND 产能及比重 资料来源：OFweek

1.4 预计 2017 年 3D NAND FLASH 供给约 650GB 规模

基于上游 Flash 原厂更先进的 1znm/3D NAND 技术生产，中国闪存市场网预计 2016 年 NAND Flash 市场供应量将达到 1200 亿 GB 当量，较 2015 年成长 40%，2017 年将超过 1600 亿 GB。

其中，3D NAND FLASH 市场发展非常迅速。以三星西安厂为例，根据 Digital Times 的报导，3D 需求的增加超过了预期，例如三星西安厂的 3D NAND FLASH 从 2014 年月产 1~2 万片，到 2015 年第 3 季已经上升到 5 万片的水平，伴随良率上升，目前远超过当初每月预估值 6 万~7 万片，2016 年达到每月 10 万片。

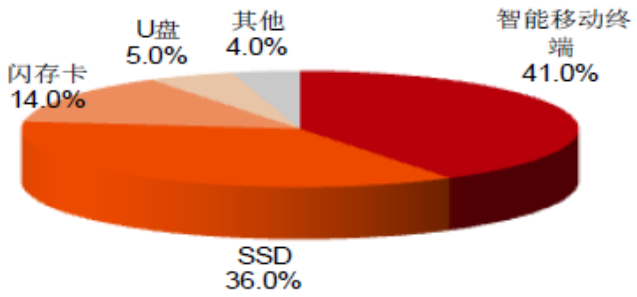
随着未来多家厂商逐渐量产，3D NAND FLASH 将逐渐成为 NAND Flash 主流。市调机构 IHS 指出，全球 NAND Flash 市场上，2015 年 3D NAND 比重约为 4.5%，2016 年则将快速提升到 21%，到 2017 年则将达到 40%，2018 年 3D NAND 比重将达到 50%，逐渐成为 NAND Flash 主流产品。根据中国闪存市场网和 IHS 数据，我们预计 2017 年 3D NANDFLASH 约 640 亿 GB 规模。

**2、电脑 SSD 和智能移动终端驱动行业需求**

3D NAND FLASH 行业需求旺盛，智能手机和电脑 SSD 需求是最主要的两大需求，目前 3D NAND FLASH 在 SSD 市场已占据半壁江山，在智能手机市场中刚起步，未来几年市场空间广阔。同时我们预计 2017 年 3D NAND FLASH 市场不存在产能过剩问题，存储芯片厂商能稳定获利。

2.1 电脑 SSD 和智能移动终端需求是 3D NAND 占比最大的需求

NAND FLASH 用途广泛，可用于 SSD、SD 卡、智能机、平板等。其中电脑 SSD 和智能移动终端需求最大，两者占产能分布的比例接近 80%。3D NAND FLASH 最大的需求也是智能移动终端和电脑 SSD 需求。




图表 4 预计 2016 年 NAND FLASH 产能分布 资料来源：中国闪存市场网

2.2 智能移动终端需求：苹果 256GB 容量率先使用 3D NAND FLASH

在市场需求方面，在苹果、三星引领旗舰智能型手机向 128GB 大容量发展的趋势下，2016 上半年 Galaxy S7、华为 Mate 8、小米 5、vivo Xplay 5、OPPO R9 Plus 等纷纷增加 128GB 容量选择，从而推动 32GB、64GB、128GB 成为中高端智能型手机标配容量，下半年苹果新 iPhone 将增加 256GB 大容量，且最低搭配容量从 32GB 起跳，中国闪存市场网预计新 iPhone 容量分配为 256GB（10%）、128GB（50% ）、64GB（30%）、32GB（10%），首批备货约 1500 万台。

基于 3D NAND 性能和容量优势，三星 3D NAND 产能将主要用于需求快速增长且利润较高的 SSD，以及生产 256GB 大容量 UFS 2.0 和闪存卡产品，而且三星 48 层 V-NAND 已经通过了苹果认证，新 iPhone 搭载的 256GB 容量由三星独家供应，预计 Q3 开始供货。

未来随着智能机的容量逐渐提升和 3D NAND FLASH 的逐渐量产，3D NAND FLASH 将以其性能和容量优势获得更高的智能机移动终端的市场占有率。

中国闪存市场网预计 2016 年手机市场内置存储容量平均为 26GB，2017 年将增加至 34.5GB，再加上平板、OTT 盒子、电视等应用，预估 2016 年智能机移动终端大约消耗 41%的产能，依然是 NAND Flash 应用最大的产品。

2.3 SSD 需求：3D NAND FLASH 已拥有较高市场占有率

（1）SSD 市场快速增长，3D NAND 占据用户端 SSD 半壁江山

大数据时代，SSD 需求量快速增长，3D NAND 大容量和高性能特性可为 SSD 带来更高的性能表现。Gartner 资料指出，2014 年全球 SSD 市场规模为 305 亿美元，2015 年 328 亿美元、2016 年 347 亿美元、2017 年 409 亿美元等，逐年增长。Forward Insights 创始人兼首席分析师 Gregory Wong 先生表示，今年 3D NAND 已几乎占据用户端 SSD 市场半壁江山。

据市场研究公司 IHS 预测，到 2017 年，SSD 将占整个计算机存储市场份额的三分之一以上，出货量几乎是 2012 年出货量的七倍。2012 年固态硬盘出货量 3100 万块，仅占全球计算机存储解决方案市场份额的 6%。2017 年全球固态硬盘出货量将从 2012 年的 3100 万块增长到 2.27 亿块，在五年时间里迫使传统硬盘的市场份额从 2012 年的 94%下降到只有 64%。固态硬盘在这段时间的爆炸式增长相当于大约每年 48%的增长率并且将使固态硬盘成为传统硬盘有前途的替代品。

根据 TrendForce 数据，SSD 在 2016 年第一季度全球出货量达到 3077.7 万块，同比飚升 32.7％。据韩国信息通讯技术振兴中心（IITP）统计，SSD 今年出货量将成长 16.9%，2020 年出货量有望从 2015 年的 1.1 亿颗翻升至 2.4 亿颗。

（2）高容量，高性能，高可靠性：3D SSD 卓越的特性契合高性能数据存储需求

SSD 需求集中在消费类和数据中心市场需求，说到底是对高性能数据存储的需求。而就数据存储而言，3D SSD 优势非常明显。

以三星为例，三星电子面向 OEM 厂商而设计的新型 SSD，包括 PM1633、PM1725 和 PM953，均采用三星 3 bit MLC V-NAND 闪存芯片，具有高性能、高可靠性和高容量等特性。

（3）3D NAND 渗透进了企业 SSD 和消费 SSD

以三星为例。三星 2013 年领先全球率先推出 3D V-NAND 后，目前仍然是唯一量产 3D V-NAND 业者。据 IHS iSuppli 统计资料，如果以数量而言，2015 年企业用 SSD 市场中的 3D V-NAND 占比达 10%(约 124 万颗)，在消费者用 SSD 市场中，3D V-NAND 占比为 3%(约 233 万颗)，比之前的 2%预估值高。

IHS iSuppli 估计 3D V-NAND 在企业用 SSD 中的占比，将从 2015 年的 10%，大幅上升至 2016 年的 40%、2017 年的 71%，3D V-NAND 将渐渐成为 SSD 中的主流。在消费者用 SSD 的占比将从 2016 年的 18%、2017 年的 36%，上升到 2018 年的 60%，预计 3D V-NAND 将在 3 年后成为消费者用 SSD 中的潮流领导者。

（4）3D NAND SSD 助力 SSD 渗透率逐步超越 HDD

硬盘厂商西部数据、希捷发布的 2016 年 Q1 财报显示两家公司 HDD 硬盘出货量均锐减 20%，只有 4310 万块和 3920 万块，创历史新低。除了 PC 市场需求衰退因素，更重要的是 2016 年 SSD 价格累积下滑 20%，需求持续爆发性增长正在吞噬硬盘的市场份额。

笔记本配置 SSD 已从 2015 年 15%的比例提高到了现在的 25%，零售市场 240GB SSD 与 500GB HDD 已同价，用户将 HDD 更换成 SSD 数量也在大增，同时小容量 64GB SSD 用户正在向 120GB 和 240GB 容量升级。

值得注意的是，2016 年只有三星量产 3D NAND TLC SSD 产品，并且不对外销售 3D NAND 颗粒和 Wafer 晶圆，市场 SSD 品牌厂商只能选择 2D TLC Flash 和部分 3D MLC 生产 SSD。但未来几年内，伴随着 3D NAND FLASH 的量产，SSD 厂商将选择更多的 3D 产品，届时 SSD 渗透率会有较大的提高。

就目前的情况看，除三星外，美光、SK 海力士等也均宣布将在 2016 年推出基于 3DNAND 的 SSD，英特尔更是研发先进的 3DXpoint 技术，在 2016 年推出搭载 3DXpointNAND 的 Optane 系列 SSD 新品。

此外，国际控制芯片厂 Marvell 的 88NV1120、88NV1140、88SS1074 等 SSD 控制芯片均支持 3DTLCNAND，台厂慧荣也推出了一款支持 3DMLCNAND 的 SSD 控制芯片 SM2246EN，为非 Flash 原厂的 SSD 厂商提供 SSD 控制芯片支持，未来将有更多的 3D SSD 上市。

DRAMeXchange 预期，随着 3D NAND Flash 出货比重开始攀升，SSD 渗透率会有较大的提高。以笔记本电脑为例，DRAMeXchange 预估 2015 年的笔记本电脑 SSD 渗透率将突破 30%大关，更可望在 2017 年超越 50%。

2.4 预计 2017 年需求量达到 2.81 亿个，产能能得到消化

今年苹果首先推出使用 3D NAND FLASH 的 256GB 手机，3D 智能手机市场占比约 1.2%(苹果智能机市场占比 11.8%*256GB 预计占比 10%=1.18%)。随着人们对高容量手机的需求增长和量产后 3D NAND FLASH 成本的降低，3D NAND FLASH 需求将上升。根据 IDC 预计，2017 年智能手机出货量将达 16.81 亿部。假设未来三年 3D NAND FLASH 的手机出货量占总出货量的 5%，10%，20%,按每部 3D 闪存手机配置一个 3D NAND FLASH 计算,则预计 2017 年 3D NAND FLASH 的需求量约为 1.68 亿个（16.81*10%=1.681）。

Forward Insights 创始人兼首席分析师 Gregory Wong 先生表示，今年 3D NAND 已几乎占据用户端 SSD 市场半壁江山。考虑到东芝、武汉新芯等公司加入 3D NAND 的生产，我们预计未来三年 3D SSD 的市占率分别为 55%，60%，65%。IHS 预测到 2017 年，SSD 出货量预计将达到 1.89 亿颗。以一个 SSD 配置一个 3D NAND FLASH 计算，我们预计 2017 年 3D NAND FLASH 在 SSD 方面的需求量为 1.13 亿个（1.89*60%=1.134）。

总的来看，预计 2017 年 3D NAND FLASH 需求约为 2.81 亿颗（1.681+1.134=2.815），和目前略多于 1.1 亿颗的市场相比，需求空间广阔。

另外前文我们根据中国闪存市场网和 IHS 数据，预计 2017 年 3D NAND FLASH 640 亿 GB 规模。由于 3D NAND 主要用于 256GB 或更高容量的智能机和 SSD，所以 2017 年 3D NAND FLASH 的供给大约是 2.5 亿颗（640÷256=2.5）。市场需求 2.81 亿个高于市场供给 2.5 亿个，因而不存在 3D NAND FLASH 产能过剩问题，厂商能有稳定的获利。

**3、存储芯片行业供需状况稳定，过剩概率不大**

3.1 传统上存储芯片市场周期性较为明显

2015 年因 Flash 原厂扩大 1ynmTLC 量产，以及受全球智能手机出货量增长放缓，平板出货下滑，PC 需求持续不振等影响，中国闪存市场网数据，NANDFlash 综合价格指数累积跌幅高达 35%，再加上 DRAM 价格持续下跌，存储产业链厂商营收成长均受到了一定的冲击。

而 2016 年第一季度市场需求复苏迟缓，NANDFlash 价格依然持续跌势，累

积 2 个多月 NANDFlash 综合价格指数跌幅达 3.3%。

二季度以来，随着上游 Flash 原厂 3D 技术量产不顺以及产线转换等影响，3D NAND 产出相对有限，2D NAND 产能供应减少。在苹果 iPhone SE 备货、SSD 强劲的需求带动下，NAND Flash 市场迎来首波涨价潮，NAND Flash 综合价格指数短时间内上涨 4%，打破了常规的传统淡季。

随着旺季即将到来，为了满足 SSD 需求的增长以及中高端手机对内嵌高容量的需求，Flash 原厂对市场供应的 Wafer 数量减少且提高 15%的价格，5 月下旬市场 NAND Flash 价格再次上涨。其中，闪存卡价格最先拉涨，eMMC/eMCP 价格也已明显止跌，市场更传出 4GB-16GB eMMC、4+4/8+4/8+8 eMCP 等低容量喊涨等消息，似乎预警 NAND Flash 市场已提前进入紧张的供应状态。

3.2 资金+技术两大壁垒

3D NAND FLASH 行业两大壁垒：资金壁垒、技术壁垒。这使得业内领先企业优势明显。

3D NAND FLASH 需要投入大量资金。主要厂商建设厂房和设计生产均投入了大量资金。资金雄厚的公司才能立于有利地位。这使得资金不足的厂商进入比较困难。

表格 5 部分厂商 3D NAND FLASH 投资金额　资料来源：上市公司公告

| 厂商 | 投资事件及投资金额 |
| --- | --- |
| 三星 | 150亿美元在韩国建厂，主要用于2D 10nm量产和3D技术的发展，预计2017年投入生产。 |
| 东芝/闪迪 | 3月17日东芝发布新闻稿称，3年内投资3000亿日元建厂，新的工厂主要用来生产与闪迪合作开发的3D NAND芯片（BiCS FLASH）。 |
| 武汉新芯 | 4月发布240亿美元3D NAND FLASH投资计划 |
| 紫光国芯 | 2015年11月定增800亿，计划定增投入存储芯片600亿，共投入932亿人民币 |

生产 3D NAND FLASH 需较高的技术。相对于 2D NAND 对微缩技术的要求，3D NAND 的关键技术是极度复杂的刻蚀和薄膜工艺。另外，克服良率与成

本也需要较好技术，如美光（Micron）与英特尔（Intel）阵营开发 Cellon Peripheral Circuit 技术试图解决良率与成本问题。3D NAND FLASH 中，由于厂商不一定公布很多技术细节，特别是很少提及具体的制程工艺，除了三星之外其他厂商的 3D NAND FLASH 现在才开始推向市场，代表性产品也不足。

表格 6 部分厂商 3D NAND 芯片技术特征

| 3D NAND 芯片厂商 | 技术特征 |
|---|---|
| 三星 | V-NAND/CTF |
| 东芝/闪迪 | BICS |
| 美光 | FG浮栅极 |
| 英特尔 | PCM相变 |

**l 三星：最早量产的 V-NAND 闪存**

三星是 NAND FLASH 市场最强大的厂商，在 3D NAND FLASH 上也是一路领先，他们最早在 2013 年就开始量产 3D NAND FLASH 了。在 3D NAND 路线上，三星也研究过多种方案，最终量产的是 VG 垂直栅极结构的 V-NAND FLASH，目前已经发展了三代 V-NAND 技术，堆栈层数从之前的 24 层提高到了 48 层，TLC 类型的 3D NAND 核心容量可达到 256Gb 容量，在自家的 840、850 及 950 系列 SSD 上都有使用。

值得一提的是，三星在 3D NAND FLASH 上领先不光是技术、资金的优势，他们首先选择了 CTF 电荷撷取闪存（charge trap flash，简称 CTF）路线，相比传统的 FG（Floating Gate，浮栅极）技术难度要小一些，这多少也帮助三星占了时间优势。

**l 东芝/闪迪：独辟蹊径的 BiCS 技术**

东芝是闪存技术的发明人，虽然现在的份额和产能被三星超越，不过东芝在 NAND 及技术领域依然非常强大，很早就投入 3D NAND 研发了，2007 年他们独辟蹊径推出了 BiCS 技术的 3D NAND。虽然 2D NAND FLASH 简单堆栈是可以作出 3D NAND FLASH 的，但制造工艺复杂，要求很高，而东芝的 BiCS FLASH 是 Bit Cost Scaling，强调的就是随 NAND 规模而降低成本，号称

在所有 3D NAND FLASH 中 BiCS 技术的闪存核心面积最低，也意味着成本更低。

东芝和闪迪是战略合作伙伴，双方在 NAND 领域是共享技术的，他们的 BiCS FLASH 去年开始量产，目前的堆栈层数是 48 层，MLC 类型的核心容量 128Gb，TLC 类型的容量可达 256Gb，预计会在日本四日市的 Fab 2 工厂规模量产，2016 年可以大量出货了。

**l SK Hynix：今年推第四的 3D NAND**

在这几家 NAND 厂商中，SK Hynix 的 3D NAND 最为低调，不过从官网公布的信息来看，SK Hynix 的 3D NAND FLASH 已经发展了 3 代，2014 年 Q4 推出的第一代，2015 年 Q3 季度推出的第二代，去年 Q4 推出的则是第三代 3D NAND FLASH，只不过前面三代产品主要面向 eMCC 5.0/5.1、UFS 2.0 等移动市场，今年推出的第四代 3D NAND FLASH 则会针对 UFS 2.1、SATA 及 PCI-E 产品市场。

SK Hynix 的 3D NAND FLASH 堆栈层数从 36 层起步，不过真正量产的是 48 层堆栈的 3D NAND FLASH，MLC 类型的容量 128Gb，TLC 类型的也可以做到 256Gb 容量。

**l Intel/美光：大容量的 FG 浮栅极**

这几家厂商中，Intel、美光的 3D NAND FLASH 来的最晚，去年才算正式亮相，虽然进度上落后了点，但美光的 3D NAND 有很多独特之处，首先是他们的 3D NAND 第一款采用 FG 浮栅极技术量产的，所以在成本及容量上更有优势，其 MLC 类型闪存核心容量就有 256Gb，而 TLC 闪存则可以做到 384Gb，是目前 TLC 类型 3D NAND FLASH 存中容量最大的。384Gb 容量还不终点，今年的 ISSCC 大会上美光还公布了容量高达 768Gb 的 3D NAND FLASH 论文，虽然短时间可能不会量产，但已经给人带来了希望。

**l Intel：3D XPoint 闪存**

Intel 在中国大连投资 55 亿升级晶圆厂，准备量产新一代 3D XPoint 闪存。根据 Intel 官方说法，3D XPoint 闪存各方面都超越了目前的内存及闪存，性能是

普通显存的 1000 倍，可靠性也是普通闪存的 1000 倍，容量密度是内存的 10 倍，而且是非易失性的，断电也不会损失数据。

由于还没有上市，而且 Intel 对 3D XPoint 闪存口风很严，目前无法确定 3D XPpoint 闪存背后到底是什么，不过比较靠谱的说法是基于 PCM 相变存储技术。相比目前的 3D NAND FLASH，3D XPoint 闪存有可能革掉 NAND 及 DRAM 内存的命，因为它同时具备这两方面的优势，所以除了做各种规格的 SSD 硬盘之外，Intel 还准备推出 DIMM 插槽的 3D XPoint 硬盘，现在还不能取代 DDR 内存，但未来一切皆有可能。

2016 年下半年除东芝就 64 层 3D NAND FLASH 展开送样出货外，三星电子，美光，SK 海力士等亦将陆续量产，将促使 3D NAND FLASH 垂直堆叠最高层数自 64 层朝 2017 年的 80 层迈进。DIGITIMES 研究观察，由于干蚀刻使用在 64 层以上更高堆叠层数的三维 NAND 闪存，其蚀刻速度与正确性可望优于湿蚀刻，将使三星于 64 层以上的 3D NAND 闪存转向干蚀刻发展的可能性提升。

垂直信道构造的 3D NAND FLASH 系指字符线与位线构造，垂直通道具备成本优势，成为厂商发展的 3D NAND FLASH 所采用主流构造。随着 3D NAND Flash 持续朝 64 层以上更高垂直堆栈层数迈进，制程中需贯通至底部的蚀刻厚度将较以往增加，且蚀刻精密度亦将提升。

3.3 技术变革改变行业周期属性

尽管存储芯片市场呈现周期性波动，但我们认为，随着 3DNANDFLASH 技术的发展，存储芯片行业的周期性将让位于成长性，在较长时间内进入相对供需稳定状态，没有产能大幅过剩的担忧，相关企业将能够保持相对稳定的盈利能力。主要原因如下：

1）供给端看：行业壁垒高，资金+技术构成了极高的壁垒。行业内企业大量减少，少数企业占据了主导地位。

其一，存储芯片行业不断出现的破产、并购使得行业产能收缩，产业集中度也进一步提高。2013 年存储芯片行业前五大厂商合计市场份额约为 95%，中小型厂商基本被消灭。各大厂商经历过过去因行业产能过剩而造成的巨额亏损，

从而扩产更为谨慎，不像过去中小型厂商为了抢占市场份额而往往率先扩产。这样存储芯片产业就在较长一段时间内保持了较为稳定的状态。

其二，存储芯片行业扩产难度相比过去已经大大提高。DRAM 目前主流的制程为 20nm~30nm，NAND 也进入 20nm 以下制程的时代，进一步缩小制程所需的研发与建厂投资大大增加，新建厂房往往需要花费数十亿美元。所以，从整体上来看，存储芯片厂商的扩产意愿和扩产能力都不强。

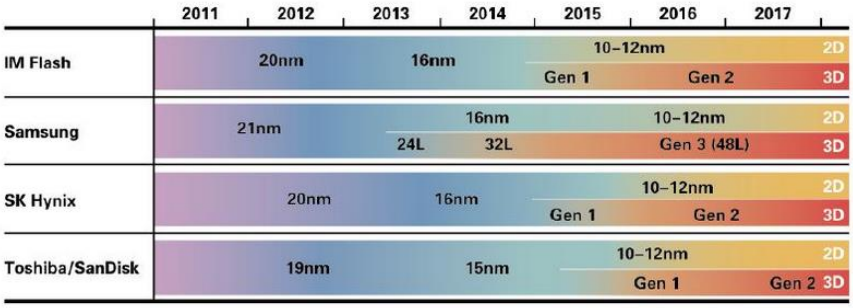
2）需求端看：下游应用范围大大扩展,智能移动终端和 3D SSD 需求旺盛。智能移动终端兴起一方面使得对存储芯片的需求大大提高，抵消了近些年来 PC 销量不振造成的影响，另一方面也平抑了原来因 PC 出货周期而导致的存储芯片需求周期。3D 固态硬盘需求逐渐增大，未来将逐渐取代 HDD。

滕飞选摘自

http://www.gzhphb.com/article/50/503952.html

## 英特尔 3D NAND：下一代产品将在 2017 下半年面世

3D NAND 技术与现有的 2D NAND 纳米制程技术截然不同，2D NAND 是平面结构而 3D V-NAND 是立体结构，3D 结构是以垂直半导体通道的方式排列，多层环绕式栅极(GAA)结构形成多电栅级存储器单元晶体管，可以有效的降低堆栈间的干扰。




| 参数 | 现有芯片容量级别 | 理论工艺制程级别 | 特征尺寸 | 读操作时间 | 写操作时间 | 寿命（耐久性） | 数据保持力 | 写操作功耗 | 空闲功耗 | 非易失性质 | 读过程破坏性 | 当前主要技术瓶颈 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DRAM | ~16Gb | ~20nm | 6~10F^2 | <10ns | <10ns | >10^15 | 刷新 | ~0.1nj/b | 高 | 易失 | 破坏性 | 需刷新，易失，作为内存工艺制程有限 |
| NAND | ~1Tb | ~16nm | 4~11F^2 | 10~50μ | 0.1~1ms | 10^4~10^6 | 10年 | 0.1~1nj/b | 低 | 非易失 | 非破坏 | 寿命/性能有限，存储密度较低 |
| PCM | ~8Gb | ~5nm | 6~10F^2 | 10~100ns | 20~120ns | 10^8~10^12 | >10年 | <1nj/b | 低 | 非易失 | 非破坏 | 容量较小，材料可操作温度范围狭窄 |

数据来源：《基于相变存储器的存储技术研究综述》，莫尼塔研究

主要 NAND 闪存厂制程技术演进路线（资料来源：各公司、研讨会报告，IC/insight 整理）

3D 技术不仅使产品性能至少提升 20%，而且功耗可以降低 40%以上。 英特尔第一代 3D NAND，采用 32 层堆叠，是 50nm 到 34nm 之间的工艺，分为 TLC 与 MLC 两个系列，代号分别是 L06B 和 B0KB，其中 L06B 是 MLC 产品的代号，容量为 256Gb（32GB）采用 ONFI 4.0 标准，闪存寿命是 5000 P/E。

Key Specifications

| Technology | MLC (L06B) | TLC (B0KB) |
|---|---|---|
| Density | 32GB (256Gb) | 48GB (384Gb) |
| Process Node, Bit/Cell | 3D, 2b/c | 3D – 3b/c |
| Speed Grade | 533 MT/s and 667 MT/s | 533 MT/s and 667 MT/s |
| Page Size | 16,384 + 2208 bytes | 16,384 + 2208 bytes |
| Pages Per Block | 1024 | 1536 |
| Block Size | 16,384K + 2208K bytes | 27,888K bytes |
| Blocks x Plane | 548 x 4 | 548 x 4 |
| tPROG (TYP/MAX) | 1300µs/2500µs | 1630µs/5000µs |
| P/E Cycle | 3K + read retry | 1500 LDPC/500 BCH |
| ECC/Codeword | 72b/1KB BCH or LDPC | LDPC/72 bit BCH |
| tBERS (TYP/MAX) | 15ms/45ms | 15ms/45ms |
| tR (TYP) | 77µs | 100µs |
| tSNAP | 40µs | 53µs |
| ONFI Compliance | 4.0 | 4.0 |
| $V_{CCQ}$ ($V_{CC}$ = 3.3V) | 1.2V , 1.8V | 1.2V , 1.8V |
| Packages | Die, BGA, TSOP | Die, BGA |
| TSOP Package Options | 48-pin TSOP (SDP, DDP) | – |
| BGA Package Options | BGA132 (SDP, DDP, QDP, 8DP, 16DP) | BGA132 (SDP, DDP, 3DP, QDP, 8DP, 16DP) |

B0KB 容量为 384Gb（48GB），由于是 TLC 架构，所以采用了 ECC 纠错能力较高的 LDPC 提高 NAND Flash 的耐用性，可将 TLC 闪存寿命提高到 1500 P/E。

2016 年 7 月 12 日 Intel & Richmax 在深圳举办了 3D Nand Technical Workshop，介绍了 Intel 相关 3D NAND 的近况。会议上简单的提到了英特尔下一代 3D NAND，堆叠层数会多于现在的 32 层，保守点估计是 48 层，也可能是 64 层，将在 2017 年下半年推出样品，预计到 2018 年才会量产。

英特尔也推出了首款数据中心存储应用的 DC P3320 系列 3D SSD，并将在年底前面向消费类市场推出基于 PCIe 接口的 3D SSD，以 Flash 原厂推出的 3D SSD 观察，基于 3D NAND 更大容量的优势，将优先企业级和数据中心存储应

用，稍后再普及到消费类市场。

滕飞 编译自

http://www.recadata.com/zh/home/Article.aspx/12

# 东芝开始全球首批 64 层 3D NAND 闪存的样品出货

东京-东芝公司（东京：6502）今天宣布最新一代 BiCS FLASH™ 三维（3D）闪存存储器，采用了堆栈式单元结构[1]。该款 64 层工艺的存储器于今天成为了世界首款[2]样品出货的产品。新型存储器采用 3-bit-per-cell（1 个存储器储存单元可存放 3 比特的数据）技术，实现了 256Gbit（32GB）的容量。这种进步印证了东芝专有架构的潜力。东芝将不断精进 BiCS FLASH™ 制造工艺，其发展蓝图中的下一个里程碑将是同样采用 64 层堆栈的 512Gbit（64GB）容量存储器。

新一代东芝 BiCS FLASH™增加了层数，扩大了容量

这款新型存储器沿袭 48 层 BiCS FLASH™，并采用领先的 64 层堆叠工艺，使每个单元芯片的容量比 48 层堆叠工艺增加 40%，在降低每比特成本的同时提高每个硅晶圆的存储容量的可加工性。64 层 BiCS FLASH™ 满足严格的性能规范，将用于包括企业级 SSD 和消费级 SSD、智能手机、台式电脑和存储卡等存储相关应用。

东芝自 2007 年 6 月发布世界首款 3D[3] NAND 闪存存储技术原型以来，一直致力于积极推进 BiCS FLASH™ 发展，以满足市场对于更小尺寸且更大容量的存储需求。

东芝已于本月初在日本四日市的 Fab2 新厂生产该新型 64 层 BiCS FLASH™，并计划于 2017 年上半年开始量产。

**注：**

[1] 栈式结构闪存存储器单元垂直于硅基板，大大提高了密度，并超过二维 NAND 闪存存储器，单元在硅基板上形式。

[2] 截至至 2016 年 7 月，东芝调查

[3] 东芝提出，2017 年 6 月 12 日

*BiCS FLASH 是东芝公司的商标。

滕飞 选摘自

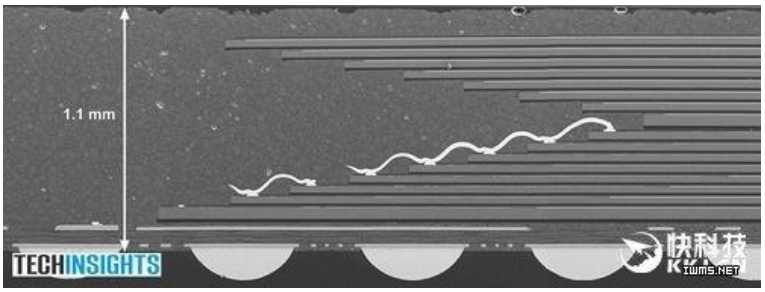
http://toshiba.semicon-storage.com/cn/company/news/news-topics/2016/07/memory-20160727-1.html

# 三星 48 层 3D 闪存技术

从 CPU 到 GPU，从内存到显存再到闪存，各种芯片都在搞 3D 堆叠工艺，而堆叠最狠的，绝对是三星电子的 3D V-NAND 闪存。TechInsights 最近拆解了三星最新的 48 层 3D V-NAND，被其精湛的工艺彻底征服了。

拆解对象是三星最新的移动固态硬盘 T3 2TB ，应用了 2015 年 8 月份发布的 3D V-NAND TLC 闪存颗粒，每个晶粒(Die)的容量为 256Gb(32GB)，编号“K9AFGY8S0M”。

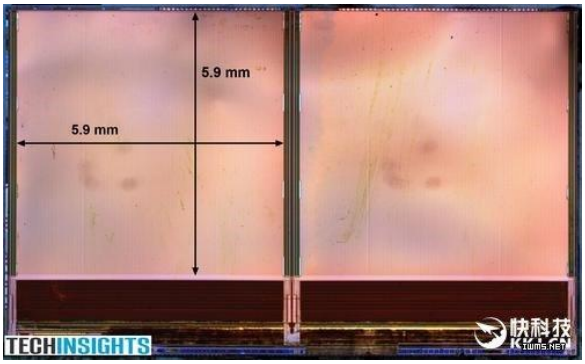
这块硬盘 PCB 的正反面安装了四颗闪存芯片，编号“K9DUB8S7M”，每颗容量 512GB，内部封装了 16 个我们想要探索的 48 层堆叠 3D V-NAND 晶粒。




16 颗晶粒相互堆叠以及采用传统线键合技术连接的封装横截面。 这些晶粒的厚度只有 40 微米，是迄今所见封装中最薄的，相比之下三星上代 32 层堆叠 3D V-NAND 中的晶粒厚度约为 110 微米。

另外，AMD R9 Fury X 显卡所用海力士 HBM 显存的晶粒厚度约为 50 微米，三星 TSV DDR4 DRAM 晶粒的厚度约为 55 微米。

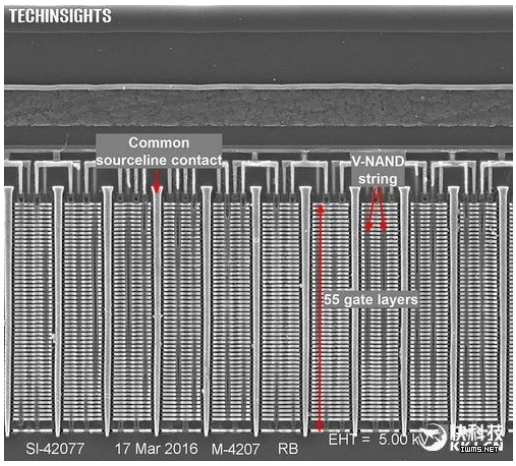
40 微米，可能已经逼近 300 毫米晶圆无需使用承载晶圆(carrier wafer)所能实现的最薄极限了。



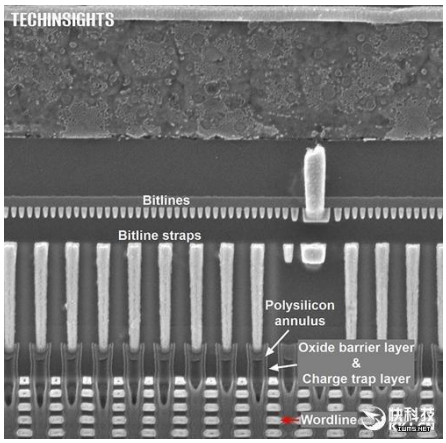

单独的一个 256Gb 晶粒，包括两个 5.9×5.9 毫米的闪存 Bank，存储密度约为每平方毫米 2600MB，而这还是 21nm 工艺实现的，相比之下三星 16nm 工艺平面型 NAND 闪存的密度只有每平方毫米 740MB。

Table 1: Planar and V-NAND Density

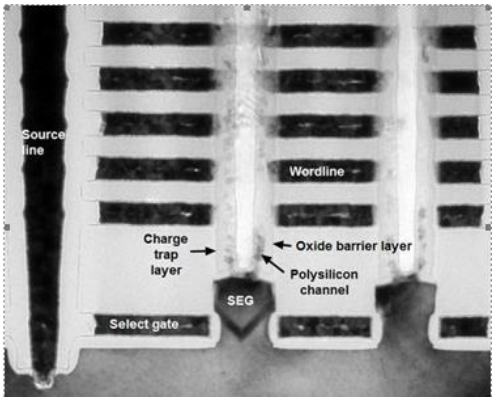
| | Micron 16 nm | Hynix 16 nm | Samsung 16 nm | Samsung 48L V-NAND |
|---|---|---|---|---|
| Year | 2014 | 2014 | 2015 | 2016 |
| Process node (nm) | 16 | 16 | 16 | 21 |
| Capacity (Gb) | 128 | 64 | 64 | 256 |
| Die area ($mm^2$) | 176 | 93 | 86.4 | 99 |
| Density ($Mb/mm^2$) | 730 | 690 | 740 | 2,600 |



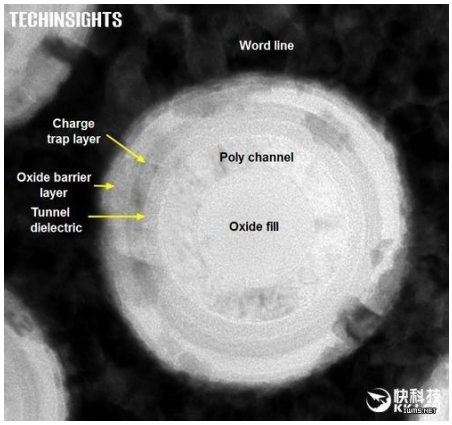

这是闪存阵列部分的 SEM(扫描式电子显微镜)横截面，可以看到其中 有 55 个闸极层，包括 48 个 NAND 单元层、4 个虚拟闸极、2 个 SSL、1 个 GSL。



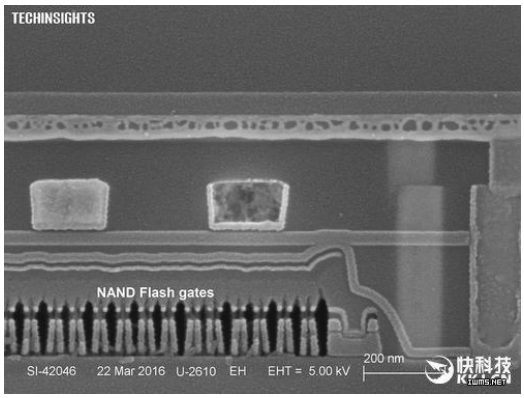

V-NAND 顶部的更高倍数放大图




三星 32 层 V-NAND TEM(隧道电子扫描显微镜)横截面




V-NAND 串联 TEM 平面图，可看到多个环形的分层




三星 16nm 平面型 NAND 闪存阵列

滕飞选摘自
中国存储
http://www.chinastor.org/gdcc/8599.html

# 《集微技术信息简报》

《集微技术信息简报》是由中国科学院文献情报中心学科咨询服务部承担编辑的集成电路、微电子相关领域科技信息综合报道及专题分析简报（双月报），于2014年3月正式启动，2014年为季度发行的《光刻技术信息简报》，2015年3月改版为《集微技术信息简报》双月发行（2015年12月起改为双月月底发布）。按照“统筹规划、系统布局、分工负责、整体集成、长期积累、深度分析、协同服务、支撑科研”的发展思路，规划和部署《集微技术信息简报》。《集微技术信息简报》服务对象，一是“02专项”的相关领导、科技战略研究专家和科研一线工作者；二是集成电路、微电子领域科技战略研究专家和科研一线工作者。《集微技术信息简报》内容力图兼顾科技决策和管理者、科技战略专家和领域科学家的信息需求，报道集成电路、微电子领域的国际科技战略与规划、科技计划与预算、科技进展与动态、科技前沿与热点、重大科技研发与应用、重要科技政策与管理等方面的最新进展与发展动态，每期提供一个集成电路、微电子领域热点方向的专题分析。《集微技术信息简报》是内部资料，不公开出版发行；除了其所报道的专题分析报告代表相应作者的观点外，其所刊载报道的中文翻译信息并不代表译者及其所在单位的观点。

***更多及时信息请关注集成电路研发竞争情报公众服务号！***

扫一扫关注我们

**主编：吴鸣（中国科学院文献情报中心学科咨询部主任）**

**常务副主编：王丽（中国科学院文献情报中心学科咨询部学科馆员）**

**编辑部：中国科学院文献情报中心学科咨询部**

**编辑： 赵慧敏 张迪 腾飞**

**电话：010－82629002**

**本期责任编辑：王丽**

**承办单位：中国科学院文献情报中心**

**联系地址：北京市海淀区北四环西路 33 号（100190）**

**网址：www.las.ac.cn**

**联系人：王丽**

**电话：010-82629002，010-82626611-6168**

**电子邮件：wangli@mail.las.ac.cn**