

第一章 绪论

§ 1.1 前言

现代通信技术的迅速崛起,有力地推动了现代世界经济朝着全球一体化、信息化方向发展。经济和社会的发展又进一步牵动通信业务需求不断剧增,其中光纤通信和移动通信,由于其独特的优势成为普及最快的两大信息产业。

光纤通信具有高速、大容量、传输业务信息多的特点,是构筑“信息高速公路”的主干,成为现代信息社会的支柱产业。光通信发展极为迅速,国外已从长途网扩展到办公室、扩展到家庭。我国九五“以来已建立更多国家级干线、省级干线和地市级干线。而移动通信包括陆基、卫星移动通信及全球定位系统,最终实现在任意时间、任意地点与任何通信对象进行通信的理想境界,其市场容量十分巨大。而伴随着通信容量的剧增,光纤通信和移动通信都在进一步提升各自的通信频率。

目前光纤通信主要采用2.5Gb/s和10Gb/s的调制速率,未来将过渡至40~100Gb/s。其光通信收发系统均需采用超高速专用电路。

移动通信近年来一直处于高速发展的态势之下,人们正在不断地朝着使用更高频率的方向迈进。由于可用带宽大致与载频成正比,因而我们看到所采用的频率已经从900~2400MHz稳步提升至5000MHz窗口。但即便是5GHz频段也还不够宽,因此向更高微波频率的移动将继续下去。对于无线MAN(城域网),已经分配了若干频率范围在10.5~31.5GHz之间的频段【1】。

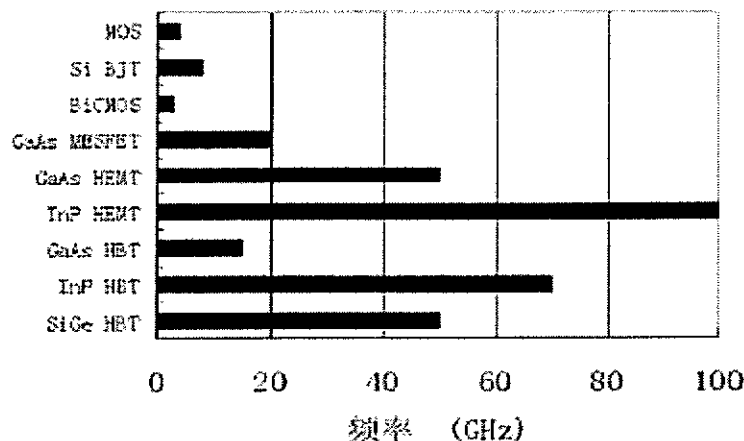


图 1 不同半导体器件适用频段示意图

市场的需求,促进了超高速电路、RF 和微波电路领域新材料、新技术的研

究与应用。由于化合物半导体（GaAs、InP、SiGe 和 GaN 等）器件具有优越的高频、高速、低噪声低功耗和抗辐照等特点，因此获得广泛的应用。其中，GaAs 是继 Si 之后研究最深入、应用最广泛的半导体材料。如今，基于 GaAs 的微波、毫米波器件及 MMIC 广泛应用于移动通信系统、无线视频分配系统、导航定位系统（GPS）、智能化交通管理系统、卫星应用和航天领域。它们在军事应用上具有相当的重要性，被称为是军事装备的“耳目”；而在民品应用中同样具有较好的市场和经济效益。

§ 1.2 GaAs MMIC 的发展与展望

上世纪七十年代，很多专家还对 GaAs 材料的发展前景持怀疑态度。但是到 1993 年，基于 GaAs 的器件及 IC 已经达到 10 亿美元的产值，十年后（2003 年），GaAs IC 的产值达到了 30 亿美元【2】。

1966 年，Carver Mead 首次指出 MESFET 在实用化场效应晶体管中的优势。1967 年，W. W. Hooper 等人报道了第一只实用化的微波 MESFET。之后美国、日本以及欧洲诸国纷纷展开 GaAs 器件的研究。各个研究团队在 70 年代中期纷纷报道了 GaAs 单片电路的研究进展。1973 年，Hewlett Packard 公司报道了世界第一款 GaAs 逻辑电路；1974 年，Plessey 研究组报道了一种 GaAs 基 X 波段放大器。1980 和 1984 年，HEMT 和 HBT 这两种新结构 GaAs 期间先后问世，并以其优异的性能进一步拓展了 GaAs IC 的应用领域。

在第一只 GaAs MESFET 出现后的二十多年间，军事领域的应用一直是推动 GaAs IC 发展的主要力量【3】。美国于 1983 年投资建立 GaAs 研究中心和 GaAs 门阵列生产线。1986 年美国国防部尖端技术研究规划署（DARPA）制订了总投资约 10 亿美元的微波/毫米波单片集成电路（MIMIC）发展规划，目的是推动研制生产频率覆盖 1—100GHz 高性能、高可靠性、低价格的微波/毫米波器件和单片集成电路产品。该计划第一阶段于 1991 年完成，共开发出 79 种 MIMIC 芯片。采用这些芯片制造的 23 种电子模块运用于 16 种系统演示验证样机。目前 MMIC 芯片已经大量应用于相控雷达、电子对抗、通信、武器制导等系统中，显著减小了设备体积和重量、降低了造价、提高了性能、取得了很好的效果。在海湾战争期间，广泛采用了 MMIC 技术的美军灵巧武器已经显示出了巨大的优越性。

随着冷战的结束和MMIC技术的发展, MMIC的应用逐渐转移到民用方面, 其主要应用领域是商用无线通信市场, 包括移动电话、低轨道卫星移动通信、无线局域网、全球卫星定位系统(GPS)、直播卫星接收(DBS)等方面。

例如, 第三代移动通信体制标准对手机芯片提出了若干特殊要求, 如单电源供电, 因而较低复杂性和较小尺寸重量; 高效率, 因而较长通话时间; 高线性, 因而较高系统容量及通话私密性。目前手机成套芯片的射频功放GaAs MMIC是满足第三代移动通信体制标准的最佳选择。RFMD公司目前85%的业务与HBT有关, 多数是为Nokia手机配套的功放MMIC; Conexant公司供手机用的GaAs HBT功放MMIC产量已达400-500万片/月。考虑到手机持有量的持续增长, MMIC在移动通信市场仍有巨大的发展空间。

由美国COMSAT研究所于1989年制造的12GHz MMIC放大器用于ITALSAT (1992年1月发射) 轨道测试转发器试验成功以来, MMIC在卫星应用方面越来越显示出其优越性: 如便于实现先进的有效载荷结构; 抗辐射性能增强; 提高卫星使用寿命; 重量轻、体积小; 性能一致、可重复制造; 降低系统工程费用, 缩短整星研制时间等。

MMIC在影视产品上的应用也是广阔的, 这方面的应用包括: 无线CATV接收机/调谐器、TVRO、MMDS (Multichannel Multipoint Distribution Service)、LMDS(Local Multipoint Distribution Service)和HDTV等等。使用GaAs MMIC的家用TVRO在欧洲和日本拥有数百万用户, 而且目前还在继续生产。而卫星接收系统至CATV用的变频调谐器潜在用户将达数亿。

MMIC的另一个重要市场则是智能交通系统, 包括: 车载移动通信、全球卫星定位、道路交通状况检测系统、汽车防撞毫米波雷达等。美国正在实施的IVHS (Intelligent Vehicle Highway System) 智能车辆公路系统将使用大量的毫米波MMIC来实现交通系统的信息化, 德国已制造出24—60GHz汽车MMIC速度探测器。

MMIC在其他一些领域, 比如高速光通信系统等方面也有广泛的应用。而且由于MMIC所具有的高可靠性、低成本、宽频带、体积小等优点, 人们预测随着MMIC的不断发展, 使用面的不断扩展, 一些以前不可能实现的目标将会由于MMIC的介入而解决。

§ 1.3 HEMT 发展历程

随着 GaAs 器件及 MMIC 工作频率的不断提高, MESEFT 的局限性体现出来, 具体表现为, 电子在 FET 的掺杂沟道中渡越时, 因受到离化施主杂质的散射, 而使其迁移率(μ)受到限制。为提高 μ , 就要设法降低掺杂浓度, 但这时的载流子浓度(N)也随之下降。FET 的沟道电流和跨导这两个最重要的参数皆与 $qN\mu$ 成正比, 如果只是 μ 提高了, 而 N 下降, 无助于 FET 性能的提高。因此, 最理想的办法是, 既能降低杂质浓度, 又能保证足够的载流子浓度。

L. Esaki在1969年曾提出了调制掺杂超晶格的概念, 指出采用这种结构可显著提高 μ 。但由于技术上的原因, 这种先进的设计构想在当时乃至以后相当长的一段时间内未能实现, 直到MBE、MOCVD技术成熟之后, R. Dingle才在1978年从实验上观察到了 μ 提高的现象。1980年日本的T. Mimura首先报导了采用调制掺杂结构的FET, 它采用i-GsAs/n-Al_xGa_{1-x}As异质结结构, 其中电子亲和力较小的Al_xGa_{1-x}As是N型掺杂的, 而GaAs是非掺杂的, 即所谓调制掺杂。由于这种FET与传统GaAs FET主要区别在于电子迁移率高, 因此将其命名为高电子迁移率晶体管(HEMT)【4】。

此后, 各国研究者对HEMT进行了深入研究, 至80年代中期, 在AlGaAs/GaAs HEMT的结构上引入了三个重要的改进。一是M. Sholley在1985年报导的缓变组分的Al_xGa_{1-x}As层; 二是C. W. Tu在1986年报导的超晶格施主层; 三是T. Bada在1986年报导的超晶格缓冲层。上述三种改进虽然只是对原型HEMT进行了一些“微调整”, 但其深远影响却不容忽视, 目前许多HEMT仍然采用这些结构, 就是一个佐证。

HEMT在向更高阶段迈进时, 遇到的一个棘手的问题, 就是深能级陷阱(DX中心)。为了提高2DEG中电子浓度, 除了提高n-Al_xGa_{1-x}As施主层的掺杂浓度, 还要求GsAs/Al_xGa_{1-x}As异质结有尽可能大的导带不连续性, 进而要求提高Al在Al_xGa_{1-x}As中的比例(一般要求X大于0.2), 但这时会产生深能级陷阱。当电子被俘获在这些陷阱中时, 就会使2DEG中的电子减少或耗尽, 造成器件特性恶化, 常规HEMT无法完全克服这一问题。直到1985年, T. W. Waseink提出了InGaAs沟道HEMT。它是用非掺杂的InGaAs层代替常规HEMT的非掺杂GaAs层作为沟道而构成的。在InGaAs/GaAs异质界面存在大约1%的晶格失配, 当InGaAs层足够薄时,

由晶格失配产生的应力将全部被吸收在该层中, InGaAs层受到应力作用而被压缩, 使其晶格常数大致与GaAs相匹配, 该层称为“赝配层”, 这种结构的HEMT称为赝配HEMT (PHEMT)。由于InGaAs的带隙比GaAs小, $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$ 的导带不连续性 (ΔE_c) 比 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ 大, 所以 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 选择比较低的 x 仍能满足器件要求的 ΔE_c , 在获得相同 ΔE_c 并维持较高2DEG密度的情况下, 减轻了AlGaAs层中深能级陷阱的影响。而且, InGaAs材料具有更高的电子迁移率和漂移速度, 因此PHEMT在噪声系数、电流密度和工作频率等方面均比常规HEMT有较大提高, PHEMT的出现是HEMT发展史上一个里程碑。

之后, 为寻找具有更优良异质结传输特性材料所做的研究, 导致了HEMT发展史上的另一次重大变革的出现, 那就是八十年代后期发生的衬底材料由GaAs向InP的转变和由赝配异质结发展为匹配异质结, 并由此导致InP基HEMT的诞生。这种HEMT是Illinois大学的C. K. Peng在1987年首先研制成功。

经过二十年的发展, HEMT器件以其优异的性能在超高速逻辑电路以及微波毫米波电路领域获得广泛的应用。

§ 1.4 E/D HEMT 器件发展与应用

增强型HEMT器件即为当栅偏置电压为零时, 沟道层中2DEG耗尽, 只有当栅偏置电压为一定正电压时才能在沟道中形成导电的2DEG; 反之即为耗尽型。早期开发增强型GaAs晶体管的主要是为满足高速逻辑电路的需要。

相对于Si逻辑电路, GaAs逻辑电路在速度和功耗上更具优势, 因此被认为是超高速逻辑电路的理想选择。经过长期研究, GaAs FET逻辑电路已经发展出多种基本电路结构。其中BFL、SDFL、CDFL等结构广泛应用在基于耗尽型晶体管制造工艺的逻辑电路中。这些结构的优点在于工艺相对简单、允许较大的逻辑电压摆幅、有较高的噪声容限。但是由于耗尽型晶体管逻辑电路工作中需要双电源供电, 并且工作电流较高, 因此功耗较高, 电路结构比较复杂。这使得这些电路结构很难用于大规模和超大规模逻辑电路。因此大规模逻辑电路需要采用增强型晶体管。基于增强型晶体管的逻辑电路包括SCFL和DCFL, 这些结构避免了双电源供电和电平转换电路, 在高速逻辑电路获得了广泛应用【5】。

早在1983年R. A. S. alder 等人就成功制作了GaAs MESFET DCFL逻辑门

【6】。由于HEMT相对于MESFET，在速度、功耗等方面更具优势，因此近年来世界各国研究者对基于E/D HEMT技术的逻辑电路投注了大量精力。

在长期的技术开发过程中，研究人员发现，E/D HEMT的优势并不限于逻辑电路领域。现代无线通信接收机要求电路有很低的电流消耗、良好的射频性能、与数字电路良好的接口。需要一种偏置电路简单、单电源供电、同时具有优异射频性能的器件。增强型HEMT器件可同时满足上述要求，而且这种器件相对于双极型晶体管具有更低的噪声系数、更好的线性度。

2004年2月，安捷伦科技宣布，其销售的E-PHEMT功放模块销售量已经突破1000万【7】。其中GSM和CDMA模块每月的销售量约200万件。E-PHEMT技术为手机制造商提供了高功率附加功率（PAE）、低压操作和高可靠性等独特优势。这些特点给最终用户带来了直接的好处，如提高电池使用时间、或使用相同的电池容量为更多的手机功能充电。此外，基于E/D HEMT技术的LNA，Switch，下变频器等也在近年屡有报道。安捷伦公司报道的一款基于E-PHEMT芯片集成了LNA、Bypass Switch和mixer，和之前报道的基于耗尽型HEMT的同类芯片相比，该电路采取单电源供电，电路结构更简单，插入损耗小，功耗低。充分体现出增强型器件的优势【8】。

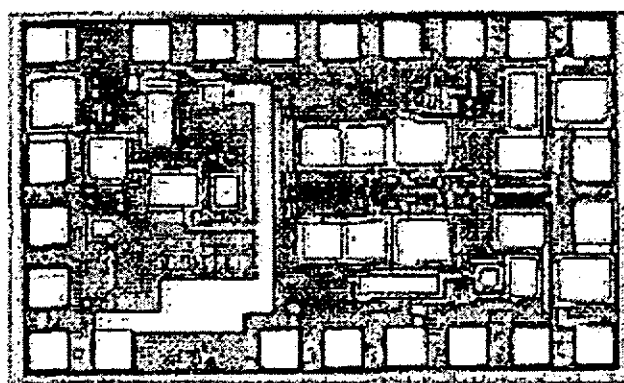


图2 安捷伦公司基于E-PHEMT技术MMIC芯片照片

鉴于E/D HEMT在射频电路和逻辑电路两方面所表现出的优异性能，人们自然而然的期望利用这种技术可以将无线收发系统中的射频部分和逻辑部分集成于同一芯片上，出现了基于E/D技术的混合信号芯片。2003年日本的Tosaka等人报道了一种基于E/D HEMT技术的手机天线转换开关芯片，其特点在于单电源供电，且将开关的控制电路集成在芯片内【9】。可以预期在不久的将来，采用E/D HEMT技术的芯片可以像Si CMOS技术一样将一部手机所需的大部分功能集成

于同一芯片上，而性能更为优异。

§ 1.5 本课题的研究目的和意义

本课题为国家 973 项目《新一代化合物半导体电子器件与电路研究》的子课题。课题的预期目标为研制成功新型 E/D HMET 外延结构，解决关键工艺问题，优化 E/D HEMT 器件工艺流程；建立基于 E/D HEMT 的电路设计方法，研制出相应的试验电路。

我们（项目组）从 2004 年开始开展 E/D HEMT 器件的研究，研究内容包括新型 E/D HEMT 器材料结构分析与设计；E/D HEMT 制造工艺探索；最终目标是采用自主开发的工艺技术制造出验证电路——E/D HEMT 微波开关及其控制电路。这一目标是我们分析了国际上 E/D HEMT 器件及电路研究的趋势，及市场实际需求确定的。

如前所述，近年来研究者意识到 E/D HEMT 器件在各类微波电路中具有独特的优势，在微波开关中也是如此。微波开关属于微波控制电路，是各类微波系统中不可或缺的部分，广泛应用于微波测量、微波中继、雷达、移动通信、卫星通信等系统中。其中基于 HEMT 器件的微波开关以其高速、低功耗、结构简单等特点，而备受关注。我国虽然在单片微波开关研制上也取得了一些成就，但总体而言，该项研究开展仍较少，无论从器件模型的建立，电路结构的优化，工艺条件的摸索上都有大量的工作要做。从已经报道的实验结果来看，各项性能指标与国外产品仍有较大差距。高频、高性能的微波开关 MMIC 产品仍比较缺乏，基本被国外产品垄断。而这些频段正是卫星通信，卫星定位以及雷达等系统的工作频带，能否提供工作在这些频段上的高性能国产微波开关 MMIC 关系到我国的经济发展和国家安全。因此我们将微波开关作为本课题中验证电路之一。

研究者最初开发 E/D HEMT 技术就是为了满足高速逻辑电路的需求，目前基于 E/D HEMT 技术的 DCFL 结构被认为是大规模、超高速逻辑电路中最好的逻辑单元结构。本课题也没有忽视这方面的应用，我们将基于 E/D HEMT 器件的基本逻辑单元研究作为验证电路的另一个重点来考虑。

目前的集成电路正在向更高集成度，更多功能方向发展，基于 E/D HEMT 器件的集成电路也是如此。参照 Si CMOS 集成电路的发展历程，我们可以大胆预言，不久的将来我们可以看到基于 E/D HEMT 器件的单片电路将可以集成一

部手机的大部分功能,其中包括射频部分和数字部分。作为一项探索性研究,本科题也将尝试将微波电路与逻辑电路集成于同一芯片——微波开关及其控制电路的集成。

综上所述,本课题的研究内容既有重要的学术价值,又有明确的市场前景,从我国国防现代化建设的角度出发也是必要的。

§ 1.6 本论文的主要研究内容

本文作者自 2004 年 7 月进入中科院微电子研究所以来,在叶甜春研究员和张海英研究员的精心指导下从事微波集成电路设计及制造方面的研究。本文所涉及的 E/D HEMT 器件及电路研究主要包括了以下内容:

1. 从当今通信行业的发展趋势出发,简要回顾了 HEMT 器件及 GaAs MMIC 的发展历程;重点介绍了砷化镓 E/D HEMT 器件的发展与应用状况;提出了本课题的研究目的及意义。
2. 阐述了 HEMT 器件的工作原理,重点分析了 E/D HEMT 器件的工作原理和器件特性。
3. 分析了 HEMT 外延材料结构,并提出了本课题所采用的新型 E/D HEMT 外延材料结构。
4. 建立了完整的 E/D HEMT 器件制造工艺,对关键工艺,如源漏欧姆接触和栅制作工艺等进行了深入研究。制成的 E/D HEMT 器件具有良好的射频性能。
增强型 HEMT $f_T = 10.3GHz$ 、 $f_{MAX} = 15.9GHz$ 。耗尽型开关 HEMT $f_T = 19.1GHz$ 、 $f_{MAX} = 25.2GHz$ 。对于基于 E/D HEMT 的 MMIC 电路所需其他元件,如电阻、电容和肖特基二极管等也进行了研究试制。
5. 详细介绍了 HEMT 器件建模常用的各种模型;借助 IC-CAP 软件提取了 HEMT 的 EEHEMT 模型参数;针对课题需要,提出了新型开关 HEMT 等效电路模型及其提参方法,并按照这一方法提取了我们制作的开关 HEMT 的模型参数。器件模型的建立,对电路设计起到了积极的指导作用。
6. 基于成熟商用 E/D HEMT 工艺库设计了三种单刀双掷微波开关,分别为基于耗尽型 HEMT 的 DC-6GHz 开关和 X 波段开关、基于增强型 HEMT 的微波开关。以上开关经过流片并进行了测试,测试结果表明这三种开关均具有一定

实用价值,其中基于增强型 HEMT 的微波开关采用正电压控制开关状态,具有一定新颖性。在此基础上,我们在自己的工艺线上也研制成功了基于 E/D HEMT 技术的微波开关。

7. 对基于 E/D HEMT 的逻辑电路进行了深入研究,尤其对基本逻辑单元进行了细致分析,提出了新型反相器结构,实测获得良好反相功能。
8. 成功的将微波开关与反相器集成于同一芯片内,初步实现了微波开关及其控制电路的集成,顺利完成课题预期目标。

第二章 E/D HEMT 器件研制

HEMT 器件在微波、毫米波以及高速数字电路领域均获得广泛应用。其中 E/D HEMT 器件虽然出现较晚,但以其特有的优越性能,受到电路设计者的青睐,它在高速逻辑电路及微波电路中均有广阔的市场前景。本课题的最终目标是制作出基于 E/D HEMT 的微波电路及逻辑电路,而 E/D HEMT 器件的性能无疑是电路设计的基础,因此本章对电路的基本元器件进行了深入研究。首先分析了 HEMT 器件工作原理;在此基础上,采用新型 E/D PHEMT 外延材料结构,对器件制造工艺进行了深入分析和试验,在课题组前期研究基础上,进一步优化和外延材料结构、器件结构和制作工艺,最终制作出可实用的 E/D HEMT 器件;为满足集成电路制造的需要,对电路所需其它器件的制造工艺也进行了实验,并制成多种可供电路选用的元器件。

§ 2.1 E/D HEMT 器件原理

§ 2.1.1 半导体异质结

我们通常所说的 PN 结,是在同一种半导体材料中某一截面两侧分别掺杂不同组分构成的,这种结构称之为同质结。如果在该截面两侧为两种不同的半导体材料,这样的结就称为异质结。异质结的概念是 Schockley 在 1951 年提出来的。1969 年, Easki 和 Tsu 等人提出,在禁带宽度不同的异质结结构中,电离施主和自由电子在空间上是分离的,自由电子将由宽禁带材料一侧进入窄禁带材料一侧,从而减少电离施主对电子的散射作用,提高电子迁移率。这一预言成为 HEMT 器件的重要理论基础。随着工艺水平的提高,在分子束外延等材料生长技术出现后,研究者陆续在实验中观测到了异质结界面的高电子迁移率现象。1980 年, Mimura 等人制成了第一个调制掺杂异质结高电子迁移率晶体管(HEMT)【1】。以下为 HEMT 发展历程中一些具有里程碑意义的事件【2】。

1951	异质结概念的提出	Schockley
1969	预言 AlGaAs/GaAs 超晶格异质结界面具有高电子迁移率	Easki、Tsu
1978	实验中观测到 n-AlGaAs/GaAs 异质结中	Ding 等

高电子迁移率现象

1980	第一个 GaAs HEMT 器件研制成功	Mimura
1985	提出赝配 HEMT 设想	Mimura, Zipperian, Rosenberg
1986	AlGaAs/InGaAs 赝配 HEMT 制成	Ketterson 等
1987	Pulse-doped PHEMT 研制成功	Moll 等
1988	Foisy 等人提出 HEMT 模型	
1989	采用 PHEMT 技术的 MMIC 制成	Aust

如图 1 所示, 由于异质结界面能带不连续, 电子将从宽禁带材料 (AlGaAs) 转移到窄禁带材料 (GaAs) 一侧, 而电离施主仍留在宽禁带材料一侧, 异质结界面处发生能带弯曲, AlGaAs 一侧形成势垒, GaAs 一侧形成势阱。势阱为异质结界面处的薄层 (厚度仅为几十埃), 势阱中的电子在空间上与电离施主分离, 其能量量子化。电子可在平行于界面方向自由运动, 而在垂直于界面方向的运动受到限制, 形成二维电子气 (2DEG)。2DEG 在平行于界面方向上具有很高的电子迁移率, 因此异质结器件具有良好的高频特性【3】。

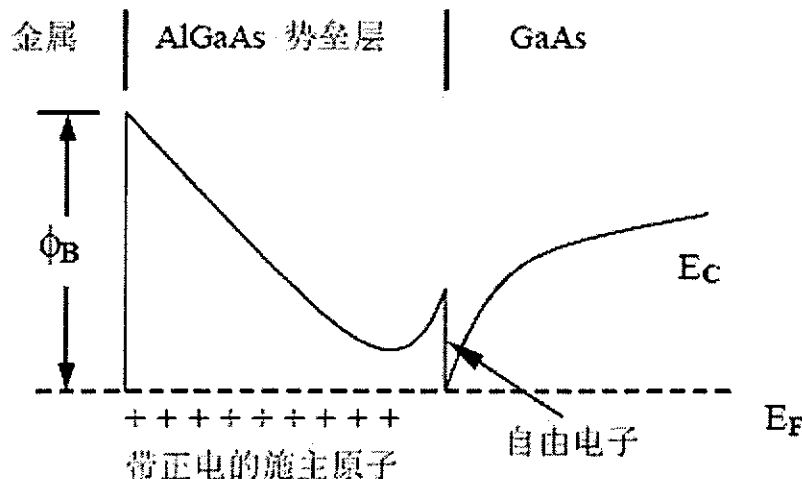


图 1 AlGaAs/GaAs HEMT 能带结构示意图

§ 2.1.2 HEMT 器件原理

最早实用化的 GaAs 有源器件是 GaAs MESFET, 它的出现极大的拓展了三极管的工作频段, 在微波电路领域发挥过重要作用。但 MESFET 的工作原理仍然是通过在同种半导体材料中改变掺杂浓度, 来控制其电学性能, 属于传统的“掺杂

工程”范畴受其物理机制和材料结构的限制, MESFET 在工作频率和噪声特性等方面继续提高都受到严重的阻碍。

随着分子束外延 (MBE) 和金属有机物化学气相外延 (MOCVD) 技术的出现, 半导体器件的纵向加工尺度可以小到一个原子层的厚度 ($\approx 5\text{\AA}$), 半导体器件制造技术进入“能带工程”时代。人们利用能带工程设计了多种异质结器件, 其中最有代表性的是 HEMT 和 HBT, 它们以高频率、低噪声等优点迅速拓展其在通信等领域中的应用范围。

常见的 AlGaAs/GaAs HEMT 器件结构如图 2 所示, 首先在半绝缘 GaAs 衬底上生长 GaAs/AlGaAs 异质结, 以宽禁带的 n-doped AlGaAs 作为势垒层, 以重掺杂 GaAs 作为帽层, 在此材料基础上, 采用常规半导体器件制造工艺制成 HEMT 器件。

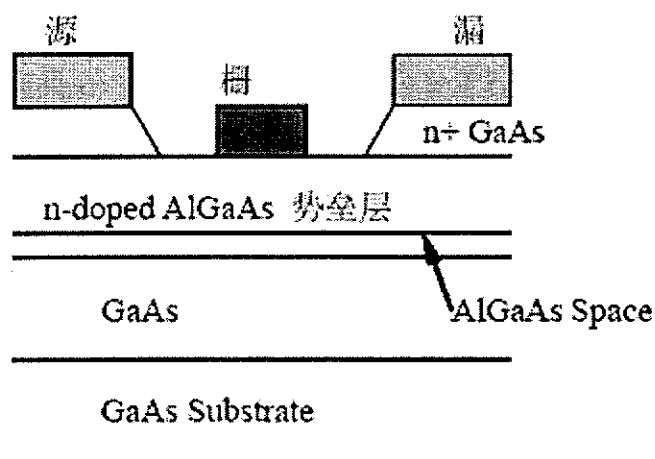


图 2 HEMT 器件结构示意图

与 MESFET 类似, HEMT 也是通过控制栅偏置电压来控制源漏电流。未加偏压时, GaAs/AlGaAs 异质结界面处形成 2DEG; 加栅偏置电压后, 电荷耗尽区的厚度随栅压改变, 从而改变势阱深度和宽度, 以此来控制 2DEG 浓度。由于 2DEG 与施主杂质在空间上是分离的, 因而电子是在未掺杂的薄层中运动, 受杂质散射的影响很小, 在电场作用下将有较高的电子迁移率。这种迁移率的提高并没有降低载流子浓度 (取决于 AlGaAs 层中的掺杂浓度), 因而 HEMT 的微波性能将比常规场效应晶体管有较大提高。在 HEMT 中, 二维电子气层的厚度非常薄, 电子不能超出这一层作垂直运动, 只能沿平面作“二维”运动, 既此沟道是一个“二维沟道”, HEMT 有时也称“二维器件”【4】。

然而, 常规的 HEMT 也存在一些缺点, 如阈值电压随温度改变, 尤其是在黑暗中冷却至 77K 时, 会出现沟道电流消失的现象, 这是由于在常规 HEMT 中, n-AlGaAs 层中存在深电子陷阱 (DX 中心)。研究表明, 只要 Al 莫尔数 $x > 0.2$, 就会产生深能级陷阱。当电子被俘获在这些陷阱中时, 就会使 2DEG 中的电子减少或耗尽。常规 HEMT 中, AlGaAs 层的 x 通常为 0.3 (为满足能带不连续要求), 因此上述缺点无法克服。一个解决途径就是采用电子速度更高的非掺杂的 InGaAs 层代替非掺杂的 GaAs 层作为 2DEG 的沟道材料, 这样 AlGaAs 层中就可以采用较小的 Al 莫尔数, 仍能满足器件所要求的能带不连续性, 并且有非常高的薄层载流子密度, 因而克服了常规 HEMT 的缺点。另外, 由于 InGaAs 的带隙比 GaAs 低, 这对二维电子气的限制更为有利。在这种新结构 HEMT 中 InGaAs 起了非掺杂 GaAs 层的作用, 所以叫做“赝”层, 具有这种结构的 HEMT 被称为“赝 HEMT” (P-HEMT)。P-HEMT 具有很多优点: 由于增加 InGaAs 层而使原 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 层的 Al 莫尔数降至 0.2 以下, 从而减轻了深能级陷阱的影响, 可使器件在更低温度下工作; 显著降低了与产生复合噪声有关的陷阱, 从而降低了 $1/f$ 噪声; P-HEMT 的薄层载流子密度比常规 HEMT 高两倍, 因而能够提供更大的电流密度; 在 InGaAs 层种的电子迁移率和速度也必常规 HEMT 高, 有利于提高工作频率; 由于量子阱的作用, 改善了载流子的限制状态, 从而能降低输出电导, 有利于提高增益。

§ 2.1.3 HEMT 器件特性

研究 HEMT 器件的直流和交流特性, 对器件制作及相关电路研发有重要指导意义。下面将分别对这两个方面进行简要介绍。

直流特性方面, HEMT 与 MESFET 的电荷控制模型相似, 都是通过改变栅压来控制沟道电流。设 V_{GS} 为栅源电压、 V_{DS} 为漏源电压, 沟道中单位面积电荷密度可由以下公式表示【5】:

$$q'_{CH}(x) = -C'_{OX} [V_{GS} - V_T - V_{CS}(x)]$$

其中, C'_{OX} 为单位面积栅电容、 V_T 为阈值电压。令栅长和栅宽分别为 L 和 W , 沟道中电子迁移率由 μ_n 表示, 令 $i_{CH}(x, t)$ 为沟道中的瞬时电流, 可以推出:

$$I_D = \int_0^L (-i_{CH}(x)) dx = \int_{V_{CS(0)}}^{V_{CS(L)}} WC'_{OX} \mu_n [V_{GS} - V_T - V_{CS}(x)] dV_{CS}(x) \quad (2.1)$$

当 $V_{DS} < V_{GS} - V_T$ 时, 器件工作在线性区:

$$I_D = \frac{WC'_{OX} \mu_n}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.2)$$

当 $V_{DS} \geq V_{GS} - V_T$ 时, 器件进入饱和区:

$$I_D = \frac{WC'_{OX} \mu_n}{L} \frac{(V_{GS} - V_T)^2}{2} = I_{DS,sat} \quad (2.3)$$

HEMT 器件的交流特性可以通过下图的器件模型进行描述【6】【7】【8】:

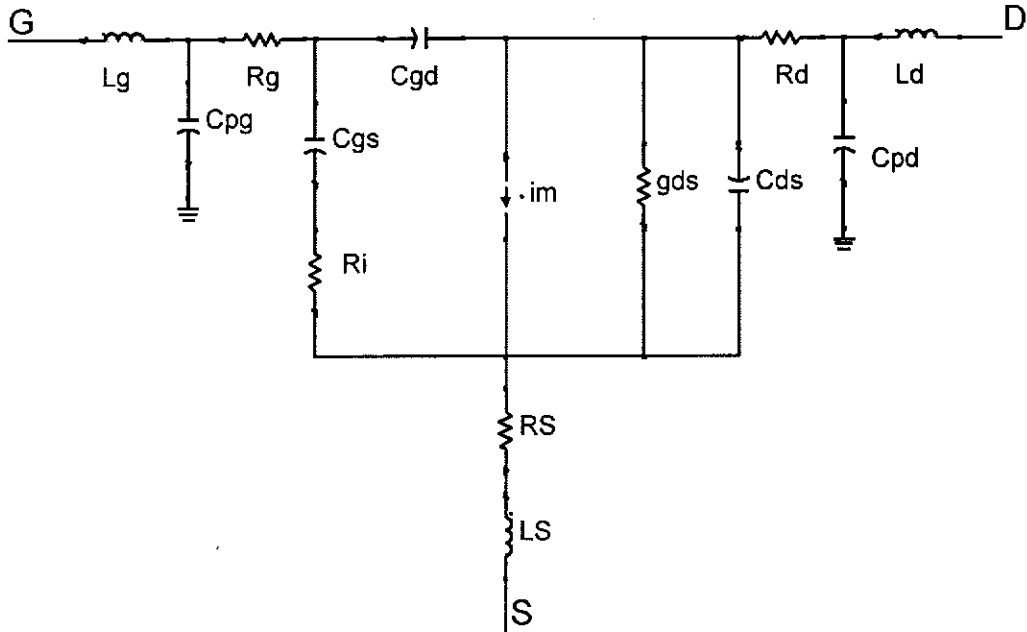


图 3 HEMT 器件小信号模型

等效电路参数包括本征参数和外部寄生参数, 本征参数与偏置有关, 包括:

C_{gs} 、 C_{ds} 、 C_{gd} 、 R_i 、 g_{ds} 和 g_m ; 非本征参数与偏置无关, 包括: L_g 、 R_g 、 L_d 、 R_d 、 L_s 、 R_s 、 C_{pg} 和 C_{pd} 。

将晶体管外围电极测试的跨导、电导表示为 g_m 、 g_{ds} , 器件本征跨导、电导表示为 g_{mi} 、 g_{dsi} 则有:

$$g_m = \frac{g_{mi}}{1 + g_{mi} R_s + (R_s + R_d) g_{dsi}} \quad (2.4)$$

$$g_{ds} = \frac{g_{dsi}}{1 + g_{mi}R_s + (R_s + R_d)g_{dsi}} \quad (2.5)$$

表征 HEMT 器件性能的重要指标, 电流增益截止频率和最高振荡频率, 分别由下面公式表达:

$$f_T = \frac{g_{mi}}{2\pi(C_{gs} + C_{gd})} \quad (2.6)$$

$$f_{max} = \frac{f_T}{\left[4g_{ds}(R_s + R_i + R_g) + 2\left(\frac{C_{gd}}{C_{gs}}\right)\left(\left(\frac{C_{gd}}{C_{gs}}\right) + g_{mi}(R_s + R_i)\right) \right]^{1/2}} \quad (2.7)$$

其中:

$$C_{gd} = C_{gdi} + C_{pg}$$

$$C_{gs} = C_{gsi} + C_{pd}$$

§ 2.1.4 E/D HEMT 器件

图 4 为 E/D HEMT 结构示意图, 其在衬底上生长的外延层依次为: 缓冲层、沟道层、隔离层、增强型势垒层、腐蚀截止层、耗尽型势垒层和帽层。为了获得增强型和耗尽型两种器件, E/D HEMT 外延材料包括两个势垒层, 这是与前面章节中所介绍的一般 HEMT 的主要区别。

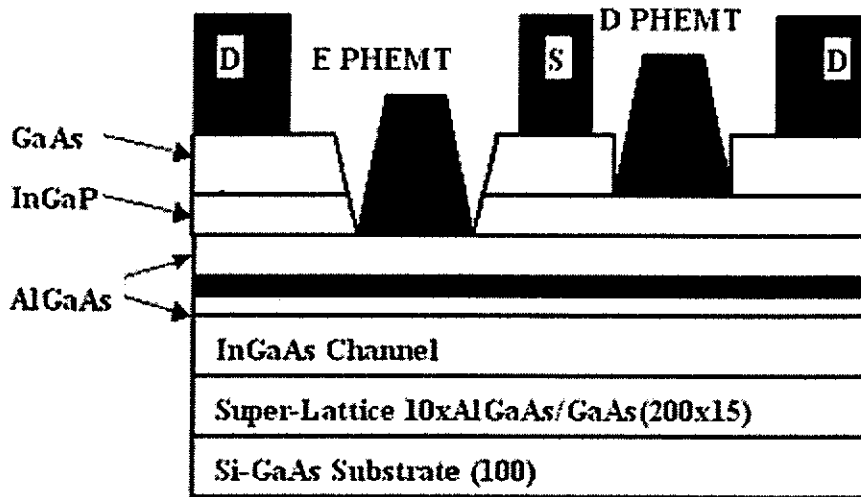


图 4 E/D HEMT 器件结构示意图

E/D HEMT 器件阈值电压 V_{th} 与势垒层厚度有关, 可由以下公式表达:

$$V_{th} = V_{bi} - \Delta E_C - \frac{qN_d}{2\epsilon_A}(d_d)^2 + E_F \quad (2.8)$$

其中, V_{bi} 为金半接触势垒, ΔE_C 为异质结导带差, N_d 为 AlGaAs 层掺杂浓度, d_d 为势垒层厚度, ϵ_A 为 AlGaAs 层介电常数, E_F 为费米能级。通过控制两个势垒层的厚度, 就可以分别增强型和耗尽型 HEMT 器件。

§ 2.2 新型 E/D HEMT 材料结构设计

由于 HEMT 器件具有的高频、低噪声、低功耗等特点, 它在移动通信、卫星通信、雷达、电子对抗和超高速逻辑电路等领域都有广泛应用。但对于日新月异的无线通信市场来说, 对更高性能器件的追求是永无止境的, 人们仍然需要不断对 HEMT 器件进行优化设计, 以满足不断涌现的新的需求。提升 HEMT 器件性能可以从材料结构、器件结构和微细加工工艺等方面入手, 这其中对外延材料结构的优化是各项工作的基础。

§ 2.2.1 HEMT 外延材料结构分析

图 5 为典型的 AlGaAs/GaAs HEMT 材料结构, 它主要由以下结构构成: 半绝缘 GaAs 衬底、缓冲层、沟道层、隔离层、势垒层和帽层【9】【10】。

帽层 (N+-GaAs)
势垒层 (undoped AlGaAs)
掺杂层 (δ 掺杂)
隔离层 (AlGaAs)
沟道层 (GaAs)
缓冲层
半绝缘衬底 (GaAs)

图 5 AlGaAs/GaAs HEMT 外延结构示意图

各层主要功能及要求如下:

衬底: 由半绝缘 GaAs 材料构成, 是 HEMT 器件及其电路的载体。

缓冲层：为半绝缘衬底向器件的功能外延层提供“过渡”，主要作用是吸收掉由生长时各种残留物质构成的杂质，并阻止衬底的缺陷向沟道延伸，以保证与缓冲层邻近的沟道层的质量。根据衬底与沟道材料的晶格匹配情况，缓冲层可以生长为单一材料、超晶格或组分渐变结构。

沟道层：这是 HEMT 材料结构中最关键的外延层，沟道层的组分、厚度对 HEMT 器件的饱和电流、功率增益和频率特性等有重要影响。这一层的半导体材料禁带宽度要比势垒层窄，以保证在异质结界面处形成 2DEG；另一方面，要求沟道层与缓冲层之间有一势垒，可以阻止电子向缓冲层渗透，导致传输特性恶化。

隔离层：电离散射是低温下半导体中的主要散射机制，是电离杂质的库仑场对电子的弹性散射。在 HEMT 中主要是肖特基势垒层中的电离杂质对沟道二维电子气的散射，它是提高沟道层中 2DEG 的主要障碍。为提高沟道中 2DEG 电子迁移率，减少势垒层的离子散射，需要在沟道层与势垒层之间生长一层不掺杂的隔离层。但隔离层厚度过大时，尽管电子漂移速度提高，但电子浓度大大降低，因此应适当选择该层厚度，使迁移率与电子浓度均衡。

势垒层：该层为宽禁带半导体材料，该层与窄禁带的沟道层形成的异质结式构成 HEMT 的基础，该层的禁带宽度和掺杂对器件性能有重要影响，设计中对材料组分、厚度及掺杂方式和浓度都需要综合考虑。从掺杂方式来讲，可以采用均匀掺杂，也可采用平面掺杂（ δ 掺杂），上图所示 HEMT 就是采用 δ 掺杂。所谓 δ 掺杂就是在生长完隔离层后，在终止基质材料生长的条件下，生长一个单原子层的掺杂剂，这个单原子层的杂质经过高温工艺或分凝便形成一个很窄的 δ 型掺杂区域，在这个区域中，有很高的掺杂浓度，并且界面非常陡峭。这种掺杂方式有利于提高 2DEG 浓度，而且栅金属与非掺杂的势垒层接触提高了肖特基结的击穿电压。

帽层：由于势垒层是宽禁带材料，很难形成良好的源漏欧姆接触，不利于降低源漏串联电阻，提高器件性能。因此需要在势垒层上生长帽层，形成良好的欧姆接触。对帽层的主要要求是：窄禁带外延材料和高施主浓度。

通过对 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ 异质结能带结构的分析可以看出，提高 Al 的组分将使 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 的禁带宽度增大，使异质结的导带突变量 ΔE_c 增大，2DEG 浓度

增加。从前面的分析,我们知道,2DEG 浓度增加对减小源漏寄生电阻、提高器件高频性能有利。但实验中,Al 的组分 $x \geq 0.25$ 时,HEMT 器件性能反而在一定成都上退化。这是由于 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 存在 DX 中心的陷阱,它俘获和释放电子,使沟道中 2DEG 浓度随温度变化,从而导致阈值电压偏移。为克服这一问题,发展出了 PHEMT,它采用 $\text{In}_y\text{Ga}_{1-y}\text{As}$ 材料代替 GaAs 构成沟道层,从而可以降低 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 层中 Al 的组分。PHEMT 相对 HEMT 具有更低的噪声和更高的电子迁移率。PHEMT 基本外延结构如图 6 所示:

帽层 (N+-GaAs)
势垒层 (AlGaAs)
掺杂层 (δ 掺杂)
隔离层 (AlGaAs)
沟道层 (InGaAs)
缓冲层
半绝缘衬底 (GaAs)

图 6 PHEMT 外延结构示意图

PHEMT 外延材料结构的设计与 HEMT 有很多相似之处,但需要特别考虑之处是 $\text{In}_y\text{Ga}_{1-y}\text{As}$ 沟道层中 In 的组分比例,提高 In 的组分可以减小 $\text{In}_y\text{Ga}_{1-y}\text{As}$ 禁带宽度,可以获得更大的 ΔE_c ,电子迁移率提高。但 $\text{In}_y\text{Ga}_{1-y}\text{As}$ 沟道层受到邻接外延层因晶格失配而产生的应力,晶格失配度与沟道层 In 组分成正比,因此在 PHEMT 沟道层组分设计时需要均衡考虑,一般 $\text{In}_y\text{Ga}_{1-y}\text{As}$ 中 In 组分为 0.2 左右。

§ 2.2.2 E/D HEMT 外延材料结构

耗尽型 HEMT 材料结构易于设计且工艺相对较为简单,而增强型 HEMT 器件由于要求在未加栅偏置电压时,沟道中 2DEG 耗尽,因此增强型材料结构设计难度较大,必须综合考虑势垒层的厚度、掺杂浓度、材料生长条件和器件结构等因素。E/D HEMT 器件要求在同一晶圆上实现增强与耗尽两种 HEMT 器件,因此对材料结构设计提出更高要求。综合考虑各方面因素,我们确定了 E/D HEMT 外延材料结构,如下图所示:

帽层 (N+-GaAs)
耗尽型势垒层 ($i\text{-In}_{0.5}\text{Ga}_{0.5}\text{P}$)
增强型势垒层($i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$)
掺杂层 (δ 掺杂)
隔离层 ($i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$)
沟道层 ($\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$)
缓冲层($i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$)
缓冲层超晶格 AlGaAs/GaAs
半绝缘衬底 (GaAs)

图 7 E/D PHEMT 材料结构

各外延层材料设计中考虑了以下因素:

- GaAs 衬底上采用超晶格技术生长 AlGaAs/GaAs 作为缓冲层以消除和吸收外延设备生长腔杂质, 阻止衬底杂质扩散, 避免衬底缺陷向沟道延伸。
- $i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 兼具缓冲层和势垒层作用, 在沟道层和衬底之间形成高势垒, 阻止沟道层电子渗透入缓冲层引起器件传输特性恶化。
- 沟道层采用 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 材料, 发挥其禁带宽度低、电子迁移率高的特点。
- 沟道层上生长 $i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 作为隔离层, 减少库仑散射, 提高 2DEG 电子迁移率。
- 增强型势垒层采用 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$, 进行 δ 掺杂。 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 形成的异质结具有较大能带差, 且这种异质结结构生长技术较为成熟。
- 以 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 作为耗尽型势垒层。这中材料与 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 之间腐蚀选择比较大, 可以不必单独生长腐蚀截止层; $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 与 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 和 GaAs 之间晶格失配率小于 0.1%, 可减小由于失配位错给器件性能造成的不利影响。
- 帽层采用高掺杂的 GaAs, 主要用来形成良好的源漏欧姆接触, 减小串联电阻。

各外延层具体厚度是通过材料结构模拟仿真与经验相结合的方式决定的, 具体参数如下:

Cap	N+ GaAs	500 Å	$5 \times 10^{18} \text{ cm}^{-3}$
Shottky	$\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$	170 Å	—
Shottky	$\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	80 Å	—
δ -doping	Si	—	$3 \times 10^{12} \text{ cm}^{-2}$
Spacer	$\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	40 Å	—
Channel	$\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	120 Å	—
Buffer	$\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	500 Å	—
Superlattice	$\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	100 Å	
	GaAs	15 Å	
Buffer	GaAs	3000 Å	—
Substrate	S. I. GaAs		

图 8 E/D PHEMT 材料结构

§ 2.3 E/D HEMT 器件工艺研究

HEMT 器件制作工艺流程一般包括：有源区隔离、源漏欧姆接触形成、栅线条光刻、栅槽腐蚀、栅金属淀积、金属剥离形成栅、中测、淀积介质、刻孔、布线和器件测试等。根据外延材料的不同，具体工艺细节各不相同，我们主要针对前面设计的 E/D PHEMT 材料开发了相应制造工艺。【11】

§ 2.3.1 有源区隔离

有源区隔离是指在不同有源器件之间的电气隔离，是保证集成电路正常工作的必要步骤。有源区隔离可以采用离子注入隔离和台面腐蚀隔离，台面腐蚀隔离主要有湿法腐蚀和干法腐蚀两种。

目前离子注入隔离在工业界获得广泛应用，它是用具有足够能量的入射离子穿透没有掩蔽的靶表面区域，在注入区形成大量辐射损伤，产生大量电子俘获中心，使损伤材料具有半绝缘特性。离子注入隔离是平面工艺，相对于台面隔离，它避免了台面边缘沾污等问题，器件表面平整，有利于后面工序中的曝光和金属布线等步骤。

在我们的工艺流程中仍然采用了传统的湿法腐蚀技术进行台面隔离，这主要

是考虑到,台面腐蚀工艺简单、灵活、成本较低,适合于研究实验。台面腐蚀隔离工艺的步骤包括:圆片清洗、涂光刻胶、有源区图形光刻、隔离区腐蚀和去胶。

台面隔离工艺的关键在于腐蚀液的选择。湿法腐蚀的反应过程中包括半导体材料表面氧化和氧化产物的去除。针对我们根据设计的 E/D PHEMT 材料结构,选择了 $H_3PO_4-H_4O_4-H_2O$ 和 $HCl-H_2O$ 两种腐蚀液交替腐蚀隔离区。腐蚀液的使用顺序如下:

- 1) $H_3PO_4-H_4O_4-H_2O$ 腐蚀液腐蚀帽层 GaAs。由于 GaAs 和 InGaP 在磷酸腐蚀液中选择比大,腐蚀将截止于 InGaP 层。腐蚀液配比为 3: 1: 50。
- 2) $HCl-H_2O$ 腐蚀 InGaP 层。由于 InGaP 和 AlGaAs 在盐酸腐蚀液中选择比较大,腐蚀截止于 AlGaAs 层。腐蚀液配比 2: 1。
- 3) 再次使用 $H_3PO_4-H_4O_4-H_2O=3: 1: 50$ 腐蚀 AlGaAs 层和 InGaAs 层。为实现有效隔离,适度过腐蚀,腐蚀掉部分缓冲层,为避免腐蚀后台阶过高,随时监控隔离电流,当电流降至纳安量级时及时终止腐蚀。

§ 2.3.2 源漏欧姆接触

几乎所有的半导体电子器件和光电器件都需要通过金属化的触点(电极)接收或发送能量及信号。欧姆接触可以看作是连接半导体器件有源区和外围电路的桥梁,它是影响器件性能的重要因素。良好的欧姆接触有利于降低器件的串联电阻,从而提高器件的跨导、增益、工作频率,降低噪声。尤其当器件工作在微波频段时,欧姆接触所引入的寄生参量将严重影响器件性能。因此欧姆接触工艺是高频器件研制过程中的关键工艺之一。

欧姆接触一般被认为是势垒高度很低的金半肖特基势垒,势垒高度可以用金属功函数 Φ_M 和半导体电子亲和势 χ 来表示:

$$\Phi_B = \Phi_M - \chi$$

对于我们所关心的 n 型半导体而言,当 GaAs 掺杂浓度较低 ($N_D < 10^{17} cm^{-3}$),金属和 GaAs 之间主要通过热电子发射 (TE) 的方式越过势垒进行传输。当掺杂浓度提高 ($N_D > 10^{18} cm^{-3}$),势垒变得很薄,电子通过场发射 (FE) 方式在导带底附近隧道穿透【12】【13】。半导体工艺中的欧姆接触就是根据电子的场发射

机制来实现的。因此,为获得良好欧姆接触通常可以采取下面一些方法:帽层选择高掺杂的半导体材料;选择合适的合金材料降低金属半导体间势垒高度;金属半导体界面附近引入复合中心,当空间电荷区中复合成为主要导电机制,可以降低接触电阻。

我们设计的外延层结构中,帽层掺杂浓度达到 $5 \times 10^{18} \text{cm}^{-3}$,在实验中选用的合金结构是我室自主开发的新型六层欧姆接触金属系统。

Au(250nm)
Ni(3nm)
Ge(8nm)
Au(66nm)
Ge(4nm)
Ni(4nm)
帽层

图 9 新型欧姆接触金属系统

该结构设计中主要考虑以下一些因素:

- 1) 底层以 Ni 作为浸润层,在合金期间增加 Au-Ge 与 GaAs 的浸润,防止合金时 AuGe 聚球形成不规则合金表面。
- 2) 第二层 Ge 作为施主层,在合金过程中扩散进入 GaAs,提高表面掺杂浓度。
第四层的 Ge 作为施主层的补偿,以满足合适的化学计量比。
- 3) 由于 Ga 与 Au 的结合能较低,为防止 GaAs 中的 Ga 从 GaAs 中逸出,留下过多 Ga 空位,因此在顶层 Au 下设计阻挡层 Ni。

化合物半导体在一定温度下会发生分解,当化合物半导体淀积了金属层,会促进分解。研究表明,AuGeNi 金属层使 GaAs 分解温度降低到 375°C 左右。欧姆接触热合金化过程伴随着薄膜互扩散和界面相变反应。如果合金温度时间控制得当,不仅合金后接触电阻降低,金属粘结度也将大大提高;反之,则会导致合金界面电化学性能恶化。因此我们在设计多个不同温度、不同合金时间的试验,以寻找最优的合金条件。

衡量合金效果的主要指标是欧姆接触电阻。欧姆接触电阻的测试方法有多

种，如：四探针法、拟合法、传输线法（TLM）、同心圆环形传输线法和圆点形传输线法等。我们选择了传输线法（TLM），主要是考虑到这种方法测试图形简单、接触电阻计算容易，且模型比较准确。其测试图形如图 10 所示：

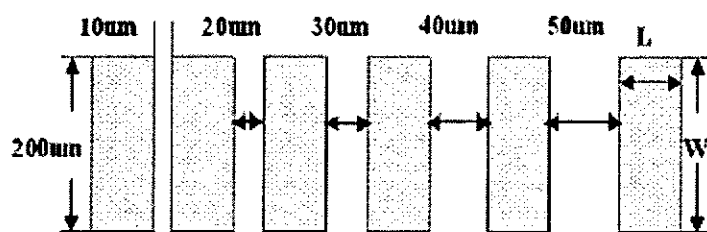


图 10 TLM 测试图形

在与周边隔离的长方形区域内，制作间距不同的欧姆接触金属块，间距分别为 10、20、30、40、50 μm ，金属块长、宽分别为 200 μm 和 80 μm ，电阻测试值由以下公式表达：

$$R_{\text{measure}} = R_{SH} \times \frac{l}{W} + 2R_C + 2P_{\text{prob}} = R_{SH} \times \frac{l}{W} + 2 \frac{R_{SK} L_T}{W} \times \cot(W \sqrt{\frac{R_{SK}}{\rho_C}}) + 2P_{\text{prob}} \quad (2.9)$$

其中， $L_T = \sqrt{\frac{\rho_C}{R_{SK}}}$ 为传输长度， R_{SH} 为半导体材料的方块电阻， R_{SK} 为接触

金属块下薄层材料方块电阻， R_C 为欧姆接触电阻， ρ_C 为金属—半导体接触的比接触电阻， P_{prob} 为探针电阻， W 为接触金属块宽度， l 为接触金属块长度。当 W 较大，并假设 $R_{SH} = R_{SK}$ ，上面公式可简化为：

$$R_{\text{measure}} = R_{SH} \times \frac{l}{W} + 2 \frac{R_{SH} L_T}{W} + 2P_{\text{prob}} \quad (2.10)$$

作 $R_{\text{measure}} \sim l$ 曲线，则各测试点拟合的直线与 Y 轴截距即为 $2R_C$ 。

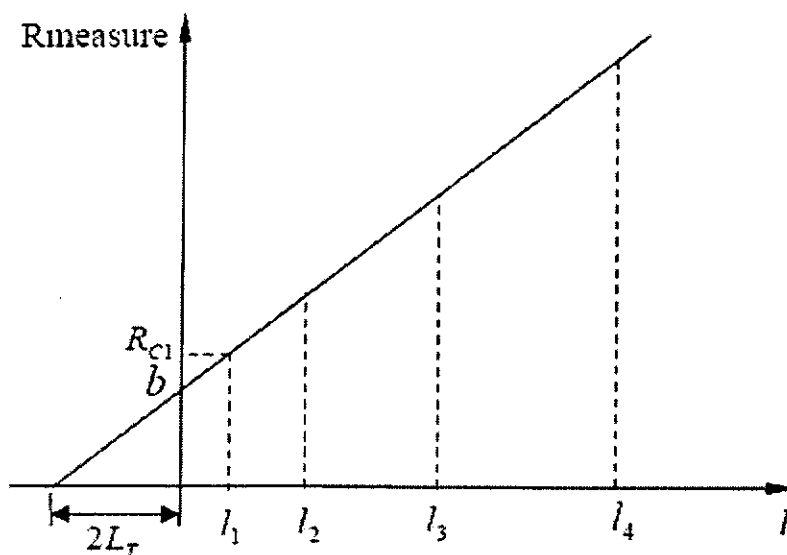


图 11 欧姆接触电阻测试图

经过对各组试验数据对比,我们确定最佳合金条件为温度 350°C , 时间 60 秒。这一条件下典型的比接触电阻值为 $3 \times 10^{-6} \Omega \cdot \text{cm}^2$, 且合金后金属表面形貌光滑平整, 符合后续工艺要求。

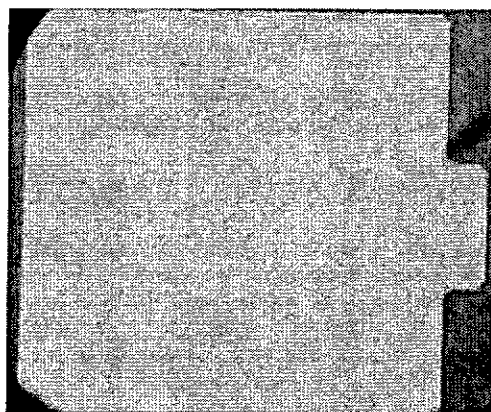


图 12 合金后金属表面形貌

§ 2.3.3 栅制作工艺

对 HEMT 器件而言,金属栅的形成是至关重要的工艺步骤。栅长直接决定了器件工作频率;栅金属与半导体材料接触形成的肖特基势垒对栅极漏电流栅电容、栅击穿电压等一系列参数有重要影响;栅制作工艺的稳定性,决定了 HEMT 器件工艺是否具有可重复性。

由于 E/D HEMT 器件需要制作增强型和耗尽型两种栅,因此其栅制作工艺比

常规 HEMT 更为复杂。E/D HEMT 栅制作工艺可以采用双凹槽工艺或分步栅工艺。

双凹槽工艺的基本流程是：首先进行宽栅槽曝光，此时增强型和耗尽型器件栅槽位置均暴露出来；宽栅槽腐蚀，两种器件栅槽均腐蚀至耗尽型势垒层；细栅槽曝光，仅暴露增强型器件栅槽；腐蚀至增强型势垒层；第三次曝光；栅金属蒸发剥离。双凹槽工艺仅需蒸发一次金属就可以形成增强和耗尽型栅，但所进行的三次光刻要求有极高的套刻精度，当栅长较小时，该工艺制作难度大，成品率低。

为了提高成品率，保证器件工艺的稳定、可重复，我们选择分步栅工艺进行栅制作。分步栅基本工艺流程如下：首先进行增强栅的光刻，栅槽腐蚀，栅金属蒸发、剥离；在进行耗尽栅光刻，栅槽腐蚀，栅金属蒸发、剥离。由于两种栅分别独立制作，因此对两次光刻的套刻精度要求较低，降低了工艺难度。其工艺流程图如下：

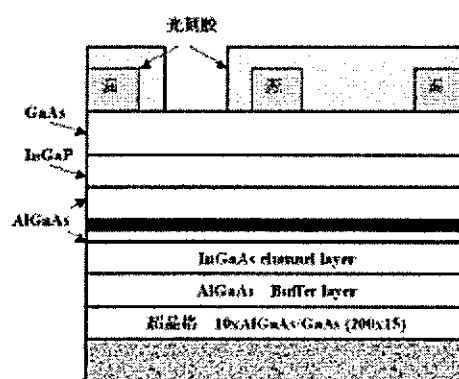


图 13 增强型栅曝光

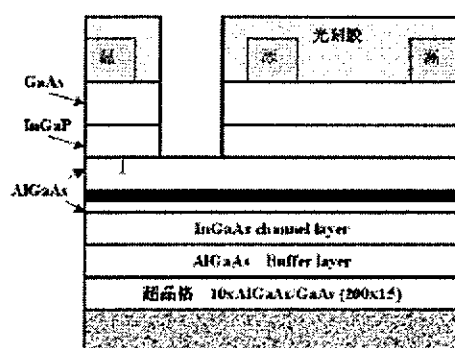


图 14 增强型栅槽腐蚀

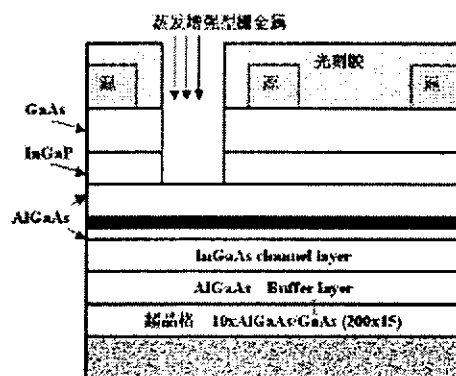


图 15 增强型栅金属蒸发

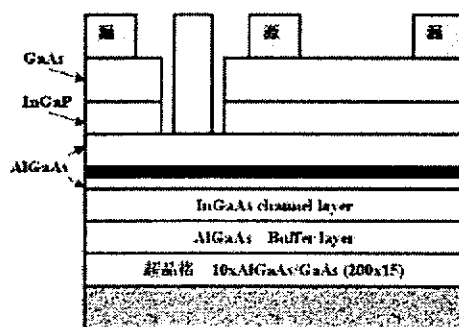


图 16 剥离形成增强型栅

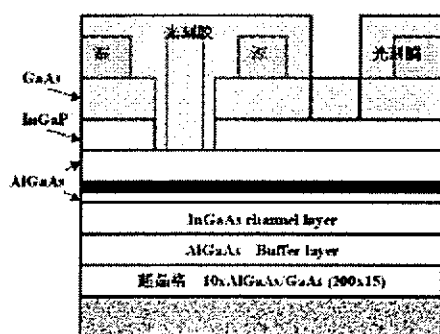


图 17 耗尽型栅曝光

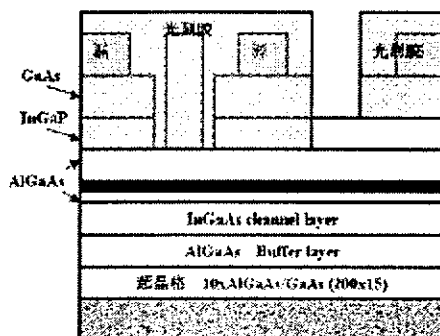


图 18 耗尽型栅槽腐蚀

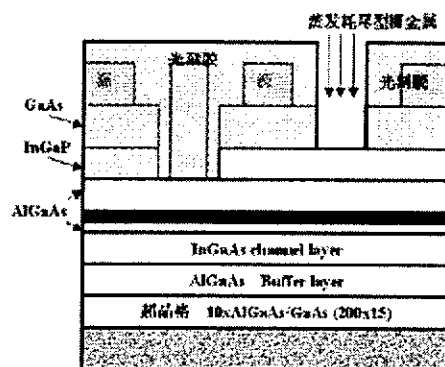


图 19 耗尽型栅金属蒸发

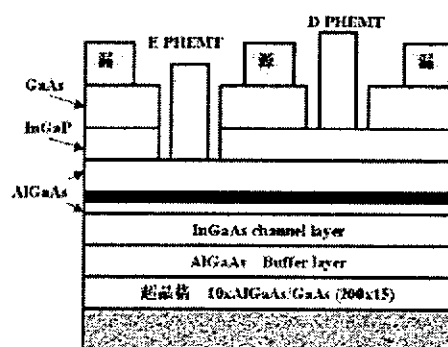


图 20 剥离形成耗尽型栅

根据外延层的特点，两种栅槽腐蚀采用不同的湿法腐蚀工艺。耗尽型栅槽腐蚀采用的是 $\text{H}_3\text{PO}_4\text{-H}_4\text{O}_4\text{-H}_2\text{O}=3:1:50$ ，由于 GaAs 和 InGaP 在磷酸中有较大的腐蚀选择比，腐蚀截止于耗尽型势垒层；增强型栅槽腐蚀则先使用 $\text{H}_3\text{PO}_4\text{-H}_4\text{O}_4\text{-H}_2\text{O}=3:1:50$ ，腐蚀至耗尽型势垒层后改用 $\text{HCl-H}_2\text{O}=2:1$ ，利用 InGaP 和 AlGaAs 在盐酸中选择比大的特点腐蚀至增强型势垒层。两种栅腐蚀过程中均须随时进行电流监控。电流监测测试图形如图 21 所示：

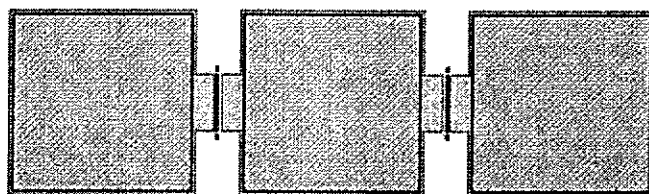


图 21 栅槽腐蚀监测图形

我们在实验中设计栅长为 $1\ \mu\text{m}$ ，栅金属采用 Ti-Pt-Au 结构，肖特基势垒高度约为 0.7V。

制成的 E/D HEMT 单管照片如下：

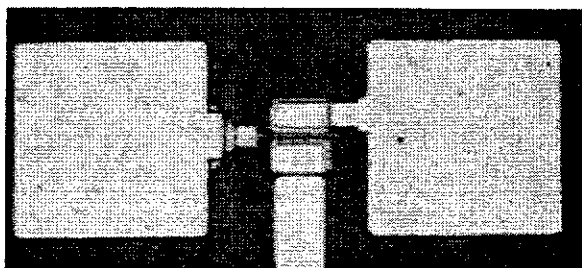


图 22 增强型 HEMT 照片

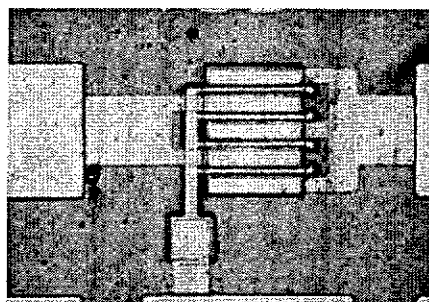


图 23 四指耗尽型 HEMT 照片

§ 2.3.4 器件钝化

当金属栅制作完成后, HEMT 器件主体已经制作完成, 可以实现器件基本功能。但此时器件暴露于空气中, 有源区表面的污染或外延层内组分的逸出会在外延层表面形成复合中心或电子陷阱, 导致器件性能恶化, 甚至失效; 空气中的尘埃或使用中溅落的金属颗粒则可能导致器件短路。这些因素严重影响了器件的可靠性, 因此器件表面需要淀积钝化层进行保护。

钝化层可以选择聚酰亚胺 (PI 胶), 也可以选择淀积 SiO_2 、 SiN_x 等介质薄膜。我们采用的方法是用等离子增强化学气相沉积 (PECVD) 法淀积 SiN_x 钝化层, SiN_x 在机械应力、热膨胀系数、导热性等方面均有良好性能, 是一种广泛应用的钝化介质。实验中 SiN_x 厚度为 $1000\text{\AA}$ 。

淀积钝化介质后, 器件的饱和漏电流、夹断电压、击穿电压等参数均会有所变化, 这可能是介质与外延层接触引起了表面态的变化。同时, 介质将使器件的电磁场分布发生改变, 当器件工作在高频下, 这种影响体现较为明显。在器件模型建立和电路设计中应当考虑到这些因素。

§ 2.3.5 E/D PHEMT 器件特性

器件特性测试是对器件结构与工艺的最终验证, 我们制作的 E/D PHEMT 器件特性测试结果如下所示, 被测增强型 HEMT 栅长 $1\mu\text{m}$, 栅宽 $30\mu\text{m}$; 被测耗尽型开关 HEMT 栅长 $1\mu\text{m}$, 栅宽 $50\mu\text{m}$, 栅指数 4, 总栅宽 $200\mu\text{m}$ 。

增强型和耗尽型 HEMT 跨导分别为 325ms/mm 和 246ms/mm 。

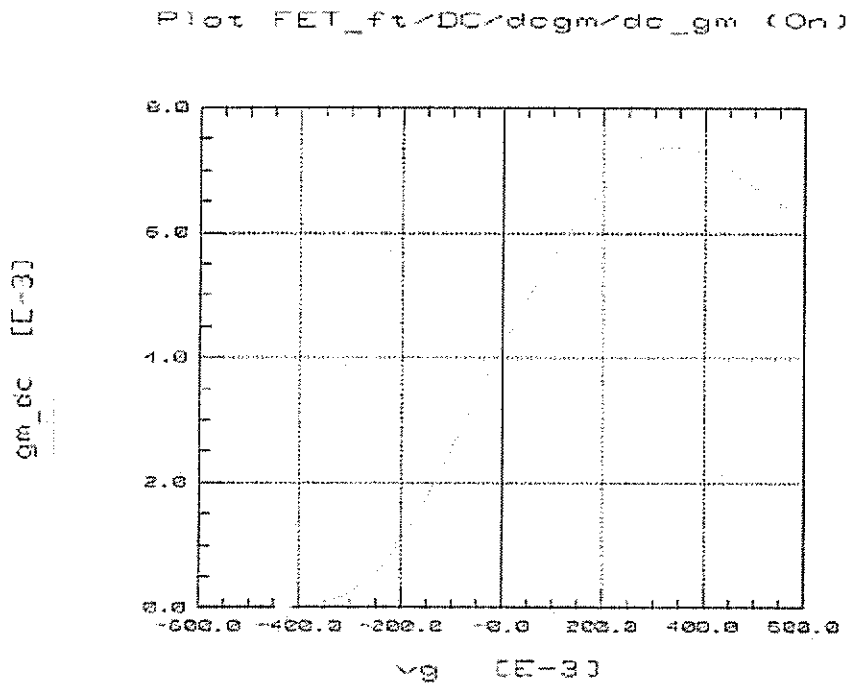


图 24 增强型 HEMT 跨导特性

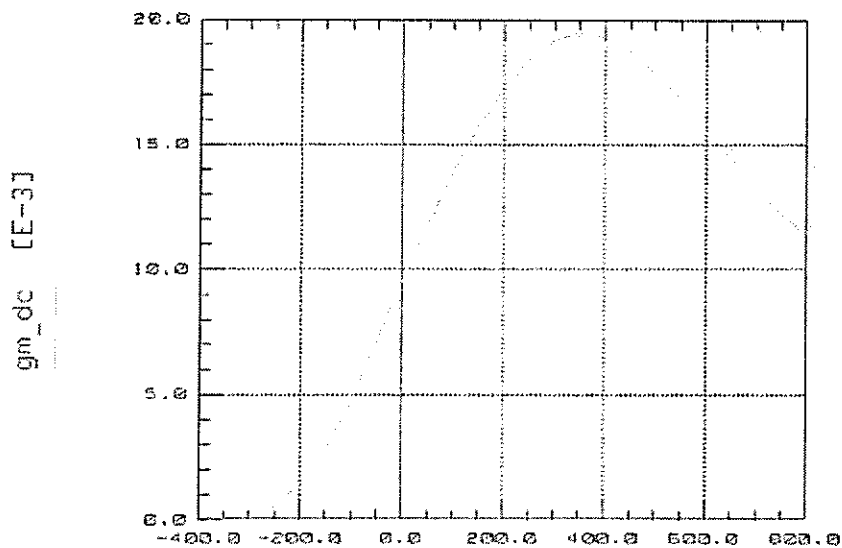


图 25 耗尽型 HEMT 跨导特性

增强型 HEMT 高频测试条件为 $V_{DS} = 2V$ 、 $V_{GS} = 0.5V$ ，测试得 $f_T = 10.3GHz$ 、

$f_{MAX} = 15.9GHz$ 。

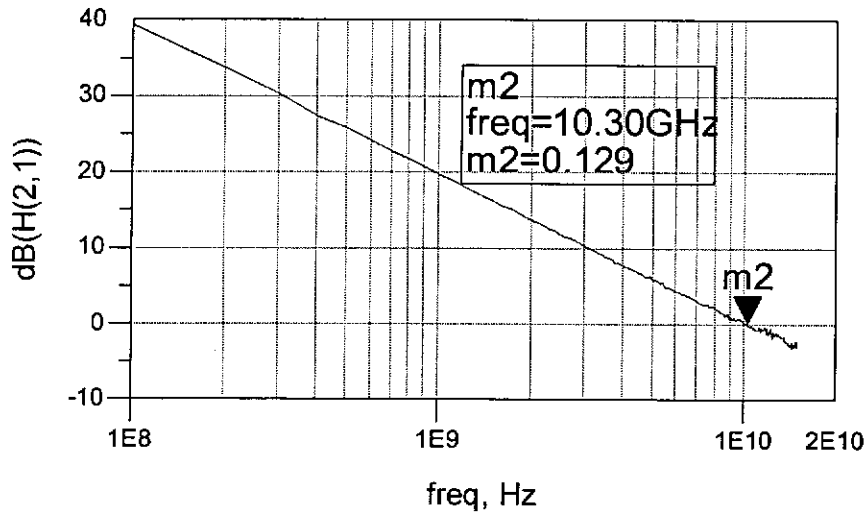


图 26 增强型 HEMT 截止频率测试

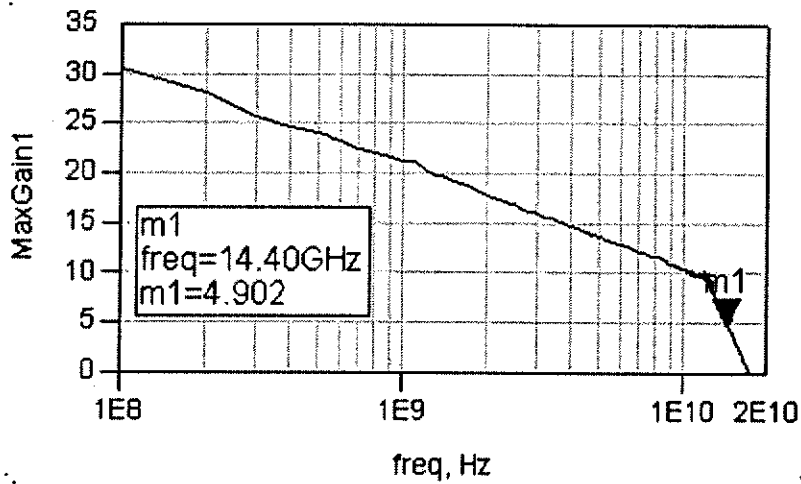


图 27 增强型 HEMT 最高振荡频率测试

耗尽型 HEMT 高频测试条件为 $V_{DS} = 2V$ 、 $V_{GS} = -0.1V$ ，测试得 $f_T = 19.1GHz$ 、

$f_{MAX} = 25.2GHz$ 。

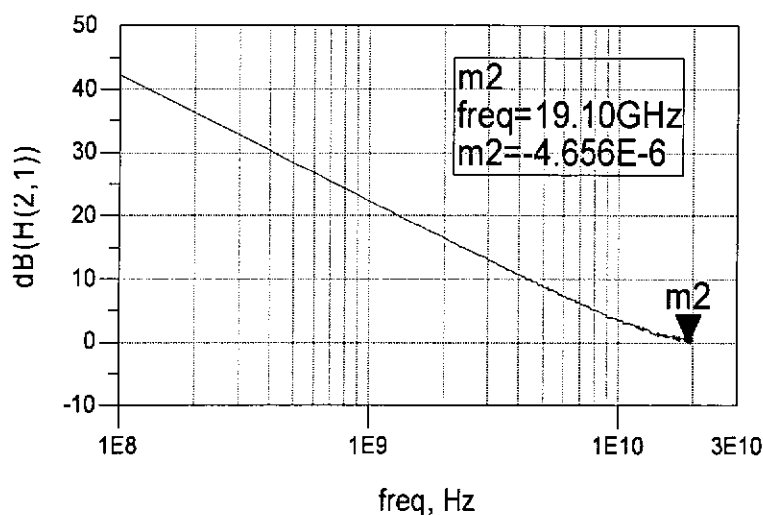


图 28 耗尽型 HEMT 截止频率测试

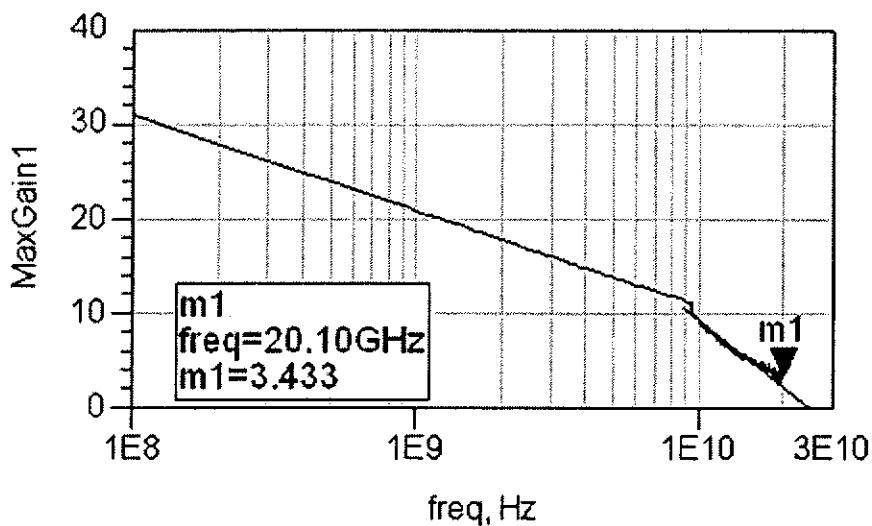


图 29 耗尽型 HEMT 最高振荡频率测试

§ 2.4 电路所需其它元器件制造工艺研究

集成电路通常是由多种元器件共同构成的,这其中包括有源器件,如二极管、三极管等,也包括无源元件,如电阻、电容、电感等。在基于 E/D HEMT 技术的集成电路中,HEMT 器件对电路型能起着决定性作用,但是其它各种元器件同样在电路中发挥着不可替代的作用,为了提升电路性能,对这些元件的制造工艺及电路模型的研究是非常必要的。本节针对我们在电路设计中所需使用的几种元件

展开研究, 这些器件包括: 金属膜电阻、MIM 电容和肖特基势垒二极管【14】。

§ 2.4.1 电阻

在 GaAs 集成电路制造中经常使用的电阻有两种: 有源区电阻和金属膜电阻。其中有源区电阻利用了 HEMT 外延结构中的沟道层来制作电阻, 在有源器件制作流程中, 电阻随之制作完毕, 不需要增加额外的工艺步骤。但有源区电阻的阻值随温度变化较大; 电阻的线条由湿法腐蚀工艺来决定; 电阻两端存在欧姆接触金属区域, 其寄生电阻受到欧姆接触合金工艺影响。这些因素都使有源区电阻阻止具有一定不确定性。

我们在实验中采用的金属膜电阻工艺, 金属选用 NiCr 合金。NiCr 金属膜电阻阻值比较精确、工艺重复性好、温度系数低、长期稳定性好。NiCr 金属膜电阻制作工艺包括: 曝光定义电阻图形, 淀积金属, 剥离形成电阻。

淀积淀积金属可以采用蒸发或溅射工艺, 我们采用溅射的方法。溅射形成的电阻膜对基片有很强的附着力, 金属膜本身更为致密, 溅射时金属膜的厚度也易于控制。

为了准确测试所制作电阻的方块电阻值, 我们设计了电阻测试图形。



图 30 电阻测试图形照片

电阻测试值中除包括 NiCr 电阻外, 还包括探针电阻、探针与压点接触电阻和引线电阻等。如果忽略引线电阻, 可得到下面公式:

$$R_{measure} = R_{NiCr} + 2(R_{probe} + R_{contact}) \quad (2.11)$$

和欧姆接触电阻测试方法相似, 我们在测试图形中不同压点间设计了多种方块数不同的 NiCr 电阻, 这样通过作图可以剔除探针电阻和接触电阻的影响, 得到 NiCr 电阻的方阻值约为 $19.3 \Omega/\square$ 。

在低频电路中, 电阻的电特性与频率无关。但我们设计的电路是工作在射频或微波频段, 此时电阻模型中必须考虑寄生参量。通常, MMIC 中金属膜电阻高频模型如下图所示。通过对电阻 S 参数的测试可以计算出等效电路中各参数值。

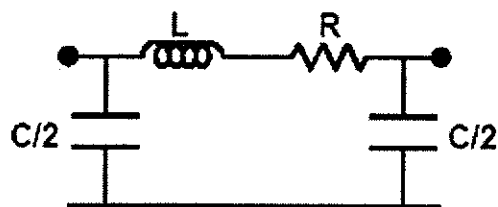


图 31 金属膜电阻等效电路

§ 2.4.2 电容

在射频电路中, 电容有重要作用, 可以在电路中起到耦合、阻抗匹配、谐振和滤波等作用。在 MMIC 工艺中最常见的是 MIM 电容。MIM 电容的上下极板分别由电路工艺中的两次金属布线形成。极板间为 PECVD 淀积的介质薄膜, 我们在实验中采用的介质是 Si_3N_4 , 它在各种介质材料中介电常数大, 单位面积电容值大, 有利于减小电容几何尺寸。MIM 电容的高频模型如图 32 所示:

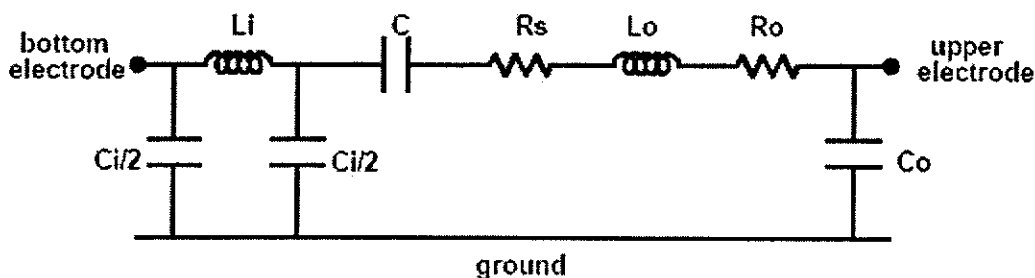


图 32 MIM 电容等效电路

MIM 电容在高频下的阻抗绝对值随频率变化与理想电容偏差很大, 频率超过一临界值后, 寄生电感将对器件的电特性起主要作用。

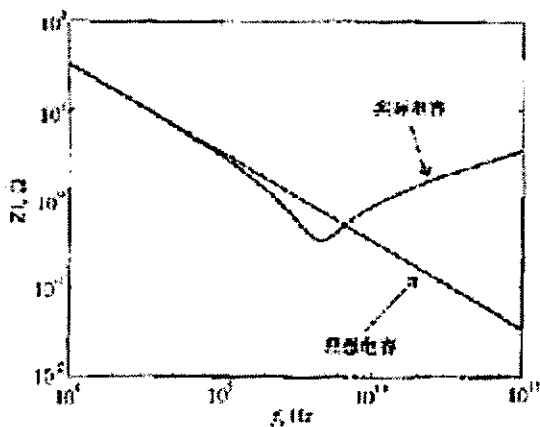


图 33 MIM 阻抗绝对值与频率关系

本文设计电路中, MIM 电容主要是作为隔直电容使用, 需要根据电容模型选

选择合适的电容尺寸，尽量减少电容对射频信号的损耗。下图为我们制作的 MIM 电容：

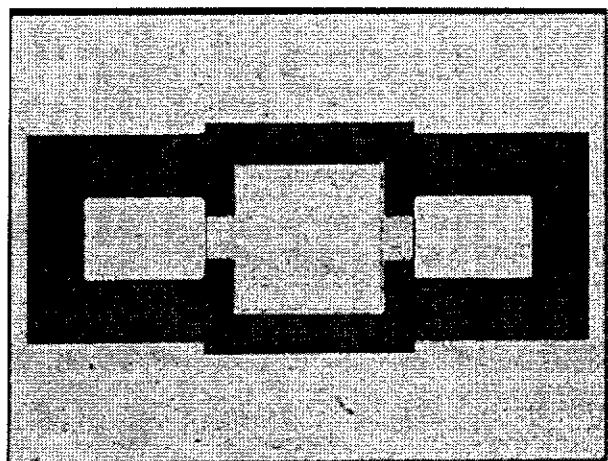


图 34 MIM 电容照片

该电容 S 参数测试曲线如下图所示：

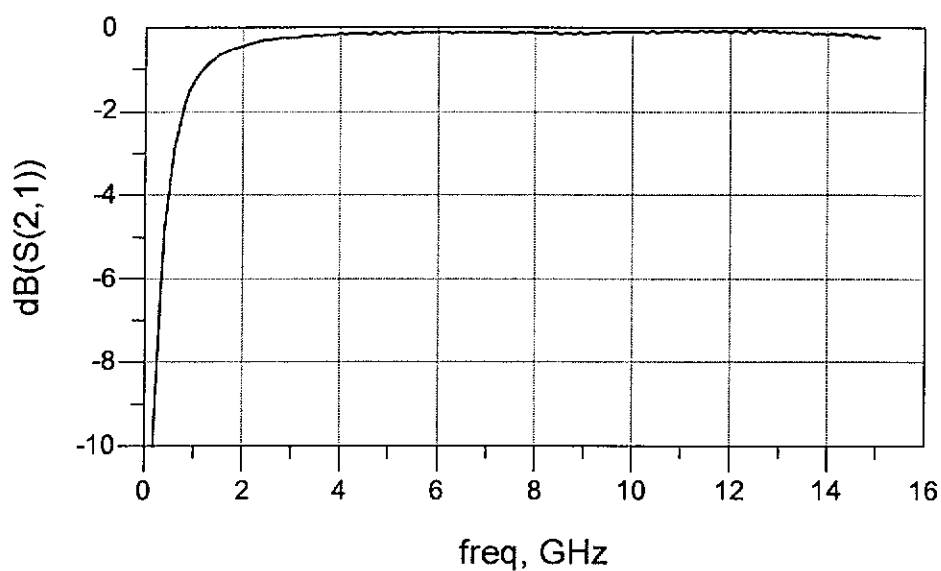


图 35 MIM 电容 S 参数测试

在 DC—15GHz 频率范围内，我们制作的 MIM 电容测试值均接近理想电容，可以在本论文所涉及的实验电路中作为隔直电容使用。

§ 2.4.3 肖特基二极管

二极管在射频电路中应用广泛,可用于射频检波器、混频器、衰减器和振荡器等电路中。由于金属-半导体接触形成的肖特基二极管相对于 PN 结二极管具有更小的电容,因此具有更优越的高频性能。肖特基二极管伏安特性由下面方程描述:

$$I = I_s(e^{(V-IR_s)} - 1) \quad (2.12)$$

其中 I_s 为二极管反向饱和电流。

我们在实验中选择肖特基二极管的另一个原因是,肖特基二极管工艺与 HEMT 器件制造工艺完全兼容不需要额外增加工艺步骤。利用栅金属与耗尽型势垒层的金属-半导体接触形成肖特基势垒,利用欧姆接触金属作为二极管的另一个电极。二极管采用插指结构,这种结构在不增加器件面积的前提下可减小二极管导通电阻。我们制作的二极管照片及测试结果如下:

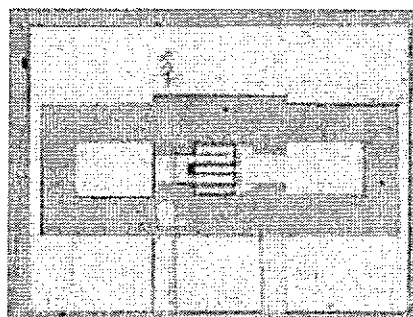


图 36 肖特基二极管照片

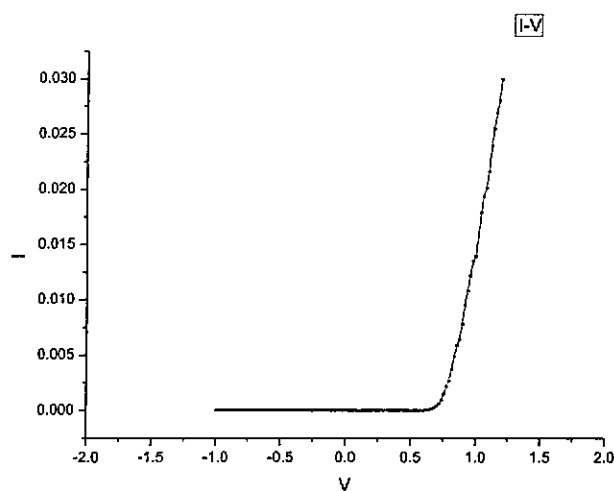


图 37 二极管直流测试曲线

§ 2.5 本章小结

本章内容涉及了 E/D HEMT 器件研制的各个方面, 重点研究了 E/D HEMT 器件制作的关键工艺。

本章首先简要回顾了 HEMT 器件发展历程; 定性分析了 HEMT 器件, 尤其是 E/D HEMT 器件工作原理。

在此基础上对 E/D HEMT 外延材料结构进行了深入分析, 确定了器件研制所使用的新型 E/D HEMT 外延材料结构。

建立了完整的 E/D HEMT 器件制作工艺, 其中对源漏欧姆接触和栅制作等关键技术进行了深入研究。经过测试, 我们制作的增强型 HEMT 跨导为 325 ms/mm , $f_T = 10.3\text{GHz}$ 、 $f_{MAX} = 15.9\text{GHz}$ 。耗尽型开关 HEMT 跨导为 246 ms/mm , $f_T = 19.1\text{GHz}$ 、 $f_{MAX} = 25.2\text{GHz}$ 。

最后对 MMIC 电路制造中所需的其他器件制造工艺进行了研究和制作, 包括: 电阻、电容和肖特基二极管。

通过以上各项工作, 我们建立基于 E/D HEMT 技术的 MMIC 制造所需的各种器件的制做流程, 为基于 E/D HEMT 的电路研制奠定了基础。

第三章 E/D HEMT 模型参数提取

集成电路中的器件建模是高速集成电路和微波毫米波集成电路设计和制造的核心技术之一，只有针对特定器件及相应工艺条件建立准确高效的器件模型，才能保证电路设计的高成功率。尤其当器件工作频率达到微波频段，模型参数的细微变化将对电路设计产生巨大影响。随着基于 GaAs HEMT 技术的集成电路在军用和民用电子系统中广泛应用，HEMT 器件建模技术也成为研究者和企业界共同关注的热点。

HEMT 作为新一代异质结器件，在工作频率、噪声系数及功耗等重要指标上均优于 MESFET，但其工作原理与 MESFET 基本一致，都是利用外加栅压控制沟道电流的通断和大小。因此在 HEMT 建模的研究中，大量的借鉴或直接借用了 MESFET 模型。FET 的建模方法有很多种。其中物理模型不需要进行任何测试，它们完全是建立在半导体物理知识的基础上。通过求解不同几何形状和掺杂浓度下的半导体方程，来模拟器件的行为。虽然这些模型具有很强的灵活性，可以模拟各种器件，但在电路设计中一般不会用到纯物理模型。这是由于物理模型在仿真过程中需要很长的时间进行计算，而且其仿真结果往往与器件实际测试结果有一定偏差。电路设计中最常见的模型是采用等效电路来表征器件特性。等效电路中各个元件的参数是通过多种方法来提取的，包括：测试结果拟合、方程的求解以及查找相关半导体参数表等【1】。本章所涉及的主要是等效电路模型。

根据 FET 应用领域的不同，其模型也有所不同，常见的模型有三类：小信号 FET 模型、大信号 FET 模型以及仅供控制电路使用的开关模型，我们将对这三种模型分别进行论述。

§ 3.1 HEMT 小信号等效电路模型

HEMT 小信号等效电路模型有广泛应用，常用于器件性能分析（如增益、噪声等主要指标），微波电路设计以及用于衡量和指导器件制造工艺。而且小信号模型是建立噪声模型及大信号模型的基础。因此，HEMT 器件小信号电路模型的提取有重要意义。

§ 3.1.1 小信号等效电路概述

小信号等效电路模型一般应满足以下几点要求：(a) 电路形式不能复杂，以便于分析；(b) 满足一定的精度；(c) 参数的可提取性。目前已有的 HEMT 小信号等效电路模型可分为两类，一种是经验和半经验模型，另一种是以物理结构为基础的解析模型。在 CAD 设计中最常用的是经验和半经验电路模型，描述这些模型的公式通常是对器件理论分析公式作适当的经验调整，使之符合经验结果。解析模型是根据器件的实际物理结构，作一些简单的假设，在特定的近似条件下分析器件方程，得到 CAD 设计所需的参数。随着通讯事业的发展，在一些如雷达、航空航天等通讯系统中，要求器件工作频率越来越高，HEMT 常用在频率大于 30GHz 的通讯系统中，此时 HEMT 的栅长往往小于 $1\mu\text{m}$ ，解析模型中一些特定的假设不再成立，进行理论分析非常困难。所以一般通过实验手段，并根据经验进行优化来提取参数【2】。

图 1 表示一种基本的 HEMT 小信号等效电路模型【3】。可以看出，它与 MESFET 小信号等效电路类似，但由于 HEMT 中，二维电子气的存在，使得 HEMT 模型中寄生电阻和寄生电容比 MESFET 的低得多。

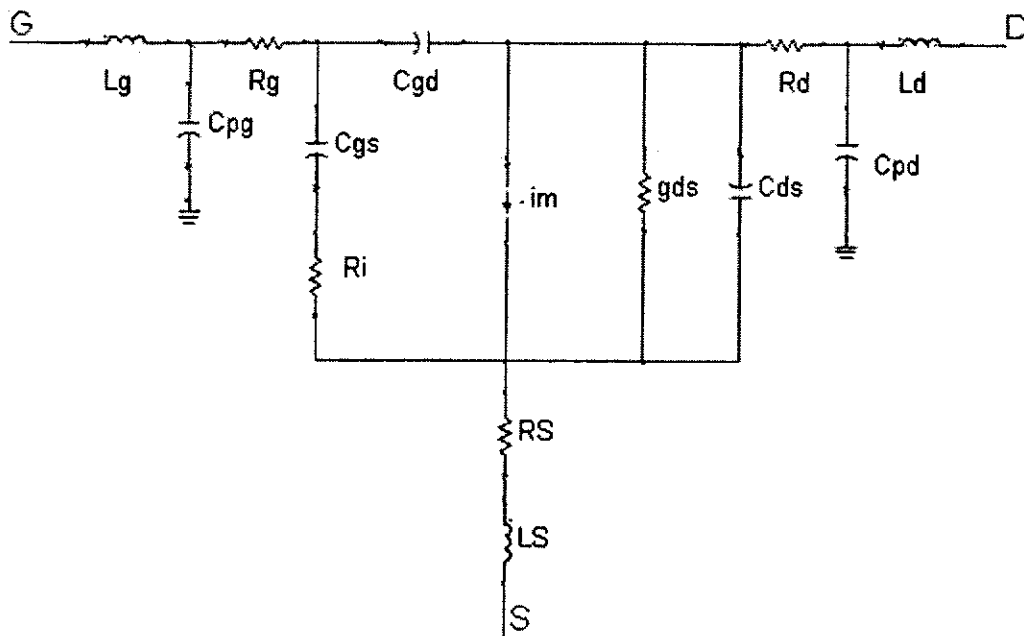


图 1 HEMT 小信号等效电路

等效电路参数包括本征参数和非本征参数（外部寄生参数），本征参数与偏置有关，其中： R_i 为沟道电阻； g_{ds} 为漏电导； C_{gs} 、 C_{gd} 、 C_{ds} 分别为栅源电容、

栅漏电容、源漏电容； $im = gm \cdot e^{-j\omega\tau}$ 其中 gm 为跨导。非本征参数与偏置无关，其中： L_g 、 L_s 、 L_d 分别为栅电感、源电感、漏电感； R_g 、 R_s 、 R_d 分别为栅串联电阻、源串联电阻、漏串联电阻； C_{pg} 、 C_{pd} 为寄生电容。

§ 3.1.2 小信号模型参数提取

通常，小信号等效电路模型可以通过自动优化各元件参数与测试获得的 S 参数拟合来获得。但这种方法存在一些缺点。(1) 为使等效电路模型在较宽频带内有效，需要准确的宽带 S 参数测量；(2) 采用不同优化方式或各元件初始值设定不同，可能会出现不同的优化结果；(3) 为了使等效电路具有明确的物理意义，并且有唯一解，就需要在拟合前确定模型中部分元件值。

为了克服这些问题，我们在这里介绍另外一种确定 FET 小信号等效电路的方法。这种方法由一系列直接、快速、准确的测试方法构成，这些测试都是在较低频率下进行的【3】。

由于本征参数元件为 π 型结构，可以很方便的由 Y 参数表示，表达式如下：

$$y_{11} = \frac{R_i C_{gs}^2 \omega^2}{D} + j\omega \left(\frac{C_{gs}}{D} + C_{gd} \right) \quad (3.1)$$

$$y_{12} = -j\omega C_{gd} \quad (3.2)$$

$$y_{21} = \frac{gm \exp(-j\omega\tau)}{1 + jR_i C_{gs} \omega} - j\omega C_{gd} \quad (3.3)$$

$$y_{22} = gds + j\omega(C_{ds} + C_{gd}) \quad (3.4)$$

其中 $D = 1 + \omega^2 C_{gs}^2 R_i^2$ 。

一般来讲，对于 HEMT 器件，在较低频率下（如 $F < 5GHz$ ）有 $\omega^2 C_{gs}^2 R_i^2 \leq 0.01$ ， D 近似于 1。再进一步假设 $\omega\tau \leq 1$ ，可以得到：

$$y_{11} = R_i C_{gs}^2 \omega^2 + j\omega(C_{gs} + C_{gd}) \quad (3.5)$$

$$y_{12} = -j\omega C_{gd} \quad (3.6)$$

$$y_{21} = gm - j\omega(C_{gd} + gm(R_i C_{gs} + \tau)) \quad (3.7)$$

$$y_{22} = g_{ds} + j\omega(C_{ds} + C_{gd}) \quad (3.8)$$

从公式 (3.5) ~ (3.8) 看出, 本征参数可以从 Y 参数导出: C_{gd} 从 y_{12} 导出, C_{gs} 和 R_i 从 y_{11} 导出, g_m 和 τ 从 y_{21} 导出, 最后从 y_{22} 导出 g_{ds} 和 C_{ds} 。

因此, 只要能够从测试数据中提取本征参数部分的 Y 参数矩阵, 就可以获得所有本征参数值。假设所有非本征参数是已知的, 可以通过如图 2 所示的一系列操作, 获得本征参数部分的 Y 参数矩阵。

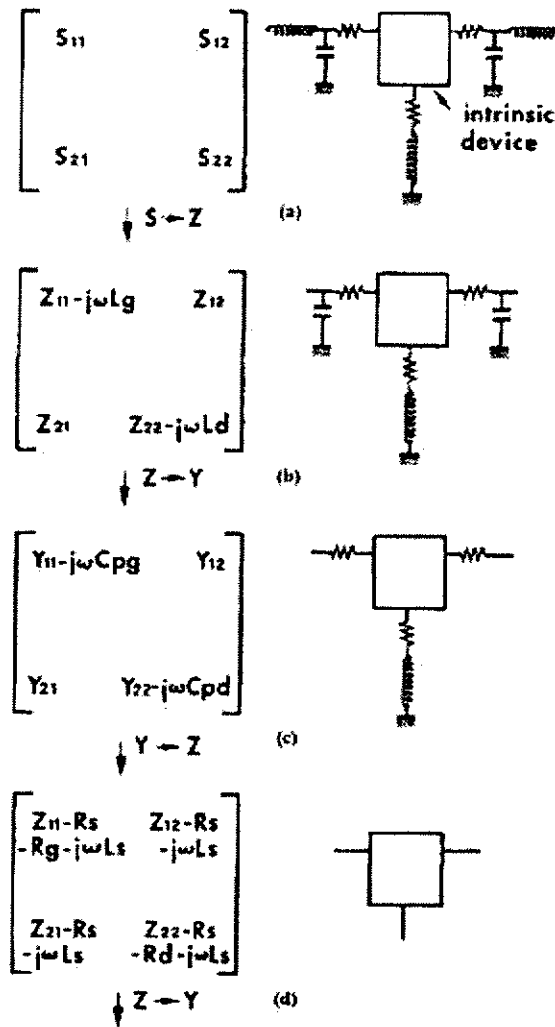


图 2 Y 参数矩阵提取

- 1) 对器件进行 S 参数测量;
- 2) 将 S 参数转换为 Z 参数, 并减去 L_g 和 L_d 这两个串连元件的影响;
- 3) 将 Z 参数转换为 Y 参数, 去除寄生电容 C_{pg} 和 C_{pd} ;

4) Y 参数再转换为 Z 参数, 去除 R_g 、 R_s 、 R_d 和 L_s ;

5) Z 参数转换为 Y 参数, 就得到我们需要的本征参数的 Y 参数矩阵。

下面的工作就是确定非本征参数值。Diamant 和 Laviron 等人提出, 可以在源极偏置电压为零时, 通过对器件 S 参数的测量来提取寄生参数, 此时等效电路将极大的简化。当 $V_{ds} = 0$, 栅极下方沟道内的等效 RC 网络如图 3 所示。

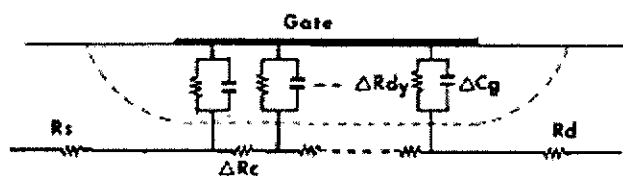


图 3 沟道内 RC 网络示意图

对任意栅偏压, 图中参数均可用 Z 参数来表达:

$$z_{11} = \frac{R_C}{3} + z_{dy} \quad (3.9)$$

$$z_{12} = z_{21} = \frac{R_C}{2} \quad (3.10)$$

$$z_{22} = R_C \quad (3.11)$$

其中, R_C 为栅下方的沟道电阻, z_{dy} 为肖特基势垒的等效阻抗。 z_{dy} 可以由下式表达:

$$z_{dy} = \frac{R_{dy}}{1 + j\omega C_g R_{dy}} \quad (3.12)$$

其中, $R_{dy} = \frac{nkT}{qI_g}$, n 为理想因子, k 为玻尔兹曼常数, T 为温度, C_g 为栅

电容, I_g 为栅极直流电流。当栅电流增加, R_{dy} 减小, C_g 增大, 但 R_{dy} 的变化速度远大于 C_g , 因此当栅电流密度较大时, $R_{dy} \cdot C_g \cdot \omega$ 将趋近于零。此时可以认为

$z_{dy} \approx R_{dy} = \frac{nkT}{qI_g}$, 相应的, 我们可以近似得到:

$$z_{11} = \frac{R_C}{3} + \frac{nkT}{qI_g} \quad (3.13)$$

如果忽略寄生电容 C_{pg} 和 C_{pd} 的影响, 测量获得的 Z 参数与模型参数关系如下:

$$Z_{11} = R_s + R_g + \frac{R_c}{3} + \frac{nkT}{qI_g} + j\omega(L_s + L_g) \quad (3.14)$$

$$Z_{12} = Z_{21} = R_s + \frac{R_c}{2} + j\omega L_s \quad (3.15)$$

$$Z_{22} = R_s + R_d + R_c + j\omega(L_s + L_d) \quad (3.16)$$

在上述表达式中, Z 参数的实部与频率无关, 虚部随频率线性变化。值得注意的是, Z_{11} 随 $1/I_g$ 变化, 通过作图法可以获得 $R_s + R_g + \frac{R_c}{3}$ 的值。

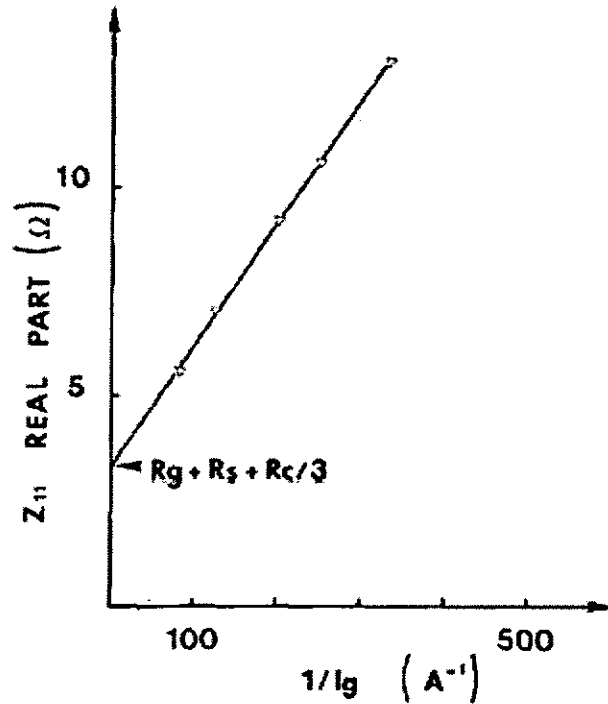


图 4 Z_{11} 随 $1/I_g$ 变化示意图

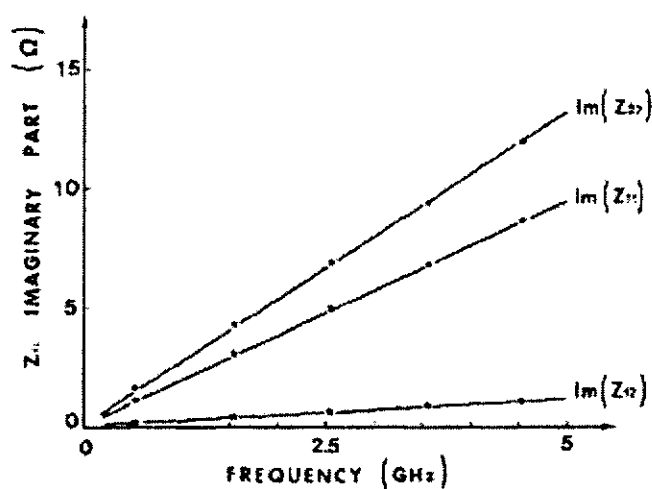


图 5 Z 参数虚部随频率变化示意图

通过对 Z 参数虚部数值的计算可以获得寄生电感 L_g 、 L_s 、 L_d 的具体值，但我们仍需要一些额外的条件来确定 R_g 、 R_s 、 R_d 及 R_c 。这些额外条件可以通过下列方法中的任意一个得到：

- 1) 采用文献【4】【5】所提供的方法确定 $R_s + R_d$ ；
- 2) 通过测试获得 R_g ；
- 3) 通过直流测试获得 R_s 和 R_d ；【6】
- 4) 如果材料特性是已知的，可以首先确定 R_c

我们采用第一种方法，当 $I_d = 0$ ，源漏电阻可以用下式表达：

$$R_{dso} = R_s + R_d + \frac{1}{G_0(1 - \sqrt{\eta})} \quad (3.17)$$

其中 $\eta = (-V_{gs} + V_B)/U_0$ ， G_0 为栅极开路时沟道电导， V_B 势垒自建电势， U_0 为沟道完全耗尽所需电势。通过对测量结果作图，可以得到， $R_s + R_d$ 。

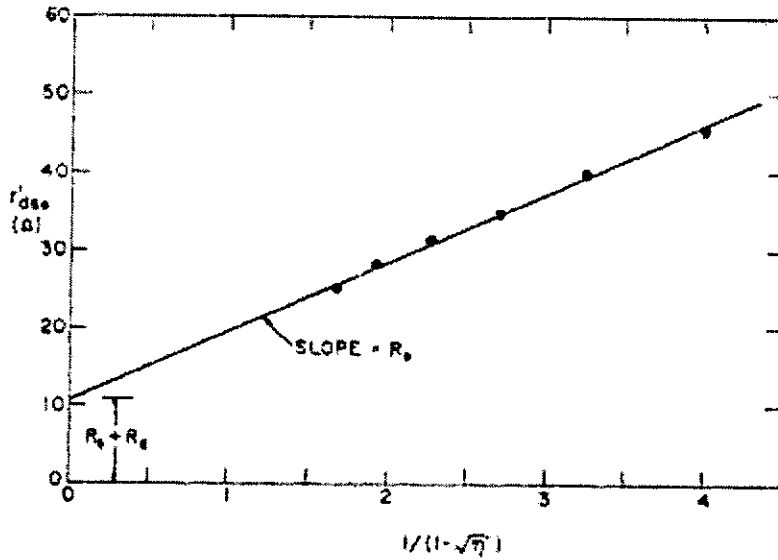
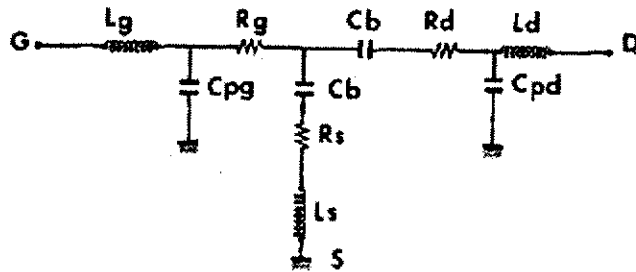


图 6 源漏电阻测试示意图

现在我们重新考虑在之前测试中忽略的输入、输出端寄生电容 C_{pg} 和 C_{pd} 。

当源端偏置电压为零，栅偏压 $V_g < V_p$ 时，HEMT 等效电路如下图所示：


 图 7 $V_{ds} = 0$ 且 $V_g < V_p$ 时小信号等效电路

图中 C_b 为栅极与源漏两端的耗尽层电阻。当测试频率达到 GHz 是，图中电感对 Y 参数虚部几乎没有影响，我们可以得到下面表达式：

$$\text{Im}(Y_{11}) = j\omega(2C_b + C_{pg}) \quad (3.18)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -j\omega C_b \quad (3.19)$$

$$\text{Im}(Y_{11}) = j\omega(C_b + C_{pg}) \quad (3.20)$$

从这些表达式我们容易得到 C_{pg} 和 C_{pd} 。

这样我们就可以通过一系列简单的测试获得了 HEMT 小信号等效电路的所有参数。

§ 3.2 HEMT 大信号等效电路模型

HEMT 器件以其优异性能被广泛应用在功率放大器等模拟电路和超高速数字电路中, 对这些应用来说, 准确的大信号模型至关重要。

大信号模型方面, 应用最广泛的模型有五种: Curtice 平方模型和 Curtice 立方模型【7】、Materka 模型【8】、Statz 模型【9】与 Triquint 模型【10】。这些模型的最大区别在于沟道电流 I_{ds} 表达式不同。Curtice 平方模型是基于 JFET 模型并加以改进的第一个 GaAs FET 模型, 该模型简单, 其缺点是 I_{ds} 和 V_{gs} 的平方律关系的假定以及夹断电压为常数。Statz 模型是 Curtice 平方模型的改进, 它较 Curtice 平方模型增加了一个掺杂拖尾参数, 可模拟 I_{ds} 同 V_{gs} 的非平方关系。Curtice 平方模型和 Statz 模型不能较好地用于功率器件的模拟, 因此常用于模拟高速 FET 器件。Materka 模型考虑了夹断电压与 V_{ds} 有关, 也考虑了不同栅电压时的 $I-V$ 膝电压移位, 其模型参数仅四个, 其缺点是 I_{ds} 与 V_{gs} 平方律关系限制。Curtice 立方模型采用三次多项式模拟 I_{ds} 与栅压的关系, 考虑了夹断电压随沟道电压增加而增加的现象, 模拟精度比前述三种模型高, 其缺点在于模拟参数缺乏明确的含义, 在电路模拟中有时会出现器件无法夹断等非物理效应。Triquint 模型是对 Statz 型的改进, 其对 DC 测试的沟道 $I-V$ 特性模拟精度比较高, 但对于脉冲测试的沟道 $I-V$ 特性, 其模拟精度仍有待提高。至于 $C-V$ 模型, 主要包括 pn 结电容模型及 Statz 电容模型两种, Statz 电容模型可用于 V_{ds} 小于零情况并改进了在器件夹断区域附近的模拟精度【11】。

在模型参数提取方面, 国内外均作了大量的工作, 可分为静态特性提取 (主要是漏源电流 I_{ds} 的提取) 和动态特性提取 (主要是栅源电容 C_{gs} 、栅漏电容 C_{gd} 提取)。静态特性提取 (主要是漏源电流 I_{ds} 的提取) 和动态特性提取 (主要是栅源电容 C_{gs} 、栅漏电容 C_{gd} 提取)。静态特性提取是通过直流或脉冲方法测出其直流曲线, 然后用电流表达式去拟合测试曲线以求取直流参数。动态特性提取是通过 S 参数测试先提取不同偏置点下的小信号模型, 然后用这一组电容数据去拟合电容表达式以求取交流参数。由于拟合数据来自小信号模型, 所以动态特性提取重点在于小信号模型的提取。目前有多种提取小信号模型的方法, 大多数需要在低频、直流或者用 cold-fet 法测试管子的非本征参数【12】【13】, 而本征参数的提取采用解析公式直接提取的【14】。直接提取的方法费时少, 可以得到唯一解, 但是它极易受到测量准确度的影响, 而且由于该方法仅在少数频率点下

进行, 要保证在全部频率范围内模型参数的一致性, 就需要额外的优化过程。小信号模型的参数有十几个之多, 同时要拟合全部频率范围内的数据, 因此需要优秀的优化算法支持【15】。

§ 3.2.1 Statz 等效电路模型

在上述各种模型中, Statz 模型应用广泛, 在许多微波集成电路 EDA 软件中, 如 MicroWave Office 和 ADS 等, 都提供 Statz 模型。在本章中, 我们将应用 Agilent IC-CAP 软件中的 EEHEMT 模型进行参数提取, Statz 模型是 EEHEMT 模型的核心部分之一, 因此我们首先介绍 Statz 模型。下图为 Statz 大信号模型等效电路【9】:

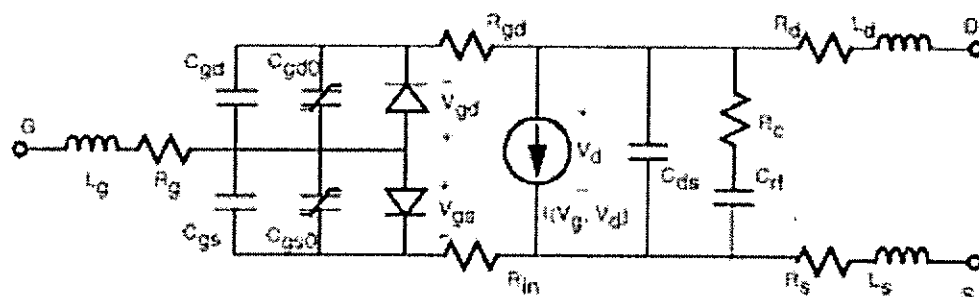


图 7 Statz 大信号模型等效电路

Statz 模型电路拓扑中包括了线性元件和非线性元件。其中线性元件与偏置状态无关: L_g 、 L_s 、 L_d 分别为栅电感、源电感、漏电感; R_g 、 R_s 、 R_d 分别为栅串联电阻、源串联电阻、漏串联电阻; C_{ds} 为源漏附加电容; C_{pg} 、 C_{pd} 为寄生电容。

非线性元件与器件偏置电压 V_{gs} 、 V_{ds} 有关, 包括:

- 1) 非线性电流源 I_{ds} 。它是电路中主要的非线性元件, 用来模拟器件外加电压对沟道电流控制的情况, 与 V_{gs} 和 V_{ds} 有关;
- 2) 非线性电容 C_{gs} 和 C_{gd} 。他们分别表示沟道近源端和近漏端的沟道层和附加边缘电容, 分别与 V_{gs} 和 V_{ds} 有关;
- 3) 电阻 R_{in} 。表示栅极下未耗尽部分电阻;

4) R_{gd} , 栅漏电阻。

为了表征 HEMT 器件在大信号下复杂的行为, Statz 模型中除了上述等效电路外, 还包含了多个与器件特性紧密相关的参数, 现依据 ADS 所提供 Statz 模型, 将主要参数列表。

表 1 Statz 模型参数

参数名称	描述	单位
BETA	放大系数 β	None
VTO	阈值 (夹断) 电压	Voltage
ALPHA	膝点参数 α	None
LAMBDA	输出导纳参数 λ	None
THETA	I/V 参数 (某些文献中为 b)	None
TAU	栅漏延迟时间	Time
VBR	栅击穿电压	Voltage
IS	栅二极管电流参数	Current
N	栅二极管理想因子	None
VBI	栅自建电势	Voltage
FC	正偏栅耗尽电容耦合系数	None
VMAX	最大结电压	V
RC	射频漏源电阻	Resistance
CRF	射频输出调整电容	Capacitance
RD	漏电阻	Resistance
RG	栅电阻 (固定分量)	Resistance

RS	源电阻	Resistance
RIN	沟道电阻	Resistance
CGSO	0 偏栅源电容	Capacitance
CGDO	0 偏栅漏电容	Capacitance
DELTA1	电容参数 1	None
DELTA2	电容参数 2	None
CDS	源漏电容	Capacitance
TNOM	工作温度	Temperature
RGD	栅漏电阻	Resistance
LS	源电感	Inductance
LG	栅电感	Inductance
LD	漏电感	Inductance

§ 3.2.2 EEHEMT 模型

§ 3.2.2.1 Agilent IC-CAP 简介

IC-CAP (集成电路特性和分析程序) 是一种器件建模软件, 它可以为半导体建模提供强大的表征和分析能力。它包括仪器控制、数据采集、参数提取、图形分析、仿真、优化和统计分析的功能, 用于有源器件和电路模型参数的精确提取, 同时可为 ADS 等商用 EDA 软件提供建造模型库的有力支持。IC-CAP 通常与高频测试设备配合使用, 构成的高频器件建模系统如下图所示【16】:

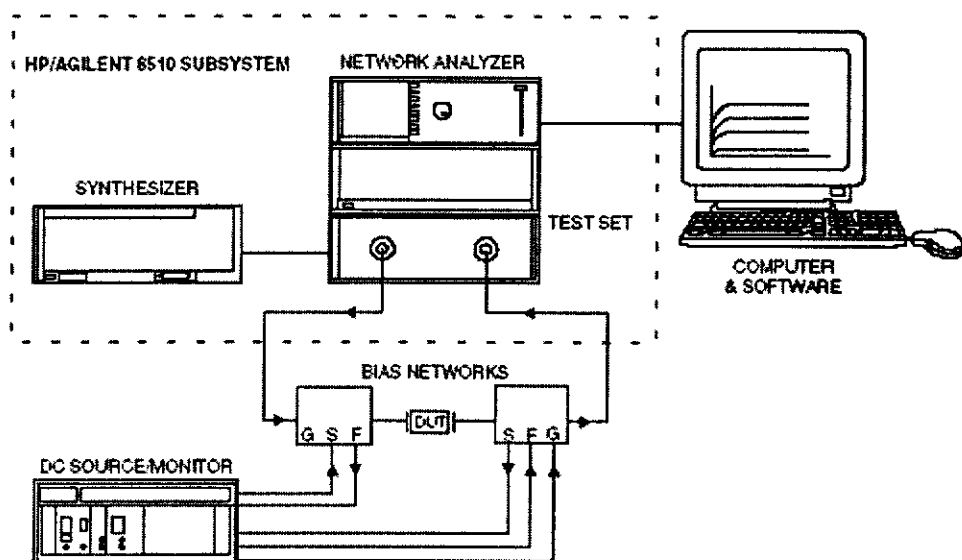


图 8 高频器件建模系统

IC-CAP 提供多种针对 MESFET 和 HEMT 的高频模型，包括 Curtice Cubic 模型、Curtice Quadratic 模型、Statz MESFET 模型、Agilent EEHMT3/EEHMT1 模型和 Agilent Root MESFET/HEMT 模型。

我们选择的 EEHMT3/EEHMT1 模型主要针对 HEMT 器件，包括大信号、三端 IC 和封装器件的非线性经验模型。它建立了 DC、偏置相关 S 参数、时间延迟、副阈值电流和 R_{ds} 离散的精确模型，同时还包含漏极电流模型，以及包含横向电容效应的 C_{gs} 和 C_{gd} 模型，并考虑了漏极电流中的静态自热效应。应用 IC-CAP 的 EEHMT 模型提参具有以下优势：该模型对各种不同工艺范围和工作条件均具有较高精度；可以直接提取封装寄生参数；直接通过测量采集全套模型参数；参数调试自动化程度高，可以大幅提高建模效率。

使用 IC-CAP 建模的一般流程如下：

- 1) 选择器件提参所需的模型；
- 2) 根据软件提示，设定相应参数，依次进行 DC、C-V 和 RF 测量；
- 3) 从测试数据中提取模型参数；
- 4) 优化模型参数，使模型仿真结果与实测结果吻合。

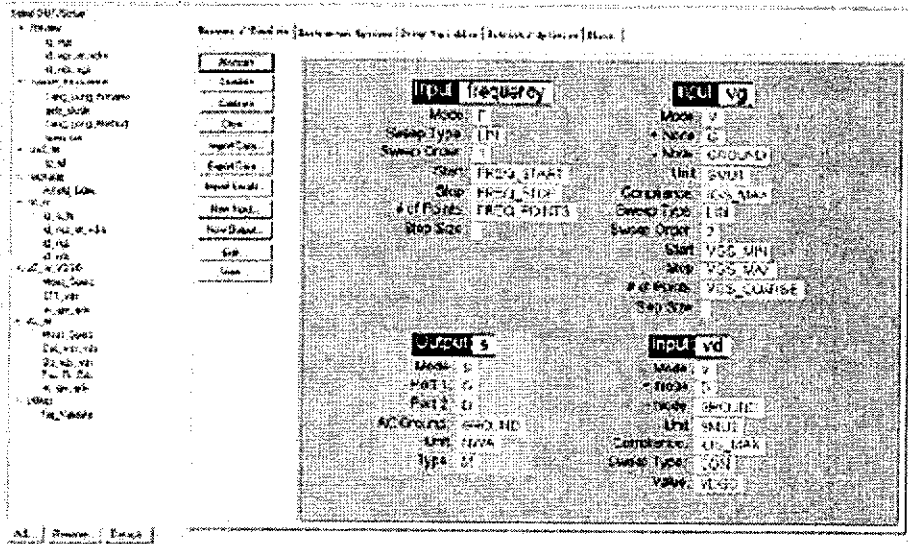


图9 IC-CAP 用户界面

§ 3.2.2.2 EEHEMT 模型参数提取

我们应用 IC-CAP 软件及其提参系统,提取了 E/D PHEMT 器件的 EEHEMT1 模型。模型提取过程需要进行多项直流和微波测试,包括: I-V 特性测试、夹断特性测试、栅势垒特性测试、寄生参数测试和 S 参数测试。

EEHEMT1 模型中包含 8 个外部寄生参数: L_g 、 L_s 、 L_d 、 R_g 、 R_s 、 R_d 、 C_{pg} 和 C_{pd} 它们是模型中的线性元件,它们的数值不随偏置条件变化,这些寄生参数的提取方法与我们在本章第一节所描述的小信号模型参数提取方法相一致,在此不再赘述。

对模型中非线性模型的提取主要包括以下几个方面【17】:

1) 二极管参数提取。

HEMT 器件中,栅金属与半导体接触形成的肖特基势垒可等效为肖特基二极管,此二极管直流特性由下式表示:

$$I_{gs} = I_s \left[\exp\left(\frac{qV_{gs}}{nkT}\right) - 1 \right] \quad (3.21)$$

其中 n 为理想因子 ($n = \frac{q}{kT} \frac{\partial V}{\partial \ln J}$)。

通常 $\ln I$ - V 曲线在小电流和大电流下都不是线性的,这是因为在小电流时漏电流和大电流下栅电阻的影响。在 EEHEMT1 提参过程中,利用曲线的线性部分得

到斜率, 获得理想因子值。通过 X、Y-LOW 和 X、Y-HIGH 这两组参量来选择线性段。

2) 源漏电流参数提取

EEHEMT 模型中源漏模型参数通过 g_m 、 g_{ds} 和 I_{ds} 之间关系提取。模型假设器件是对称的, 即当 $V_{ds} < 0V$ 时, 只需用 V_{gs} 代替 V_{ds} , V_{ds} 由 $-V_{ds}$ 代替。 g_m 、 g_{ds} 和 I_{ds} 之间关系如下:

截止区: $V_{gs} < V_t$

$$g_{m0} = 0 \quad (3.22)$$

$$I_{ds0} = 0 \quad (3.23)$$

饱和区: $V_{ds} \geq V_g$

$$g_{m0} = GMMAX[1 + GAMMA(VDSO - V_{ds})] \quad (3.24)$$

$$I_{ds0} = GMMAX \left[V_x(V_{gs}) - \frac{(VGO + VTO)}{2} + VCH \right] \quad (3.25)$$

$$g_{ds0} = -GMMAX \cdot GAMMA(V_{gs} - VCH) \quad (3.26)$$

线性区: $V_t < V_{gs} < V_g$

$$g_{m0} = \frac{GMMAX}{2} [1 + GAMMA(VDSO - V_{ds})] \cdot \left\{ \cos \left[\pi \cdot \frac{V_x(V_{gs}) - (VGO - VCH)}{VTO - VGO} \right] + 1 \right\} \quad (3.27)$$

$$I_{ds0} = \frac{GMMAX}{2} \cdot \left\{ (VTO - VGO / \pi) \sin \left[\pi \cdot \frac{V_x(V_{gs}) - (VGO - VCH)}{VTO - VGO} \right] + V_x V_{gs} - (VTO - VGO) \right\} \quad (3.28)$$

其中: $V_x(V) = (V - VCH)[1 + GAMMA(VDSO - V_{ds})]$,

$$V_g = \frac{VGO - VCH}{1 + GAMMA(VDSO - V_{th})} + VCH, \quad V_t = \frac{VTO - VCH}{1 + GAMMA(VDSO - V_{ds})} + VCH$$

上述直流模型中主要参数为: 阈值电压 VTO; 跨导最大时的栅源电压 VGO;

跨导峰值 G_{MAX} ；膝点电压 V_{CH} ；沟道调制系数 γ ；饱和源漏电压 V_{DS0} 。

该模型仿真结果与与测试结果对比如下：

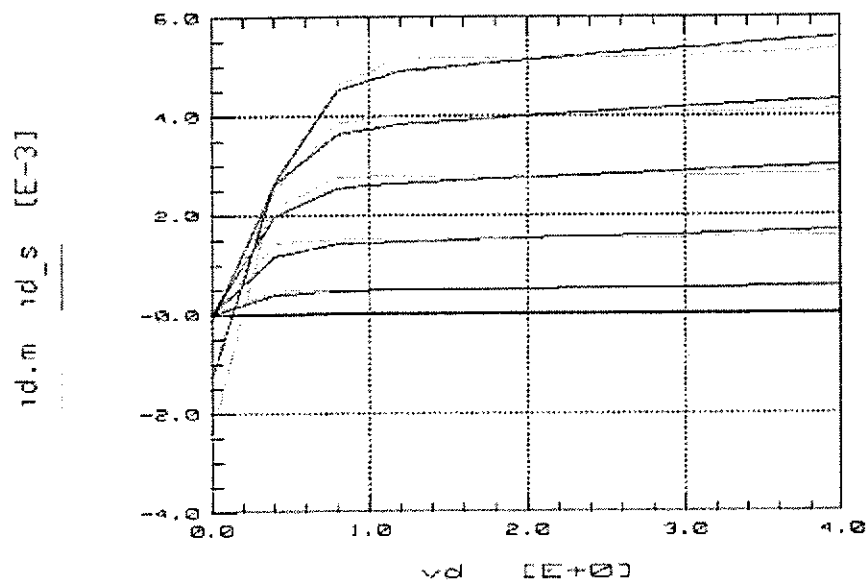


图 10 增强型 HEMT I-V 特性对比

(深色曲线为仿真结果，浅色曲线为测试结果)

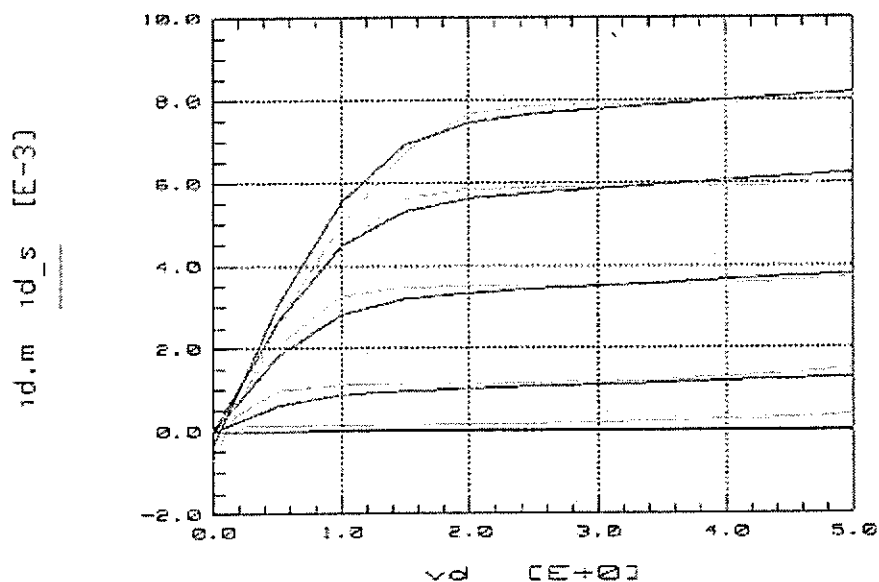


图 11 耗尽型 HEMT I-V 特性对比

(深色曲线为仿真结果，浅色曲线为测试结果)

3) 电荷控制模型参数提取

栅电荷控制模型是从 V_{gs} 与电荷关系中提取参数的模型。电容值是从在饱和

区测量的 Y 参数中提取出来的。

$$C_{11} = \frac{\text{Im}[Y_{11}]}{\omega} = \frac{\partial q_g}{\partial V_{gs}} \quad (3.29)$$

$$C_{12} = \frac{\text{Im}[Y_{11}]}{\omega} = \frac{\partial q_g}{\partial V_{ds}} \quad (3.30)$$

我们对耗尽型 HEMT 所提取的 EEHEMT1 模型参数如下表所示：

表 2 EEHEMT 模型参数

fet.ugv	50.00
fet.b	4.000
EEFET3.rg	3.126
EEFET3.rd	3.417
EEFET3.rs	1.693
EEFET3.Is	292.5f
EEFET3.n	1.295
EEFET3.gmmax	52.99n
EEFET3.gmna	3.371n
EEFET3.kapa	88.03n
EEFET3.peff	2.098
EEFET3.vto	-315.8n
EEFET3.vtso	-100.0
EEFET3.vdelt	0.000
EEFET3.vch	100.0n
EEFET3.vsat	762.0n
EEFET3.vgo	255.1n
EEFET3.vdso	2.000
EEFET3.vco	289.4n
EEFET3.nu	3.000n
EEFET3.vba	3.000
EEFET3.vbc	160.2n
EEFET3.deltgm	159.6n
EEFET3.deltgmec	159.6n
EEFET3.alpha	207.5n
EEFET3.gmaxac	52.99n
EEFET3.gmnaac	3.371n
EEFET3.kapaac	88.03n
EEFET3.peffac	3.147
EEFET3.vtoac	-315.8n
EEFET3.vtsoac	-100.0
EEFET3.vdeltac	0.000
EEFET3.rdb	1.000G
EEFET3.cbs	160.0f
EEFET3.gdba	100.0u

EEFET3.kdb	100.0
EEFET3.vdsa	100.0
EEFET3.c11o	852.6f
EEFET3.c11th	91.04f
EEFET3.vinfl	-140.2n
EEFET3.deltgs	631.6n
EEFET3.deltids	200.0n
EEFET3.lambda	10.00n
EEFET3.c12sat	46.64f
EEFET3.cgdsat	18.66f
EEFET3.kbk	30.00n
EEFET3.vbr	10.00
EEFET3.nbr	2.000
EEFET3.idsoc	1.093
EEFET3.ris	1.151K
EEFET3.rid	1.000n
EEFET3.tau	9.783p
EEFET3.cdso	1.997a
EEFET3.ugv	50.00
EEFET3.ngf	4.000
EEFET3.knod	104.0
EEFET3.kver	1.000K

器件 S 参数仿真结果与测试结果对比如下（以耗尽型 HEMT 为例，图中浅色曲线为仿真结果，深色为测试结果）：

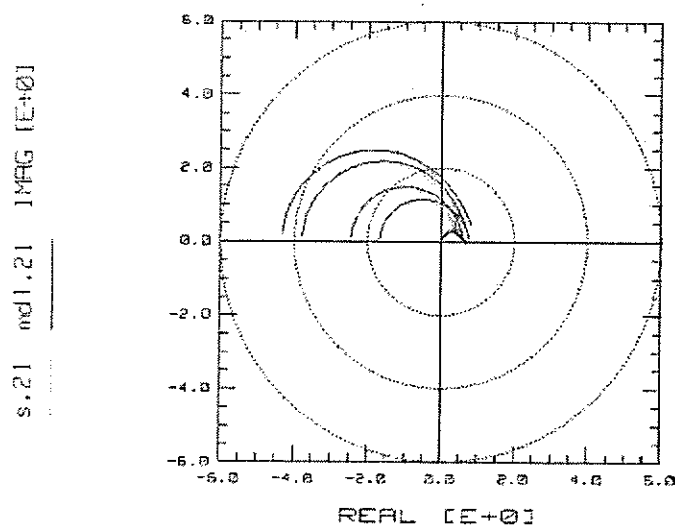


图 13 S21 仿真结果与测试结果拟合

对比结果表明，模型较好的表征了器件的射频特性，对电路设计具有积极的指导意义。

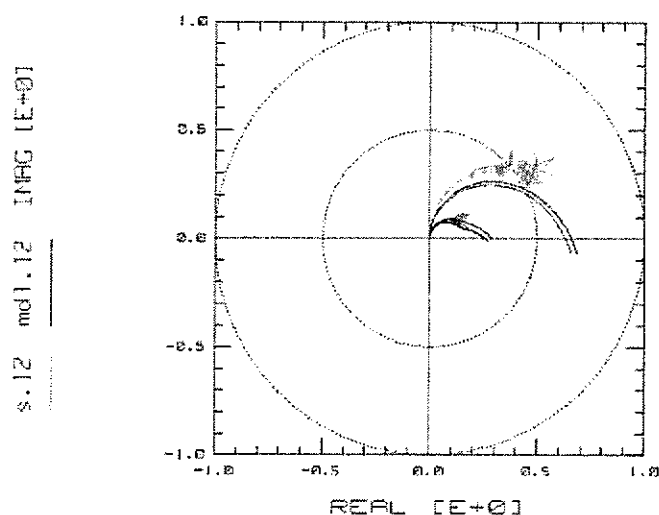


图 14 S12 仿真结果与测试结果拟合

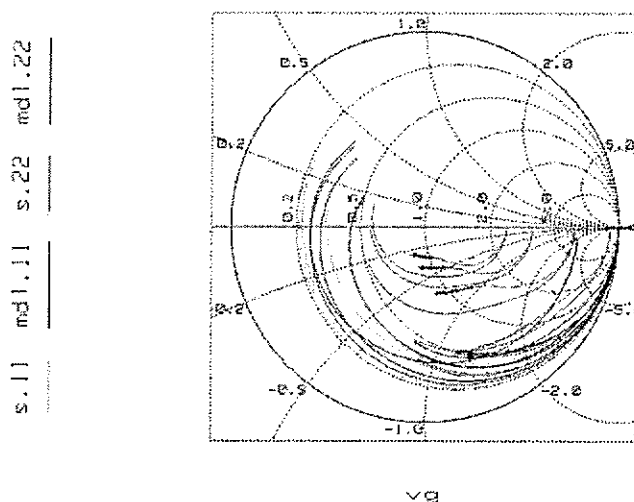


图 15 S11 和 S22 仿真结果与测试结果拟合

§ 3.3 开关 HEMT 等效电路模型

HEMT 器件的一个主要应用方向就是微波控制电路。微波控制电路是微波系统中不可缺少的组成部分。微波控制电路 MMIC 种类繁多，主要用途有：(1)微波信号的大小——微波开关、脉冲调制器等；(2)控制微波信号的大小——电控衰减器、限幅器、幅度调制器等；(3)控制微波信号的相位——数字移项器、调相等。开关 FET/HEMT 模型就是针对微波控制电路提出的。

§ 3.3.1 开关 HEMT 小信号等效电路

在微波控制电路中，射频信号从源漏两级通过，栅极作为控制端，控制端一

般视为对射频信号开路。其工作模式通常为 $I_{ds}=0$, 通过 V_{gs} 控制器件通断, 对耗尽型器件来说, $V_{gs}=0$, 导通, 源漏间为低阻态 (以下简称为开态); $V_{gs} \ll V_p$, 截止, 源漏间为高阻态 (以下简称为关态)。在这种模式下工作的 FET 其器件特性与无源器件近似。开关 FET 器件常被作为无源器件进行分析, 而常用的 HEMT 模型, 如 EEHEMT 等主要是将 HEMT 作为有源器件进行分析【18】。因此开关 HEMT 模型与前面所述几种模型有所不同, Ayasli【19】, Frylund【20】和 Gutman【21】等人在上世纪 80 年带中期分别对 FET 的开关模型进行了阐述, 这些模型主要是针对工作在直流或低频下的器件提出的。Diamond 和 Leviron【22】等人通过 S 参数拟合的方法提取较为准确的高频下 FET 电路参数, Curtice 和 Camisa【23】对这一方法进一步发展, 但这些模型设计开关时, 在开关截止状态下计算值与测试值有较大偏差。直到今天, 人们对于开关 HEMT 模型的研究仍在继续。

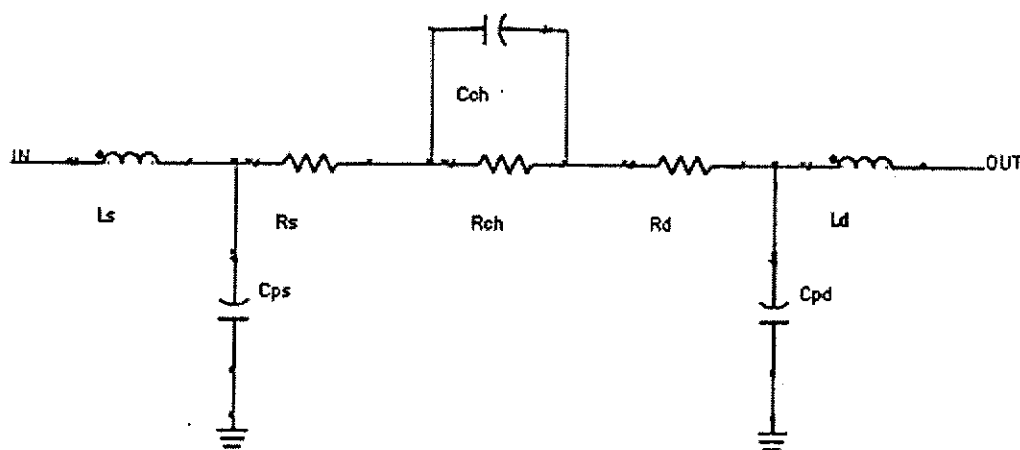


图 16 开关 HEMT 简化等效电路

通常开关模型采用的模型如图 16 所示, 栅极视为开路, 在开/关两种状态下, R_{CH} 和 C_{CH} 分别对应开/关两种状态下沟道等效电阻和沟道等效并联电容。 R_s 、 R_d 是等效的输入/输出寄生电阻 (包括源漏的欧姆接触电阻, 引线电阻等), L_s 、 L_d 是等效的输入/输出寄生电感, C_{ps} 、 C_{pd} 是等效的输入/输出寄生电容 (包括引线寄生电容, 器件寄生电容等), 其电路形式简单, 在低频或窄频情况下, 具有很好的精度, 但对于宽带的单片开关, 其精度不能完全满足设计要求。

对于 MMIC 开关电路的研制设计, 在高频情况下, 栅端不能简单视为微波开路。在附加栅控开关模型等效电路中, 增加了控制极的寄生参数, r_g 、 L_g 是控

制极(栅极)的寄生电阻和寄生电感, R_g 是控制极的外加电阻(也可称为偏置电阻), C_{pgi} 是控制极内部寄生电容, C_{pgo} 是控制极的外部寄生电容(包括引线寄生电容, 外加电阻产生的寄生电容)。另外将沟道并联电容细分为 C_{js} 、 C_{jd} 、 C_{ds} 几部分, 分别对应栅源结电容、栅漏结电容、源漏寄生电容。

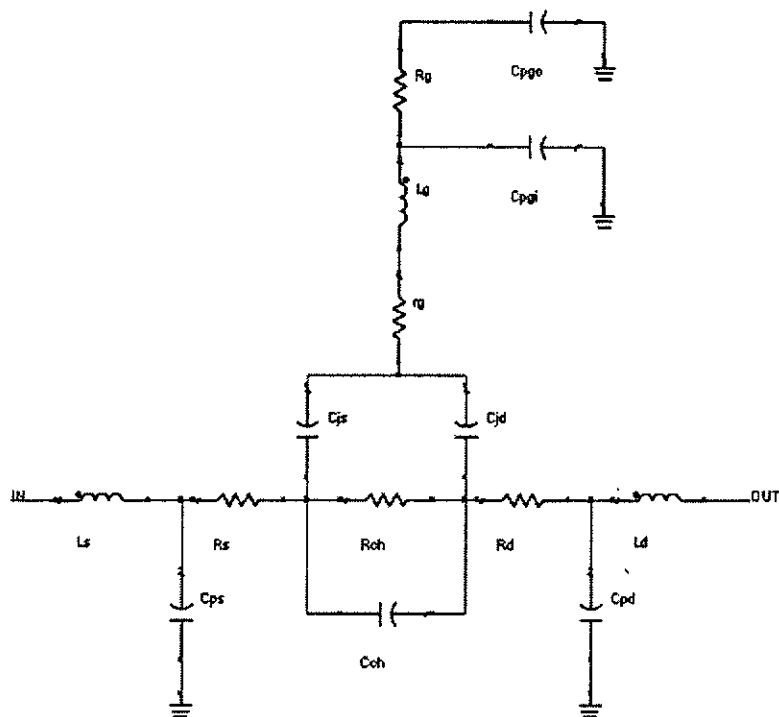


图 17 附加栅控的开关 HEMT 等效电路

为了进一步降低单片集成面积, 提高开关的功率承受能力, 在单栅 FET 器件的基础上, 提出了多栅 FET 器件的概念, 以满足开关性能的要求。其中, 三栅 FET 相当于三个同样栅长和栅宽的单栅 FET 相串联。和传统的单栅 FET 相比, 三栅 FET 具有以下优点: 显著缩小单片集成面积, 在相同栅长和栅宽条件下, 三栅 FET 的面积约是级联单栅 FET 面积的 30%; 减小相应的串联电阻和寄生电容; 具有良好的功率处理能力, 其功率承受能力为单栅 FET 的 9 倍【24】。

由于多栅 FET 器件在微波开关领域具有良好应用前景, 因此建立准确的多栅 FET 模型是非常必要的。下面以三栅 FET 为例进行分析。对于三栅 FET 器件, 其串联回路不能简单看作单个电阻, 同时考虑到高频特性, 栅极对微波不是理想开路, 为此研究人员根据三栅 FET 器件本身的物理结构及电学特性, 提出三栅开关模型——附加栅控三栅开关模型, 图 18 中 R_n 为栅与栅之间的电阻。对栅控制端

等效电路的设置与附加栅控的单栅 FET 模型相类似。

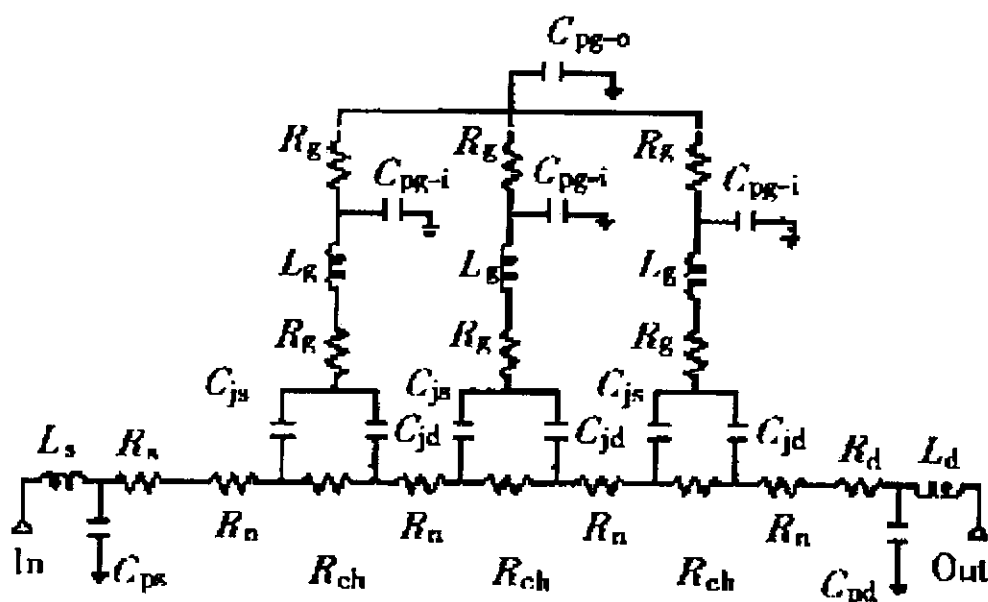


图 18 三栅开关 HEMT 等效电路

§ 3.3.2 开关 HEMT 非线性模型

前面小节对开关 HEMT 模型的分析都是将开关 HEMT 视为无源器件，建立的线性模型，事实上开关 HEMT 的非线性效应对电路设计有重要影响，尤其是在设计移相器、衰减器以及控制大功率射频信号的微波开关时，由器件非线性引起的失真不能忽略【25】。

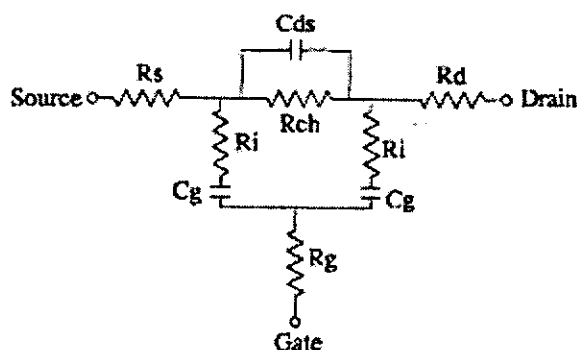


图 19 开关 FET 线性等效电路

如图 19 所示的开关 HEMT 等效电路，其中包含多个非线性元件，包括： R_{CH} 、 C_{ds} 、 C_{gs} 、 C_{gd} 和 R_i 。在 HEMT 处于开态时，器件非线性主要来源于沟道电阻，

随着源漏电压增加, $I-V$ 曲线开始偏离小信号时的测试值, 沟道电阻增加。由于沟道电阻与施加于其两端的电压有关, 器件体现出非线性特性。对于工作在关态的 HEMT 器件, 当射频信号功率较低时, 主要的非线性因素是源漏电容、栅源和栅漏间的电容与电阻; 当信号功率较高时, 电压摆幅很大, 非线性的沟道电阻将再度成为主要的非线性因素。

Materka 和 Kacprazk【26】在 1985 年提出针对功率 FET 的非线性模型，Curtice 和 Ettenberg【27】在同年也提出 I_{ds} 立方模型。但是 Curtice 和 Ettenberg 的模型无法预测开关 FET 关态下的非线性失真。Materka 和 Kacprazk 的模型在开关 FET 关态下，对互调功率的预测比测试值低 25dB。上述两个模型都是主要针对工作在饱和区的 FET 建立的非线性模型，它们无法准确预测 $V_{ds} \approx 0$ 时的器件特性。1993 年，J. A Pla 针对开关 FET 的工作特点，改进了原有的 FET 非线性模型，并在其文章中指出，该模型对开关 FET 具有很高的准确度。该模型等效电路如下图所示：

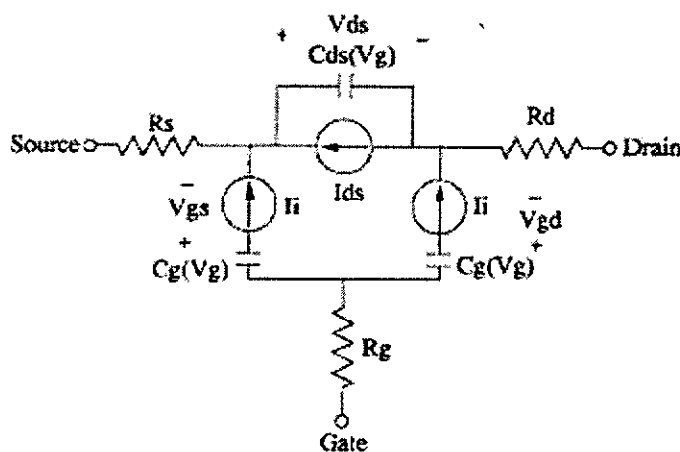


图 20 开关 FET 非线性模型

J. A Pla 提出的开关 FET 非线性等效电路中, 认为 R_d 、 R_s 和 R_g 是线性参数, 其值固定为小信号下提取的参数值。非线性参数包括: I_{ds} 、 C_{ds} 、 C_{gs} 、 C_{gd} 和 R_i 。由于在器件 S 参数测试中可供参考的电压只有栅极控制电压, 因此将非线性参数表示为与 V_g 相关的方程:

$$I_{ds} = m(V_g) \cdot V_{ds} \quad (3.31)$$

$$m(V_g) = G_{CH} = \frac{1}{R_{CH}} = \left(\frac{a}{2}\right) [\tanh(bV_g + c) + d] \quad (3.32)$$

$$C_{gs} = C_{gd} = C_g = \left(\frac{a'}{2}\right) [\tanh(b'V_g + c') + d'] \quad (3.33)$$

$$R_i = \left(\frac{m}{2}\right) [V_g - V_{g0} - \sqrt{(V_g - V_{g0})^2 + \alpha^2}] + R_{i0} \quad (3.34)$$

$$C_{ds} = \left(\frac{m'}{2}\right) [V_g - V_{g0} - \sqrt{(V_g - V_{g0})^2 + \alpha'^2}] + R_{i0} \quad (3.35)$$

§ 3.3.3 开关 HEMT 模型参数提取

为满足微波开关性能要求,我们制作了栅长 $1\mu\text{m}$, 总栅宽 $200\mu\text{m}$ 的耗尽型 HEMT, 作为微波开关的核心器件, 并对其提取了开关 HEMT 模型参数。根据本课题的实际需要, 我们提出了一套简便易行的开关 HEMT 线性模型参数提取方法。

由于 HEMT 应用于 MMIC 微波开关时, 栅极通常要加 $K\Omega$ 量级的偏置电阻, 这个电阻通常为金属膜电阻或有源层电阻, 从实际应用的角度出发, 我们将这个电阻也纳入到开关 HEMT 模型中, 这类电阻的高频模型已经成熟, 可以表示为图 21 所示的等效电路, 其中 R 为电阻直流测试值, 微带线 TL1 和 TL2, 可以表征该电阻的寄生参数。将偏置电阻加入 HEMT 等效电路后, 栅极阻抗很大, 可以视为开路。这样开关 HEMT 等效电路的栅极部分可以简化。

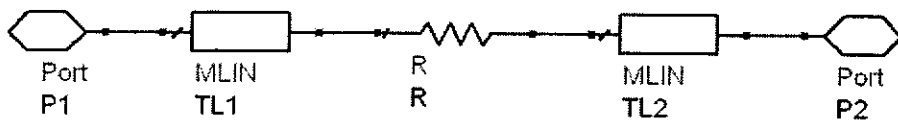


图 21 薄膜电阻等效电路

此外, 寄生电阻相对沟道电阻来讲较小, 因此将 R_s 和 R_d 与沟道电阻合并, 仅由 R_{ds} 来表征源漏之间的电阻。这样我们就得到了简化的开关 HEMT 模型, 等效电路如图 22 所示:

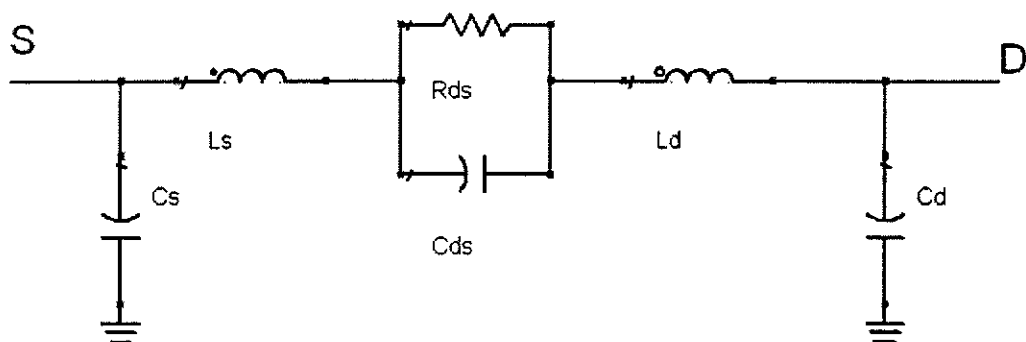


图 22 新型开关 HEMT 等效电路

我们认为，寄生电感主要是 L_s 和 L_d 源漏两端的传输线所带来的，因此我们根据被测器件的版图，采用 ADS 软件中成熟的传输线模型计算出寄生电感值。计算结果为 $L_s = 96.18 \text{ pH}$ ， $L_d = 83.40 \text{ pH}$ 。

由于开关 HEMT 的寄生电感 L_s 和 L_d 为 pH 量级，考虑到串联电感的阻抗由 $j\omega L$ 决定，较低频率下（如 $< 1 \text{ GHz}$ ），串联电感对阻抗的贡献较小。因此在提取器件关态参数时（此时 HEMT 器件阻抗绝对值很大），我们忽略了 L_s 和 L_d 。这样我们可以近似得到一个由 4 个元件构成的开关 HEMT 等效电路。如图 23 所示：

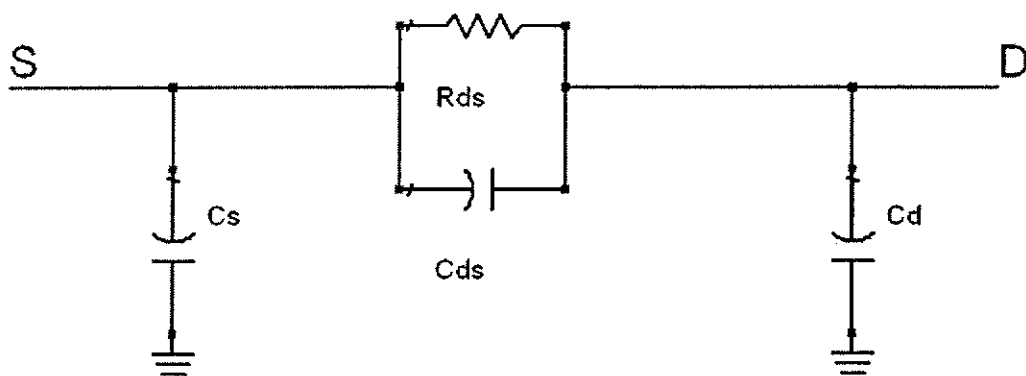


图 23 关态开关 HEMT 简化等效电路

该模型中各参数与 Y 参数关系如下【28】：

$$Y_{11} = \frac{1}{R_{ds}} + j\omega(C_{ds} + C_s) \quad (3.36)$$

$$Y_{12} = Y_{21} = -\frac{1}{R_{ds}} - j\omega C_{ds} \quad (3.37)$$

$$Y_{22} = \frac{1}{R_{ds}} + j\omega(C_{ds} + C_d) \quad (3.38)$$

由此得到各参数表达式如下:

$$R_{ds} = \frac{1}{2} \left[\frac{1}{\text{Re}(Y_{11})} + \frac{1}{\text{Re}(Y_{22})} \right] \quad (3.39)$$

$$C_{ds} = \frac{1}{2\omega} [-\text{Im}(Y_{12}) - \text{Im}(Y_{21})] \quad (3.40)$$

在实际提参过程中, 我们首先利用上述公式计算关态下 C_{ds} 和 R_{ds} , 所需 Y 参数可以由测试获得的 S 参数转换得到, 转换方程如下【29】:

$$Y_{11} = \frac{(1 - S_{11})(1 + S_{22}) + S_{21} \cdot S_{12}}{Z_0 \Psi} \quad (3.41)$$

$$Y_{22} = \frac{(1 + S_{11})(1 - S_{22}) - S_{21} \cdot S_{12}}{Z_0 \Psi} \quad (3.42)$$

$$Y_{12} = \frac{-2S_{12}}{Z_0 \Psi} \quad (3.43)$$

$$Y_{21} = \frac{-2S_{21}}{Z_0 \Psi} \quad (3.44)$$

$$\Psi = (1 - S_{11})(1 - S_{22}) - S_{12} \cdot S_{21} \quad (3.45)$$

提取 C_{ds} 和 R_{ds} 的具体条件如下: $V_{ds} = 0V$, $V_g = -3V$, 计算选择的频点为 $f < 1GHz$, 选择较低频率, 主要是减小串联电感和并联电容对测试结果的影响。

提取了关态下得 C_{ds} 和 R_{ds} 以后, 可以利用下面关系提取 C_s 和 C_d 。

$$\begin{bmatrix} Y_{11} - j\omega C_s & Y_{21} \\ Y_{21} & Y_{22} - j\omega C_d \end{bmatrix} = \begin{bmatrix} y_{11} & y_{21} \\ y_{21} & y_{22} \end{bmatrix} \quad (3.46)$$

测试频率为 $10GHz$, 其他测试条件与提取关态 C_{ds} 和 R_{ds} 时一致。

这样, 未知的参数只有开态的 C_{ds} 和 R_{ds} , 等效电路中并联的 C_{ds} 和 R_{ds} 总的阻抗可以由公式表达:

$$Z = \frac{R_{ds}}{1 + j\omega C_{ds} R_{ds}} \quad (3.47)$$

开态下, R_{ds} 为 Ω 量级, C_{ds} 为 fF 量级, 当频率较低时, 上式可简化为

$$Z = R_{ds} - j\omega C_{ds} R_{ds}^2 \quad (3.48)$$

因此开态 R_{ds} 仍由式 (3.39) 计算, 参照公式 (3.40), 有:

$$2\omega(L - C_{ds}R_{ds}^2) = \frac{1}{\text{Im}(Y_{12}) + \text{Im}(Y_{21})} \quad (3.49)$$

式中 L 为寄生电感 L_s 与 L_d 之和, 由式可求出开态 C_{ds} 。开态测试条件为:

$V_{ds} = 0V$, $V_g = 0V$ 。等效电路参数提取结果如下:

表 3 简化开关 HEMT 模型参数

参数名称		数值	单位
R_{ds}	开态	11.5	Ω
	关态	22670	
C_{ds}	开态	283.1	fF
	关态	40.5	
L_s		96.2	pH
L_d		83.4	pH
C_s		68.5	fF
C_d		64.3	fF

等效电路仿真与器件测试参数对比如图 24、25 所示:

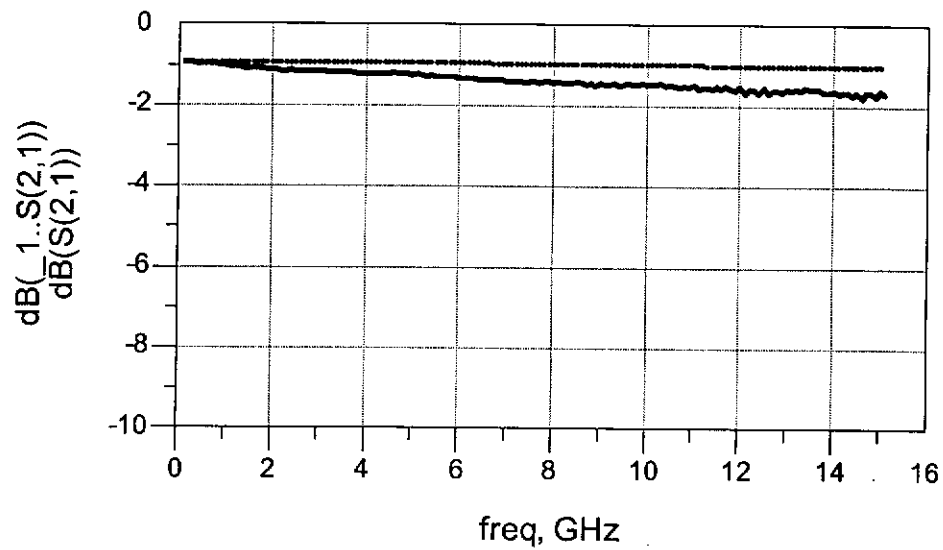


图 24 开态 S 参数对比

蓝色曲线为测试结果，红色曲线为模型仿真结果

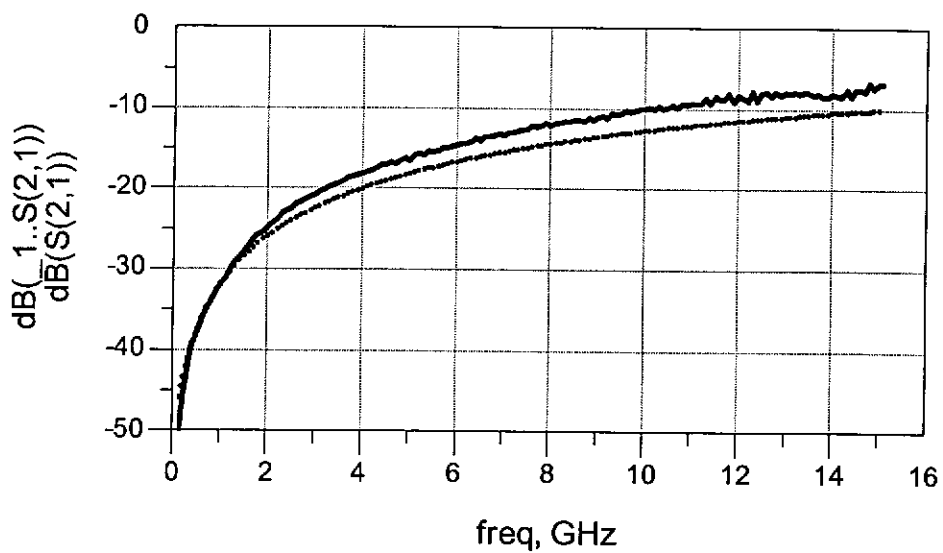


图 25 关态 S 参数对比

蓝色曲线为测试结果，红色曲线为模型仿真结果

从对比结果可以看出，我们提取的等效电路模型在 $100\text{MHz} \sim 15\text{GHz}$ 范围内

均与测试结果吻合较好, 可以对电路设计提供可靠的设计依据。

§ 3.4 本章小结

本章中, 我们对 HEMT 器件模型进行了深入研究, 建立了本课题所需相关模型的提参流程。

介绍了 HEMT 小信号模型和大信号模型, 在大信号模型中重点分析了 Statz 模型; 介绍了借助 IC-CAP 软件的模型参数提取方法, 以其中的 EEHEMT1 模型为基础, 提取了耗尽型 PHEMT 器件的主要模型参数。

针对课题需要, 分析了开关 HEMT 等效电路模型及其提参方法, 提出了新型开关 HEMT 等效电路和提参流程。并对我们制作的开关 HEMT 器件进行了模型参数提取。我们提出的开关 HEMT 模型结构简单, 参数提取方法简便易行, 不需要借助 IC-CAP 等昂贵的建模软件, 仅需比较简单的测试设备就可对开关 HEMT 器件建模。

本章所建立的器件模型和提参流程可以较好的表征 HEMT 器件特性, 为电路设计提供了可靠的依据。

第四章 E/D HEMT 电路研制

人们开发 E/D HEMT 技术的初衷是满足高速逻辑电路的需要,目前基于 EDHEMT 技术的 DCFL 电路被认为是高速大规模逻辑电路中最理想的逻辑单元。随着对 E/D HEMT 器件研究的深入,其在微波集成电路领域的优势也逐渐被人们认识。本课题针对当前 E/D HEMT 电路发展的趋势,提出了采用 E/D HEMT 技术将逻辑电路和微波电路集成于同一芯片的目标。在本章中我们对微波开关和基本逻辑电路分别进行了研究,并对微波开关与逻辑电路的集成进行了探索。

§ 4.1 微波开关概述

微波开关是许多微波系统中的关键电路,其应用领域覆盖了从精密的空间通信系统,到常见的手机等电子产品。只要我们将射频信号从一个通道切换至另一个通道,或者仅仅是需要改变射频信号的通断状态时,就需要使用微波开关。高性能、体积小、具有通用性的微波开关广泛应用于各种微波系统【1】。基于 E/D HEMT 技术的微波开关具有其独特优势,而目前国内外在这方面开展的研究不多,我们结合本课题的要求对 E/D HEMT 微波开关设计与制造技术进行了深入研究。

§ 4.1.1 微波开关主要技术指标

衡量微波开关性能的主要指标有:正向插入损耗、反向隔离度、功率容量、开关速率、工作频带、驻波比、控制电压范围、1dB 压缩点输出功率、三阶交调系数等【2】。

(1) 插入损耗与隔离度。开关电路实际上存在一定数值的电抗及损耗电阻,因此开关电路在导通时衰减不为零,将这一衰减值就是正向插入损耗。插入损耗的定义是开关处于导通状态时传到负载的实际功率与理想开关传到负载的功率之比,通常用 dB 为单位。

类似的,开关在断开时衰减也并非无穷大,将这一衰减值称之为隔离度。通常希望开关的插入损耗小而隔离度大,所以有时又用正反衰减比来衡量开关性能优劣。

(2) 开关速率。开关从断开状态到导通状态之间的转换速率由几个不同的指标来

描述。“开关接通”时间定义为微波输出脉冲（或上升瞬变电压）前沿从峰值的 10% 上升到 90% 的时间间隔。“接通时延”定义为控制脉冲前沿达到 90% 峰值的瞬间与微波脉冲包络达到 10% 峰值瞬间两者之间的间隔。开关断开时间和断开延时是类似定义。通常情况下，断开时间大于接通时间，有些产品只给一个瞬变时间就是指断开时间。

(3) 1dB 压缩点输出功率。随着微波信号增大，将引起开关的非线性整流和损耗加大，会使受控的微波功率有更大衰减。将开关损耗增大 1dB 时的微波功率定义为 1dB 压缩点输出功率。

其他指标，如三阶交调系数，驻波比等与微波放大电路中的定义相同，在此不再一一赘述。

§ 4.1.2 微波开关常用元件

(1) PIN 开关二极管

PIN 二极管是微波控制器件中普遍应用的一种元件。PIN 二极管开关在混合集成电路中易于实现，它可以获得较快的开关速度、很高的功率容量。在过去的几十年中，PIN 二极管占据着微波开关的大部分市场份额。

PIN 的结构是在重掺杂的 P' 和 N' 中间夹一层宽度较大的不掺杂本征层 (I 层)。I 层使二极管极间电容减小，击穿电压提高。PIN 管的直流伏安特性和 pn 结二极管相似，但是在微波频率的特性却有很大差别。由于 I 层的总电荷主要是有直流偏置电流产生，而不是由微波电流瞬时值产生的，所以对微波信号只呈现为一个线性电阻，此阻值由直流偏置决定，正偏压时电阻小，接近短路；负偏压时阻值大，接近开路。因此 PIN 管对微波信号不产生非线性整流作用，这点是 PIN 和一般二极管的根本区别。即使在正偏压时，外信号幅度已进入负电压区，由于微波信号使 I 层电荷移出量只占原积累电荷一小部分，所以仍有电流，而没有整流现象；反偏置时，即使微波幅度大到进入正向区，但由于短暂时间内正向注入到 I 层载流子不多，载流子在 I 层渡越尚未来得及构成复合电流时，微波电压已变为反向并吸出电荷，因此也不产生正向电流。图 1 为垂直台面结构 GaAs PIN 二极管的结构示意图。

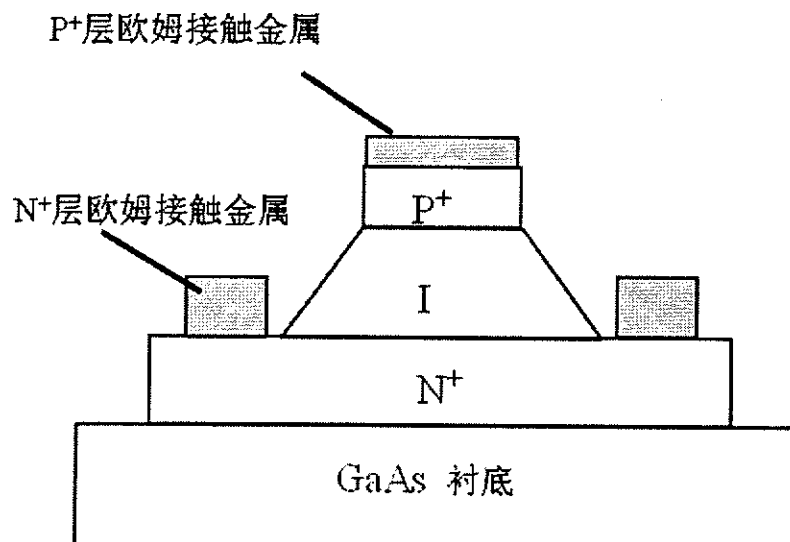
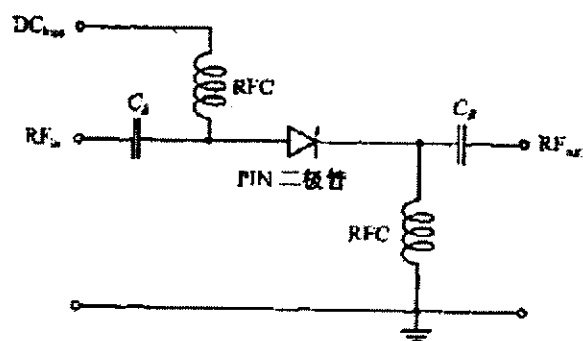
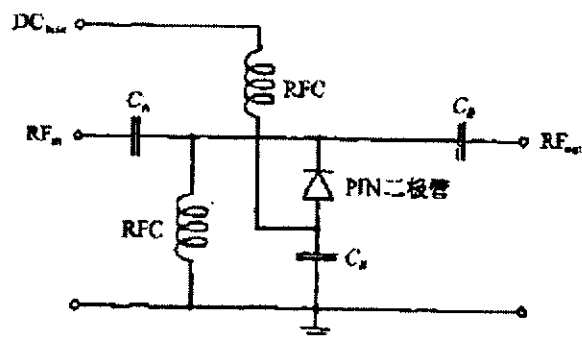


图 1 PIN 二极管结构

PIN 二极管为二端器件,其工作状态由加在器件两端的直流控制电压来决定,为保证器件正常工作,需要通过特定的偏置电路将直流电压与射频信号隔离,其偏置电路基本结构如图 2 所示【3】。



(a) PIN 二极管的串联



(b) PIN 二极管的并联

图 2 PIN 二极管偏置电路

(2) 砷化镓场效应晶体管

砷化镓场效应晶体管除用作放大器外,也是优良的开关器件,MESFET 是较早应用于微波开关 MMIC 的场效应晶体管。作开关使用时,它的栅极作为控制电压的输入端,从漏极或源极向栅极视入的微波阻抗为开路阻抗,漏极和源极是微波开关的两个端点,源漏之间的微波阻抗受栅极直流电压控制。栅压为零时源漏导通;栅压大于夹断电压时,源漏断开。GaAs FET 两种状态简化结构电路如图 3 所示:

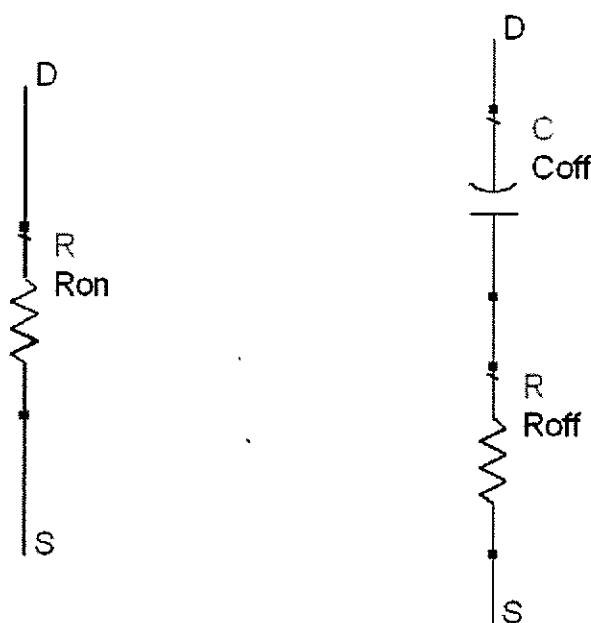


图 3 开关 FET 简化电路 (左侧为开态, 右侧为关态)

目前,PIN 二极管开关正迅速被 GaAs FET 单片开关取代,在中低功率的应用中,这种情况更为明显。而即使在高功率微波开关方面,FET 也开始显现其竞争力。近年来,单片单刀多掷开关、集成了逻辑控制电路的微波开关以及先进封装形式等新技术不断涌现,使得无线通信系统可以在系统结构上不断创新和改进。

相对 PIN 二极管,GaAs FET 开关的优势在于:作开关应用时,FET 源漏之间不加偏置电压,因此开关电路无需隔直电容,其电路结构比 PIN 二极管开关简单;FET 栅极控制电流极低,功耗远小于 PIN 二极管,其功耗常常可以忽略;较快的开关速度;易于设计和集成其逻辑控制电路。更进一步,基于 FET 的微波开关在工艺上与系统中其他电路兼容,这意味着,只需要稍稍增加芯片面积,就可将微

波开关与其他电路集成在一起。

近年来, 基于 HEMT 工艺的新型微波开关逐渐成为研究热点。这是为满足目前微波收发系统对微波开关提出的高频率、低功耗的要求。为了实现更高的工作频率, 要求有源器件既保持足够的载流子浓度, 又要降低载流子运动区域内的杂质浓度。HEMT 就是实现这种要求的一种理想微波器件。

表 1 国内外 GaAs FET 单片微波开关产品性能比较

型号	名称	频率范围 (GHz)	插入损 耗 (dB)	隔离度 (dB)	最大输入功 率 (1dB 压 缩点) dBm	生产厂家
PM-SW1001	SPST	DC-10	—	27	18	PM
MA4GM211	SPST	DC-12	—	17	30	M/A-COM
P35-4233	SP3T	DC-20	2.2	23	25	普莱塞中心
MASW-12200	SPDT	DC-20	1.8	50	25	M/A-COM
WD02	SPST	2-3	1.5	30	—	55 所
WD01	SPST	DC-12	1.5	19	25	55 所

§ 4.1.3 HEMT 微波开关基本设计方法

HEMT 开关工作频率高、工作电压低, 相对于传统 MESFET 开关具有很多优势, 但由于开关 HEMT 基本工作原理与 MESFET 相近, 因此其电路设计方法也可以直接借鉴 MESFET 开关的设计方法。

FET 是一种三端器件, 应用于开关时, 由栅极电压控制开关状态。FET 可以视作由电压控制的可变电阻, 通过栅压控制源漏沟道电阻。栅源、栅漏电容, 及器件的寄生参数是影响 FET 开关高频性能的主要因素。以耗尽型 FET 为例, 当栅压远低于夹断电压时, FET 为高阻态, 栅压为 0 时为低阻态。这两个工作状态的直流 I-V 特性如图 4 所示。

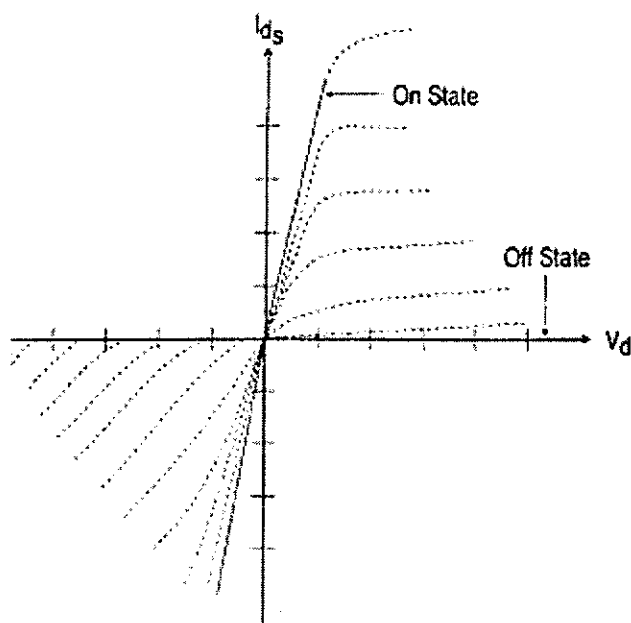


图4 开关 FET I-V 特性

开态下, 沟道电流小于饱和沟道电流 I_{dss} 时, FET 近似为线性电阻; 关态下, 沟道完全耗尽, 电阻值极大, FET 可近似为一个小的电容。开态时, 沟道电阻是决定串联开关插损和并联开关隔离度的主要因素, 因此器件插损在较宽频带内随频率变化较小。关态时, 源漏间电容决定了串联开关隔离度和并联开关插损, 因此具有频率依赖性。开关 FET 的极间电容小, 故相对于其它器件构成的微波开关可以获得较宽的带宽。值得注意的是, 无论是开态还是关态, FET 开关的直流功耗都近似为 0, 因此常常将开关 FET 视为无源器件。这一特性使得设计 FET 开关的逻辑控制电路相对简单。

在电路设计中, 对开关 FET 高频性能的预测, 主要依据是开关 FET 等效电路, 图 5 是我们在前面章节提出的开关 HEMT 等效电路图:

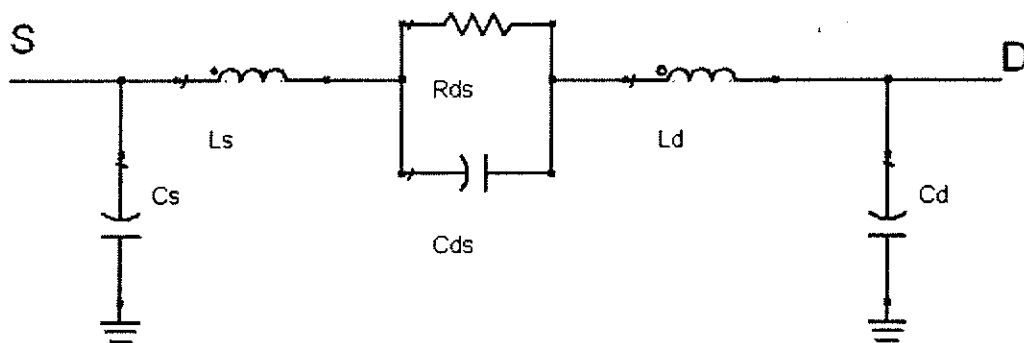


图5 开关 HEMT 等效电路

利用该等效电路可以对插耗和隔离度这两个主要指标进行比较准确的预测。

该等效电路是在假定栅极偏置电阻很大的条件下获得的近似,如果考虑到栅偏置电阻和滤波电容的影响,则可以通过等效电路大致计算开关速度。其值可以由偏置电阻和滤波电容构成的 RC 网络的充放电时间决定,通过优化偏置电路可以减少开关时间。减小偏置电阻无疑可以提高开关速度,但这样会降低栅极对射频信号的隔离,影响开关 FET 的插损,所以在偏置网络的设计中通常要兼顾开关速度与射频特性,取得一个较好的平衡。

FET 开关采用的电路结构主要有以下几种【2】:

(1) 串联型 FET 开关

图 6 为串联 FET 开关原理图。 V_c 是栅极控制电压, V_c 为负时 (对 MESFET 一般为 $-5V$, 对 HEMT 一般为 $-3V$), 开关断开; V_c 为零时, FET 是低阻态, 开关导通。

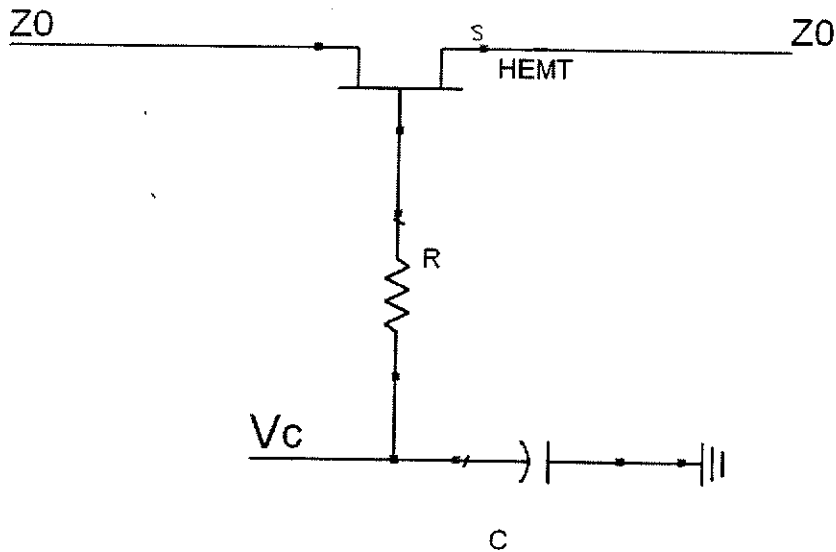


图 6 串联 FET 开关原理图

对串联 FET 开关而言,插入损耗主要由开态电阻 R_{on} 决定,但随着工作频率提高,寄生电容 C_s 和 C_d 对插损的影响会增加;隔离度则主要由源漏间总电容 C_{ds} 决定。由于功率 FET 的源漏电容和寄生电容相对较大,一般不适合作为开关 FET 使用。在电路设计过程中,增加串联 HEMT 的总栅宽,可以有效降低开态沟道电阻,从而降低插损,但相应的,关态源漏电容也会同比增加,开关隔离度下降。因此单纯的串联型 FET 开关频率特性往往不够理想,一般仅在频率较低的情况下应用。

为改善开关特性, 在串联 FET 开关设计中可加补偿电感, 有补偿 FET 开关的导通与断开特性可有显著改善, 但是当断开时, 并联谐振电路将使工作频带变窄。

对于一个处于关态的串联 FET, 能承受的最大功率由下式表达:

$$P_{\max} = \frac{(V_B - V_P)^2}{8Z_0} \quad (4.1)$$

式中 V_B 代表栅漏击穿电压, V_P 代表夹断电压, Z_0 代表负载阻抗。

(2) 并联型 FET 开关

图 7 给出并联型 FET 开关的原理图。并联型 FET 开关比较容易获得较好的宽频带特性, 但由于其电路结构的限制, 无法应用在 DC 或低频端。

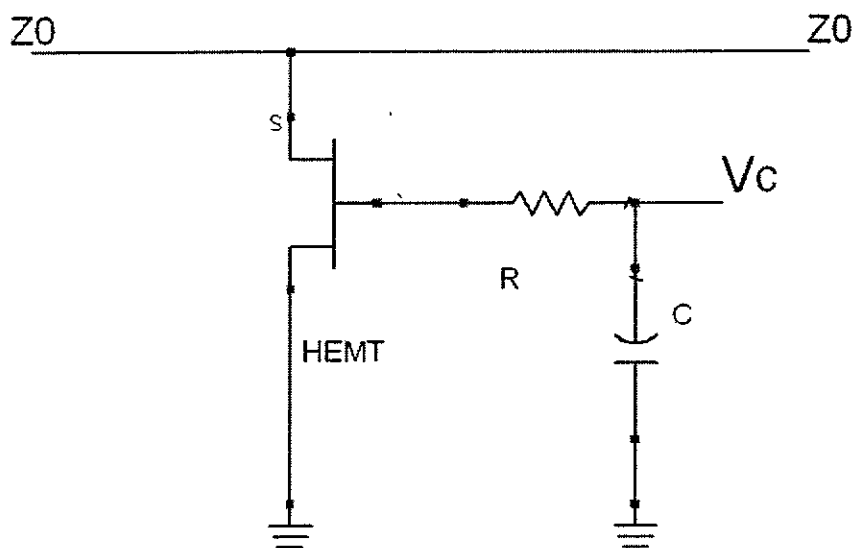


图 7 并联 FET 开关原理图

为了改善开关特性, 并联型 FET 开关同样可以采用电抗补偿措施, 源极加杂散电感, 改善开关插入损耗。由于并联开关经常应用在微波至毫米波波段, 可以利用微带线作为匹配元件, 代替补偿电感的作用, 这类电路通常使用多个并联 FET, 与各个 FET 间的微带线一起构成 LC 网络, 获得理想的开关特性。

对于一个处于夹断状态的并联 FET, 能承受的最大功率由下式决定:

$$P_{\max} = \frac{(V_B - V_P)^2}{2Z_0} \quad (4.2)$$

(3) 组合式 FET 开关

为获得理想的开关特性, 很多 FET 开关采取组合结构, 电抗补偿电路也可有多种不同选择。目前在 FET 微波开关产品中广泛应用的是串并联结合式开关, 这种电路结构结合了串联型和并联型开关的优点。这种结构中, 串联 FET 和并联 FET 的开关状态相反, 当开关处于关态时, 并联开关处于开态, 大大提高了开关隔离度。采用串并联结合结构的开关一般不需要附加电抗补偿电路, 仅通过调整串联 FET 和并联 FET 的栅宽比, 就可以获得良好的开关特性。

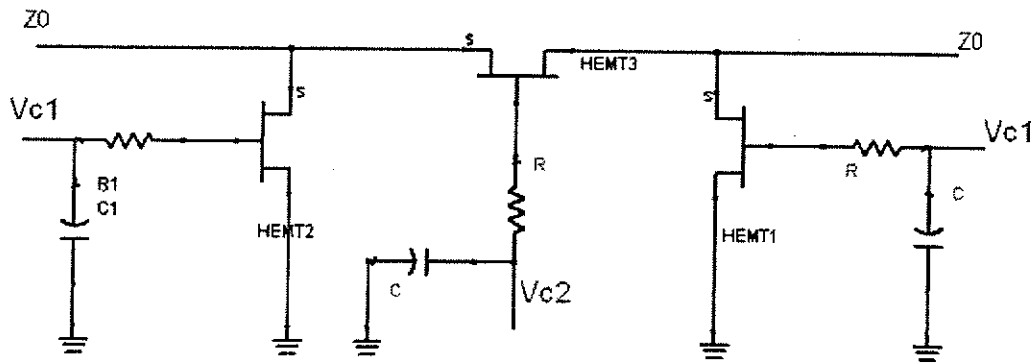


图 8 串并联结合 FET 开关

§ 4.2 E/D HEMT 开关设计

为了验证基于 EDHEMT 的微波开关的设计方法, 积累设计经验, 我们在自主开发 E/D HEMT 开关 MMIC 制造技术之前, 首先利用成熟的商用 E/D HEMT 工艺库进行了单片微波开关的设计和流片。我们选择的工艺库采用 $0.5\mu\text{m}$ E/D HEMT 工艺, 对电路设计来说, 与我们自主开发的 $1\mu\text{m}$ E/D HEMT 工艺有较为相似, 对我们自主研发电路制造工艺有很好的借鉴作用。

§ 4.2.1 DC—6GHz 单刀双掷开关

我们选择设计单刀双掷 (SPDT) 开关, 一方面是由于这种开关在微波系统中应用广泛, 既可以用于无线收发系统的收发转换, 又可用于双波段系统的频段切换; 另一方面, 从电路结构上来讲, SPDT 开关的每一支路均可视作一个单刀单掷 (SPST) 开关, 而且 SPDT 结构也很容易拓展为单刀多掷或多刀多掷结构, 因此设计单刀双掷 (SPDT) 开关对建立整套微波开关设计方法有重要意义。

DC—6GHz 频段涵盖了目前民用射频和微波系统使用到的大部分频段，包括了 GSM、CDMA、WLAN 和 GPS 等，同时也包含部分军用系统所使用的频段，我们选择开发这种宽带通用开关，不仅出于验证电路设计方法的需要，同时也具有广阔的应用前景。

该电路选用耗尽型 HEMT 作为核心元件。为了使开关应用频率下限拓展至 DC，电路采用串并联结合结构。每一支路的串联 HEMT 栅宽为 2mm ，并联 HEMT 栅宽为 1mm 。串联 HEMT 总栅宽较大，主要是为获得更低的导通电阻；串联 HEMT 主要作用是提高隔离度，但同时要避免其电容过大增加插入损耗，因此选择了上述栅宽。电路拓扑结构和芯片照片如下所示：

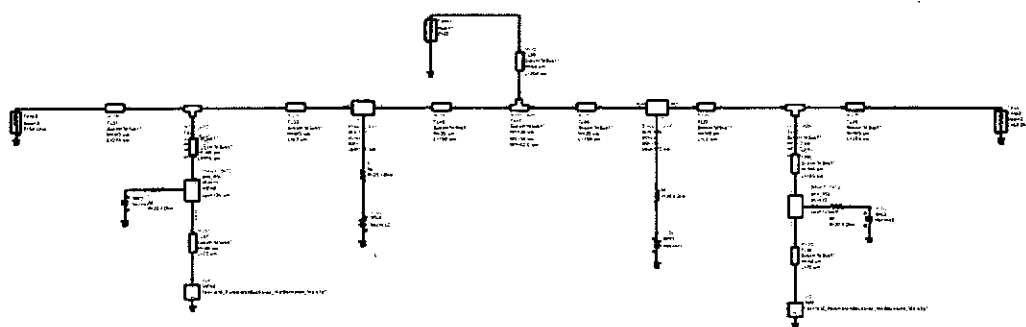


图 9 DC—6GHz SPDT 开关电路拓扑图

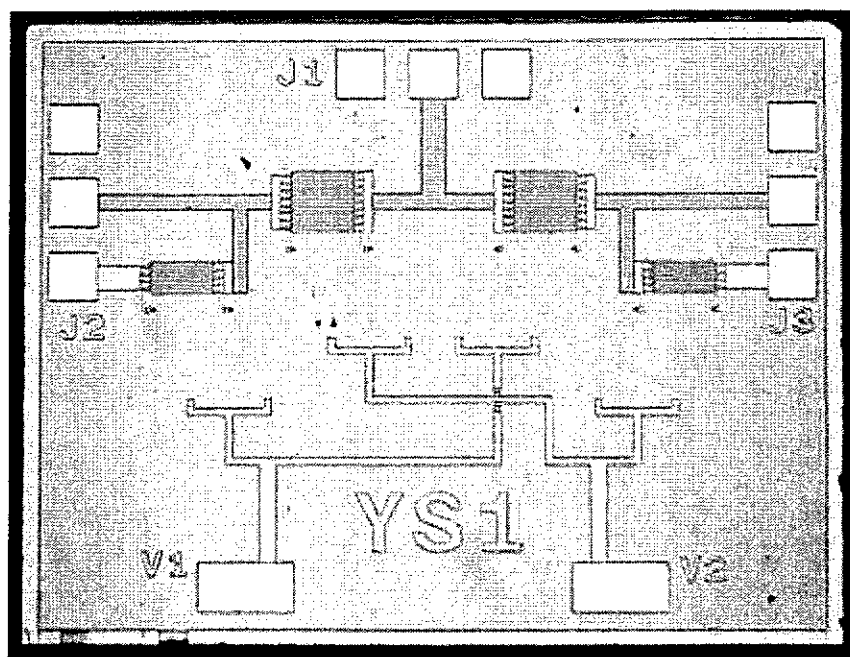


图 10 DC—6GHz SPDT 开关芯片照片

如图 10 所示 J1 为射频信号输入端，J2、J3 为输出端。SPDT 开关的一个支路处于关态时，另一个支路处于开态，反之亦然。由前面小节的介绍可知，在其

中任一支路上, 串联 HEMT 和并联 HEMT 的开关状态不同, 从另一个角度讲, 就是某一支路上的串联 HEMT 的开关状态与另一支路上并联 HEMT 状态相同, 因此我们将这两个状态相同的 HEMT 的电压控制端连接起来, 这样只需要两路控制电压即可控制该电路。控制电压与开关状态关系如下表所示:

表 2 DC-6GHz SPDT 开关控制电压与开关状态关系

控制电压		开关状态	
V1	V2	J1 to J2	J1 to J3
0V	-3V	Off	On
-3V	0V	On	Off

我们运用 ADS 软件对电路进行仿真, 该开关主要指标仿真结果如下:

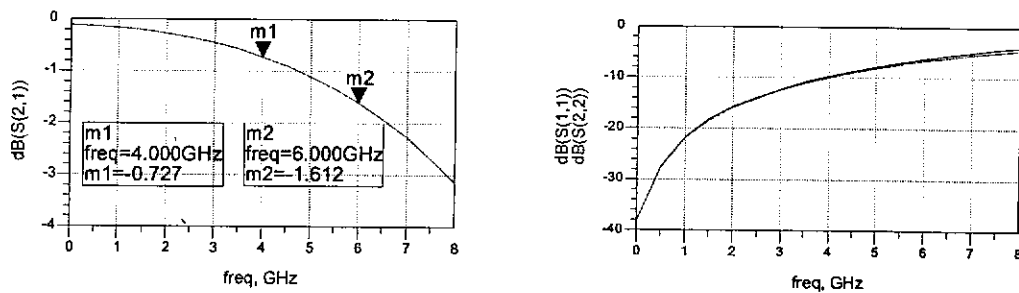


图 11 开态支路插入损耗和驻波

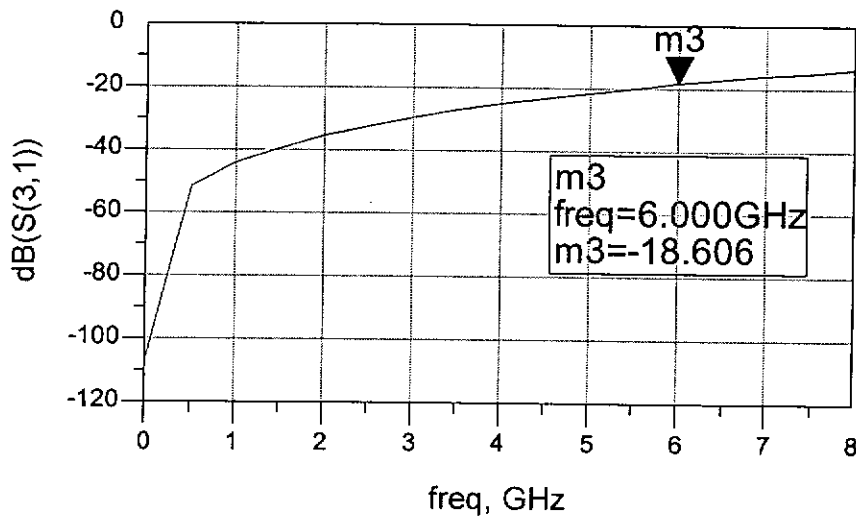


图 12 关态支路隔离度

从仿真结果可以看出, 该开关在 6GHz 频点插入损耗约 1.6dB, 隔离度约 18.6dB, 可以满足一般应用要求。如果开关工作于 S 波段 (2~4GHz) 及以下频段, 则插入损耗优于 0.73dB, 隔离度优于 25.3dB。

为了对芯片进行测试, 设计了 PCB 板, 将芯片焊接在 PCB 板中央的焊盘上, 采用超声波球焊的方法用金丝将芯片内的各个端口与 PCB 板上的引线连接起来。PCB 板上传输射频信号的引线, 均采用特征阻抗 50Ω 的微带线, 这些微带线与 SMA 接头相连, 以便于使用矢量网络分析仪测量电路的 S 参数。下图为芯片焊接在 PCB 板以后的照片:

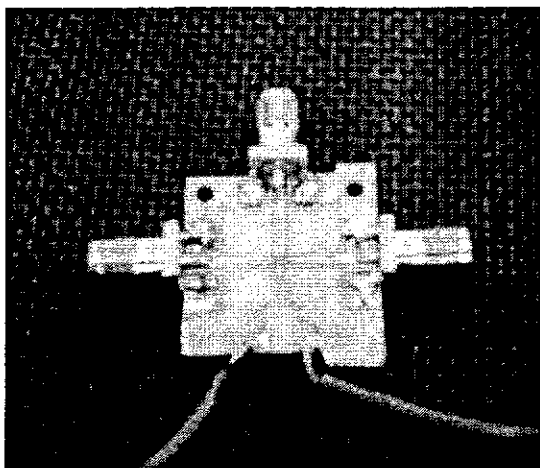


图 13 DC-6GHz SPDT 开关测试模块

由于 PCB 板及 SMA 接头均会引入一定损耗, 因此测试获得的插入损耗值将会比电路实际指标略高。以下为开关电路测试结果:

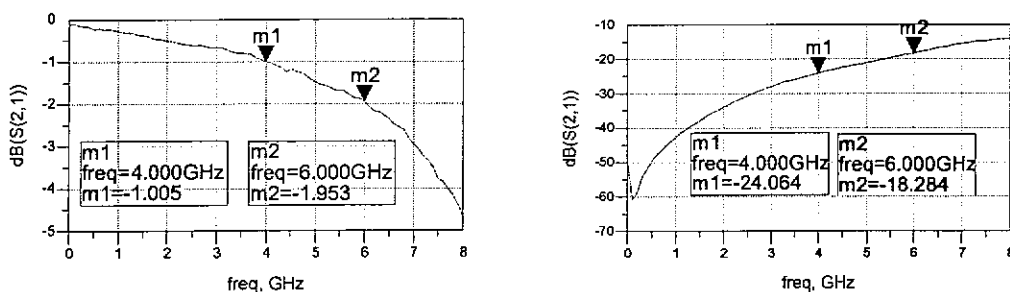


图 14 DC-6GHz SPDT 开关测试

(左图为插入损耗, 右图为反向隔离度)

测试结果与仿真结果吻合较好, 开关在 6GHz 频点插入损耗约 1.95dB, 隔离度约 18.3dB。在 S 波段 (2~4GHz) 及以下频段, 插入损耗优于 1dB, 隔离度优于

24dB。测试数据表明,该开关主要性能良好,已经具有一定实用价值。

§ 4.2.2 X~Ku 波段单刀双掷开关

X~Ku 波段(8~18GHz)是多种军用装备(如雷达、电子战装备等)经常使用的波段,因此对这一波段的微波开关不但要求有良好的小信号开关特性,还要求有较高的功率容量。

FET 开关在功率容量上的提高与多栅 FET 的出现与成熟密不可分。例如,在材料结构和栅长一致的情况下,三栅开关 HEMT 的功率容量是单栅 HEMT 的 9 倍。由于三栅 HEMT 将 3 个独立的栅指制作在同一源漏之间,因此从器件面积上远远小于三个单栅 HEMT 的简单堆栈,寄生参量也小得多。在设计 X~Ku 波段 SPDT 开关时,我们使用了三栅 HEMT 作为核心元件,是希望借此了解三栅 HEMT 这一新型器件的特性,及其相关电路的设计方法,为将来设计大功率 HEMT 开关积累经验。

在电路结构方面,选择了并联 HEMT 结构,每一支路上使用三只并联 HEMT。连接各个 HEMT 的微带线与 HEMT 器件共同构成多节 LC 网络,通过调整各段微带线长度,可以在工作频段内获得良好的开关特性,一些文献中将这种电路结构称为分布式 FET 开关。我们借助 ADS 的优化功能来完成微带线长度的优化。

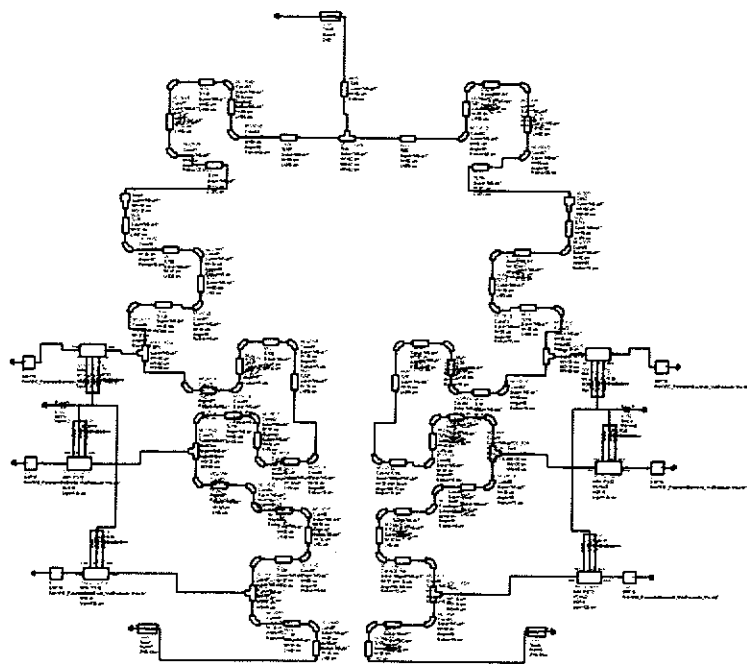


图 15 X~Ku 波段 SPDT 开关电路拓扑图

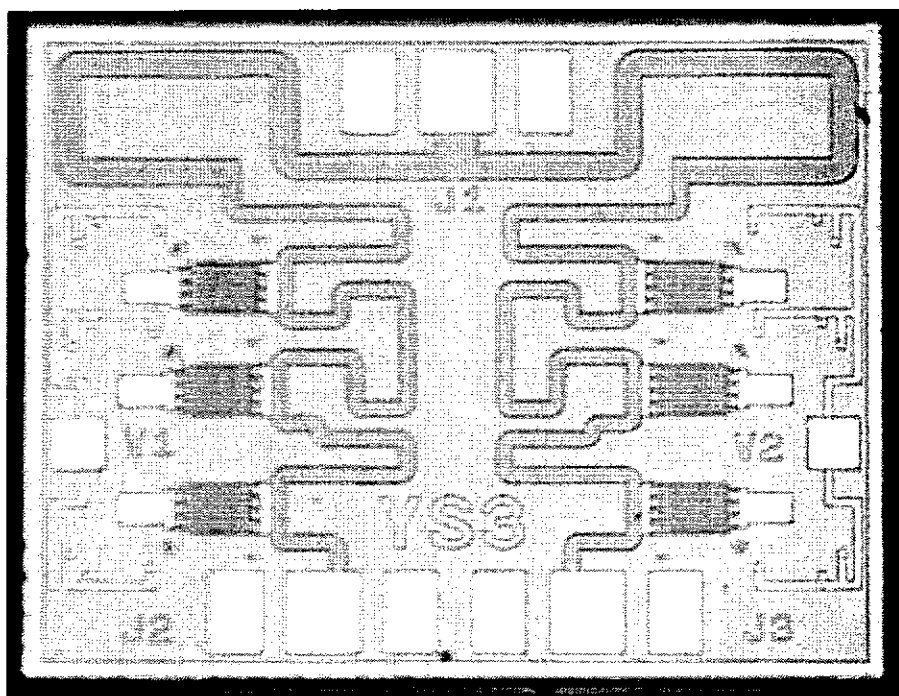


图 16 X~Ku 波段 SPDT 开关芯片照片

电路仿真结果如下:

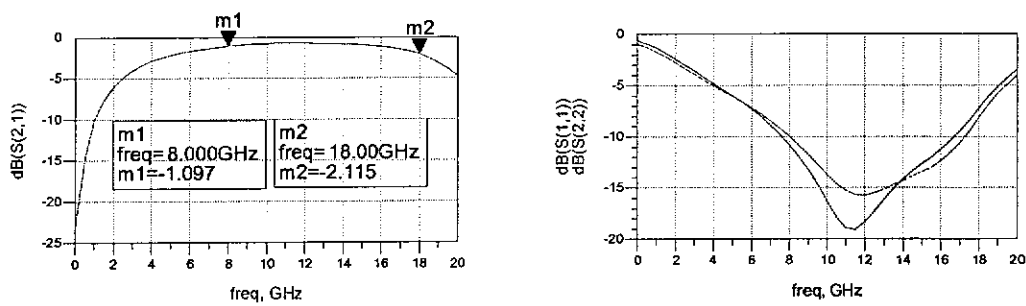


图 17 开态支路插入损耗和驻波

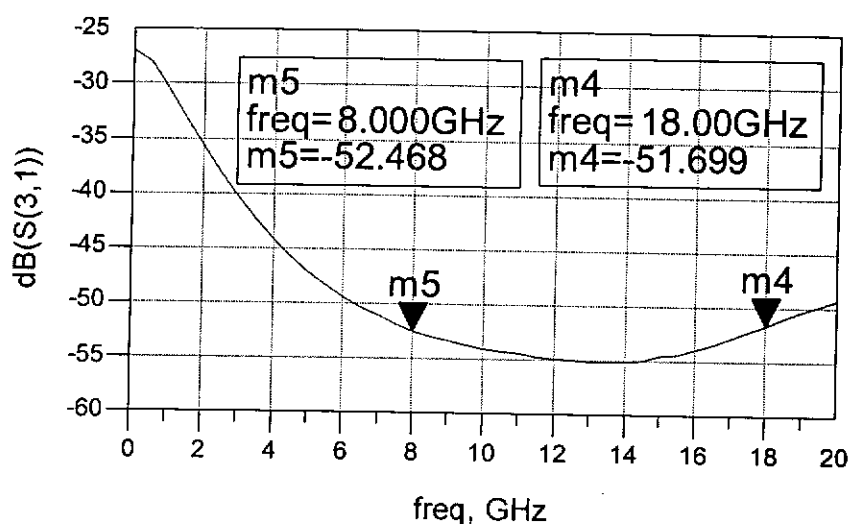


图 18 关态支路隔离度

从仿真结果来看, 在 X~Ku 波段内, 开关插损小于 2.1dB, 隔离度优于 50dB,

X~Ku 波段开关的测试, 仍然采用前面介绍的方法, 但由于选用的 PCB 版和 SMA 接头在 X~Ku 波段损耗较大, 因此测试结果将与仿真结果有所偏离。

表 3 X 波段 SPDT 开关控制电压与开关状态关系

控制电压		射频信号	
V1	V2	J1 to J2	J1 to J3
0V	-3V	Off	On
-3V	0V	On	Off

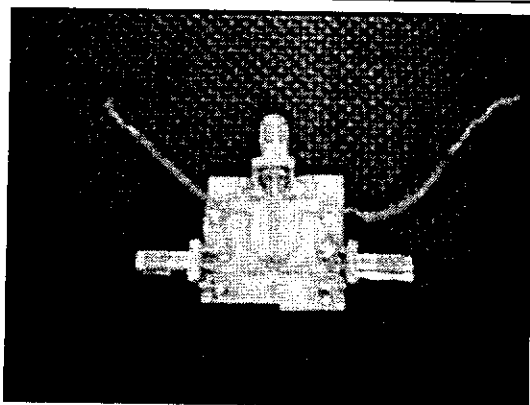


图 19 X~Ku 波段 SPDT 开关测试模块

测试结果如下:

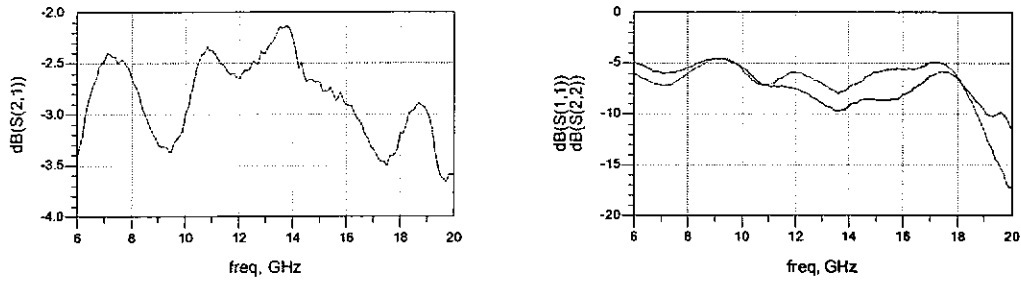


图 20 开态插损与驻波测试结果

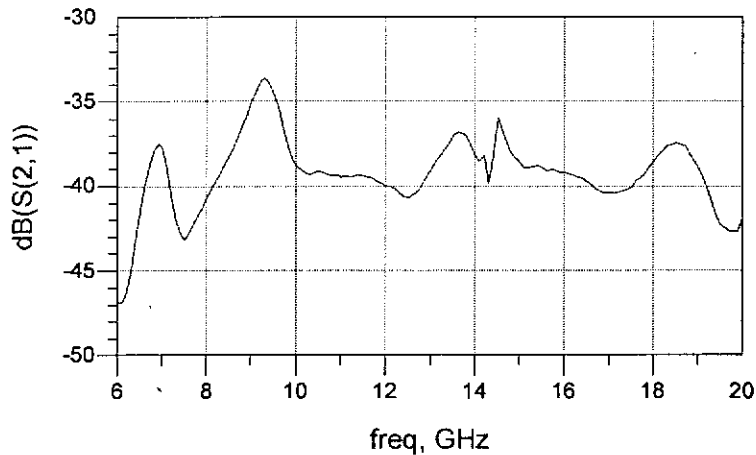


图 21 关态隔离度测试结果

在 X~Ku 波段内, 开关插入损耗低于 3.5dB, 考虑到在这一波段内 PCB 板引入的损耗, 芯片的实际插损特性与仿真结果是吻合的。隔离度在大多数频点上优于 35dB, 这一结果与国外一些产品的性能接近, 但较之我们的仿真结果还有较大差距, 对这一现象我们做了以下分析: 我们选择的芯片制造工艺中, 芯片正面需要的接地的器件通过背孔与背面金属连接。在设计中假设背面金属接地良好, 但在测试中, 芯片背面与 PCB 上焊盘焊接后, 还需要一段较长金属线连接到测试设备的接地端, 工作频率较高情况下, 这段金属线的电感不能忽略。当芯片背面金属与地之间通过电感连接时, 输入射频信号可以通过传输线或器件与背面金属构成的电容耦合到输出端, 开关的隔离度自然会因此下降。因此, 我们认为在以后的测试中做好芯片的接地, 将会提高测试的隔离度。

§ 4.2.3 基于增强型 HEMT 的微波开关

大多数 FET 开关采用耗尽型 FET 器件,这是由于耗尽型 FET 导通电阻比增强型器件小一些,插损较低,因此对增强型 HEMT 在微波开关方面应用的研究较少。但是我们认为增强型 HEMT 在微波开关领域仍有有用武之地。

通常耗尽型器件应用于开关时,栅极需要负电压控制,在某些场合,系统仅能提供正电压,这时基于耗尽型 FET 开关需要在电路结构上做较大的改动,以适应这种要求,下图为改动后的电路原理图:

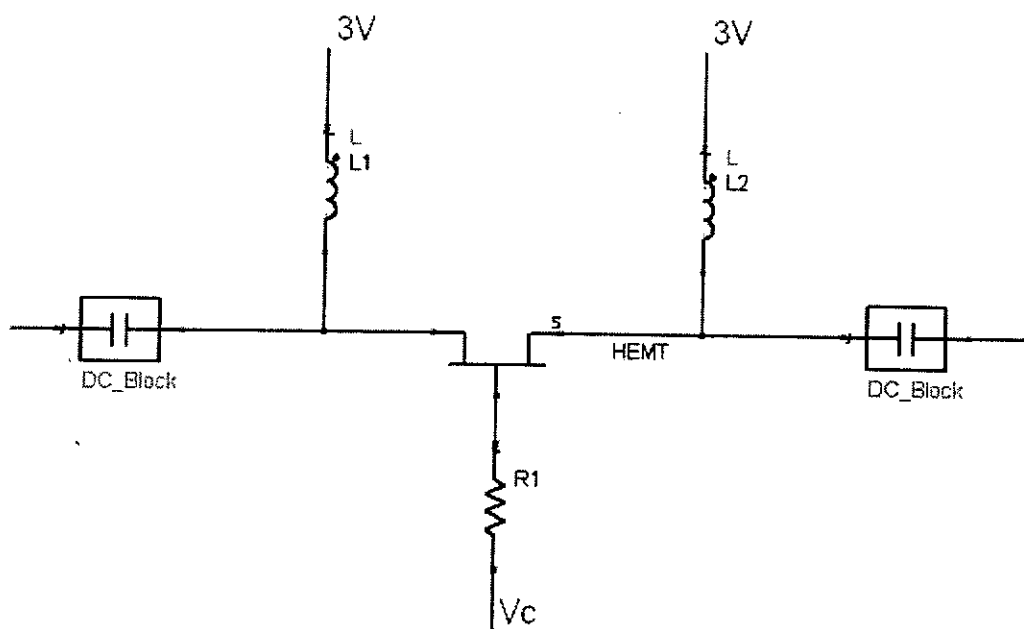


图 22 正偏压控制耗尽型 HEMT 开关电路结构

这种结构中,增加了两个隔直电容,这样可以用直流电源给源漏极提供+3V 的恒定电压。栅极零偏压时, FET 处于关态;栅极偏压为+3V 是, FET 处于开态。由于电路结构中增加了较多的电容、电感、电阻等元件,因此开关的插损和工作带宽等重要指标都会受到影响,芯片面积也会大大增加,尤其当电路采用串并联结合结构,使用 FET 数量较多时,这些缺点将会更为明显。

在这种只能使用正电压控制开关状态的情况下,增强型 HEMT 开关就可以显示出优势。由于增强型 HEMT 在零栅压下处于关态,栅极偏压高于一正电压后才进入开态,因此正电压控制的增强型 HEMT 开关电路结构可以和负电压控制的耗尽型 HEMT 开关一样,省去了图中的隔直电容、电感等诸多元件。这种电路结构上的优势,使得我们几乎可以忽略增强型 HEMT 导通电阻偏高这一缺点。

我们设计的增强型 HEMT SPDT 开关采用串并联结合的电路结构。为了获得更理想的开关特性，每一支路采用了一只串联 HEMT 和三只并联 HEMT，这样的结构是为了便于构成多节的 LC 网络。

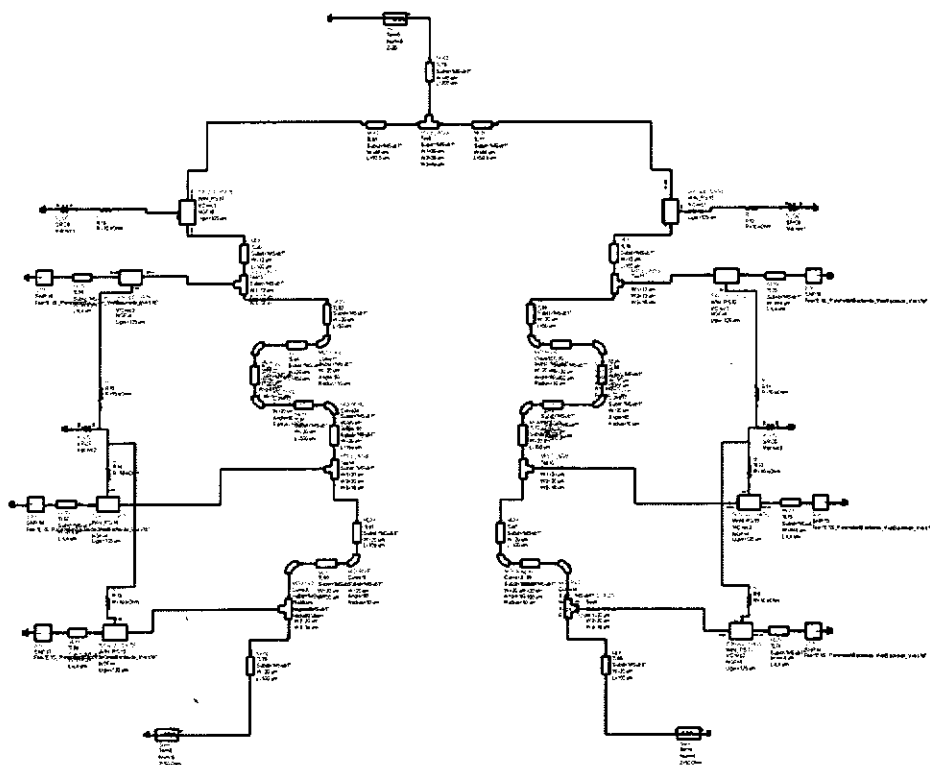


图 23 增强型 HEMT SPDT 开关电路拓扑图

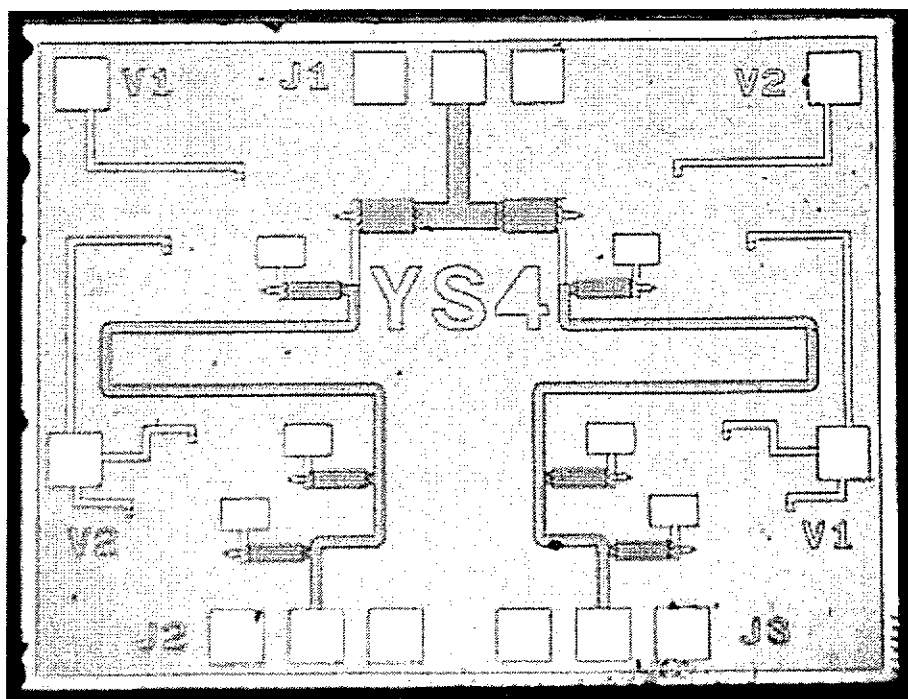


图 24 增强型 HEMT SPDT 开关芯片照片

电路仿真结果如下:

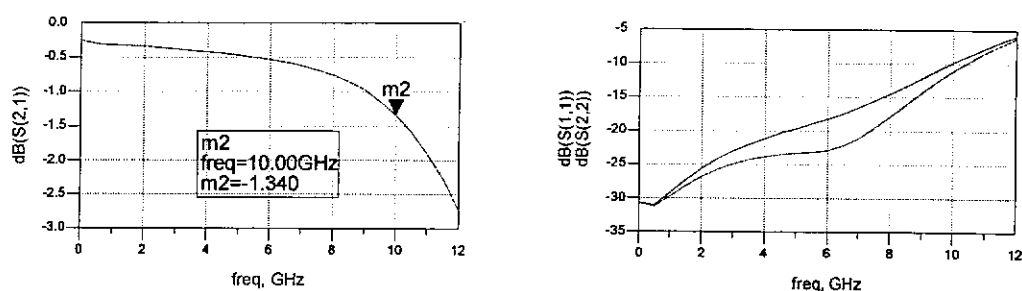


图 25 开态支路插入损耗和驻波

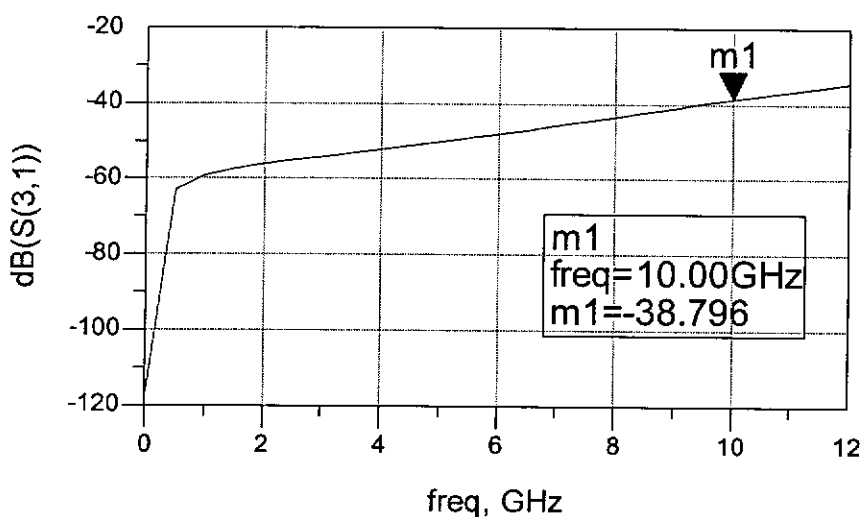


图 26 关态支路隔离度

由于工艺库没有提供增强型 HEMT 的开关模型, 因此在仿真过程中借用栅宽接近的耗尽型 HEMT 开关模型。仿真结果显示, 该开关在 DC—10GHz 范围内。插损小于 1.4dB, 隔离度优于 38dB。由于增强型 HEMT 导通电阻略大于耗尽型 HEMT, 可以预料到实测的插损会大于这一仿真结果。

增强型 HEMT 开关测试模块如下图所示:

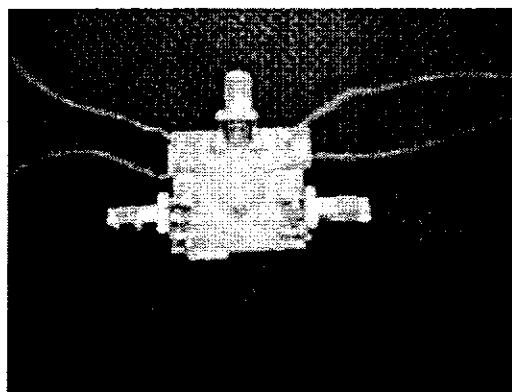


图 27 增强型 HEMT SPDT 开关测试模块

表 4 增强型 HEMT SPDT 开关控制电压与开关状态关系

控制电压				射频信号	
V11	V12	V21	V22	J1 to J2	J1 to J3
0V	0V	+1V	+1V	Off	On
+1V	+1V	0V	0V	On	Off

电路测试结果如下所示：

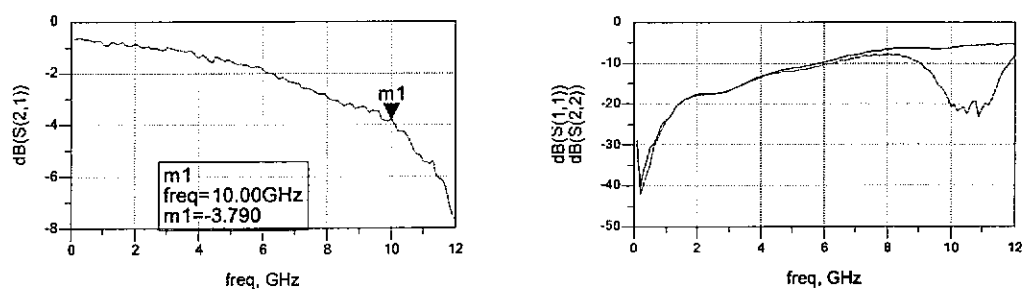


图 28 开态插损与驻波测试结果

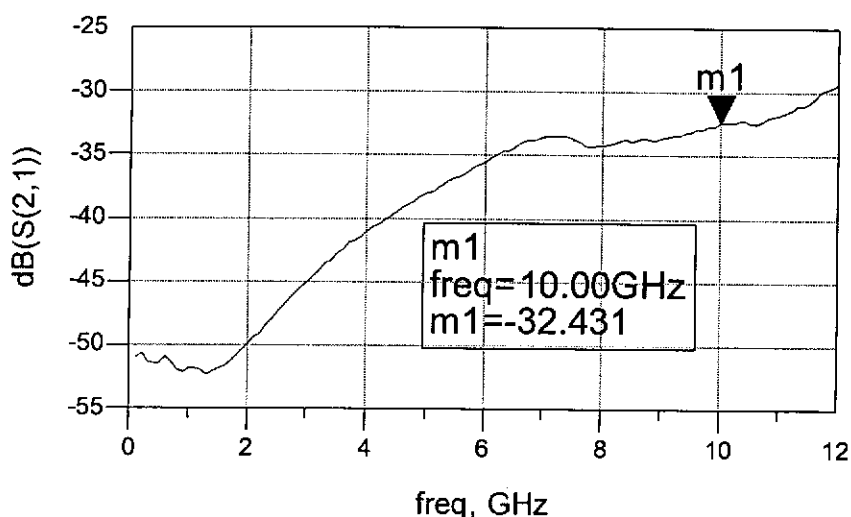


图 29 关态隔离度测试结果

测试结果表明, 该开关在 DC—10GHz 范围内, 插损小于 3.8dB, 隔离度优于 32dB。考虑到测试模块引入的损耗, 该电路的开关性能是令人满意的。其主要优势在于采用 0V 和 +1V 的电压控制开关通断, 避免负电压供电给系统设计造成的困难, 而且控制电压低, 对手机等需要尽可能降低功耗的系统来说是有利的。

§ 4.3 E/D HEMT 开关电路制作

单片 HEMT 开关电路研制包括以下几个步骤: HEMT 器件研制、定型; HEMT 等效电路参数提取; 开关电路设计; 单片电路制作。我们基于自主开发的 E/D HEMT 工艺, 对微波开关制造技术进行了全面的研究。这其中多数工作我们在前面章节已经分别做过介绍。

我们选择耗尽型 HEMT 器件作为实验开关电路的核心元件, 为了满足开关电路的需要, 将器件设计为栅长 $1\mu\text{m}$, 单指栅宽 $50\mu\text{m}$, 四栅指, 总栅宽 $200\mu\text{m}$ 的耗尽型开关 HEMT。这种器件设计是在电路设计需要和器件成品率之间所做的权衡, 开关电路要求 HEMT 器件有较大的栅宽, 以降低导通电阻, 我们在前面一小节中设计的开关电路所选择的 HEMT 器件最小栅宽为 $400\mu\text{m}$; 但从我们的工艺情

况来看, 单指栅宽超过 $60\ \mu\text{m}$ 后, 常常会出现栅金属脱离的情况, 影响成品率, 为提高电路成品率, 将器件单指栅宽设定为 $50\ \mu\text{m}$, 通过增加栅指数提高总栅宽。我们将栅偏置电阻与器件集成在一起, 一般来讲, 开关 HEMT 栅电阻应该为 $k\Omega$ 量级, 但为了降低工艺难度, 减小芯片面积, 我们在实验电路采用了设计阻值为 $500\ \Omega$ 的金属膜电阻。

HEMT 器件模型采用我们在第三章提出的新型开关 HEMT 等效电路及其参数提取方法。

实验电路为单刀单掷开关, 依据我们在开关电路设计和测试过程中所积累的经验, 我们在实验电路中采用了串并联结合结构, 电路照片如图所示:

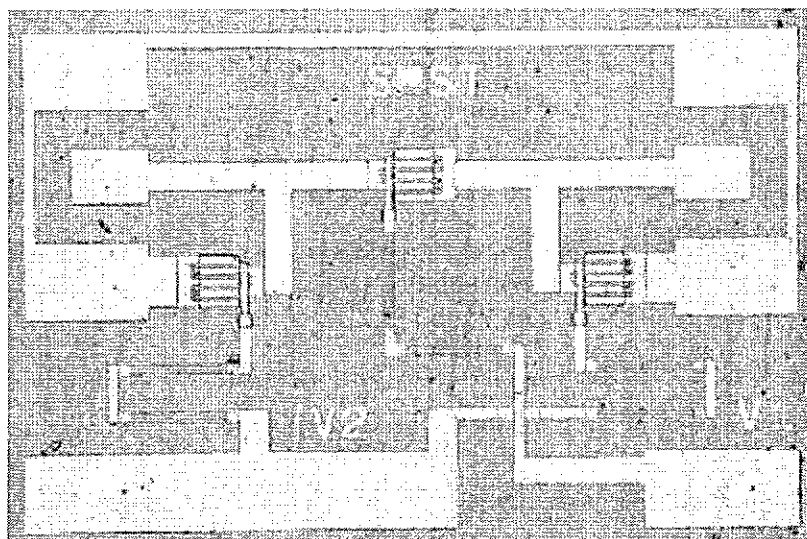


图 30 自主制造 HEMT 开关照片

我们对制成的电路进行了在片测试, 测试结果如下:

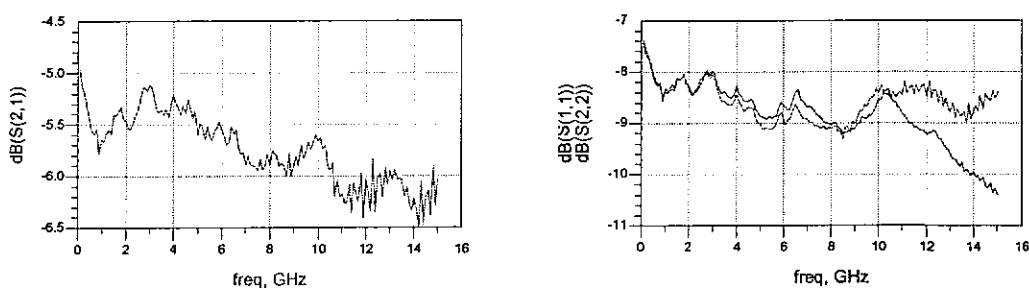


图 31 单刀单掷开关开态插损和驻波

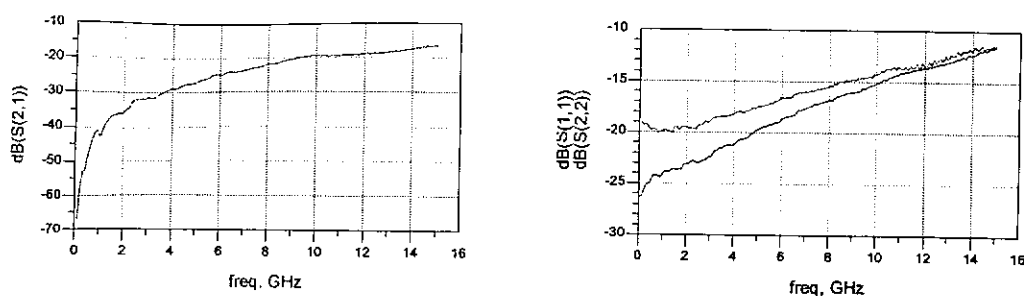


图 32 单刀单掷开关关态隔离度和驻波

测试结果表明,我们自主研制的单刀单掷开关在 DC—15GHz 的宽带内具有可接受的插损和较好的隔离度。这一结果说明我们开发的 E/D HEMT 器件及电路制造工艺具有实用性;我们的开关电路设计方法是正确的。

§ 4.4 开关控制电路研制

微波开关在使用中需要用逻辑电路控制其通断状态。一个方法是将两部分电路用不同的芯片实现,通过引线连接逻辑电路输出端口与微波开关的控制电压端口,目前许多微波系统仍采用这种方案。但是,当开关通道较多时,所需的控制信号位数也会相应增加。以文献【4】所提及的多波段微波开关为例,该开关为了满足手机收发电路切换及 GSM 和 UMTS 等频段间转换,设计为单刀 7 掷开关(SP7T)。这意味着至少需要 7 位控制信号才能保证开关正常工作,这还不包括开关电路较复杂时所需要的额外控制信号,如果逻辑控制电路与开关仍是分立的芯片,这两个电路间的引线将异常复杂,而且过多的焊盘会浪费大部分芯片面积。这样的方案对于要求体积小、成本低的手机等系统来说无疑是不合适的,此时将逻辑电路与微波开关集成在一起是必要的,通常是至少将解码器的功能集成于微波开关芯片内。由前面的论述我们已经知道 E/D HEMT 技术在微波电路和高速逻辑电路方面均具有优势。在逻辑电路方面,我们根据实际需要,从微波开关的控制电路入手,对基于 E/D HEMT 的逻辑电路进行了研究。

§ 4.4.1 GaAs 逻辑电路

目前大规模逻辑电路正在向更高集成度、更低单门功耗和更高速度方向发展,相对于 Si 集成电路,高速 GaAs 集成电路在这些方面更具优势。经过多年发

展, GaAs 逻辑电路已经发展出多种基本电路结构, 例如: BFL (Buffered FET Logic)、SDFL (Schottky Diode FET Logic)、和 DCFL (Direct Coupled FET Logic) 等。下面将对这几种典型的电路结构进行分析【5】:

(1) BFL

BFL 形成最简单的逻辑单元是反相器, 也就是“非门”, 其结构如图所示。该电路由两部分组成: 耗尽型 FET 负载管 T_1 和输入管 T_2 组成的倒相器, 使输入电平反相, 实现逻辑功能, 这一部分称为“逻辑放大级”, 由于都是耗尽型器件, 在第一级输出端电平 V_m 将发生相对移动, 这样不能直接驱动下一级。故 BFL 电路中增加了由耗尽型器件 T_3 、 T_4 和肖特基二极管组成的电平移位电路。它使电平 V_m 下移至 V_0 , 能与下级逻辑门兼容, 同时也具有隔离缓冲, 增加输出驱动能力的作用, 故称之为“电平移位驱动级”。由这两部分构成的电路可以实现高低电平的反相, 并完成电平移位以保证逻辑相容。

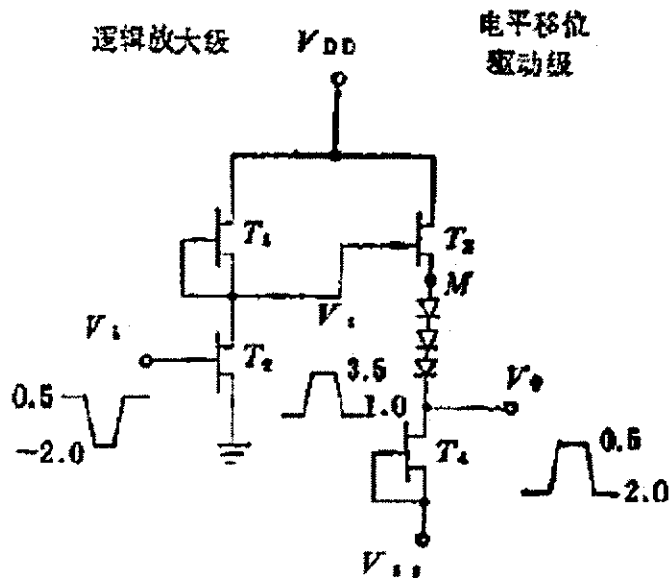


图 33 BFL 反相器电路拓扑图

(2) SDFL

SDFL 单元也是由耗尽型 GaAs MESFET (或 HEMT) 和肖特基二极管组成的逻辑单元, 既保持了 BFL 单元较快的速度, 又大大降低了功耗。其典型结构如图所示, 它也可以分为两部分: 肖特基二极管和恒流管 T_3 、 T_4 组成电平移位和或逻辑, 右方则构成“与非”逻辑, 类似于 BFL 单元中的逻辑放大级电路。

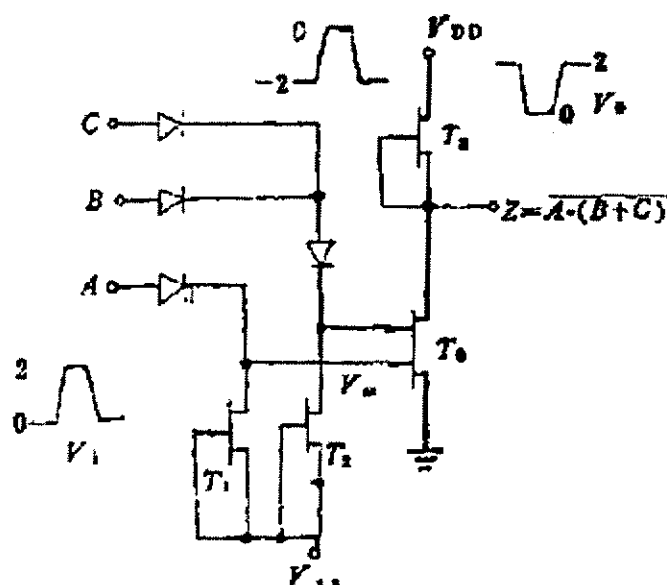


图 34 SDFL 或与非逻辑门

其工作原理如下：当输入电压（以 A 端为例）为 0V（低电平）时，经二极管电平移位（设为 2V），在的一级输出端为 -2V，使第二级的输入管截止，输出为高电平 2V；当输入电压为 2V 时，移位后的第一级输出为 0V，使 T4 管导通，输出为低电平。B 和 C 是“或”的逻辑关系，整个电路构成“与或非门”。

SDFL 功耗比 BFL 小, 面积也大大下降。这主要是由于它用输入二极管代替三极管, 节省了面积, 并减小了输入电容。同时因为他们是二端器件, 也给布线带来方便。

(3) DCFL

DCFL（直接耦合逻辑）的特点是输入输出逻辑电平相容，故不需要附加电平移位电路，级间可直接耦合。DCFL 逻辑的基本的倒相单元仅由两支管子组成，负载管为耗尽型 FET，输入驱动管为增强型 FET。输入为高电平，则输出为低电平；输入为低电平。输出为高电平。

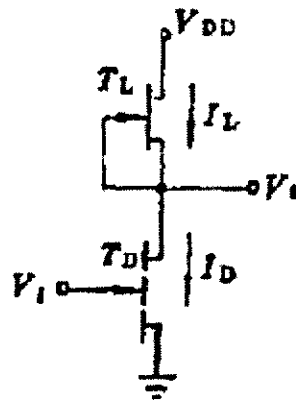


图 35 DCFL 反相器

DCFL 优点是同样的逻辑单元的器件数少于 BFL 和 SDFL；单电源工作；功耗低。所以特别适合大规模或超大规模 GaAs 集成电路。但是它的输入驱动器件需要增强型 GaAs MESFET，这带来两个问题：一是需要严格控制夹断电压的均匀性，且保证夹断电压处于正值或零，这对材料和制造工艺提出挑战；二是它的逻辑电平低电平为 0V，高电平不能超过栅的正向导通电压，故逻辑摆幅较低，抗干扰力弱。

下面我们对这几种逻辑单元的性能进行比较：

表 5 基本逻辑单元性能比较

电路形式	BFL	SDFL	DCFL
电源	双电源	双电源	单电源
逻辑摆幅	大	中	小
噪声容限	高	中	低
功耗	大	中	低
速度	高	中	中
扇出能力	大	小	小
集成密度	低	中	高
工艺难度	易	易	难

§ 4.4.2 逻辑反相器研制

反相器是逻辑电路中最基本的逻辑单元,很多复杂的逻辑电路就是由多个基本单元为基础搭建起来的,微波开关的控制电路——解码器也可以由多个反相器构成。在一些较简单的开关电路,如串联结构的单刀双掷开关中,仅需要两路总处于反相状态的控制信号就可以操纵开关。此时开关电路中可以集成一个反相器,这样只需外加一路控制信号就可以控制单刀双掷开关的两个直路正常工作,这种情况下,反相器可以视为最基本的微波开关控制电路。我们对基于 E/D HEMT 的逻辑反相器进行了专项研究,主要目标就是要研制出可以控制开关状态、高成品率、单电源供电的用于控制电路末级的逻辑反相器。

在前面小节所讨论的基本逻辑电路中,只有 DCFL 采用单电源供电,其电路简单、功耗低、集成度高,而且 E/D HEMT 正是实现 DCFL 电路的理想选择,因此我们将 DCFL 电路作为研究重点。

制做 DCFL 电路的难点在于增强型器件阈值电压的控制,如图 35 所示的 DCFL 反相器结构中,要保证增强型驱动管的阈值电压为正值,电路才能正常工作,否则驱动管有可能在输入低电平时导通,出现逻辑错误。在器件制造过程中,由于材料结构的不均匀性或工艺控制上的偏差,常常出现增强型器件阈值电压偏低的情况,实际阈值在 0V 附近(为一小的正电压或负电压),在我们制作 E/D HEMT 器件过程中也出现过这样的问题。解决办法一是进一步提升工艺水平,提高器件阈值电压一致性;另一个是设计新的电路结构,降低电路对工艺条件的敏感度。我们倾向于采用后一种方法。国外一些研究者已经针对这种低阈值电压的“准增强型”器件设计了一些改进的电路结构,下图就是其中一种【6】。

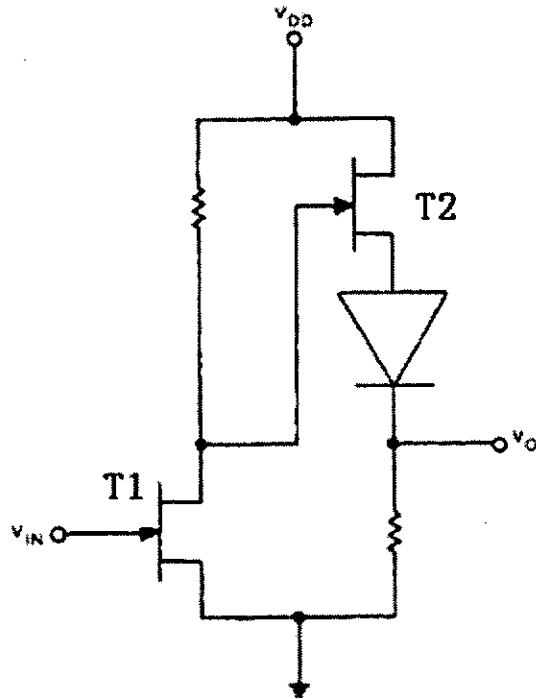


图 36 准增强型 FET 逻辑反相器

当输入信号为高电平时，T1 在正栅压下开启，T2 的栅压降至接近地电平。由于肖特基二极管需要高于其势垒高度的正向电压才能导通，因此即便 T2 的阈值电压在 0V 附近也不会开启，二极管保证了 T2 关断，输出接近地电平。FET 阈值电压只要保证高于 T1 残余的电压（一般为 0.1~0.2V）和二极管势垒之差即可。当输入电压为低电平，对阈值电压为正的 T1，输出无疑为高电平，当阈值电压为一小的负值，流过 T1 的漏电流不为 0，但考虑到漏电流与栅压的平方成比例，因此流过 T2 的电流远大于 T1 的漏电流，因此仍可认定输出端处于高电平。该电路结构对阈值电压的漂移不敏感，同时仍保留了 DCFL 电路单电源供电的优点。据文献报道，该电路结构中 FET 阈值电压的下限为 -0.4V，使器件制作的工艺难度大为降低。

但上述结构无法直接应用到开关控制电路中，这主要是由微波开关对其控制电路所提出的特殊要求决定的。我们制作的开关 HEMT 为耗尽型器件，由前面对开关的分析可知，栅压低于阈值电压时，开关 HEMT 为关态；栅压与源漏电压一致时，开关 HEMT 为开态。在采用正电压控制的电路中，为了尽量简化电路结构，一般令开关 HEMT 的源漏电压与控制电路中的 V_{DD} 相等。控制电路对栅极的输出

信号为低电平时, HEMT 为关态; 信号为高电平时, HEMT 为开态。但在图所示电路中, 由于存在肖特基二极管的势垒电压及 T2 的开态残余电压, 因此输出端的高电平比 V_{DD} 低 1V 左右, 这意味着无论输出信号高低, 开关 HEMT 都处于关态。为了满足开关控制电路的特殊需要, 我们设计了基于 E/D HEMT 的新型反相器结构, 电路拓扑图如图所示:

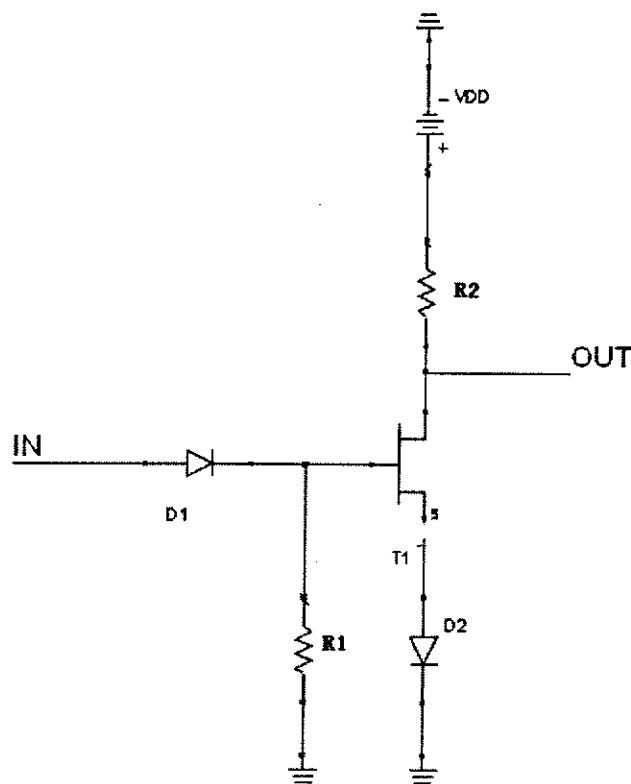


图 37 新型反相器电路拓扑图

我们选择 $V_{DD} = 3V$ 。当输入信号为低电平时, T1 关断, 输出信号为高电平, 此时漏电流极低, 输出高电平近似等于 V_{DD} 。肖特基二极管 D1、D2 在电路中起到电平移位的作用。肖特基二极管的势垒电压约为 0.7~0.8V, 当输入低电平小于势垒电压时, 二极管 D1 关断, HEMT 栅压由 R1 两端电压决定, 由于此时漏电流很小, 因此栅压近似为 0; 当低电平高于势垒电压时, D1 将输入电平向下平移 0.7~0.8V。二极管 D2 的作用与图 36 电路中一样, 保证低阈值电压的 HEMT 不会在低电平下导通。当 T1 阈值电压为 0V 时, 输入低电平上限约为 1.4V。

当输入信号为高电平 (3V) 时, T1 导通, 输出低电平。由于 D1 将输入电平

下移, 避免了高栅压下栅电流过大。值得注意的是, 由于二极管 D2 的势垒电压和 T1 残余电压的存在, 输出低电平为 1V 左右。由于开关 HEMT 源漏电压等于 V_{DD} , 因此 1V 左右的低电平仍足以保证 HEMT 处于关态。

在我们所制作的反相器电路中, 肖特基二极管和增强型 HEMT 均采用我们在第二章所研制的器件, 电阻 R1 和 R2 分别选用 $500\ \Omega$ 和 $200\ \Omega$ 的金属膜电阻。电路照片和测试结果如下:

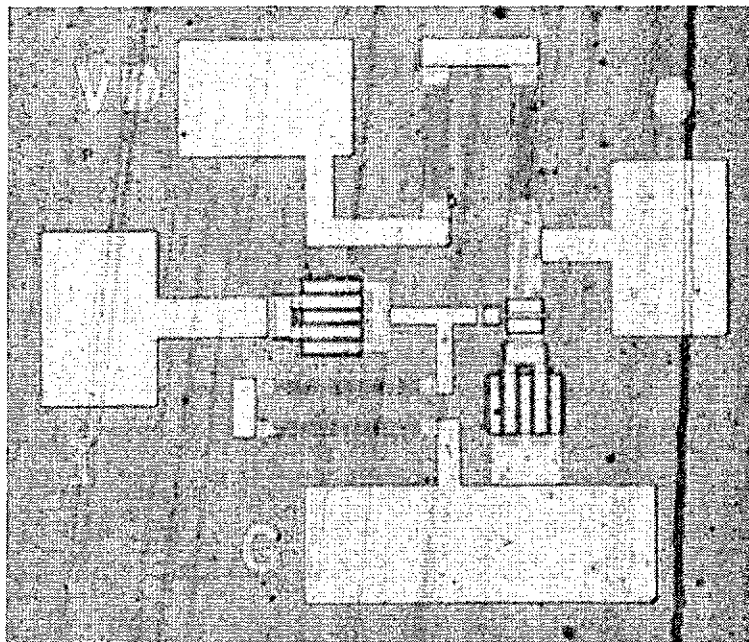


图 38 新型反相器电路照片

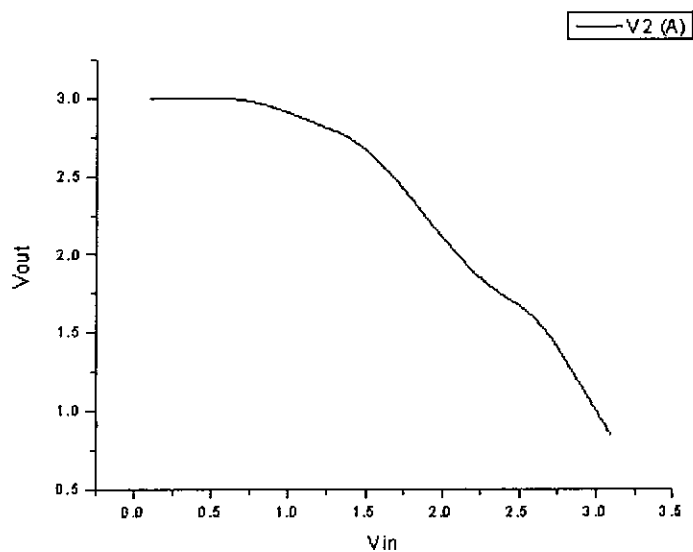


图 39 新型反相器传输特性

测试结果表明, 新型反相器对输入低电平的宽容度很高, 换言之, 电路对增强型 HEMT 阈值电压的漂移不敏感, 达到了我们设计该电路的初衷。该电路结构输入输出逻辑电平相容, 仅需单电源供电, 适合作为微波开关的控制电路。

§ 4.4.3 开关与控制电路集成研究

我们在 E/D HEMT 电路研究方面的目标是将射频电路与逻辑电路集成与同一芯片, 充分发挥出 E/D HEMT 器件在这两方面的优势。我们对试图将开关及其控制电路集成, 就是为实现这一目标所做的探索。

如前面章节所述, 我们已经在自己的工艺线上分别制作出了基于 E/D HEMT 技术的微波开关和逻辑反相器。由于大规模逻辑电路的设计方法已经基本成熟, 因此只要证明基本逻辑单元具有良好的性能, 就可基本保证较大规模逻辑电路制作成功。针对这一特点, 我们设计了验证电路: 在验证电路中, 微波开关为基本的串联结构; 增加了隔直电容, 通过高阻值金属膜电阻为 HEMT 源漏提供高电平; 开关 HEMT 栅极偏置电阻与反相器的输出端相连; 反相器结构采用前面小节研制的新型反相器结构。该电路中外加控制信号经过了反相器的反相, 因此外加信号为高电平时, 开关 HEMT 栅极为低电平, 开关处于关态; 外加信号为低电平时, 开关处于开态。芯片照片和测试结果如下所示:

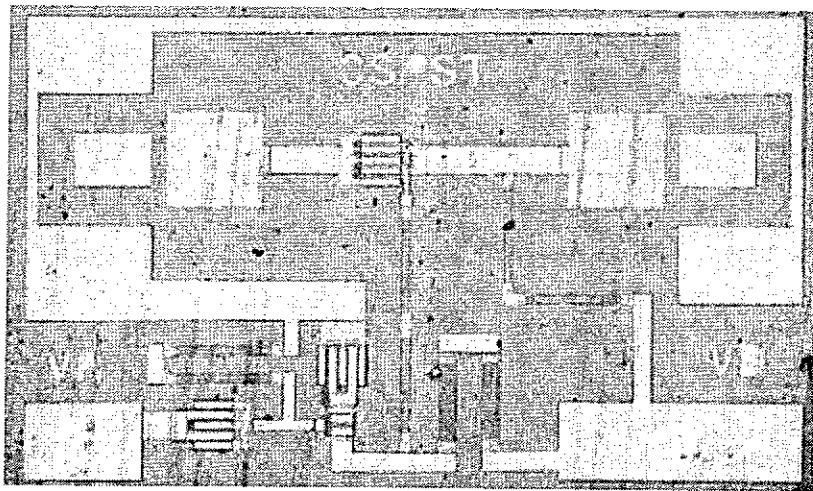


图 40 微波开关与逻辑反相器集成

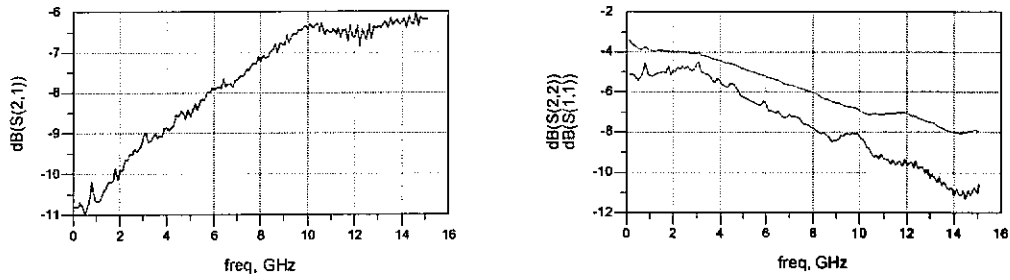


图 41 微波开关插入损耗和驻波

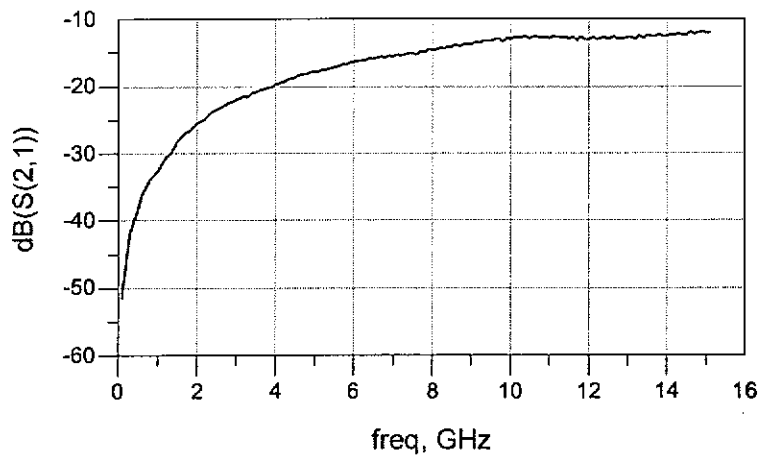
(V_R 为低电平)

图 42 微波开关隔离度

(V_R 为高电平)

测试条件为, $V_D = 3V$, V_R 为外加信号输入端, 其高低电平分别为 3V 和 0V。

从测试结果来看, 当 V_R 为低电平时, 开关处于开态; 当 V_R 为高电平时, 开关处于关态。这说明开关在反相器的控制下正常工作, 该实验电路成功实现了设计功能。

§ 4.5 本章小结

本章对基于 E/D HEMT 的集成电路进行了深入研究,在微波电路和逻辑电路两方面均取得了较为满意的成果。

(1) 基于成熟的 E/D HEMT 工艺库设计了三种单刀双掷微波开关。经测试,三种开关均实现了设计的基本功能,且具有一定实用价值。其中基于增强型 HEMT 的微波开关可以在不增加电路复杂程度的情况下实现正电压控制,具有一定新颖性。在电路设计和测试中积累了微波开关设计经验。

(2) 采用自主开发的 E/D HEMT 制造工艺和我们提出的新型 HEMT 等效电路,设计并制作了单刀单掷微波开关。经测试,该开关实现了基本的开关功能。这一实验结果为我们进一步完善电路制造工艺、提升设计水平、最终制成可满足市场需求的微波开关,奠定了良好的基础。

(3) 对基于 E/D HEMT 的逻辑电路进行了深入分析。提出了基本逻辑单元——反相器的新结构。该结构解决了以下两方面的问题:满足了微波开关对栅极控制电平的特殊需要;克服了增强型 HEMT 阈值电压漂移对电路成品率造成的影响。直流测试结果表明,新型反相器达到了设计要求。

(4) 对逻辑电路与射频电路的集成进行了探索性研究,将微波开关及其逻辑控制电路(反相器)集成于同一芯片。集成后的电路工作状态正常,证明我们思路是正确的,集成研究取得初步成功。

第五章 结论

本论文的研究工作围绕国家 973 项目——《新一代化合物半导体电子器件与电路研究》展开。该项目在 E/D HEMT 方面预期目标为：研究成功新型 E/D 型 HEMT 复合结构，在解决关键工艺的基础上，制定和优化 E/D 型 HEMT 器件工艺流程，实现 E/D 型 HEMT 器件。本论文在课题组前期工作基础上进一步优化了外延材料结构和器件制作工艺；建立了新型 E/D HEMT 器件模型及提取方法；采用自主开发的 E/D HEMT 集成电路制造工艺制作了验证电路；成功将微波开关及其逻辑控制电路（反相器）集成于同一芯片。研究成果达到了项目要求，具体成果如下：

1. 对 HEMT、电阻、电容和肖特基二极管等器件均进行了深入研究，建立了一套完整的 E/D HEMT 集成电路制造工艺。制成的 $1\mu\text{m}$ 栅长的 E/D HEMT 器件具有良好的射频性能。增强型 HEMT $f_T = 10.3\text{GHz}$ 、 $f_{MAX} = 15.9\text{GHz}$ 。耗尽型开关 HEMT $f_T = 19.1\text{GHz}$ 、 $f_{MAX} = 25.2\text{GHz}$ 。
2. 详细分析了各种 HEMT 器件模型（包括：小信号模型、大信号模型和开关 HEMT 模型）的特点及模型参数提取方法。借助 IC-CAP 软件提取了 HEMT 的 EEHEMT 模型参数；针对课题需要，提出了新型开关 HEMT 等效电路模型及其提参方法，并按照这一方法提取了我们制作的开关 HEMT 的模型参数。通过仿真结果与测试结果的对比，证明新的开关 HEMT 模型具有较高准确度，且参数提取方法简单，不需要借助 IC-CAP 等建模软件，具有较高实用价值。器件模型的建立，对电路设计起到了积极的指导作用。
3. 基于成熟的 E/D HEMT 工艺库设计了三种单刀双掷微波开关，三种开关均实现了基本功能，且具有一定实用价值。其中基于增强型 HEMT 的微波开关可以在不增加电路复杂程度的情况下实现正电压控制，具有一定新颖性。在电路设计和测试中积累了微波开关设计经验。
4. 采用自主开发的 E/D HEMT 集成电路制造工艺和我们提出的新型 HEMT 等效电路，成功制作了多种验证电路。其中，单刀单掷微波开关实现了基本的开关功能；制成了新结构逻辑反相器，新结构满足了微波开关对栅极控制电平的特殊需要，克服了增强型 HEMT 阈值电压漂移造成的电路成品率下降的问题。

5. 对逻辑电路与微波电路的集成进行了探索性研究。在实验电路中, 将微波开关及其逻辑控制电路集成于同一芯片内, 其中, 逻辑电路部分采用我们设计的新结构逻辑反相器构成基本的解码器。采用我们开发的 E/D HEMT 集成电路制造工艺制作了该实验电路。测试结果表明, 集成后的电路工作状态正常, 达到预期目标。通过这一实验结果, 我们可以预期在不久的将来我们将可以采用 E/D HEMT 技术实现更大规模、更复杂电路的集成。