

- [59] Matsuda M, Morito K, Yamaji K, et al. A novel method for designing chirp characteristics in electroabsorption MQW optical modulators. *IEEE Photon. Technol. Lett.*, 1998, 10(3):364-366
- [60] Yamanaka T, Wakita K, Yokoyama K. Pure strain effect on reducing the chirp parameter in InGaAsP/InP quantum well electroabsorption modulators. *Appl. Phys. Lett.*, 1997, 70(1):87-89
- [61] Yamanaka T, Wakita K, Yokoyama K. Potential chirp-free characteristics (negative chirp parameter) in electroabsorption modulation using a wide tensile-strained quantum well structure. *Appl. Phys. Lett.*, 1996, 68(22):3114-3116
- [62] Yamada K, Nakamura K, Matsui Y, et al. Negative-chirp electroabsorption modulator using low-wavelength detuning. *IEEE Photon. Technol. Lett.*, 1995, 7(10):1157-1158
- [63] Ishizaka M, Yamaguchi M, Shimizu J, et al. The transmission capability of a 10 Gb/s electroabsorption modulator integrated DFB laser using the offset bias chirp reduction technique. *IEEE Photon. Technol. Lett.*, 1997, 9(12):1628-1630
- [64] Morito K, Sahara R, Sato K, et al. Penalty-free 10 Gb/s NRZ transmission over 100 km of standard fiber at 1.55 μm with a blue-chirp modulator integrated DFB laser. *IEEE Photon. Technol. Lett.*, 1996, 8(3):431-433
- [65] XIONG B, SUN C, LUO Y. Optimization of wavelength detuning of high speed electroabsorption modulators for better transmission capability. in: *Asia-Pacific Optical and Wireless Communication Conference 2001 (SPIE4580)*, 2001. 78-82
- [66] 熊兵. 基于传输能力的改进对 InGaAsP 多量子阱电吸收调制器的优化设计: [直博生确认硕士学位论文]. 北京: 清华大学电子工程系, 2001
- [67] Chun-Lei Guo, Sun C-Z, Hao Z-B, et al. Theoretical analysis of polarization insensitive InGaAsP multiple-quantum-wells electroabsorption modulators with negative chirp. *Japanese Journal of Applied Physics Part 1-Regular Papers Short Notes & Review Papers*, 2000, 39(11):6166
- [68] Song J, Fan C C. A simplified dispersion limit formula for IM/DD systems and its comparison with experimental results. *J. Lightwave Technol.*, 1995, 13(3):546-550
- [69] Dorgeuille F, Devaux F. On the transmission performances and the chirp parameter of a multiple-quantum-well electroabsorption modulator. *IEEE J. Quantum Electron.*, 1994, 30(11):2565-2572

- [70] Chuang S-L, Schmitt-Rink S, Miller D A B, et al. Exciton Green's-function approach to optical absorption in a quantum well with an applied electric field. *Phys. Rev. B*, 1991, 43(2):1500-9
- [71] Fritz I J. Energy levels of finite-depth quantum wells in an electric field. *Journal of Applied Physics*, 1987, 61(6):2273-2276
- [72] Hao Z-B, Guo C-L, Zhang W-Y, et al. Theoretical analysis of InGaAsP/InGaAsP multiple-quantum-wells electroabsorption modulators for the application of high-speed low driving voltage integrated light source. *J. KOREAN PHYS. SOC.*, 1999, 34:S104-S108
- [73] Iengyel G, Jelley K W, Engelmann R W H. A semi-empirical model for electroabsorption in GaAs/AlGaAs multiple quantum well modulator structures. *IEEE J. Quantum Electron.*, 1990, 26(2):296-304
- [74] Bastard G, Mendez E E, Chang L L, et al. Variational calculations on a quantum well in an electric field. *Phys. Rev. B*, 1983, 28(6):3241-3245
- [75] Ikeda T, Ishikawa H. Analysis of the attenuation ratio of MQW optical intensity modulator for 1.55 μm wavelength taking account of electron wave function leakage. *IEEE J. Quantum Electron.*, 1996, 32(2):284-292
- [76] Hutchings D C. Transfer matrix approach to the analysis of an arbitrary quantum well structure in an electric field. *Appl. Phys. Lett.*, 1989, 55(11):1082-4
- [77] Loehr J R, Singh J. Effect of biaxial strain on acceptor-level energies in $\text{In}_y\text{Ga}_{1-y}\text{As}/\text{Al}_x\text{Ga}_{1-x}\text{As}$ (on GaAs) quantum wells. *Phys. Rev. B*, 1990, 41:3695
- [78] Agrawal G P. *Nonlinear Fiber Optics*. New York: Academic, 1989.
- [79] 熊兵, 王健, 孙长征, 等. 同一外延层结构高速 DFB 激光器/EA 调制器集成光源的研究. *红外与毫米波学报*, 2002, 21(S1):19-22
- [80] Schmitt-Rink S, Chemla D S, Knox W H, et al. How fast is excitonic electroabsorption? *Optics Letters*, 1990, 15(1):60-2
- [81] Li G L, Chen W X, Yu P K L. Effects of photocurrent on microwave properties of electroabsorption modulators. in: *Digest of IEEE MTT-S International Microwave Symposium*, Anaheim, CA, USA: Institute of Electrical and Electronics Engineers Inc., Piscataway, NJ, USA, 1999. 1003-1006
- [82] 王健. 高脊波导绝缘层平面化工艺研究(内部交流). 2003.
- [83] Lee I H, Lee S D, Rhee J K, et al. Studies on air-bridge processes for mm-wave MMIC's applications. *Journal of the Korean Physical Society*, 1999, 35:S1043-S1046

- [84] Sun C Z, Zhou J B, Xiong B, et al. Vertical and smooth, etching of InP by $\text{Cl}_2/\text{CH}_4/\text{Ar}$ inductively coupled plasma at room temperature. *Chin. Phys. Lett.*, 2003, 20(8):1312-1314
- [85] 王健, 熊兵, 孙长征, 等. 电感耦合等离子体刻蚀 InP 端面的掩模特性研究. *功能材料与器件学报*, 2003, 9(4):432-436
- [86] 王健. 电感应耦合等离子体刻蚀端面 InGaAsP 半导体激光器的研究: [直博生确认硕士学位论文]. 北京: 清华大学电子工程系, 2002
- [87] 张立江, 熊兵, 王健, 等. 等离子体增强型化学气相沉积端面减反膜的研究. *半导体光电* (已接受待发表)
- [88] Wang Y, Liu Y, Sun J, et al. Reflection coefficient and small-signal response measurement of electroabsorption modulated DFB laser. *Pan Tao Ti Hsueh Pao/Chinese Journal of Semiconductors*, 2003, 24(9):955-959
- [89] 曲喜新. 电子元件材料手册. 北京: 电子工业出版社, 1989.
- [90] Katz A, Pearton S J, Nakahara S, et al. Tantalum nitride films as resistors on chemical vapor deposited diamond substrates. *J. Appl. Phys.*, 1993, 73(10):5208-5212
- [91] Henderson R, Zurcher P, Duvallet A, et al. Tantalum nitride thin film resistors for integration into copper metallization based RF-CMOS and BiCMOS technology platforms. in, 2001. 71-74
- [92] 波特 J M, 杜 K N, 迈耶 J W. 薄膜的相互扩散与反应. (张永康, 译). 北京: 国防工业出版社, 1983.
- [93] 胡南山, 俞光中. 高频溅射钛-铜-镍-金薄膜导电系统的研究. *电子元件与材料*, 1985, 17(1):7-10
- [94] Morabito J M, Thomas J H, Lesh N G. Material characterisation of Ti-Cu-Ni-Au (TCNA)-a new low cost thin film conductor system. *IEEE Trans. Parts Hybrids Packag.*, 1975, PHP-11(4):253-62
- [95] Aramati V, Bitler J, Pfahnl A, et al. Thin-film microwave integrated circuits. *IEEE Trans. Parts Hybrids Packag.*, 1976, 12(4):309-316
- [96] Hokanson K E, Barcohen A. A shear-based optimization of adhesive thickness for die bonding. *IEEE Trans. Compon. Pack. A*, 1995, 18(3):578-584
- [97] Webster R T, Slobodnik A J, Roberts G A. Determination of InP HEMT noise parameters and S-parameters to 60 GHz. *IEEE Trans. Microw. Theory Tech.*, 1995, 43(6):1216-1225

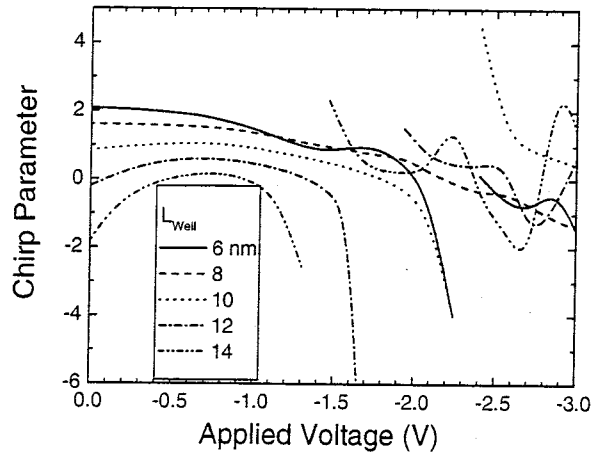


图 2-9 不同量子阱阱宽条件下的 EA 调制器啁啾系数特性曲线

2.4.1.2 量子阱应变的影响

根据图 2-10，阱材料应变的变化对于 EA 调制器的啁啾系数影响较小。其余材料结构参数为：阱宽 10 nm，垒材料光荧光波长 $1.15 \mu\text{m}$ ，垒材料无应变。

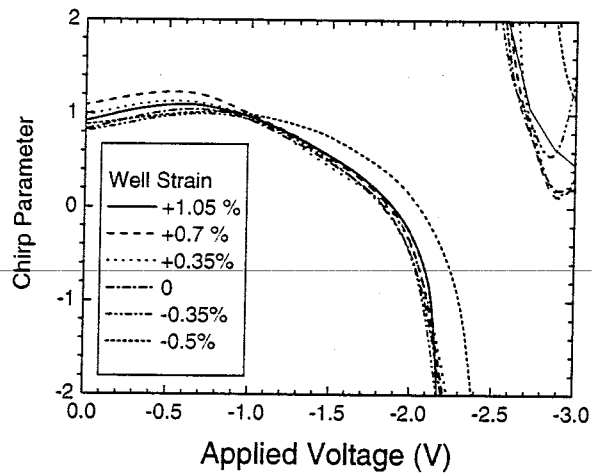


图 2-10 不同应变量的阱材料条件下的 EA 调制器啁啾系数特性曲线

2.4.1.3 垒材料光荧光波长的影响

根据图 2-11, 垒材料光荧光波长对于啁啾系数的影响较大, 尤其是光荧光波长较长时, 啁啾系数变小, 甚至出现低偏压下的负啁啾特性。其余材料结构参数为: 阱宽 10 nm, 阱与垒均为晶格匹配材料。

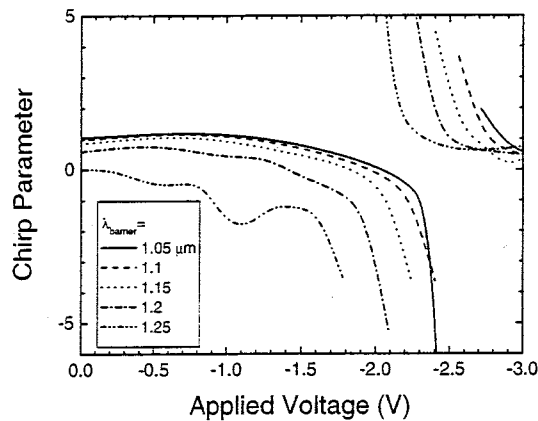


图 2-11 不同光荧光波长垒材料条件下 EA 调制器的啁啾系数特性曲线

2.4.1.4 垒材料应变的影响

根据图 2-12, 改变垒材料应变条件对调制器的啁啾系数影响较小。其余材料结构参数为: 阱宽 10 nm, 阱材料无应变, 垒材料光荧光波长定为 1.15 μm 。

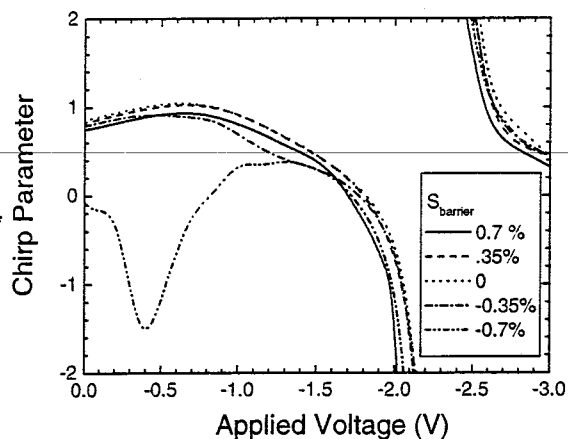


图 2-12 不同应变垒材料条件下 EA 调制器的啁啾系数特性曲线

通过以上对各种结构参数对啁啾系数特性的影响的分析,我们发现材料应变对啁啾系数的影响较小,而量子阱阱宽和垒材料光荧光波长对啁啾系数的影响显著。因此我们要优化阱宽和垒材料的光荧光波长参数,以设计EA调制器的量子阱结构。

2.4.2 根据传输特性模拟对量子阱材料结构参数的优化

前面通过传输特性模拟对波长红移量和信号消光比等工作参数方面进行了优化,在此基础上,我们进一步对EA调制器量子阱结构进行优化设计。在传输特性模拟中,信号消光比设为10 dB,开态偏置电压设为0 V。

由于量子阱阱宽和垒材料光荧光波长对啁啾系数的影响显著,为此调整量子阱阱宽从6 nm变到14 nm,间隔2 nm,共5组。每组对应垒材料荧光波长从1.05 μm 变到1.25 μm ,间隔50 nm,每组5个。对上述25种量子阱结构分别进行传输特性的模拟。

我们采用传输功率代价为1 dB的传输距离评价系统传输特性。根据图2-13,增大垒材料的光荧光波长,有利于改善传输特性。最优化量子阱阱宽与垒材料的光荧光波长有关。从总体优化效果上看,垒为 $Q_{1.25}$ 材料,阱宽在6~10 nm范围内的传输特性最佳,这种情况下传输距离超过120 km。

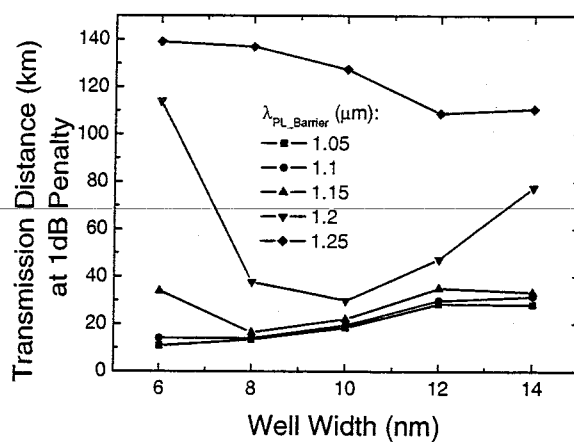


图 2-13 量子阱宽、垒材料光荧光波长对 EA 调制器传输特性的影响

2.5 小结

为了改善 EA 调制器的系统传输特性,本章采用传输特性模拟的方法对 EA 调制器的工作条件参数和量子阱结构参数进行优化设计。

本章采用非变分数值解法计算出量子阱材料的吸收谱,由此得到 EA 调制器的消光比和啁啾系数。随后通过一个 10 Gb/s NRZ 码传输系统模拟计算得到 EA 调制器的传输特性,同时在模型中采用与电压相关的啁啾系数以更好地模拟实际的传输特性。

在此基础上,我们对 EA 调制器的工作条件参数进行优化。对于我们采用的 EA 调制器结构,我们分别对波长红移量、光信号消光比等工作参数下传输特性进行计算和分析。对于特定结构的 EA 调制器,传输特性模拟得到的最优化波长红移量范围是 40~50 nm,最优化信号的消光比为 10 dB。

在工作条件优化的基础下,我们进一步对 EA 调制器的量子阱结构进行优化设计。通过系统分析量子阱各结构参数对 EA 调制器啁啾系数的影响,发现量子阱阱宽和垒材料光荧光波长对啁啾系数的影响较大,而其余参数的影响小。我们根据传输特性模拟针对这两个参数对 EA 调制器进行优化设计。模拟结果表明,选择光荧光波长较长的垒材料有利于改善器件的传输特性,而最优化的阱宽则与垒材料的选择有关。根据综合考虑阱宽和垒材料光荧光波长对传输特性的影响,将光荧光波长选择在 1.525 μm ,阱宽为 6~10 nm 时可得到最优的传输特性。

第三章 高性能10 Gb/s DFB激光器/EA调制器集成光源研制

本章介绍 10 Gb/s 集成光源的研制工作, 包括技术难点分析、管芯制作技术改进、器件特性等方面。如果沿用 2.5 Gb/s 集成光源的制作工艺, 调制速度的提高与激射特性的改善存在难以克服的矛盾。因此要重新设计器件结构, 改进器件制作工艺, 才能提高器件速度又改善器件激射特性。首先, 放弃 EA 调制器的高一低脊结构, 改用干法刻蚀方法制作高脊波导以减小电容。由于可避免苛刻的套刻工艺, 工艺难度显著降低, 脊波导得到有效保护, 同时结区宽度大为减小。其次, 采用 PECVD 技术制作厚绝缘台, 再加上薄层 SiO_2 保护脊波导, 既可减小电容, 又得以避免腐蚀脊波导顶 SiO_2 时因严重的侧蚀而导致器件性能恶化。

经过器件工艺改进, 集成光源的阈值电流显著减小, 实现大于 10 GHz 的小信号调制带宽, 并已完成 10 Gb/s 的大信号眼图测试与系统传输实验。

3.1 提高调制速度与改善器件性能之间的矛盾

制约集成光源速度的主要因素是 EA 调制器的电容。如图 3-1 所示, 调制器电容包括结区势垒电容和电极电容, 前者决定于脊波导结区面积, 后者则由绝缘层介电常数、厚度和电极面积决定。

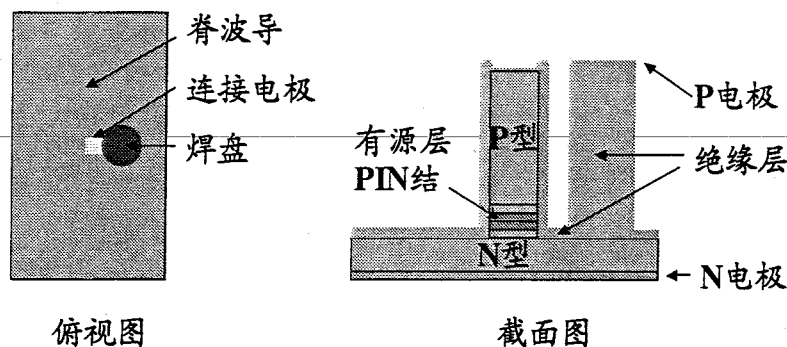


图 3-1 EA 调制器的电容构成

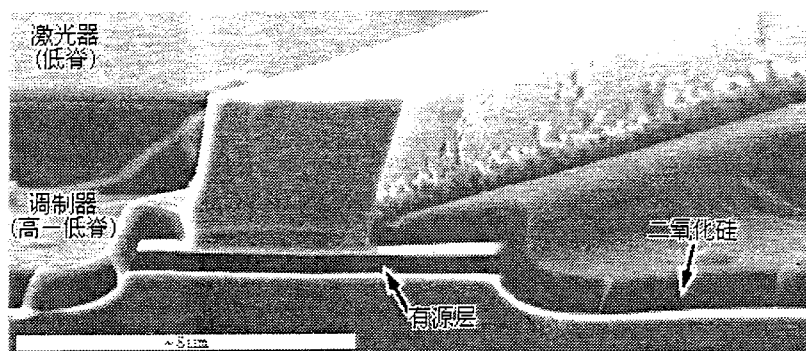


图 3-2 EA 调制器部分高一低脊结构的扫描电镜照片^[1]

图 3-2 所示的是本实验室前期制作 2.5 Gb/s 集成光源的 EA 调制器结构照片^[1]。为了减小结区电容，在前期 2.5 Gb/s 器件中，EA 调制器的脊波导采用湿法腐蚀的高一低脊结构，结区宽度被减小到约 6 μm 。电极电容的减小则是通过制作图形电极和增加 SiO_2 绝缘层厚度来实现的^[1,36]。我们通过进一步改进图形电极设计，将 100 $\mu\text{m} \times 100 \mu\text{m}$ 的方形焊盘改换为直径为 80 μm 的圆形焊盘，使图形电极面积减小为原来的 1/2 左右，电极电容大为减小，从而把集成光源的调制带宽提高到约 8 GHz^[10,79]。

要继续提高调制速度，实现超过 10 GHz 的调制带宽，就必须继续减小 EA 调制器的电容。然而继续采用上面的器件结构，就将面临提高调制速度和改善器件特性之间的矛盾。

首先是湿法腐蚀 EA 调制器高一低脊结构的问题。如图 3-3 所示^[1]，高

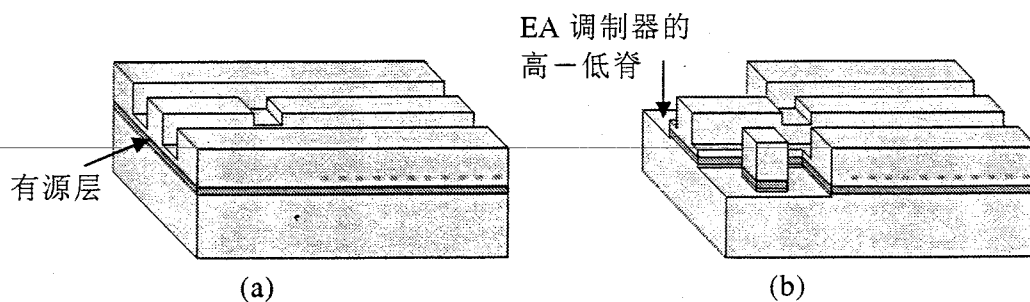


图 3-3 集成光源中 EA 调制器高低脊结构的制作^[1]

一低脊结构是在制作出低脊波导(a)的基础上，再进行套刻和湿法腐蚀，将脊波导两侧 1~2 μm 以外的有源层结构去除，形成高、低脊共存的特殊结构

(b)。通过上面的方法，可以比较简便地减小结区面积以减小结区电容。但是这种方法要求套刻精度达到微米量级。若要进一步减小高脊宽度，就必须实现亚微米的套刻精度，采用普通接触式曝光难以达到这一要求。另一方面，这一结构还存在因侧蚀将低脊结构腐蚀的危险。因此，采用湿法腐蚀高一低脊结构难以进一步减小结区电容，且不利于器件特性。

其次是进一步减小电极电容的问题。考虑到引线焊接的要求，电极焊盘面积减小的空间很小，要减小电极电容，最现实的方案就是增加 SiO_2 绝缘层的厚度。在前期工作中，采用 500~600 nm 厚的 SiO_2 。这样厚的绝缘膜已经给器件性能带来了不利的影响：为实现 P 型电极接触，必须将脊波导顶部的 SiO_2 腐蚀干净，又必须尽量保留侧壁的 SiO_2 以避免造成器件漏电失效。 SiO_2 厚度的增加导致脊波导顶的电极窗口腐蚀时间增加，从而引起脊波导侧壁绝缘层腐蚀加剧，容易导致调制器漏电。因此从改善器件性能的角度，应设法减小 SiO_2 绝缘膜的厚度。

总而言之，提高调制速度与改善器件性能的矛盾，要求对器件结构设计加以修改，对制作工艺进行改革创新。

3.2 引入干法刻蚀工艺制作高脊结构的新型方法

为了减小 EA 调制器的结区电容，本论文采用 ICP 干法刻蚀方法制作高脊波导结构，有效地减小结区宽度，并且显著简化制作工艺，避免对脊波导结构的破坏。

和湿法腐蚀不同，干法刻蚀具有高度的各向异性，即向下刻蚀速率远大于侧向刻蚀速率，所以在刻蚀过程中仅需要采用掩膜保护脊波导的顶部，而侧壁则不需要掩膜保护。根据这个特点，我们设计一种制作 EA 调制器高脊波导的新方法：如图 3-4 所示，采用 SiO_2 或者 SiN_x 介质膜作为脊波导掩膜，首先利用湿法腐蚀制作出传统的低脊波导结构，然后再用同一掩膜利用干法刻蚀去除脊两侧的有源层结构。采用这种方法制作出的高脊波导宽度和低脊波导宽度基本一致，使结区电容大大减小。由于采用同一掩膜进行低脊波导和高脊波导的刻蚀，从而无需套刻，使工艺难度大为降低。

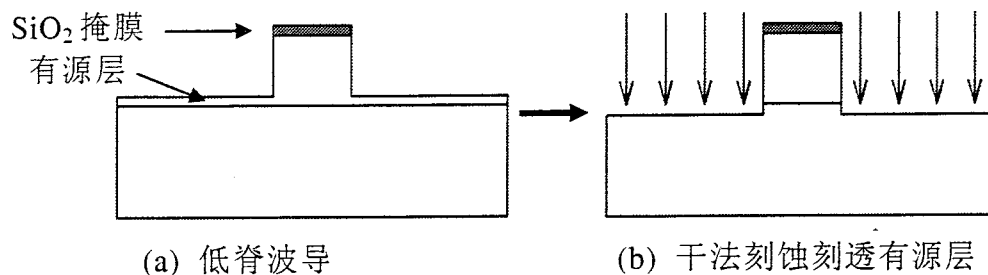


图 3-4 引入干法刻蚀工艺的高脊结构制作新方法

在 DFB 激光器/EA 调制器集成光源中，激光器部分仍然采用低脊波导结构。在干法刻蚀 EA 调制器高脊波导时，采用厚光刻胶作为掩膜保护激光器部分的脊波导。

制作 EA 调制器高脊结构的具体工艺步骤如下：

- 1) 沉积 150nm 厚 SiO_2 薄膜；
- 2) 利用 BP212-6cp 光刻胶掩膜，用缓冲 HF 酸腐蚀出 SiO_2 脊条掩膜；
- 3) 去光刻胶，采用 SiO_2 掩膜，以 HBr :饱和 Br_2 水(SBW): H_2O (1:1:5)腐蚀液腐蚀去除顶部的 InGaAs 和部分 InP 层，再用 $\text{HCl}:\text{H}_2\text{O}$ (2:1)腐蚀液制作出低脊波导结构；
- 4) 采用 BP212-35cp 厚光刻胶掩膜覆盖好激光器部分；
- 5) 利用 ICP 干法刻蚀去除脊波导两侧有源层结构，刻透有源层：

刻蚀条件：流量比 $\text{Cl}_2:\text{CH}_4:\text{H}_2 = 7:8:4.5$ ，工作气压 4 mTorr，

RF 功率 120 W，ICP 功率 1250W

刻蚀时间 90 s

上述工艺的关键技术要点在于：

- 1) 确定干法刻蚀的时间。从腐蚀停止层到有源层刻透总共约 500 nm，其中包括 170nm 的 InP 材料和 330 nm 的 InGaAsP 材料。通过外延片的刻蚀实验确定的刻蚀时间为 90 s，以确保刻透有源层。
- 2) SiO_2 掩膜的厚度控制。由于 ICP 刻蚀过程中对 SiO_2 同样也有刻蚀效

应，因此必须保证一定的掩膜厚度。另一方面，过厚的 SiO_2 在利用湿法腐蚀制作掩膜图形时出现严重的侧蚀，因此需要减小 SiO_2 的厚度以缩短掩膜图形的腐蚀时间。实验证明，采用 150 nm 的 SiO_2 掩膜基本上可满足这两个方面的要求。

3) 厚光刻胶掩膜的厚度控制。采用 4300 rpm 转速旋涂的 35 cp 光刻胶足以抵挡 2 min 的 ICP 刻蚀。

图 3-5 所示的就是采用干法刻蚀制作的 EA 调制器端面，其中上边约 1.8 μm 是湿法腐蚀的低脊波导的高度，下边约 800 nm 是干法刻蚀的深度。从图中测量出脊波导顶宽为 3.2 μm ，干法刻蚀的高脊波导宽度为 3.6 μm 。由于 ICP 干法刻蚀条件尚未进行优化，刻蚀得到的侧壁不够垂直，因而干法刻蚀的结区宽度比脊顶宽度微大。

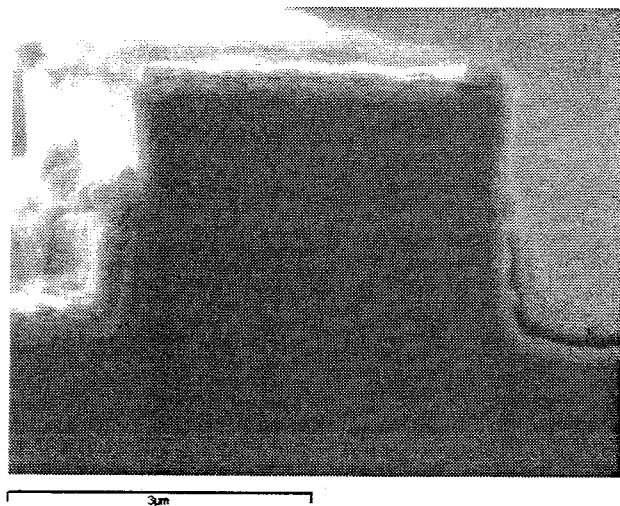


图 3-5 采用 ICP 干法刻蚀的 EA 调制器端面的电镜照片

3.3 兼顾减小电容和改善器件特性的新型绝缘层方案

在我们设计的 EA 调制器中，电极焊盘面积约占总电极面积（不含脊波导顶部电极）的 90%，因此增加电极焊盘下面的绝缘层厚度可以有效地减小电极电容。

我们将图 3-3 (b)中的电极台改用厚度达到 1.8 μm 的 SiO_2 绝缘台，以减

小电极电容, 如图 3-6 所示。首先, 在制作 EA 调制器高脊波导结构时, 不再保留脊旁边的 InP 材料电极台。然后利用 PECVD 设备沉积厚 SiO_2 膜, 并将焊盘电极区域之外的 SiO_2 全部腐蚀掉, 形成焊盘绝缘台。最后在器件表面沉积一层厚度约 200 nm 的薄 SiO_2 膜, 以实现绝缘保护。

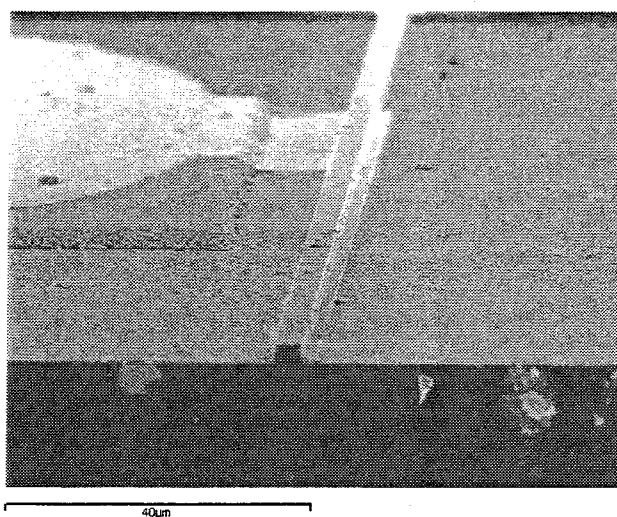


图 3-6 采用厚绝缘台加薄绝缘层方案的 EA 调制器照片

采用这一结构, 由于脊顶的 SiO_2 厚度减小, 在制作 P 型电极窗口时腐蚀时间缩短, 可以有效地保护侧壁的 SiO_2 , 从而使漏电问题得到有效抑制。此步工艺的关键在于开电极窗口采用的自对准曝光工艺。由于调制器区和激光器区的结构不同, 脊顶的光刻胶厚度不同, 因而最佳曝光条件有所不同。为了确保激光器和调制器都能实现比较好的光刻胶保护, 我们降低甩胶转速以增加光刻胶厚度, 并适当减小曝光时间, 将显影时间延长到 20 s 以上, 从而实现当激光器脊顶显影完全时, EA 调制器脊条两侧的光刻胶仍然可保持有效的覆盖保护。器件制作完毕后, 用清华大学微电子所的 HP 4140B pA-meter 对 EA 调制器的反向漏电流进行测量, 在 -2V 偏置电压下的反向漏电流仅为 2 μA 。器件特性表明, 采用以上手段, 可以有效地保护脊波导侧壁的 SiO_2 薄膜。

3.4 10 Gb/s DFB 激光器/EA 调制器的管芯制作工艺流程

下面按照制作工艺顺序, 简要介绍集成光源的制作工艺:

1、一次外延。首先利用 MOCVD 设备在 n^+ -InP 衬底上依次生长 n-InP 缓冲层(200 nm)、InGaAsP 下波导层(120 nm)、InGaAsP 应变多量子阱有源层(5 周期, 阱宽 10 nm, 垒宽 10 nm)、InGaAsP 上波导层(120 nm)以及 n-InP 载流子阻挡层(20 nm)。同一次外延的多量子阱结构用作激光器的有源层和调制器的吸收层, 以减少外延次数、简化制作工艺。经光电流谱测量, 量子阱材料的激子吸收峰位于 1490nm 附近。

2、制作部分光栅。采用两次曝光的方法在激光器区形成光栅掩膜, 再采用 SBW:HBr:H₂O 腐蚀液进行光栅刻蚀。光栅周期是根据波长红移量的最优化结果确定的, 对应的激光器激光波长在 1525nm 附近。

3、二次外延。首先在制作完部分光栅的外延片表面生长 0.15 μm 厚的 p-InP 层对光栅进行掩埋以使外延片表面平坦化, 然后依次生长 InGaAsP 腐蚀停止层(3 nm)、p-InP 上限制层(1.5 ~ 1.7 μm)和 p^+ -InGaAs 欧姆接触层(0.2 μm), 最终完成外延材料的制备。

4、在激光器和调制器部分制作低脊波导。采用湿法腐蚀 SiO₂ 制作脊波导掩膜, 其中 EA 调制器部分只有单独的脊波导条, 以便制作厚绝缘台, 激光器部分为双沟槽型, 目的是为了保留沟槽外侧的半导体材料以保护中间的脊波导结构。利用非选择性腐蚀液(HBr:SBW:H₂O)腐蚀掉 InGaAs 欧姆接触层和部分 InP 层, 用选择性腐蚀液(HCl:H₂O)腐蚀掉整个 p-InP 上限制层, 露出 InGaAsP 腐蚀停止层。

5、ICP 干法刻蚀调制器部分的高脊结构。采用步骤 4 中的 SiO₂ 掩膜作为刻蚀 EA 高脊结构的掩膜, 激光器部分则采用厚光刻胶掩膜阻挡等离子体轰击。具体工艺参见前节, 此处不再赘述。

6、光刻腐蚀电极隔离槽。采用选择性腐蚀液(H₂SO₄:H₂O₂:H₂O)腐蚀去除激光器和调制器之间的 InGaAs 欧姆接触层, 形成 40 μm 宽的电极隔离槽。

7、制作厚电极绝缘台。PECVD 沉积约 1.8 μm SiO₂ 介质膜, 用缓冲 HF

酸湿法腐蚀制作方形电极绝缘台。

8、开脊波导电极窗口。PECVD 沉积 250 nm 的 SiO_2 介质膜，利用自对准工艺光刻曝光，用缓冲 HF 酸腐蚀去掉脊顶 SiO_2 。

9、采用抬离工艺制作 P 型图形电极。采用热蒸发镀膜方式制作约 150 nm 厚的电极，EA 电极圆焊盘直径为 80 μm 。测得 EA 调制器和激光器之间的隔离电阻典型值大于 100 k Ω 。

10、减薄、热蒸发制作 N 电极，电极材料为 AuGeNi，厚度约 100 nm。

11、解理、EA 调制器端面镀抗反射膜。

3.4 DFB 激光器/EA 调制器集成光源的静态特性

在集成器件中，DFB 激光器的长度为 350 ~ 450 μm ，调制器的长度从 70 μm 到 200 μm 不等。

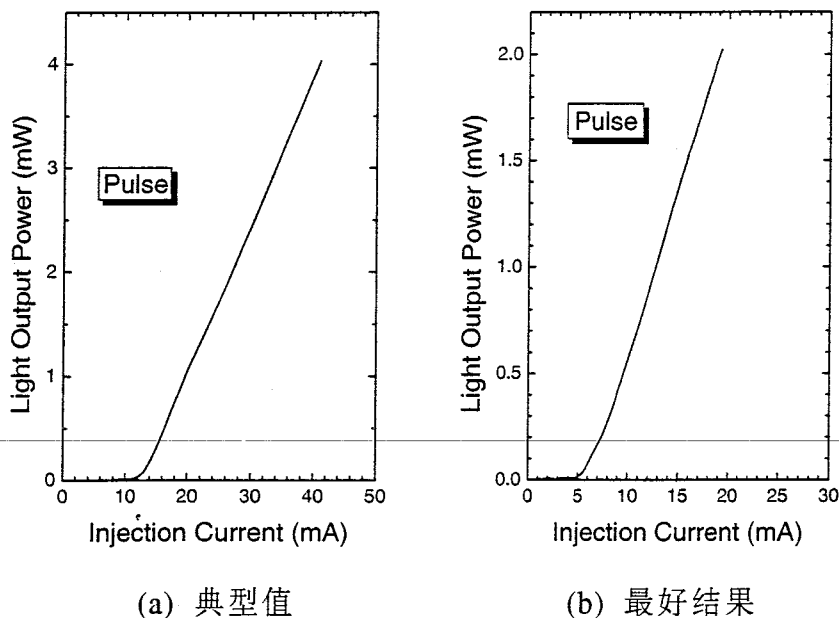


图 3-7 DFB 激光器/EA 调制器集成光源的 I-L 特性曲线

图 3-7 所示的是采用新型工艺制作的 DFB 激光器/EA 调制器集成光源的电流—光功率(I-L)曲线，(a)图为典型结果，(b)图为最好结果。集成光源的

阈值电流典型值在 10 mA 量级, 最佳结果为 6 mA, 与文献报道的集成光源最好水平相当。器件的外微分效率平均为 0.14 mW/mA。图中显示集成器件不仅阈值电流小, 而且输出功率大, I-L 曲线线性好, 充分证明 IEL 结构集成光源不仅具有结构简单、减少外延次数等的优点, 而且可以同样实现高质量的器件。

器件特性的改善主要得益于以下几个因素的影响:

- 1、采用波长红移量优化结果用于制作集成光源的 DFB 光栅;
- 2、改进器件制作工艺, 脊波导得到有效保护, 漏电流被抑制, 激光器的电流注入效率得到改善;
- 3、DFB 激光器的归一化耦合系数大, 提供较强的分布光反馈。

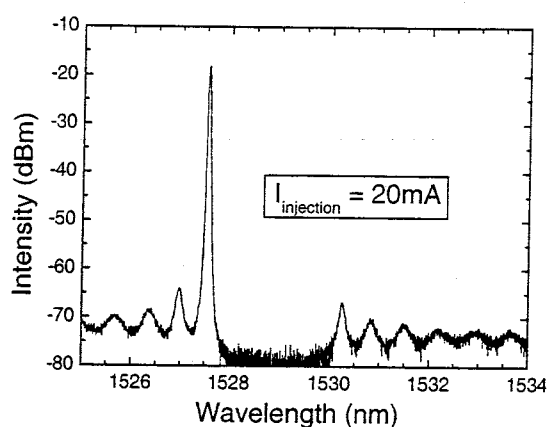


图 3-8 集成光源的激光谱

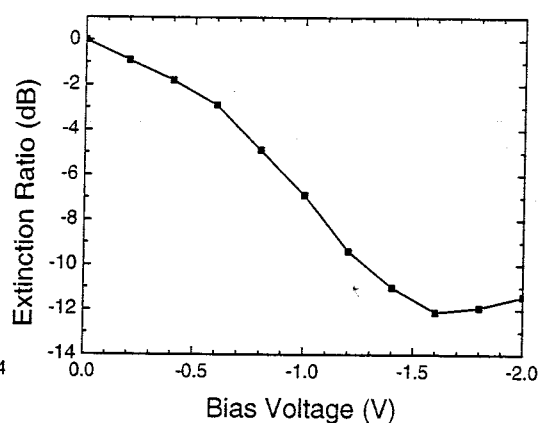


图 3-9 集成光源的消光比曲线

图 3-8 所示是一个典型集成光源的输出光谱, DFB 激光器归一化耦合系数 $KL \sim 4$, 其边模抑制比(side-mode suppression ratio, SMSR)达到 46 dB。

集成器件中 EA 调制器的消光比特性如图 3-9 所示, DFB 激光器注入电流为 30 mA, 其调制器长度为 100 μm , 其最大消光比约为 12 dB。

3.5 集成光源的高频特性测试

随后将管芯焊到 AlN 过渡热沉上进行管芯级封装测试。在小信号调制

响应测试中, 采用 Agilent 8722 矢量网络分析仪作为微波信号源和接收机, 同时采用 Agilent 11982A 高速光探测器将光信号转换为微波信号。微波信号通过 Cascade ACP40 微波共面探针加载到过渡热沉上, 再传递给集成器件的 EA 调制器。图 3-10 所示是一个集成器件的小信号调制响应典型曲线, 调制器偏压为 -1.0 V, 3 dB 调制带宽超过 10 GHz^[37,52]。

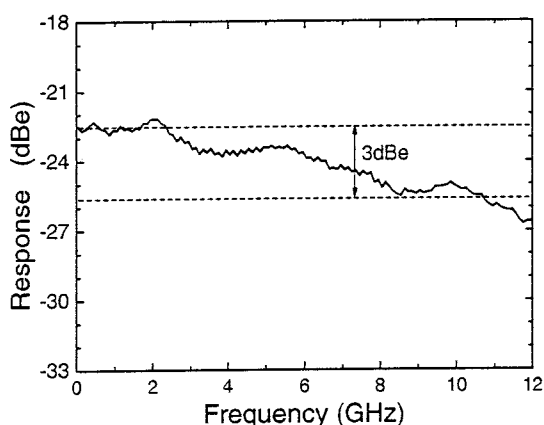
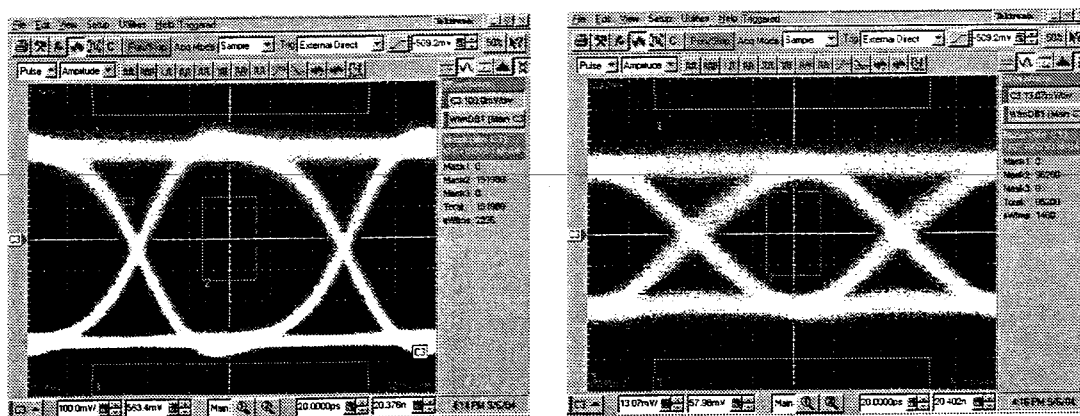


图 3-10 集成器件的小信号调制响应曲线

根据小信号调制响应测试结果, 器件的高频特性已得到改善。为进一步检验其系统传输特性, 我们将集成器件实现模块化封装。集成光源模块中除器件外, 还包括有光学透镜系统, 光隔离器, 背光探测器和温控装置, 另外模块还带有尾纤光输出接头和用于微波接入的 K 接头。



(a) 背对背眼图

(b) 传输 35 km 后的眼图

图 3-11 集成光源模块大信号调制眼图

系统传输实验中, 采用 10 Gb/s NRZ 码信号对 EA 调制器进行调制, 并利用 Tektronix CSA8000 通信信号分析仪对眼图信号进行测试。图 3-11 (a) 显示的是传输前的背对背(back-to-back)大信号调制眼图, 对 EA 调制器的调制电压幅度为 2V, 开态电压为 0V, 图(b)显示的是通过 35 km 常规单模光纤传输后的眼图。在 10 Gb/s NRZ 信号调制下, 背对背眼图张开明显, 传输 35 km 后眼图还没有发生显著恶化。

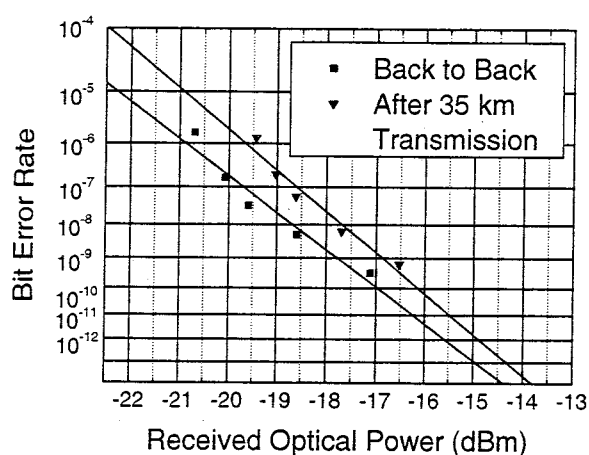


图 3-12 系统传输前后的误码率曲线

图 3-12 为集成光源的误码率特性, 在 10^{-12} 的误码率条件下传输 35 km 的功率代价小于 1 dB^[52]。结果表明, 本论文研制的 10 Gb/s DFB 激光器/EA 调制器集成光源器件已经达到 10 Gb/s 传输系统的要求。

3.6 本章小结

本章介绍 10 Gb/s DFB 激光器/EA 调制器集成光源的研制工作。针对前期器件中调制速度提高与器件特性改善之间的矛盾, 本论文分别从高脊结构制作和厚电极绝缘台形成两个方面入手, 通过改进器件设计和制作工艺, 不仅可减小调制器电容、提高调制速度, 而且还对器件性能有所改善。

为进一步减小脊波导的结区宽度, 本论文引入 ICP 干法刻蚀技术, 并改进器件结构和制作工艺, 在 EA 调制器部分制作出脊波导高脊结构, 其结区

宽度减小到原低脊波导宽度。为提高电极焊盘绝缘层厚度, 本论文采用厚绝缘台+薄绝缘膜的方案, 将电极焊盘绝缘台厚度提高到 $2\mu\text{m}$, 同时保证对器件脊波导的侧壁保护, 从而改善器件特性。

通过采用最优化的波长红移量制作 DFB 光栅, 改进器件制作工艺, 加上 DFB 光栅较大的耦合系数, 集成光源的阈值电流减小到 10 mA 量级, 最小值仅 6 mA, 达到文献报道的最好水平。集成器件的外微分量子效率达到 0.14 mW/mA 。测量集成光源的消光比特性, 对于 $100\mu\text{m}$ 长的 EA 调制器, 最大消光比达到了 12 dB。

测得集成器件的小信号调制带宽超过 10 GHz。将集成器件进行模块封装, 然后进行传输系统实验。采用 10 Gb/s NRZ 码传输 35 km 之后, 在 10^{-12} 误码率条件下功率代价小于 1 dB。

上述结果充分证明 IEL 结构集成光源不仅具有结构简单、减少外延次数等的优点, 而且同样可以实现优异的器件特性, 本论文研制的 10 Gb/s DFB 激光器/EA 调制器集成光源器件已基本达到 10 Gb/s 传输系统的要求。

第四章 40 Gb/s SOA/EA调制器集成器件的管芯制作技术研究

本章首先对调制器及其集成器件的高频等效电路进行研究。在此等效电路中, EA 调制器的电容是决定器件速度最关键的因素。要实现 40 Gb/s 调制速度, 必须进一步减小调制器电容。但我们发现, 如果沿用原有 EA 调制器结构, 要减小电容会导致与提高器件可靠性的矛盾。

本章讨论了减小器件电极电容的绝缘层平面化方案, 确定采用基于厚 SiO_2 绝缘层的平面化工艺。采用绝缘层平面化, 既有利于减小电极电容, 又可提高电极可靠性、减小串联电阻。本章通过比较减小结区电容的几个方案, 由此确定采用 ICP 干法刻蚀技术制作窄条高脊结构, 并提出制作工艺的改进方案。

本章将给出制作 40 Gb/s SOA/EA 调制器的整套管芯制作流程, 并对制作的集成器件管芯的静态特性进行介绍。本论文提出采用 EA 端输出的 SOA 自发辐射谱峰用以确定集成器件的工作波长, 并与实验测试结果、文献报道方法进行比较。

4.1 40 Gb/s调制速度对EA调制器管芯制作技术的挑战

4.1.1 减小器件电容的目标

第一章已经指出, EA 调制器的速度提高意味着必须设法不断减小器件电容。从 2.5 Gb/s 提高到 40 Gb/s, 速度提高到原来的 16 倍, 器件电容则要求降低到原来的 $1/16$ 。伴随着调制速度的提高, 有可能存在新的制约因素影响 EA 调制器的速度。因此, 下面我们仔细分析制约调制器速度的几个重要因素, 确认在 40 GHz 频率范围内哪些因素会影响到 EA 调制器。

首先讨论激子吸收响应时间的限制。对于多量子阱 EA 调制器, 其工作原理是基于激子吸收在外场作用产生的 QCSE 效应, 因此激子吸收响应速度是 EA 调制器速度的极限。Schmitt-Rink 等人指出, 激子吸收响应时间大约在 50 fs 的量级^[80], 这个时间远远小于 40 GHz 信号的周期 25 ps。因此,

设计 EA 调制器不必考虑激子吸收响应时间的因素。

其次是光波通过波导的渡越时间。集总型 EA 调制器的长度较短, 约为 $100\ \mu\text{m}$ 。通常调制器波导的折射率为 3.5 左右, 因此光波通过调制器的时间约等于 $1.2\ \text{ps}$, 远远小于 $40\ \text{GHz}$ 信号的周期 $25\ \text{ps}$ 。因此光波渡越时间对调制器速度的影响也可忽略不计。

为进一步研究影响集成光源器件调制速率的关键因素, 我们对器件的等效电路进行分析。图 4-1 所示的是集成器件的等效电路图, 其中分为三个部分: EA 调制器部分, 隔离电阻和激光器部分。EA 调制器工作在反向截止状态, 其电路参数包括电极电容 C_P , 串联电阻 R_S , 结区电容 C_J , 反向电阻 R_J 和光生电流 I_0 。激光器工作在正向导通状态下, 其电路参数可以等效为串联电阻 R_{SLD} 和电极电容 C_{PLD} 。两者之间有隔离电阻 R_I 。

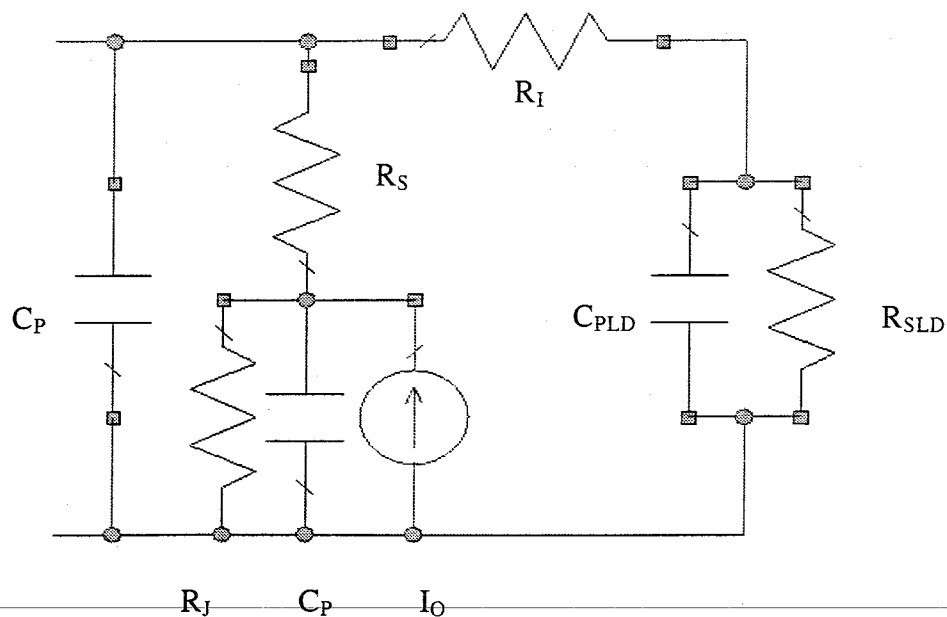


图 4-1 集成器件的等效电路示意图

当隔离电阻 R_I 很大时, 激光器对调制器的电路影响可忽略不计。设激光器串联电阻 $R_{\text{SLD}} = 5\ \Omega$, 电极电容 $C_{\text{PLD}} = 2\ \text{pF}$ 。图 4-2 所示的是根据不同隔离电阻计算得到的调制器响应曲线。从图中可以看出, 当隔离电阻大于 $10\ \text{k}\Omega$ 以后, 不同隔离电阻对应的调制器响应曲线差别非常小。也就是说, 隔离电阻大于 $10\ \text{k}\Omega$, 才能忽略激光器对调制器的影响, 这一结论和有关文

献的结果相吻合^[1]。在第三章已经提到,我们制作的集成器件中隔离电阻典型值大于 $100\text{ k}\Omega$,因此可以忽略激光器对 EA 调制特性的影响。

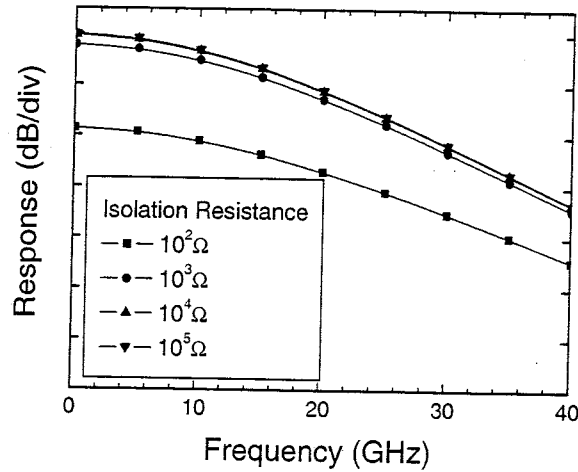


图 4-2 不同隔离电阻条件下 EA 调制器的响应曲线

由于 EA 调制器的漏电流很小,等效电阻在 $500\text{ k}\Omega\sim 1000\text{ k}\Omega$,对于调制器的调制响应影响很小,可以忽略不计。 I_0 对应的是调制器工作时的光生电流,由于 EA 调制器偏压增大时对光的吸收也增加,则光生电流也增加,因此可以将 I_0 等效成为电阻 R_0 。显然,光功率越强则 I_0 越大, R_0 越小。文献^[81]曾指出, R_0 对于 EA 调制器的带宽有影响, R_0 小则调制带宽增加。 R_0 大于 $1\text{ k}\Omega$ 之后,对 EA 调制器的调制带宽基本上影响很小。考虑到提高 EA 调制器调制带宽的余量,下面的分析都假设光生电流很小,忽略不计。

因此,集成器件的等效电路可忽略激光器部分,只考虑 EA 调制器部分。EA 调制器的等效电路现在只剩下三个重要参量:电极电容 C_P ,结区电容 C_J 和串联电阻 R_S 。定性地讲,减小任何一个参量都有利于提高 EA 调制器及其集成器件的调制速度。当串联电阻为 0 时,电极电容和结区电容并联相加为调制器电容 C 。也就是说对于调制器来说,在忽略其它因素的理想条件下可以等效于一个电容参数 C 。

我们在第一章已经提到,要满足 40 Gb/s 的调制速度,至少需要 30 GHz 的调制带宽。为了实现微波阻抗匹配,必须在调制器上并联一个 $50\text{ }\Omega$ 的匹配电阻 R_L 。对于小信号调制带宽,调制带宽可以等效于在调制器结区电容

上的电压响应带宽。容易得到:

$$f_c = \frac{1}{\pi R_L C} \Rightarrow C = \frac{1}{\pi R_L f_c} = \frac{1}{\pi \times 50 \times 30 \times 10^9} = 0.21 \text{ pF} \quad (4.1)$$

换言之,要达到 40 Gb/s 的要求,调制器电容应当小于 0.2 pF 才能满足要求。倘若串联电阻增大,则需要进一步减小调制器电容。

4.1.2 提高器件速度与改善器件可靠性的矛盾

由于 EA 调制器的器件电容由电极电容和结区电容构成,若要进一步提高器件调制速率,必须从减小这两部分的电容入手。

为减小电极电容,可以提高电极绝缘台的厚度。但是脊波导与电极绝缘台之间的深槽会导致侧壁的电极厚度减小,从而影响电极连接的可靠性,同时还会增大调制器的串联电阻,不利于提高调制器的速度。

要减小结区电容,就必须进一步减小脊波导结区宽度。由于减小脊宽会导致脊波导强度降低,造成脊波导在工艺过程中被损坏。同时,脊波导宽度的减小还会引起调制器串联电阻的上升。

因此,沿用原来的 EA 调制器器件结构势必遇到调制速度与器件可靠性之间的矛盾。

4.2 进一步减小EA调制器电容的方案选择

4.2.1 实现电极平面化、减小电极电容的方案选择

为了解决减小电极电容与保障器件电极可靠性之间的矛盾,可以采用绝缘层平面化工艺。这样可避免出现因深槽结构产生的侧壁电极变薄的现象,从而使电极连接更加可靠,并减小器件的串联电阻。同时,由于提高连接电极下面的绝缘层厚度,可以有效地减小电极电容。

本节提出几种可以实现电极平面化的方案,并根据实验结果讨论选择出可行的实施方案。

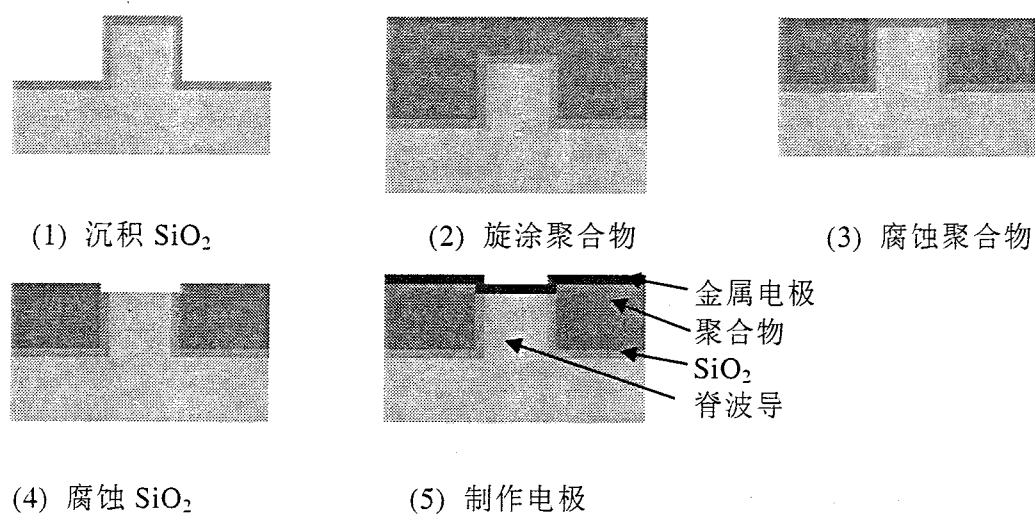


图 4-3 采用聚合物材料的电极平面化方案

图 4-3 所示的是采用聚合物材料实现平面化的方案。一般常用的低介电常数聚合物有 BCB 材料(介电常数 2.65)、聚酰亚胺(介电常数 3.6)和 PDMS 材料(介电常数 4)，其中最为常用的是聚酰亚胺。这里最关键的步骤是第(3)步，即对聚合物的腐蚀或者刻蚀。我们利用国产聚酰亚胺进行平面化工艺的尝试。然而，这种聚酰亚胺的表面附着力很差，内应力很大。在腐蚀到露出脊顶时，脊两侧的聚酰亚胺就因应力而发生收缩，从脊侧壁脱离，形成沟槽，导致平面化工艺失败。这种聚酰亚胺的另外一个严重缺点是它的介电常数很大，实验测得的介电常数超过 6，远远超过 3.6 的常规水平。由于没有找到国内其他厂家的聚合物产品，而国外的相关聚合物产品只能大批量购买而不提供试用，我们只好放弃采用聚酰亚胺等聚合物进行平面化的方案。

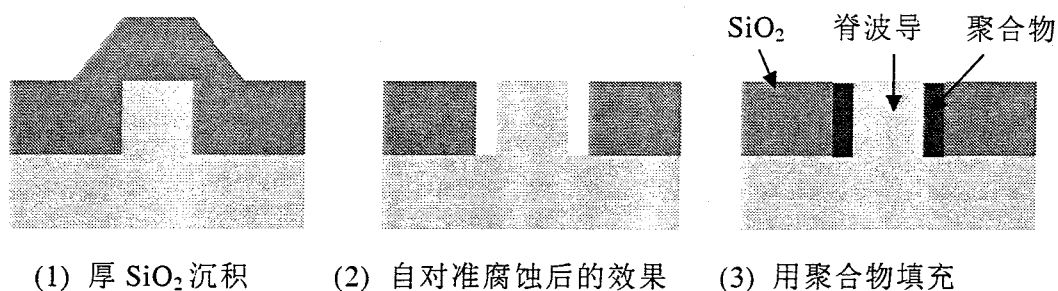
图 4-4 采用厚 SiO_2 实现平面化的方案

图 4-4 所示是实验室自主提出开发的绝缘层平面化方案。在自对准腐蚀完脊顶 SiO_2 之后，脊波导两侧因侧蚀出现深槽。可以采用绝缘聚合物将深槽填平，就可以实现绝缘层平面化。这一工艺技术是由本实验室王健同学为主开发的，故在此不对其具体工艺步骤进行详细的描述^[82]。

采用空气桥结构也可以实现电极平面化^[83]，但是和前面的方案相比而言，存在以下缺点：首先，空气桥结构的制作工艺相当复杂，需要进行电镀。其次，在制作过程中需要超声抬离，由于脊波导结构缺乏保护，容易造成脊波导的损坏，影响工艺的成品率。

因此，本论文选用基于厚 SiO_2 绝缘层的平面化工艺来减小器件的电极电容。根据估算，如果采用 $4\text{ }\mu\text{m}$ 厚的 SiO_2 厚绝缘台，EA 调制器电极电容可减小到 0.05 pF 的水平。

4.2.2 减小结区电容的方案选择

为了提高调制速率，还必须进一步减小结区宽度，以降低结区电容。虽然减小脊波导的宽度会降低其强度，但通过采用绝缘层平面化工艺可以对脊波导提供保护，从而避免脊波导结构在后续工艺中受到损坏。

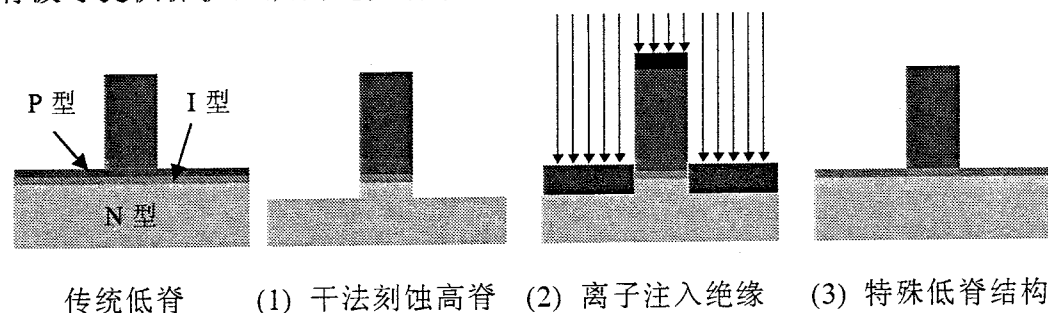


图 4-5 减小结区有效宽度的三个方案

图 4-5 所示的是减小结区电容的三个方案。方案 1 采用干法刻蚀技术制作高脊结构，而方案 2 和方案 3 是基于低脊结构的。

采用 ICP 干法刻蚀技术，一方面可以避免套刻工艺的困难，另一方面是容易获得较深的刻蚀深度，便于实现厚的绝缘层。为了进一步减小高脊波导宽度和增加刻蚀深度，需要对掩膜制备工艺和刻蚀条件进行改进优化。

为了增加刻蚀深度,要求增加介质掩膜厚度。如果采用湿法腐蚀工艺制作掩膜,则会出现较为严重的侧蚀问题,最终影响干法刻蚀得到的侧壁垂直度。为此,需要改用干法刻蚀工艺制作介质掩膜以避免侧蚀问题。同时,为了实现垂直的刻蚀侧壁,并减少侧蚀表面的损伤,需要对 ICP 干法刻蚀工艺进行优化^[84,85]。

第二种方案的原理是用离子注入的办法使半导体材料绝缘,电场只存在于脊波导区,也就是说结区有效宽度减小到脊波导宽度。这种方法可能存在的问题是离子注入时存在横向散射,从而造成脊波导内有源层受到损伤。为了考察离子注入对有源层的损伤,我们在同一片材料上制作了脊波导激光器,其中一半经过了离子注入轰击,另外一半用厚光刻胶掩膜加以保护。结果发现经过离子注入后的器件均不激射,而没有经过离子注入的器件正常激射。这个实验证实了上面的估计,即脊波导的有源层因侧向散射而被破坏。采用这个方案来减小结区电容,会造成器件失效。

第三种方案的实质是将 P-I-N 结的 P 层宽度减小,从而达到减小结区电容的目的。Oki 的文献报道^[26]就是采用这种方案的低脊波导结构来减小电容。这种方案的好处是可以通过制作倒台型脊波导,在减小底部脊宽的同时保持较宽的脊顶宽度,从而有效减小串联电阻。采用低脊波导的缺点是脊高受到限制,因而绝缘层厚度和电极电容也受到一定限制。我们制作了脊底宽度小于 $1\text{ }\mu\text{m}$ 的倒台型低脊波导结构,其脊外的 P 型层材料全部去掉。结果 $100\text{ }\mu\text{m}$ 长的结区电容约为 0.08 pF 。

相比起来,干法刻蚀方案不仅利于结区电容的降低,同时也有利于电极电容的降低,因此本论文选择干法刻蚀方案,以进一步减小 EA 调制器电容,从而实现 40 Gb/s EA 调制器及其集成器件。第三种低脊波导方案可作为备选方案,在特殊情况下用来减小结区电容。根据估算,采用 $2\text{ }\mu\text{m}$ 宽的高脊波导,长度为 $100\text{ }\mu\text{m}$ 的结区电容约为 0.08 pF 。

图 4-6 所示的是采用上述方案制作的 SOA/EA 调制器集成器件的结构示意图。器件采用同一次外延的多量子阱材料同时作为 SOA 的增益层和 EA 调制器的吸收层。由于无需多次外延,器件结构和制作工艺大为简化。

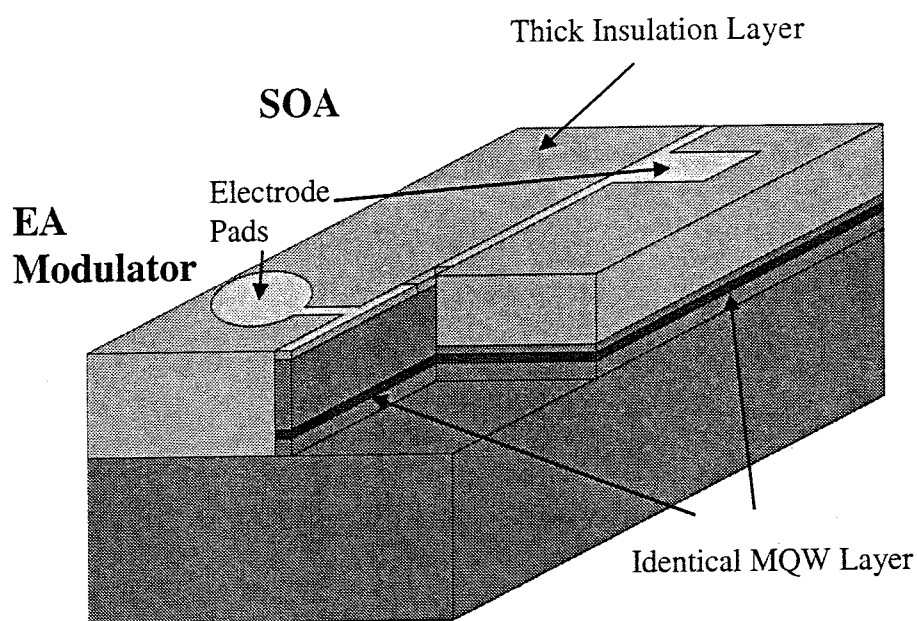


图 4-6 采用同一外延层结构的 SOA/EA 调制器集成器件结构示意图

4.3 40 Gb/s集成器件的制作工艺流程

图 4-7 是 40 Gb/s SOA/EA 调制器集成器件的制作工艺流程，分为 9 个步骤。下面分别加以介绍：

1、材料外延。采用同一外延层结构的 SOA/EA 调制器集成器件无需多次外延工艺，结构极为简单，工艺大为简化。利用 MOCVD 设备在 n^+ -InP 衬底上依次生长 n-InP 缓冲层、InGaAsP 下波导层、InGaAsP 应变多量子阱有源层(5 周期，阱宽 10 nm，垒宽 10 nm)、InGaAsP 上波导层、p-InP 上限制层 I、InGaAsP 腐蚀停止层、p-InP 上限制层 II(1.5 ~ 1.7 μm)和 p^+ -InGaAs 欧姆接触层。

2、湿法腐蚀低脊波导结构。采用 SiN_x 膜作为腐蚀脊波导的掩膜，宽度约 2 μm 。首先用选择性腐蚀液($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$)腐蚀掉 InGaAs 欧姆接触层，然后用选择性腐蚀液($\text{HCl}:\text{H}_2\text{O}=3:1$)腐蚀 InP 限制层，直到露出 InGaAsP 腐蚀停止层。低脊波导的刻蚀深度约 1.8 μm 。

如图 4-7 (2)所示，激光器和调制器都被腐蚀成低脊波导结构，脊两侧的

半导体材料均被去掉,以便于实现电极平面化。 SiN_x 掩膜厚度为 600 nm 左右,采用 SF_6 干法刻蚀工艺制作出宽度为 2 μm 的脊条掩膜^[85.86]。

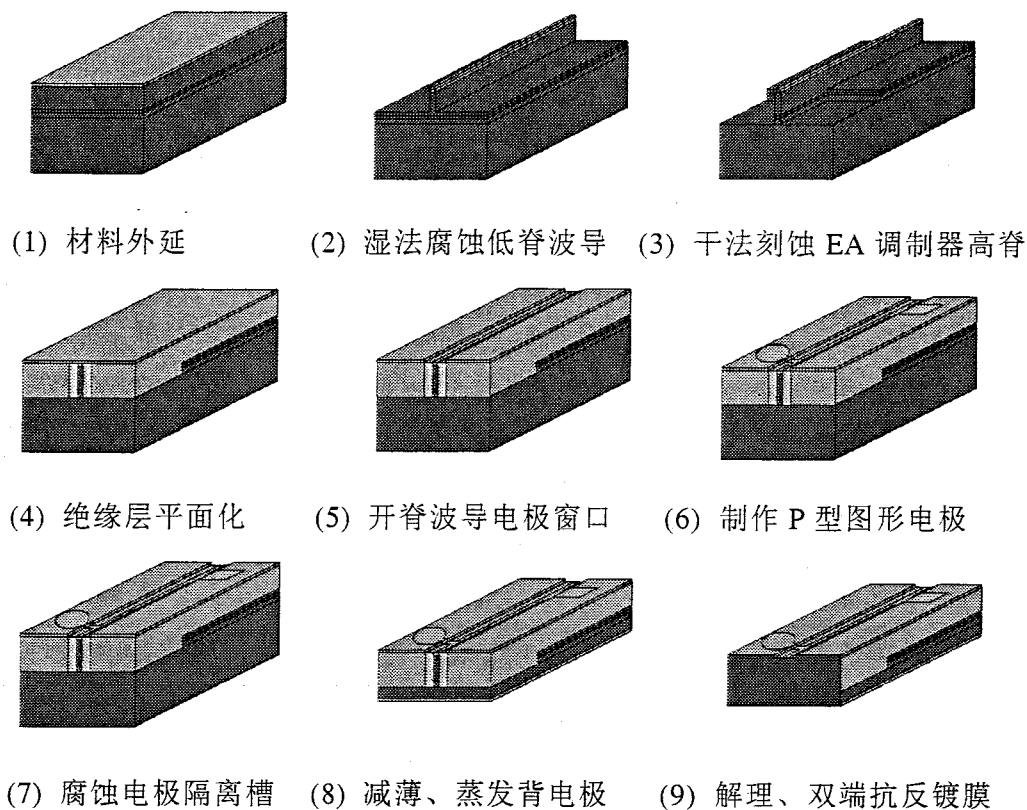


图 4-7 SOA/EA 调制器集成器件的管芯制作工艺简图

3、干法刻蚀 EA 调制高脊结构。如图 4-7 (3)所示,在上面低脊波导的基础上,采用 ICP 干法刻蚀技术继续加深刻蚀。刻蚀掩膜就是前面的 SiN_x 脊波导掩膜,在 EA 调制器部分的刻蚀深度总共达到 4 μm 。为保证脊波导侧壁光滑、垂直,采用的 ICP 刻蚀工艺参数经过了仔细地优化^[84.85]。SOA 部分采用 AZ5214E (旋涂速度 3000 rpm)光刻胶覆盖保护,为增强光刻胶抗刻蚀能力,光刻胶经过后烘之后再加热到 300℃烘烤 20 分钟固化^[86]。

4、绝缘层平面化工艺。利用 PECVD 技术沉积厚 SiO_2 绝缘膜,使 EA 调制器的电极绝缘层厚度达到 4 μm , SOA 低脊波导区的电极绝缘层厚度达到 2 μm 。如图 4-7 (4)所示,采用实验室自主开发的绝缘层平面化工艺^[82],将脊波导两侧用 SiO_2 等绝缘介质填平。

5、开脊波导电极窗口。利用套刻、腐蚀的方法将脊波导顶上的 SiO_2 薄绝缘层去掉，露出 InGaAs 欧姆接触层。

6、制作 P 型图形电极。电极材料采用热蒸发的 Cr/AuZn 材料，厚度约 300 nm。由于脊宽很窄，为避免因电极附着差而脱落，蒸发时提高衬底加热温度，并延长加热时间。由于衬底加热温度的提高，采用抬离工艺制作图形电极将很困难，因而选用腐蚀的方法制作图形电极。在对 AuZn 材料的腐蚀时，采用稀释的 $\text{I}_2:\text{KI}$ 腐蚀液($\text{I}_2:\text{KI}:\text{H}_2\text{O}=1:1:20$)以抑制侧蚀。

7、腐蚀电极隔离槽。将 SOA 和调制器之间的金属电极腐蚀掉，再用选择性腐蚀液($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=3:1:1$)腐蚀掉 SOA 与调制器之间的 InGaAs 欧姆接触层，形成 50 μm 宽的电极隔离槽。

8、减薄、蒸背电极。将器件厚度减薄到约 100 μm 后，采用热蒸发的方法制作背电极。金属材料选用 AuGeNi 材料，厚度约 100 nm。

9、解理、双端镀抗反膜。背电极制作之后，将外延片解理为条状集成器件阵列。然后采用实验室自主开发的端面抗反射镀膜工艺^[87]，对 EA 调制器和 SOA 端面进行双端抗反射镀膜，镀膜后端面反射率小于 1%。

4.5 SOA/EA集成器件的静态特性测试

SOA/EA 集成器件的静态特性主要包括消光比特性和光纤到光纤的损耗补偿特性。由于 SOA/EA 集成器件本身不带激光光源，测试中采用 Santec TSL-210 可调谐光源作为激光光源。从激光器输出的激光经拉锥光纤耦合到 SOA 波导，再利用拉锥光纤将 EA 端的输出光耦合出来至光谱仪或高速光探测器。

我们首先研究了器件工作波长对消光比和插入损耗的影响。我们注意到两端输出的 SOA 的自发辐射谱明显不同，如图 4-8 所示(SOA 注入电流 60 mA，EA 调制器偏置电压 0 V)。从 EA 端面输出的自发辐射谱经过了 EA 调制器的吸收，因此在短波长部分自发辐射被明显抑制，而长波长部分和原本的自发辐射谱很相似。EA 端输出的自发辐射谱峰在 1525 nm 附近。对于该波长的入射光，SOA 部分的增益较高，同时 EA 部分的插入损耗较小，

因此从输出光功率上考虑,这是最优的工作波长。根据光电流谱的测量结果,量子阱材料的激子吸收峰波长在 1492 nm。文献^[1,10]曾经指出,对于集成光源的静态特性优化,最优化波长红移量在 30~40 nm。1525 nm 的波长正好处在这个范围内,也就说我们根据 EA 端自发辐射谱峰值确定工作波长范围的结论,和利用其他方法的优化结论是一致的。

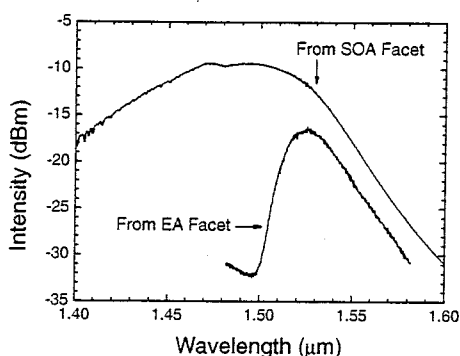


图 4-8 集成器件的自发辐射谱

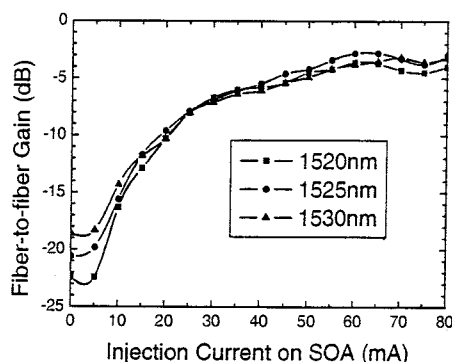


图 4-9 集成器件的光纤到光纤增益特性

图 4-9 所示的是一个典型的 SOA/EA 集成器件的光纤到光纤增益特性。激光器输出光功率为 0 dBm, SOA 部分的注入电流从 0 mA 增加到 80 mA, EA 调制器部分偏压保持为 0 V。对于 1525 nm 的入射波长,当注入 SOA 部分的注入电流为 60 mA 时,光纤到光纤损耗减小到 3 dB。值得注意的是,SOA 注入电流增大到 60 mA 之后,输出光功率并不再继续增加。我们认为这个现象与载流子的溢出有关。随着注入电流的增加,造成结温升高,载流子溢出增加。当注入电流增加到一定程度时,载流子增加与溢出平衡,载流子浓度不再增加,光增益出现饱和。

在我们的量子阱结构中,垒材料为 $Q_{1.25}$,对应的垒阱之间导带不连续性 ΔE_C 为 98 meV。由于导带不连续性小,再加上器件长度短(仅 400 μm),注入电流仅到 60 mA 就出现光增益饱和的现象。通过增大垒阱之间导带不连续性,可以增强载流子的限制,再采用较长的器件以改善 SOA 的增益特性。

消光比特性主要取决于工作波长与 EA 调制器的激子吸收峰之间的波长

红移量。图 4-10 所示是集成器件中 EA 调制器的消光比特性，调制器长度为 $70\text{ }\mu\text{m}$ ，激光器输出光功率 0 dBm ，SOA 注入电流 60 mA 。在工作波长为 1525 nm ，调制电压约 2 V 的情况实现最大消光比为 8.5 dB 。消光比较小的主要原因是在我们的调制器仅含有 5 个量子阱，造成光限制因子偏小。为了改善调制器的消光比特性，可以采用应变补偿技术，以增加 EA 调制器的量子阱数。

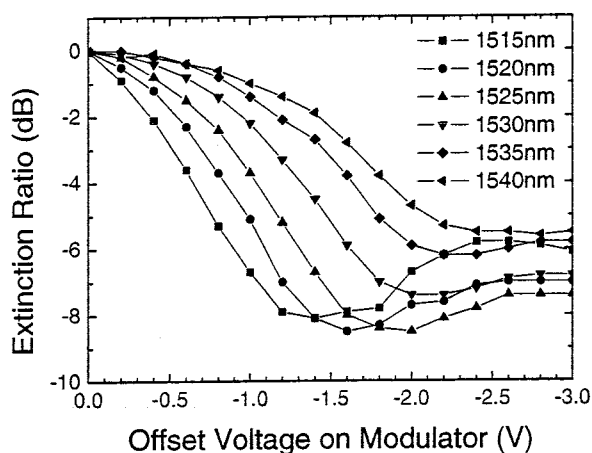


图 4-10 集成器件的 EA 调制器消光比特性

4.6 本章小结

本章就 40 Gb/s 调制速度对管芯提出的挑战、原有结构的困难、相应的改进方案、全套管芯制作工艺流程和器件静态特性进行了介绍。

40 Gb/s 调制速度要求 EA 调制器实现低于 0.2 pF 的总电容，因此必须继续改进器件结构和制作工艺以实行更小的 EA 调制器电容。由于在 10 Gb/s 集成器件中采用的 EA 调制器结构存在着提高调制速度和提高器件可靠性的矛盾，本论文讨论了几种绝缘层平面化方案以减小调制器电容，确定采用基于厚 SiO_2 的绝缘层平面化工艺，又分析了减小结区电容的几个方案，确定采用改进 ICP 干法刻蚀技术制作具有更窄的高脊波导结构。据估算，采用 $4\text{ }\mu\text{m}$ 厚 SiO_2 绝缘层，采用 $2\text{ }\mu\text{m}$ 宽高脊波导结构， $100\text{ }\mu\text{m}$ 长的

EA 调制器的电容可减小到 0.13 pF 水平。

本章给出制作 40 Gb/s SOA/EA 调制器集成器件的整套工艺流程，并对每个步骤进行介绍。器件制作完毕后，对集成器件的静态特性进行测试。根据 SOA/EA 集成光源的特点，摸索出一套快捷有效的双端光纤耦合方法，实现低损耗光纤耦合。根据 EA 端输出的 SOA 自发辐射谱峰值波长确定出器件工作波长在 1525nm 附近。器件在 1525nm 波长获得最大消光比 8.5 dB，最小光纤到光纤耦合损耗 3 dB，结果证明所确定的工作波长上可获得大的光增益和大的消光比特性，对应的波长红移量为 33nm，与文献曾给出的 30~40 nm 的最佳红移量吻合。

第五章 面向40 Gb/s集成光源的高速热沉研制

本章的任务是研制面向 40 Gb/s 高速 EA 调制器及其集成器件的过渡热沉, 关键在于实现低损耗的微波传送波导和良好的阻抗匹配, 从而为实现 EA 调制器的超高调制速度奠定基础。本章通过分析高速热沉的主要技术难点, 将研究重点定在研制低损耗共面波导传输线结构和改善薄膜电阻的宽带匹配特性。我们通过理论计算加实验优化的方法确定低损耗共面波导的结构参数, 并进行实验验证。同时, 采用 Ta_2N 薄膜电阻用于制作微波匹配电阻, 以实现良好阻抗匹配。在上述工作基础上, 制作出完整高速热沉, 并通过实验测试对其微波特性进行评测。

5.1 实现40 Gb/s集成光源高速热沉的技术难点

5.1.1 为实现40 Gb/s调制速度的高速过渡热沉

40 Gb/s 高速光源的实现不仅仅取决于器件电容等管芯内部因素, 而且跟器件的封装有非常密切的关系。光电子器件封装的第一步是管芯级封装, 即先将器件焊在过渡热沉上, 再通过引线将器件焊盘与热沉上的电路连起来。因此, 管芯级封装的质量好坏, 将严重影响最终的器件特性。可以通过管芯级测试对器件的特性进行初步测评, 分析管芯电容等关键参数, 以方便迅速地为器件管芯的设计、制作提供有价值的反馈。而管芯级封装、测试的基本条件就是要有高质量的过渡热沉。

为了把外部的微波调制信号有效地传递到器件上, 过渡热沉上的微波电路必须具有良好的微波特性, 即微波传输损耗小、微波反射系数小。在 10 Gb/s 以下的器件封装中, 一般可沿用过去的集总参数电路的设计, 对器件特性有一定影响但并不严重^[88], 然而, 当频率高于 20 GHz 时可能产生严重的微波反射, 因此这种热沉电路不能适用于 40 Gb/s 器件的封装。由于在 40 Gb/s 条件下, 微波信号的最短波长已可与过渡热沉尺寸相比拟, 所以必须考虑采用分布参数电路来设计, 即采用微波波导的方式来传输微波信号,