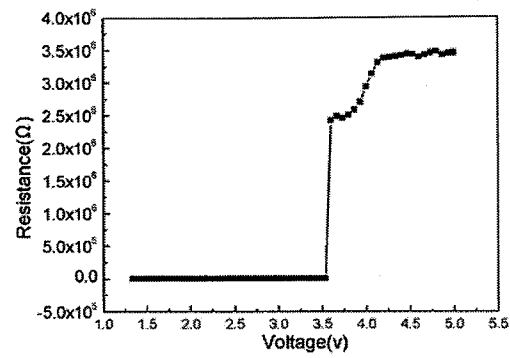
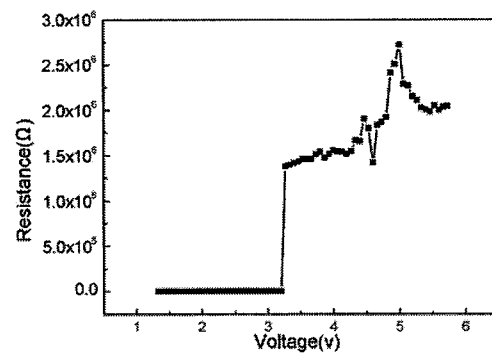
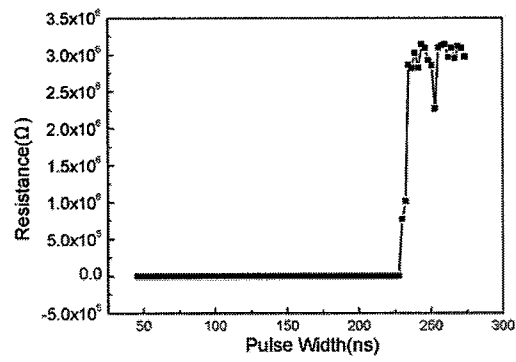




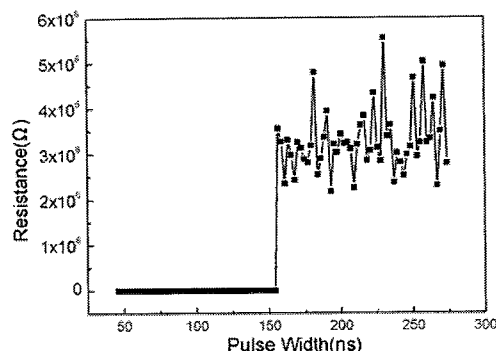
(A)



(B)



(C)



(D)

图 7.18 RESET 操作时电阻与电压脉冲宽度、幅度的关系曲线

(A, B: RESET 电阻与脉冲宽度的关系; C, D: RESET 电阻与脉冲幅度的关系;

其中, A, C 为 GST 单元; B, D 为 ST 单元)

7.4 器件相变过程分析

当对器件单元施加一个能量信号使其转为低阻的多晶状态时,在相变材料内部通常有两个过程发生,即成核与晶体生长。这两个过程与器件的操作速度和可靠性紧密相连,在实际应用中总是需要一个折衷性的处理。编程时间的降低有利于提高器件的工作速度,通常是采用降低成核时间来获取更快的速度,对于成核时间的降低方式常采用预成核方法实现。在 OUM 结构中,当进行 SET 操作时,部分处于多晶态的相变材料电阻很低,可以作为一个虚拟的电极使用;同时这些多晶部分的材料可以促进其他非晶态材料的快速结晶。相变合金多晶态的电阻率通常是很低的,在 $10\text{m}\Omega\cdot\text{cm}$ 左右。

晶体的生长速率与编程温度有很强的关联性,因此选择适当的温度可以极大的降低 SET 操作的时间。随着温度的升高晶体熔化过程与结晶速率的加快之间存在一种竞争机制,当温度点选择适当的时候可以获得较快的晶体生长速率从而降低 SET 操作的时间。

在 RESET 操作中,快速非晶化是器件能够正常工作的一个重要特性。依据材料体系的不同,在几十到几百纳秒的时间内可以完成非晶化操作,使器件的电阻值上升到几百千欧姆以上。在多晶转变到非晶的过程中需要外加足够的能量使编程单元的材料温度上升到熔点温度,随后的快速结晶过程将使器件转变为非晶态。在器件操作中需要将编程电流尽可能的降低,通过选取合适的绝热材料可以满足这些要求,但是这也将使得器件的热常数随之增加。这也就是说,为了使相变材料能够全部熔化而快速结晶,外加非常窄的 RESET 脉冲,则需要很高的脉冲幅度。

7.5 本章小结

本章制备了两种纵向结构的存储单元,一是电极小型化的结构,二是相变材料小

型化的结构。在电极小型化的结构中, 考证两种相变材料器件的性能, 即 GST 与 ST 单元器件性能。测试表明, 发生相变时的临界点分别是 GST: $51\mu\text{A}$, 4V ; ST: $23\mu\text{A}$, 3.9V 。由图中可知, 阈值电压较高为 4V 左右, 主要是由于初始态电阻很高的原因, 但是阈值电流是较低的。晶化操作时脉冲宽度与幅度分别是: 190ns 、 2.4V (GST 单元) 和 135ns 、 1.26V (ST 单元), ST 单元发生相变时的脉冲宽度比 GST 单元低 55ns , 电压幅度也比 GST 单元低 1.14V 。对相变材料小型化器件的测试得出, I-V 扫描时阈值量为 GST: $193\mu\text{A}$, 6V ; ST: $103\mu\text{A}$, 4.8V ; SET 操作时, 当电压大于 3.7V (GST 单元) 与 2.3V (ST 单元) 时, 相变发生; 与电极小型化结构相比较, 相变临界值较大, 脉冲宽度加大 140ns , 脉冲电压幅度加大 1.3V 。

第八章. 含 ZrO_2 绝热层存储单元的制备及测试

8.1 引言

由上节的器件分析可知, 在 RESET 过程中, 选取适当的绝热材料可以有效的降低编程电流。表 8.1 是相变存储单元中常用材料的热导率。

表 8.1 材料热导率

Material	K (W/cm K)
SiO_x	$1.4\text{E-}02$
SiN_x	$2.0\text{E-}02$
GST225(xtal)	$5.3\text{E-}03$
ZnS-SiO_2	$5.8\text{E-}03$

在器件单元中, 电极通常是埋嵌在绝热层之中的, 常用的绝热层材料是 SiO_x 。对绝热层材料的要求是低电导率和低热导率, 与相变层具有较好的黏附性, 并且在相变材料的熔化点温度附近不与相变材料发生化学反应。我们通常认为 SiO_x 和 SiN_x 是较好的绝热材料, 但是与 GST225 相比较它们的热导率要高很多。 SiN_x 的热导率比 SiO_x 的热导率要高 60%。 ZnS-SiO_2 是 ZnS 微晶粒分散在 SiO_2 中而得, 这种绝热材料在相变光盘中得到了较为广泛得应用, 但是在半导体工业中却难以应用。

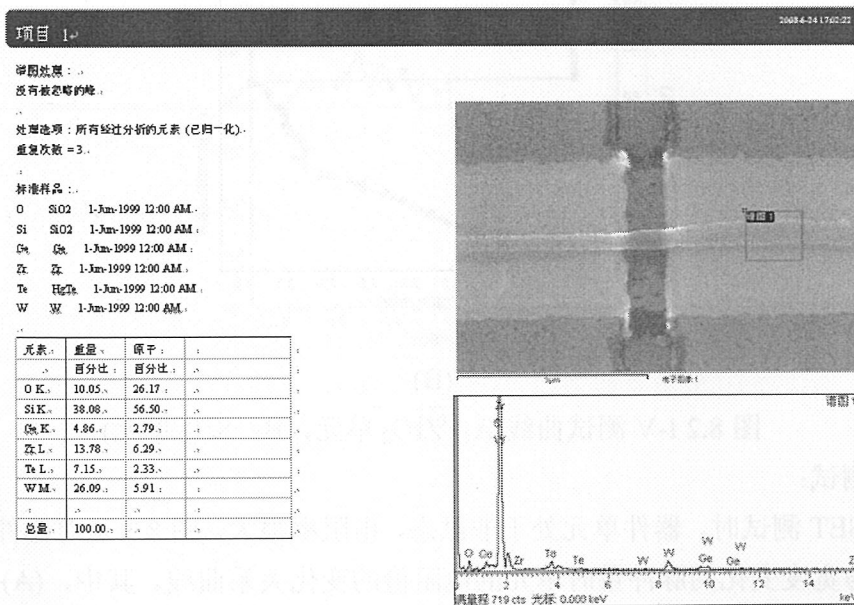
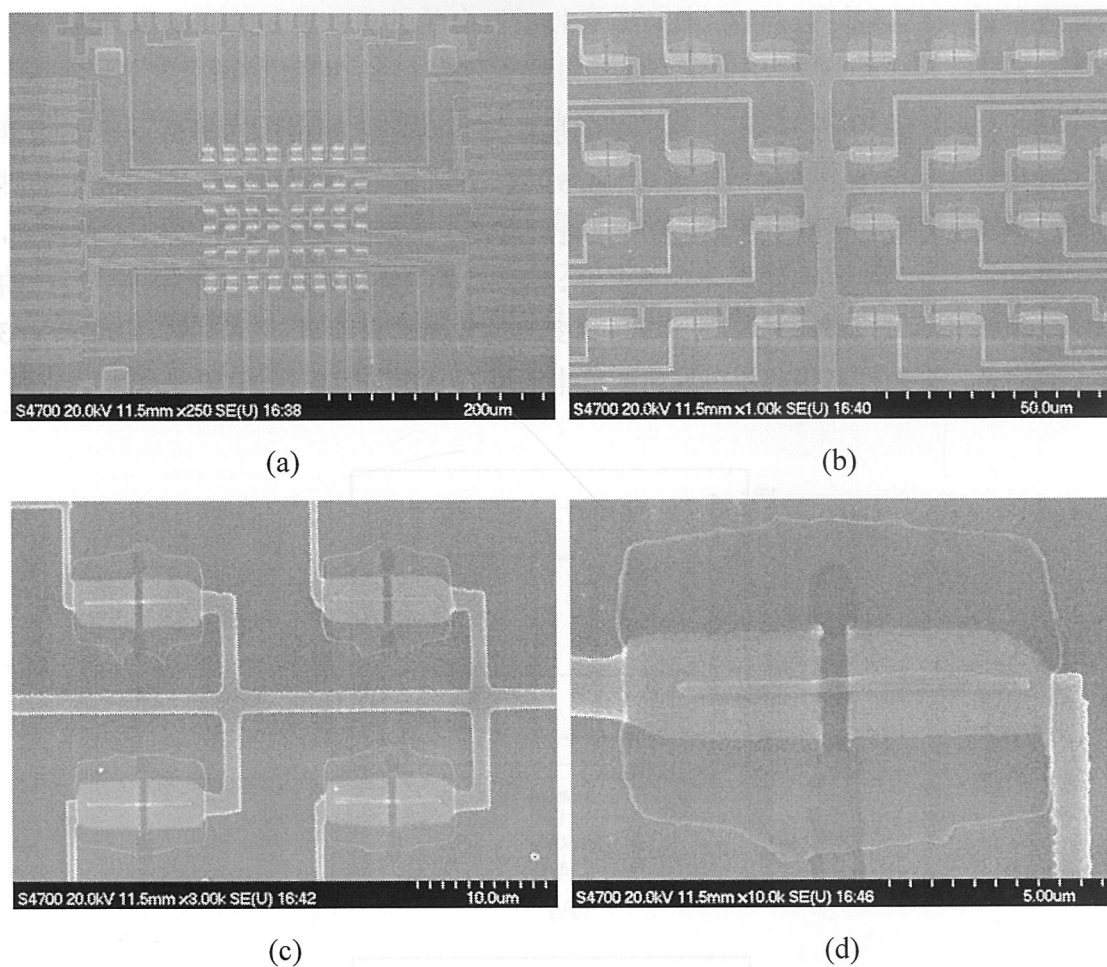
ZrO_2 薄膜广泛应用于发动机的绝热处理中, 具有极好的高温性能以及很低的热导率。用气相沉积制备的 ZrO_2 薄膜其平均晶粒尺度可以达到纳米级别, 绝热性能更佳, 晶粒度为 51nm 时其热导率为 4.74×10^{-3} [W/(cm K)]。这个值比 ZnS-SiO_2 的热导率还要低。本章研究了以 ZrO_2 为绝热层时器件单元的存储性能。

8.2 ZrO_2 绝热层用于横向结构存储单元

8.2.1 结构制备

参见前述横向结构相变存储单元制备章节, 这里不再详述。

在结构制备完成之后, 将一组样品上沉积 100nm 厚的 ZrO_2 , 作为绝热层; 另一组样品上先沉积 100nm 厚的氧化硅绝热层, 作为对比单元。制备完成的含有 ZrO_2 绝热层的器件单元如图 8.1 所示。由图 8.1(e) 的 EDX 谱图可以看出器件中的确含有 ZrO_2 层。



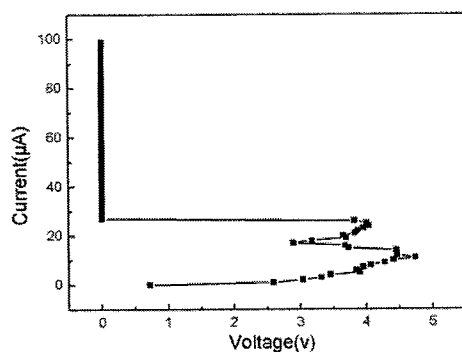
(e)

图 8.1 ZrO_2 绝热层结构单元, (a)、(b)、(c)、(d) 为阵列单元及相应部分的放大 SEM 图; (e) 是单元上一点的 EDX 图谱

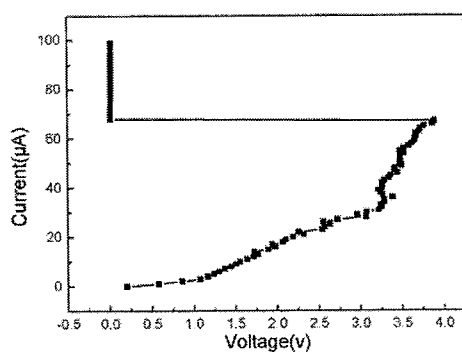
8.2.2 器件电性能测试

I-V 测试:

采用加电流测电压的方式，不同绝热层单元的 I-V 特性如图 8.2 所示。测试前器件的初始状态均为非晶态。当电流达到 $26\ \mu\text{A}$ (ZrO_2 单元), $63\ \mu\text{A}$ (SiO_2 单元) 的时候, 器件两端的电压突然降低, 说明单元电阻发生了急剧的变化, 材料发生了相转变, 由初始的非晶态转变为低电阻率的多晶态。图 8.2 中 (A) 是 ZrO_2 单元的 I-V 特性曲线, (B) 是 SiO_2 单元的 I-V 曲线, 发生相变时的临界点分别是: ($26\ \mu\text{A}$, 3.8V); ($63\ \mu\text{A}$, 3.7V)。可知, 新绝热层可以将阈值电流降低 60%。



(A)



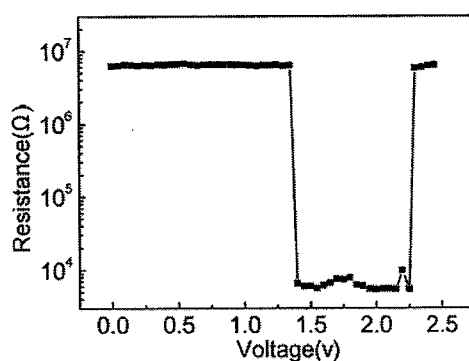
(B)

图 8.2 I-V 测试曲线(A: ZrO_2 单元, B: SiO_2 单元)

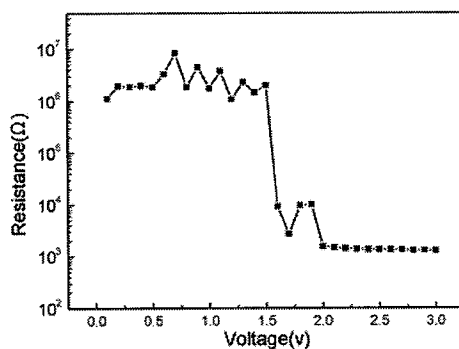
SET 操作测试:

进行 SET 测试时, 器件单元处于非晶态, 电阻率很大。图 8.3 是对器件单元施加幅值变化与宽度变化的脉冲量时单元的电阻值的变化关系曲线。其中, (A)、(B) 是电阻与脉冲幅度的关系曲线; (C)、(D) 是电阻与脉冲宽度的关系曲线; (A)、(C) 为 ZrO_2 单元, (B)、(D) 为 SiO_2 单元。当测试 SET 电阻与脉冲电压幅度关系时, 施加的脉冲电压的宽度为: 200ns , 脉冲幅度起始值为 0V , 步长为 0.1V ; 当测试脉冲宽度与

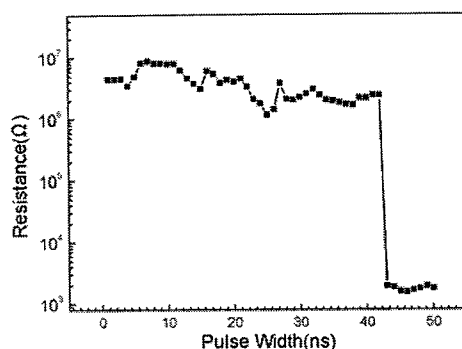
电阻值关系曲线的时候,施加的电压脉冲量幅度为 3.8v, 测量时脉冲起始宽度为 100ns, 脉冲宽度的增量为 3ns。测试单元的初始电阻为 10^6 , 随着电压幅度的升高电阻值会有一些波动,但还是维持在 $10^6 \Omega$ 上,当电压大于 1.3v(ZrO_2 单元)与 1.6v(SiO_2 单元)时,相变发生,电阻值急剧降低到几 k 左右。当施加脉冲宽度变化的电压量时,测量初始器件单元保持高阻状态,说明外加电压不足以全部熔化相变薄膜;随着脉冲宽度的增加,外加信号携带的能量随之增大,当达到 42ns (ZrO_2 单元)与 64ns (SiO_2 单元)时,电阻降低到 5k 左右,相变发生。新绝热层材料的引入,使得相变时的脉冲宽度降低 22ns, 电压降低 0.6v。



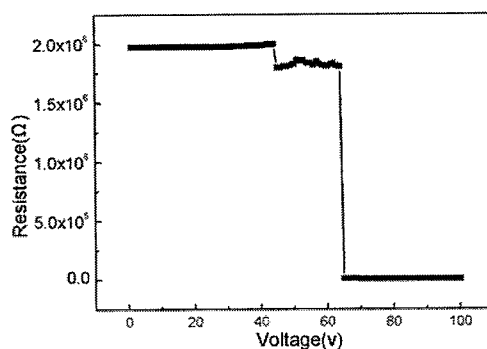
(A)



(B)



(C)



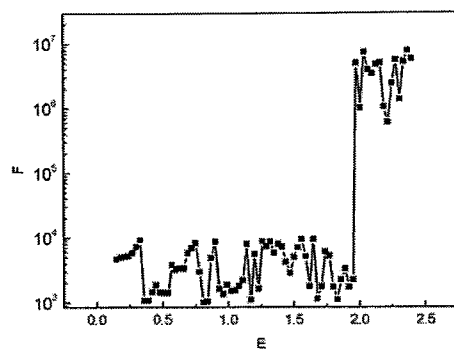
(D)

图 8.3 SET 操作电阻与脉冲宽度、幅度的关系

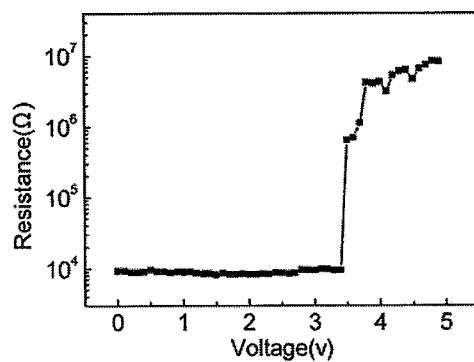
(A,B: 电阻与脉冲电压幅度的关系; C,D: 电阻与脉冲宽度的关系。其中 A,C 是 ZrO_2 单元, B,D 是 SiO_2 单元)

RESET 操作测试:

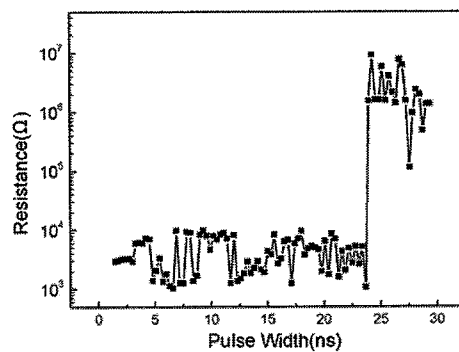
在执行RESET操作时, 首先对单元执行SET操作, 使器件单元变为低阻态。同样, RESET测试时施加的信号有两种: 幅度变化的电压脉冲与宽度变化的电压脉冲。测试结果如图8.4所示, 其中, (A), (B)是RESET电阻与脉冲幅度的关系曲线; (C), (D)是RESET电阻与脉冲电压宽度的关系。(A), (C)为 ZrO_2 单元, (B), (D)为 SiO_2 单元。在测量电阻与脉冲幅度的关系时, 施加的电压脉冲宽度为200ns, 电压步长为0.1V; 测定电阻与脉冲宽度的关系时, 施加的脉冲幅度为3.5V。由图8.4 (A)、(B)可知, 当电压幅度较小时, 单元处于低阻态, 这种低阻态将持续到相变临界电压值, 当电压值达到阈值电压1.9V (ZrO_2 单元)与3.4V(SiO_2 单元)时, 发生相变, 转变为高阻的非晶态。由图可知, ZrO_2 单元的高低阻值均有较大的波动, 可能是由于单元的相变层太薄而导致。对脉冲宽度变化的量而言, 其 ZrO_2 单元与 SiO_2 单元的临界值分别为: (24ns, 3.5V), (47ns, 3.5V), 氧化锆单元的RESET操作时间缩短23ns。



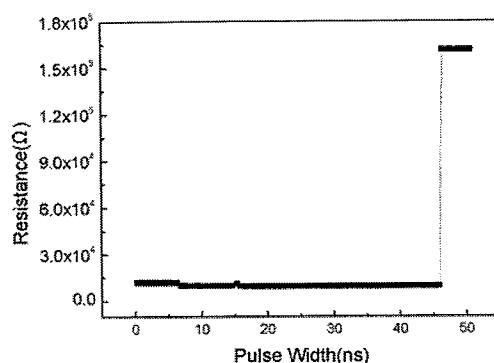
(A)



(B)



(C)



(D)

图 8.4 RESET 操作电阻与脉冲宽度、幅度的关系

(A,B: 电阻与脉冲电压幅度的关系; C,D: 电阻与脉冲电压宽度的关系。其中 A,C 是 ZrO_2 单元, B,D 是 SiO_2 单元)

8.3 本章小结

本章制备了含有 ZrO_2 新型绝热层的相变存储单元阵列。通过使用热导率更低高温性能更稳定的绝热材料, 提高器件操作过程中的热效率可以有效的降低功耗。与 SiO_2 单元的对比测试表明, ZrO_2 绝热材料的引入使 SET 操作电压降低 0.3V, 晶化操作时间缩短 22ns, 提高了 SET 操作的速度; 在 RESET 操作方面, 使非晶化操作电压降低 1.5V, 同时 RESET 操作时间也相应降低。由此可以看出, ZrO_2 绝热层有效地提高热效率降低器件功耗。

第九章 电极与相变材料小型化结构的制备

9.1 引言

在 C-RAM 器件结构研究的早期, 普遍采用的方法是减小相变材料的体积, 这种结构的示意图如图 9.1(a)所示。该结构的特点是相变材料与底电极的接触面积很小, 可使接触处的热量较为集中, 可以在较小的电压或电流下使材料发生相转变。另一种器件结构是采用电极小型化的方式如图 9.1(b)所示, 使得接触处电极的电流密度很高, 产生的焦耳热可以集中在较小的区域内, 从而降低了器件操作的功耗。

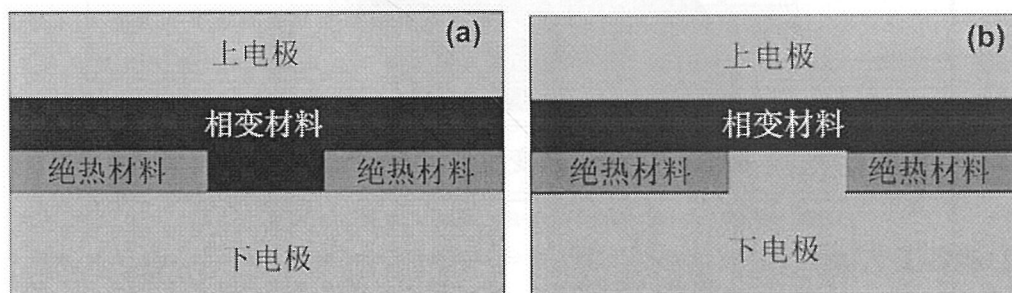


图 9.1 两种 C-RAM 器件结构^[24-26],

(a) 相变材料小型化结构; (b) 电极小型化结构

从上面的两种结构中可以看到, 在结构小型化的过程中只能将一种材料做小: 相变材料或者是电极材料。到目前为止还没有文献报道这种三明治式的电极—相变材料—电极结构中电极和相变材料均小型化的单元器件。在这种纵向结构中要实现电极与相变材料均小型化, 工艺上实现的难度是很大的。例如, 制备 100nm 特征尺寸的这种器件单元 (电极与相变材料的尺寸均为 100nm), 按标准对准工艺容差计算, 则要求光刻工艺对准精度为 17nm, 这在目前是不可实现的。

另外一种结构是 line cell 型的存储结构^[138], 由 philip 公司的研究人员在 2005 年时提出, 如图 9.2 所示。其主要特点是结构简单, 工艺上容易实现, 同时对电极材料的限制相比较 OUM 结构而言更少。对该结构的研究发现, 工艺上更容易实现电极和相变材料的小型化, 其结构示意图如图 9.3 所示, 将其称之为 NEPM 结构 (Nano-electrode and phase change metrial structure)。

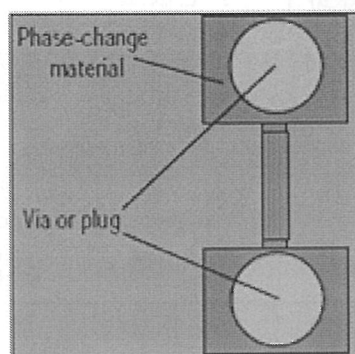


图 9.2 line cell 结构 (俯视图)

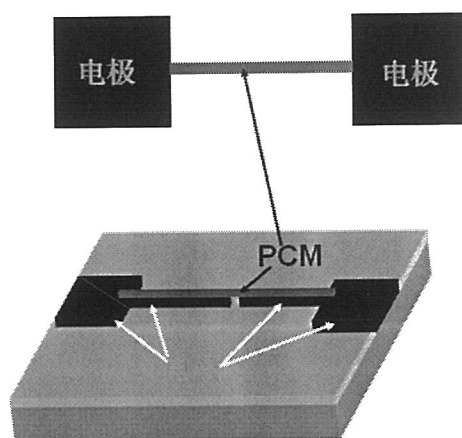


图 9.3 电极与相变材料均小型化结构

9.2 制备工艺

工艺流程如图 9.4 所示，使用混合曝光的方法来制备横向结构。在本实验中需使用两种抗蚀剂：正性抗蚀剂 PMMA（分子量 950K 和 495K）与负性抗蚀剂 SU8（Microchem 2035 系列）。

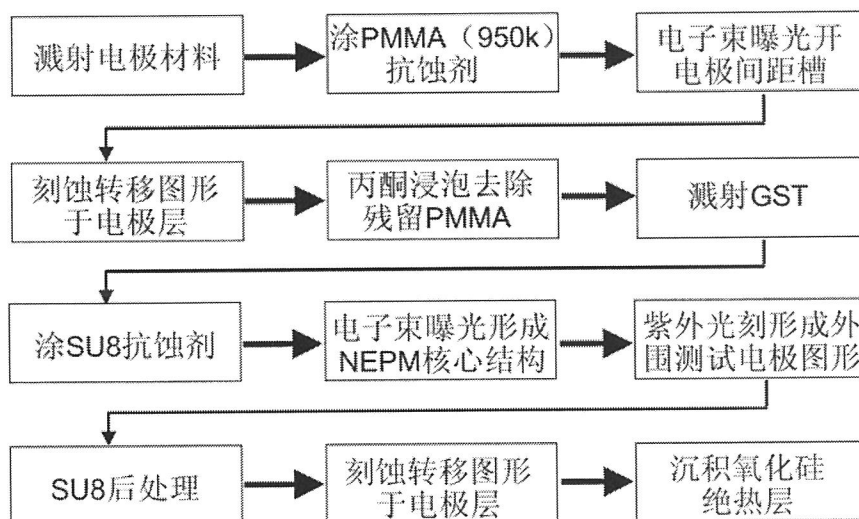


图 9.4 NEPM 结构制备工艺流程

9.2.1 相关实验设备

同 5.2.1

9.2.2 工艺版图设计

在此结构的制备中需要使用三次电子束曝光、一次紫外光刻，需要设计相应的四种图形结构来实现不同的目的。三次电子束曝光中，第一次曝光是制备电极间距以及混合光刻的标记层，该层曝光使用 PMMA（950K）抗蚀剂版图结构见图 5.4(a)；第二次电子束曝光制备 NEPM 核心结构图形，版图如图 9.5 所示；紫外光刻用于制备测

试部分的电极图形版图见图 5.4(d)，使用 SU8 作为抗蚀剂。为实现对准工艺需在图形发生器的软件上形成相应的标记位置（同 5.2.2）。

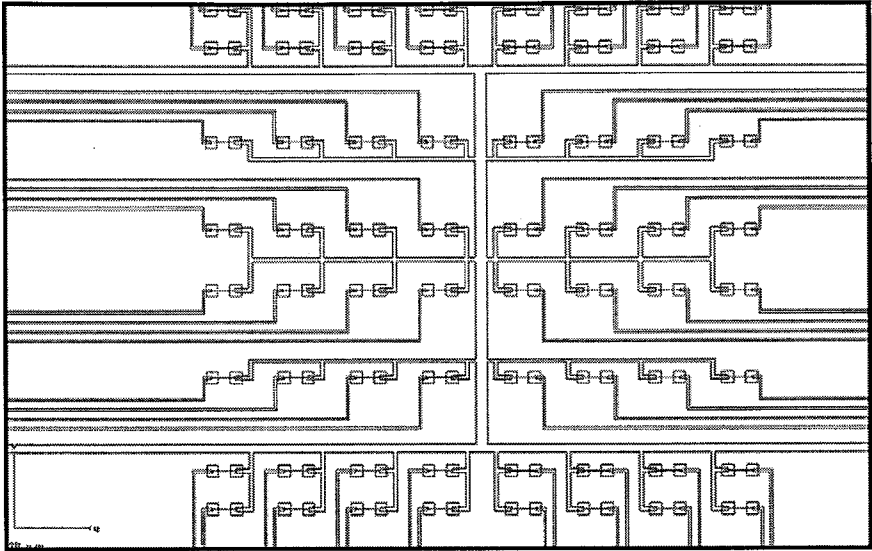


图 9.5 版图图形

9.2.3 具体工艺实现

- A. 清洗硅片：1#液、2#液；
- B. 烘干硅片：烘箱，180℃，30min；
- C. CVD 沉积 SiN，厚度控制在 350~400nm 之间，工艺参数如表 9.1 所示；

表 9.1 SiN 淀积参数

抽气时间 (min)	30	预备真空度 (Pa)	1.5	灯丝电压 (V)	10
NH ₃ 流量 (ml/min)	40	SiH ₄ 流量 (ml/min)	560	工作压强 (Pa)	50
极板电压 (kv)	1.1	极板电流 (mA)	57	基底温度 (℃)	200
RF 功率 (W)	62.7	淀积速率 (nm/min)	50	实际速率 (nm/min)	50
淀积时间 (min)	7		淀积厚度 (nm)	350	

- D. 磁控溅射沉积 W 电极层，其溅射参数如表 9.2 所示；

表 9.2 W 溅射工艺参数

薄膜样品	溅射气压 (Pa)	溅射功率 (W)	溅射速率 (nm/s)	薄膜厚度 (nm)
W	0.08	300	0.083	80

- E. 旋涂 PMMA 抗蚀剂：转速 2500rpm，时间 30sec；
- F. 前烘 PMMA 抗蚀剂：热板，温度 180℃，时间 10min；
- G. 第一次电子束光刻，制作混合曝光的标记以及电极结构，曝光参数设置如表

9.3 所示;

表 9.3 PMMA 曝光参数设置

电压 (kV)	束流 (pA)	工作距离 (mm)	剂量 ($\mu\text{C}/\text{cm}^2$)	灯丝电流 (μA)
30	5	5.4	150	76

H. 显影及定影: 显影液 (MIBK:IPA=1:3), 显影时间 2min, 定影液 IPA, 定影时间 1min, 氮气吹干样品;

I. 第一次刻蚀转移图形, 形成 W 上的对准标记以及电极结构, 使用 CF_3 和 Ar 的混合气体来刻蚀 W, 刻蚀参数如表 9.4 所示;

表 9.4 W 刻蚀工艺参数设置

气体	CHF ₃	Ar	刻蚀气压 (mTorr)	功率 (W)	偏压 (V)	刻蚀速率 (nm/min)
	(sccm)					
CHF ₃ /Ar	20	20	20	200	543	21

J. 丙酮浸泡样品 10min, 去除表面残留的 PMMA 抗蚀剂, 而后将样品清洗干净, 在 150°C 烘箱中烘烤 10min;

K. 溅射相变材料层, 厚度为 100nm, 具体参数如表 9.5 所示;

表 9.5 GST 沉积参数

薄膜样品	溅射气压 (Pa)	溅射功率 (W)	溅射速率 (nm/s)	薄膜厚度 (nm)
GST	0.12	200	0.67	100

L. 旋涂 SU8 抗蚀剂: 转速 3000rpm, 时间 30sec;

M. 前烘 SU8 抗蚀剂: 热板, 温度 95°C , 时间 2min;

N. 第二次电子束曝光: 制备 NEPM 核心结构图形, 具体参数如表 9.6 所示;

表 9.6 SU8 曝光参数

电压 (kV)	束流 (pA)	工作距离 (mm)	剂量 ($\mu\text{C}/\text{cm}^2$)	灯丝电流 (μA)
30	1.5	6.3	2.5	76

在进行第二次电子束曝光的时候, 首先要找到第一次曝光形成的对准标记, 然后打开图形发生器软件上形成的对准标记的设计位置, 移动工件台到合适的位置, 执行对准, 直到每次扫描的位置与设计位置的偏差尽可能的小为止。这一步是很关键的, 若对准不精确将导致图形位置的错位。

O. 紫外光刻, 制备测试电极部分;

这一步光刻时同样需要与第一次形成的标记对准, 由于制备的图形结构不是关键尺寸部分, 所以对这一部分的对准精度要求不是很高, 能达到 $2\sim 3\mu\text{m}$ 的精度即可。

P. 后烘 SU8 以及显影定影处理: 热板, 温度 90°C , 时间 10min; 显影液 PGMEI,

时间 3min; 定影液 IPA, 时间 1min; 氮气吹干样品;

Q. 刻蚀 GST、W 转移图形结构;

此步中需对 GST、W 共刻蚀, 对刻蚀控制要求较高, 刻蚀时间短则无法将电极层完全刻完; 刻蚀时间过长则抗蚀剂无法对 GST 形成有效的保护, 刻蚀形成的结构如图 9.6 所示。

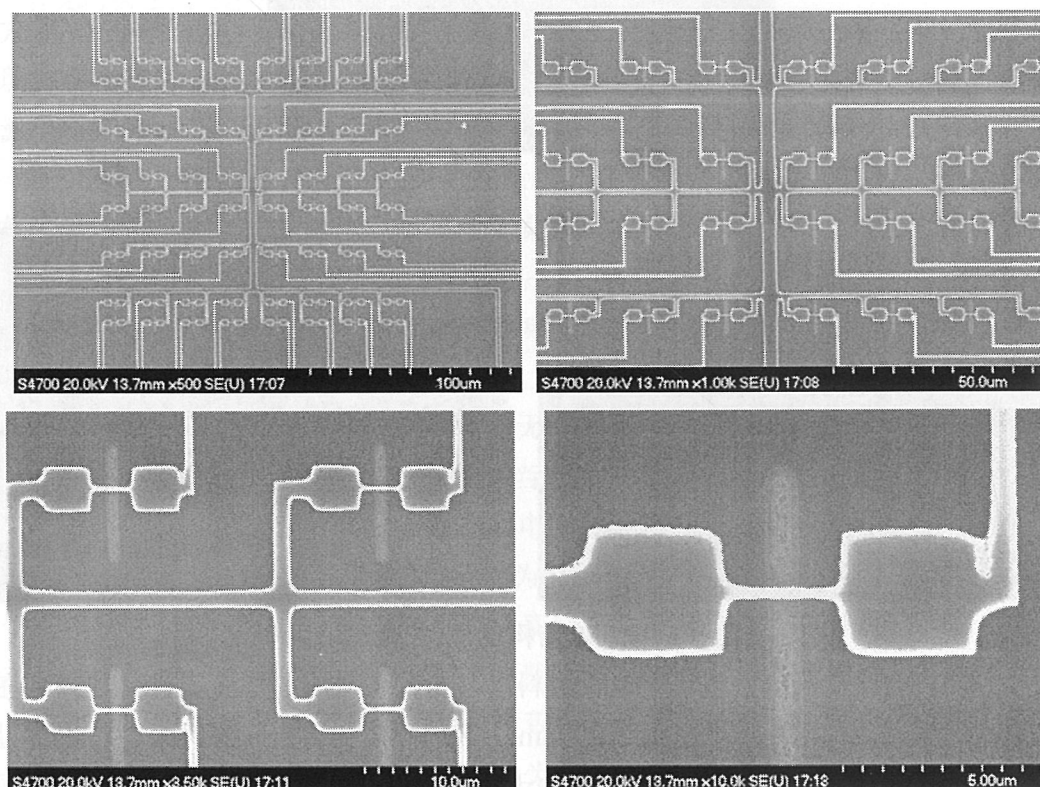


图 9.6 刻蚀形成的 NEPM 结构

最后电子蒸发沉积 100nm 厚的氧化硅形成保护层, 以免造成器件的机械性损伤以及在操作过程中相变材料被氧化等, 如图 9.7 所示。

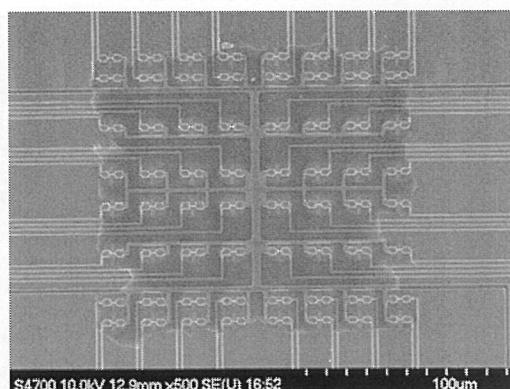


图 9.7 NEPM 结构沉积氧化硅后的 SEM 图

图 9.8 是 NEPM 结构的侧向 SEM 图。由图中我们可以清晰的看到电极层完全刻完, GST 层由于抗蚀剂的保护而没有被损伤。

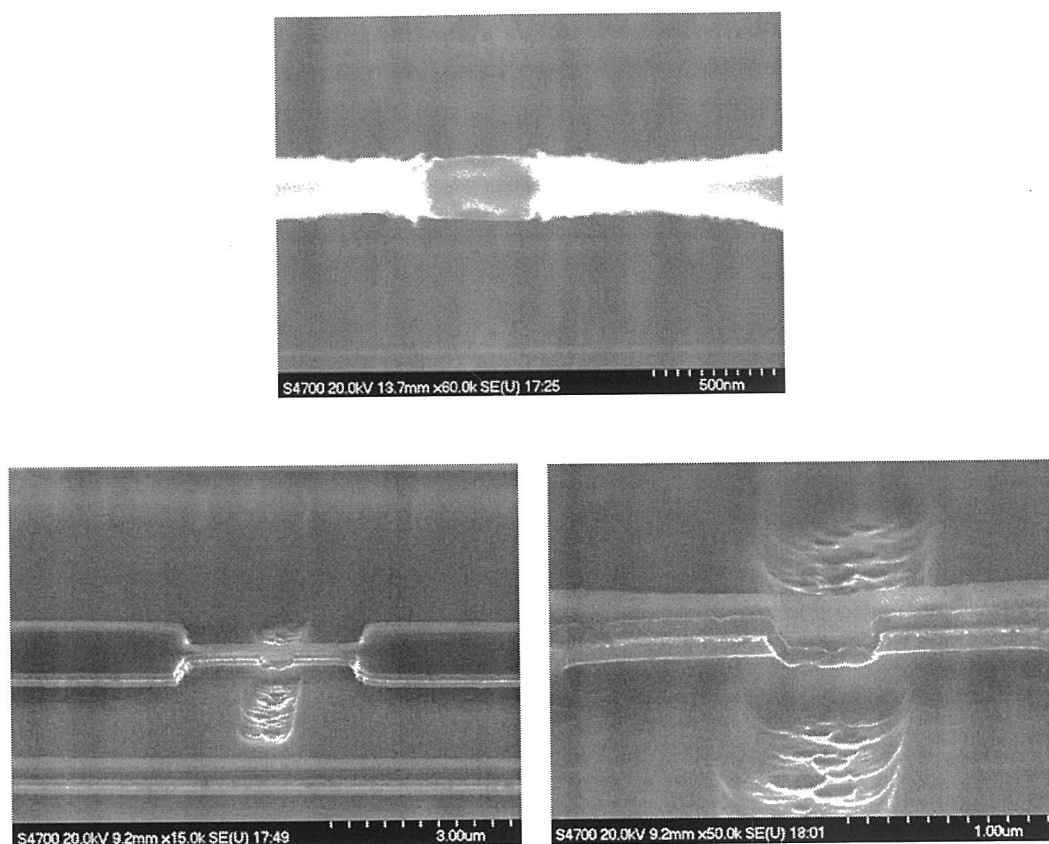


图 9.8 NEPM 结构的侧向 SEM 图

在 NEPM 结构的制备过程中电极材料层与相变材料层的厚度应优化选择，在实验过程中发现如果 GST 的厚度大于 200nm，W 的厚度为 80nm 的时候，在刻蚀过程中将不能形成完整的器件结构。主要是由于刻蚀过程中 SF₆ 对 GST 的横向刻蚀现象较为严重，在 100~150nm 线宽的条件下将无法形成设计的图形结构，如图 9.9 所示。由图中可以看出，在电极层还未完全刻完的情况下，GST 层已经被横向刻蚀成空洞，故需要对 W 与 GST 层的厚度进行多次实验优化选择。



图 9.9 GST 侧向钻蚀 SEM 图

9.3 器件性能测试

图 9.10 是 NEPM 结构器件单元 I-V 特征曲线, 在测量 I-V 时采用加电流然后测量电压的方式来表征 I-V 特性。在器件最后一步沉积完氧化硅之后没有进行任何的高温处理, 故单元的初始状态为非晶高阻态。由于非晶态时材料电阻率很大, 外加电流很小的增幅, 即可使器件两端的电压急速加大, 如图 9.10 中曲线开始部分所示; 当电流达到一定阈值时 (如 $20\ \mu\text{A}$) 在材料中形成了一个导电通路造成器件两端的电压较大幅度的降低, 此时发生相变, 相变材料转换为低阻的多晶态, 随后 I-V 曲线基本表现为欧姆特性。图 9.10 中电压发生突变的点就是器件相变的临界点, 其所对应的电流电压则为阈值电压和电流, 图中所示的相变阈值为 (1.75V , $20\ \mu\text{A}$)。

研究器件电阻随脉冲电压的变化关系时需要从两个方面来考虑: 一个是 RESET 操作时电压与电阻的关系; 另一个是 SET 操作时电压与电阻的关系。首先将存储单元通过 I-V 扫描的方式使其处于低阻态, 然后对该单元施加脉冲宽度固定、脉冲幅度增加的电压信号来研究 RESET 操作时电压与电阻的关系, 如图 9.11(b) 所示。测试中施加的脉冲电压的宽度为 15ns , 电压起始值为 0V , 电压步长为 0.1V 。在脉冲电压开始时单元处于低阻状态, 此时施加的电能量无法使 GST 相变材料熔化, 当达到 3.9V 时, 发生了相转变, 器件由低阻转换为高阻。当单元电阻转换为高阻后我们对其施加一个宽脉冲电压研究其 SET 特性, SET 操作后电阻与脉冲电压的关系如图 9.11(a) 所示, 施加的脉冲电压宽度为 150ns , 电压步长为 0.1V 。在 SET 电压施加的初始阶段, 器件处于高阻状态, 当达到 1.8V 时单元发生相变转换为低阻态, 此时电阻值为 $60\sim 70\text{k}\Omega$, 随着脉冲电压在一定范围内增加低阻态电阻会继续降低, 直到电阻降为 $\sim 20\text{k}\Omega$ 。这种现象可能是由于在非晶到多晶的晶化过程中, 多晶态没有一次完成, 随着电压的加大会有一部分转化的非晶材料部分转化为多晶态, 故造成晶态电阻在一定电压范围内的持续小幅度降低。由图中可知, SET 操作时低阻态只保持在一定的电压范围内。这是因为相变的产生是焦耳热作用结果, SET 操作时相变材料的温度处于结晶温度之上, 熔点之下, 这个温度范围对应着一定的焦耳热量也就是一定的电压范围, 如图中所示的 $1.8\sim 3.7\text{V}$ 为低阻态的电压范围。当器件两端的电压超过 3.71V 继续增加时, 此时外加电压产生的焦耳热量将使得相变材料的温度超过熔点, 脉冲消失后材料急速冷却而破坏了原有的晶体结构, 从而使器件处于高阻状态^[14]。

图 9.12(a)、(b) 所示是器件单元电阻与脉冲电压宽度的关系。在图 9.12(a) 中, 单元起始状态为高阻态, 施加的脉冲电压幅度为 2V , 脉冲起始值为 10ns , 脉冲步长为 5ns , 当脉冲宽度达到 115ns 时发生相变, 器件电阻由 $\sim 1.5\times 10^6\Omega$ 降低到 $1.8\times 10^4\Omega$, 此时高低电阻的差值将近 10^2 。当器件转换为低阻后施加一个短而强的脉冲电压, 脉冲幅度为 3.5V , 脉冲宽度起始值为 10ns , 步长为 2ns 。RESET 操作的电阻与脉冲宽度的关系如图 9.12(b) 所示, 在 23ns 时即可使器件发生相变转换为高阻态。

器件单元的写擦循环测试结果如图 9.13 所示。测试时施加的 RESET/SET 脉冲电压的幅度为 $3.8\text{V}/2.5\text{V}$; 相应的脉冲宽度为 $150\text{ns}/30\text{ns}$ 。由图可知, SET/RESET 循环

次数可达到 8×10^5 次以上，其 RESET/SET 电阻比值超过 50，完全可以满足数据存储的要求。当循环次数超过 8×10^5 次时，会有部分器件单元失效。失效单元的电阻表现主要有三种形式，一是器件始终处于的高阻态，外加脉冲量无法使其晶化，此时单元器件的电阻值比正常非晶态的电阻值高两倍，如图 9.13(b) 所示，正常高阻态为 $2.2 \times 10^6 \Omega$ ，而失效后的电阻值为 $6 \times 10^6 \Omega$ ；二是失效单元处于低阻态，同样无法再次将材料非晶化，此时失效单元的电阻值与晶态时的电阻值基本相同；三是失效单元处于断路状态，此时电阻值在 $10^{10} \Omega$ 以上。器件失效的原因是多方面的，有工艺上，器件材料上的以及器件结构本身的原因等。在器件制备过程中，由于工艺繁多在不同的工序上会对材料界面造成一定的污染影响界面接触，器件循环多次后，界面将变得非常粗糙，由此将导致器件的断路现象的发生；在器件高速操作过程中，每一次 RESET 操作都不一定完全能把材料非晶化，这样在材料内部会残留一部分晶粒，多次循环之后晶粒会逐渐变大，最后导致无法完成 RESET 操作而使器件失效。

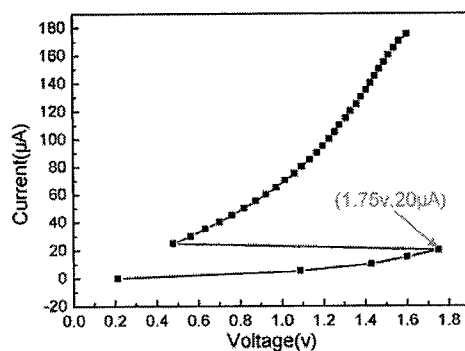
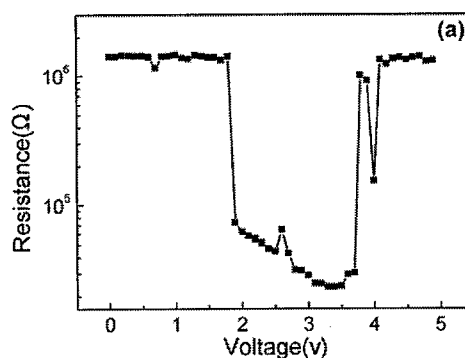


图 9.10 NEPM 结构器件单元 I-V 特征曲线（加电流测电压，电流步长为 $5 \mu A$ ）



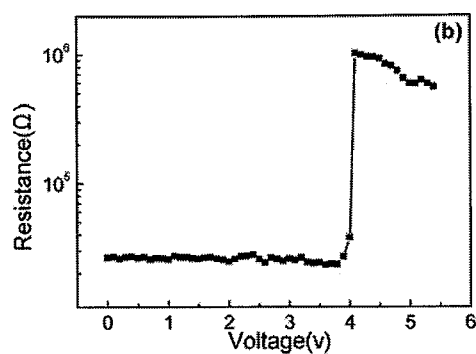


图 9.11 器件单元的电阻与脉冲电压幅度的关系, (a) 中脉冲宽度为 150ns, 下降沿 30ns (b) 中脉冲宽度为 15ns, 下降沿为 3ns

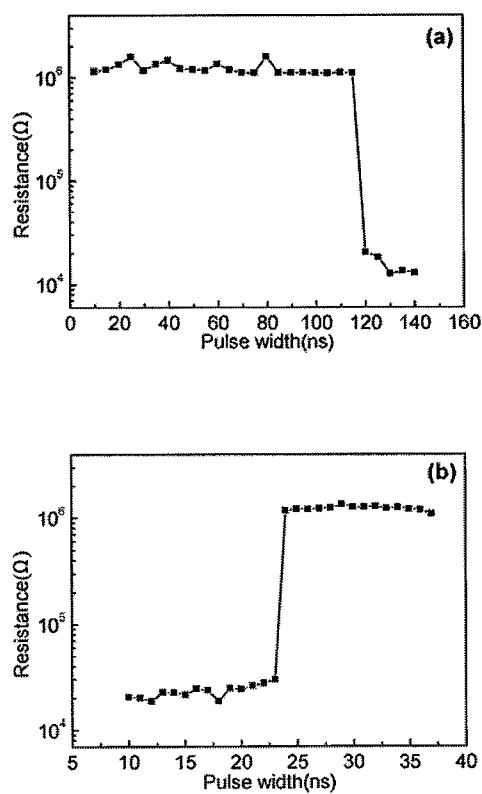


图 9.12 器件单元电阻与脉冲电压宽度的关系曲线。(a) 中脉冲电压的幅度为: 2v (b) 中脉冲电压的幅度为 3.5v

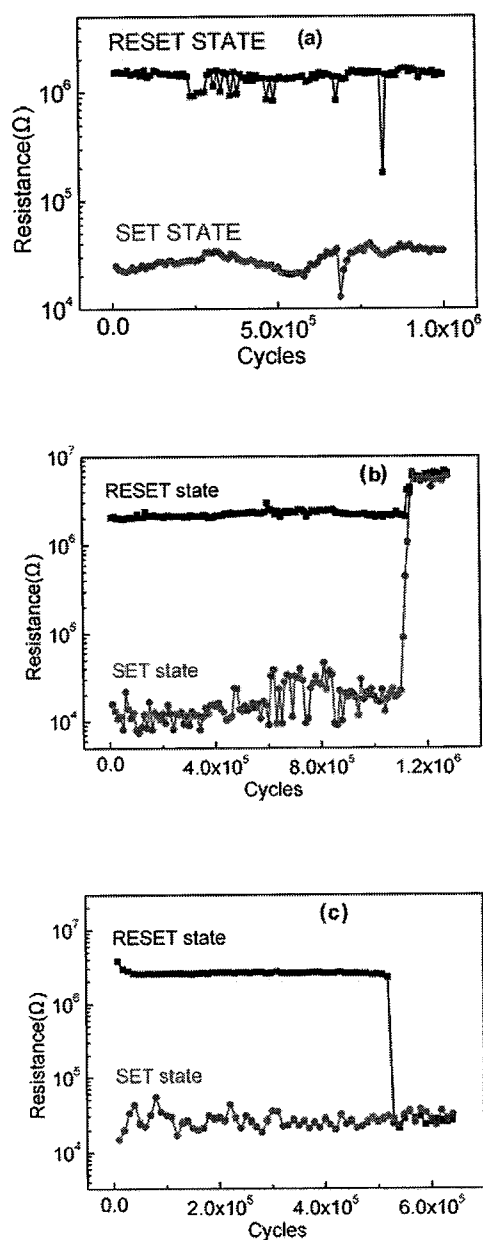


图 9.13 单元器件擦写次数与电阻的关系。施加的 RESET/SET 脉冲电压的幅度为 3.8v/2.5v；相应的脉冲宽度为 150ns/30ns

9.4 本章小结

利用混合曝光、相变材料与电极共刻蚀的方法成功制备出电极与相变材料均小型化的单元器件。在器件制备过程中，电极与相变材料层的厚度对工艺的实现具有决定性的作用，因此需要通过多次实验的优化选择，本文中选择电极的厚度为 80nm，相变材料的厚度为 100nm。通过对器件性能的测试得到 NEPM 结构器件的相变阈值为：(1.75v, 20 μ A) (I-V 扫描)；RESET 操作时相变临界电压值为 3.9v(脉宽 15ns)，临界

脉宽值为 23ns（电压幅度为 3.5v）；SET 操作时脉冲电压阈值为 1.8v（脉宽 150ns），脉冲宽度为 115ns（电压幅度为 2v）。对器件单元擦写循环操作表明，部分单元可以达到 10^6 以上的重复次数，当循环次数超过 8×10^5 时会有部分单元失效，单元电阻处于高阻、低阻和断路三种状态，对器件失效的原因做了初步的分析。

第十章 全文结论

本文针对相变存储器研究中的结构小型化问题,以及高密度低功耗的需要,对 PCRAM 制备中的电子束曝光工艺作了深入的研究。在高密度低功耗方面,制备出改进的横向结构阵列以及 Molecular 阵列存储单元,同时对多种材料在横向结构以及 Molecular 结构中的性能作了研究,得到以下结论:

1. 以扫描电子显微镜为基础,构建了电子束曝光系统。主要组成部分:扫描电子显微镜、图形发生器、束闸系统、精密定位工件台系统。由于 SEM 本身没有电子束束断开启功能,加装束闸系统可以在曝光过程中实现对电子束的通断控制;SEM 的扫描场范围较小,不能进行较大图形的曝光,加装精密定位工件台可以扩大曝光区域进行多场拼接曝光

2. 邻近效应的影响是电子束曝光中不可避免的问题。针对邻近效应的校正提出了一种新的方法,即先进行图形分割校正,然后利用直线曝光的方式来对区域进行曝光。通过实验得出:零宽度直线曝光时显影后的直线宽度为 40nm 到 100nm 之间,线宽主要是由线的曝光剂量来控制的。为使工艺实现上可靠选取 60nm 时的曝光剂量作为邻近效应校正时的曝光剂量。这种校正方法,既利用了邻近效应同时又消除了邻近效应。

3. 深入研究了相变存储器中电子束曝光工艺。

◆ 随着曝光加速电压的增加,束流的减小,可以得到更小线宽的图形结构。曝光时工作距离的增加将使电子束前向散射增强,使电子束束斑的直径加大,对高密度以及小线宽图形的曝光是不利的。衬底材料的不同对曝光结果的影响也较大,随着密度的增加背散射电子数目也随之增加,重返抗蚀剂层中的电子数相应增加,导致邻近效应的增大,曝光图形的分辨率降低。利用低温与超声显影我们在 GST 衬底上得到了小于 50nm 的圆孔。

◆ 全面研究了 SU8 负性抗蚀剂电子束曝光工艺。对影响曝光结果的因素,如衬底的前处理,曝光剂量的控制,束流值的确定等作了相关的分析。SU8 是化学放大抗蚀剂,曝光后用常见的去胶方法很难去除残留抗蚀剂,针对这个问题,首次提出了用另一种抗蚀剂作为过渡层,从而方便有效的去除了残留的抗蚀剂。在双层抗蚀剂的使用中,需要对过渡层作特殊的处理。

◆ 针对刻蚀中的应用,系统研究 PMMA 的刻蚀性能,随着刻蚀气体中 O_2 流量的增加 PMMA 的刻蚀速率会随之增加。但是含 F 气体流量的增加却会使 PMMA 的刻蚀速率降低,这主要是由于在材料表层形成了一层氟化物钝化层阻止了材料的刻蚀。

◆ 针对 PCRAM 小尺寸结构的制备,在电极材料和相变层材料上制备出 100nm 的图形结构。

4. 对电子束曝光中的多场拼接作了深入的研究, 针对扫描电子显微镜改装的电子束曝光系统, 提出了一种新的提高拼接精度的方式。实验发现 X 方向的拼接误差比 Y 方向的拼接误差大 30 纳米。造成拼接误差的原因有多种, 如电子束随机漂移的影响, 光阑系统的污染, 工件台移动时的微振等都会有影响。有些误差是可以克服的, 有些系统误差则无法完全消除。通过改变子场区域的增益因子消除了拼接引起的误差, 通过 15 个 $100\mu\text{m}$ 子场的拼接得到了 $1500\mu\text{m}$ 长, 宽度为 100nm 的直线阵列。针对电子束与紫外光刻, 首次研究了 SU8 负性抗蚀剂在混合曝光中的应用, 得到抗蚀剂显影厚度均匀一致时电子束与紫外光刻的剂量值。针对混合曝光中对准图形的偏差, 提出了补偿图形的设置方法, 有效地消除了混合曝光时图形断裂的问题。

5. 详述了多重曝光中对标记层材料的限制以及标记的制作方法。对准标记的制作一般使用刻蚀的方法来完成, 因为刻蚀形成的图形比剥离工艺形成的图形边沿更陡直, 更有利于对准精度的提高。对准标记的形状有很多种, 根据电子束曝光中对准的实际情况我们提出一种新的标记形状, 即不同尺寸的点阵标记图形, 使对准精度有很大的提高。

6. 首次将正负抗蚀剂以及混合曝光结合使用, 制备出了电极间距为 100nm 以下的横向相变单元阵列。充分发挥正性抗蚀剂 PMMA 的高分辨率的特点以及负性抗蚀剂 SU8 高灵敏度的特点, 使单元阵列的电极间距得以减小, 这是目前文献报道的横向结构中电极间距最小的存储单元。在电极结构的基础上我们实现了三种材料性能表征, 即 GST, ST, SiSb 存储单元的性能测试。测试表明, 横向结构发生相变的阈值电流, 脉冲电压的宽度以及幅度比相应的 OUM 结构的值都要小。本章还对 SiSb 材料的相变特性随电极间距的变化作了初步的研究。实验表明, 随着电极间距的增加, 阈值电流, RESET 以及 SET 操作时发生相变的脉冲电压幅度, 以及脉冲宽度都随之增加。这说明, 操作功耗会随着相变材料的长度增加而增加。通过对器件单元的热模拟, 也得到相同的结果, 即在相同的温度值时, 相变材料长度增加时需要的外加电压值也相应的增加。

7. 利用电子束曝光和紫外光刻成功的制备出 molecular 结构的相变存储器单元阵列, 相变单元的面积取决于上下层电极的线宽, 本文中制备的单元电极的线宽为 100nm 。使用 ST 相变材料作为存储层, W 作为上下电极的材料。通过对存储单元的电学性能的测试, 得到以下结果: I-V 特性中, 单元的阈值电流为 $10\mu\text{A}$ 以下, 阈值电压为 1.8V ; SET 操作时, 相变发生时的脉冲宽度为 53ns , 施加的脉冲电压幅度为 1.8V ; RESET 操作时, 施加的脉冲幅度为 3.3V , 发生相变时的脉冲宽度为 10ns ; 器件单元的初始电阻值为 $720\text{k}\Omega$, 经过 SET 与 RESET 操作后, 高阻态的电阻值将降低为 $350\sim 650\text{k}\Omega$ 之间, 低阻态的电阻值维持在 $20\sim 35\text{k}\Omega$ 之间。相对 GST 而言, ST 的操作电流更低, 速度也更高。

8. 在高密度应用方面, 制备了两种纵向结构的存储单元, 一是电极小型化的结

构,二是相变材料小型化的结构。在电极小型化的结构中,考证两种相变材料器件的性能,即 GST 与 ST 单元器件性能。测试表明,发生相变时的临界点分别是 GST: $51\mu\text{A}$, 4V ; ST: $23\mu\text{A}$, 3.9V 。对相变材料小型化器件的测试得出, I-V 扫描时阈值为 GST: $193\mu\text{A}$, 6V ; ST: $103\mu\text{A}$, 4.8V ; SET 操作时,当电压大于 3.7V (GST 单元)与 2.3V (ST 单元)时,相变发生;与电极小型化结构相比较,相变临界值较大,脉冲宽度加大 140ns ,脉冲电压幅度加大 1.3V 。

9. 在低功耗研究方面,采取两种方法:一是引入新型的绝热层材料 ZrO_2 ;二是将电极与相变材料的有效接触面积充分减小,制备出 NEPM 结构的存储单元阵列。与 SiO_2 单元的对比测试表明, ZrO_2 绝热材料的引入使 SET 操作电压降低 0.3V ,晶化操作时间缩短 22ns ,提高了 SET 操作的速度;在 RESET 操作方面,使非晶化操作电压降低 1.5V ,同时 RESET 操作时间也相应降低。对 NEPM 结构器件的测试表明:相变阈值为: $(1.75\text{V}, 20\mu\text{A})$ (I-V 扫描);RESET 操作时相变临界电压值为 3.9V (脉宽 15ns),临界脉宽值为 23ns (电压幅度为 3.5V);SET 操作时脉冲电压阈值为 1.8V (脉宽 150ns),脉冲宽度为 115ns (电压幅度为 2V)。对器件单元擦写循环操作表明,部分单元可以达到 10^6 以上的重复次数,当循环次数超过 8×10^5 时会有部分单元失效,器件电阻处于高阻、低阻和断路三种状态,对器件失效的原因做了初步的分析。