

第一章 绪论

1.1 引言

21 世纪被誉为数字化信息时代。信息时代有三大构建：信息的获取，传输和存储。作为数字信息的传承与延续手段，信息存储显得尤为重要。目前，数字存储技术主要分为三种：磁式、光电式和半导体式。而在信息储存技术向更高密度、更高速度、更低功耗、更低成本和更高可靠性的发展道路上，半导体式存储器展现了更为优越的性能和发展潜力。

1.1.1 半导体存储器回顾

半导体存储器可以分为两类：读写存储器 RAM（Random Access Memory）和只读存储器 ROM(Read Only Memory)，如图 1.1 所示。而从 20 世纪 60 年代起，随着金属—氧化物—半导体（MOS）技术的飞速发展和高度成熟化，MOS 型存储器得到了更多的重视和长足的发展。其中，挥发性存储器是目前最为成熟的技术。

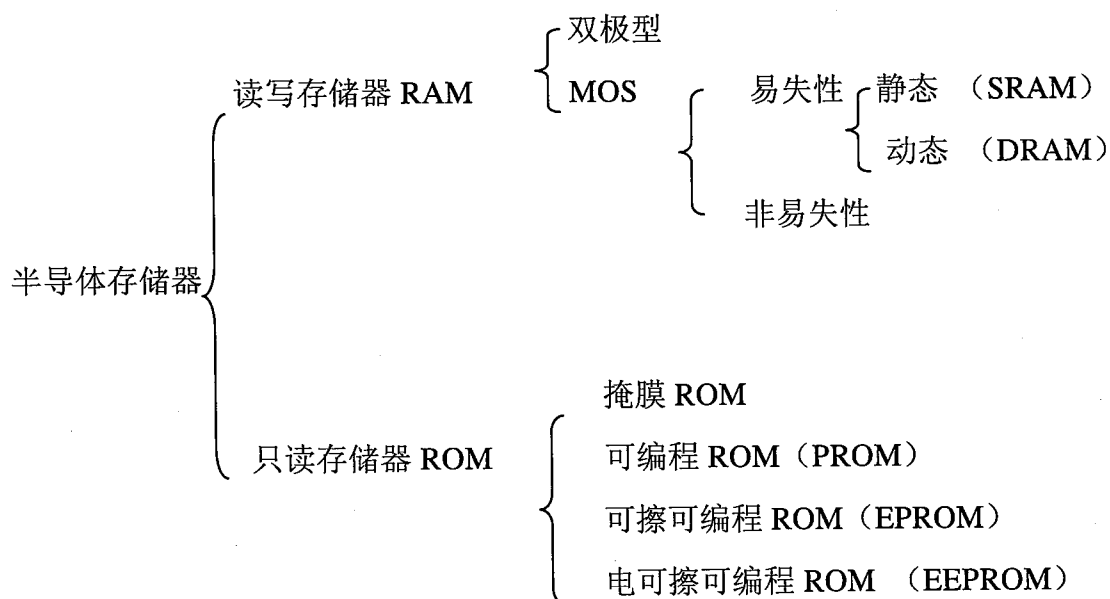


图 1.1 半导体存储器分类图

1, 只读存储器 (ROM)

只读存储器的特点就是,一旦芯片做好以后,其内容只能读出不能改变。而电源断电后,其存储信息也不会丢失。因此,ROM 是一种面向已经定型的程序或专用数据。只读存储器又可以分为:掩膜 ROM, PROM, EPROM, E²PROM 等。

早期的掩膜 ROM 是由半导体厂按照固定线路设计制造,而制造好以后只能读出不能改变。PROM (Programmable ROM) 为可编写程序的只读存储器,用户可以根据自己需要对其进行编程,但只能进行一次写入。因为其写入是破坏性非可逆的过程,如熔丝法。EPROM (Erasable PROM) 为可擦除的可编程只读存储器,用户可以根据各自需要进行多次写入,但写入前需要用紫外线照射从而擦除原来的数据信息。E²PROM 为电可擦可编程只读存储器,它是一种既可以像 RAM 那样随机地进行改写,又能像 ROM 那样在断电情况下保存信息的只读存储器。与 EPROM 相比, E²PROM 擦除的速度要快很多,只要加高电压,即可瞬时完成擦除。

2, 随机存取存储器

随机存取存储器的特点就是可以随时对其进行读写操作的存储器。但当电源断开时,其存储的信息也消失。随机存储器可以分为两大类:双极型(Bipolar)和 MOS 型。双极性 RAM 的特点是存取速度快,但集成度低、功耗大、工艺复杂、成本高。而 MOS 型 RAM 特点是集成度高、低功耗、低成本。MOS 型 RAM 又可以分为静态 RAM(Static RAM)和动态 RAM(Dynamic RAM)。DRAM 特点是集成度高,且功耗低。常用作主存储器。但其依靠电容存储电荷来保存数据,因此,需要定时刷新从而保持数据。SRAM 特点是由触发器作为基本存储电路,不需要定时刷新。因此其存取速度比 DRAM 快。但由于 SRAM 需要更多的晶体管来存储一位信息,因而其密度比其他类型的低,造价也高。

近年来,随机存储器中发展出新的一类,即非易失性存储器 (Nonvolatile Memory)。其特点是既能像 ROM 那样,在断电后依然保持数据不丢失,又能像 RAM 那样及时进行数据的擦写。因此,目前,非易失性存储器已经占据存储器市场大部分份额,大有取代其他存储器之势。其种类及各自特点将在下面详细介绍。

1.1.2 半导体存储器发展趋势

随着信息的高度发展，存储器的发展速度已经不能满足其需求，也促使世界各大半导体厂商，一方面致力于成熟存储器的大容量、高速化、低压低功耗化；另一方面根据需要在原来成熟存储器基础上开发各种新型存储器。

1，高集成度

由于信息量的激增，对信息存储量的要求也剧增，促使各大半导体厂商不断投入巨额资金发展亚微米集成电路技术，提高存储器的集成度，不断推出大容量存储芯片。

在半导体领域，一直遵循著名的“摩尔定律”——集成度以每 18 个月提高一倍的速度发展。集成电路集成度的提高，依赖与工艺技术的提高，即特征尺寸的减小。而随着深紫外光刻、X-ray 光刻、电子束光刻技术的发展和成熟，目前，特征尺寸已经达到 45nm 一下。而纳米自组装器件的发展，更是把半导体器件推向量子器件尺度。这一切，都进一步提高了半导体器件的集成度，使更大容量的存储器商品化成为可能。

2，高速

随着微处理器速度的飞速发展，存储器的速度已经不能满足 CPU 的需要，这制约了计算机性能的进一步提高。因此，发展高速存储器也越来越显得重要。目前一般把访问时间小于 35ns 的存储器称为高速存储器。目前，大都采用 GaAs 和 BiCMOS 工艺及应变硅技术来制造高速存储器。

3，低压低功耗

随着便携式笔记本电脑、数码相机、MP3 等数字产品的普及化，要求产品有更小的体积，更长的待机时间。相应的，对存储器提出了越来越严格的低压低功耗要求。目前，大多数低压存储器采用 3V-3.3V 工作电压。采用低电压集成电路技术后，芯片的功耗也大幅度降低，且其工作速度没有明显下降，使得电池的重量可以减轻 40%，寿命也延长了 3 至 4 倍。

1.2 非易失性存储器概述

1.2.1 非易失性存储器发展历史及现状

非易失性存储器大致可以分为两大类：浮栅式(floating gate)和电荷捕获式(charge-trapping)。非易失性存储器的发展始于 1967 年, Kahng 和 Sze 首先报道的浮栅器件结构^[1]。在这种结构的存储器中, 电子在隧穿作用下穿过一层 3nm 厚的氧化层, 从浮栅进入衬底。MOS 结构的阈值电压依赖与浮栅中的电荷储存量, 可以从一个较大值变化到一个较小值, 对应与逻辑 0 和 1。

在浮栅存储器中, 电荷被储存在浮栅中, 而且断电时依然能保持。所有的浮栅存储器结构大致相同。如图 1.2 所示, 第一层栅是浮栅, 埋藏在栅氧化层和多晶硅层间介电层 IPD(inter-polysilicon dielectric)之间。第二层是控制栅, 是存储器晶体管的外部栅。实际上, EPROM 和 EEPROM 都是典型的浮栅存储器件。

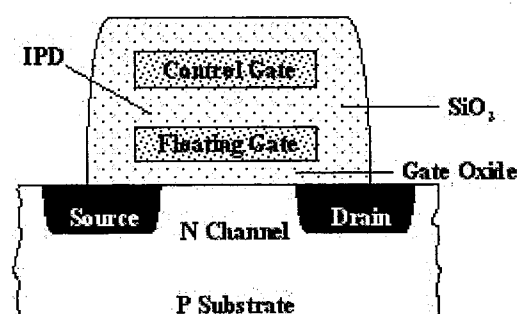
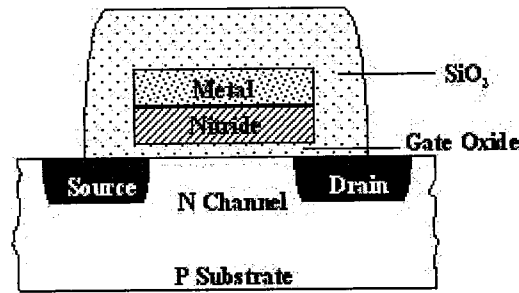


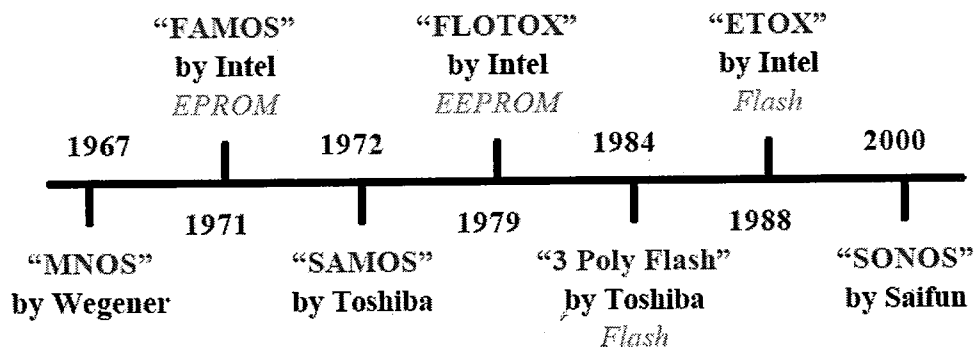
图 1.2 一种典型的浮栅存储器结构^[2]

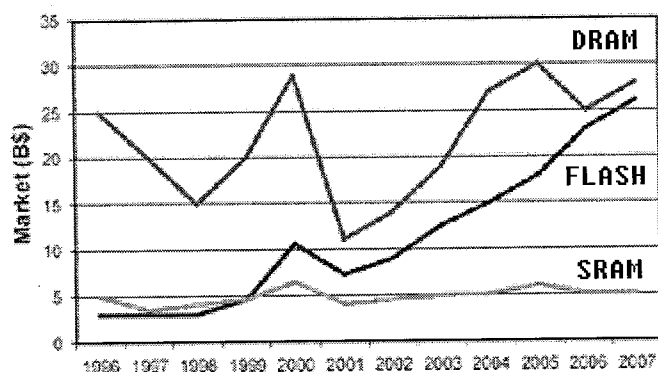
而电荷捕获式器件是 1967 年发明的^[2], 而且是第一种电转换式的半导体器件。在电荷捕获式存储器中, 电荷储存于不连续的氮化物陷阱(trap)中, 断电后, 数据同样不会丢失。这种结构常用于 MNOS(Metal Nitride Oxide Silicon), SNOS(Silicon Nitride Oxide Semiconductor)及 SONOS(Silicon Nitride Oxide Semiconductor)中。图 1.3 即为典型的 MNOS 电荷捕获式存储器结构。

图 1.3 典型的 MNOS 电荷捕获式存储器结构^[2]

第一种浮栅存储器，EPROM，是 1974 年发明的^[3,4]。它使用重掺杂的多晶硅作为浮栅材料，栅氧化层厚度达 100nm 以阻止电荷泄漏。数据的擦除是通过紫外辐射或 X 射线照射来实现的。随后，电可擦只读存储器(EEPROM)由 H.Iizuka 等人最先报道，它由两层多晶硅栅组成，其中一个作为外部控制栅。这个外部控制栅使得电擦除成为可能，也大大提高了擦除效率。

二十世纪八十年代，一种新型的非易失性存储器——闪存(Flash)问世了。它使用热电子注入来写数据，用隧道效应来擦除数据。1971 年，Frohman-Bentchkowsky 最先报道了使用热电子注入和储存的浮栅晶体管^[5,6]，取名为 Flash，是因为这种存储器所有数据阵列可以在同一个非常短的时间内被擦除。第一个 Flash 产品 1984 年问世^[7]，随后 1988 年 Intel 发布 ETOXTM 系列 Flash，目前到 06 年已经发展到第八代使用 0.13um 工艺的 ETOXTM 型 Flash^[8,9]。2001 年 Intel 又推出新款闪存芯片 StrataFlashTM^[10]，这是一种二级存储 0.18um 工艺的闪存。此外，AMD 推出的 MirrorbitTM 型多级存储 Flash 等产品，都大大推动了闪存技术的发展，使得闪存迅速成为存储器市场的主流产品。图 1.5 可以看出，Flash 的发展速度远远超过了传统的易失性存储器 DRAM 和 SRAM。目前，Flash 已经占据非易失性存储器市场 50% 以上份额。

图 1.4 非易失性存储器发展历程^[11]

图 1.5 主流存储器市场发展情况^[11]

然而市场的需求是没有止境的，随着技术需求的发展，Flash 也暴露出其弱点，如擦除效率低、速度慢、尺寸大等。于是，各种新概念的存储器如雨后春笋般出现。如图 1.6 所示，主要有三类：一是控制阈值电压类的，如各种新型 Nand Flash、Nano floating gate Flash 等。第二类是电荷位移类，如铁电存储器（FeRAM）。第三类是电阻式，如磁存储器（MRAM）、相变存储器（PRAM）等。然而何种存储器能获得技术上的突破，在市场的考验中生存下来还是个未知数。

Transistor Vt Shifts	Charge Displacement	Resistance Change
1, FLASH	1, Crystalline Ferroelectric	1, MRAM(自旋)
	2, Polymer Ferroelectric	2, OUM(相变)
		3, RRAM
		4, ODB
		5, PMCM(电镀)

图 1.6 各种新型非易失性存储器

1.2.2 非易失性存储器性能指标及评判标准

怎样的非易失性存储器才算最理想最优越的存储器呢？非易失性存储器又将向什么方向发展呢？

对于非易失性存储器，其主要评判标准有以下几点：

1, 操作电压(operation voltage): 移动存储设备一般都是电池驱动, 因此存储器的工作电压也受到约束。闪存(Flash)就是由于过大的操作电压而使其发展受到限制。因为当操作电压过大时, 除了本身的可靠性问题会加大外, 在设计上必须有额外的升压装置, 所以一般都会将操作电压限制在 10V 以下。

2, 写入擦除速度(operation speed): 运行的高速度一直是电子设备追求的一个目标。而就目前而言, CPU 的运行速度已经得到大大的提升, 而存储器的操作速度已成为限制设备速度的主要原因。虽然从数据结构上采取了主存、辅存、cache 等结构, 但结构的复杂必然带来成本的增加。因此, 对非易失性存储器的操作速度的要求也极其重要。作为主流产品的闪存, 其写入速度仍在微秒至毫秒级, 远远不能满足实际需求, 因此也还有很大的提升空间。

3, 保持时间(retention): 最佳的记忆时间是可以室温下达到十年以上, 但目前很多非易失性存储器还无法达到。数据存储时间越长越好, 意味着产品的寿命也越长。但万一无法到达仍可利用电路设计的方式来改进, 不过这意味这占用更多的芯片面积和更大的成本。

4, 多级存储(multilevel): 存储器的容量是存储器至关重要的性能。而在相同芯片面积下, 多级存储可以成倍的增加存储容量。但多级存储要考虑到各个态之间的差别是否足够大, 把抗误差能力和可靠性计算在内。

5, 耐久力(endurance): 所谓耐久力, 就是经过多少次擦写操作后, 器件由于疲劳导致失效。就 DRAM 而言, 其耐久力可达到 10^{12} 。然而非易失性存储器还远远不能达到此量级。如闪存, 其耐久力约在 10^6 , 还有很大提升空间。

6, 读取干扰(readout disturbance): 对于破坏性读取, 则必须在每次读取后重新写入。而对于非破坏性读取, 每次读取过程还是会对元件的状态造成一定的影响, 所以必须做读取干扰测试。好的读取抗干扰能力应该在 10^{12} 次以上。

7, 缩小化(scaling): 随着集成电路工艺的不断进步, 元件特征尺寸(F)的不断缩小, 要求各元器件也不断的缩小。对于存储器, 所占面积为 $n F^2$, n 约小说明占用面积越小。而且要求材料在缩小化的前提下维持其特性。

综上, 理想的非易失性存储器应具有设备操作电压低、结构简单、非破坏性读取、操作速度快、记忆时间长、元件面积小、耐久力好等特点, 而目前没有任何非易失性存储器能同时达到上述要求。因此, 非易失性存储器还有很大的研究领域和发展前景。

1.3 几种非易失性存储器简介

1.3.1 Flash

1.3.1.1 基本概念

一个 Flash 存储器单元主要结构是一个有浮栅的 MOS 晶体管,如图 1.7 所示,浮栅被介电层完全包裹隔离,用来存储电荷。电荷被注入到浮栅后,可以通过注入量调制 MOS 管的阈值电压 V_T 。如图 1.8。可见,当浮栅中存有电荷时, MOS 管的阈值电压增大,从而在小于 V_T 的读取电压下, MOS 管关闭,对应于逻辑“0”,而当浮栅中无电荷时,读取电压大于 V_{T0} , MOS 管开启,对应于逻辑“1”。

很显然,介电层的质量对于 Flash 至关重要,而且其厚度也影响到对器件的擦写操作。通常,栅介质层厚度,即晶体管沟道与浮栅之间的介电质层厚度在 9-10nm,被成为隧道氧化层。而隔离浮栅和控制栅的介电质层由氧化硅-氮化硅-氧化硅 (ONO)三层组成,厚度为 15-20nm。控制栅和浮栅皆为多晶硅材料。

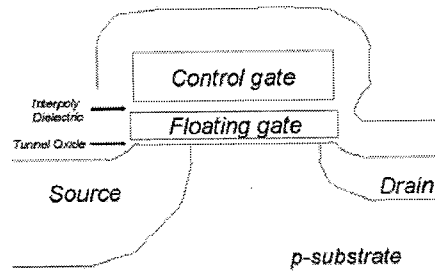


图 1.7 Flash 存储单元界面示意图^[8]

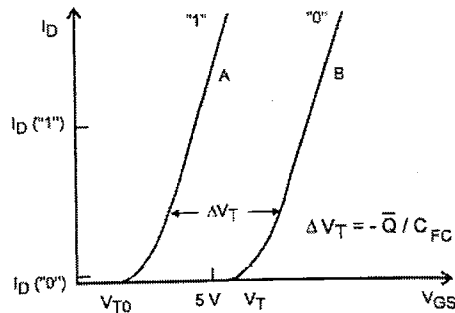


图 1.8 Flash 存储单元 I-V 曲线(a, 浮栅中有电荷; b, 浮栅中有负电荷)^[8]

1.3.1.2 基本操作

读：存储在 Flash 单元中的数据可以通过测量浮栅晶体管阈值电压得到。最好最方便的方法是加固定的栅压测量电流。当合适的电荷量及相应的 ΔV_T 被定义好后，可以得到一个相应的读取电压，使得通过处于“1”状态的单元的电流很大(十几个微安培)；而通过处于“0”状态的单元的电流为 0。通过这种方法定义逻辑 0 和 1。

写：通常采用热电子注入 HEI(hot electron injection)向浮栅中注入电子从而改变浮栅 MOS 管的阈值电压。写入数据时，在控制栅和 MOS 管漏极同时加电压脉冲，MOS 管源接地。由于控制栅连接着字线 WL(Word line)，而漏极连接着位线 BL(Bit Line)，因此写操作可以有选择性的完成。阈值电压的改变值依赖与写脉冲的脉宽，通常情况下，要获得 3—3.5V 的 ΔV_T ，加的脉冲脉宽在 1—10us。

擦：擦操作需要在源上加一个高电压脉冲。此时，控制栅(WL)接地而漏(BL)悬置，而源通常连接着一个阵列中所有的器件单元。在加擦脉冲前，阵列中的所有器件都被写入从而达到一个相对一致的阈值电压，然后，施加一定脉宽的擦脉冲，阈值电压的改变依赖与源电压值。浮栅中储存的电荷通过 Fowler-Nordheim 隧穿效应进入源区。值得注意的是，擦操作是一个阵列一个阵列的进行的，不能单个单元操作。而由于一个阵列中的器件栅氧化层厚度有轻微变化，导致阈值电压的变化也有不同。因此，擦操作完成一次后，整个阵列的器件需要读一次以确保所有单元都被擦除。如果没有，另一个擦脉冲将被施加然后再一次读检。这种机理一直反复直到所有的单元阈值电压都低于预定值。通常，擦操作需要 100ms-1s。

1.3.1.3 发展趋势

Flash 经过 20 多年的发展，是技术最为成熟的非易失性存储器，且早已实现商品化。但传统的 Flash 也早已不能满足市场需要，因此，在原有基础上，出现了很多改进。值得关注的是 Intel 的 StrataFlash 和 AMD 的 MirrorBit 技术。

StrataFlash 首先提出了多级存储的概念(Multi-Level-Cell)。其基本结构和 ETOX 基本相同，只是栅氧化层厚度更精确，浮栅被更好的绝缘。在 StrataFlash 器件单元中，电荷存储能力是多级存储功能的一个重要指标。通过控制写入技术，把精确数量的电子注入浮栅中，如果电荷可以精确分为 4 份，则这个单元就可以存储 2 位数据

(bits)。图 1.9 显示了 2 级存储数据的阈值电压分布。值得注意的是，中间两位阈值电压差 0.3V，因此，精确控制电子数量及绝缘性对多级存储至关重要。且理论上，3 位 4 位的多级存储都是可实现的，只是对技术的要去也越来越严格，且其是在牺牲可靠性的基础上来获得大容量的。

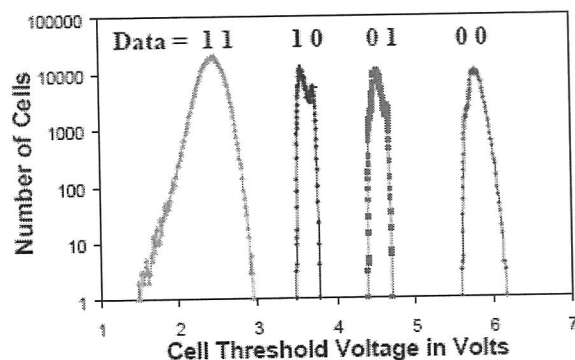


图 1.9 二位存储数据结构^[10]

此外，作为存储器市场另一家不断技术创新的公司，AMD 公司在 2001 年推出了一种新型的 MirrorBit Flash，该产品拥有 2 倍与标准 Flash 的数据存储量，而且没有牺牲器件的寿命、性能和可靠性，这点与 MLC(Multi-level cell)技术不一样。其基本结构如图 1.10 所示^[12]。通过精确控制操作，其数据存储与氮化物层的两个侧壁。

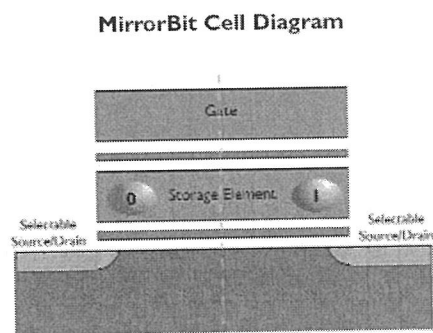


图 1.10 MirrorBit 基本结构示意图^[12]

其独特的性能优点有：

每个存储单元存储 2bits 的数据，从而降低了成本，提高了容量。

简单对称的器件结构，使得成产方便。

一个存储单元内有两个分开的独立存储区域，每个存储区域可以独立进行擦写操作，从而提高了可靠性和数据集成度。

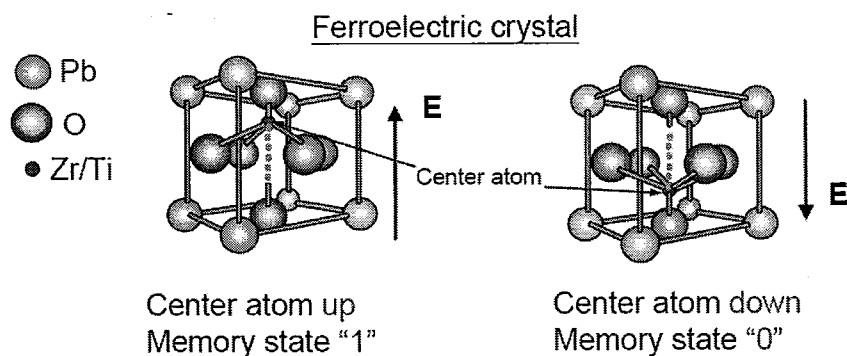
1.3.2 FeRAM

铁电存储技术最在 1921 年提出，直到 1993 年美国 Ramtron 国际公司成功开发出第一个 4Kb 的铁电存储器 FeRAM 产品，目前所有的 FeRAM 产品均由 Ramtron 公司制造或授权。最近几年，FeRAM 又有新的发展，采用了 $0.35\mu\text{m}$ 工艺，推出了 3V 产品，开发出“单管单容”存储单元的 FeRAM，最大密度可在 256Kb。

1.3.2.1 基本原理

FeRAM 利用铁电晶体的铁电效应实现数据存储，铁电晶体的结构如图 1.11 所示^[13]。铁电效应是指在铁电晶体上施加一定的电场时，晶体中心原子在电场的作用下运动，并达到一种稳定状态；当电场从晶体移走后，中心原子会保持在原来的位置。这是由于晶体的中间层是一个高能阶，中心原子在没有获得外部能量时不能越过高能阶到达另一稳定位置，因此 FeRAM 保持数据不需要电压，也不需要像 DRAM 一样周期性刷新。由于铁电效应是铁电晶体所固有的一种偏振极化特性，与电磁作用无关，所以 FeRAM 存储器的内容不会受到外界条件（诸如磁场因素）的影响，能够同普通 ROM 存储器一样使用，具有非易失性的存储特性。

FeRAM 的特点是速度快，能够像 RAM 一样操作，读写功耗极低，不存在如 E^2PROM 的最大写入次数的问题；但受铁电晶体特性制约，FeRAM 仍有最大访问（读）次数的限制。

图 1.11 铁电材料晶体结构^[13]

1.3.2.2 FeRAM 单元结构

FeRAM 的存储单元主要由电容和场效应管构成，但这个电容不是一般的电容，在它的两个电极板中间沉淀了一层晶态的铁电晶体薄膜。前期的 FeRAM 的每个存储单元使用 2 个场效应管和 2 个电容，称为“双管双容”（2T2C），每个存储单元包括数据位和各自的参考位，简化的 2T2C 存储单元结构。2001 年 Ramtron 设计开发了更先进的“单管单容”（1T1C）存储单元。1T1C 的 FeRAM 所有数据位使用同一个参考位，而不是对于每一数据位使用各自独立的参考位。1T1C 的 FeRAM 产品成本更低，而且容量更大^[14,15]。

1.3.2.3 FeRAM 的读/写操作

FeRAM 保存数据不是通过电容上的电荷，而是由存储单元电容中铁电晶体的中心原子位置进行记录。直接对中心原子的位置进行检测是不能实现的。实际的读操作过程是：在存储单元电容上施加一已知电场（即对电容充电），如果原来晶体中心原子的位置与所施加的电场方向使中心原子要达到的位置相同，中心原子不会移动；若相反，则中心原子将越过晶体中间层的高能阶到达另一位置，在充电波形上就会出现一个尖峰，即产生原子移动的比没有产生移动的多了一个类峰。把这个充电波形同参考位（确定且已知）的充电波形进行比较，便可以判断检测的存储单元中的内容是“1”或“0”。

无论是 2T2C 还是 1T1C 的 FRAM，对存储单元进行读操作时，数据位状态可能改变而参考位则不会改变（这是因为读操作施加的电场方向与原参考位中原子的位置

相同)。由于读操作可能导致存储单元状态的改变, 需要电路自动恢复其内容, 所以每个读操作后面还伴随一个“预充”(precharge)过程来对数据位恢复, 而参考位则不用恢复。晶体原子状态的切换时间小于 1ns, 读操作的时间小于 70ns, 加上“预充”时间 60ns, 一个完整的读操作时间约为 130ns。

写操作和读操作十分类似, 只要施加所要的方向的电场改变铁电晶体的状态就可以了, 而无需进行恢复。但是写操作仍要保留一个“预充”时间, 所以总的时间与读操作相同。FeRAM 的写操作与其它非易失性存储器的写操作相比, 速度要快得多, 而且功耗小。

1.3.3 MRAM (Magnetic RAM)

磁随机存储器(MRAM)是这样一种存储器: 1, 数据是通过磁化方向的改变来存储的; 2, 数据的读出是通过磁阻效应来实现^[16,17]。早期的 MRAM 是基于各向异性的磁阻效应 AMR(anisotropic magnetoresistance effect), 然而由于薄膜的磁阻效应通常只有 5%, 所以这种机理的磁存储器只限于军事和太空领域的应用。而后来, 随着巨磁阻效应 GMR(giant magnetoresistance)^[18] 和隧穿磁阻效应 TMR(tunnel magnetoresistance effect)^[19]的相继发现, 使得可运用的磁阻效应已经增大到目前的 25%左右, 也使得磁存储器的研发进入一个全新的阶段, 1Mb 的磁存储器已经制备成功, 而且很多国际大公司, 如 Motorola, IBM, HP, Infineon 等都在积极研究开发磁存储器产品, 相信不久的将来, 磁存储器必将在存储器市场占有一席之地。

1.4 相变存储器概述

相变存储器 PRAM(phase change random access memory), 是一种利用硫系化合物来存储数据的随机存储器, 是基于 S.R.Ovshinsky 在 20 世纪 60 年代提出的 Ovshinsky 电子效益的存储器^[20], 因此又被称做 CRAM(Chalcogenide RAM), OUM(Ovonic Unified Memory)。

1.4.1 发展历史

利用相变材料实现光存储和电存储的思想分别在 1968 年和 1972 年提出^[20,21], 然而由于电致相变受到工艺技术的限制, 在很长时间内未能获得进展, 反而是光致相变的研究得到长足发展, 而且利用相变材料制备可擦写光盘已经实现商品化, 已生产出 650M CD-RW 光盘, 2.6G 和 5.2G 的 DVD-RAM 光盘。而近几年, 特别是进入二十一世纪后, 随着半导体工艺的突飞猛进, 工艺线宽进入深亚微米甚至是纳米尺度后, 电致相变存储器成为可能, 至此, PRAM 进入飞速发展阶段和商品化进程。

PRAM 的发展, 经历了以下重要事件^[22]。见表 1.1。

时间	重要发展事件
1968 年	S.R.Ovshinsky 首先发现硫系化合物的快速可逆相变, 具有开关(Switching)/存储(Memory)用途。
1999 年	Ovonyx 公司成立并获得 Intel 和 STM 的投资, 研发进程加快。
2001 年 7 月	Intel 以 PRAM(0.13um 工艺)及 FRAM 技术开发下一代存储器, 合作商包括 Ovonyx 等。
2001 年 11 月	Intel 与 Ovonyx 和非易失性存储器设计公司 Azalea Microelectronics 合作, 以 0.18 微米工艺开发 4-Mbit 的 PRAM 存储器。
2002 年 3 月	Intel 在 IDF 论坛上表示将自行开发下一代 Flash 芯片, 因为现有的 Flash 工艺发展到 45nm 技术时面临极限的挑战, 除非能在现有的芯片单元结构上出现根本的改变。而相对于 FeRAM 和 MRAM, PRAM 技术的前景更具希望。
2002 年 11 月	Intel 投资英国光盘公司 Plasmon, 以 PRAM 应用与更高密度、低成本、非易失性存储器研究。
2003 年	Samsung 在 VLSI Technology Digest of Technical Papers 论坛上宣布, PRAM 存储器器件单元的写入电流已降低到 0.34mA。
2004 年	Samsung 在 ISSCC 上宣布, 采用 0.18 微米工艺制

备出操作电压为 3V 的 64Mb 相变存储器。

2005 年

Samsung 在 VLSI Technology Digest of Technical Papers 论坛上宣布, 采用 0.12 μ m CMOS 工艺, 成功制备出 256Mb 的相变存储器。

表 1.1 PRAM 发展大事记

可见, PRAM 的研发已经进入飞速发展的阶段, 预计其产品即将面世。而 Intel 负责非挥发性存储技术的 Stefan Lai 表示, 当工艺技术进入 32nm 以下之后, PRAM 成本性能等将全面超出 NOR 闪存, 且其工艺技术能够进入到 22nm 以下, 可以说 PRAM 发展前景远大。

1.4.2 相变存储器原理介绍

相变存储器(PRAM)以硫系化合物为存储介质, 利用电能使材料在晶态(低阻)与非晶态(高阻)之间相互转换实现数据的写入与擦除, 数据读出靠测量电阻变化实现。因此, 它属于电阻式的非挥发性存储器。

其具体操作如下, 如图 2.12:

写入过程(Reset Process):加一个短而强的电压脉冲, 电能转变成热能, 使相变材料温度升高到熔化温度以上, 经快速冷却, 可以使多晶的长程有序遭到破坏, 从而实现由多晶向非晶的转化;

擦除过程(Set Process):施加一个长且强度中等的电压脉冲, 相变材料的温度升高到结晶温度以上、熔化温度以下, 并保持一定的时间, 使相变材料由非晶转化为多晶;

读取过程(Read Process):是通过测量相变材料的电阻值来实现的, 此时所加脉冲电压的强度很弱, 产生的热能只能使相变材料的温度升高到结晶温度以下, 并不引起材料发生相变。

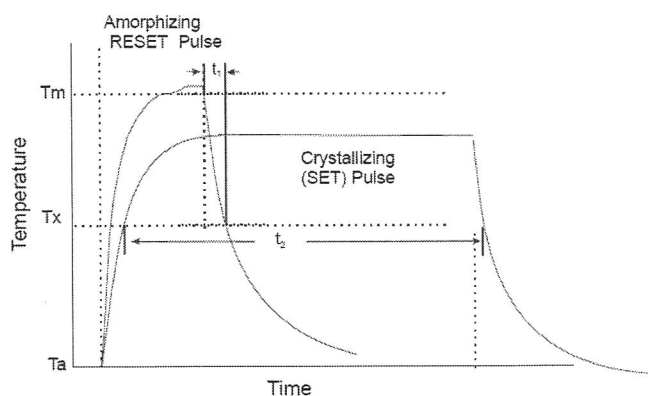


图 1.12 相变过程时间(电流脉宽)-温度关系^[34]

Ta 为环境温度, Tx 为结晶温度, Tm 为融化温度,

t1 为非晶化脉冲电流脉宽, t2 为晶化脉冲宽度

1.4.2.1 材料分析

相变存储器的关键功能材料就是相变材料。相变材料一般有两种结构: 非晶态和多晶态。如图 1.13 所示, 当材料处于非晶态时, 具有短程有序性, 呈现高电阻。而当材料处于多晶态时, 具有长程有序性, 呈现低电阻。

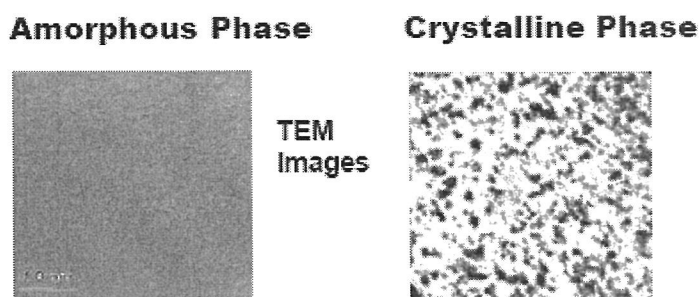


图 1.13 相变材料两种晶体结构^[34]

相变材料的选择对于相变存储器至关重要。一般而言, 好的相变材料应具有以下特性:

- (1), 材料熔点: $\sim 600^{\circ}\text{C}$
- (2), 非晶态/晶态阻值差异要够大: $>10^2$

- (3), 非晶态结晶速率, 结晶能(crystallization activation energy) $>2\text{eV}$
- (4), 相变转换速率要够快, $<100\text{ns}$
- (5), 操作次数要够高(Cyclability), $>10^6$

相变材料的研究与选择也经历了漫长的过程。

(1), Tellurium-based Chalcogenide

最早, 1968 年, S.R. Ovshinsky 发现的 Te-based 材料有记忆转换特性, 纯 Te 材料具有快速的非晶 $\rightarrow$ 结晶的转换速度, 但非晶状态在室温下并不稳定^[20]。

(2), Addition of Ge

可增加非晶态在室温下的稳定度, 但结晶速率降低 1-2 数量级^[23,24]

(3), SbTe alloy vs. GeTe alloy^[25,26]

SbTe 合金结晶速率较快, 可操作次数较长

GeTe 合金非晶态较稳定, 熔点较高

(4), GeSbTe alloy^[27,28]

可兼顾非晶态之稳定度、结晶速率及可操作周期

就目前研究现状而言, 基本认为 GeSbTe 是比较成熟比较优越的相变材料, 其中又以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 为最佳。

非晶态的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 是一种半导体, 与晶态半导体不同, 非晶态半导体有几个重要的特点:

1, 在结构上, 非晶态半导体的组成原子没有长程有序性, 但由于原子之间的键合力十分类似于晶体, 因此, 其通常保持着几个晶格常数范围内的短程序。

2, 对于大多数非晶态半导体, 其组成原子都是由共价键结合在一起的, 形成了一种连续的共价键无规则网络, 并且结构本身适应这样的方式, 以使所有的价电子都束缚在键内而满足最大成键数目的规则, 称此为键的饱和性。因此, 非晶态半导体的不少问题都可以从化学键的角度来理解。

对非晶态半导体的电学性能的研究可追溯到 50 年代 Ovshinsky 的原创性工作。从 1958 年到 1961 年, 他研究了非晶半导体的化学和冶金学性质, 并发现了两种可逆的转换现象^[20]。第一种机理, 也就是被称作 Ovonic threshold switching(OTS), 是一种

场诱发的可逆转换,它使得非晶半导体从高阻态转换到导电状态。而非晶态半导体的电阻降低后,另一种转换,称作 Ovonic memory switching(OVS),在某些合金内就可能发生。

从 Ovshinsky 报道 OTS 现象后,很多模型被提出用来解释这种现象。很多研究人员认为 OTS 本质上是一种热效应,当电压超过开启电压后,会产生一种热灯丝,从而增大了通过非晶薄膜层的电流^[29,30]。但后来,Adler 指出至少在硫系化合物中,OTS 不是热效应产生的^[31]。在他后来的工作中^[32],他证明了半导体电阻也可以有 OTS 性质,但没有任何热效应,提出场激发的载流子产生和积累通过定域态与强烈的 Shockley-Hall-Read(SHR)复合相互作用。不过,这种模型也只是理论上的。

而最近的发展,认为可以通过能带理论来解释硫系化合物的导电机理。我们知道,半导体的量子理论,是建立在晶体结构的长程有序和周期性基础上的。因此很长时间里研究人员认为,由于非晶态固体因为没有长程有序性,所以不能用能带结构来描述。然而,1955 年,研究发现,了解固体性质的关键不是它们的周期结构而是其成分的化学特性,因此硫系非晶态化合物也可以用半导体能带论来描述^[33]。

下面我们就用能带理论来解释 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的导电机理。

首先从结构上来看, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 晶态结构主要有两种,面心立方结构(FCC)和六方堆积结构(HCP)。FCC 结构是亚稳结构,相变速度快,因此通常利用它和非晶态之间的转换。图 1.14 即为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的 FCC 和非晶态结构^[34,35]。

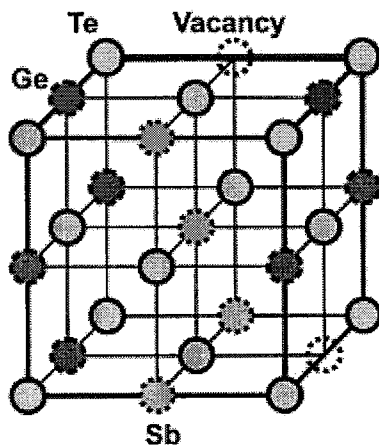


图 1.14(a) 面心立方结构下的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 原子排列结构^[34]

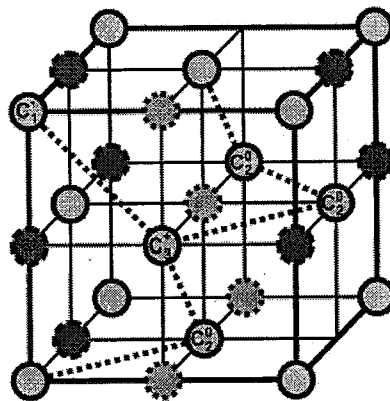


图 1.14 (b) 非晶结构下的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 原子排列结构^[35]

在 FCC 结构中, 存在原子空缺, 化学计量表示, 大约有 20% 的空缺^[36], 这类空缺在能带中扮演一种类受主陷阱 (Acceptor-like Traps)。而在非晶结构中, 由于每个原子都要自然成键, 所以 Ge 要成 4 价, Sb 要成 3 价, 而 Te 是 2 价。2 价的硫族原子 (这里即 Te) 表示为 C_2^0 , C 代表硫族元素, 下标表示共价键数目, 上标表示电荷数。这种情况下, 每个 Te 原子最外层有两对孤对电子, 它们对硫系化合物的性质有重要影响。如图 3.1(b), 2 价的 Te 原子连接成链, 而 Ge 把 Te 链和 Sb 连接起来。在实际情况下, 这种结构是扭曲的, 而且在一定温度下, 结构中还存在缺陷。缺陷的产生可以表示成: $2\text{C}_2^0 \rightarrow \text{C}_3^+ + \text{C}_1^-$ 。

图 1.15 给出了晶态和非晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的能带结构^[35]。在晶态结构 (FCC) 下, 空缺充当受主, 费米能级靠近价带, 为 p 型半导体。而在非晶结构下, C_3^+ 和 C_1^- 分别充当施主和受主。值得注意的是, 在非晶态能带机构中价带有个带尾, 通常成为 Urbach tail^[37], 这是由于孤独电子在价带边缘堆积造成的。

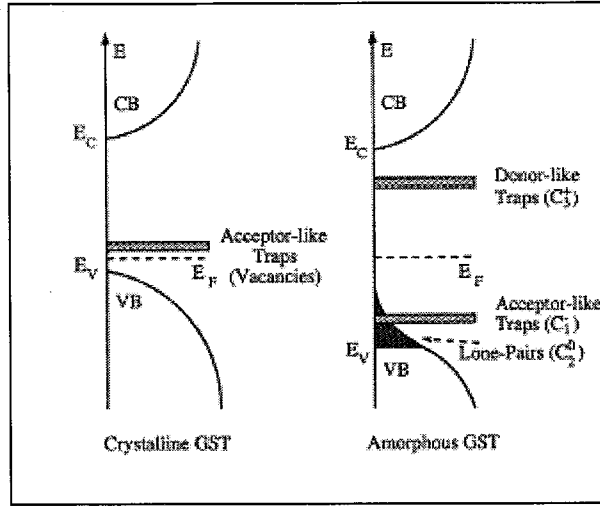
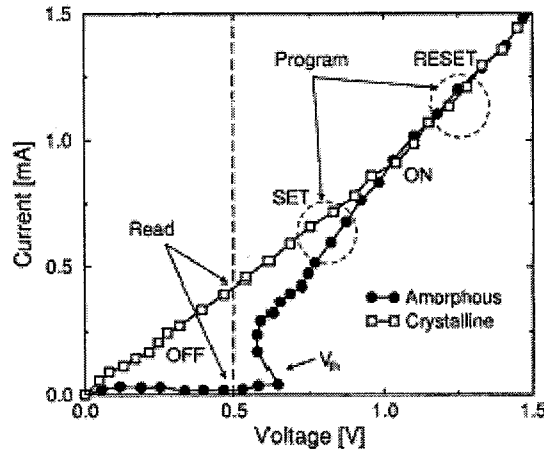
图 1.15 晶态和非晶态下的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 能带示意图^[35]图 1.16 晶态和非晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ I-V 曲线^[35]

图 1.16 给出了晶态和非晶态下 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的 I-V 曲线。对于晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 在这里不在赘述。下面我们重点讨论非晶态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的导电情况。首先 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 中载流子的产生与复合机制。在非晶结构下，载流子主要通过定域态复合。孤对电子和 $C_3^+ - C_1^-$ 中心浓度很高。电子和空穴的俘获截面是一样的，如果陷阱是中性的，为 10^{-16} cm^2 ，如果陷阱带电，为 10^{-12} cm^2 。在低电压时，相当于与一个欧姆电阻，电流随电压增大而线性增大。电压继续增大，电流开始呈指数增加，在刚超过阈值电压 V_{th} 时甚至是超指数增加的。这是由于隧穿 (Tunneling) 或碰撞电离 (Impact Ionization) 造成的产生机制。我们知道，电流电压值是载流子的产生和复合平衡的结果。而复合是以陷阱为复合中心的。当电流密度增强时，几乎所有的陷阱都被载流子填满，所以

复合电流减小。当偏压增强时，复合越来越难以平衡产生。但偏压达到 V_{th} 时，复合率再也不能平衡产生率了，只有通过降低加在器件上的电压来重新实现稳态。这又导致了产生率的下降。所以就形成了 S 形的 I-V 曲线。

Property	GST crystalline	GST amorphous
E_{gap} [eV]	0.5	0.7
N_c [cm^{-3}]	2.5×10^{19}	2.5×10^{19}
N_v [cm^{-3}]	2.5×10^{19}	10^{20}
Vacancies [cm^{-3}]	5×10^{20}	-
C_2^0 [$\text{cm}^{-3}\text{eV}^{-1}$]	-	10^{21}
C_3^+ [cm^{-3}]	-	$10^{17} \div 10^{20}$
C_1^- [cm^{-3}]	-	$10^{17} \div 10^{20}$

表 1.2 GST 相关数据^[38]

图 1.17 给出了 PRAM 器件的能带结构示意图。在低电压下（图 1.17(a)），是一种欧姆传导。当电压刚好超过阈值电压 V_{th} 时，非晶态层中隧穿或碰撞电离过程发生，电流通过二次空穴产生而呈指数上升。在此区域，产生的二次电子主要被类施主陷阱俘获（图 1.17(b)）。电压继续上升，隧穿或碰撞电离过程产生的二次电子已经填满类施主陷阱，所以自由电子浓度上升，图 1.17(b)中的电子的准费米能级 E_{fm} 向价带移动。在刚刚超过 V_{th} 时，隧穿或碰撞电离产生率比载流子复合率大，陷阱被填充，而导致了电压的 S 形回旋。因此，一个比较大的电流可以在比较低的电压下流过器件（图 1.17(c), 且 $V_2 < V_1$ ）。碰撞电离过程继续发生，但是几率却降低，器件的传导主要依靠电子维持。

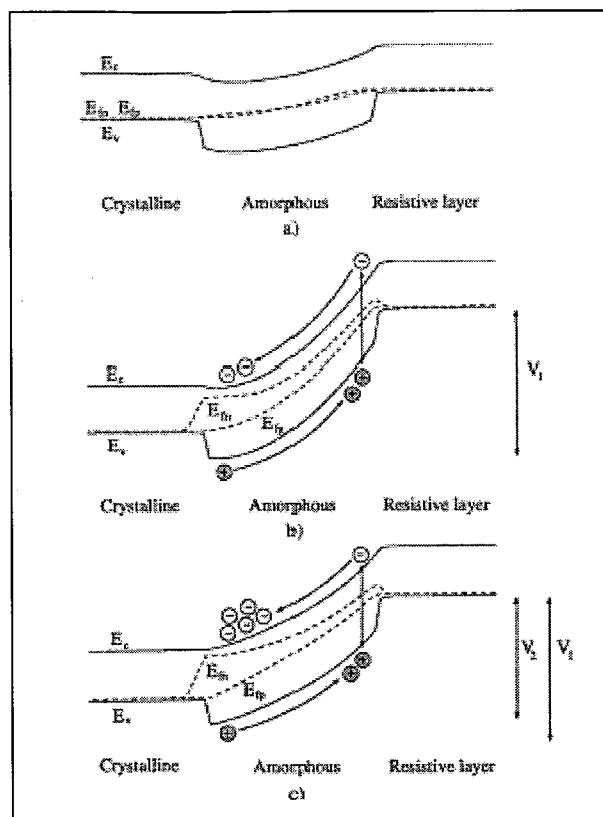


图 1.17 晶态/非晶态/电阻结构能带结构示意图^[38]
(a) 欧姆区 (b) 超指数区 (c) 开启状态

1.4.2.2 器件结构

相变存储器最基本的结构是通过上下电极对相变材料的操作, 见图 1.18。主要通过较小尺寸的加热电极对相变材料进行加热, 从而实现相转换。这种结构的好处在于结构简单, 制备方便。然而, 要实现器件的优越性能, 必须减小加热电极的面积, 这样能在同样情况下增大电流密度, 提高发热效率, 减小写入电流, 增加操作速率等等。而加热电极尺寸要受到工艺条件的限制, 即最小线宽的制约。于是, 研究人员提出了很多改进结构, 目的在于在同样工艺条件下, 尽可能的减小电极接触面积, 最大可能的优化器件性能。在这方面, 一些大公司做出了杰出的工作。如 Intel 提出的间隔块 (Spacer) 方法^[40](图 1.19), HP 的蚀刻尖形 (tapered point) 下电极方法^[41], Ovonyx 的沟槽侧壁法 (trench/sidewall)^[42], 及 Samsung 的边缘接触法 (Edge contact)^[43]。

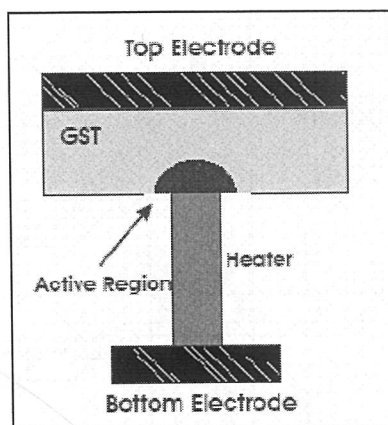


图 1.18 相变存储器基本结构示意图

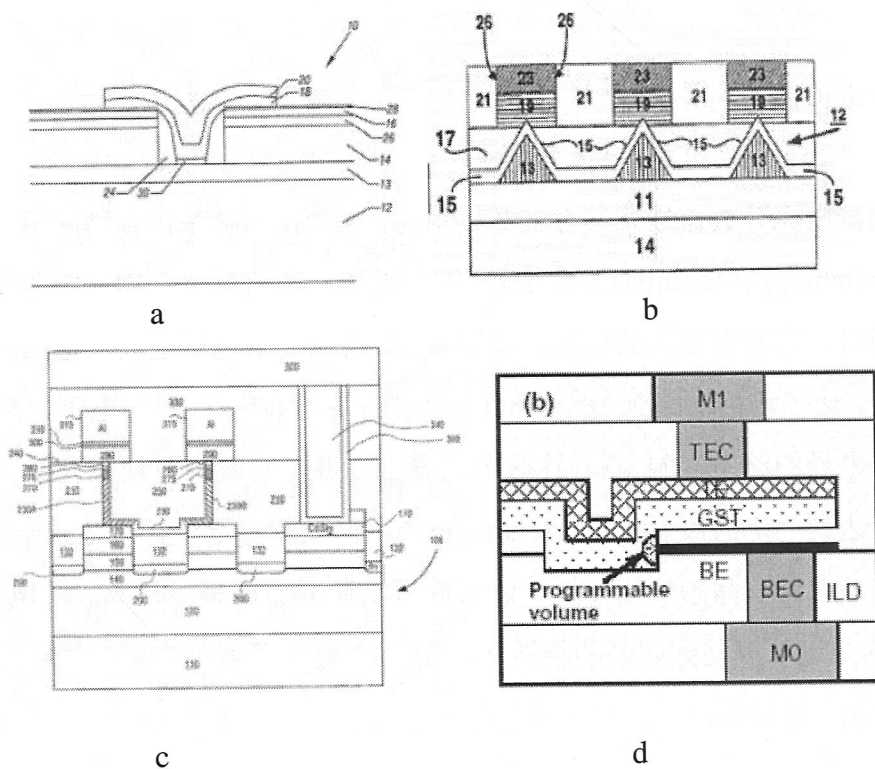


图 1.19 相变存储器结构改进

(a) Spacer technology^[40](b) tapered point^[41](c) trench/sidewall^[42](d) edge contact^[39]

在相变存储器阵列中，通常采用 1T1R 的单元存储结构，通过 MOS 晶体管对器件单元进行选择操作，如图 1.20。多个器件单元按照阵列排列，并与选址和信号读出电路连接，构成完整的存储器器件。此外，还有 Samsung 提出的 2R2T 的存储器单元

结构^[43]。

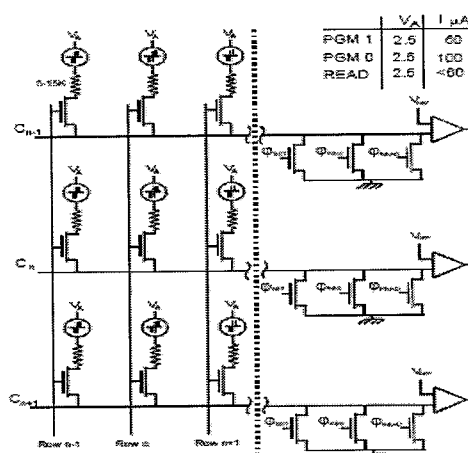


图 1.20 相变存储器单元阵列^[44]

1.4.2.3 基本性能

相变存储器电流开关作用是其存储数据信息的基础。而硫系化合物阈值开启现象 (Threshold Switching) 由 Ovshinsky 在 1968 年发现的。当硫系化合物处于非晶态时，当处于低电场时，它具有很大的电阻，如图 1.21 所示。当电压增大，电阻先呈现欧姆电阻的特性，而当场强增大到 10^5V/cm 时，电阻呈指数增长，而当电压达到 V_{th} 时，材料转换到高电导的动态 ON 态，这时的高导电态并没有发生材料晶体结构上的变化，只有电流达到一定的值后 (set current regime)，产生的热量使材料达到结晶温度，才会发生由非晶态到多晶态的相转换。而器件可以通过施加短但是更大的电流 (Reset current regime) 实现从多晶到非晶的相转换。图 1.22 显示了器件在多次循环操作后电阻值的变化情况，可以看出，相变材料具有很好的耐久力，可经受高达 10^{12} 次的可重复操作。

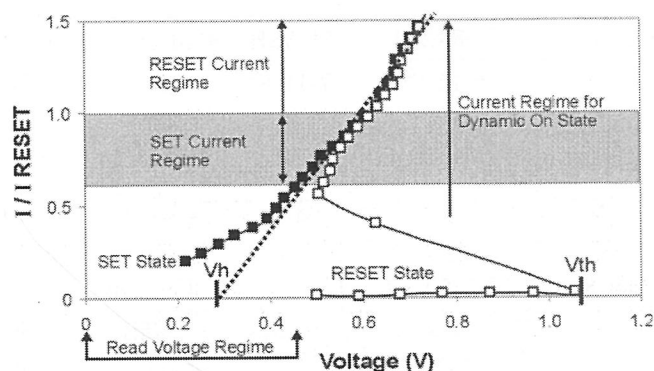


图 1.21 相变存储器单元器件 I-V 曲线^[44]

V_h 是保持电压, V_{th} 是开启阈值电压

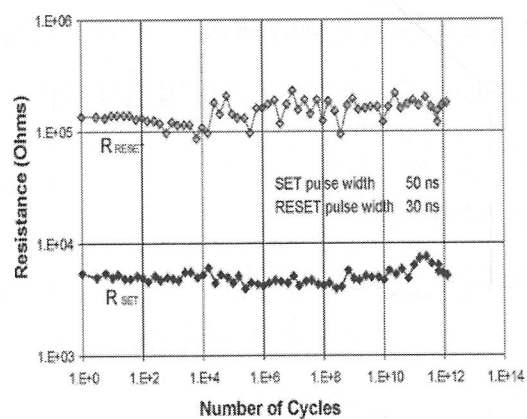


图 1.22 器件耐久力测试情况^[44]

1.4.3 相变存储器主要优点

表 1.3 详细列出了各种存储器的性能比较。

性能	SRAM	DRAM	FLASH	MRAM	FeRAM	C-RAM
尺寸	50-80 F^2	6-12 F^2	7-11 F^2	>20 F^2	>20 F^2	5-8 F^2
非易失性	否	否	是	是	是	是
写/读次数	不限/不限	不限/不限	10 ⁶ /不限	10 ¹² /不限	10 ¹² /10 ¹²	10 ¹² /不限
读过程	部分破坏性	破坏性	非破坏性	非破坏性	破坏性	非破坏性
功耗	中等	中等	高	中等	中等	低
写/擦/读时间	8ns/8ns/8ns	50ns/50ns/50ns	1μs/1-100ms/60ns	30ns/30ns/30ns	80ns/80ns/80ns	10ns/50ns/20ns
CMOS 的兼容性	好	差	可以	?	可以	好
多级存储	否	否	是	否	否	是
成本	高	低	中等	?	高	低
抗辐照性	1MRad	<50kRad	<30kRad	1MRad	1MRad	1MRad

表 1.3 各种存储器性能比较

由图中可以看出,相比与其他非易失性存储器而言,相变存储器主要有以下优点:

数据读取速度: 与 FLASH 同等水平, 但擦写速度要快很多

可擦写次数: 高达 10^{12} 次;

读取方法: 为非破坏性;

元件尺寸: 约为 MRAM 或 FeRAM 的 1/3;

耗电: 可在 2.5V 下工作, 比其它技术更优异;

成本: 所用的材料非常少, 制造简单;

与 CMOS 工艺的兼容性: 十分完美;

抗辐射;

实现多级存储。

能适应高温 (150°C) 低温 (-70°C) 恶劣环境

基于以上种种, 国际半导体工业协会早在 2001 年就预测: PRAM 存储器最有可能取代 Flash 成为未来存储器的主流产品, 而且目前也正在向着这一目标发展。

1.4.4 国际最新研发状况

由于 PRAM 的众多优越性能, 它也越来越引起各大公司的注意。世界主要半导体器件生产厂商如 Intel, Samsung, STM 等都投入大量资金人力研发相变存储器。关于相变存储器的专利也激增到 200 多项。表 1.4 列出了 PRAM 最新进展情况。可以看出, 其最大存储容量已经达到 256Mb, 单元面积减小到 $16F^2$, 而 reset 电流也减小到

0.6mA，可以预见，成熟的 PRAM 产品在不久的将来即将问世。

	Size(mm ²)	Tech	Cell(um)	Rmax/Rmin	Ireset/Iset	Vth	Iread(uA)	Cycles	treset/tset
Samsung VLSI 2005 ^[45]	256Mb	3V 0.10 C	0.4*0.4 [16F ²]	100K/1K [Ratio=100]	0.6mA/0.1mA [1900nm ²]	N.A.	N.A.	N.A.	N.A.
Samsung IEDM 2004 ^[46]	4Mb*16	3V 0.12 C	0.44*0.66 [20F ²]	2000K/10K [Ratio=200]	0.6mA/0.1mA [53nm*53nm]	0.6V	< 80uA	10 ⁹	10ns/ 150ns
Samsung VLSI 2004 ^[47]	4Mb*16	3V 0.18 C	0.56*0.9 [16F ²]	100K/2K [Ratio=50]	2mA/1.2mA [N.A.]	1.0V	N.A.	N.A.	60ns/ 100ns
Samsung ISSCC 2004 ^[48]	4Mb*16	3V 0.18 C	0.56*0.9 [16F ²]	200K/2K [Ratio=100]	2mA/1.2mA [45nm*45nm]	1.0V	N.A.	N.A.	40ns/ 100ns ;2.7V /2.0V
STM VLSI 2004 ^[49]	1Mb*8	3V 0.18 Bi-C	0.8*0.4 [10F ²]	1000K/10K [Ratio=100]	0.6mA/0.3mA [5000-1500nm ²]	1.5V	~ 80uA	10 ¹¹	40ns/ 100ns ;2.7V /2.0V
STM ESSCIR 2004 ^[50]	4Mb	3V 0.35 C	N.A.	N.A.	0.6mA/0.3mA N.A.	N.A.	80uA	N.A.	40ns/ 150ns ;2.7V /1.5V
Intel ISSCC ^[51]	4Mb	3.3V 0.18 Bi-C	[7.7F ²]	100K/20K [Ratio=5]	0.8mA/0.2mA [240nm*240nm]	0.9V		10 ¹²	30ns/ 50ns
Hitachi IEDM 2003 ^[52]	Device level	N.A.	0.16*0.16	200K/30K [Ratio=7]	50uA/1uA [500nm*500nm]	0.9V		10 ¹²	30ns/ 50ns

表 1.4 PRAM 最新研究状况

1.4.5 关键技术研发重点

虽然 PRAM 的研发已经取得突破性的进展，但仍然有很多技术困难挡在研究人员的面前。集中在减小擦写电流、提升擦写速率、提高器件可靠性耐久力几个方面。具体来说，关键技术的研发重点包括元件、制程整合；GST 相变材料研究；以及加热电极三方面。如图 1.23 所示。

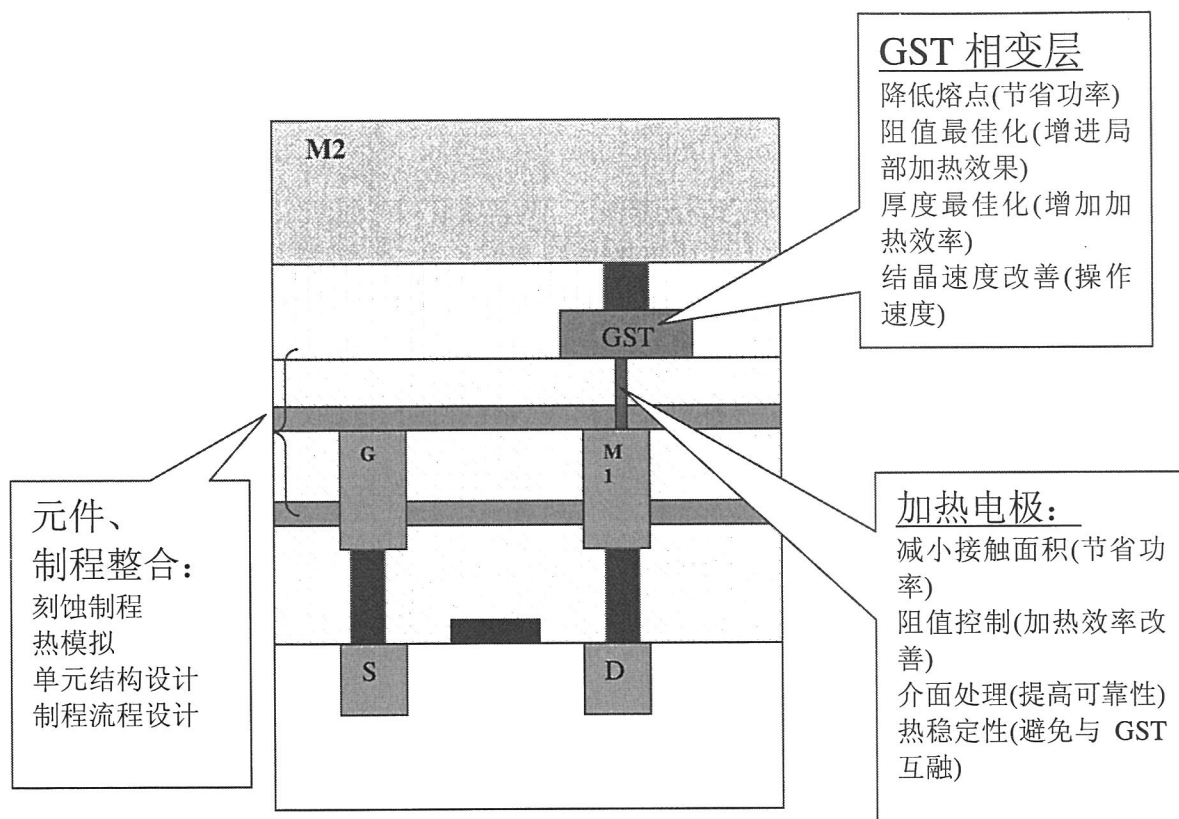


图 1.23 关键技术研发

元件、制程整合方面，主要在于 PRAM 与 CMOS 工艺兼容性，比如 GST 材料的刻蚀，制程设计等。单元结构设计目的在于在同等工艺条件下，优化器件性能；

GST 相变材料方面，主要目的是为了提高操作速度，减小功耗等；

而加热电极的研究目的在于减小功耗，提高可靠性和耐久性等。

1.5 本论文主要工作

综上所述,相变存储器必将在未来的存储器市场占有相当重要的地位。而目前这方面的研究主要集中在几大主要半导体器件生产商,占据了这方面大部分的专利技术。本论文是在国家 863 计划和上海市纳米技术发展基金的支持下,率先在国内开展关于相变存储器关键技术的研究。主要进行了以下几个方面的研究:

- 1, 相变材料研究。利用磁控溅射技术制备硫系化合物薄膜,优化制备条件和工艺;通过掺杂技术研究杂质离子对相变材料的影响,目的在于优化相变材料熔点、结晶速率等性能。
- 2, 电极材料研究。旨在寻找合适的电极材料:具有匹配的电阻,卓越的热稳定性能,且不与相变材料发生互融扩散,目的在于提高器件的可靠性和耐久力。
- 3, 电路模拟及器件结构优化。计算了 1T1R 结构下,为使 NMOS 管达到最佳的传输功率,相变存储器的最佳电阻值。以及根据此电阻值,优化相变存储器存储单元结构。

第二章 相变存储器相变材料研究

2.1 引言

我们知道,目前的半导体科技,大部分关键材料都是晶体半导体,如 Ge、Si 等。作为人们比较熟悉的晶态半导体,它的最基本特征是其组成原子或分子具有周期性排列,叫做长程有序性。基于这样的特征,并利用固体中的能带理论,使得晶态半导体中的许多物理和器件方面的重要问题都得到了比较完美的解决。对于非晶态半导体,由于它在结构上是一种无规则网络,没有周期性排列的约束,所以,它的性质,特别是光学和电学性质,很不同于晶态半导体。也正因为如此,在应用上非晶态半导体呈现出巨大的潜力。

正如第一章所述, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 是目前公认的最佳的相变材料,也是被广泛使用在相变存储中的。但是,对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 导电性能的研究与解释都还没有进入成熟的阶段,因此对材料的研究依旧很重要。目前主要有两种方法,一是改变硫系化合物的成分和组分。二就是通过掺杂改变 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的性质。本章通过用磁控溅射法制备 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜,研究制备条件对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜电学性能的影响。并研究了不同剂量 Ag 掺杂对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜性能的改变。

2.2 制备条件对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜电学性能的影响

采用磁控溅射的方法制备 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜。研究了磁控溅射制备 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜时,制备条件诸如功率、气压等对薄膜性能的影响。主要通过测量薄膜方块电阻随退火温度的变化情况,探索 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的成长机理,寻找最佳制备条件。

2.2.1 实验方法

在 $\text{SiO}_2/\text{Si}(100)$ 衬底上用射频磁控溅射法沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜。衬底硅片使用常规方法清洗。薄膜沉积速率通过使用台阶仪测量厚度除以溅射时间得到。在常温下沉积薄膜,本底真空低于 $5 \times 10^{-4} \text{Pa}$ 。溅射功率从 100W 变化到 300W,而沉积气压由 0.1Pa

变化到 0.8Pa。膜厚为 100nm, 薄膜样品经由 N_2 气氛下, 不同温度退火 1min 后, 用四探针测量其方块电阻。而其相应的晶体结构由 X 射线衍射仪 (XRD) 测定。

2.2.2 实验结果与讨论

图 2.1 给出了沉积速率随溅射功率的变化情况。此时的溅射气压为 0.1Pa。从图中可以看出, 溅射功率为 100W 时, 沉积速率为 14nm/min, 而溅射功率增加到 200W 后, 沉积速率也增加到 30nm/min。相应的, 300W 时速率为 42nm/min。可见, 大功率直接导致沉积速率的增加。

图 2.2 是溅射气压 0.1Pa、溅射功率 300W 时 $Ge_2Sb_2Te_5$ 薄膜经不同温度退火后的 XRD 图。图中可见, 沉积态的 $Ge_2Sb_2Te_5$ 膜为非晶态, 而 250℃退火 1 分钟后, 薄膜开始结晶, 呈现面心立方结构。当退火温度上升到 400℃以上时, 薄膜由面心立方转变为六方结构。由此可见, 面心立方是一种亚稳态结构, 而六方晶态结构相对比较稳定。这可以用 Yamada 提出的 $Ge_2Sb_2Te_5$ 结构模型来解释^[53,54]。图 2.3 是其描述的 $Ge_2Sb_2Te_5$ 面心立方结构模型。如图, Te 占据特定的位置 a, 而 Ge 和 Sb 原子占位置 b, 不足的由空穴填充。因此, 这种空穴位置的存在以及键的不饱和性直接导致了面心立方结构的不稳定性。而六方结构是一种层状结构, 每一层只包含一种元素, 然后一层层的 Ge、Sb、Te 堆砌起来形成如同 $-Ge-Sb-Te-Ge-Sb-Te-$ 六方晶格结构。没有空位缺陷的存在, 结构自然比较稳定。

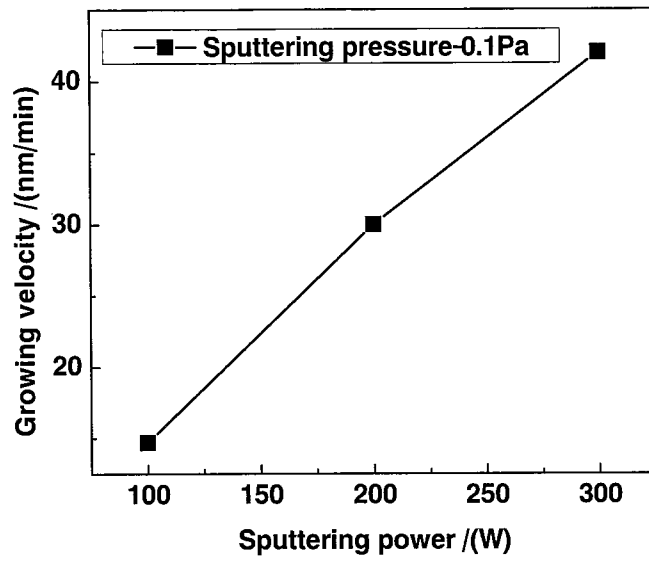


图 2.1 溅射气压 0.1Pa 时沉积速率随功率变化曲线

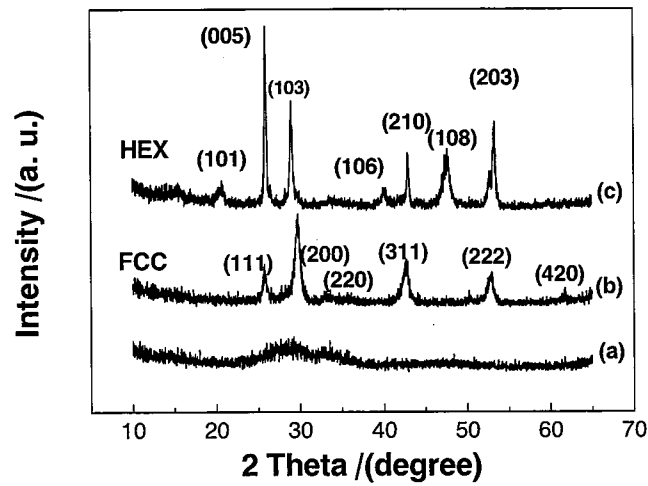
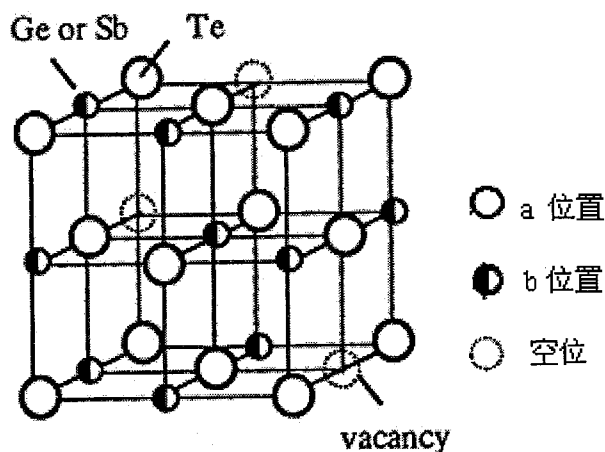


图 2.2 不同温度退火后薄膜 XRD 结构图谱, (a) 未退火, (b) 250℃, (c) 400℃

图 2.3 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 FCC 结构模型

结构与电学性能是紧密联系的。薄膜的方块电阻直接反映了薄膜的晶体结构。在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 三种结构中，非晶态方块电阻最高，这是由于原子分布的杂乱无章严重阻碍了载流子的运动。而面心立方和六方晶态两种结构，面心立方结构方块电阻高，这是由于面心立方结构中键不饱和，对作为载流子的电子有很大的束缚作用。

图 2.4 和图 2.5 分别是不同气压和功率制备的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜方块电阻随退火温度变化情况。由图可见，溅射气压为 0.1Pa 时，退火温度只有达到 400℃ 以上时，薄膜的方块电阻才下降到一个较为稳定的值，相应的，晶体结构才由面心立方转变为六方晶态。而溅射气压增大时，方块电阻随退火温度增加，下降的要快的多。也就是说，薄膜的晶体结构由面心立方结构转变为六方晶态的相变温度降低了很多。这对于器件的性能是有极大影响的。因为如果是用作单级存储器，只利用其中两个结构间的相互可逆转换存储和擦写数据，一般会利用较为稳定的非晶态和六方晶态。非晶态的高电阻作为逻辑电路中的关，相应的，六方晶态的低电阻作为开。这时，就可以通过增加溅射气压，降低六方晶态结晶温度，这样，所需的热量少，也就意味着所需能量少，可以降低写入电流。而降低写入电流，正是目前相变存储器制备中面临的最大一个问

题。值得注意的是，并不是溅射气压越高，六方晶态结晶温度就越低，如图 2.4 中，溅射气压 0.8Pa 时这种变化已基本趋于饱和。另一方面，如果器件用作多级存储，就需要多个电阻来一次表示逻辑的 0、1、2、3 等，因此，电阻率的变化要较为缓和，此时，降低溅射气压，可以大大降低电阻随退火温度上升而下降的趋势，有利于实现多级存储。

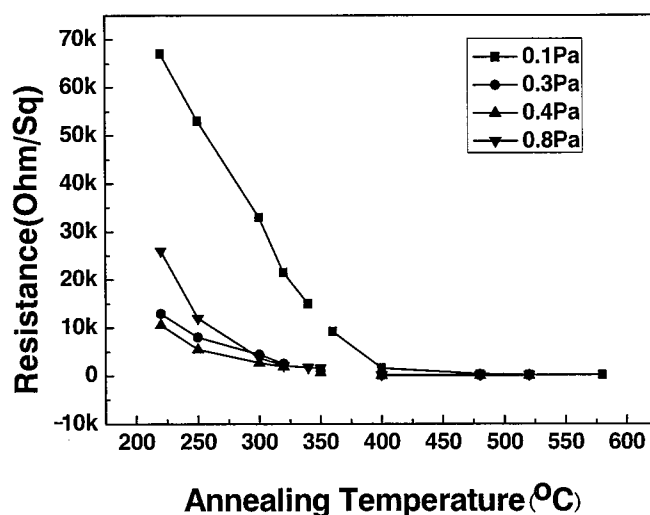


图 2.4 不同气压时薄膜方块电阻与退火温度的关系，溅射功率为 200W

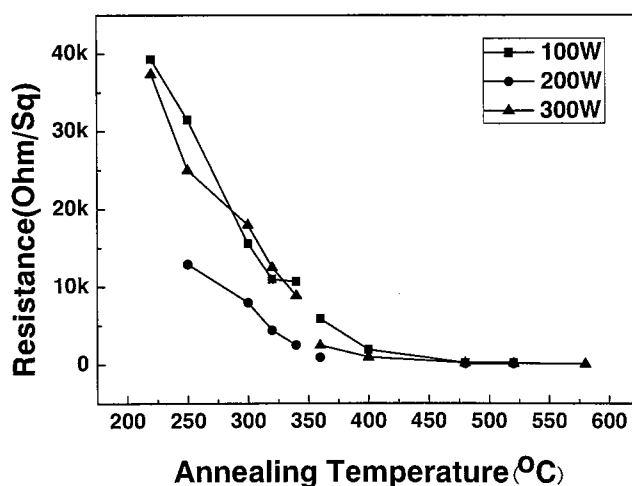


图 2.5 不同功率时薄膜方块电阻与退火温度的关系，溅射气压为 0.3Pa

对于气压对薄膜电阻性能的影响,可以解释如下:气压增大时,溅射出的原子数目增加,薄膜生长的比较致密,有一定的压应力存在。而经由退火处理后,应力有所释放,这个力促使了原子的移动结晶,因而所需结合能较低,即意味着较低的结晶温度。其具体机理有待于进一步研究。

图 2.5 是不同溅射功率对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜方块电阻随退火温度变化情况的影响。图中可以看出,功率对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的性能没有显著的影响。也就是说, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜两个相变温度,即由非晶到面心立方,再由面心立方到六方晶态,都没有随溅射功率的不同有太大影响。溅射功率只是影响薄膜的沉积速率。

2.3 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 电学性能研究

对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜进行掺杂,主要是想通过引入少量杂质,在不破坏 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜相变现象的基础上,改变其性能,使 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜更好的满足相变存储器的性能要求。主要是在相变速率,相变温度,相变所需能量等几个方面提升其性能。目前研究的比较多的有掺非金属 N^[55,56]、O^[57],以及掺金属 Sn^[58,59], Bi^[60]等。

本章即是通过掺杂入金属 Ag 原子,研究 Ag 掺杂对于 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜电学性能的影响。

2.3.1 实验方法

采用日本真空(ULVAC)生产的磁控溅射系统制备薄膜。靶材是 99.999% 的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 合金靶,将不同数量的 Ag 片置于合金靶上,通过 Ag 片的数量来控制 Ag 的掺杂量,并通过 ICP(ICP-AES,P-4010 型)测试 Ag 具体掺杂量。溅射本底真空低于 5×10^{-4} Pa,溅射气压为 0.3Pa。用台阶仪(Alpha-Step 500)测定溅射速率,溅射功率为 100W 时,溅射速率为 0.3nm/s。通过溅射时间控制膜厚在 100nm。制备好的薄膜样品在氮气气氛下快速热处理 1 分钟使其结晶。用 DSC 测量非晶态薄膜的结晶温度,并用 XRD 测试样品晶体结构。使用四探针测试薄膜的方块电阻。并使用搭建的 I-V 测试系统(Keithley 2400 和 Cascade RHM-06 型探针台)测试薄膜的 I-V 特性。

2.3.2 实验结果与讨论

图 2.6 给出了沉积态 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜结晶温度(T_c)随 Ag 掺杂量的变化关系。从图中可以看出,随 Ag 掺杂量由 0 变化为 11.3%, 结晶温度相应的从 172.7 °C 上升到 210.0 °C。这一结论和 Lie 等人的研究结果相符合^[61]。其研究还表面, Ag 原子在结晶过程中充当了结晶中心的作用, 并降低了结晶能。这表明 Ag 掺杂能加快薄膜结晶速率从而加快相变存储器的擦除速率。

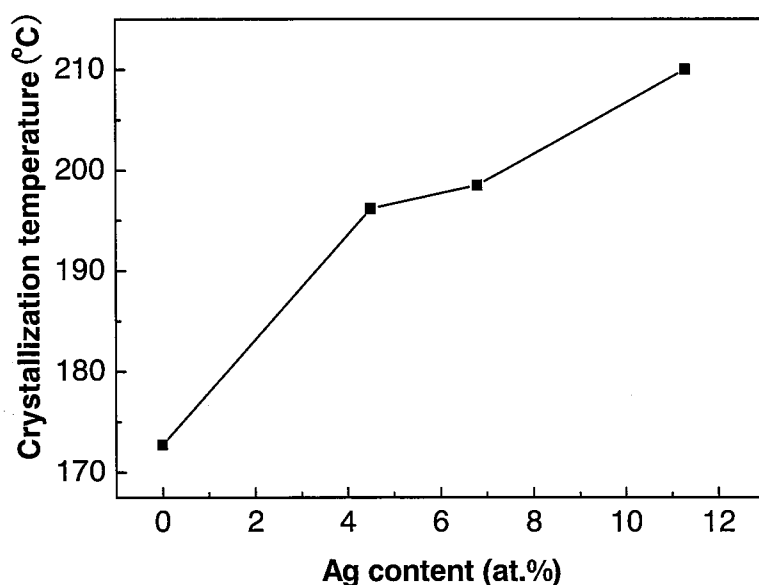


图 2.6 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜结晶温度随 Ag 掺杂量变化曲线

图 2.7 给出了 200 和 400 度退火后, 不同剂量 Ag 掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 XRD 图谱。很明显, 未掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜呈现非晶态, 200 度退火后变化为面心立方(FCC), 而当退火温度达到 400 度以上后, 又变化为六方堆积结构(HCP)^[62,63]。面心立方结构的晶格常数 $a=0.59906\text{nm}$, 而六方堆积时, $a=0.4216\text{nm}$, $c=1.7174\text{nm}$ 。另一方面, Ag 掺杂后的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜退火 200 度后呈现相似的面心立方结构, 只是峰值降低。这是由于 Ag 原子替代了一些 Ge, Sb 和 Te 原子, 并破坏了一些 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 原来的结构。但当退火温度上升到 400 度后, 4.5%和 6.8%Ag 掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜仍然是面心立方结构, 说明由于 Ag 原子的掺杂, 由面心立方结构变化为六方堆积结构的相变温度增加了。这可能是由于 Ag 原子替代了一些 Ge, Sb 和 Te 原子从而形成了更稳定的面

心立方相。

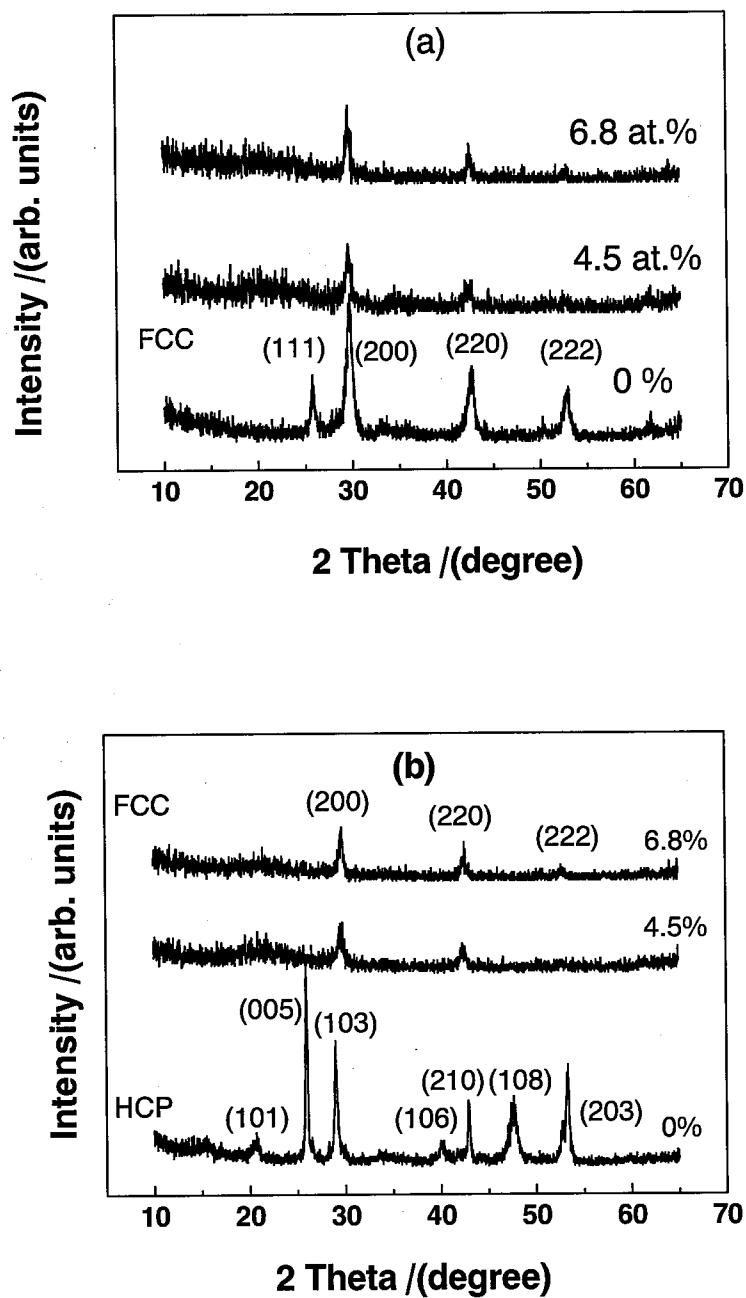


图 2.7 不同剂量 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜退火 1 分钟后 XRD 图谱。

(a) 200°C, (b) 400°C

图 2.8 给出了不同剂量 Ag 掺杂后的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜方块电阻随退火温度变化曲线。未经退火的薄膜电阻高达 $10^7 \Omega/\square$ 以上。对于掺杂和未掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜，电阻值都随退火温度的上升下降，并在 450 度以上时达到一个较为稳定的电阻值。不同