

的是,Ag 掺杂的薄膜最后稳定的电阻值要比相同情况下未掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜电阻值大。

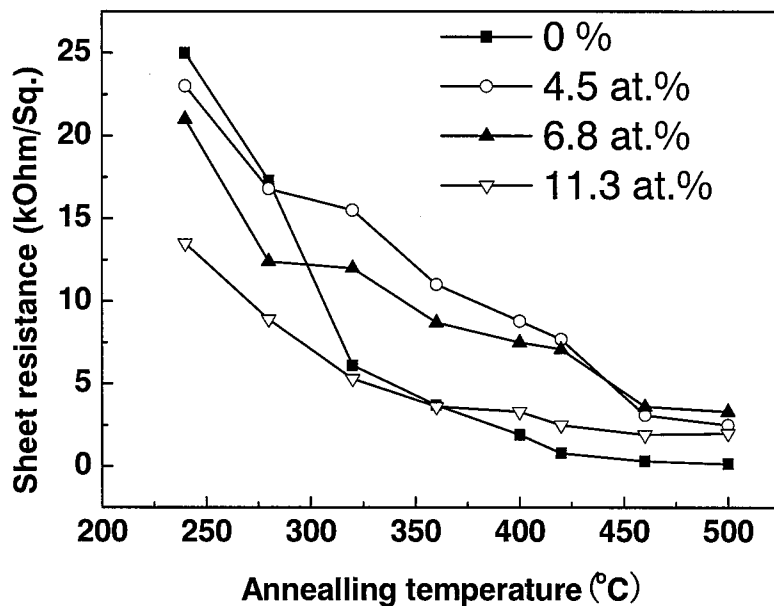


图 2.8 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜方块电阻随退火温度变化曲线

我们知道,在这些薄膜中,有三种载流子:来自 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的电子和空穴以及来自 Ag 中的自由电子。薄膜电阻由这三种载流子的浓度以及它们在各个晶态中的迁移率决定。其导电机理非常复杂,有待于进一步研究。

为了使相变存储器的制备更加可行和器件单元的的稳定一致,我们通常采用非晶态和 450 度退火后达到的稳定的多晶态相应地来作为器件的关闭和开启状态。而 Ag 掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜在稳定的多晶态时电阻值较大,使得其更有优越性。因为我们知道,在开启和关闭状态间的转换主要依赖于热效应。因此,相同器件结构下,Ag 掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜只需要较小的电流就可以产生足够的热量使器件由开启态转变为关闭态。即减小了写入电流,这正是相变存储器研究中急需解决的问题。

图 2.9 是沉积态不同剂量 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 $I-V$ 曲线。图 2.10 是测试方法示意图。在此测量中,我们忽略底电极 W 的影响,因为相比与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜, W 的电阻率要小很多。测量的关键在于验证相变过程及阈值电压。当通过探针加电压时,电流流过部分 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜,流入底电极。只有这一部分的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜才是有效区域。由于探针头直径为 $0.12\mu\text{m}$,膜厚为 100nm ,可以算出,有效区域的体积小

于 $1\mu\text{m}\times 1\mu\text{m}\times 0.1\mu\text{m}$ 。通过这种测试方法,我们可以很方便的测量出 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的电学性能。图 2.9 中,当电压值较低时, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的电阻非常大,这是因为沉积态的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜是非晶态的。而当电压上升到 V_{th} 时,发生 Ovonic Threshold Switch(OTS)[1,12],薄膜电阻开始变小,但是有效区域的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜并不发生相变。随着电压的继续上升,电流产生的热效应增大,使得有效区域的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜发生相变,从非晶转变为多晶,这即是所谓的 Ovonic Memory Switch(OMS)^[53,64]。而对于 Ag 掺杂的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜,发生的现象是一样的,只是阈值电压 V_{th} 随 Ag 掺杂量的增加而变大了。具体值如下: $V_{\text{th}}=0.67\text{V}$ (0 at.% Ag), $V_{\text{th}}=0.72\text{V}$ (4.5 at.% Ag), $V_{\text{th}}=1.05\text{V}$ (6.8 at.% Ag)。而当 Ag 掺杂量为 11.3% 时, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的开关现象变的不那么明显,这是由于过多的 Ag 原子破坏了 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的主结构。

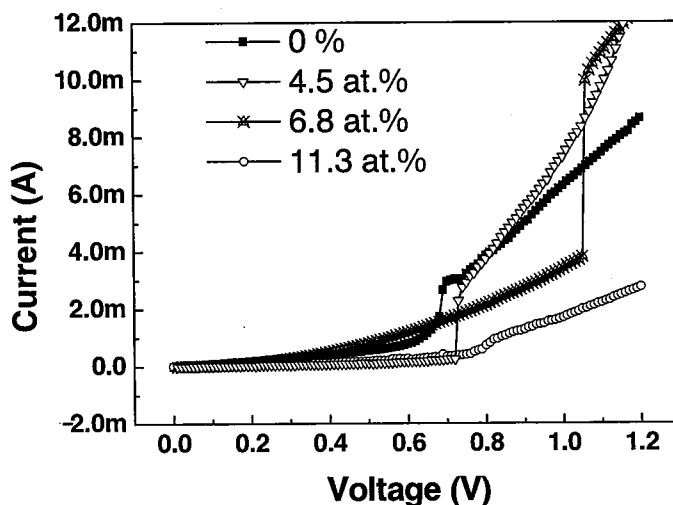


图 2.9 不同剂量 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 I-V 曲线

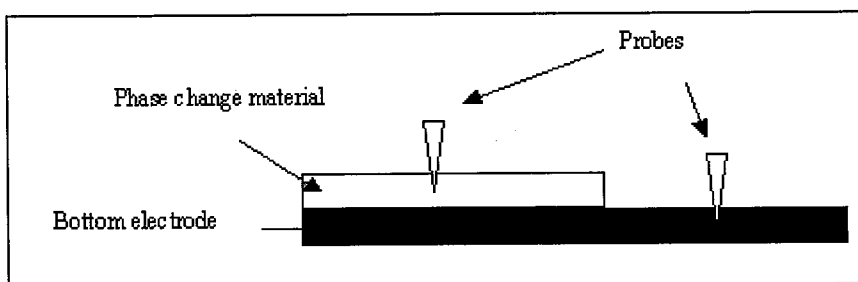


图 2.10 I-V 测试方法示意图

为什么 Ag 掺杂会增加阈值电压呢？我们认为这可以通过 Adler 等人 1980 年提出的观点来解释^[65]。非晶的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜是半导体材料，具有短程有序性，原子可以通过共价键形成短链。由于它的短程有序性，Ge 具有 4 价，Sb 是 3 价，而 Te 是 2 价。因此，每个 Te 原子外层有两个孤对电子。2 价的 Te 可以表示为 C_2^0 ，而 C_2^0 并不稳定，在晶体中会发生很多 $2\text{C}_2^0 \rightarrow \text{C}_3^+ + \text{C}_1^-$ 反应，从而产生很多电子陷阱 C_3^+ (Charged traps)^[65]。当加上电压后，电场激发的载流子首先填充这些电子陷阱，薄膜开始导电。消耗在填充电子陷阱的电压即为阈值电压。而当 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜中掺入 Ag 后，Ag 原子会破坏 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 部分短程序，形成更多的孤对电子，也就是更多的电子陷阱。因此，需要更多的电子陷阱来填充电子陷阱，从而增加了阈值电压。

图 2.11 是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 I-V 曲线 ((a)未掺杂, (b)6.8%Ag 掺杂)。在第一次扫描中， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜是非晶态，因此发生了 Ovonic threshold switch。而在第一次扫描的结尾处，由于电压值很大，使得相变发生， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜由非晶态变为多晶态，此时 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜相当于一个欧姆电阻。可以看出，少量的 Ag 掺杂并没有破坏 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜开关现象。而我们认为，阈值电压的增加并不影响器件的功能。因为相变存储器有三种操作：写入、擦除，和读取。而擦写电压与阈值电压并没有任何关系，而读取电压只要比阈值电压小即可。所以，阈值电压的增加并不会提高功耗，反而可以增加读取的抗干扰能力。

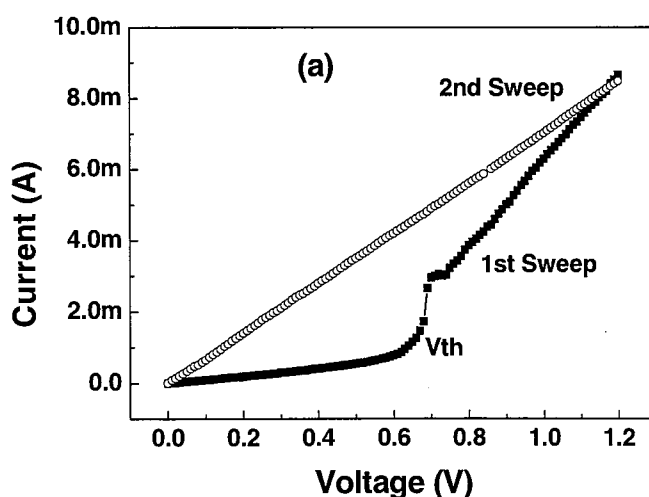


图 2.11 (a) 未掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 I-V 曲线

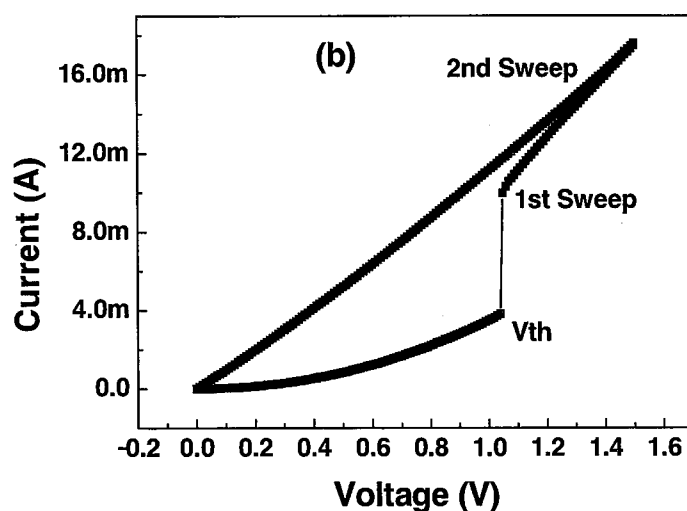


图 2.11(b) 6.8 at.% Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜 I-V 曲线

2.4 本章小结

本章主要研究了相变存储器的关键功能材料——相变材料。通过磁控溅射的方法制备 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜，主要研究了制备条件对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜电学性能的影响及 Ag 掺杂对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜性能的改进。研究表明：

1，用射频磁控溅射沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜时，溅射功率直接影响沉积速率，功率越大，速率越快。溅射功率对薄膜的结构及电学性能没有明显影响。而溅射气压对于薄膜的结构性能有重大的影响。气压越高，薄膜的方块电阻随退火温度上升，下降的速率越快。也就是薄膜由面心立方转变为六方晶态的结晶温度越低，意味着面心立方结构越不稳定。这种气压对结晶温度的影响，可以针对制备单级或多级存储器的要求，具体利用。

2，Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的相变温度随着 Ag 掺杂量增大而升高，由未掺杂时的 $172.7\text{ }^\circ\text{C}$ 上升到 11.3% 掺杂时的 $210.0\text{ }^\circ\text{C}$ 。Ag 原子通过替代部分 Ge, Te 和 Sb 原子会破坏部分 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 结构，但 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的面心立方结构会更加稳定，增加了由 FCC 到 HCP 的相变温度。用四探针测试不同温度退火后不同剂量 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的电阻，结果表明 Ag 掺杂使得多晶态下，掺杂后的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜具有更大的电阻率，这有利于减小相变存储器的写入电流。使用一种简单但实用的方法测试了薄膜的

I-V 曲线, 证明 Ag 掺杂并不破坏 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜本身的相变性质, 只是增加了阈值电压, 而阈值电压的增加并不会影响相变存储器的操作。

第三章 相变存储器电极材料研究

3.1 引言

相变存储器目前面临的最大的阻碍是过大的写入电流。只有减小写入电流，才能降低成本，增大密度，减小功耗和提升可靠性。

我们知道，相变存储器每个存储单元包含一个晶体管和一个电阻形成 1T1R 的结构。这里的电阻是由相变材料制成的，通过电流脉冲来改变电阻值从而存储数据。因此，电流脉冲的幅值要受到晶体管的限制。表 3.1 给出的是目前一些大公司报道的相变存储器写入电流大小。因此，可见，减小写入电流对于相变存储器是极其重要的。

研究机构	接触面积	写入电流
Samsung 2003	$200 \times 20 \text{nm}^2$	0.34mA
Intel 2003	$24 \times 24 \text{nm}^2$	0.17mA
Ovonyx 2002	$120 \times 120 \text{nm}^2$	1.3mA
SEC 2002 ^[68]	$0.12 \times 0.12 \mu\text{m}^2$	2.0mA

表 3.1 各主要研发机构已报道的写入电流大小

写入电流主要受以下因素决定：GST 接触面积，结构；GST 电阻；GST 体积大小及厚度；和绝缘材料性质。而减小写入电流的主要方法有三种：增加发热体电阻，增加发热效率及减小热散^[69]。

增加发热效率：可以通过减小单元尺寸实现。即减小底电极接触面积，这样可以用较小的电流达到较大的电流密度，从而增加电流的发热效率，减小写入电流。这种方法取决于工艺制备手段及单元结构改进方法。如 Samsung 报道 side wall contact^[70]。

减小热散：主要通过改变电介质材料的性质。使用低热导率的绝缘材料可以有效的减小写入电流。

增加发热体的电阻。主要有 2 种发热体，一是 GST 本身发热，二是电极发热。针对第一方面，就是要提高 GST 自身的电阻，可以通过掺入杂质实现^[71]。针对第二种情况，就是采用新的电极材料。

另一方面,电极材料对于相变存储器的可靠性也非常重要。相变存储器单元的失效主要有三种机理^[72]。第一种就是电极材料和相变材料的物理剥离。据文献报道,多次擦写操作后,在相变合金和电极材料界面处会发现很多纳米尺寸的空孔^[73]。第二种是由于相变材料本身疲劳导致的失效。这主要是由于相变材料和电极材料之间的相互扩散造成相变材料化学计量比发生改变从而失效。第三种是由于电迁移导致的,不过这种效应在 10^{12} 次擦写操作内可以忽略^[74]。

因此,电极材料的研究对于相变存储器至关重要。一个好的电极材料,应当满足以下 4 个方面的要求

- 1, 合适的电阻,
- 2, 良好的热稳定性,
- 3, 不和相变材料发生反应
- 4, 和相变材料有良好的结合力。

本章研究的目的,就是找出一种适合相变存储器的电极材料。

3.2 W 电极材料制备与表征

钨是一种半导体工艺中非常常见的金属材料。钨被广泛应用于铝连线的阻挡层,有效阻止电迁移效应。钨还被应用于连线孔插栓。考虑钨作为相变存储器的电极材料,主要是因为钨与半导体工艺兼容,此外,钨的熔点高达 3410 度,具有非常好的热稳定性。这正是相变存储器电极材料所需的关键性能。

本节中,我们用超高真空电子束蒸发制备 W 薄膜,具体研究薄膜的微结构及热稳定性。

3.2.1 实验方法

采用超高真空电子束蒸发(Balzers UMS 500p)制备金属 W 薄膜。采用两种衬底,一是 380um 厚的 p(100)硅衬底,另一种是在第一种的硅衬底上沉积 20nm 厚的 Ti 膜作为黏附层。沉积好的 W 膜在氮气气氛下不同温度退火 5 分钟,然后用 XRD 测试其结构,表面形貌及厚度用扫描电镜(SEM)观测。

表 3.2 是实验中采用的超高真空电子束蒸发设备性能指标:

设备型号	UMS500 型, BLAZERS 公司
输入功率	3PNE 3×380/220V, 50Hz, 30KVA
主腔真空度	$\geq 0.5 \times 10^{-10}$ mbar
预真空室真空度	$\geq 0.3 \times 10^{-7}$ mbar
真空泵	分子泵
主腔抽速	300L/S
四极质谱仪	控制气氛, 控制蒸发速率
RHEED (高能电子衍射)	表面实时控制
蒸发速率及精度	≥ 0.1 A/S, 1A
电子枪 蒸发源	两把电子枪, 一个热蒸发源, 可以三个源同时蒸发
预真空室抽速	58L/S
主真空室抽速	300L/S
衬底加热最高温度	9000C
装载尺寸	3 英寸片

表 3.2 高真空电子束蒸发仪性能参数

主要试验条件:

W 膜: 温度: 室温

工作电压: 10KV

沉积速率: 2A/s

压强: 蒸镀前: 6.7×10^{-8} torr

蒸镀中: 6.1×10^{-5} torr

Ti 膜: 温度: 室温

工作电压: 10KV

沉积速率: 2A/s

Ti: 200A, 沉积前气压 4.7×10^{-8} torr

沉积时气压 6.3×10^{-7} torr

W : 1200A 沉积前气压 4.1×10^{-8} torr

沉积时气压 5.2×10^{-5} torr

3.2.2 实验结果与讨论

图 3.1 是不同温度退火后 W 薄膜的 XRD 图谱。(a) 中的衬底为硅片, 而 (b) 的衬底为 Ti/Si。很明显, 硅衬底上生长的 W 是 α -W (bcc) 和 β -W (A15) 的多晶结构。而在 Ti/Si 衬底上生长的 W 只有一种晶向 α -W (bcc)。也就是说, 蒸发制备的 W 的结构与衬底密切相关。从图 3.1 还可以看出, 退火前后 W 的结构并没有发生改变。而根据 M. J. O' keefe 和 J. T. Grant 等人的研究^[75], 用溅射方法制备的 W 薄膜, 经过退火以后, W 薄膜会由 β -W 变为 α -W, β -W 为一种亚稳态结构。但在我的实验中, 并没有发生此类相变。这可能与不同生长方法和机理有关。而且, 退火前后晶体结构不发生变化的薄膜更具有稳定性, 更有利于增长器件的寿命。

由图 3.1 可以看出, W 薄膜的晶体结构与衬底材料有密切关系。造成这种影响的主要原因在于晶格常数的不同。 α -W 的晶格常数 $a=3.164\text{\AA}$, β -W 的晶格常数 $a=5.05\text{\AA}$, 单晶 Si (100) 的晶格常数 $a=5.392\text{\AA}$, 而图 3.2 是热蒸发的 Ti 薄膜 XRD 图谱, 可以看出, 其主要晶向为 (100), 晶格常数 $a=2.950\text{\AA}$ 。因此可见, 当衬底为晶格常数为 $2.950\text{\AA}$ 的 Ti 薄膜时, 生长的为单一的晶格常数为 $3.164\text{\AA}$ 的 α -W 薄膜。而衬底为晶格常数为 $5.392\text{\AA}$ 的单晶硅时, 除生长出了稳定的晶格常数为 $3.164\text{\AA}$ 的 α -W, 还诱发生长出晶格常数为 $5.05\text{\AA}$ 的 β -W, 且也较为稳定。这都与衬底硅晶格的诱导及约束密切相关。

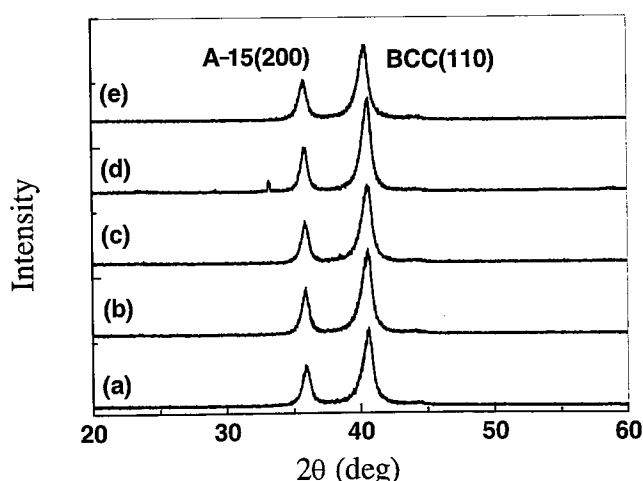


图 3.1 (a) Si 衬底上 W 薄膜 XRD 图谱

(a) as deposited, (b) 500°C , (c) 550°C , (d) 600°C , (e) 700°C

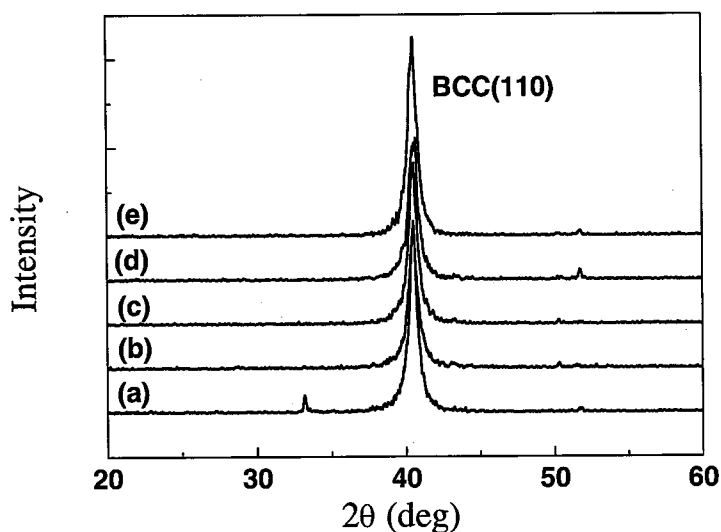


图 3.1 (b) Ti/Si 衬底上 W 薄膜 XRD 图谱

(a) as deposited (b) 500°C (c) 550°C (d) 600°C (e) 700°C

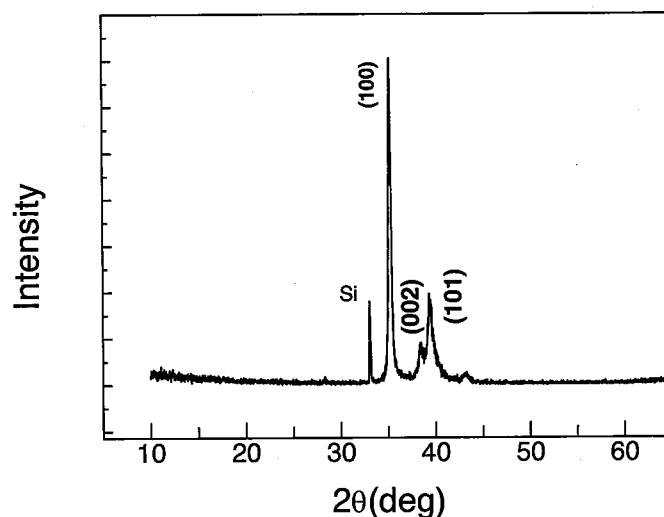


图 3.2 热蒸发制备 Ti 膜 XRD 图谱

图 3.3 是不同衬底上 W 薄膜经不同温度退火后的表面形貌。可以看出, Ti/Si 衬底上的 W 晶粒要比 Si 上的 W 小很多, 即表面的平整度要好。且经过 700 度高温处理后, 依然保持较好的表面平整度。因此, W 薄膜具有很好的热稳定性, 而 Ti 作为有效过渡层可以使 W 薄膜更加平整。

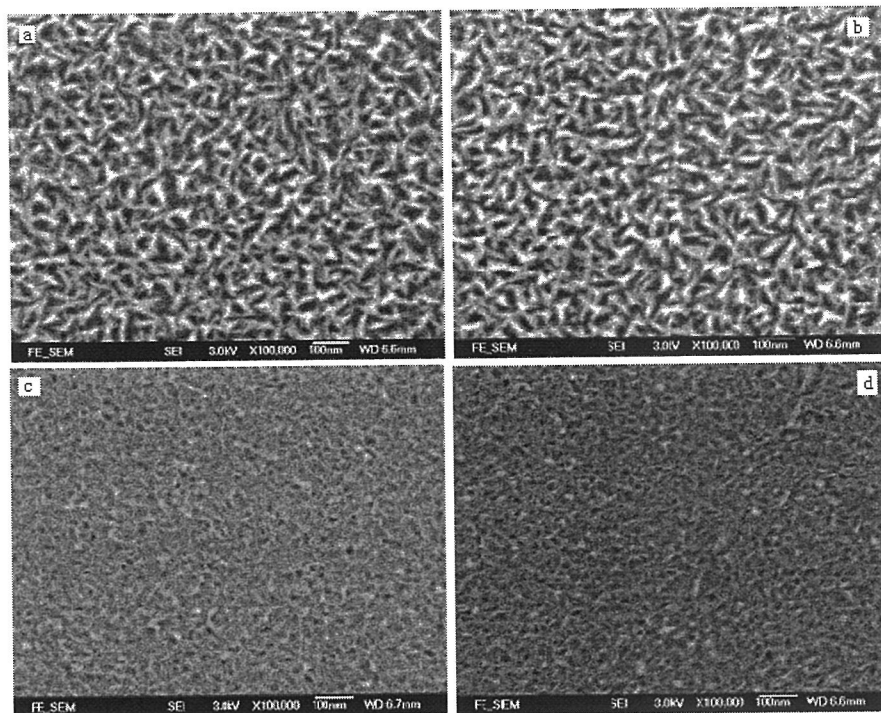


图 3.3 不同衬底上 W 薄膜不同温度退火后表面形

(a): W/Si 500°C (b): W/Si 700°C (c): W/Ti 500°C (d): W/Ti 700°C

3.3 GeWN 电极材料制备与表征

基于 W 的稳定性能，很多公司都采用了 W 作为相变材料的加热电极。如 Hitachi 在 2003 年报导的使用 W 电极制备相变存储器^[76]，在循环次数达到 10^6 时，器件仍保持很好的性能。

然而，作为一种金属材料，W 的电阻率很低，为 $5.4 \times 10^{-8} \text{ Ohm} \cdot \text{m}$ 。因此，利用 W 的焦耳热效应来加热，显然效率很低。也就是说，同样的电流密度下，W 电极产生的热量很少，对 GST 的加热效率低，这显然不利于降低相变存储器的写入电流。因此，正如绪论中所述，通过适当控制加热电极的阻值，可以有效的提高加热效率，从而达到降低写入电流的目的。

在 W 电极基础上，提高其电阻率最有效也是最直观的方法，就是使其氮化，即，使用 WN 来作为加热电极。一般而言，金属氮化物的电阻率要比相应的金属电阻率大 10 倍以上。因此，WN 是值得考虑的候选材料之一。

然后，根据文献报道^[77,78,79]，WN 是一种不稳定的物质。沉积态的 WN 是非晶态的，

而经过不同温度退火后, WN 会发生重结晶现象。重结晶的温度与 N 含量有关, 一般在 400—600 度之间。伴随着重结晶的发生, WN 的电阻率也会下降。变化率甚至会达到 100 倍以上, 这对于电阻式器件是非常不利的。因为这会造成很大的电阻分布, 对器件的可操作性和可靠性都是十分有害的。

那么, 是不是可以使用热处理后晶态的 WN 来作为底电极呢? 我们知道, 一个好的电极材料不仅需要合适的电阻率, 还有一个条件就是能阻止薄膜间的相互扩散。而据文献报道, 当考虑到扩散过程时, 非晶态的薄膜通常情况下比晶态薄膜能更好的阻止扩散现象, 这是由于晶界效应(grain boundary effect)^[77]的影响。晶界会提供更多的扩散通道, 如图 3.4 所示。所以, 最好是使用一种稳定的非晶材料作为底电极材料。于是, 考虑在 WN 中掺入另一种元素, 阻止其重结晶。考虑到上层的 GST 薄膜, 我们使用 Ge 作为掺入元素, 使用 GeWN 薄膜来作为底电极材料。

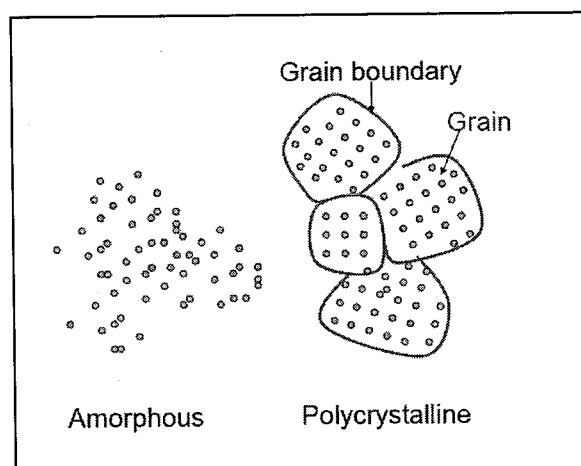


图 3.4 晶界效应对原子扩散的影响

3.3.1 实验方法

实验使用 Si/SiO₂ 衬底, 用标准程序清洗。采用多靶磁控溅射仪, 在高纯 Ar 和 N₂ 气氛下溅射 W 和 Ge 靶沉积 Ge-W-N 薄膜。纯 Ar 和 N₂ 的总气压保持在 0.2Pa, 而通过改变 Ar/N₂ 比率来控制薄膜中 N 含量, 通过改变溅射功率来控制 Ge 和 W 的含量。W 靶使用的是直流电源, Ge 靶使用射频电源。W 靶的溅射功率保持在 100W, 而 Ge 靶功率依次改变为 50W, 100W, 200W。薄膜厚度为 200nm, 用台阶仪 (Alpha-Step 500 Profiler,

Tencer, America)测定。薄膜样品制备好以后,在 N_2 气氛下经不同温度退火 5mins,用四探针(D41-11A/ZM 型)测试薄膜的电阻率,使用 AutoProbe CP 多用原子力显微镜(AFM, AP-0190 型)及扫描电子显微镜(SEM, JEOL-JSM-4700F 型)观测各样品表面形貌特征和粗糙度。并配合使用拉曼光谱(LabRam-1B 型)和光电子能谱仪(XPS, Microlab 310F 型)分析样品成分及化学键状态。

将不同条件制备、经不同温度快速退火后的样品编号,用三位数字编号,具体规则按表 3.3 所示:

编号第一位	Ge 靶功率			W 靶功率			
1	RF 50W			DC 100W			
2	RF 100W			DC 100W			
3	RF 200W			DC 100W			

编号第二位	1	2	3	4	5	6	7
N_2 流量 sccm	0	10	12	15	21	30	35
Ar 流量 sccm	55	50	48	45	42	38	35

编号第三位	0	4	5	6	7
退火温度	未退火	400 度	500 度	600 度	700 度

表 3.3 样品编号

3.3.2 实验结果与讨论

图 3.5 是不同功率下沉积态 GeWN 薄膜电阻率随不同 N_2/Ar 比变化情况。可以看出,随着 N_2 分压比的增大,薄膜电阻率也随之增大。这主要是由于 W-N 键的增加使得薄膜中自由电子数目减小而导致电阻率增大。未掺 N 的 GeW 薄膜电阻率大约为 $1.4m\Omega\cdot cm$ 。而当 N_2/Ar 比达到 1 时,电阻率也增加到近 $60 m\Omega\cdot cm$ 。而我们知道,金属 W 的电阻率为 $5.40E-03m\Omega\cdot cm$ 。可见,GeWN 的电阻率比 W 大了 10^3-10^4 ,达到了我们增加电阻率的目的。

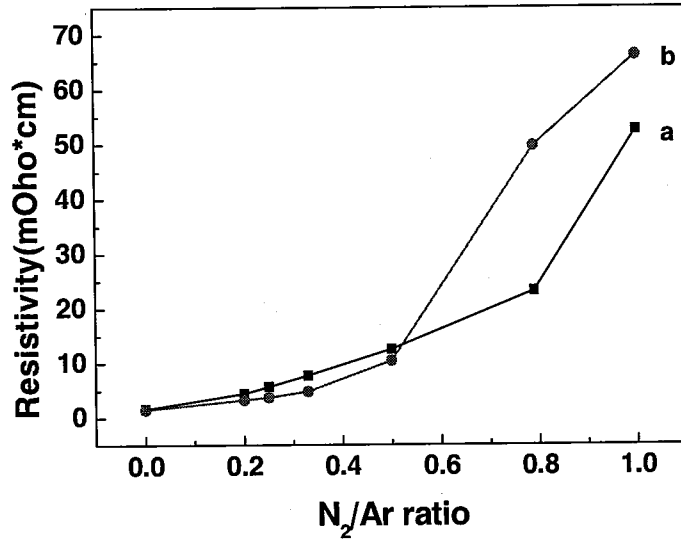
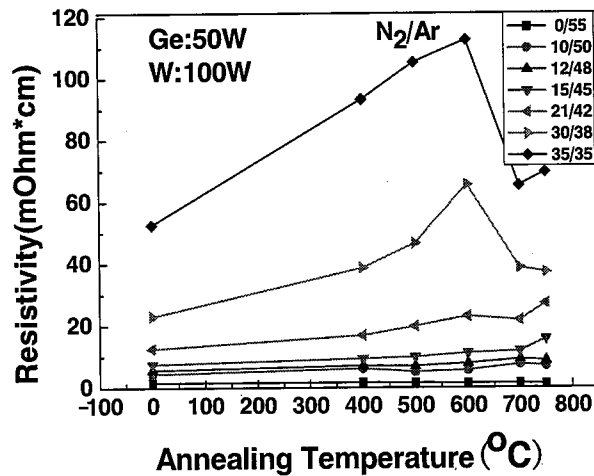


图 3.5 沉积态 GeWN 电阻率随 N_2/Ar 变化曲线
(a) Ge 靶功率为 50W, (b) Ge 靶功率为 100W

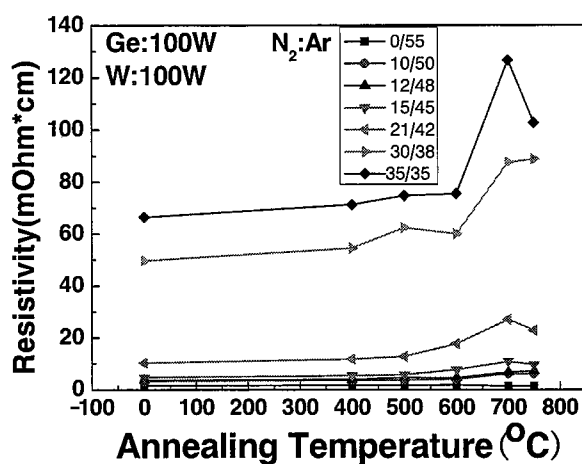
图 3.6 是各个样品不同温度退火后方块变阻变化情况。(a)、(b)、(c)分别对应了三种不同功率制备条件。从图中可以看出以下几点:

1, GeWN 的电阻率随退火温度的增加, 变化范围在 3 倍以内, 且退火温度在 600 度以内时, 变化非常小。

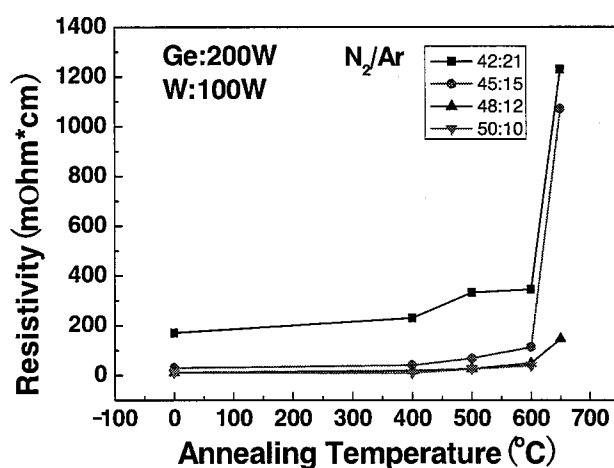
2, 电阻率没有发生如同 WN 那样的剧减, 即意味着没有发生重结晶。这点由图 3.7 也可以看出, 退火前后 GeWN 薄膜皆为非晶态。这也符合了前面提出的, 使用非晶薄膜以减小扩散。



(a)



(b)



(c)

图 3.6 不同样品不同温度退火后电阻率变化情况

3, 薄膜退火温度达到 700 以上时, 电阻率都有不同程度的增加, 这是由于经热处理后表面粗糙度增加引起的。而对于 3**系列的样品, 退后温度达到 650 以上时, 电阻率变化非常大, 这是由于该组分的薄膜不稳定, 650 度时膜发生破裂, 这点由后面的表面形貌也可以看出。

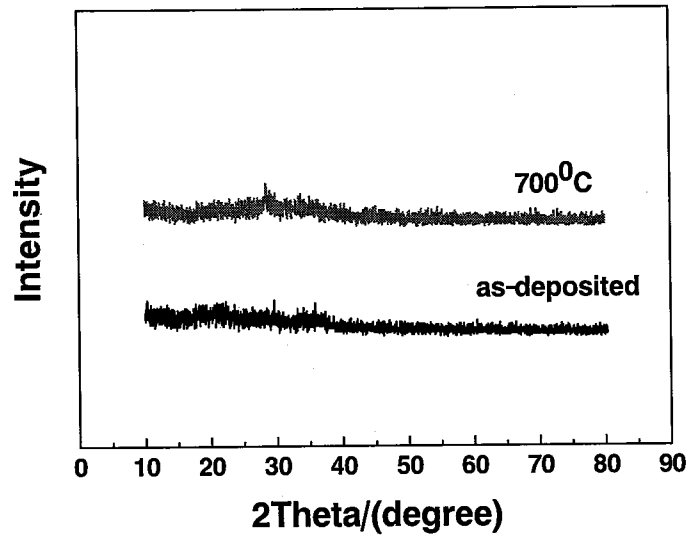
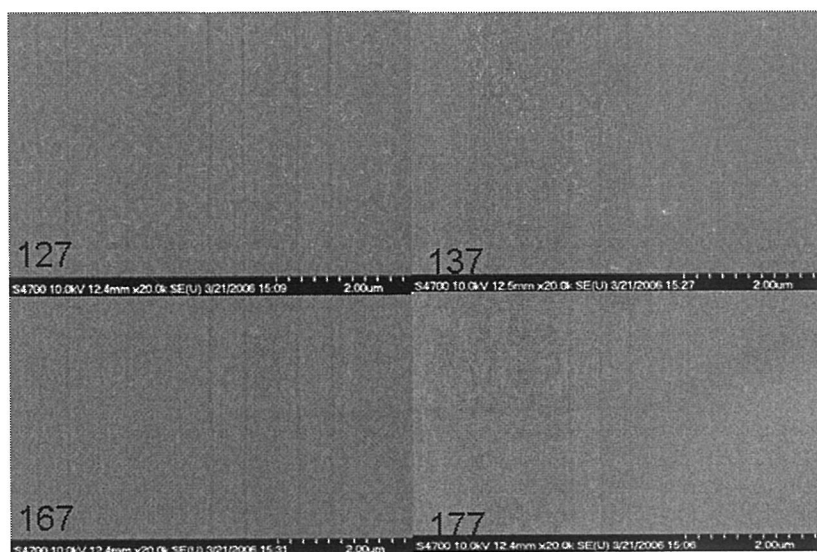
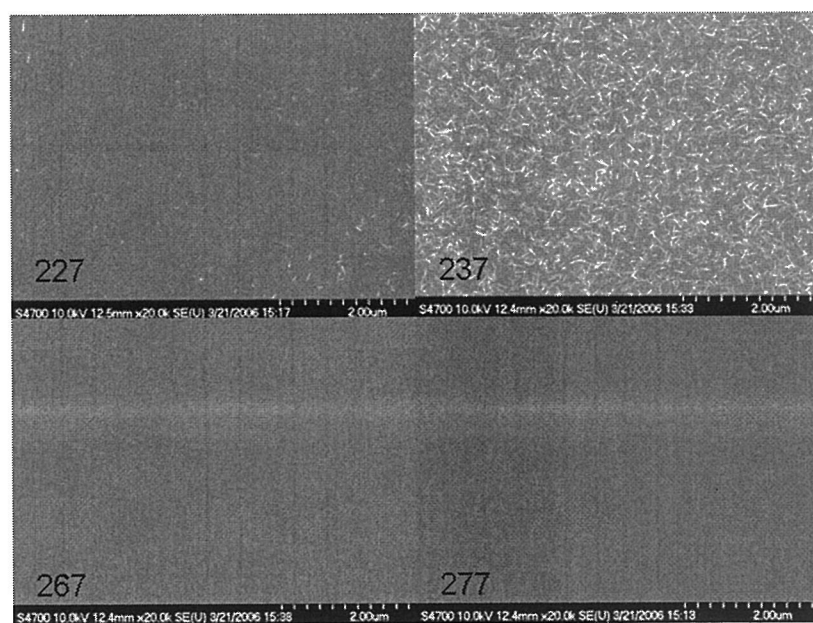


图 3.7 240 和 247 样品 XRD 图谱

图 3.8 是不同样品 700 度退火后 SEM 表面形貌图。图中很明显的可以看出, 127、137 和 227、237 样品表面有晶须状物质出现。尤其以 237 号样品为最明显。而 167、177 及 267、277 样品却没有类似现象发生。即: 当 N 含量较少 (N_2/Ar 小于 0.25) 时, 经 700 度以上温度退火后, 表面会出现晶须状物质。初步判断, 这是由于 N 含量少时, Ge 没能完全成键, 高温下发生挥发, 冷却后形成。这一猜测拉曼光谱图得到验证。如图 3.9 所示, 237 号样品的拉曼光谱图比 277 号在大约 301cm^{-1} 处多出一个峰, 这个峰正表明了 Ge 纳米晶的形成^[80,81]。这个峰峰值很小, 因为只是在表面有纳米晶的形成, 相比与 GeWN, 量很少。而 200cm^{-1} 处有一个波包, 对应的应该是 GeWN 主要化学键的峰。也说明了 GeWN 是个比较复杂的三元化合物, 具有多个价态。



(a)



(b)

图 3.8 不同样品 SEM 表面形貌

(a) 1**系列 (b) 2**系列

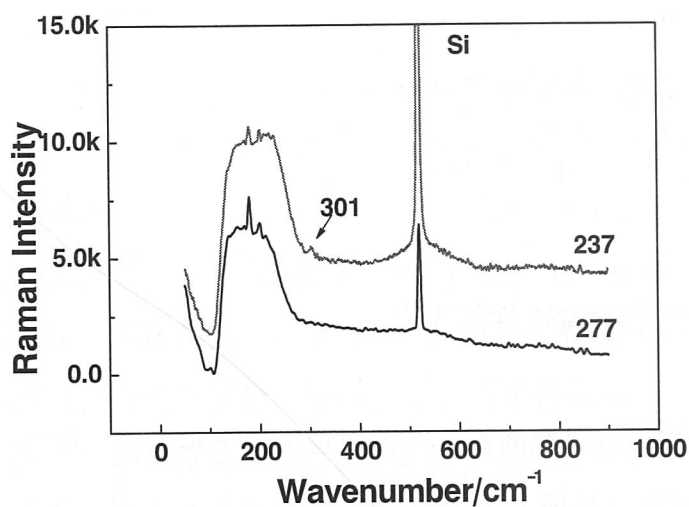


图 3.9 237 和 277 号样品拉曼光谱图

图 3.10 是不同样品用 AFM 进一步测定的表面形貌图。可以看出, 127 和 237 号样品表面的确有很多小岛状突起, 即是前面提到的 Ge 纳米晶须。而 167 和 257 号样品表面非常平整, 且是非晶薄膜, 没有晶粒边界出现。也反应了样品具有很好的热稳定性能, 经过高温处理后表面仍保持的很平整, 这对于器件的可靠性是非常有利的。

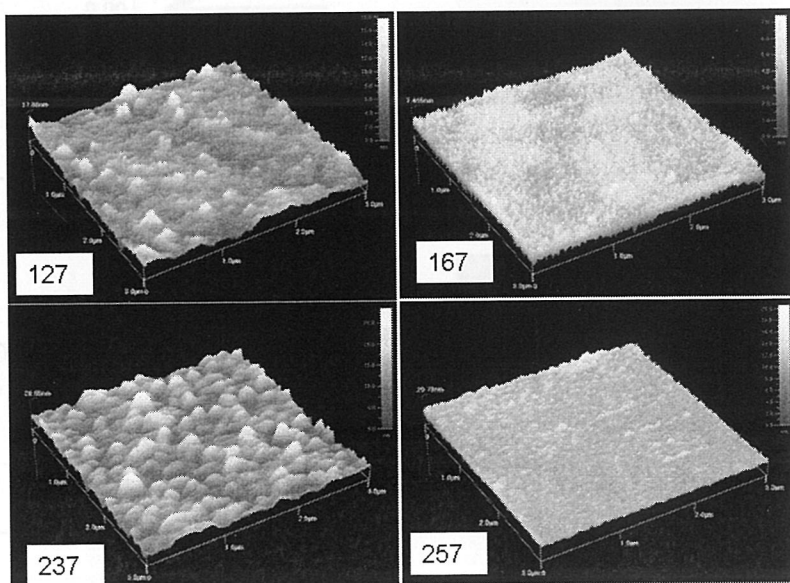


图 3.10 不同样品 AFM 表面形貌图

综合表面形貌和电阻率变化情况,可以得出以下制备条件下,制备的 GeWN 薄膜有良好的热稳定性

Ge 功率: 小于等于 100W

W 功率: 200W

N₂/Ar: 大于等于 0.5, 小于 1。

3.4 不同电极材料对 GST 性能影响

事实上,我们一直研究的都是电极和 GST 的多膜结构。非晶态的 GST 是一种半导体,与金属电极接触会形成金半接触,不同的电极材料会对 GST 电学性能有什么影响,是本节主要研究的问题。

为简化测试结构,并考虑到 GST 膜很软,硬度不好,不适合扎针,故测试结构如图 3.11 所示。

制作步骤:

- 1, 采用磁控溅射法溅镀下电极 W
- 2, 涂胶, 曝光, 显影,
- 3, 采用磁控溅射法溅镀多膜结构,
- 4, 丙酮泡, 辅助使用超声清洗, 形成待测试结构
- 5, Keithley 2400 和 Cascade RHM-06 型探针台测试 I-V 曲线

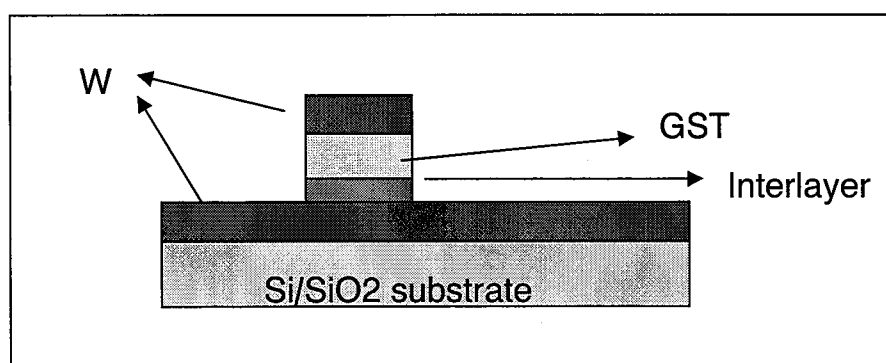
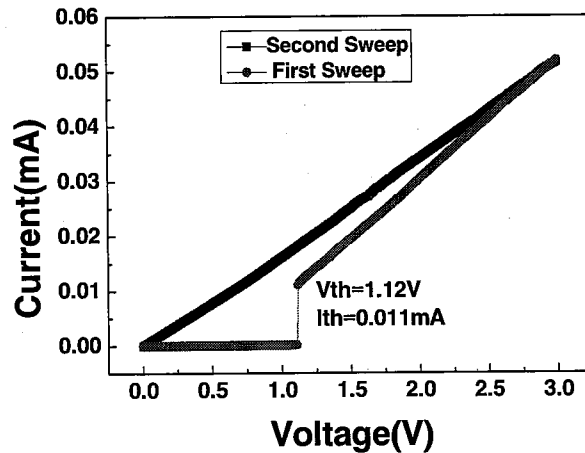


图 3.11 待测试的结构示意图

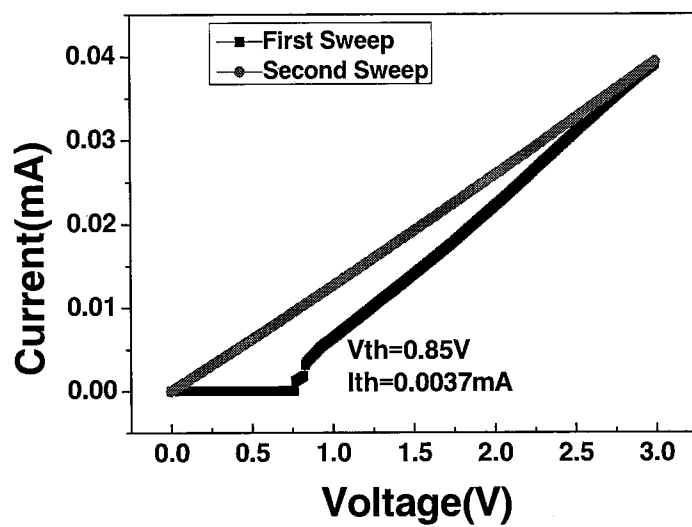
研究上面的 W 和 GeWN 两种电极材料,对于 W,不需要 Interlayer,而对于 GeWN,

只要在 Interlayer 处制备一层 GeWN 材料即可,制备条件按 3.3 节优化出的条件:Ge: 100W, W: 200W, $N_2/Ar=0.5$ 。

图 3.12 给出了测试所得 I-V 曲线。(a)是针对 W 电极材料,(b)是针对 GeWN 电极材料。比较(a)(b)两图可知,再加入 GeWN 材料前后,GST 的阈值电压和阈值电流明显改变了。阈值电压从 1.12V 降低到 0.85V。这里阈值电压的降低与第二章掺 Ag 后阈值电压增加的原理又不一样。掺 Ag 是由于杂质原子增加了孤对电子数,从而需要更多电子填充电子陷阱,因而阈值电压增大。而这里,GeWN 层的加入导致了阈值电压的降低,这可以通过能带论来解释。如图 3.13,对于掺入 Ge 和 N 之后的 W,成为一种半金属,其能级上升,使得势垒高度降低,阈值电压也就下降了。



(a) W(80nm)/GST(50nm)/W(40nm)



(b) W(80nm)/GeWN(20nm)/GST(50nm)/W(40nm)

图 3.12 不同电极/GST 结构 I-V 曲线

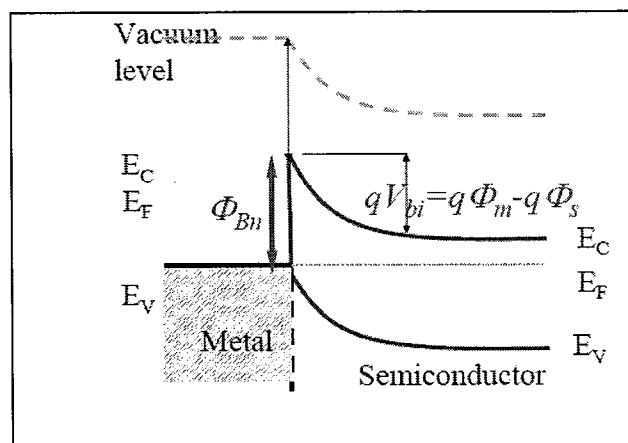


图 3.13 金半接触能带图

3.5 本章小结

本章主要研究了相变存储器的底电极材料。通过高真空电子束蒸发和磁控溅射的方法制备 W 及 GeWN 薄膜，主要研究了薄膜的热稳定性及材料电阻率，优化材料的最佳比率及制备条件。研究表明：

1, 用高真空电子束蒸发制备的 W 电极具有很好的热稳定性能，且采用 Ti 作为 W 与 Si 之间的过渡层时，可以制备出单一晶向、且结构稳定的 α -W。其晶粒大小及表面粗糙度都要比在 Si 衬底上生长出的 W 要好很多。

2, 用磁控溅射制备 GeWN 薄膜时，当 W 靶功率为 DC200W, Ge 靶功率小于等于 100W, N_2/Ar 比在 0.5 至 1 之间时，制备的 GeWN 薄膜结构稳定，表面平整。Ge 含量过大会造成薄膜热稳定性下降，700 度退火会发生膜破裂。而 N 含量过小时，Ge 未能完全成键，经过快速热处理后 Ge 会挥发，重结晶形成 Ge 纳米晶须。

3, 作为相变存储器底电极的候选材料，GeWN 更适合。GeWN 电阻率比 W 大 1000 倍以上，有利于提高加热效率，减小器件写入电流。GeWN 是非晶态，且结构稳定，有利于阻止 GST 材料的扩散。

4, 可以考虑结合 W 和 GeWN，形成复合电极结构。W 作为主电极材料，连接金属导线，GeWN 为加热电极，作为过渡层连接 W 和 GST，这样可以通过 GeWN 厚度调节电阻，优化器件性能。

5, 不同电极材料对于 GST 阈值电压也有影响，金属的功函数越大，阈值电压也越大。

第四章 电路模拟及器件结构优化

4.1 引言

相变存储器的研究不仅包括由相变材料组成的可变电阻，还包括与 MOS 管构成 1T1R 结构，以及构成存储阵列后外围电路的设计，包括解码器、选址器等。而目前，很大一部分理论研究集中在可变电阻上，包括热模拟^[82,83]、单元器件结构设计^[84,85]等。其主要目的是为了减小电极接触面积，减小擦写电流等。然而，研究表明，相变存储器的外围电路甚至会比存储单元占据更大的芯片面积，它对于相变存储器最终成品以及性能都有非常重要的影响。正因为如此，这方面的研究也吸引了越来越多的注意力^[86]。

而本章试图从最基本的 1T1R 结构出发，把电路模拟与器件结构优化结合起来。因为我们知道，相变电阻是一个可变电阻，其上消耗的功率受 MOS 管饱和电流的限制，也受到自身电阻的影响。从功耗来考虑，电路中消耗的功率当然是越集中在相变电阻上越好。因此，从传输功率角度来看，相变电阻有个最佳电阻值。而此最佳电阻值由相变电阻的内部结构，如相变层厚度，电极结构等决定。从而优化出最佳结构和最优厚度。

4.2 电路模拟

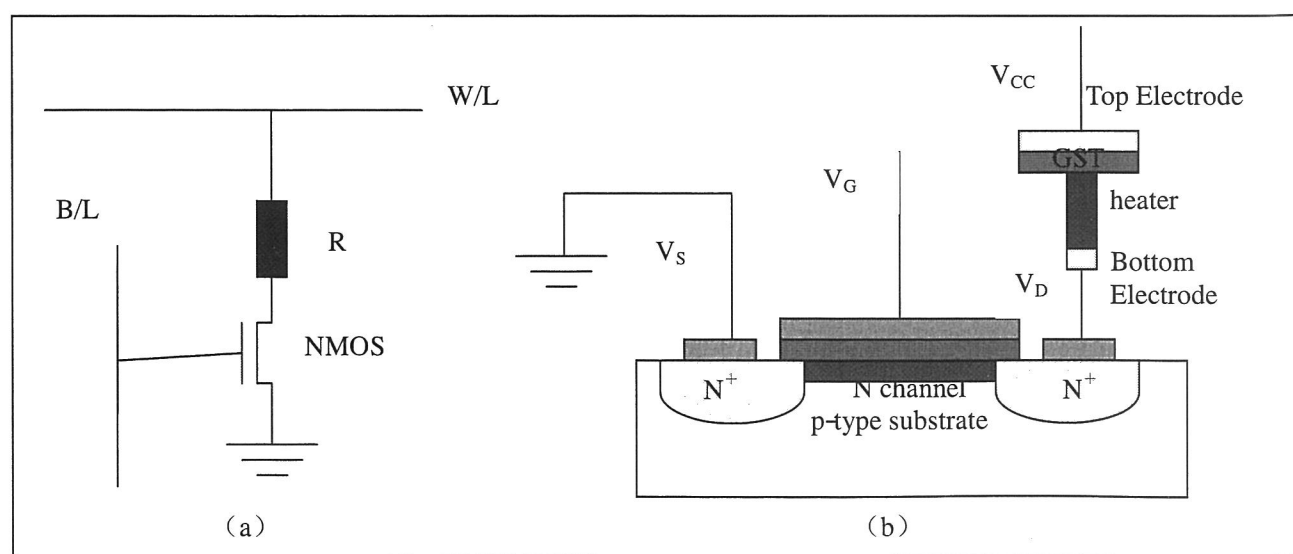


图 4.1 单元存储器结构图
(a) 电路示意图 (b) 结构示意图

图 4.1 是一个存储单元的 1T1R 结构。T 使用 NMOS 管，而 R 即是相变电阻。由 NMOS 管饱和电流公式及电压关系可得(1)-(4)式：

$$\begin{cases} V_{CC} = RI_D + V_{DS} & (1) \\ I_D = \begin{cases} \frac{W\mu_n C_{ox}}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] & 0 < V_{DS} \leq V_{DS(sat)} \quad \text{非饱和} \\ \frac{W\mu_n C_{ox}}{2L} (V_{GS} - V_T)^2 & V_{DS} \geq V_{DS(sat)} \quad \text{饱和} \end{cases} & (2) \\ V_{DS(sat)} = V_{GS} - V_T & (3) \\ & (4) \end{cases}$$

当电阻 R 比较小时，分得的电压比较小，NMOS 管处于饱和工作区，此时：

$$V_{DS} \geq V_{DS(sat)}$$

把 (4) 代入上式，

$$V_{DS} \geq V_{DS(sat)} = V_{GS} - V_T \quad (5)$$

再把 (1) 代入 (5)：

$$\begin{aligned} V_{CC} - RI_D &\geq V_{GS} - V_T \\ R &\leq \frac{V_{CC} - (V_{GS} - V_T)}{I_{D(sat)}} \end{aligned} \quad (6)$$

也就是说，当 R 满足 (6) 式时，MOS 管处于饱和工作区。此时：

$$I_D = \frac{W\mu_n C_{ox}}{2L} (V_{GS} - V_T)^2 \quad (7)$$

消耗在相变电阻上的功率为：

$$P_R = I_D^2 R = \left[\frac{W\mu_n C_{ox}}{2L} (V_{GS} - V_T)^2 \right]^2 R \quad (8)$$

此时，对于定值的 V_{GS}, V_T ，功率和电阻为线性关系。

当电阻增大到一定的值后，MOS 管上分得的电压降低，使 MOS 管工作区域处于非饱和区，此时：

$$R \geq \frac{V_{CC} - (V_{GS} - V_T)}{I_{D(sat)}} \quad (9)$$

把 (1) 代入 (2)，可得到电流值：

$$\begin{aligned} I_D &= \frac{W\mu_n C_{ox}}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \\ &= \frac{W\mu_n C_{ox}}{2L} [2(V_{GS} - V_T)(V_{CC} - I_D R) - (V_{CC} - I_D R)^2] \end{aligned} \quad (10)$$

解方程 (9),

$$\text{令: } \frac{W\mu_n C_{ox}}{2L} = a \quad (V_{GS} - V_T) = b, \quad (11)$$

$$I_D = \frac{1}{2aR^2} [-1 - 2abR + 2aV_{CC}R + (1 + 4abR - 4aV_{CC}R + 4a^2b^2R^2)^{1/2}] \quad (12)$$

联立方程(6),(7),(9),(11),(12):

$$\left\{ \begin{array}{l} I_D = ab^2 \quad \text{当 } 0 \leq R \leq \frac{V_{CC} - b}{ab^2} \text{ 时} \\ I_D = \frac{1}{2aR^2} [-1 - 2abR + 2aV_{CC}R + (1 + 4abR - 4aV_{CC}R + 4a^2b^2R^2)^{1/2}] \\ \quad \text{当 } R \geq \frac{V_{CC} - b}{ab^2} \text{ 时} \\ \text{式中 } \frac{W\mu_n C_{ox}}{2L} = a, \quad (V_{GS} - V_T) = b \\ P_R = I_D^2 R \end{array} \right. \quad (13)$$

下面来提取参数:

对于 0.18 工艺, d 取 50nm, 栅氧为 SiO_2 , 相对介电常数取 3.9

$$C_{ox} = \frac{\epsilon_{ox}}{d} = \frac{3.9 \times 8.85 \times 10^{-14}}{50 \times 10^{-7}} \text{ F/cm}^2 = 6.9 \times 10^{-8} \text{ F/cm}^2$$

$$\mu_n = 650 \text{ cm}^2/\text{V} \cdot \text{s}$$

取 $W/L=10$

$$\text{则: } a = \frac{W\mu_n C_{ox}}{2L} = 2.24 \times 10^{-4} \text{ F/V} \cdot \text{s}$$

由方程组 (13) 可得功率随电阻变化。

取 $V_{CC}=3\text{V}$, $V_{th}=0.7\text{V}$, 由 matlab 画出电流及功率随电阻变化曲线图, 如图 4.2。

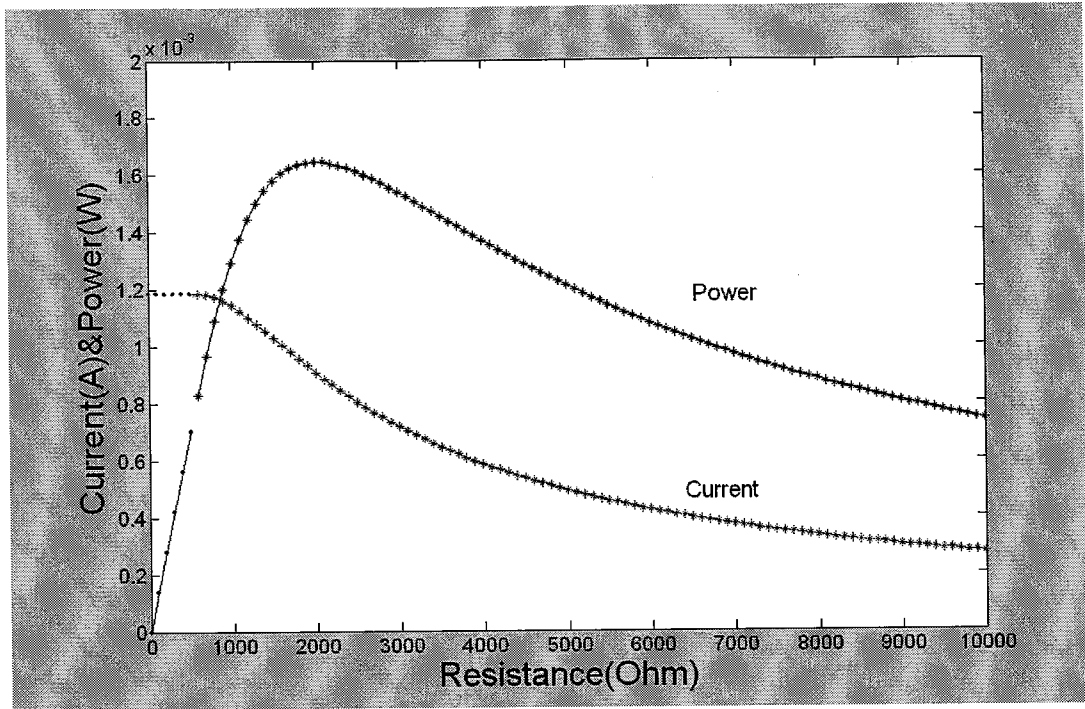


图 4.2 电流及传输功率随电阻变化曲线

• MOS 管饱和区 * MOS 管非饱和区

而改变 V_{cc} ，可以得到电流及传输功率随 V_{cc} 变化曲线，如图 4.3, 4.4。可以看出，相变电阻 R 很小时，MOS 管处于饱和区，电流为饱和电流，与 R 无关，传输功率为 R 的线性关系。而 R 增大到一定值以后，MOS 管进入非饱和区，电流开始减小，而此时，功率依然增大，然后到达最大值，随着 R 的继续增大，电流减小，传输功率也开始减小。所以，最大传输功率并不是发生在 MOS 管的饱和区及饱和区与非饱和区的临界点，而是在非饱和区，处于临界点后的一个延时点。

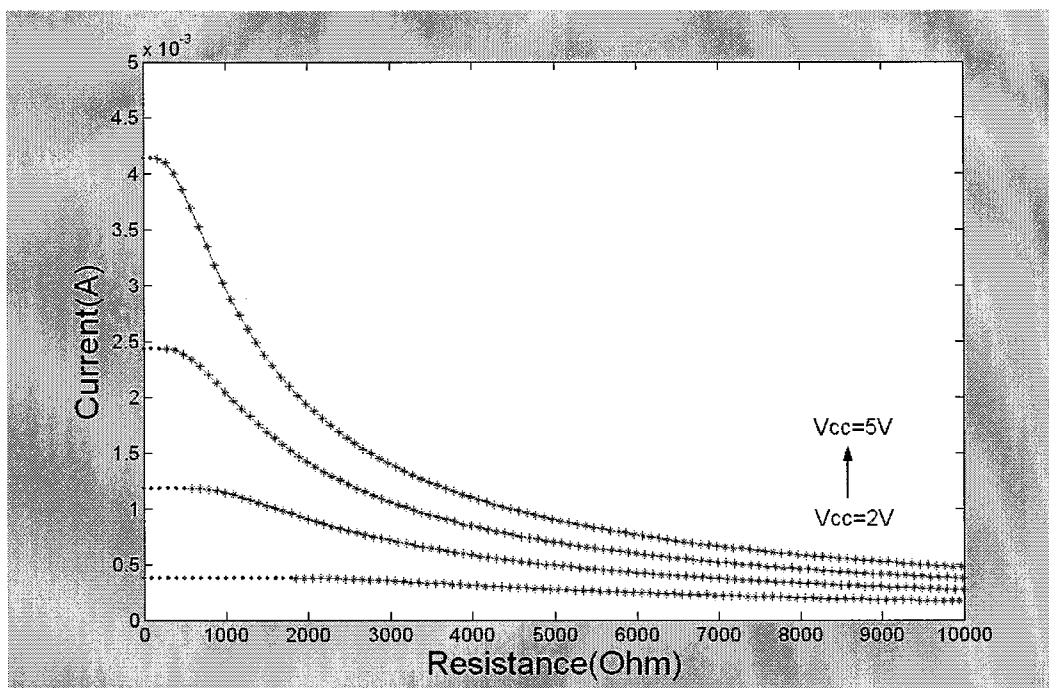


图 4.3 电流随电阻变化曲线($V_{cc}=2、3、4、5V$, $W/L=10, d=50nm$)

• MOS 管饱和区 * MOS 管非饱和区

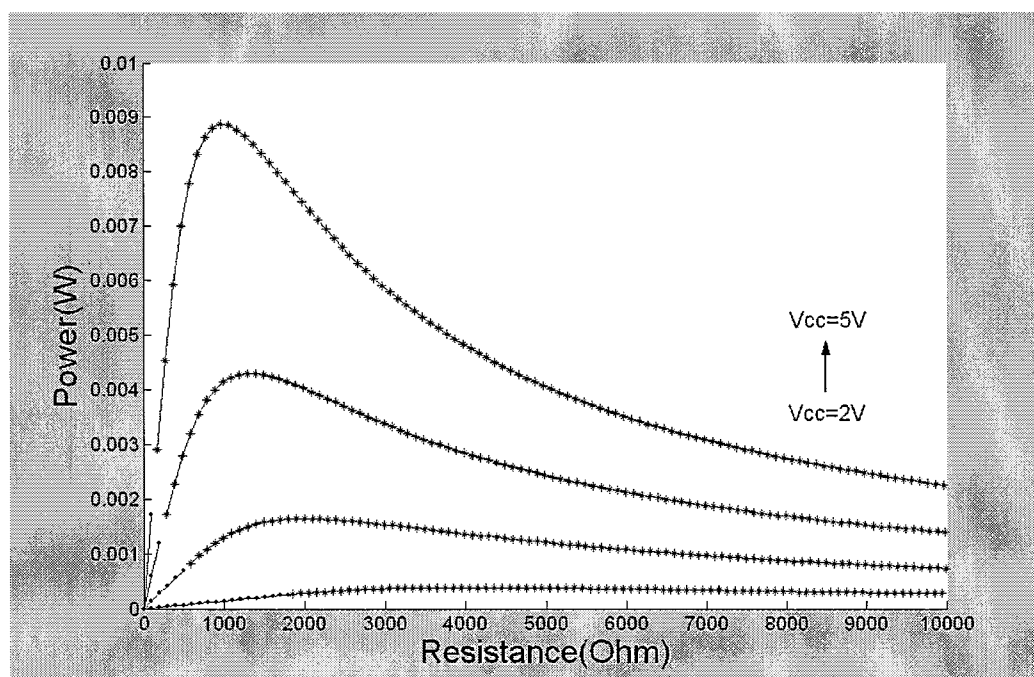


图 4.4 传输功率随电阻变化曲线($V_{cc}=2、3、4、5V$, $d=50nm$)

• MOS 管饱和区 * MOS 管非饱和区

当 V_{cc} 和 d 一定, 取 $V_{cc}=3V$, $d=50nm$, 改变宽长比 W/L , 得到图 4.5。而保持 V_{cc} 和 W/L 一定, 取 $V_{cc}=3V$, $W/L=10$, 改变栅氧层厚度 d , 可以得到如图 4.6 所示曲线。可以看到, 满足最大传输功率的最佳电阻值随 NMOS 管宽长比增大而减小, 随栅氧层厚度增大而增大。

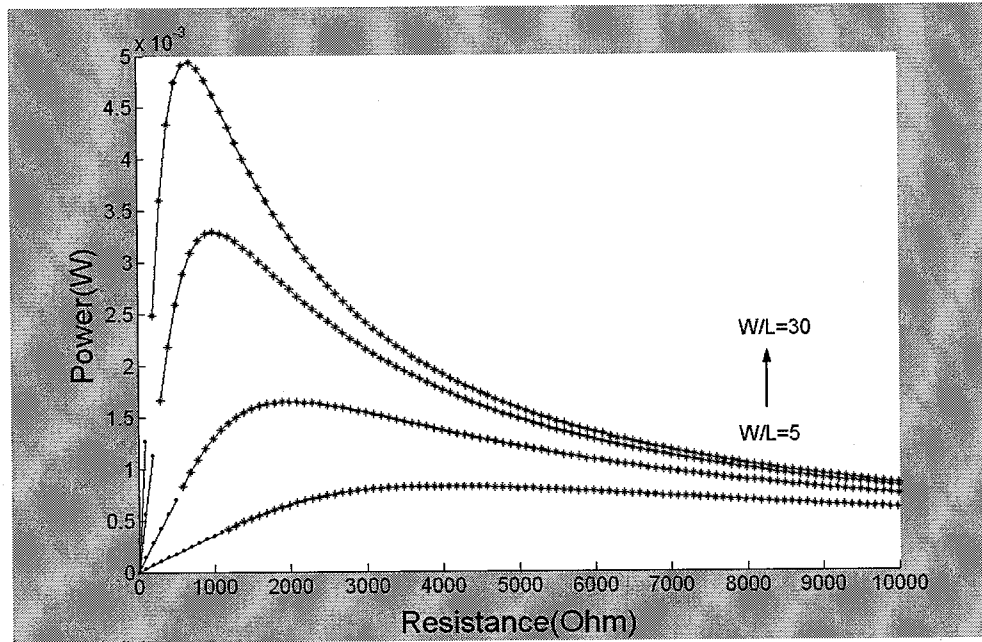


图 4.5 传输功率随电阻变化曲线($V_{cc}=3V$, $d=50nm$, $W/L=5, 10, 20, 30$)

• MOS 管饱和区 * MOS 管非饱和区

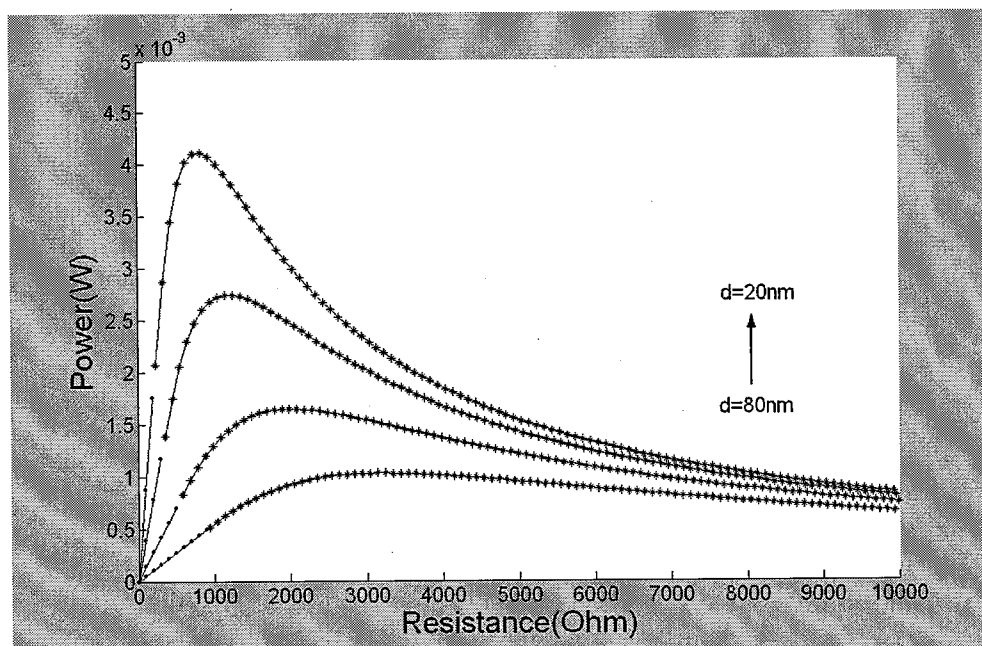


图 4.6 传输功率随电阻变化曲线($V_{cc}=3V$, $W/L=10$, $d=20,30,50,80nm$)

• MOS 管饱和区 * MOS 管非饱和区

4.3 器件结构优化

由 4.2 节讨论可知, 对于用 $0.18\mu m$ CMOS 和相变电阻构成的 1T1R 存储单元, 为了获得最大的传输功率, 即相变电阻能获得最大的功率, 其电阻值应该在 $1000-2000\Omega$ 之间。通常, 工作电压取 $3V$, W/L 取 10 , d 取 $50nm$, 那么, 此时相变电阻的最优电阻值应为 1500Ω 。

考虑最简单的单元器件结构, 如图 4.7 所示。为简化起见, 上下电极及加热电极都选用金属 W 。

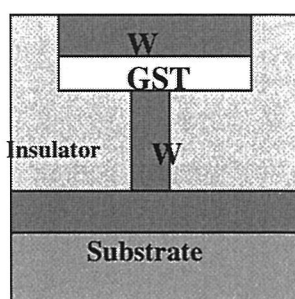


图 4.7 简化器件模型结构示意图

	Electrical resistivity ($\mu\Omega m$)	Thermal conductivity K ($W/m^{\circ}C$)
W	0.0539	174
GST(amorphous)	$1.0e6[6]$	0.2
GST(polycry)	$4.16[7]$	0.46
SiO2	$1.0e19$	1.4
Al	0.0265	237

表 4.1 相关材料电阻率及导热率

在单元存储器制备过程中, 根据我们设计的版图, heater 的尺寸是直径为 $0.18\mu m$ 的孔, GST 面积为 $10 \times 10\mu m^2$ 。

为简化模型, 做以下几点假设:

- 1, 在 0.18um 工艺条件下, 仍遵循欧姆定律
- 2, 暂时不考虑接触电阻的影响
- 3, 忽略连线电阻,
- 4, 电流约束在加热电极区域,

Heater:

$$R_h = \rho \frac{L}{A} = \rho \frac{4L}{\pi D^2} = 5.39 \times 10^{-8} \times \frac{200 \times 10^{-9}}{\pi \times (0.09 \times 10^{-6})^2} = 0.42 \Omega$$

Top Contact:

$$R_{Top} = \rho \frac{L}{A} = \rho \frac{4L}{D^2} = 5.39 \times 10^{-8} \times \frac{200 \times 10^{-9}}{(10 \times 10^{-6})^2} = 1.08 \times 10^{-4} \Omega$$

这两项电阻均可不计。且通过改变 Heater 的厚度来改变电阻值的效果也是可忽略的。

GST:

此时, GST 层有 2 种结构类型^[89], 如图 4.8:

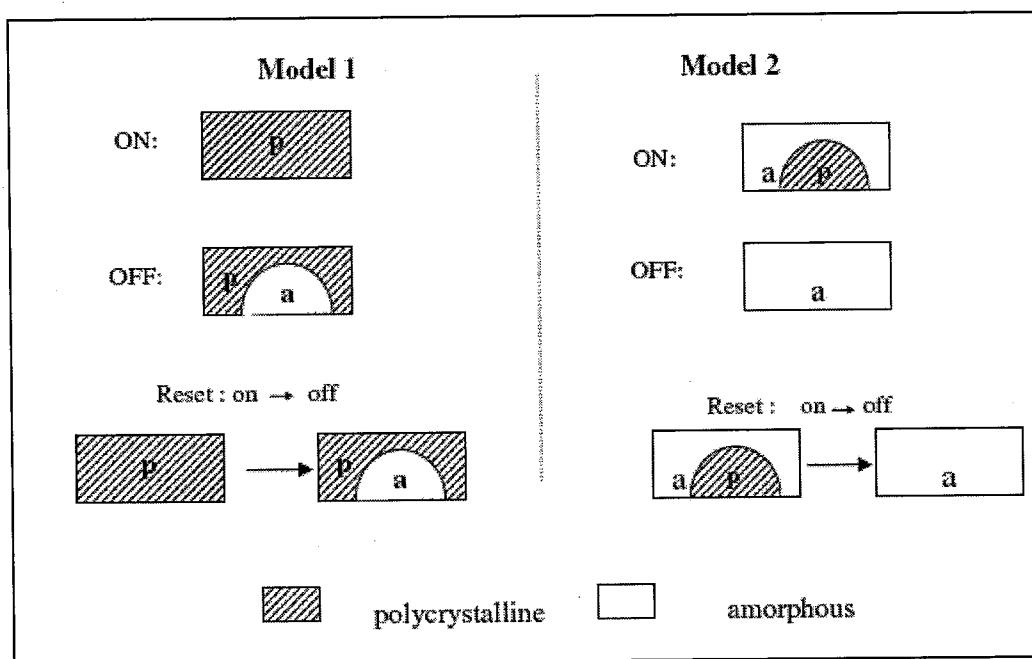


图 4.8 GST 层两种简单结构示意图

我们知道, 相变存储器消耗功率最大的时候就是擦过程(Reset)时所加的短而大的

电流脉冲，所以在这里，从功率限制角度来考虑时，也主要考虑擦过程时的功耗：

对于第一种模型，擦过程的初始态电阻为：(式中， n 代表 GST 层厚度)

$$R_{on}^1 = \rho \frac{n}{A} = \rho \frac{4n}{\pi D^2} = 416 \times 10^{-8} \times \frac{n}{\pi (0.09 \times 10^{-6})^2} = 1.63 \times 10^8 n \cdot \Omega$$

而对于第二种模型，擦过程初始态电阻为：

$$\begin{aligned} R_{on}^2 &= \rho_{\alpha} \frac{L_{\alpha}}{A} + \rho_p \frac{L_p}{A} = 100 \times 10^{-2} \times \frac{L_{\alpha}}{\pi (0.09 \times 10^{-6})^2} + 416 \times 10^{-8} \times \frac{L_p}{\pi (0.09 \times 10^{-6})^2} \\ &= 3.93 \times 10^{13} L_{\alpha} + 1.63 \times 10^8 L_p \quad \Omega \end{aligned}$$

为了使擦过程初始态电阻值达到最佳传输功率时的电阻值，即 1500Ω ，第一种模型， $n=9.18 \mu m$ ，显然这是不合理的，也不符合制作工艺。第二种模型，电阻主要来自非晶态的 GST，那么 $L_{\alpha} \approx 0.038 nm$ ，这也是不实际的。

因此，综上可得出结论，在只使用 W 作为电极时，试图通过改变 GST 厚度来调整电阻，使得总阻值和 NMOS 管匹配后，达到一个最佳电阻值的方法是行不通的。

于是，我们提出，通过加入过渡加热层来调整总电阻值。所加的过渡加热层材料，即为第三章中制备的 GeWN。其结构如图 4.9 所示。

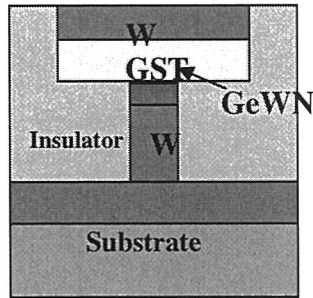


图 4.9 改进后的器件模型结构示意图

Heater: 取 GeWN 电阻率为 $50 m\Omega \cdot cm$

$$R_h = \rho \frac{L}{A} = \rho \frac{4L}{\pi D^2} = 50 \times 10^{-5} \times \frac{L}{\pi \times (0.09 \times 10^{-6})^2} = 1.96 \times 10^{10} L \cdot \Omega$$

此时，再对上述两种模型分别讨论：

$$R_{on}^1 = (1.63 \times 10^8 n + 1.96 \times 10^{10} L) \Omega$$

$$R_{on}^2 = (3.93 \times 10^{13} L_{\alpha} + 1.63 \times 10^8 L_p + 1.96 \times 10^{10} L) \Omega$$

对于第一种模型，在同等厚度尺度上，电阻主要来自加热电极，要使总电阻在 1500Ω 左右，那么过渡加热电极厚度 $L=76.5 \text{ nm}$ 。符合设计规则和制作工艺。而且 GST 层厚度在 nm 尺度内，对总电阻影响也不大，其厚度可以改变。而通过优化 GST 层厚度对于器件的擦写速率是有改进的^[90]。

而对于第二种模型，电阻值仍然主要来自非晶态的 GST，同未改进的结构一样，为使总电阻在 1500Ω 左右， $L_{\alpha} \approx 0.038 \text{ nm}$ ，不合情理。

事实上，研究表明，对于上述两种模型而言，虽然相同情况下第二种所需写电流要小，但其 R_{ON} / R_{OFF} 非常低，对于器件的可操作性和可靠性都是不利的^[89]。而目前，制备出的相变存储器大多都是基于第一种模型^[83,84,91]，第二种模型的器件原型研究还未报道过。

再具体讨论一下加入过渡加热层 GeWN 后，器件电阻情况(取 GeWN 厚度为 76.5 nm ，即过渡加热层电阻为 1500Ω)：

开启时：

$$R_{on}^1 = [1500 + 1.96 \times 10^{10} (L_1 + L_2)] \Omega$$

式中， L_1 代表多晶 GST 厚度， L_2 代表非晶 GST 厚度，

关闭时：

有三种情况，如图 4.10 所示：(a)是针对相变区域非常小，只有薄薄的一层；(b)是相变区域不断变大后的一种极限情况，此时 GST 层厚度小于下电极尺寸，即 $0.18 \mu\text{m}$ ，当相变区域达到上电极时，热从金属上电极传导出，相变区域不再继续扩大。(c)是相变区域不断变大后的另一种极限情况，此时 GST 层厚度大于下电极尺寸，热各向同性扩散，使得相变区域继续扩大。

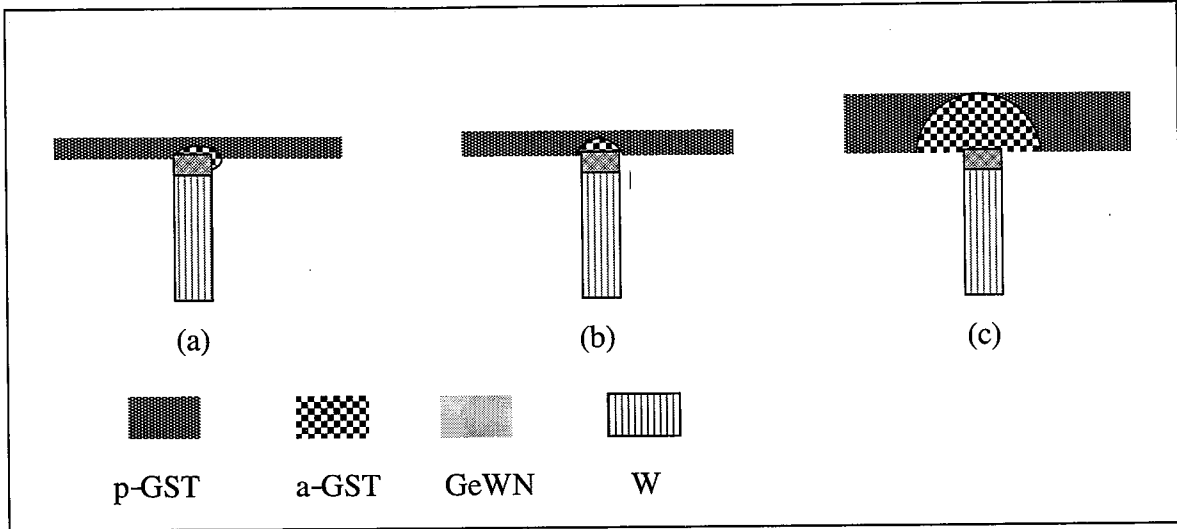


图 4.10 关闭状态的三种情况

$$R_{off}^a = (1500 + 1.63 \times 10^8 L_1 + 3.93 \times 10^{13} L_2) \Omega$$

$$R_{off}^b = [1500 + 3.93 \times 10^{13} (L_1 + L_2)] \Omega$$

$$R_{off}^c = [1500 + \rho_a \frac{4(L_1 + L_2)}{\pi(L_1 + L_2)^2}] \Omega = [1500 + \frac{4}{\pi(L_1 + L_2)}] \Omega$$

对于极限情况(b),此时 $(L_1 + L_2)$ 小于 $0.18 \mu m$, 即 $180 nm$, 取 $50 nm$ 时:

$$R_{off}^b / R_{on} = [1500 + 3.93 \times 10^{13} \times 50 \times 10^{-9}] / (1500 + 1.96 \times 10^{10} \times 50 \times 10^{-9}) = 793$$

对于极限情况(c),此时 $(L_1 + L_2)$ 大于 $0.18 \mu m$, 即 $180 nm$, 取 $500 nm$ 时:

$$R_{off}^c / R_{on} = [1500 + \frac{4}{\pi \times 500 \times 10^{-9}}] / (1500 + 1.96 \times 10^{10} \times 500 \times 10^{-9}) = 221$$

上述都是极限情况的近似计算,实际值要略小。比较上两种极限情况,可见,加入 GeWN 层后,并没有破坏器件的 R_{off} / R_{on} 值,对器件操作性能没有影响。此外, GST 层厚度薄较好,因为相变区域小,能较小功耗、加快擦写速率,而且其 R_{off} / R_{on} 反而更大。

可见,通过加入一层过渡加热层材料 GeWN,很好的改进了器件模型的总电阻值,使得与 NMOS 管达到很好的功率匹配,使得相变电阻可以获得最大的传输功率。而且,这样做对器件性能也有很好的改进作用。具体如下:

1, 对于单元器件,如果电阻值集中在过渡加热层材料上,那么也就使得发热相对集中,能够减小 GST 的 active area,对于减小功耗和擦电流都是有益的。

2, GST 层厚度没有受到此条件的约束, 是自由的。因此可以根据其他需要来改变。如能带带隙、结晶速率等。

3, 在制备成存储阵列后, 器件单元电阻的分散性问题就显得十分棘手。这是由于器件单元结构和尺寸的差异造成的, 而多次擦写后使得 GST 相变区域的改变对此也有影响。电阻值的分散性对于器件的稳定性和可操作性是致命的, 也很容易造成器件的失效。而 Cho 等人的研究表面^[5]: 在相变材料内添加一层电阻补偿层可以有效的解决电阻的分布过宽问题, 但要合理选择此补偿层的电阻, 标准为: 比晶态电阻略高, 比最小非晶态电阻低。而 GeWN 正好满足了此要求。所不同的是, 这里不是夹在相变材料内, 而是作为一个过渡加热层。

4.4 本章小结

本章主要通过电路模拟, 计算了 1T1R 结构下, 为使 NMOS 管达到最佳的传输功率, 相变电阻的最佳电阻值。并在此基础上, 通过优化相变存储器内部结构, 使得其总电阻满足最佳电阻的要求。研究表明:

1, 在 0.18CMOS 工艺条件下, 由 NMOS 管和相变存储器单元组成的 1T1R 结构下, 为使 NMOS 管能达到最大的传输功率, 相变存储器单元的最佳总电阻值在 1500 Ω 左右。

2, 为使相变存储器单元总电阻值在最佳的 1500 Ω 左右, 单独试图通过改变 GST 层厚度及有效区域面积的方法是不行的。

3, 通过加入过渡加热层 GeWN 材料, 通过优化其厚度, 当厚度为 76.5nm 时, 可以得到最优电阻值, 且可根据情况适当调整。这样即达到与 NMOS 管功率匹配的目的, 又可改善发热区域, 提高发热效率, 且可减小单元电阻的分散性, 提高器件可操作性和可靠性。

第五章 结论

5.1 总结

本文简单论述了半导体存储器及非挥发性存储器的发展历程,并简单介绍了几种重要的非挥发性存储器。详细介绍了相变存储器发展历史,重点论述了相变存储器的原理,包括材料分析、器件结构及基本性能等,通过和其他存储器比较,阐述了相变存储器的主要优点,调研了目前国际最新的研发状况及相变存储器关键技术的研究重点。然后针对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相变层、加热电极和元件制程整合三方面的研究重点,分别采用 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 掺杂,引入新电极材料,电路模拟及器件结构优化等方法,试图在几个关键技术点有所创新突破。研究的主要成果如下:

1, 相变材料研究

用射频磁控溅射法沉积 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜,研究制备条件对薄膜性能的影响,并通过 Ag 掺杂改进 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的电学性能。研究发现:

溅射功率直接影响 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜沉积速率,功率越大,速率越快。溅射功率对薄膜的结构及电学性能没有明显影响。而溅射气压越高,薄膜由面心立方转变为六方晶态的结晶温度越低,意味着面心立方结构越不稳定。

Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的相变温度随着 Ag 掺杂量增大而升高,由未掺杂时的 172.7°C 上升到 11.3%掺杂时的 210.0°C 。用四探针测试不同温度退火后不同剂量 Ag 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜的电阻,结果表明 Ag 掺杂使得多晶态下,退火后的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜具有更大的电阻率,这有利于减小相变存储器的写入电流。使用一种简单但实用的方法测试了薄膜的 I-V 曲线,证明 Ag 掺杂并不破坏 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜本身的相变性质,只是增加了阈值电压,而阈值电压的增加并不会影响相变存储器的操作。

2, 电极材料研究

通过高真空电子束蒸发和磁控溅射的方法制备 W 及 GeWN 薄膜,主要研究了薄膜的热稳定性及材料电阻率,优化材料的最佳比率及制备条件。研究表明:

用高真空电子束蒸发制备的 W 电极具有很好的热稳定性能,且采用 Ti 作为 W 与 Si 之间的过渡层时,可以制备出单一晶向、且结构稳定的 α -W。其晶粒大小及表面粗糙度都要比在 Si 衬底上生长出的 W 要好很多。

用磁控溅射制备 GeWN 薄膜时,当 W 靶功率为 DC200W,Ge 靶功率小于等于 100W, N_2/Ar 比在 0.5 至 1 之间时,制备的 GeWN 薄膜结构稳定,表面平整。Ge 含量过大会造成薄膜热稳定性下降,700 度退火会发生膜破裂。而 N 含量过小时,Ge 未能完全成键,经过快速热处理后 Ge 会挥发,重结晶形成 Ge 纳米晶须。

通过比较 W 和 GeWN 两种电极材料,发现 GeWN 更适合作为相变存储器底电极的候选材料。GeWN 电阻率比 W 大 1000 倍以上,有利于提高加热效率,减小器件写入电流。GeWN 是非晶态,且结构稳定,有利于阻止 GST 材料的扩散。

3, 电路模拟及器件结构优化

首次采用电路模拟方法,计算了 1T1R 结构下,为使 NMOS 管达到最佳的传输功率,相变电阻的最佳电阻值。并在此基础上,通过优化相变存储器内部结构,使得其总电阻满足最佳电阻的要求。结果发现:

在 0.18 μ m CMOS 工艺条件下,由 NMOS 管和相变存储器单元组成的 1T1R 结构下,为使 NMOS 管能达到最大的传输功率,相变存储器单元的最佳总电阻值在 1500 Ω 左右。

为使相变存储器单元总电阻值在最佳的 1500 Ω 左右,单独试图通过改变 GST 层厚度及有效区域面积的方法是不行的。而通过加入过渡加热层 GeWN 材料,通过优化其厚度,当厚度为 76.5nm 时,可以得到最优电阻值,且可根据情况适当调整。这样即达到与 NMOS 管功率匹配的目的,又可改善发热区域,提高发热效率,且可减小单元电阻的分散性,提高器件可操作性和可靠性。

5.2 展望

相变存储器是一种具有广阔发展前景的新型存储器。由于其潜在的优越性能,如非易失性、循环寿命长、元件尺寸小、功耗低、多级存储、高速、抗辐照等,相变存储器也越来越多的吸引了众多研究机构的目光,Intel 和 Samsung 等公司把相变存储

器推崇为下一代新型半导体存储器，国际半导体工业协会在 2003 年的规划中也把相变存储器列为取代 SRAM、DRAM 和 Flash 等，成为下一代存储器主流产品的最有力竞争者。

然而目前，关于相变存储器的研究集中在几大国际半导体器件制造商，如 Intel、Samsung、STM、Infineon 等，其主要专利技术也掌握在其手。在国内，关于相变存储器的研究也远远落后。而由于相变存储器在国防军事及航天航空领域的应用前景，发达国家在该技术方面对我国也是严格保密。正是在这种情景下，在使命感和责任感的驱动下，中科院上海微系统与信息技术研究所纳米技术实验室率先在国内开展了这方面的研究，在正视自身的优势及技术困难基础上，试图开拓出一条研究发展的道路，填补国内空白。目前，通过技术创新和合作，在该技术领域已发表多篇文章和专利，相信不久的将来也会制备出属于我们自己的相变存储器。