

北京大学

---

博士学位论文

---

红外焦平面新型CMOS读出电路设计研究

---

姓名：陈中建

---

申请学位级别：博士

---

专业：微电子学与固体电子学

---

指导教师：吉利久；韩建忠

---

2002.5.1

## 摘要

红外热成像系统在军事、民用、科研等领域有重要应用，其核心部件是红外焦平面组件。该组件由红外探测器阵列和读出电路（ROIC—Readout Integrated Circuit）集成在一起构成。ROIC 是影响组件性能和功能的重要因素。本文在 ROIC 设计领域取得 4 项创新性研究成果，其中 3 项是针对面阵快照型 ROIC 设计，1 项是针对线阵扫描型 ROIC 设计，具体如下：

(1) 在 SCA (Snapshot Charge Amplifier) 结构的基础上，针对功耗指标，对列读出级电路结构进行改进，提出了一种面阵 ROIC 低功耗新结构——OESCA (Odd-Even Snapshot Charge Amplifier) 结构。*{其创新点在于：采用两个低功耗设计的电荷放大器做列读出级，分别用于奇偶行的读出，不但可有效抑止列线寄生电容的影响，而且列读出级的功耗降低了 15% (由 88 $\mu$ W 降低为 75 $\mu$ W)，并提高了 ROIC 的读出速度。基于该结构设计了 64×64 规模 ROIC 并完成了流片测试，实验芯片的电荷存储能力为 10.37pC，功耗 15mW (含探测器阵列功耗)。测试结果表明：该结构为低功耗新结构，适用于大规模、小像素 ROIC 设计。}*

(2) 针对电荷存储能力指标对单元电路进行改进，提出了一种面阵 ROIC 新结构——DCA (Direct-injection Charge Amplifier) 结构。*{其创新点在于：单元电路采用相邻像素共享阱的版图设计技术并用 PMOS 管做积分节点的复位管，既可保证像素内积分电容足够大，又可避免复位电压的阈值损失，从而提高了 ROIC 的电荷存储能力。基于该结构设计了 128×128 规模 ROIC 并完成了流片测试，其电荷存储能力为 11.2pC，比 OESCA 结构 (10.37pC) 提高了 8%。测试结果表明：该结构有较高电荷存储能力，适用于大规模、小像素 ROIC 设计。}*

(3) 提出了一种低功耗、高电荷存储能力的面阵 ROIC 新结构——OES (Odd-Even Switching) 结构。*{其创新点在于：把单元电路中的复位管移到像素外，并采用电荷泵技术消除复位电压的阈值损失，极大地提高了 ROIC 的电荷存储能力。采用该结构设计了 64×64 规模 ROIC，其电荷存储能力高达 15.3pC，能有效消除列线寄生电容的影响，列读出级功耗比 DCA 结构降低 15%，并能有效抑制像素内寄生漏电流引起的固定图案噪声。仿真结果表明：该结构性能优越，适用于超大规模、低功耗、小像素 ROIC 设计。}*

(4) 提出一种具有时间延迟积分 (TDI—Time Delay Integration) 功能的线阵 ROIC 低功耗新结构。*{其创性点在于：该结构实现了 TDI 功能、增益分级调整功能、双向扫描功能、缺陷像素剔除功能、微扫描功能和全芯片测试功能；采用存储累加方案、功耗动态管理机制和并行操作技术，实现了 ROIC 的低功耗设计。基于该结构设计了一个 4×N 的 ROIC，其功耗仅为 48mW，上述低功耗策略使功耗降低了 13mW。此外，ROIC 实现的上述各项功能，使焦平面组件的信噪比提高 2 倍，图像空间分辨率提高 3 倍，成像效率提高 1 倍，并提高了组件的成品率，扩大了组件的适用范围。仿真结果证明：该 ROIC 新结构实现了实际需求提出的各项功能，性能优越。}*

### 关键词

红外焦平面，读出电路，电荷放大器，快照，DCA，OESCA，OES，时间延迟积分，低功耗，电荷存储能力

## Abstract

Infrared thermal imaging systems are widely used in military, industry and science application. Focal plane array (FPA) is the key device in these systems, which includes detector array and readout integration circuit (ROIC). ROIC has important influence on the performance of FPA. This paper summarized our recent advances in the ROIC design area.

Firstly, three novel snapshot readout structures called DCA(Direct-injection Charge Amplifier), OESCA(Odd-Even Snapshot Charge Amplifier) and OES(Odd-Even Switching) are presented. With charge amplifier as the column readout stage, these structures can eliminate the influence of column bus parasitic capacitance. Their pixel circuits are very simple with pixel size  $50 \times 50 \mu\text{m}^2$ . Using these novel structures, three experimental chips have been fabricated with 1.2- $\mu\text{m}$  DPDM(Double Poly Double Mental) n-well CMOS technology. The charge storage capacity of these ROICs has been optimized. Their output dynamic range is 3.0V and readout rate is 5MHz.

The  $128 \times 128$  DCA chip has good linearity. Its charge storage capacity is 70Me- and power consumption is about 32mW. Using two low power charge amplifiers as column readout circuit (one is for the odd-row readout and the other is for the even-row), the  $64 \times 64$  OESCA chip not only can eliminate the influence of column bus parasitic capacitance, but also can save 15% power dissipation of the column readout stage compared with the DCA structure. Its charge storage capacity is 64.8Me- and power consumption is 15mW(including detectors' power dissipation). Furthermore, the OESCA structure can restrain the fixed pattern noise due to the in-pixel parasitic leakage current. The OES structure inherits the advantages of DCA and OESCA structure. The reset transistor was moved out from the pixel circuit and charge pump technique was utilized to avoid the threshold voltage loss during the reset of the integration node. Thereby, it has larger charge storage capacity as 95.6Me-.

Secondly, a novel low power readout architecture with time delay integration and element deselection for long linear arrays is presented. A  $4 \times N$  TDI ROIC has been designed using this novel architecture. The ROIC has the following functions: time delay integration, gain control, reversible TDI scanning, defective pixel deselection, subscanning. The features of this ROIC include: four parallel output ports, antiblooming, variable integration period. Its operational modes can be programmed via the parallel or the serial interface and the internal clocks are generated from external master clock. Thus, the user interface is very simple. The ROIC has been simulated with 1.2- $\mu\text{m}$  DPDM n-well CMOS process parameters. Significant reduction (13mW) in ROIC power has been obtained by using parallel operation and power down management techniques. Its linear output dynamic range is 2.8V and the readout rate is 5MHz. The nonlinearity is 0.22% and power dissipation is 48mW.

**Key words:** Infrared Focal Plane Arrays, Readout Integrated Circuit, Charge Amplifier, Snapshot, DCA, OESCA, OES, TDI, Low Power, Charge Storage Capacity

## 原创性声明

本人郑重声明： 所呈交的学位论文， 是本人在导师的指导下， 独立进行研究工作所取得的成果。除文中已经注明引用的内容外， 本论文不含任何其他个人或集体已经发表或撰写过的作品成果。对本文的研究做出重要贡献的个人和集体， 均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

学位论文作者签名： 陈中建

日期： 2002 年 5 月 25 日

## 著作 权 声 明

任何收存和保管本论文各种版本的单位和个人， 未经本论文作者授权， 不得将本论文转借他人并复印、 抄录、 拍照、 或以任何方式传播。否则， 引起有碍作者著作权益之问题， 将可能承担法律责任。

## 本 研 究 获 得

北京大学研究生培养基金博士学位论文创新工作资助

# 第一章 引言

1800 年，英国天文学家 F.W. Herschel 在研究太阳七色光的热效应时发现[1]：当水银温度计移至红色光谱边界以外，人眼看不见有任何光线的黑暗区域时，温度反而比红光区域的温度更高。反复试验证明，在红光外侧的确存在一种人眼看不见的“热线”，后被称为“红外线”（Infrared Ray）。其后 200 多年中，人们研究了红外线的物理特性，建立了红外辐射的基本定律。近 50 年内，红外技术飞速发展，在红外辐射理论、探测器和信号处理技术、制冷技术、红外光学及红外系统设计等领域均有巨大进步，致使以红外和激光为代表的光电子技术已成为当今世界高技术领域之一。

红外技术一个非常重要的应用领域是红外热成像系统和红外光谱分析系统。这些系统被广泛用于军事、交通、保安、消防、天文学、天体物理学、大气科学、地质学、行星学、海洋学等领域；其核心组件是红外焦平面（IRFPA—Infrared Focal Plane Array）组件。该组件包括红外探测器阵列和信号读出用集成电路（ROIC—Readout Integrated Circuit）两部分，如图 1-1 所示。与此相应，红外焦平面技术包括三部分内容：红外探测器技术、读出电路设计技术以及两者的互连技术。探测器阵列的作用是实现光电转换，ROIC 的作用是完成像素信号的处理和读出。

ROIC 的每个单元电路与探测器阵列中对应的探测器一一配对互连，对探测到的几万、几十万甚至几百万的像素信号，经一定处理，从有限的输出端口输出到下游信号处理电路。

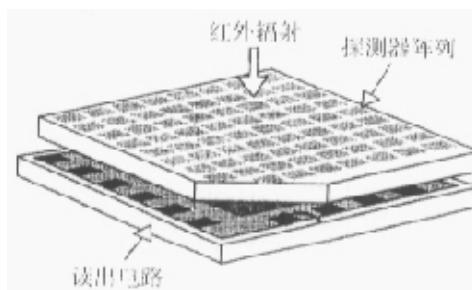


图 1-1 红外焦平面组件的剖面结构

ROIC 的设计和优化与其应用领域密切相关，了解与红外技术相关的背景知

识非常必要。本文第二章将简介这些必要的背景知识，内容涵盖红外辐射和红外线、红外探测器、红外热成像系统以及红外焦平面技术；特别给出描述 ROIC 性能的各项参数的含义以及为什么选用 CMOS 工艺设计 ROIC。

## 1.1 ROIC 的体系结构

图 1-2 示 ROIC 的典型体系结构，至少包括：单元电路阵列（输入级），列信号处理和读出级，高速缓冲输出级，列/行选信号产生电路，时钟控制信号产生电路等。有的高性能 ROIC 还包括：片上偏置和时钟信号产生电路、模数/数模转换电路、功耗动态管理电路、缺陷像素剔除和信号补偿电路、串/并接口电路、测试电路、减背景电路、工作模式控制电路等。

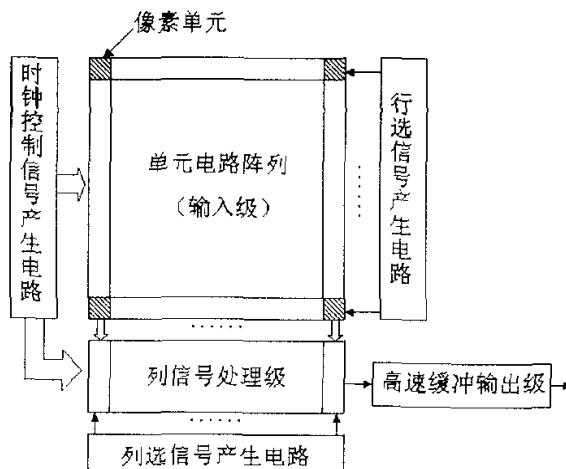


图 1-2 典型 ROIC 的体系结构

输入级是由单元电路阵列构成。单元电路通过电连接（如钢柱）与相应的探测器连在一起。探测器将接受到的光信号转化成电信号，在曝光（积分）控制信号作用下，电信号被转移到单元电路中。单元电路的功能主要是给探测器提供偏置、光电流积分和行选控制。有些 ROIC 单元电路还能完成增益分级调整、减背景、不一致性校正、时间滤波、空间滤波等高级信号处理功能。[2]报道了一个  $256 \times 256$  规模的 ROIC，其单元电路能完成时间滤波功能。

在满足面积、功耗、成品率的前提下，单元电路应尽可能高注入效率、低噪声、大电荷存储能力。从信号注入模式看，常见的单元电路结构有三种：直接注入型（DI—Direct Injection）、缓冲直接注入型（BDI—Buffered Direct Injection）

和栅调制注入型（GMI—Gate Modulation Injection）。

同一行的单元电路的信号在行选控制等时钟作用下，通过列总线，被并行转移到列读出级。列读出级对信号进行一定处理后，在列选控制信号作用下，被高速缓冲输出级串行输出到下游信号处理电路。高速缓冲输出级主要是提供一定驱动能力并实现阻抗转换。由于高速输出缓冲级必须以比较高的数据输出速率驱动一个大的电缆电容，导致 ROIC 的大部分功耗由输出缓冲级消耗掉。

## 1.2 ROIC 的设计要求

ROIC 的设计要求包括功能要求和性能要求两方面。功能要求像素信号的处理和读出。

读出功能是 ROIC 的必备功能，通过多路选通器，把每个像素的信号从有限的几个输出端口高速输出。有的多路选通器，还提供“开窗”功能（只输出整个阵列的某个局域内的像素信号），这种功能可提高成像系统的帧频。

早期 ROIC 仅仅是一个多路选通器。随着人们对 IRFPA 组件性能和功能要求的逐步提高，越来越多下游信号处理功能被集成到 ROIC 上，如减背景、模数/数模转换[3-4]、自动增益调节、不一致性校正[5-6]、时间滤波、空间滤波等。这种趋势在非制冷焦平面组件用 ROIC 中更为明显。

从性能上讲，ROIC 应低噪声、低功耗、高电荷存储能力、高动态范围、高数据输出速率、高转移效率、高可靠性，并要采用强壮性设计以提高成品率等。ROIC 各个性能参数的含义在 2.6 节给予详细讨论。

## 1.3 ROIC 设计研究的意义

### 1.3.1 ROIC 是 IRFPA 组件的重要组成部分

红外热成像系统在军事、民用、科研等领域有重要应用[7]。军事领域的应用包括：红外侦察；红外搜索、跟踪、预警；红外制导；红外对抗；夜视等。民用包括：森林防火、污染监测、天气预报、执法保安、热图诊断、红外理疗、无损探伤、红外加热、红外测湿、红外报警等。科研领域的应用包括：天文观测、光谱分析、红外遥感、资源勘测等。

红外焦平面技术研究对提高红外系统的性能起到至关重要的作用。随着红外技术的不断发展，焦平面组件规模不断扩大，对其性能和功能的要求也越来越高，ROIC 在组件中的作用日趋重要，已成为影响组件性能和功能的重要因素。因此，开展 ROIC 设计研究对提高红外热成像系统的性能有重要意义。

### 1.3.2 ROIC 设计的特殊性和技术难度

与常规的 IC (IC-Integration Circuit) 设计相比，ROIC 设计有其自身特殊性和技术难度，包括：

- 1、与红外探测器阵列的物理接口与电接口相适应的设计技术；
- 2、数模混合电路低噪声设计技术；
- 3、超低温（ $T=60K \sim 300K$ ）工作状态下电路的优化设计技术；
- 4、微功耗设计技术（对于  $320 \times 240$  规模，在  $8 \times 8\text{mm}^2$  芯片上有约 40 万个管子，功耗仅几十毫瓦）。

这些特殊性和技术难度，使得开展 ROIC 的设计研究非常必要。

### 1.3.3 ROIC 的类型

根据成像模式的不同，红外热成像系统可分为线阵扫描型和面阵凝视型两种成像系统。与此对应的 ROIC 可分为线阵 ROIC 和面阵 ROIC 两大类。线阵 ROIC 又可根据其拓扑结构，分为单线列 ROIC 和多线列 ROIC。不同类型 ROIC 的设计侧重点并不相同。即使同一类型的 ROIC，其设计也与特定的应用密切相关，要设计高性能 ROIC 就需深入掌握每种 ROIC 的特性。

不同类型的 ROIC 设计也存在共性，这些共性表现为：在电路结构上，所有 ROIC 都包括输入级、列读出级、输出级、行选或列选信号产生电路等；从功能上看，所有 ROIC 都要实现信号积分、处理和读出三部分功能；在设计要求上，所有 ROIC 都要求低噪声、低功耗、高动态范围、高数据输出速率等。这些共性使得 ROIC 设计研究具有普遍性，一种类型 ROIC 的研究成果能用于其它类型的 ROIC 的设计中。

因此，本文的研究工作有重要理论意义和现实意义。

## 1.4 ROIC 设计研究现状

第一代焦平面组件是由小规模探测器阵列加上分立元件构成的放大读出电路组成。这一时期的研究工作主要集中在探测器阵列的制备工艺上。读出电路一般只是简单的选择开关和必要的输出驱动，对信号本身基本没什么处理。

第二代和第三代焦平面组件[2][8-9]的探测器阵列规模更大，ROIC 需要有更强的信号处理功能和更高性能。因此，ROIC 设计在第二代和第三代焦平面组件中非常关键。目前，单芯片系统集成 ROIC 已大量用于焦平面组件中，不但性能优越，功能强大[10]，而且有很好的可编程性[11]。

ROIC 的研究现状可从单元电路、体系结构、性能参数和实现工艺四个角度给予总结。

从单元电路上看，目前主要有直接注入型、缓冲直接注入型、栅调制注入型、源跟随型和电容跨阻放大器型等几种类型[12]。本文 3.1 节将分析、比较直接注入型、缓冲直接注入型和栅调制注入型的优缺点。

从体系结构上看，比较常用的有四种，即开关源跟随型（Switched Followed）、列总线分离型（Column Bus Partition）、像素外积分型（External Integration）和快照电荷放大型（Snapshot Charge Amplifier）。本文 3.2 节将分析、比较它们的优缺点。

从性能参数上看，ROIC 研究现状如表 1 所示。

从信号处理功能上看，在 ROIC 上实现的功能越来越多，包括片偏置和时钟产生、增益分级调节、积分时间可调、工作模式编程控制、缺陷像素剔除、开窗、多端口读出、多光谱探测信号协处理、时间和空间滤波等。

从工艺上看，CMOS 工艺已经成为 ROIC 设计的主流工艺，CCD 工艺在需要实现时间延迟积分功能的 ROIC 设计中仍有采用。最新的具有时间延迟积分功能的 ROIC 也已采用 CMOS 工艺设计。本文 2.7 节将分析这种工艺转变的原因。

与国际研究水平相比，我国 CMOS ROIC 设计在规模、性能和功能等方面都存在明显差距，已成为制约我国红外热成像应用的关键因素。目前报导的 CMOS ROIC 的最大规模为  $128 \times 128$ [16]。因此，开展 ROIC 设计研究有重要社会效益和经济价值。

表 1-1 ROIC 的研究现状	
最大阵列规模	面阵为 $2052 \times 2052$ [2]; 线阵为 $480 \times 12 \times 4$ [13] 或 $1500 \times 1$ [14]
像素尺寸	一般在 $50 \times 50 \mu\text{m}^2$ 到 $25 \times 25 \mu\text{m}^2$ 之间, 最小 $18 \times 18 \mu\text{m}^2$ [15]
工作温度	大部分工作在 $70\text{K}$ 到 $300\text{K}$ 之间
输出动态范围	一般在 $1.0\text{V}$ 到 $2.8$ 伏之间
输出端口数	单个或多个
数据输出速率	一般在 $5\text{MHz}$ 左右, 最大为 $12\text{MHz}/\text{端口}$ [14]
电荷存储能力	在几 Me- 到几十 Me- 之间
功耗	在几毫瓦到几百毫瓦之间
噪声电子数	与应用背景有关, 一般在几千到几十个电子数之间
工作模式	面阵分为波纹 (ripple) 型和快照 (snapshot) 型两种

## 1.5 本文研究工作的创新性

本文的创新性研究工作包括两部分内容:

### 1、提出了三种面阵 Snapshot ROIC 新结构

目前, 对高分辨率、低功耗红外热成像系统的需求越来越大, 这就要求加大阵列规模并缩小像素面积。像素面积缩小会导致 ROIC 电荷存储能力下降, 而 ROIC 的许多关键性能指标 (如信噪比等) 与电荷存储能力有密切关系。因此, 设计者必须尽可能使 ROIC 的电荷存储能力足够大, 以保证获得良好电路性能。为此, 单元电路必须非常简单, 使像素中积分电容足够大。用于高背景辐射的 ROIC 更需要有较大积分电容, 否则, 像素会“饱和”, 导致 ROIC 无法输出正确的像素信号。

90 年代初期, 大多数 CMOS ROIC 采用开关源跟随结构。这种结构的单元电路至少包括 5 个晶体管: 积分管、注入管、源随管、复位管和地址选择管。这就限制了用做 MOS 电容的积分管的面积, 从而降低电路性能。

当像素尺寸比较小时, 采用单元电路只有 4 个晶体管的列总线分离结构可以提高像素内的积分电容, 从而保证电路性能。但该结构最大的缺陷是: 列线寄生电容  $C_{bus}$  会分享从像素中转移出的电荷; 当阵列规模较大时,  $C_{bus}$  会随之加大, 将引起严重的信号失真。

SCA 结构[79-80]基于电荷转移机制，采用电荷放大器做列读出级，能有效抑止列线寄生电容的影响；逐行复位模式，降低了电源的峰值电流，缩短了整个阵列的复位时间，并能有效抑止因单元电流寄生漏电流引起的固定图案噪声；其单元电路简单，并能以快照模式工作。因此，SCA 结构比较适于大规模、小像素 ROIC 设计。但该结构的电荷存储是通过源漏短接的 nMOS 管栅下面的势阱实现，其表面势无法达到电源电压水平，会导致电荷存储能力下降。这是 SCA 结构的主要缺点。

在这些研究的基础上，我们提出了三种针对电荷存储能力和功耗指标进行优化、并适用于大规模 ROIC 设计的新结构，即 DCA（Direct-injection Charge Amplifier）结构、低功耗 OESCA（Odd-Even Snapshot Charge Amplifier）结构和高电荷存储能力 OES（Odd-Even Switching）结构。这些结构能有效抑止列线寄生电容的影响和寄生漏电流引起的固定图案噪声，提高了 ROIC 的电荷存储能力和动态范围，并降低功耗。采用这些结构，并基于 1.2- $\mu\text{m}$  DPDM（Double Poly Double Mental）Nwell CMOS 工艺，设计完成  $128 \times 128$  DCA 结构 ROIC、 $64 \times 64$  OESCA 结构 ROIC 和  $64 \times 64$  OES 结构 ROIC。经仿真和测试，这些结构性能优越。本文第四章将详细介绍这些新结构的体系结构、工作时序、仿真和测试结果。

## 2、提出一种具有时间延迟积分功能的低功耗线阵 ROIC 新结构

具有时间延迟积分（TDI – Time Delay Integration）功能的 ROIC，可显著提高焦平面组件的性能、成品率和适用范围，在高性能扫描型红外热成像系统中有重要应用。但其设计难度较大；不同国家和公司之间市场竞争激烈；而且，TDI ROIC 用于扫描型高性能红外热成像系统，这种系统在军事领域有重要应用，因此，公开发表的文献均回避具体的电路结构。

在这种情况下，基于 1.2 $\mu\text{m}$  标准 CMOS 工艺，我们提出了一种新的低功耗 TDI ROIC 体系结构，基于该结构设计出的 ROIC 具有：TDI 功能、微扫描功能、双向扫描功能、缺陷像素剔除和信号补偿功能、增益分级调节功能、全芯片测试功能和功耗动态分配管理功能（使 ROIC 的功耗降低 13mW）。通过并行或串行数据接口，可对 ROIC 的工作模式编程，积分时间可调；4 个输出端口并行读出，

单个端口的最大输出速率为 5MHz。采用片上时钟产生技术，ROIC 的用户界面非常简单，用户只需提供主时钟和少量控制信号即可工作。

在相同的探测器性能和相同扫描频率下，该 TDI ROIC 在如下 5 个方面显著提高了红外焦平面组件的性能：

- (1) 使焦平面组件的信噪比提高 2 倍；
- (2) 使红外热成像系统的图像空间分辨率 (MTF—modulation transfer function) 提高 3 倍，降低了探测器阵列的加工难度和成本，并提高成品率。
- (3) 具有增益分级调整功能，使同一红外焦平面组件适用于不同强度的辐照背景下，扩大了适用范围。
- (4) 具有双向扫描功能，使成像效率提高 1 倍，并提高图像的刷新频率。
- (5) 具有缺陷像素剔除功能，可显著提高焦平面组件的性能和成品率。

本文第五章将详细介绍该 TDI ROIC 的低功耗新结构并给出精确的 HSPICE 仿真结果和 ROIC 的性能参数。

## 第二章 红外热成像和红外焦平面技术

红外焦平面 ROIC 应用于红外热成像系统和红外光谱分析系统中，ROIC 的设计和优化与其应用背景密切相关，了解相关背景知识对 ROIC 设计非常必要。例如，ROIC 的电荷存储能力和存储电容的设计与热成像系统应用环境的背景辐照强度有关；注入效率与探测器动态电阻有关；功耗与红外热成像系统制冷功率有关；数据读出速率与探测器阵列规模和成像系统帧频有关；等。本章将简介红外辐射的基本规律、红外线的特性、红外探测器和红外热成像系统的相关知识；最后简介红外焦平面技术、ROIC 的性能参数以及为什么选用 CMOS 工艺设计 ROIC。

### 2.1 红外辐射和红外线

一切温度高于绝对零度（-273 度）的物体都在不停向外发射能量，这种现象被称为热辐射。热辐射是一种电磁辐射，辐射波长大约在 0.1—1000μm 之间，包含了可见光波段和红外波段。红外辐射指波长处于 0.76—1000μm 范围内的热辐射。研究表明，红外线是从物质内部发射出来，产生红外线的根源是物质中原子或分子运动状态的变化。

自然界中许多物体，都在发射着红外线，被称为红外辐射源。红外辐射源一般分为自然红外辐射源（如天空、海洋、地面等）和目标红外辐射源，后者是指红外系统要探测、定位或识别的那些发出红外辐射的物体。

红外线的本质是一种电磁波，具有波动性，如反射、折射、干涉、衍射和偏振等特性。它在真空中的传播速度为光速，其波长 $\lambda$ 和频率 $\nu$ 存在如下关系：

$$\lambda \times \nu = V$$

式中， $V$  为红外线在介质中的传播速度（在真空中为  $c$ ）。

红外线还有粒子性，可以以光量子的形式发射和吸收，光子能量为：

$$E = \hbar \nu = \frac{\hbar c}{\lambda'}$$

式中， $\lambda'$  为真空中波长， $\hbar \approx 6.626 \times 10^{-34} J \cdot s$ ，为普朗克常数。由上式知，光子能量与波长成反比，与频率成正比。

与可见光相比，红外线有独特的性质[17]：

- (1) 红外线对人眼不敏感，必须借助对红外线敏感的红外探测器才能探测到。
- (2) 红外线的光子能量比可见光的小， $10\mu\text{m}$  波长的红外光子的能量约为可见光光子能量的 1/20。
- (3) 红外线的热效应比可见光要强得多。
- (4) 红外线更易被物质所吸收，但它比可见光的波长长，透过薄雾的能力比可见光强。

## 2.2 红外线在地球大气层中的传输特性

地球大气由多种不同气体组成，如氮 ( $\text{N}_2$ )、氧 ( $\text{O}_2$ )、氩 ( $\text{Ar}$ )、二氧化碳 ( $\text{CO}_2$ )、臭氧 ( $\text{O}_3$ ) 和水蒸汽 ( $\text{H}_2\text{O}$ ) 等。除气体外，还有一些液体和固体的粒子，它们悬浮在大气中，被称为“气溶胶”粒子。

大气是隔在红外系统和目标间的一道屏障。红外线在大气中传播时，大气中的二氧化碳 ( $\text{CO}_2$ )、臭氧 ( $\text{O}_3$ )、水蒸汽 ( $\text{H}_2\text{O}$ ) 等对某些红外波段有强烈的选择性吸收作用[18]；红外线也会因大气中气溶胶粒子的散射而衰减。因此，只有部分波段可透过大气层。一般形象地称能透过大气层的波段为红外辐射的“大气窗口”。

对“大气窗口”的研究有助于合理选择光电转化器件。以窗口波长为工作波长，有利于提高红外系统的作用距离。对  $0.76\sim15\mu\text{m}$  的红外辐射，可粗略分为  $1\sim3\mu\text{m}$ 、 $3\sim5\mu\text{m}$  和  $8\sim14\mu\text{m}$  三个大气窗口。由于室温下物体的红外辐射光谱峰值在  $10\mu\text{m}$  左右，因此， $8\sim14\mu\text{m}$  的大气窗口在红外探测和红外热成像中格外重要，它对高空侦察、大地测绘和资源探测等都具有十分重要的意义。

## 2.3 红外探测器

利用红外辐射的各种效应，可制造出红外探测器。目前有实用价值的红外辐射效应主要是热效应和光电效应，因而，已有的红外探测器实际上可分为两大类：热电探测器和光电探测器。

### 2.3.1 红外热电探测器

探测器材料吸收红外辐射后，晶格振动加剧，辐射能转化为热能，温度会升高，这种效应称为热效应。伴随着温度的升高，材料的某些物理特性会发生变化，如电阻率发生变化，体积膨胀，产生电流、电动势、电荷等；测量这些特性参数的变化就可确定红外辐射的存在和大小，这是红外热电探测器的工作原理。常用红外热电探测器包括：热敏电阻，热电偶（热电堆），气体探测器，热释电探测器等。

热电探测器具有如下特点：

- (1) 一般在室温下工作，不需制冷。
- (2) 对各种波长的红外辐射均有响应，是无选择性探测器。
- (3) 响应时间比光电探测器长，响应率比光电探测器低1~2个数量级。

在光电探测器出现后，由于它在探测率和响应时间等方面比热电探测器优越的多；而且要制备热电探测器阵列，首先在工艺上必须解决探测器间的热隔离以及探测器与ROIC间的热隔离问题，这一问题长期没有得到很好解决，因此，热电探测器曾一度在焦平面探测器阵列中被冷落。目前，降低红外系统的制冷功耗、体积、重量的要求越来越迫切，使得不需制冷即可工作的热电探测器再度得到重视，且工艺的进步也较好地解决了热隔离问题，使得热电探测器被广泛用于第三代红外热成像系统——非制冷红外热成像系统中。

### 2.3.2 红外光电探测器

当探测器材料吸收入射光子后，材料中的电子运动状态发生改变，从而引起相应的电学量发生变化，这种现象统称为光电效应；测量光电效应的大小就可测定吸收的光子数，实现红外探测。光电探测器就是利用光电效应来探测红外辐射的存在和强度。

常用的光电探测器有四种，即：光电导探测器，光伏探测器，光磁电探测器和光电子发射器件。其中，光电导和光伏探测器是种类最多、应用最广的光电探测器。

能否产生光电效应是实现红外探测的关键。当入射光子能量大于本征半导体

的禁带宽度  $E_g$  (或杂质半导体的杂质电离能  $E_D$  或  $E_A$ ) 时, 才会出现光电效应。入射光子的最大波长 (即探测器的长波限) 与半导体禁带宽度  $E_g$  有如下关系:

$$\begin{aligned}\hbar\nu_{\min} &= \frac{\hbar c}{\lambda_c} \geq E_g \\ \lambda_c &\leq \frac{\hbar c}{E_g} = \frac{1.24}{E_g} (\mu m)\end{aligned}$$

式中,  $\lambda_c$  为光电探测器的截止波长,  $c$  为真空中的光速,  $\hbar$  为普朗克常数。

禁带宽度  $E_g$  与温度有关, 通常温度降低,  $E_g$  增加, 截止波长下降。

红外光电探测器具有如下特点:

- (1) 多数光电探测器必须工作在低温下才会有优良的性能, 否则热激发载流子会降低探测器的灵敏度。
- (2) 只对短于或等于截止波长的红外辐射有响应, 是有选择性的探测器。
- (3) 响应时间比热电探测器短很多, 适于探测辐射热图快速变化或高速运动的目标; 其响应率比热电探测器高 1~2 个数量级; 在相同条件下, 探测器率比热电探测器至少高 3~10 倍[19, page 85—86]。

### 2.3.3 光伏红外探测器

由上面的讨论知, 红外光伏探测器是一种光电探测器。由于本文的研究工作都是针对光伏探测器进行, 而且在设计 ROIC 与探测器间的接口电路时, 需要探测器的 I-V 特性和等效电路, 因此, 这里将详细介绍光伏探测器的相关知识。

光伏探测器从原理上讲就是一个 PN 结光电二极管[20], 利用 PN 结的光伏效应工作。图 2-3-1 为 PN 结型光伏红外探测器结构图。

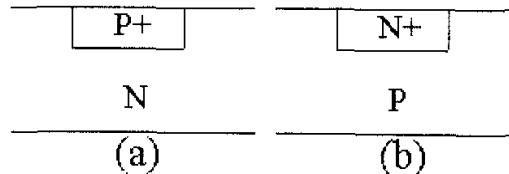


图 2-3-1 PN 结型光伏红外探测器结构图: (a) P+N 结构, (b) N+P 结构

半导体 PN 结及其附近吸收光子后产生电子-空穴对。在结区外, 它们靠扩散进入结区; 在结区内, 则受结的静电场作用, 电子漂移到 N 区, 空穴漂移到 P

区。在短路的情形下，这将形成光致电流。这个电流与 PN 结反向电流的方向一致。在断路的情形下，N 区获得附加电子，P 区获得附加空穴，结区获得附加电势差。它与 PN 结原来存在的势垒方向相反，这就降低了 PN 结原有的势垒高度，在 P 区和 N 区间形成一定的光致电压，它使 PN 结正偏。在稳定平衡状态下，该电压产生的正向电流正好抵消光生电流。这就是 PN 结的光伏效应。

光伏探测器的 I-V 特性与普通的二极管相同：

$$I = I_s (e^{qU/kT} - 1) + I_\phi$$

式中， $I_s$  为 P-N 结未被光照射时的反向饱和电流；U 为 P-N 结上的外加电压； $I_\phi$  为光作用下产生的光生电流。典型光电二极管的 I-V 特性如图 2-3-2 所示。

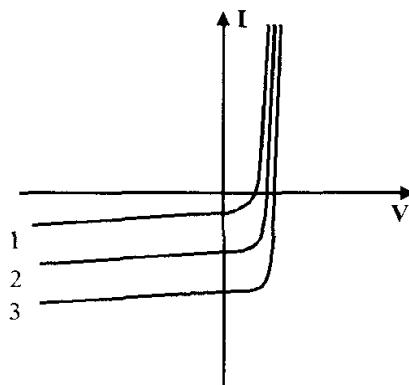


图 2-3-2 光伏红外探测器的 I-V 特性

在图 2-3-2 中，光照强度从小到大依次为 1, 2, 3。在相同的偏置电压下，光电流的大小（绝对值）随光照强度的增加而增加。这样，光电二极管的反向电流的幅值便可以反映出外部光照的信息。

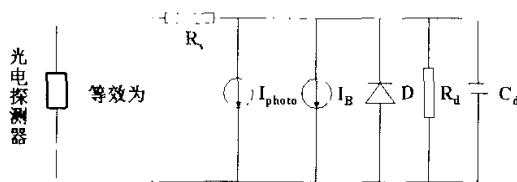


图 2-3-3 光伏红外探测器在反向偏压下的等效电路

在正向偏压作用下，随电压的增加，电流很快增大。作为光电探测器，它在正向偏压下没有使用价值。在反向偏压下，电流很快达到饱和，此电流也称为光

伏探测器的暗电流。在光照下，I-V 特性曲线近似地平行下移，下移的程度取决于光照的强度。光伏探测器大多工作于这个区域。由于在这一区域内，电流随光照强度的增加而增加，与光导现象类似。因而，常称工作在此区域的光伏探测器的工作模式为光导模式。光导模式的光伏探测器需在反向偏压下工作，图 2-3-3 为光伏红外探测器的等效电路。图中，D 为理想的结型二极管，恒流源  $I_B$  是无光照时光电二极管的暗电流，电流源  $I_{photo}$  用于仿真光电流，电阻  $R_d$  为工作点处的动态电阻，电阻  $R_s$  为串联电阻，电容  $C_d$  为工作点处的动态电容。

### 2.3.4 探测器的性能参数

描述探测器性能的参数很多，如响应率、噪声等效功率、光谱响应、响应时间、频率响应等。这里只给出本文下面讨论中需要的几个性能参数的含义[21]。

#### (1) 辐射功率 P

辐射功率指以辐射的形式发射、传播或接受的功率，单位为 W。

#### (2) 辐照度 H

辐照度指物体单位面积上接受到的辐射功率。

#### (3) 响应率 R (responsivity)

响应率指单位输入辐射功率产生的输出电压或电流，单位为 V/W 或 I/W。

$$R_v = \frac{V_s}{P}$$

$$R_i = \frac{I_s}{P}$$

式中， $V_s$  和  $I_s$  分别为探测器的输出信号电压和电流，P 为输入的入射辐射功率。

#### (4) 噪声等效功率 NEP (Noise Equivalent Power)

当探测器的输出信号等于噪声信号时（即信噪比为 1 时），对应的入射辐射功率，称为噪声等效功率。

$$NEP = \frac{HA_d}{V_s/V_N} = \frac{P}{V_s/V_N} = \frac{V_A}{R_v} \quad (\text{W})$$

式中，H 为探测器上的辐照度， $A_d$  为探测器面积， $V_s$  为探测器的输出信号电压， $V_N$  为噪声电压的均方根值。

### (5) 探测率 D 和归一化探测率 $D^*$

探测率 D (detectivity) 指辐照在探测器上的单位辐射功率所获得的信噪比，定义为

$$D = \frac{1}{NEP} = \frac{V_s}{PV_N}$$

式中， $V_s$  为探测器的输出信号电压， $V_N$  为噪声电压的均方根值，P 为入射辐射功率。

探测率  $D^*$  可理解为在一个光敏面积为  $1\text{cm}^2$  的探测器上的辐照度为  $1\text{W.cm}^2$ ，并用  $1\text{Hz}$  带宽的测量电路测出的信噪比，其定义式为

$$D^* = D(A_d \cdot \Delta f)^{1/2} = \frac{V_s / V_N}{H A_d} (A_d \cdot \Delta f)^{1/2} = \frac{R_r}{V_N} (A_d \cdot \Delta f)^{1/2}$$

式中， $V_s$ 、 $V_N$ 、H、 $A_d$  的定义同 NEP 的定义式， $\Delta f$  为测量电路的带宽。

### (6) 响应时间 $\tau$

当入射的红外辐射以阶跃形式照射到红外探测器上时，定义输出信号上升到稳定值的 63% 所需要的时间定义为探测器的响应时间。它反应了探测器对交变辐射响应的快慢。

### (7) 频率响应

探测器的响应率 R 随调制频率变化的关系称为探测器的频率响应。

### (8) 光谱响应

功率相同的不同波长的辐射照在探测器上所产生的信号  $V_s$  与辐射波长  $\lambda$  的关系，称为探测器的光谱响应。

### (9) 暗电流

探测器在没有入射辐射的情况下仍然会有流过探测器的电流，这个电流被称为探测器的暗电流。

产生暗电流的一个原因是半导体中的热激发过程，它会产生电子—空穴对。暗电流的大小与探测器的温度成指数关系，因此一般使探测器工作在低温下以降低暗电流。暗电流还与探测器的响应波段有关系；用于中长波红外探测的材料一般为窄禁带半导体材料，因此，产生电子—空穴对所需的热激发能量不高，更容易产生热激发载流子，导致较大的暗电流。相比之下，短波探测器的暗电流

就较小。

产生暗电流的原因，除了半导体本身的热激发过程外，还与探测器视场中的光学系统组件、滤光片的泄漏、ROIC 等有关。

#### (10) 量子效率 (quantum efficiency)

一个入射光子产生可被探测到的电子—空穴对的几率，称为量子效率。量子效率一方面与入射光子激发出电子—空穴对的几率有关，这个几率依赖于探测器材料和工作温度；另一方面，也与光生载流子被转移到电荷存储结构（如势阱，存储电容等）的几率有关，这个几率与 ROIC 的设计有关。

为增加量子效率，还应尽可能减少反射和折射损失（如，采用抗反射薄膜），使到达探测器的入射辐射尽可能多。

#### (11) 光占比 (filling factor)

光占比指像素中光敏区域的面积占像素总面积的百分比[22-23]。

一般像素与像素之间，都有一部分对入射辐射不敏感的“死区”。若这部分区域的面积较大，则像素间的串扰（cross talk）[24]会减小，但同时光占比也会减小，从而使光子的探测效率下降。设计时应在降低串扰的同时，尽可能提高光占比。

#### (11) 截至波段 (cut-off wavelength)

光电探测器能探测到的最长波长，称为该探测器的截至波长：

$$\lambda_c = \frac{hc}{E_e} = \frac{1.24}{E_e} (\mu m)$$

式中， $\lambda_c$  为光电探测器的截止波长， $c$  为真空中的光速， $\hbar$  为普朗克常数。

### 2.3.5 探测器的工作温度

一般 ROIC 的工作温度与探测器的工作温度相同，因此，ROIC 设计者需要了解探测器的工作温度以实现 ROIC 低温下性能优化。

许多探测器的性能与工作温度密切相关。在实际应用中，为使探测器性能优越，特别是工作在中、长波段的光电探测器，一般需用制冷机保持探测器工作于低温。制冷的目的是降低探测器和 ROIC 的热噪声，延长工作波段，屏蔽背景噪声，保持探测器功能正常或提高探测器的灵敏度，减少滤光片、挡板及光学系统

本身的热辐射引起的噪声[17, page 180]。在有些红外系统中，测定目标温度时需要以制冷温度为参照，制冷剂起到温度定标的作用。

工作在低温下的光电探测器，通常在几十度 K 下工作；高于这一温度，探测器性能下降很快，甚至观察不到它的光敏特性。当然也不是工作温度越低越好。工作温度过低，探测器性能并不会再增加，有的反而会下降[17, page 114]；而且制冷机的功耗会显著增加。设计者一般要在制冷温度和探测器性能间进行折衷。

根据工作温度，探测器可分为制冷型和非制冷型两种。制冷型指工作温度远低于 300K 的探测器；非制冷型指工作在室温或近室温的探测器。需制冷的探测器或焦平面组件一般被放置在绝热良好的杜瓦瓶内，杜瓦瓶中盛放制冷剂（如液氮、液氦或干冰等）。当有热负载时，制冷剂由液相变为气相（或由固相升华为气相）而消耗掉，在相变过程中吸收热量，达到制冷效果。

非制冷探测器一般也需制冷，来保持其工作温度的恒定；用功耗较低的热电制冷方式即可。最新报道的一些非制冷焦平面组件工作时不再需要制冷[25-34]。

值得特别指出的是，在红外系统中，用于制冷的电功耗往往占整个红外系统功耗的最大份额[40]，因此应尽量降低探测器和 ROIC 的功耗，以减小制冷机的热负载。

### 2.3.6 碲镉汞 ( $Hg_{1-x}Cd_xTe$ ) 材料

制备红外光电探测器的材料分为两大类：本征型半导体材料和非本征型（掺杂型）半导体材料。本征型材料包括 PbS、PbSe、InSb、HgCdTe、PbSnTe、GaAs、InGaAs[41]等。非本征型材料包括 Ge 掺 Au、Ge 掺 Hg、Ge 掺 Cd、Ge 掺 Cu、Si 掺 Ga、Si 掺 Sb 等材料。研究较多、较充分的是碲镉汞材料，它以高探测率和高量子效率著称[1][42-44]，被广泛用于制备红外光电探测器。已有研究显示，其量子效率可高达 90%[18]。

$Hg_{1-x}Cd_xTe$  是由半导体 CdTe 和半金属 HgTe 采用半导体合金法混和而成的合金系统。这两种物质的混和固熔体  $Hg_{1-x}Cd_xTe$  的禁带宽度  $E_g$  随组分  $x$  和温度 T 的增大而增大，相应的截止波长也就减小[45, page 128]。它可用于制备光伏型和光导型红外探测器。与其它红外探测器材料相比，它有如下优点：

- (1) 探测的红外波段可调

通过改变  $Hg_{1-x}Cd_xTe$  中组分  $x$  的值, 可制备出工作于不同波段的红外探测器。

(2) 碲镉汞探测器不需工作在深低温状态下, 即可得到较高灵敏度。当用于  $8\sim14\mu m$  波段探测时, 碲镉汞探测器只需制冷到中等低温 ( $77K$ ), 即可具有相当高的灵敏度, 探测率  $D^*$  具有  $10^{10} cm \cdot Hz^{1/2} \cdot W^{-1}$  数量级。其他材料制备的红外探测器均需制冷到  $30K$  以下低温, 才能具有同样数量级的探测率。

(3) 碲镉汞材料具有电子有效质量小、本征载流子浓度低等特点, 用它制备的光伏探测器具有反向饱和电流小、噪声低、探测率高、响应时间短、响应频带宽等优点[17, page 137]。

因此,  $HgCdTe$  材料被广泛用于制备中长波段的红外线阵或面阵探测器。

由于能带间隙小 (对  $10\mu m$  波长, 其禁带宽度约为  $0.124eV$ ), 漏电流很高, 因此, 碲镉汞探测器通常在  $77K$  液氮温度下工作[18], 以减少热激发的载流子, 降低漏电流。

碲镉汞材料也有一些需要进一步解决的问题, 如在制备大规模探测器阵列时,  $HgCdTe$  层的稳定性和探测器间的-致性问题。碲镉汞材料本身也比较昂贵 [18]。

$HgCdTe$  红外光伏探测器 (光电二极管) 的制备方法是: 在 P 型  $HgCdTe$  中将 Hg 扩散进去, 表面将形成 N 型层, 即可构成 PN 结光电二极管探测器。

## 2.4 红外热成像系统

红外探测器一个非常重要的应用领域是红外热成像系统, 红外探测器和 ROIC 设计技术的发展也与红外热成像系统的发展密切相关。本文研究的 ROIC 均应用于高性能红外热成像系统。因此, 有必要介绍一下红外热成像系统的基础知识, 在介绍红外热成像系统的同时, 给出红外探测器以及信号读出、处理电路的发展历程。

### 2.4.1 红外热成像的原理

红外热成像的实质是, 在保持物体热像轮廓与可见光轮廓相似的前提下, 实

现“波长”转换，即把波长为 $0.76\sim15\mu\text{m}$ 的红外辐射分布图像转换为可见光图像。红外热成像系统就是将非可见的红外辐射转化为可见光的转换装置。

下面简介红外热成像系统的工作原理，图2-4-1是一个红外热成像系统的原理框图。景物（目标）发射或反射的红外辐射在大气中传输，经光学系统成像在焦平面（像平面）上。根据分辨率的要求，将像分割成许多小单元，每个小单元为一个像素。在焦平面上放置红外探测器。通过红外探测器把每个像素的红外辐射转化为电信号，再由电信号处理电路进行处理，并输出到显示或记录设备。制冷系统为探测器提供低温工作环境。

有的红外系统还有调制盘这一部件，其作用是：在匀速旋转过程中，使目标辐射时而被遮挡，时而投射到探测器上，从而把目标辐射在探测器上产生的直流信号转变成交流信号，以便于读出电路处理。另外，调制盘还有提供目标方位信息、抑止背景干扰等作用。

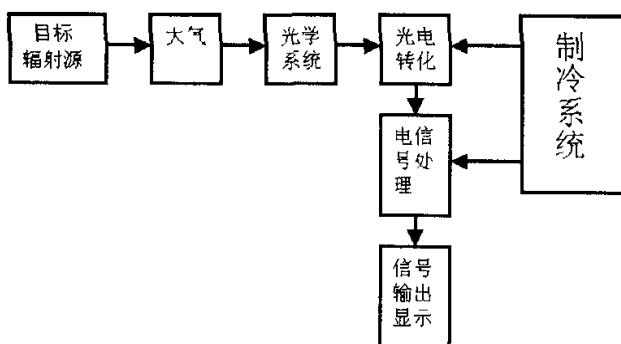


图2-4-1 红外成像系统的原理框图

红外热成像系统得到的景物热图像，分辨率一般不如可见光图像高；而且几乎没有阴影，缺乏立体感。在雨天，系统的视距会缩短；而且雨水的冷却作用使物体间的温差降低，导致热图像模糊。

红外图像普遍为灰度图像，反衬度低。为便于观察和识别，一般要对图像数据进行后处理，这些后处理一般包括：伪彩色增强、对比度增强、边界检测和图像存储等。通过伪彩色增强，可把灰度图像转换成彩色图像，使景物更醒目，有助于发现、识别目标。边界检测可使图像轮廓更清晰。

一个探测器在某一瞬间只能把焦平面上一个像素的红外辐射转换为电信号。为了得到整个景物的完整图像，必须通过扫描来得到每个像素的信号。根据扫描

方式的不同，热成像系统可分为三类：单元探测器加二维光机扫描，多元探测器加一维或二维光机扫描，和毋需光机扫描的面阵凝视成像系统。

早期红外热成像系统都是单元探测器加二维光机扫描系统。它只使用一个探测器，但需复杂的光机扫描系统，性能受到探测器灵敏度的限制。随着红外技术的不断发展，它已无法满足新的要求，如更远作用距离，更快响应速度，更大视场，简化的光机扫描机构。红外热成像系统必然向线阵扫描成像和面阵凝视成像方向发展。

## 2.4.2 线阵扫描热成像系统

由于增加探元数目可提高整个红外热成像系统的温度灵敏度和扫描速度。使用多元探测器的红外系统与使用单元探测器的红外系统相比，系统的灵敏度可提高约一个数量级，同时简化光机扫描，使系统由只能处理单个目标发展到能同时处理多个目标。因此，多元探测器加一维或二维光机扫描的热成像系统逐渐受到重视。

这种系统的研制，从单线阵探测器开始，继而研制双线阵及多线阵探测器。根据成像机制的不同，多元探测器加光机扫描的热成像系统可分为三类：并扫、串扫和串并扫热成像系统，下面逐一简介。

### 2.4.2.1 并扫热成像系统

图 2-4-2 为并扫热成像系统框图，其探测器的排列方向与扫描方向垂直，各探测器并行工作。若阵列规模足够大，只使用一维光机扫描即可完成整个视场的成像，因此，简化了光机扫描系统；而且提高了成像速度，降低了对探测器响应速度的要求，延长了每个探测器“凝视”物空间目标的时间，从而提高了系统的信噪比。

早期，这种系统的读出电路由分立元件组成。探测器被密封在杜瓦瓶内，每个探测器用导线与杜瓦瓶外的多路前置放大器一一对应相连，再由电子开关把前置放大器的输出转换成一路时序视频信号送到显示器或记录设备。如果线阵规模稍大，穿过杜瓦瓶的引线就会显著增加，这不但给杜瓦瓶的制造带来困难，同时

会增加制冷机的热负载，还会带来可靠性下降等问题。因此，这种由分立元件组成读出电路的方法，使得探测器阵列的规模不能太大，这就限制了系统性能的提高。

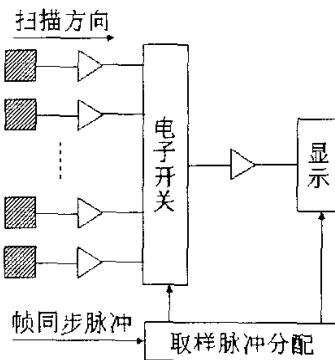


图 2-4-2 并扫探测器线阵和 ROIC 框图

20 世纪 70 年代，CCD (Charge Coupled Devices) 器件的出现为解决这一问题提供了途径。图 2-4-3 为用 CCD 器件做读出电路的并扫系统的框图。CCD 读出电路中的每个 CCD 元件得到的电荷与对应的探测器输出电压成正比；在驱动电路的控制下，CCD 元件依次把各像素的信号转移并输出成一路时序视频信号。由于 CCD 读出电路的体积和重量比原来的信号处理电路小很多，因此，可放置在杜瓦瓶内，与探测器阵列实现对应互连，这就大大降低了穿过杜瓦瓶的引线数目，使得制备规模较大的线阵成为可能。

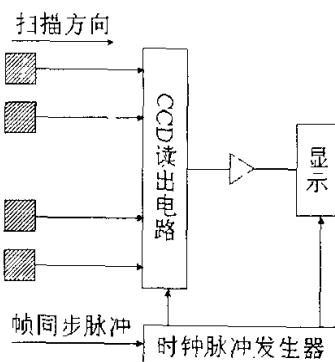


图 2-4-3 并扫探测器线列和 CCD 读出电路框图

这种用 CCD 做读出电路的热成像系统，读出电路和探测器阵列之间，仍是彼此分立，用导线互连。若把读出电路和探测器阵列进一步集成为一个组件，放置在光学系统的焦平面上，在焦平面上实现信号的探测、处理和读出，就可省去

中间的导线，体积会进一步减小，结构会更紧凑。

英国最早研制成功了这种集探测器和信号处理电路于一体的器件，称为 SPRITE (Signal Processing In The Element) [40, page 379-384]，在 2.4.2.3 节将介绍该器件的工作原理。

### 2.4.2.2 串扫热成像系统

采用并扫方式扫描时，线阵中每个探测器分工扫描一行；如果各探测器间的一致性不好，显示器上图像的行与行之间就有亮暗失真等缺陷。因此，探测器间有良好一致性是保证有较好像质的前提。提高探测器间一致性会增加探测器的制作难度和成本。下面要介绍的串扫方式[40, page 373-375]就对探测器一致性的要求大大降低了。

图 2-4-4 为串联扫描中多元探测器的排列及电路原理图。在串扫热成像系统中，探测器阵列的排列方向与扫描方向相同。同一个空间景物小单元，在 N 只元件上一一扫过。利用时间延迟积分线（如 CCD 器件），让第一个元件产生的信号延迟  $N-1$  个像元的时间，让第 i 个元件产生的信号延迟  $N-i$  个像元时间，让第  $N-1$  个元件产生的信号延迟一个像元时间，然后使 N 个信号一起叠加。由于信号是相关的，而噪声是不相关的，最后的结果将使信噪比增加  $\sqrt{N}$  倍。

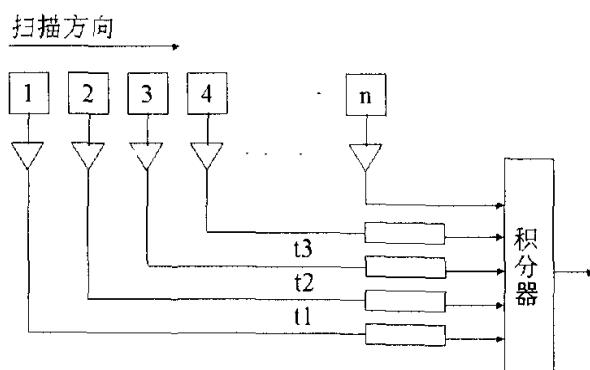


图 2-4-4 串联扫描中多元探测器的排列及电路原理图

下面来证明串扫系统使信噪比增加  $\sqrt{N}$  倍这个非常重要的结论。该结论是第五章 TDI 功能使  $4 \times N$  ROIC 信噪比提高 2 倍的理论依据。

为了简化推导，假设每个元件接受的辐射功率 P、每个元件的响应率 R 和探

测率  $D^*$  都相同，每路前置放大器的增益  $G$  也相同，于是每路的输出信号为

$$V_s = P \cdot R_i \cdot G_i$$

每路的输出噪声为

$$V_{N_i} = R_i \frac{\sqrt{A \cdot \Delta f}}{D^*} \cdot G_i$$

每路的信噪比为

$$\frac{V_s}{V_{N_i}} = \frac{P \cdot D^*}{\sqrt{A \cdot \Delta f}}$$

设经过积分延迟线后的输出信号为  $V_{SO}$ ，由于有相关性， $V_{SO}$  简单地为各路信号之和

$$V_{so} = P \cdot \sum_{i=1}^N R_i \cdot G_i = P \cdot R \cdot G \cdot N$$

经过积分延迟线的噪声  $V_{NO}$ ，由于没有相关性，为

$$V_{NO} = (\sum_{i=1}^N V_{N_i}^2)^{1/2} = \sqrt{N} \cdot V_{N_i} = \sqrt{N} \cdot \sqrt{A \cdot \Delta f} \cdot \frac{RG}{D^*}$$

经积分延迟线之后的信噪比为

$$\frac{V_{so}}{V_{NO}} = \frac{P \sqrt{N} \cdot D^*}{\sqrt{A \cdot \Delta f}} = \sqrt{N} \cdot \frac{P \cdot D^*}{\sqrt{A \cdot \Delta f}}$$

因此，串联  $N$  只元件的扫描比单元扫描的信噪比增加了

$$\frac{V_{so}/V_{NO}}{V_s/V_{N_i}} = \sqrt{N}$$

探测器间灵敏度的差异在信号叠加后取平均，不会在显示屏上表现出光栅线亮暗失真等缺陷，因此，对多元探测器的均匀性的要求相对降低很多；而且信噪比提高  $\sqrt{N}$  倍，这是串扫热成像系统的主要优点。

串扫的光机扫描原理与单元探测器热成像系统相同，因此，需要二维光机扫描，且只有高速扫描才能保证有较高帧频率。这是串扫热成像系统的主要缺点。

### 2.4.2.3 串并扫热成像系统

串并扫方式[40, page 377]是在取串扫和并扫各自优点的基础上产生的，反映了 20 世纪 70 年代中后期红外热成像技术的国际水平。

图 2-4-5 示串并扫探测器排列的示意图。串并扫描仍是二维空间的扫描。在水平扫描方向上实现串扫，在垂直扫描方向上实现并扫。如果并扫探测器数目 ( $N_2$ ) 足够多，能覆盖整个视场，就可采用隔行扫描方法来提高空间分辨率，但这样做的代价是降低帧频，扫一帧多用一倍的时间。若并扫探测器数不足以覆盖整个视场，则需要采用隔行扫描和带扫描交替运作方式进行扫描。

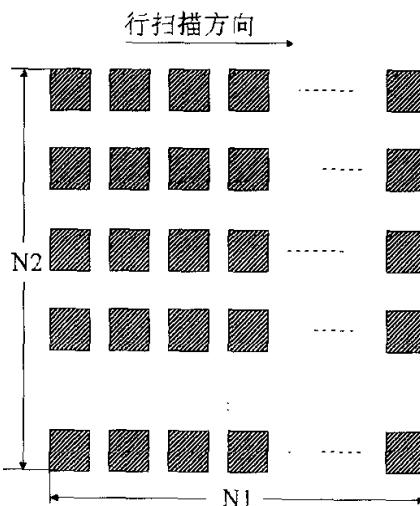


图 2-4-5 串并扫探测器排列的示意图

串并扫方式的优点是：提高了成像速度，降低了对探测器均匀性和快速响应的要求，延长了每个探测器“凝视”物空间目标的时间，系统信噪比提高  $\sqrt{N_1}$  倍。

美国研制的集探测器阵列和信号处理电路于一体的器件 SPRITE 就是以串并扫方式工作。它利用红外图像扫描速度等于光生载流子漂移速度这一原理，实现了在探测器内部进行时间延迟积分功能，简化了信号处理电路，并大大减少了出入杜瓦瓶的导线数目，封装十分方便，在红外焦平面技术的发展中有重要意义。

### 2.4.3 面阵凝视热成像系统

光机扫描成像是第一代热成像系统的基本特征。为使热成像系统达到与电视

兼容的扫描速率，必须使用高质量的扫描电机和耐磨轴承制造扫描系统；光机扫描装置体积大、寿命短、稳定性不好；更为不利的是，为了在有限帧周期内“看完”全部视场，探测器“注视”单个像元的时间（驻留时间）很短，使得信号被人为地减弱了。

为了进一步提高红外热成像系统的性能，彻底取消光机扫描系统，20世纪80年代初，美国学者率先提出了红外成像新概念——焦平面阵列探测器，又称凝视探测器。凝视热成像系统一般被称为第二代热成像系统。图2-4-6为扫描方案和凝视方案对照。

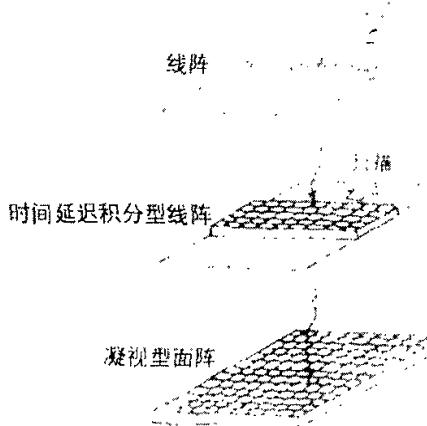


图 2-4-6 扫描方案和凝视方案

所谓“凝视”探测，就是利用超大规模集成电路工艺，制备出高密度、高探测率、高响应率的二维探测器阵列和功能强大的 ROIC 芯片，并把两者集成在一起，构成焦平面组件（如图 1-1）。把焦平面组件放在光学系统的焦平面上，在曝光期间，整个组件的所有探测器都同时“凝视”视场景物，然后由 ROIC 对像素信号处理并读出。

焦平面阵列探测器至少具有如下优点：

(1) 光能利用率高[19, page 205]

在目标较远（或目标亮度本来较弱）时，焦平面阵列的光能利用率高、信噪比好的优点就显得格外重要。以  $128 \times 128$  规模阵列探测器为例，它对入射光的利用率接近 100%。在类似条件下，如果用 5 元并行扫描，光能利用率将降低为 0.03%。即使采用  $128 \times 8$  的阵列以串并扫方式扫描成像，光能利用率也只能达到入射光的 6%左右。

### (2) 观察效率高

在相同信噪比条件下，一个  $256 \times 256$  规模快照凝视性红外热成像系统 1 小时内探测的视场，若用单元探测器来探测，约需要 15 年时间[46]。

### (3) 图像的空间分辨率高

从理论上讲，只要扫描步长足够小，扫描热成像系统能得到相当好的空间分辨率。但实际上，最小扫描步长受限于扫描系统的稳定度。若用面阵凝视探测器，则像素间的相对位置已经固定不变，只要像素尺寸减小，就可提高空间分辨率。即使像素间距较大，仍可采用过扫描（overscanning）方式得到高分辨率。

过扫描的含义是：得到一幅图像后，移动探测器阵列或整幅图像，移动距离小于像素中心距（如中心距的  $1/2$ 、 $1/4$  等），再得到一幅图像。由这两幅图像的数据，合成出一幅分辨率更高的图像。

### (4) 能提高减背景的一致性

背景辐照的强度不断发生变化，短则几分钟内就会发生显著变化。在扫描热成像系统中，一幅图像的各像素的信号不是在同一时段内得到的，因此，这些信号中蕴含的背景信号量也不相同。若进行减背景操作，就会有较大的不一致性。这种不一致性是由扫描期间背景辐射发生了变化引起的。而各像素同时进行光电转换的面阵凝视型热成像系统，就不存在这个问题。

根据成像机制的不同，凝视热成像系统可分为波纹（ripple）型和快照（snapshot）型两种。两者的根本差异是：整个阵列的所有像素是否同时曝光（积分）。波纹型不是所有像素同时曝光，而是逐行曝光；快照型是所有像素同时曝光。

波纹型凝视成像系统与一维线阵扫描成像系统的工作原理完全相同，都是逐行成像、读出。只不过前者的扫描功能是通过 ROIC 完成，后者的扫描功能是通过 ROIC 和光机扫描系统共同完成。由于这种系统是逐行扫描成像，其成像速度低，不适于探测热图迅速变化的物体或高速运动的目标。[47-49]中报道的 ROIC 就被用于波纹型凝视热成像系统。

快照凝视型热成像系统的工作原理与可见光数码相机相同。在成像时，阵列的所有探测器都同时进行探测，建立每个像素的信号；然后等待 ROIC 依次把像素信号读出。本文第四章给出的 DCA、OESCA 和 OES 结构均为快照工作模式。

凝视热像成像系统取消了光机扫描，结构简单；提高了观察效率和图像空间分辨率；延长了驻留时间，提高了光能利用率和探测灵敏度（比扫描成像系统提高约一个数量级），像质和有效作用距离等性能得到成倍提高。因此，已被广泛应用于高性能红外热成像系统中。

## 2.5 红外焦平面技术

红外焦平面技术包括三方面的内容：红外探测器技术、ROIC 设计技术和探测器阵列与 ROIC 的集成技术。如前所述，红外探测器技术的发展大致经历了三个阶段：单元探测器，一维探测器阵列，二维探测器阵列。ROIC 是为红外探测器服务，与红外探测器技术同步发展，经历了两个阶段：用分立元件搭建的读出电路和读出用集成电路。在 2.3 和 2.4 节已简介红外探测器技术和 ROIC 技术，下面将简介探测器阵列与 ROIC 的集成技术。

### 2.5.1 探测器阵列与 ROIC 的集成技术

探测器阵列与 ROIC 集成在一起，构成红外焦平面组件。焦平面组件可分为单片式和混合式两种结构（如图 2-5-1）。与此相应，探测器阵列与 ROIC 的集成有两种方式。

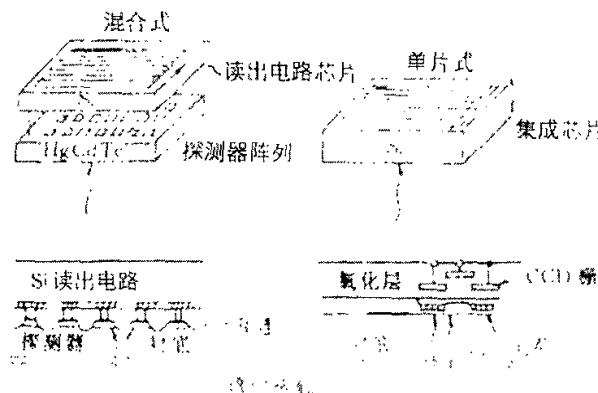


图 2-5-1 混合式和单片式焦平面组件

### 2.5.1.1 单片式集成

利用集成电路工艺，在同一种材料上同时制备探测器阵列和 ROIC，或通过微机械加工和牺牲层刻蚀工艺，在 ROIC 上面加工出探测器阵列，这种组件被称为单片式焦平面组件[50]。可见光硅 CCD 单芯片相机[51-52]就是典型的单片式焦平面器件。单片式集成的优点是可制备出元数多、均匀性好、价格较低、成品率高的焦平面组件，而且组件有更高热导率和机械强度。

但硅材料的禁带宽度不适于红外波段的探测，因此，人们尝试采用红外敏感半导体材料在同一衬底上同时制备出探测器阵列和 CCD ROIC，期望得到类似可见光硅 CCD 单片式焦平面器件的组件。但这种研究没能取得明显进展[46]。

随着集成电路工艺的不断进步，特别是近年来硅微机械（Micromachine）加工工艺的出现，在 ROIC 上面通过微机械加工和牺牲层刻蚀工艺，制备出一致性很好的热电探测器阵列已成为可能。基于这种集成方式的非制冷焦平面组件已研制成功并批量生长[35-39][53]。[1]研究了在 Si ROIC 上面直接生长 GaInAs/InP QWIP 的结构，从而去掉铟柱互连，实现单晶集成。

单片式集成组件有时不能使 ROIC 和探测器同时性能最佳。下面要介绍的混合式集成方式就能保证探测器和 ROIC 都处于最佳性能状态。

### 2.5.1.2 混合式集成

混合式集成的工艺过程是：分别制备探测器阵列和 ROIC，然后在 ROIC 的每个像素上淀积、刻蚀出铟柱阵列，把探测器阵列压在 ROIC 上面，通过铟柱实现两者的电连接。探测器阵列和 ROIC 间隙的其他区域填充绝缘材料，以提高组件的机械强度，如图 2-5-2 示。若了解详细的混合式集成工艺过程，可参考[46]。

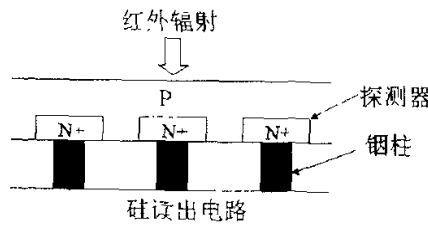


图 2-5-2 ROIC 和光伏探测器互连后的剖面结构

当探测器衬底材料和 ROIC 的衬底材料不同时，一般采用混合式集成方式，它可使探测器和 ROIC 各自获得最佳性能，但互连失效会增加盲元率。由于探测器和 ROIC 是用两种不同材料制备，两种材料的热膨胀系数等材料特性不同；而且互连工艺一般在室温下完成，组件却工作在低温下。这两种因素易导致探测器阵列和 ROIC 分离。这也是混合式集成方式需解决问题。

## 2.6 ROIC 的性能参数

### (1) 像素数目、尺寸

ROIC 的像素数目指单元电路阵列的规模。目前报道的最大规模[2]：凝视型面阵为  $2052 \times 2052$ ，扫描型线阵为  $480 \times 12 \times 4$ [13]或  $1500 \times 1$ [14]。增加 ROIC 的规模，可提高红外热成像系统的视场。

像素尺寸指单元电路的中心距。减小像素尺寸，可提高图像空间分辨率。随着阵列规模的扩大和集成电路工艺的进步，像素尺寸逐渐减小，目前最小值已小于  $25 \times 25\mu\text{m}^2$ ，典型值在  $30 \times 30\mu\text{m}^2 - 50 \times 50\mu\text{m}^2$  之间[2]。像素尺寸在下降到小于  $25 \times 25\mu\text{m}^2$  后，不会再有显著下降，这由光学系统的特性决定。

像素尺寸的最小极限由光衍射决定。衍射决定的爱里斑（Airy Disk）直径为 [2][54, page 227]：

$$D = 2.44 \times \lambda \times f$$

式中， $\lambda$  为波长； $f$  为物镜的  $f$  数（ $f$  等于物镜焦距除以物镜的直径）。

通常，用户都喜欢高分辨率，这就需要大规模、小像素的 ROIC。阵列规模和像素尺寸通常受限于红外焦平面工艺技术。对混合式焦平面组件，像素尺寸通常受限于钢柱尺寸。阵列规模和尺寸增加，成品率一般会下降。单元电路若采用性能较好但结构会稍复杂的电路，就需要有较大像素尺寸。工作于较长波长的焦平面组件，由于衍射决定的爱里斑直径与波长成正比，因此，也需要较大的像素尺寸。

### (2) 电荷存储能力

每个单元电路能存储的最大电荷量，称为 ROIC 的电荷存储能力（charge storage capacity），又称为电荷处理能力。这个参数与输入噪声电子数一起，共同决定 ROIC 的动态范围。电荷存储能力依赖于存储电容的大小和该电容上的电压

变化范围。

在低背景应用中，由于信号量较小，电荷存储容量通常不成问题。然而，有些 ROIC 就需要有较高的电荷存储能力，以便容纳视场中的明亮目标、漫反射背景信号或者较大的暗电流。为了容纳累积的所有光电子，需要较大的积分电容。由于电容直接与像元尺寸和 ROIC 工艺有关。所以，有些 ROIC 设计采用了减背景技术和电荷存储能力可调节技术。

### (3) 非线性度

理想 ROIC 输出信号应正比于积分期间接收到的光子数，输出信号和接收的光子数是一种线性关系。但实际的探测器和 ROIC 都不能保证这种完全的线性关系。因此，定义“非线性度”这个参数来描述输出信号与积分光子数之间的非线性程度。[\[13\]](#)给出了非线性度的定义，即数据点与最佳拟合直线间的最大偏差。

非线性度（nonlinearity）与探测器和 ROIC 都有关系。优选 ROIC 结构（特别是输入级的电路结构）可显著降低非线性度。对 ROIC 设计而言，非线性度越小越好。

ROIC 的输出信号与接收的光子数即使存在非线性，但两者的关系一般都是确定的，因此，可根据这种确定的关系，对输出信号进行非线性校正，以提高信号质量。

### (4) 读出噪声

假设探测器输入到 ROIC 的信号为无噪声的理想信号，在曝光期间，信号电荷被存储到单元电路的积分电容上。曝光结束后，测量积分电容上的信号量，会发现该信号存在无规则涨落，该涨落与信号大小无关，定义这种不确定的涨落的方均根值为 ROIC 的读出噪声（readout noise）。

ROIC 的读出噪声[\[55-58\]](#)通常用输入相关噪声电子数表示，被定义为：在输出端产生总的均方根噪声电压或电流所需要的输入端的当量电子数。目前，低背景应用的红外焦平面组件能得到 30~50 个噪声电子的性能。根据测得的均方根噪声电压，计算输入相关噪声电子数的公式为[\[60\]](#)：

$$N = C \frac{\sqrt{U_2^2 - U_1^2}}{GKq}$$

式中，C 为积分电容； $q=1.6 \times 10^{-19}$ ，为单个电子的电量；G 为测试系统的信

号增益； $K$  为读出电路积分节点到输出端的电压增益； $U_2$  为测试系统测得的均方根噪声电压； $U_1$  为测试系统本身的均方根噪声电压。

红外热成像系统中的噪声包括背景辐射噪声、探测器噪声以及由 ROIC 引入的噪声。在背景限性能 (BLIP—Background Limited Performance) 方面，噪声受背景辐射噪声支配，所以，在高背景应用中可获得这种性能。在低背景应用中，为了使红外焦平面组件的噪声尽可能接近背景限性能，必须使 ROIC 的噪声降低到最低程度。

与 ROIC 设计有关的噪声主要是：1/f 噪声、热噪声和复位噪声 (KTC 噪声)。此外还有固定图案噪声 (FPN-Fixed Pattern Noise) 和电路模块发热引入的噪声。

#### (5) 积分时间

当积分控制信号有效时，入射辐射产生的电荷被记录到积分电容上，这段时间称为积分时间 (integration time)，又称曝光时间。积分时间与应用背景和积分电容大小有关。

红外焦平面阵列中典型积分时间通常从高背景成像的数十分之一毫秒到超低背景应用的长达数百秒不等。对于长波红外探测或高背景应用，由于积分电容和工作电压有限，积分时间一般较小。对于低背景应用，其发展趋势是延长积分时间。为了最大限度地增加积分时间，必须降低饱和频率和 1/f 噪声。饱和频率被定义为：低于此极限频率时，单元电路的积分信号易受漏泄效应的影响。它与探测器电阻和单元电路的选择有依赖关系。虽然最简单的单元电路允许饱和频率不变，但是大多数复杂的单元电路出于采用反馈，实际上会降低饱和率。

#### (6) 动态范围

可积分的最大信号量与方均根噪声之比为 ROIC 的动态范围[59]。假如该比率为  $R$ ，那么，以分贝 (dB) 为单位的动态范围为  $20\log R$ 。所需动态范围由具体的应用决定，通常等于所能观测到的最亮特征与最弱特征之比。用户喜欢尽可能大的动态范围。由于单元电路中的存储电容受限于像素面积和所选的工艺，因此，ROIC 的动态范围一般在 70~80dB 之间。提高对线性度的要求一般会降低 ROIC 的动态范围。

#### (7) 读出速率

读出速率指每秒能从焦平面上输出的信号数目。一般与焦平面上允许的功

耗、阵列规模、积分时间有关。对较大规模的 ROIC (如  $256 \times 256$ ), 其读出速率常常要求超过 100,000 象元/秒。需要多重无损取样的 ROIC 会需要更高的读出速率。

有时为了及时读出大规模阵列的像素信号, ROIC 把整个阵列分成几个子阵列, 每一部分有一个输出端口, 各子阵列的读出端口并行工作。这种划分是通过 ROIC 实现, 从探测器阵列外观, 无法看到这种内在的划分。这种并行读出可提高 ROIC 的读出速率。

#### (8) 工作温度

ROIC 的工作温度一般与探测器的工作温度相同。一般用于中长波探测的红外探测器工作在较低温度下 (如 77K)。用于 VLWIR (Very Long Wavelength Infrared) 探测的探测器的工作温度一般小于 20K。在这种温度下, 硅 ROIC 中的载流子会冻结; 传统 MOS 管一般仍能工作, 但噪声增加。器件的 I-V 特性出现异常, 如迟滞 (hysteresis)、扭折 (kinks) 等, 如图 2-6-1 中虚线所示[60]。

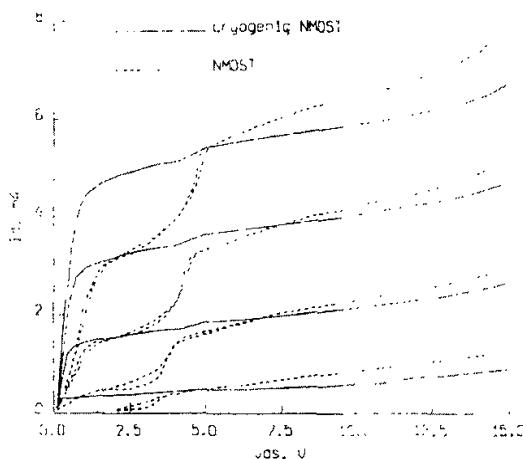


图 2-6-1 10K 低温下传统 nMOSFET 和低温优化 nMOSFET 的 I-V 特性

为了消除 MOS 管在超低温下出现的这些异常现象, 提出了两种方法。一种是采用杂质离化能较小的 GaAs 晶体管替代硅晶体管。另一种是改变传统硅 MOS 管的结构[60], 使得它在超低温下的 I-V 特性因结构的改变而改善, 抑止迟滞和扭折现象 (如图 2-6-1 中实线所示); 但这样做需要改变标准 CMOS 工艺流程。

对常规硅 CMOS 读出电路, 这些现象在低于约 50K 温度时就开始出现。许多太空用红外热成像系统需要在低于 10K 的温度下工作, 这就给低噪声 ROIC 设计和实现提出了挑战。通常用户会在工作温度和焦平面组件性能间权衡折衷。

### (9) 功耗

大多数用户都希望焦平面上没有功耗。焦平面上所允许的最大功耗由致冷器决定。典型的功耗从亚毫瓦到数十毫瓦不等。大部分功率由 ROIC 最后的输出缓冲级消耗掉，因为它必须以比较高的输出速率驱动一个大的电缆电容。

另外，许多太空应用的红外热成像系统需要在低于 10K 的温度下工作，ROIC 在此低温下工作时性能坏到无法接受的程度。为了使 ROIC 有可接受的性能，需要加热器为 ROIC 提供一个合适的工作温度。ROIC 的功耗还应包括加热器的功耗。

### (10) 辐射硬度

有两种类型的辐射硬度需要 ROIC 设计者考虑：总剂量硬度和离子化辐射硬度。总剂量硬度会造成阈值电压漂移并可能使噪声增加，最终导致 ROIC 失效。宇宙射线和其它高能粒子与光子会导致热成像系统产生“盐渍的”的图象。在空间应用的积分时间较长的 ROIC 设计中，这是一个需要考虑的问题。军用 ROIC 需要有较高的抗辐射能力。

### (11) 探测器的偏置

影响探测器性能的因素很多，与 ROIC 设计有关的主要因素是探测器的偏置。一般探测器的偏置电压（或电流）由 ROIC 产生，希望偏置不但要稳定，而且应使探测器处于最佳性能状态。

光电流积分期间，探测器偏置会影响暗电流、非线性度、注入效率、探测器的  $1/f$  噪声以及响应率。一般用动态电阻  $R_0$  和器件面积 A 的乘积 ( $R_0 \times A$ ) 来衡量探测器列阵对暗电流和注入效率的敏感度。

### (12) 帧频

对面阵凝视红外热成像系统，ROIC 完成信号积分和像素信号读出所用的时间称为帧周期，帧频为帧周期的倒数。不同的应用对帧频的要求也不相同，探测高速运动或热图迅速变化的目标时需要较高帧频。

对扫描型热成像系统，定义帧频为：一秒时间内探测器扫过的图像像素的数目，也称为线频率 (line frequency)。

### (13) 盲元率

因工艺原因，加工出的红外焦平面组件中，总有一些探元的 NETD 等性能

严重偏离平均值，甚至无光敏特性，这些探元被定义为缺陷像素。产生缺陷像素的主要原因是探测器材料的晶格缺陷以及探测器与 ROIC 间电连接失效。工艺进步可减少缺陷像素的个数，但要完全消除缺陷像素几乎是不大可能的[61-62]。

盲元率定义为：缺陷像素在整个阵列中所占的百分比。

## 2.7 为什么选用 CMOS 工艺设计 ROIC？

早期 ROIC 采用 CCD[63]或 CTD (charge transfer devices) 工艺设计、制备。近年来，CMOS 工艺水平越来越高，已成为 ROIC 设计的主流工艺。多种原因促成这一转变[64]。

### 2.7.1 CCD ROIC 的特点

CCD[51]是用集成电路工艺制作在硅片上的大量 MOS 结构。在多相驱动时钟作用下，势阱中的电荷可依次向邻近的势阱转移，因此，CCD 工作在电荷域。为了得到良好的转移效率，CCD 的驱动时钟需要较高电压，一般在十几伏到几十伏之间。

CCD 器件出现不久就被用于红外焦平面 ROIC 设计。由于硅（禁带宽度 1.18eV，截至波长  $1.05\mu\text{m}$ ）材料不适于红外探测，因此，用 Si CCD 做 ROIC 时，需要把探测器阵列和 Si CCD 读出电路互连在一起构成红外焦平面组件。

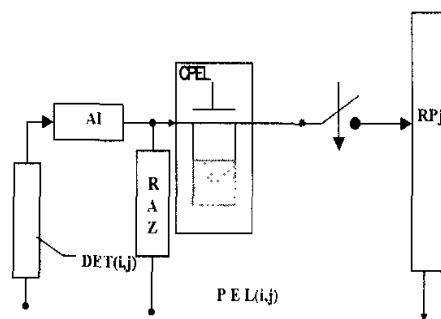


图 2-7-1 CCD ROIC 的单元电路

图 2-7-1 为 CCD ROIC[65]的单元电路。图中，RAZ 器件用于对存储器件

进行复位，使  $C_{pel}$  下面形成空的势阱。AI 为探测器与 MOS 电容间的阻抗匹配器件，将 AI 选通，就开始了积分过程，信号电荷被存储在势阱中。

图 2-7-2 为 CCD ROIC 的体系结构。单元电路与对应的电荷转移寄存器相连。同一列的电荷转移寄存器又依次相连，构成列电荷转移寄存器组。在列选开关控制下，列电荷转移寄存器组中的电荷信号被并行转移到输出电荷转移寄存器。输出电荷转移寄存器依次相连，构成输出寄存器组。它的末端有一选择开关管，控制输出寄存器组的电荷注入电容  $C_s$ 。输出运放用做输出缓冲级，驱动片外负载。

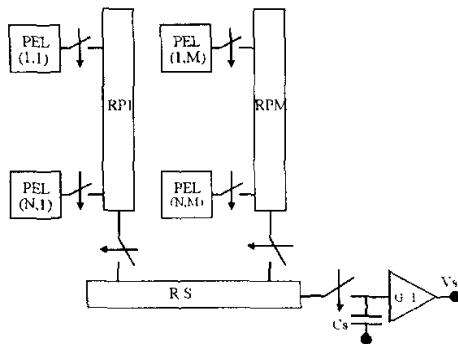


图 2-7-2 CCD ROIC 的体系结构

CCD ROIC 能以快照模式工作；实现电荷的延迟累加功能比较容易，因此，仍被用于时间延迟积分型多线阵 ROIC 设计中。

CCD ROIC 的缺点也是非常明显的，表现在一下几方面：

(1) 由 CCD ROIC 单元电路和体系结构知，为了实现像素信号的存储和读出，单元电路需包括电荷存储器件和列电荷转移寄存器。这会降低 CCD ROIC 的集成密度。

(2) 它的像素信号只能顺序读出，不能随机访问，无法实现“开窗”功能。

(3) CCD 器件的制备需要特殊的工艺线，而这种工艺线越来越少，会增加 ROIC 的成本。

(4) 在电荷转移过程中难免会存在损失（尽管很小）。当阵列规模较大时，远端像素单元的电荷损失量将是非常可观以致于不能忽略。因此 CCD 用于大阵列、高分辨率 ROIC 设计时必须解决电荷转移损失问题。

(5) CCD ROIC 用势阱存储积分电荷，抗晕能力较差。在积分期间，信号和背景电荷一起被积分到势阱中。在高背景或积分时间过长时，势阱就可能饱和。CCD 表面电极所产生的电场无法约束新产生的光生电荷，这些电荷就会扩散到邻近像素的势阱中。在图像上表现为一个白色区域向四周扩展、弥散。由于电荷会优先沿转移信道方向扩展，因此，在显示屏上会出现一条白道。这种现象被称为“晕”。

噪声特性是 ROIC 的关键性能指标。早期 CCD ROIC 的噪声性能通常比 CMOS ROIC 高[46]，其主要原因是 CMOS 信号通道更复杂。随着 CMOS 工艺的不断进步，CMOS ROIC 的噪声性能已达到或超过 CCD ROIC。

## 2.7.2 CMOS ROIC 的特点

与 CCD ROIC 相比，用 CMOS 技术设计和制备 ROIC，至少有以下优势：

(1) 可在焦平面上集成更多信号处理功能

CCD ROIC 在实现电荷存储和转移功能时，有特殊优势，这由其器件特性决定。但高性能 ROIC 需要在焦平面上集成更多信号处理功能，如前置放大、带通滤波、增益和偏移修正、模数转换和一些图象处理功能等，CMOS ROIC 可以比较容易地实现这些功能，而 CCD ROIC 却无能为力。

(2) 可吸收大量电压域电路的研究成果

CCD ROIC 是电荷域工作的电路，CMOS ROIC 是电压域工作的电路。从目前研究成果看，电压域电路的研究成果远比电荷域电路的多。因此，CMOS ROIC 设计可充分吸收电压域电路的研究成果。

(3) 可降低 ROIC 的功耗

降低 ROIC 功耗的一个重要途径是降低电源电压。目前，先进 CMOS IC 已采用 3.3 伏电源电压，大大降低了电路功耗。而 CCD ROIC 为了具有较高电荷转移效率，其时钟驱动电压一般在十几伏到几十伏之间，这一方面给时钟产生电路的设计带来困难，另一方面 ROIC 的功耗较大。

(4) 可以简化用户界面

由于 CCD ROIC 无法在片产生偏置和内部时钟，所有偏置和时钟都需用户外接，这虽然便于用户调节 ROIC 的工作模式，但其压点数目要比 CMOS ROIC

多，给用户的使用带来不便。而 CMOS ROIC 可以实现在片时钟和偏置电压产生，用户只需提供一个主时钟和少数控制时钟即可，因此，用户界面比较简单。

#### (5) 容易实现 ROIC 工作模式可编程性

目前，ROIC 设计一个重要的发展趋势是可编程性，即通过用户编程，ROIC 有不同的工作模式，以满足不同的应用需求。CMOS ROIC 可以较方便的实现这些功能。

#### (6) 抗晕

CMOS ROIC 一般是先把积分电容复位到一个高电平。在积分期间，该电容放电，电压逐渐下降，探测器偏置也逐渐下降。当高背景或积分时间过长时，电容上的电荷泻放到一定程度，探测器的偏置电压消失，使得信号电流下降为零，积分电容上的电压不再改变。因此，即使某个像素“饱和”，也无法影响附近像素的信号值。

如果积分电容的复位电压为零，积分期间信号电荷注入到电容上，使电容上的电压增加。如果因信号电流太大或积分时间过长，导致“饱和”，则电容上的电压上升到一定程度就会使探测器的偏置改变，最终导致信号电流下降为零。这种情况下，“饱和”像素也不会影响附近像素的信号值。

因此，CMOS ROIC 具有抗晕特征。

#### (7) 可降低设计和制作成本

CMOS 工艺是 IC 设计制备的主流工艺，针对 CMOS 工艺开展的研究最广泛深入；CMOS 工艺线能提供可靠、规范的器件参数和版图设计、检查规则；而且 CMOS 厂家众多。这些都会降低了 ROIC 设计和制作成本。

正是基于以上几个原因，目前的红外焦平面 ROIC 几乎都是基于 CMOS 技术设计和制备。

## 本章小结

本章指出如下重要结论：

(1) 红外辐射是一种热辐射。红外线由物体的红外辐射产生，其本身是一种电磁波，具有波粒二相性。红外线在大气中传输时存在“窗口”效应。

(2) 红外探测器是利用红外辐射的各种效应，来探测红外辐射的存在或强

度。目前，红外探测器包括热电探测器和光电探测器两类。热电探测器是无选择性探测器，一般不需制冷，响应时间比光电探测器长，响应率比光电探测器低1~2个数量级，目前被广泛应用于非制冷焦平面组件中。光电探测器是有选择性探测器，多数必须在低温下工作，响应时间比热电探测器至少快1000倍。

碲镉汞材料是性能优越的红外光电探测器材料，调节组分可改变响应波段，探测率高，量子效率高，噪声低等，但比较昂贵。

(3) 红外热成像系统是将非可见的红外辐射转化为可见光的转换装置，可分为线阵扫描型和面阵凝视型两种。线阵扫描型又可依工作模式分为并扫、串扫、串并扫三种。

有N级时间延迟积分功能的串并扫热成像系统可使信噪比提高 $\sqrt{N}$ 倍，并降低对探测器均匀性和快速响应的要求，在高性能红外热成像系统中有重要应用。

凝视型热成像系统依工作模式可分为波纹(ripple)型和快照(snapshot)型两种。它取消了光机扫描，结构简单；延长了积分时间，提高了光能利用率和探测灵敏度(比扫描成像系统提高约一个数量级)，像质和有效作用距离等性能得到成倍提高，被广泛应用于高性能红外热成像系统中。

(4) 红外焦平面技术包括红外探测器技术、ROIC设计技术和探测器阵列与ROIC的集成技术。集成方式包括混合式和单片式集成两种。

(5) 描述ROIC性能的参数的包括：像素数目、尺寸，电荷存储能力，非线性度，读出噪声，积分时间，动态范围，读出速率，工作温度，功耗，辐射硬度，探测器偏置，帧频，盲元率等。

(6) 与CCD ROIC相比，CMOS ROIC具有如下优点：可在焦平面上集成更多信号处理功能；可吸收大量电压域电路的研究成果；可降低ROIC的功耗；可以简化用户界面；容易实现ROIC工作模式可编程性；抗晕；可降低设计和制作成本；等。因此，CMOS工艺已成为ROIC设计的主流工艺。

## 第三章 ROIC 的单元电路和体系结构

单元电路是探测器与 ROIC 的接口电路，其性能对整个 ROIC 的性能有重要影响，如单元电路的注入效率将直接影响 ROIC 的信噪比，积分电容大小影响电荷存储能力。单元电路有多种类型，其选择与应用背景有密切关系。

本章将总结 ROIC 单元电路和体系结构的研究成果，分析比较几种常见单元电路和体系结构的优缺点。

### 3.1 单元电路

单元电路要完成光电流的积分、行选控制等功能。一般单元电路的电路结构越复杂，性能越好。近年来 CMOS 工艺的特征尺寸逐渐下降，使得在较小的像素面积中放置结构稍复杂的单元电路成为可能。工艺的进步不但可提高单元电路的性能，还可使单元电路完成高级的信号处理功能，如增益分级调整、减背景[66]、时间滤波和空间滤波等。

简单的单元电路结构仍有吸引力，因为它能使像素尺寸较小，功耗较低。采用高增益放大器的较复杂的单元电路正逐渐被采用[47-49]，这种单元电路能提供优良的探测器偏置、线性度以及噪声性能，但功耗较高。

下面分析几种应用比较广泛的单元电路结构类型[67]。

#### 3.1.1 直接注入型

在 ROIC 设计中，应用比较广泛的单元电路是直接注入型[67-69]。尤其在像素阵列规模较大、像素单元较小的应用中，直接注入型单元电路因其结构简单、占用单元面积小而被设计者大量采用。直接注入型单元电路的信号注入方式为直接注入。一个典型的直接注入方式结构电路如图 3-1-1 所示。

在图 3-1-1 中， $D_0$  为光电二极管， $M_p$  为注入管， $C_{int}$  为积分电容。在  $M_p$  的栅端加上合适的电压，使得  $V_S$  略大于 0，光电二极管处于反向偏置状态，相应的光电流通过注入管  $M_p$  对积分电容  $C_{int}$  放电，从而完成积分的功能。

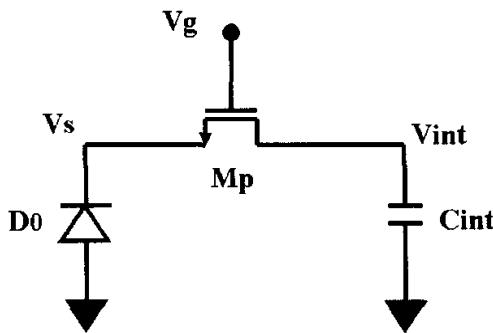


图3-1-1 一个典型的直接注入方式结构

光电二极管与注入管串联，流过二极管的工作电流与流过注入管的工作电流相等。图3-1-2给出了直接注入方式的I-V工作曲线。

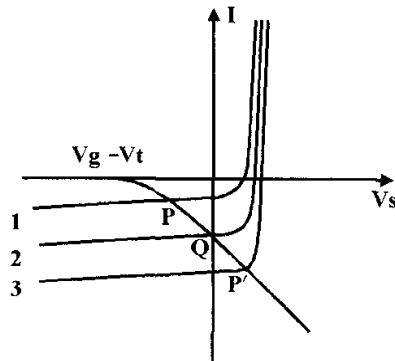


图3-1-2 直接注入方式 I-V 工作曲线

在图3-1-2中，Q点为直流工作点，P和P'点电流值与Q点电流值之差为交流信号值。

分析直接注入方式的小信号特性可以按照图3-1-3进行。 $R_d$ 为光电二极管的动态电阻， $C_d$ 为二极管结电容， $g_m$ 为MOSFET跨导。

注入到MOSFET的电流变化与光电流变化之比定义为注入效率[70]：

$$\eta = \frac{I_s}{I_s} = \frac{g_m R_d}{1 + g_m R_d} \cdot \frac{1}{1 + \frac{s C_d R_d}{1 + g_m R_d}}$$

从电流源  $I_s$  往右看进去的输入阻抗为

$$Z_m = \frac{1}{g_m} // Z_d$$

$$Z_d = \frac{1}{sC_d} // R_d$$

不难看到，在低频情形下， $\eta = \frac{g_m R_d}{1 + g_m R_d}$ ，取决于 MOSFET 的输入阻抗与

$1/g_m$  与传感器并联阻抗  $R_d$  之比。为了提高  $\eta$ ，就必须降低  $1/g_m$ ，即增大  $g_m$ 。

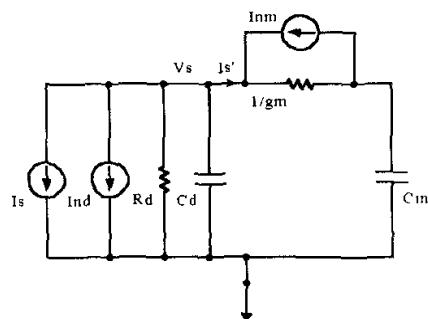


图3-1-3 直接注入方式交流小信号等效电路

可以通过增大 MOSFET 的宽长比来提高  $g_m$ ，但这种做法在低背景的应用中并不是非常有效。低背景的应用中，光电流一般为 nA 的量级，所以注入管工作在弱反型（Weak Inversion）状态。在弱反型情形下，流过 MOSFET 的电流可以表示为[71]

$$I_{DS} = I_{DS0} \left[ \frac{V_{gs}}{e^{nV_T} - e^{nV_T}} \right]$$

其中  $I_{DS0}$  为特征电流，类似于 Bipolar 中的饱和电流， $V_T = kT/q$ ， $n$  为斜率因子，由下式决定

$$n = 1 + \frac{\gamma}{2\sqrt{\Phi_F + V_{SB}}}$$

$$\gamma = \frac{\sqrt{2\epsilon_s q N_{SUB}}}{C_{ox}}$$

为衬偏调制系数。

MOSFET 的跨导为：

$$g_m = \frac{\partial I_{DS}}{\partial V_G} = \frac{I_{DS}}{nV_T}.$$

因此，低背景下注入管的跨导与注入电流成正比，与注入管的宽长比无关。低温下  $V_T$  会下降，能提高注入管跨导和注入效率。

在高频下，注入效率将随着频率的增加而降低，其带宽为

$$f_{BW} = \frac{1 + g_m R_d}{2\pi R_d C_d}$$

注入效率的重要性在于它对 ROIC 的信噪比有很大影响。如果忽略频率效应和注入管噪声的影响，则上述的注入过程是不会影响信噪比的，因为信号的减弱可以通过放大来弥补。但是在实际中，注入管本身会对总噪声有较大贡献，MOSFET 中存在的热噪声和  $1/f$  噪声有可能占主要地位。在这种情况下，信噪比将会降低。可以定义一个信噪比降低因子为[68]

$$\gamma_n = \frac{\text{传感器贡献噪声}}{\text{传感器贡献噪声} + \text{注入 MOSFET 贡献噪声}}$$

显然， $\gamma_n$  是注入效率  $\eta$  的函数。

在实际中，噪声的来源可能有多种，下面的分析假设传感器的噪声主要来自于电阻  $R_d$  贡献的热噪声和电流  $I_d$  贡献的 shot 噪声，MOSFET 的噪声主要来自于热噪声和  $1/f$  噪声。

$$\text{传感器中的噪声为 } \frac{di_{n,d}^2}{df} = \frac{4kT}{R_d} + 2qI_d$$

$$\text{MOSFET 的噪声为 } \frac{di_{n,ds}^2}{df} = \left( \frac{8}{3} kT g_m + K \frac{I_D^\alpha}{f} \right) df$$

于是可得到  $\gamma_n$  为

$$\gamma_n = \left[ \frac{\frac{4kT}{R_d} + 2qI_d \Delta f}{\left( \frac{4kT}{R_d} + 2qI_d \Delta f + \int_0^{\Delta f} 1 + \omega_m^2 C_d^2 R_d^2 \frac{8}{3} kT g_m + \frac{k_f I_d}{f C_{ox} L^2} \right) df} \right]^{\frac{1}{2}}$$

上式中， $\Delta f$  为输入信号带宽。注意对  $1/f$  噪声的积分应该有一个低限频率  $f_{C1}$ 。显然， $\gamma_n$  为注入效率的函数。

在 ROIC 设计中，设计者总是希望得到最大的注入效率值，这样，系统的信噪比仅受限于传感器的固有噪声，而非 ROIC 所贡献的噪声。

### 3.1.2 缓冲直接注入型

为了获得高的注入效率值，就必须使得  $g_m \cdot R_d \gg 1$ ，这便对传感器的动态电阻和注入管的尺寸提出了要求。那么，有没有可能通过电路结构的改进来提高注入效率呢？回答是肯定的，那便是引入反馈，采用所谓缓冲直接注入法（Buffered Direct Injection）[67][69][72-74]。一个典型的 BDI 结构如图 3-1-4 所示。

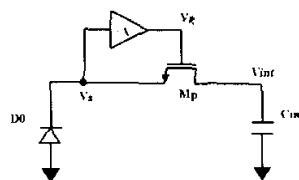


图3-1-4 一个典型的BDI结构

与 DI 方式不同，BDI 方式在注入 MOS 管的源端和栅端之间引入一个反相放大器，其放大倍数为  $-A$ ，这样，在 BDI 结构中，MOS 注入管成为一个三端器件。为了求得注入效率  $\eta$ ，先来考察从 MOSFET 源端看进去的交流输入阻抗  $Z_m$ 。BDI 结构中 MOSFET 的交流小信号等效电路如图 3-1-5 所示。

从图 3-1-5 不难得到

$$Z_m = \frac{V_s}{I_s} = \frac{V_s}{-g_m V_{gs}} = \frac{V_s}{(1+A) g_m V_s} = \frac{1}{(1+A) g_m}$$

与 DI 结构相比, BDI 结构的 MOSFET 输入阻抗降为原来的  $1/(1+A)$ , 于是, 只需在 DI 的分析中, 以  $(1+A)g_m$  替代  $g_m$  即可得到相应的结果, 即

$$\eta = \frac{(1+A)g_m R_d}{1+(1+A)g_m R_d} \cdot \frac{1}{1 + \frac{s}{2\pi f_{BW}}}$$

$$f_{BW} = \frac{1+(1+A)g_m R_d}{2\pi R_d C_d}$$

由上两式可以看到, 由于引入了缓冲放大结构, 使得注入效率的低频值和带宽都大为增加。

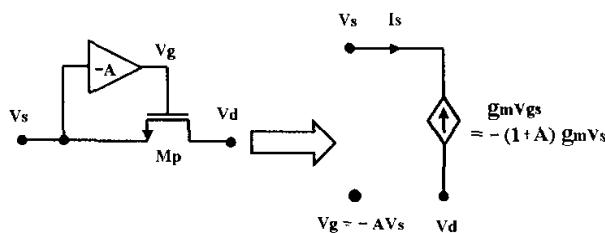


图3-1-5 从S端看进去的输入阻抗

由于新增加了反馈放大器, 对噪声的分析要考虑到反馈放大器引入的噪声 [75]。

应当看到, BDI 结构的优点是靠单元结构的复杂和功耗的增加为代价获得的。在规模较大的像素阵列中, 采用 BDI 结构会遇到较大的困难。新引入的放大器会占用有限的像素面积, 更重要的是, 放大器消耗的功耗会成为不可忍受的负担, 所有这些都限制了 BDI 结构在大规模焦平面 ROIC 中的应用。

### 3.1.3 栅调制注入型

DI 结构是将光电二极管连至 MOSFET 的源端，因此也称作源端调制注入法。BDI 是对 DI 的改进，基本思想也是对 MOSFET 的源端进行调制。GMI (Gate Modulation Injection) 则将光电二极管连至 MOSFET 的栅端，通过调制其栅端来实现注入，所以称作栅调制注入法 (Gate Modulation Injection) [67]。图 3-1-6 给出了一个典型的栅调制注入结构。

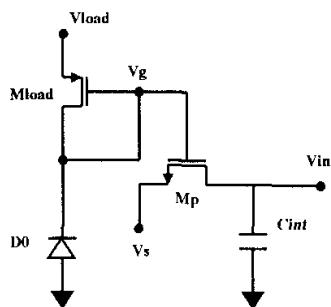


图3-1-6 一个典型的栅调制注入结构

在图 3-1-6 中，Mload 为二极管连接，作为负载使用。如果光电二极管电流产生一个变化  $\Delta I_{photo}$ ，则此交流电流  $\Delta I_{photo}$  流过 Mload，在 Mp 栅端产生的电压变化为

$$\Delta V_g = \eta \cdot R_{load} \cdot \Delta I_{photo} = \eta \cdot \frac{1}{g_{m,load}} \cdot \Delta I_{photo}$$

此电压变化在 Mp 管产生的电流变化注入至积分电容 Cint，这个注入电流为

$$\Delta I_{input} = g_{m,input} \cdot \Delta V_g$$

$\Delta I_{input} / \Delta I_{photo}$  之比为电流增益  $A_i$ ，即

$$A_i = \frac{\Delta I_{input}}{\Delta I_{photo}} = \eta \cdot \frac{g_{m,input}}{g_{m,load}}$$

GMI 结构可以实现电流增益的调整，以使在光电流几个数量级的范围内积分过程不至于饱和。通过调整 Vs 点的电压便可实现电流增益和直流偏置的调节。

这种背景抑制作用是 GMI 最为吸引人的优点，尤其在背景很强而光强的对比较弱的应用中，这个优点更为突出。传统的背景抑制方法是利用 RC 滤波器，即交流耦合的方法。为了实现低频滤波，R 和 C 必须很大，而这在集成电路中是难以实现的。

GMI 的缺点是其传输函数为准线型。考虑到 MOSFET 的  $V_T$  偏差，可以得出电流增益的偏差为

$$\frac{\Delta A_i}{A_i} = \frac{q\sigma_{V_T}}{nkT},$$

其中  $\sigma_{V_T}$  为像素间的  $V_T$  偏差（均方根值）。在  $T=80K$ ,  $\sigma_{V_T}=0.5mV$ ,  $n=1$  时,  $\frac{\Delta A_i}{A_i} \approx 7.2\%$ 。

## 3.2 ROIC 的体系结构

红外焦平面 ROIC 的基本功能包括三部分：提供探测器偏置；对像素输出信号进行处理并从有限的几个输出端口读出。凝视型 ROIC 的性能主要由单元电路的电荷存储能力决定。例如，等效噪声温差 NEDT 正比于（积分电荷） $^{-1/2}$ 。如果单元电路的电荷存储能力较小，就会增加 NEDT，造成组件的信噪比下降。

当前凝视型红外焦平面阵列发展的趋势是：在不降低光电性能的前提下，增加阵列规模以扩大视场，提高分辨率；这会导致像素中心距的下降。减小像素中心距会使 ROIC 电荷存储能力下降，进而降低 ROIC 的整体性能。因此，在扩大阵列规模并减小像素面积的同时，尽可能增大 ROIC 的电荷存储能力是非常重要的。

选择合适的 ROIC 体系结构对保证 ROIC 的性能非常重要。下面，将对一些典型的 ROIC 体系结构进行讨论，比较其性能的优缺点。

### 3.2.1 开关源跟随结构

图 3-2-1 为开关源跟随 ROIC 的单元电路[76]。图中，AI 为探测器与 MOS

电容间的阻抗匹配器件。Cpel 为 MOS 电容，通过积分将电流转化为电压。ApeI 为电压放大器，要求高输入阻抗，低输出阻抗，用于驱动列总线和输出级运放。开关用于控制像素中放大器输出信号与列总线相连。RAZ 器件用于对积分电容进行复位。开关源跟随结构的复位器件(RAZ)必须集成在像素单元内。

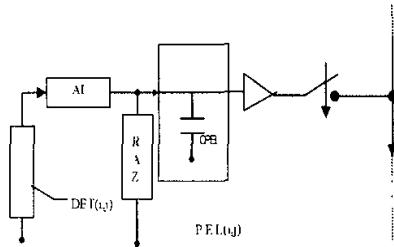


图 3-2-1 开关源跟随 ROIC 的单元电路

图 3-2-2 为开关源跟随读出结构的体系结构图，其结构比较简单，像素单元通过选择开关管与列总线相连，列总线又通过选择开关管与输出运放相连。

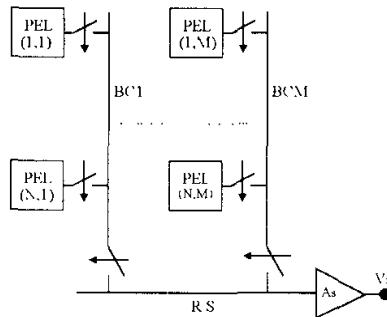


图 3-2-2 开关源跟随 ROIC 的体系结构

通过复位操作使 Cpel 的存储电荷为一固定初始值。将阻抗匹配器件 AI 选通，开始积分。若探测器  $DET(i,j)$  电流大小为  $I_d(i,j)$ ，曝光时间为  $T_{pose}$ ，则对应像素单元积分电容 Cpel 上的电荷变量为：

$$\delta Q_{pose}(i,j) = I_d(i,j) \cdot T_{pose}$$

因此 Cpel 一端的电压变化为：

$$\delta V_{pel}(i, j) = \frac{I_d(i, j) \cdot T_{pose}}{C_{pel}}.$$

选择第 i 行第 j 列，电压信号经像素内放大器  $A_{pel}(i, j)$  与输出级运放  $A_v$  两级

增益后，信号电压为：  $\delta V_v(i, j) = \frac{A_{pel}(i, j) \cdot A_v \cdot I_d(i, j) \cdot T_{pose}}{C_{pel}(i, j)}$ 。

图 3-2-3 给出了一个实例：

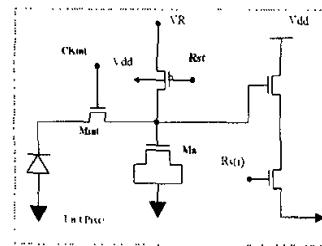


图 3-2-3 开关源跟随结构单元电路实例

这是实现开关源跟随结构的最简单电路形式，至少要五个晶体管。该结构能实现单元信号的随机取址访问，实现“开窗”功能[77]；而且输出信号是经过二级增益得到的，容易读出。

但对 Apel 的设计将是一个两难问题。采用较多的管子，可以使性能得到保证，但是在分辨率日益提高，像素单元的中心距不断减小的趋势下，要在像素中集成较多晶体管是不现实的。当然也可以只用一个晶体管来实现 Apel，但是这样就很难保证良好性能，如增益一致性、大驱动电流等性能。

结构的特殊性要求复位器件必须置于像素单元内，不像有些结构可以把复位器件置于像素单元外。对像素单元复位通常是将 Cpel 端的电压置为高电平，考虑到 NMOS 管在传输高电平时存在阈值损失，通常用 PMOS 管起复位作用。对 N 阵 CMOS 工艺，有 PMOS 管就意味着必须做阱，加上这种结构的像素单元至少需要五个晶体管，导致像素中的积分电容不可能做大，积分电容的面积利用率下降，最大可存储电荷量降低，造成 NEDT 变大，信噪比下降，性能变差。

提高分辨率和简化对外输出这一趋势要求探测器个数增加，像素单元面积减

小，且电路输出个数尽可能少。该结构在 Apel 和 Cpel 的一致性、Apel 的大驱动能力、选择开关阻抗足够小等方面难于满足新的要求。

从功耗上看，源跟随读出结构中有一路常通，并且为了满足驱动的要求，电流较大，这将导致 ROIC 的功耗很大。

### 3.2.2 列总线分离结构

图 3-2-4 为列总线分离读出结构的单元电路。图中，AI 为探测器与 MOS 电容间的阻抗匹配器件。Cpel 为 MOS 积分电容，通过积分将电流转化为电压。开关为行选择管，控制像素单元 Pel(i,j)与对应列总线  $B_{Cj}$  相连。

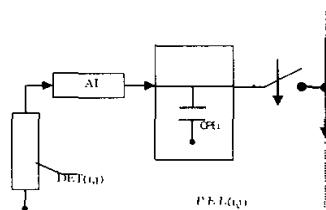


图 3-2-4 列总线分离结构的单元电路

图 3-2-5 为列总线分离读出结构的体系结构图。像素单元通过行选择开关管与列总线相连。高输入阻抗的列电压放大器  $Abc$  在列总线的一端，复位器件 RAZ 在列总线的另一端（即每列共用一个复位器件）。列电压放大器的输出通过列选择开关管与输出运放  $As$  相连。

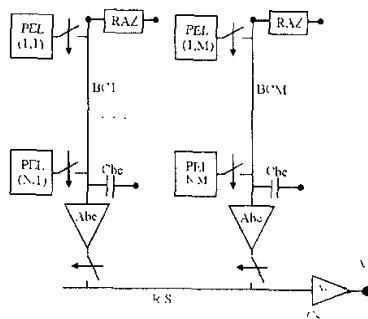


图 3-2-5 列总线分离结构的体系结构图

通过复位操作，使  $C_{pel}$  的存储电荷为一固定初始值。将阻抗匹配器件 AI 选通，开始积分。若探测器  $DET(i, j)$  电流大小为  $I_d(i, j)$ ，曝光时间为  $T_{pose}$ ，则对应像素单元积分电容  $C_{pel}$  上的电荷变化量为

$$\delta Q_{pel}(i, j) = I_d(i, j) \cdot T_{pose}.$$

像素单元中的  $C_{pel}$  积分的同时，列总线初始化。假设初始化后列总线电压为复位后  $C_{pel}$  上端的电压。

选择第 i 行第 j 列，原来在  $C_{pel}(i, j)$  上的积分电荷（即电荷变化量）将在  $C_{pel}(i, j)$  与列寄生电容  $C_{bc}(j)$  间分配。建立平衡后列总线上电压变化为

$$\delta V_{bc}(i, j) = \frac{I_d(i, j) \cdot T_{pose}}{C_{pel}(i, j) + C_{bc}(j)}.$$

电压信号  $\delta V_{bc}(i, j)$  经列电压放大器  $A_{bc}(j)$  与输出级运放  $A_s$  两级放大后，输出信号电压为

$$\delta V_s(i, j) = \frac{A_{bc}(j) \cdot A_s \cdot I_d(i, j) \cdot T_{pose}}{C_{pel}(i, j) + C_{bc}(j)}$$

该结构可实现随机取址访问，适用于目标跟踪 ROIC 设计。而且去掉了像素单元中的放大器；复位器件也被置于像素外，因此像素单元内部结构简单。像素单元最少只用三个晶体管即可实现，且可均为 NMOS 管，可以在较小中心距的像素单元中实现大积分电容。

但该结构也有一些缺点。首先，在像素内的信号电荷转移到列读出级的过程中，列线寄生电容  $C_{bc}(j)$  会分享该信号电荷，导致电压信号的衰减。电路规模越大， $C_{bc}(j)$  随之增大，输出信号受列线寄生电容的影响越大，导致信噪比下降。在某些应用中，从像素中转移出的电荷信号较小，这时，列线寄生电容的影响表现的更为严重。其次，由于工艺、设计、制作等误差，会导致各个列运放  $A_{bc}(j)$  的增益不一致，造成输出信号可比性下降。第三、对像素单元复位时，NMOS 管的栅和漏均接高电平  $V_{dd}$ ，其源端电平将变为  $V_{dd}-V_T$ 。由于阈值损失的存在，

将使  $C_{pel}$  能存储的电荷不能最大化。同时由于工艺、设计、工作电流等原因引起的  $V_T$  不一致性，会导致固定图案噪声。

### 3.2.3 像素外积分结构

图 3—2—6 为像素外积分结构的单元电路。图中，开关为行选择开关管，用于选通像素单元  $Pel(i,j)$  与对应列总线  $B_c(j)$ 。AI 为探测器与 MOS 电容间的阻抗匹配器件。

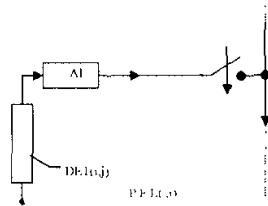


图 3—2—6 像素外积分结构的单元电路

图 3—2—7 为像素外积分读出结构的体系结构图。像素单元通过选择开关管与列总线相连。列运放  $A_{bc}(j)$ 、积分电容  $C_0(j)$  及复位器件  $RAZ(j)$  并联在列总线的一端。列运放  $A_{bc}(j)$  增益要求近似无穷大，输入阻抗高。积分电容  $C_0(j)$  用作负反馈。列运放  $A_{bc}(j)$  的输出通过列选择开关管与输出运放  $A_o$  相连。

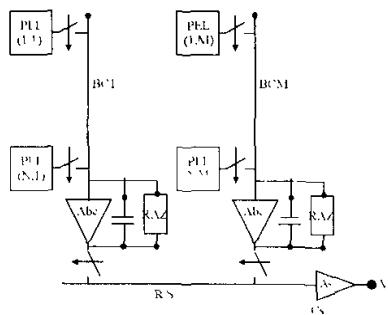


图 3—2—7 像素外积分读出结构的体系结构图

通过复位操作使  $C_0(j)$  两端电压均为一固定的初始值  $V_{ref}$ 。选通探测器

$DET(i, j)$  与列总线相连，开始积分。若探测器  $DET(i, j)$  电流大小为  $I_d(i, j)$ ，曝光时间为  $T_{pose}$ ，则对应像素单元积分电容  $C_0(j)$  上的电荷变化量为

$$\delta Q(j) = I_d(i, j) \cdot T_{pose}.$$

由运放的特性知  $V^+$ 、 $V^-$  电平差趋于零，因此可导出  $C_0(j)$  下极板的电平变化为：

$$\delta V_{hc}(i, j) = \frac{I_d(i, j) \cdot T_{pose}}{C_0(j)}$$

电压信号  $\delta V_{bc}(i, j)$  经输出级运放  $A_v$  增益后，输出信号电压为

$$\delta V_v(i, j) = \frac{A_v \cdot I_d(i, j) \cdot T_{pose}}{C_0(j)}.$$

该结构能实现像素单元的随机取址访问，适用于目标跟踪用 ROIC 设计。输出信号电压为  $\delta V_v(i, j) = \frac{A_v \cdot I_d(i, j) \cdot T_{pose}}{C_0(j)}$ ，与列运放  $A_{hc}(j)$  的增益具体值及像素单元的设计几乎没有关系。这样，大大放松了对列运放及像素单元的设计要求。而且，复位器件与积分电容均置于像素外，因此，像素单元结构极其简单，可以只用一个晶体管实现，极大地节省了芯片面积，适合制作大规模像素阵列。

由于像素内部没有存储电容，各信号不能同时积分，因此，该结构不适用于快照工作模式的 ROIC 设计。由于像素外积分结构是逐行积分一读出，与相同规模和帧频的快照型 ROIC 相比，像素外积分结构中每个像素的积分时间较短，这将导致信噪比下降。而且列存储电容  $C_0(j)$  及各探测器电流的积分时间  $T_{pose}$  的不一致，将导致信号扭曲。

### 3.2.4 SCA 结构

图 3-2-8 为 SCA (Snapshot Charge Amplifier) 结构的单元电路。图中，开关为行选择开关管，用于选通像素单元  $Pe(i, j)$  对应列总线  $B_c(j)$ 。AI 为探测

器与 MOS 电容间的阻抗匹配器件，给探测器提供合理偏置并控制积分时间。用于存储积分电荷的是一个源漏短接的 nMOS 管；在  $H_c$  信号控制下，该 nMOS 管能完成信号电荷的积分、积分点的复位、信号电荷向列总线的转移三种功能。信号电流以直接注入方式，注入到 nMOS 管栅下面的势阱中。

图 3-2-9 为 SCA 读出结构的体系结构图。像素单元通过选择开关管与列总线相连。列运放  $A_{hc}(j)$ 、反馈电容  $C_a(j)$  及复位器件  $RAZ(j)$  并联在列总线的一端，构成电荷放大器。列运放  $A_{hc}(j)$  增益要求近似无穷大，输入阻抗高。积分电容  $C_a(j)$  用作负反馈。列运放  $A_{hc}(j)$  的输出通过列选择开关管与输出运放  $A_o$  相连。

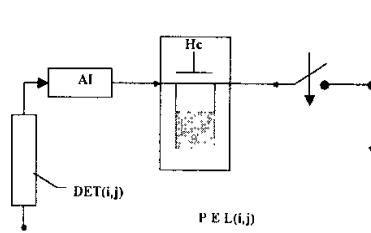


图 3-2-8 SCA 结构的单元电路

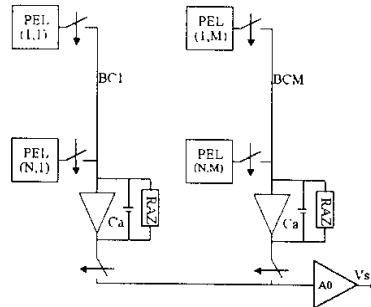


图 3-2-9 SCA 结构的体系结构图

SCA 结构的工作原理是，像素中  $H_c$  信号由低变高，像素内形成势阱。这时，将 AI 选通，开始积分过程，信号电荷被积分到势阱中。积分结束后，选通像素内的行选开关，并使  $H_c$  由高到低变化，把积分得到的电荷转移到列线上。由于列电荷放大器把列线偏置在一个近似恒定的电压（与放大器放大倍数有关），因此，列线寄生电容不分享从像素中转移出的电荷。像素电荷被转移到列电荷放大

器的反馈电容上，实现电荷到电压的转换。列电荷放大器的输出信号在列选信号控制下通过输出运放  $A_o$  串行输出。当像素中电荷转移结束后，行选开关关闭， $Hc$  信号由低电压变为高电压，再次形成势阱，等待下一帧的积分，这就完成了像素的复位功能。

若探测器  $DET(i, j)$  电流大小为  $I_d(i, j)$ ，曝光时间为  $T_{pose}$ ，则对应像素单元积分电荷为

$$\delta Q(j) = I_d(i, j) \cdot T_{pose}.$$

由运放的特性知  $V^+$ 、 $V^-$  电平差趋于零，因此可导出列电荷放大器输出端电平变化为：

$$\delta V_{hc}(i, j) = \frac{I_d(i, j) \cdot T_{pose}}{C_a(j)}$$

电压信号  $\delta V_{hc}(i, j)$  经输出级运放  $A_0$  增益后，输出信号电压为

$$\delta V_v(i, j) = \frac{A_0 \cdot I_d(i, j) \cdot T_{pose}}{C_a(j)}.$$

该结构能实现像素单元的随机取址访问，适用于目标跟踪用 ROIC 设计；能在快照模式下工作。单元电路比较简单，能得到较大的电荷存储能力，电容耦合效应小。由于该结构是逐行复位积分节点，电源的瞬态峰值电流要比整个阵列同时复位的读出结构小很多，一方面放松了对电源限流电阻的要求，另一方面也缩短了整个阵列的复位时间。因此，该结构性能良好，适于大规模、小像素阵列的 ROIC 设计。

但该结构的电荷存储是通过源漏短接的 nMOS 管栅下面的势阱实现的，其表面势无法达到电源电压水平，会导致电荷存储能力损失。这是 SCA 结构主要的缺点。本文第四章提出的新的 ROIC 读出结构，吸收了 SCA 结构用电荷放大器做列读出级的优点，改进了电荷存储方式，得到了比 SCA 结构更大的电荷存储能力。

## 本章小结

本章第一部分分析、比较了三种常见的单元电路结构，得出如下重要结论：

(1) 直接注入型单元电路结构简单，应用最为广泛，尤其在阵列规模较大、像素单元较小的应用中。增大注入管的  $g_m$ ，可提高注入效率  $\eta$ ，从而使成像系统尽可能得到背景限性能。

(2) 缓冲直接注入型单元电路引入了缓冲放大结构，使注入效率的低频值和带宽都大为增加，但单元电路结构复杂，功耗增加，限制了该单元电路在大规模 ROIC 中的应用。

(3) 栅调制注入型单元电路可使光电流在几个数量级的范围内调整增益。背景抑制作用是其最吸引人的优点，适用于背景很强而光强对比较弱的应用中。其缺点传输函数为准线型。

本章第二部分分析、比较了四种常见 ROIC 体系结构，得出如下重要结论：

(1) 开关源跟随结构可实现像素随机取址访问；输出信号经三级增益，容易读出。缺点是 Apel 的设计比较困难；单元电路至少需五个晶体管，降低了电荷存储能力；且功耗很大，不适用于大规模、小像素 ROIC 设计。

(2) 列总线分离结构可实现像素随机取址访问；单元电路结构简单，能得到较大电荷存储能力。主要缺点是列线寄生电容分享信号电荷会导致电压信号衰减，降低信噪比。

(3) 像素外积分结构能实现像素随机取址访问；输出信号电压与列运放增益具体值及单元电路设计几乎无关，放松了这些电路模块的设计要求。复位器件与积分电容均置于像素外，单元电路可只用一个晶体管实现，适合大规模阵列 ROIC 设计。该结构不能以快照模式工作；逐行积分一读出，导致信噪比下降。

(4) SCA 结构能实现像素随机取址访问；能以快照模式工作；单元电路简单，能得到较大电荷存储能力；逐行复位积分节点，放松了对电源线限流电阻的要求，缩短了整个阵列的复位时间；适于大规模、小像素 ROIC 设计。用源漏短接的 nMOS 管栅下面的势阱存储信号电荷，会导致电荷存储能力损失，这是该结构的主要缺点。

## 第四章 面阵 Snapshot 型 ROIC 设计

目前，对高分辨率红外热成像系统的需求越来越大[78]，这就要求加大阵列规模并缩小像素面积。像素面积减小会导致 ROIC 电荷存储能力下降，而 ROIC 的许多关键性能指标（如动态范围）与电荷存储能力有密切关系。因此，设计者应尽可能使 ROIC 的电荷存储能力足够大，以获得良好的电路性能。为此，单元电路必须非常简单，使积分电容足够大。在高背景应用中，背景信号较大，更需要有较大的积分电容。

90 年代初期，大多数 CMOS ROIC 采用开关源跟随结构，其单元电路至少需要 5 个晶体管，这就限制了积分电容大小，从而降低电路性能。当像素尺寸比较小时，单元电路只有 4 个或 3 个晶体管的列总线分离结构可增加像素内的积分电容；但该结构的列线寄生电容  $C_{bus}$  会分享从像素中转移出的电荷，随着阵列规模增加， $C_{bus}$  会随之加大，将引起严重的信号失真。因此，该结构不适于大规模 ROIC 设计。像素外积分结构虽然单元电路简单，但无法以快照模式工作，因此，也限制了在面阵 ROIC 设计中的使用。

SCA 结构[79-80]基于电荷转移机制，采用电荷放大器做列读出级，能有效抑止列线寄生电容的影响；逐行复位模式，降低了电源的峰值电流，缩短了整个阵列的复位时间，并能有效抑止因单元电流寄生漏电流引起的固定图案噪声；其单元电路简单，并能以快照模式工作。因此，SCA 结构比较适于大规模、小像素 ROIC 设计。但该结构的电荷存储是通过源漏短接的 nMOS 管栅下面的势阱实现，其表面势无法达到电源电压水平，会导致电荷存储能力下降。这是 SCA 结构的主要缺点。

为此，本文在吸收 SCA 结构优点的基础上，针对电荷存储能力指标，进行电路改进，提出了 2 种新的 ROIC 读出结构，即 DCA 结构和 OES 结构，得到了比 SCA 结构更大的电荷存储能力。另外，在 SCA 结构的基础上，针对功耗指标进行列读出级电路的改进，提出了第三种 ROIC 新结构——OESCA 结构。该结构采用并行操作技术，使列读出级的功耗降低 15%，并提高了 ROIC 的读出速度。

基于这 3 种新读出结构，分别设计了三个读出电路，即  $128 \times 128$  DCA 结构 ROIC、 $64 \times 64$  OESCA 结构 ROIC 和  $64 \times 64$  OES ROIC。 $128 \times 128$  DCA 结构

ROIC 和  $64 \times 64$  OESCA 结构 ROIC 实现了流片、测试。 $64 \times 64$  OES ROIC 完成了 SPICE 仿真和版图设计，即将流片。

下面详细介绍这 3 种新读出结构的电路结构、像素电路、工作时序，以及 ROIC 的 SPICE 仿真结构和试验芯片的测试结果，最后对本章内容给予小结。

## 4.1 $128 \times 128$ DCA 结构 ROIC 设计

### 4.1.1 体系结构

图 4-1-1 是 DCA 结构 ROIC 的框图。该电路用于从  $128 \times 128$  探测器阵列中读出每一像素的信号。同一列像素的输出端接到一条列线上。在每条列线的末端接一电荷放大器。每一电荷放大器的输出端通过选通器，连接到输出运放。

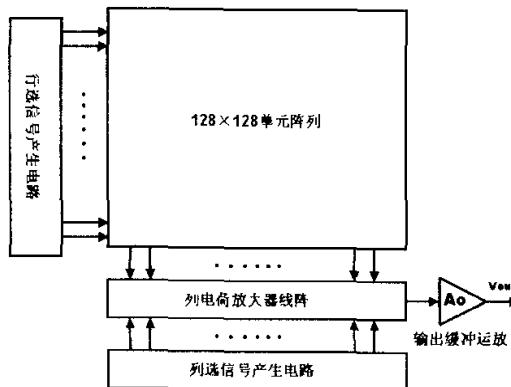


图 4-1-1 DCA 结构的 ROIC 框图

图 4-1-2 是 DCA 结构 ROIC 的电路图。可以看到，电荷放大器由一个 OPA 和一个反馈电容  $C_a$  组成。CKr 信号用来对电荷放大器进行复位， $V_{ref}$  为参考电压，这里取为  $(0.5 \times V_{DD})$  以获得最大输出摆幅。 $C_{bus}$  为列线寄生电容。 $V_{adj(j)}$  为第  $j$  列电荷放大器的输出，它通过列移位寄存器所产生的列选择信号送至输出缓冲级。

列电荷放大器是 DCA 结构中非常关键的模块，用来对积分过程中注入到积分电容上的电荷进行读出，从而完成从电荷信号到电压信号的转换。

在此结构中，若电荷放大器中列运放的放大倍数足够大，则每条列线的电压是  $V_{ref}$ ，并保持不变（在一阶近似下），列线寄生电容不分享从各像素中转移出

的电荷，因此，DCA 结构可以消除列线寄生电容的影响。

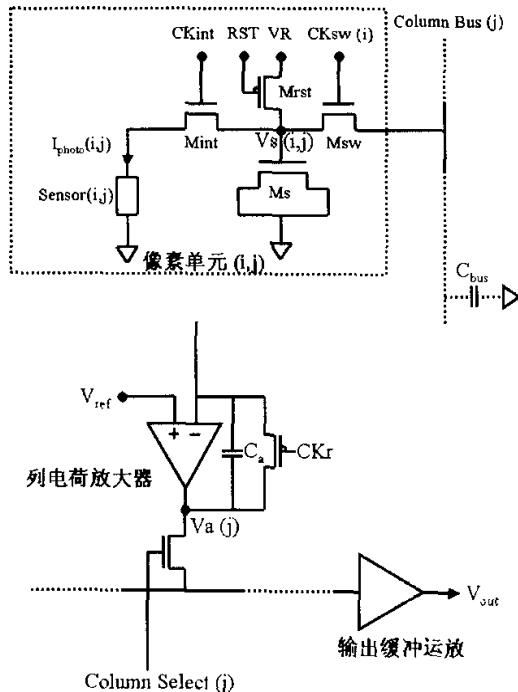


图 4-1-2 DCA 结构 ROIC 的电路图

其次，该结构还可以提高 ROIC 的电荷处理能力。像素中的 NMOS 管 \$Ms\$ 用做存储电容 \$C\_{int}\$。当第 i 行、第 j 列像素的节点电压 \$V\_{s(i,j)}\$ 比 \$Ms\$ 的阈值电压 \$V\_t\$ 高时，电容 \$C\_{int}\$ 是常值电容；当 \$0 < V\_{s(i,j)} < V\_t\$ 时，\$C\_{int}\$ 就不再是常值电容。因此在积分期间，当 \$V\_{s(i,j)} > V\_t\$ 时，电压 \$V\_{s(i,j)}\$ 线性下降；当 \$0 < V\_{s(i,j)} < V\_t\$ 时，电压 \$V\_{s(i,j)}\$ 非线性下降。这种现象会导致开关源跟随结构 ROIC 的电荷处理能力下降，但对 DCA 结构没有影响，原因是：在 DCA 结构中，像素电路和列电荷放大器共同处理的电学量是电荷而不再是电压。因此，当 \$0.3V < V\_{s(i,j)} < V\_t\$ 时，DCA 结构仍能正常工作，从而提高了电压 \$V\_{s(i,j)}\$ 的摆幅，也就提高了 ROIC 的电荷处理能力。

#### 4.1.2 单元电路

图 4-1-2 中也给出了单元电路的结构。NMOS 管 \$Ms\$ 用做存储电容 \$C\_{int}\$，其上极板为栅，反型沟道做下极板。NMOS 管 \$Msw\$ 为行选管，用做地址选择。第 i 行像素的 \$Msw\$ 管的栅都接到行选信号 \$CKsw(i)\$。

用作探测器的光电二极管通过 NMOS 管 Mint 连接到存储节点，这样，当给 Mint 管合理偏置时，光电流可直接注入到存储电容  $C_{int}$ ，实现积分功能。时钟信号  $CK_{int}$  用于积分控制，光电二极管的偏置电压可以通过调节  $CK_{int}$  为“高”时的电压水平来调节，从而保证探测器在正常偏置下工作。为了保证积分期间光电流基本不变，Mint 的尺寸必须优化设计来提高其沟道电阻。

PMOS 管 Mrst 用于把存储电容  $C_{int}$  上极板的电压  $V_{s(i,j)}$  复位到电压  $V_R$ 。 $Mrst$  采用 PMOS 管是为了消除复位电压  $V_R$  的阈值损失，提高 ROIC 的电荷处理能力。但是，像素中同时存在 PMOS 管和 NMOS 管时就需要阱，而阱往往会影响可观的像素面积，导致用做存储电容的 Ms 管的尺寸减少，从而降低 ROIC 的电荷处理能力。本文采用了相邻四像素共享阱的版图设计，把阱的不利影响大大降低，增加了积分电容。

单元电路中的探测器是工作于反向区的光电二极管，其特性和等效电路在 2.3.3 节已给出，不再赘述。

### 4.1.3 工作时序

图 4-1-3 是该 ROIC 的工作时序图。每一帧的时间分为两个阶段：积分阶段和读出阶段。

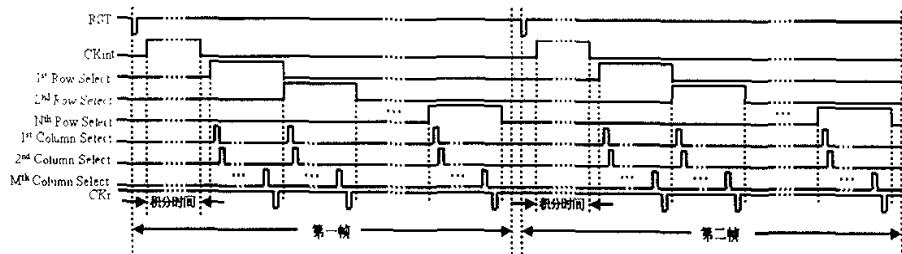


图 4-1-3 ROIC 的工作时序图

在积分阶段，所有像素中的 Mint 管的栅极连接在一起共同由时钟信号  $CK_{int}$  控制，同时开始和结束积分，从而构成快照工作模式。积分控制信号  $CK_{int}$  由 0V 升至  $V_{pol}$  ( $V_{pol} \approx V_T$ )，积分过程开始。积分期间，流经光电二极管的光电流被积分到像素内的存储电容  $C_{int}$  中。 $CK_{int}$  由  $V_{pol}$  变为 0V，积分过程结束，因此，积分时间  $T_{int}$  是  $CK_{int}$  为“高”的这段时间。

积分期间，积分节点的电压  $V_{s(i,j)}$  随时间的变化有公式（1）给出。式中：

$$V_{s(i,j)} = V_R - \frac{I_{photo(i,j)} T_{int}}{C_{int}} \quad (1)$$

$T_{int}$  是积分时间；  $C_{int}$  是像素内的存储电容；  $V_R$  是像素内的存储电容的复位电压；  $I_{photo(i,j)}$  是像素  $pixel_{(i,j)}$  的光电流。

积分结束后，各像素积分电容  $C_{int}$  中存储的电荷量与该像素探测器的光电流大小有关。当第  $i$  行的行选信号  $CKsw(i)$  有效时，电容  $C_{int}$  和电荷放大器的反馈电容  $C_a$  进行电荷再分配，由电荷放大器实现电荷到电压的转换。由前面体系结构的分析知：当电荷放大器中列运放的放大倍数足够大时，每条列线的电压始终为  $V_{ref}$ ，从而列线寄生电容  $C_{bus}$  不参与电荷再分配过程，这就消除了列线寄生电容的影响。当列选信号 Column Select( $j$ ) 有效时，第  $j$  列的电荷放大器的输出被选送到最后的输出运放。当每一列电荷放大器的输出信号都依次读出后，由复位信号  $CKr$  把各个电荷放大器复位到初始状态。当  $CKsw(i+1)$  有效时，开始第  $i+1$  行的读出。整帧的每一行都读出后，由帧复位信号  $RST$  把所有像素中的存储电容  $C_{int}$  复位到初始状态（此时  $V_{s(i,j)}=V_R$ ），等待下一帧的积分开始。

差分输入的电荷放大器用于实现电荷到电压的转换，其输出端的电压  $V_{a(j)}$  是光电流  $I_{photo(i,j)}$  的函数。根据电荷守恒原理，不难得到：

$$V_{a(j)} = V_{ref} + \frac{C_{int}}{C_a} (V_{ref} - V_R) + \frac{I_{photo(i,j)} T_{int}}{C_a} \quad (2)$$

式中： $T_{int}$ 、 $C_{int}$ 、 $V_R$ 、 $I_{photo(i,j)}$  的含义同公式 (1) 中的含义；  $C_a$  是电荷放大器的反馈电容；  $V_{ref}$  是电荷放大器的参考电压。

由公式 (2) 知，合理设计电荷放大器的反馈电容  $C_a$  的大小，可以调节其输出摆幅。

#### 4.1.4 仿真和测试结果

采用  $1.2\mu m$  DPDM CMOS 工艺提供的器件参数，对该 ROIC 进行了精确的 HSPICE 仿真。在积分期间 ( $T_{int} = 1.49ms$ ,  $C_{int} = 2.6pF$ ,  $V_R = 5V$ )，积分节点的电压  $V_{s(i,j)}$  在不同光电流  $I_{photo}$  下（分别为  $4.5nA$ ,  $5.5nA$ ,  $6.5nA$ ,  $7.5nA$ ）随时间的变化如图 4-1-4 示。由图看出，光电流不同时，电压  $V_{s(i,j)}$  随时间下降的斜率

也不同，都有良好线性度；而且电压  $V_{s(i,j)}$  可以被复位到  $V_R$ （即 5 伏），像素内的复位管  $M_{rst}$  没有引入阈值损失。

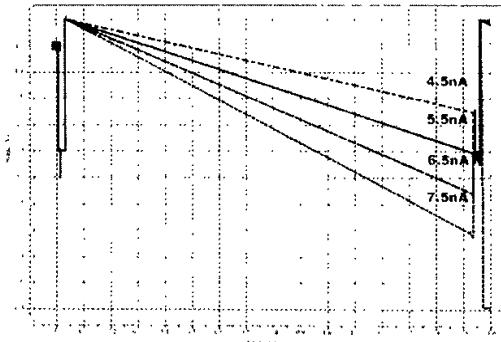


图 4-1-4 不同光电流下，积分节点的电压  $V_{s(i,j)}$  随时间的变化

积分结束后，在读出期间列电荷放大器输出端的电压  $V_{a(j)}$  随光电流  $I_{photo}$ （分别为 4.5nA, 5.5nA, 6.5nA, 7.5nA）的不同而变化，如图 4-1-5 示。由图看出，随光电流的线性增加或减少， $V_{a(j)}$  也线性增加或减少；电荷放大器的信号建立时间约 2μs。

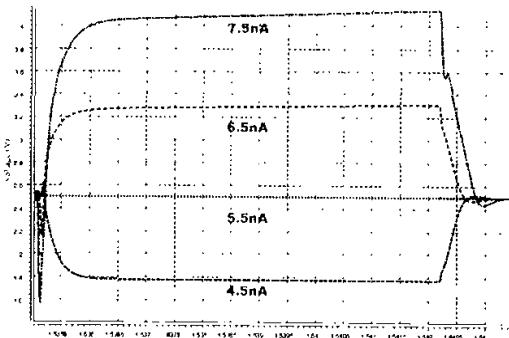


图 4-1-5 不同光电流下，列电荷放大器的输出电压  $V_{a(j)}$  随时间的变化

输出运放的仿真结果是：在 5V 电源电压下，输出摆幅为 3.0V；在负载电容为 10pF 时，工作频率可达 5MHz。

表 4-1 注入效率  $\eta$  与注入管宽长比的关系 (NMOS 注入管,  $R_{det}=10M\Omega$ )

W/L (μm/μm)	1.8/4.8	2.4/4.8	4.8/4.8	9.6/4.8	14.4/4.8
$I_{DS}$ (nA)	10	10	10	10	10
$G_m$ (μA/V)	0.216	0.235	0.260	0.260	0.261
$\eta$	68%	70%	72%	72%	72%

DCA 结构的单元电路采用了直接注入方式，前文 3.1.1 节指出：改变注入管

的宽长比，并不能显著提高注入效率。表 4—1 的仿真结果证明了这一点。

表 4—2 总结了该芯片的特征参数。图 4—1—6 给出了该芯片的版图，芯片尺寸（含压点）为  $7.0 \times 8.5 \text{mm}^2$ 。

表 4—2 DCA 读出结构 ROIC 芯片特征参数	
探测器的界面电路	直接注入
电源电压	5V
阵列规模	$128 \times 128$
积分（曝光）时间	1.49ms
像素尺寸	$50 \times 50 \mu\text{m}^2$
积分电容	2.6pF
输出摆幅	3.0V
电荷处理能力	11.2pC
最大读出速度	5MHz
帧频	50Hz
芯片尺寸	$7.0 \times 8.5 \text{mm}^2$
工艺	$1.2 \mu\text{m}$ DPDM

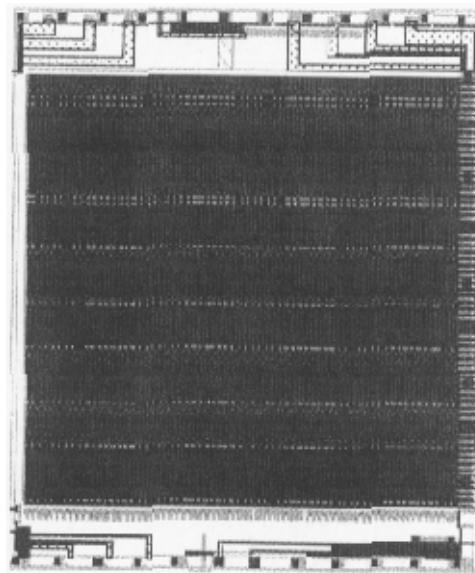


图 4—1—6  $128 \times 128$  DCA 结构 ROIC 实验芯片的版图

## 4.2 $64 \times 64$ OESCA 结构 ROIC 设计

对便携式成像系统，低功耗设计是 ROIC 设计的重要目标。为此，在 SCA 结构的基础上，我们提出了一种低功耗新结构—OESCA（Odd-Even Snapshot Charge Amplifier）结构。该结构采用两个低功耗设计的电荷放大器做列读出级，分别用于奇偶行的读出，这种并行操作降低了列电荷放大器的速度要求，实现列读出级的低功耗设计。

### 4.2.1 体系结构

图 4-2-1 是 OESCA 结构 ROIC 的框图。该电路用于从  $64 \times 64$  阵列中读出每一像素的信号，包括如下模块：(1)  $64 \times 64$  单元电路阵列，(2) 行选信号的产生模块，(3) 列选信号的产生模块，(4)  $H_c$  信号的产生模块，(5) 列奇偶读出级，(6) 输出驱动级。

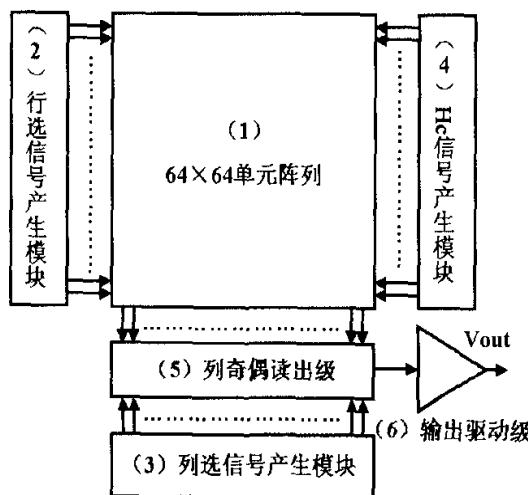


图 4-2-1 OESCA 结构 ROIC 框图

图 4-2-2 是 OESCA 结构 ROIC 的电路图。同一列的像素的输出端接到一条列线上。在每条列线的末端经过奇偶控制开关分别接到两个电荷放大器的输入端。每一电荷放大器的输出端经过奇偶控制开关和选通器，连接到输出运放。在此结构中，若电荷放大器中列运放的放大倍数足够大，则每条列线的电压是  $V_{ref}$ ，并保持不变，列线寄生电容不分享从各像素中转移出的电荷，因此 OESCA 结构可以消除列线寄生电容的影响。

## 4.2.2 单元电路

图 4-2-3 是 OESCA 结构的单元电路，它非常简单，仅由三个 NMOS 管构成。图中用作探测器的光电二极管通过注入管  $M_p$  连接到存储节点，仍然是直接注入方式。 $M_c$  的栅端由时钟信号  $H_c$  控制，当  $H_c$  为高电压时，在栅下的半导体中便会形成一个势阱，可以存储注入的电荷。当  $H_c$  为低电压时，势阱消失，其中存储的电荷便转移出去，因此， $M_c$  用为积分电荷存储器件。

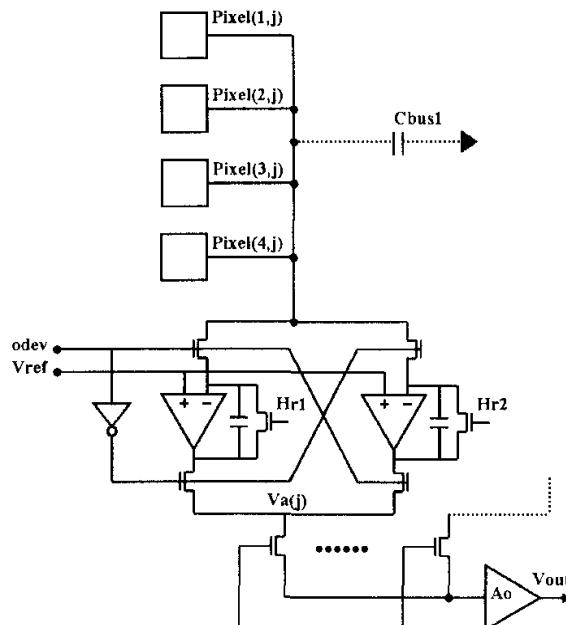


图 4-2-2 OESCA 结构 ROIC 的电路图

$M_a$  为行选择管，用来提供转移势阱中存储的注入电荷所需要的通路，第  $i$  行像素的  $M_a$  管的栅都接到行选信号  $H_a(i)$ 。应该注意的是，在 OESCA 结构中，行选通信号  $H_a(i)$  的高电压为  $H_{a,i} = V_{bus} + V_T$ 。如果取  $V_{bus} = 0.5V$ ,  $V_T = 0.7V$ ，则  $H_{a,H} = 1.2V$ 。考虑到衬偏响应， $V_T$  会大一些， $H_{a,H}$  应大于 1.2V。

当给  $M_p$  管的栅极  $H_p$  信号合理偏置时，光电流可直接注入到用作存储单元的  $M_c$  管栅极下面的电子势阱中，实现积分功能。时钟信号  $H_p$  用于积分控制，光电二极管的偏置电压可以通过调节  $H_p$  为“高”时的电压水平来调节，从而保证探测器在正常偏置范围内工作。所有像素的  $M_p$  管的栅都接到积分控制信号  $H_p$ ，这样在  $H_p$  信号控制下，所有像素同时开始和结束积分，从而构成快照工作模式。

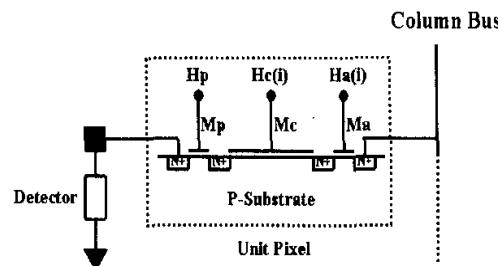


图 4-2-3 OESCA 结构的单元电路

从结构上看,  $M_C$  既可以看作一个 NMOS 管, 又可看作扩散区耦合的 CCD 器件。由于在积分过程中, 该器件工作于深耗尽状态, 利用  $M_C$  棚端下面形成的势阱对注入的电荷进行存储, 因此在这里应属 CCD 器件。只是考虑到工艺的原因, 没有象传统 CCD 器件那样, 采用栅重叠的方法进行电荷转移, 而是利用  $M_C$  的有源区进行耦合。下面详述它的器件原理和单元电路的工作过程。

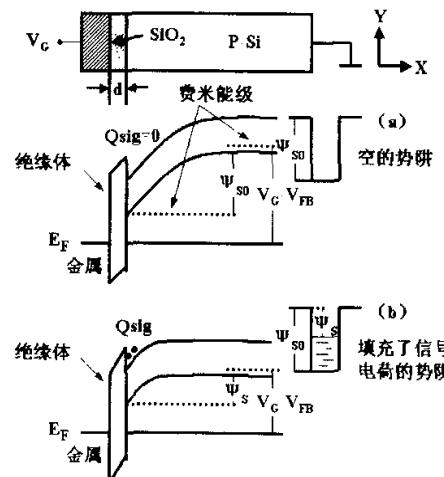


图 4-2-4 MOS 电容结构剖面图和能带图[81]

(a) 深耗尽状态 (a) 势阱部分填充状态

MOS 电容结构中, 当栅上突然加一脉冲正电压时(设 P-衬底), 将产生深耗尽阱, 并立即就有热产生的少数载流子开始填充该阱。一个 MOS 电容热驰豫时间与半导体材料特性(如禁带宽度、掺杂浓度等)和界面完整性等有关。当 MOS 电容的热驰豫时间远大于成像系统的帧周期时, 就可以把 MOS 电容器作为存储电荷的单元使用, 电荷的产生可以是电学注入或光电过程。若两个 MOS 电容靠得很近导致势阱合并, 或用扩散区把两个 MOS 电容连接起来, 则可使少数载流子就可以在这两个电容间流动, 并再分配。

图 4-2-4 示 MOS 电容结构剖面图和能带图。据此推导表面势  $\Psi_S$  与栅压  $V_G$  的关系。

有效栅压  $V_G - V_{FB}$  :

$$V_G - V_{FB} = V_i + \psi_s$$

其中,  $V_{FB}$  为平带电压,  $V_i$  为降落在  $SiO_2$  上的电压。

∴

$$V_i = -\frac{Q}{C_{ox}}$$

$$Q_s = Q_B + Q_{sig}$$

$$Q_B = -qN_a X_d = -(2q\epsilon_s \epsilon_0 N_a \psi_s)^{1/2}$$

∴

$$V_G - V_{FB} = \frac{Q_{sig}}{C_{ox}} + \frac{\sqrt{2q\epsilon_s \epsilon_0 N_a \psi_s}}{C_{ox}} + \psi_s$$

$$\text{解得: } \psi_s = V - B(\sqrt{1 + \frac{2V}{B}} - 1) \quad (1)$$

其中

$$V = V_G - V_{FB} - \frac{Q_{sig}}{C_{ox}}$$

$$B = \frac{q\epsilon_s \epsilon_0 N_a}{C_{ox}^2}$$

当忽略热产生的载流子时:  $Q_{sig} = I_{photo} \times T_{int}$ , 其中  $I_{photo}$  为光电流,  $T_{int}$  为积分时间。

推导过程中,  $Q_B$  为单位面积的耗尽层电荷,  $Q_{sig}$  为单位面积所存储的信号电荷,  $N_a$  为半导体的掺杂浓度,  $C_{ox}$  为单位面积的栅氧电容。

由公式(1)知, 当栅压给定时, 随着存储电荷的增加, 表面势  $\psi_s$  基本呈线性减少。在  $\psi_s$  和  $Q_{sig}$  之间的这种线性关系可用简单的流体力学系统解释电荷存储机制, 所以建立势阱模型来形象描述 CCD 器件的工作原理。

图 4-2-5 (a) — (d) 示单元电路的器件剖面图和工作过程, 图中虚线为

电子势能曲线。 $H_p$  信号和  $H_a$  信号同时为低时 ( $0V$ )， $H_c$  信号由  $0V$  跳变到  $5V$ ，在  $M_c$  棚极下面形成空的电子势阱，在 A、B 两点和 C、D 两点之间存在电子势垒，如图 (a) 示。

当  $H_p$  信号由  $0V$  跳变到  $0.63V$  后，A、B 两点之间的电子势垒消失，电子开始经注入管  $M_p$  注入势阱中，表面势随着电子的注入而逐渐下降，这就是积分过程，如图 (b) 示。

$H_p$  信号由  $0.63V$  跳回  $0V$  时，A、B 两点之间产生的电子势垒阻止电子注入阱中，积分结束，阱中积累了大量电子。这时， $H_a$  信号由  $0V$  跳到  $1.4V$ ，C、D 两点之间的电子势垒下降但仍存在，电子无法逾越该势垒，如图 (c) 示。

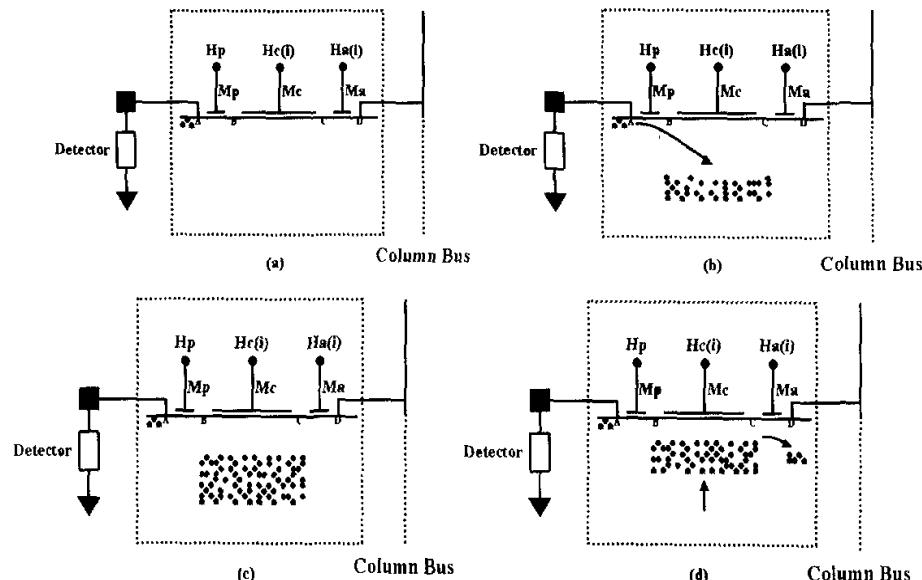


图 4—2—5 单元电路的工作原理

当  $H_c$  信号逐渐由  $5V$  下降到  $0V$  时， $\Psi_s$  下降，势阱也逐渐变浅；当势阱无法盛放积分所得电子时，电子开始越过 C、D 两点之间的势垒溢出到 D 点，经列线传输到列电荷放大器，由列电荷放大器实现电荷到电压的转换，如图 (d) 所示。

根据单元电路的工作原理分析，会得出结论：在  $H_c$  信号以一固定斜率缓慢下降过程中，列线电流出现的早晚以及持续的时间与势阱中的电荷数量有关。电荷数量多的会先溢出势阱，在列线上早出现电流；反之则晚出现电流。后面的

SPICE 仿真的结果证实了这一点。

与 DCA 结构不同, OESCA 结构中的  $Ma(i)$  的选通电压并不是  $V_{DD}$ , 而是  $V_{bus} + V_T$ , 其中  $V_{bus}$  中为列线偏置电压,  $V_T$  为 NMOS 管的阈值电压, 电荷的转移并不是发生在  $Ma(i)$  信号的正脉冲上升沿, 而是  $He(i)$  信号的负脉冲下降沿。这一点是与 DCA 结构有明显区别的。所以, OESCA 结构的工作原理也与 DCA 有所不同, 具体表现在两者工作时序的不同。

### 4.2.3 工作时序

图 4-2-2 中, 与奇数行相连的电荷放大器记为  $CHGA_{ODD}$ , 与偶数行相连的电荷放大器记为  $CHGA_{EVEN}$ 。图 4-2-6 是 OESCA 结构 ROIC 的工作时序图。每一帧的时间分为两个阶段: 积分阶段和读出阶段。

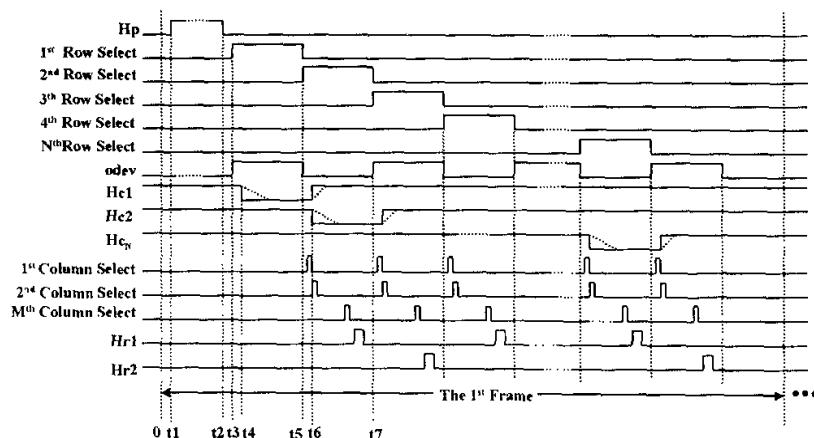


图 4-2-6 OESCA 结构 ROIC 的工作时序图

$0 < t < t_1$  时段, 系统处于初始状态, 即假定系统以被 Reset。 $t = t_1$  时刻, 积分控制信号  $Hp$  由  $0V$  升至  $V_{pol}$  ( $V_{pol} \approx V_T$ ), 于是积分过程开始。由于所有像素的  $Mp$  管的栅极连接在一起, 共同由时钟信号  $Hp$  控制, 同时开始和结束积分, 从而构成快照工作模式。

$t_1 < t < t_2$  时段为积分期间, 流经光电二极管的光电流被积分到像素内的势阱中, 并以电压的形式存在于存储电容上。注入方式为直接注入方式。积分期间, 积分节点的表面势  $\Psi_S$  随积分时间  $T_{int}$  的变化由公式 (1) 给出。当光电流在积分

期间恒定时， $\Psi_s$  与  $T_{int}$  呈线性下降关系。

$t = t_2$  时刻， $H_p$  由  $V_{pol}$  变为  $0V$ ，积分过程结束。 $t = t_3$  时刻， $H_a(1)$  由  $0V$  变为  $V_{bus}+V_T$ ，其中  $V_{bus}$  中为列线偏置电压， $V_T$  为 NMOS 管的阈值电压，从而选通第一行像素，为电荷转移准备好通路。同时 ODEV 由低变为高， $CHGA_{ODD}$  做好了电荷转移的准备。 $t = t_4$  时刻， $H_c(1)$  由  $V_{DD}$  变为  $0V$ ，使第一行像素栅下的势阱抬高直至消失。存储于势阱中的注入电荷通过选通管提供的电荷流动通路转移到  $CHGA_{ODD}$  上，并以电压信息的形式存储在反馈电容  $C_a$  上。根据电荷守恒原理，不难得得到：

$$V_{a(1)} = V_{ref} + Q_s / C_a$$

其中  $V_{a(1)}$  为电荷放大器的输出电压， $Q_s$  为积分过程中注入到势阱中的电荷， $V_{ref}$  为参考电压，接于列放大器的正输入端， $C_a$  为电荷放大器的反馈电容。

$t = t_5$  时刻， $H_a(1)$  变为  $0V$ ，而  $H_a(2)$  由  $0V$  变为  $V_{bus}+V_T$ ，从而选通第二行像素，为电荷转移准备好通路。同时 ODEV 由高变为低， $CHGA_{EVEN}$  做好了电荷转移的准备。 $t_5 < t < t_7$  时，列选移位寄存器产生列选通信号，于是存储在  $CHGA_{ODD}(j)$  ( $j = 1, 2, \dots, M$ ) 上的信号依次送至输出缓冲级。读出结束后， $H_{r1}$  产生一个高脉冲对  $CHGA_{ODD}(j)$  ( $j = 1, 2, \dots, M$ ) 进行复位。

$t = t_6$  时刻， $H_c(2)$  由  $V_{DD}$  变为  $0V$ ，第二行像素栅下的势阱抬高，使存储于势阱中的电荷通过选通管提供的电荷流动通路转移到  $CHGA_{EVEN}$  上，并以电压信息的形式存储在反馈电容  $C_a$  上。同时  $H_c(1)$  由  $0V$  变为  $V_{DD}$ ，使第一行像素栅下重新形成势阱，为下一桢的电荷存储做好准备。

$t = t_7$  时刻， $H_a(3)$  由  $0V$  变为  $V_{bus}+V_T$ ，从而选通第三行像素，为电荷转移准备好通路，而  $H_a(2)$  变为  $0V$ 。同时 ODEV 由低变为高， $CHGA_{ODD}$  做好了电荷转移的准备。

以下的过程与前所述完全类似，在此不再赘述。

由前面体系结构的分析知：当电荷放大器中列运放的放大倍数足够大时，每条列线的电压始终为  $V_{ref}$ ，从而列线寄生电容  $C_{bus}$  不分享从像素中转移出的电荷，这就消除了列线寄生电容的影响。

而且，相邻奇偶行的列输出信号的建立和读出同时进行，这种并行操作降低了对列电荷放大器的速度要求，可以实现列读出级的低功耗设计。DCA 结构的列读出级只用一个电荷放大器，没有采用这种并行设计，其平均功耗为： $88\mu\text{W}$ 。而 OESCA 结构中，列读出级（含两个列电荷放大器和四个选通开关）的平均功耗共为： $75\mu\text{W}$ ，因此列读出级的功耗减少了 15%。在积分期间，列读出级处于空闲状态，如果此期间使列读出级与电源断开，可使列读出级的功耗比 DCA 结构减少 21%。

应该指出，上述低功耗设计是通过增加列读出级的面积换来的。在 DCA 结构中，列读出级只用到一个电荷放大器，而在 OESCA 结构中，用到了两个电荷放大器。

此外，由电路结构和工作时序知，OESCA 结构中的每个像素的信号从复位到读出之间的时间间隔是相等的，从而抑制了由寄生漏电流引起的固定图案噪声。

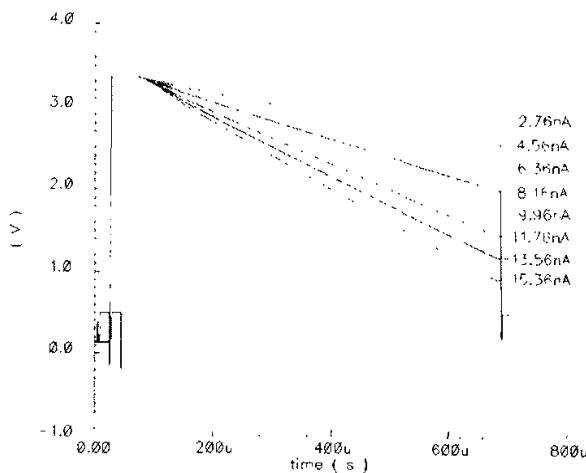


图 4-2-7 不同光电流下，积分节点的电压  $\Psi_{S(i,j)}$  随时间的变化

#### 4.2.4 仿真和测试结果

采用  $1.2\text{-}\mu\text{m}$  双硅双铝标准 CMOS 工艺提供的器件参数，对一个  $2\times 4$  规模的 OESCA 结构 ROIC 进行了精确的 SPICE 仿真。在积分期间 ( $T_{int} = 610\mu\text{s}$ )，积分节点的电压  $\Psi_S$ （即表面势）在不同光电流  $I_{photo}$  下随时间的变化如图 4-2-7 示。

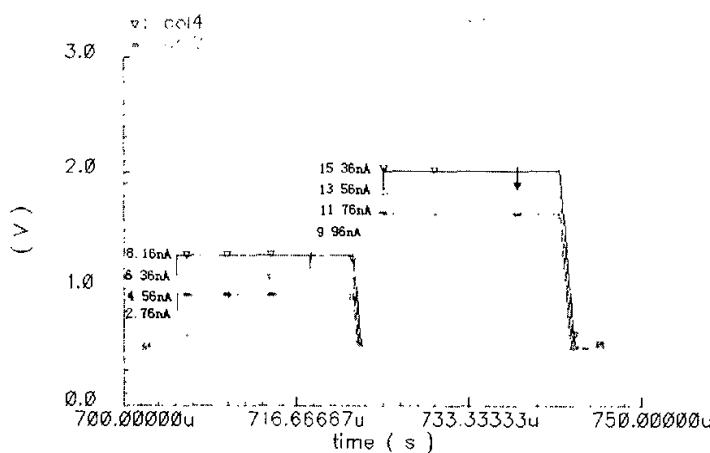


图 4-2-8 不同光电流下列电荷放大器的输出电压  $V_{a(j)}$  随时间的变化

由图 4-2-7 看出, 光电流不同时, 电压  $\Psi_S$  随时间下降的斜率也不同, 都有良好线性度; 但电压  $\Psi_S$  只能被复位到 3.3V (电源电压为 5 伏时), 这无疑降低了电荷存储能力。在 DCA 结构中, 虽然存储器件面积仅占整个像素面积的 61%, 比 OESCA 结构 (80%) 小, 但由于积分节点可以被复位到 5V, 因此其电荷存储能力(11.2pC)比 OESCA 结构(10.37pC)高。

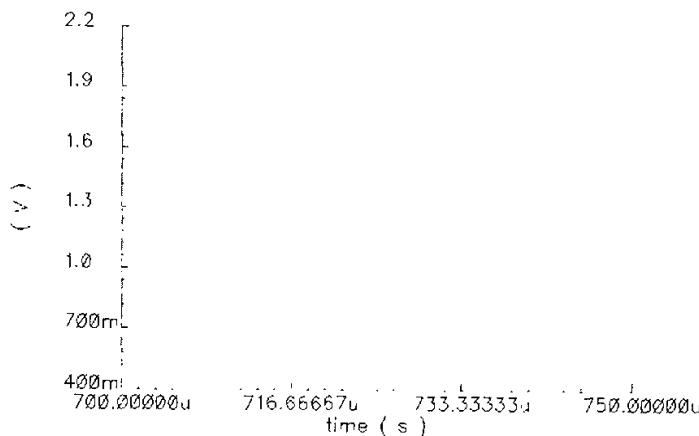


图 4-2-9 输出缓冲运算放大器的输出  $V_{out}$  信号随时间的变化

积分结束后, 在读出期间列电荷放大器输出端的电压  $V_{a(j)}$  随光电流  $I_{photo}$  的不同而变化, 如图 4-2-8 所示。由图看出, 随光电流的线性增加或减少,  $V_{a(j)}$  也线性增加或减少。

图 4-2-9 示输出缓冲运算放大器的输出  $V_{out}$  信号随时间的变化。当列选信号有效时，列电荷放大器输出信号传递到输出缓冲运放的输出端。输出运放的性能是：在 5V 电源电压下，输出摆幅为 3.0V；在负载电容为 10pF 时，工作频率可达 5MHz。

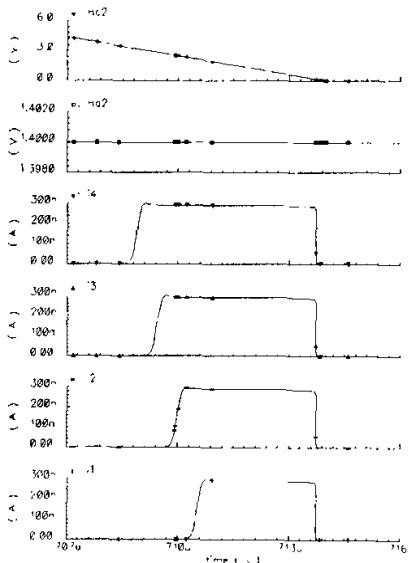


图 4-2-10  $H_c$  信号缓慢下降过程中列线电流特征

前面在对单元电路的工作原理分析时曾得出如下结论：在  $H_c$  信号以一固定斜率缓慢下降过程中，列线电流出现的早晚以及持续的时间与势阱中电荷的数量有关。电荷数量多的会先溢出势阱，在列线上早出现电流；反之则晚出现电流。图 4-2-10 是仿真结果，证实了前面的结论。

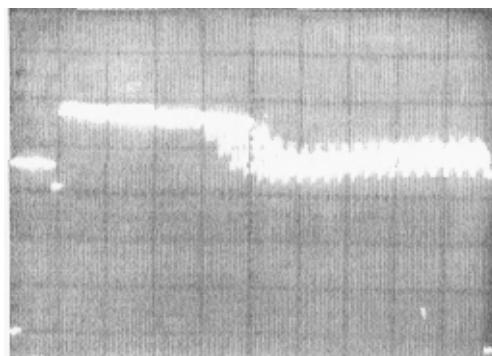


图 4-2-11 不同光照条件下一帧的输出电压信号

采用标准 1.2- $\mu m$  双硅双铝 N 阵 CMOS 工艺，设计了一个  $64 \times 64$  阵列规模

OESCA 读出结构的实验芯片并对该芯片进行了测试。测试时激励信号和直流偏置电压由一电路板产生。经测试，该 ROIC 工作正常。输出缓冲运放摆幅为 3.0V，与仿真结果一致；饱和光照时的输出电压约为 3.5 伏；最大输出频率为 2MHz，比仿真值（5MHz）小；经分析是由于仿真时的负载比实际测试时的负载小导致。芯片正常工作时平均功耗为 15mW（含探测器功耗）。

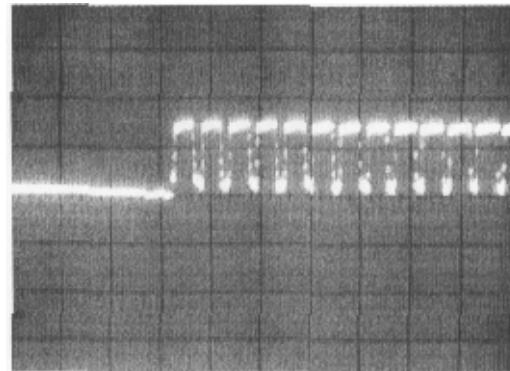


图 4—2—12 时间轴放大后的多行输出信号（饱和光照条件下）

图 4—2—11 为 ROIC 芯片在不同光照条件下一帧的输出电压信号。光测试时，ROIC 芯片光敏区域的前半部分为均匀光照射，后半部分为光栅调制照射。该输出波形证明：ROIC 芯片工作正常。

表 4—3 OESCA 结构 ROIC 试验芯片特征参数

探测器的界面电路	直接注入
电源电压	5V
阵列规模	64×64
像素尺寸	50×50μm <sup>2</sup>
输出摆幅	3.0V
电荷存储能力	10.37pC
最大读出速度	5-MHz
帧频	50-Hz
芯片尺寸	4.0×5.2-mm <sup>2</sup>
工艺	1.2-μm DPDM
功耗	15mW

图 4—2—12 示时间轴放大后的多行输出信号（饱和光照条件下，用列读出

级中的一组电荷放大器)。图中,开始的“低”电平输出没有信号输出时输出缓冲级的输出电压。当第一行像素中的信号电荷转移到列读出级的电荷放大器上后,列选信号一有效,缓冲输出级的输出电压即由“低”电平变为“饱和”电平。在串行输出第一行的 64 个信号后,第二行像素内的电荷转移到列读出级期间,输出缓冲级的输出由“饱和”电压降至某一低电平。

表 4-3 总结了  $64 \times 64$  OESCA 结构 ROIC 芯片的特征参数。图 4-2-13 给出了该芯片的版图,芯片尺寸(含压点)为  $4.0 \times 5.2\text{-mm}^2$ 。

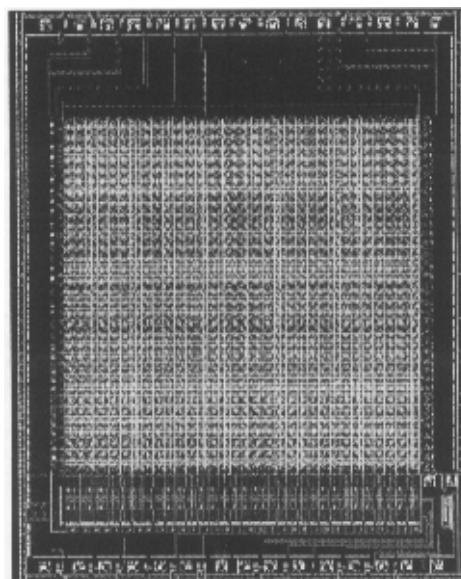


图 4-2-13  $64 \times 64$  OESCA 结构 ROIC 实验芯片版图

### 4.3 $64 \times 64$ OES 结构 ROIC 设计

在 DCA 结构的单元电路中(图 4-3-1),通过相邻 4 个单元电路共享阱的版图设计方法,并用 PMOS 管做复位管,既可保证像素内的积分电容足够大,又可避免复位电压的阈值损失,从而在一定程度上提高了 ROIC 的电荷处理能力。

如果把复位管移出单元电路,一方面可以在单元电路中省去阱和复位管所占的面积,进一步增大积分电容;另一方面可以减少出入单元电路的信号线的数目(如复位电压  $V_R$  和复位信号 RST 的连线),单元电路的布局连线会更容易,也可提高积分电容的面积,提高电荷存储能力。据此,我们提出了一种新的 ROIC

单元电路和读出结构——OES (Odd-Even Switching) 结构。

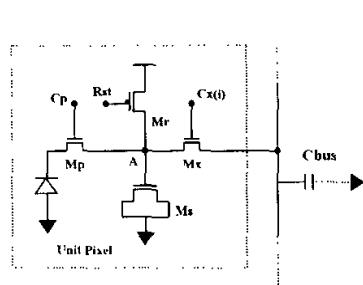


图 4-3-1 DCA 结构单元电路

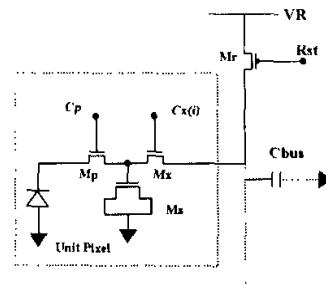


图 4-3-2 OES 结构单元电路

### 4.3.1 单元电路

图 4-3-2 示 OES 结构的单元电路。可以看到，改进后的像素单元由三个 NMOS 管构成， $M_r$  管被移至像素之外。这样在像素单元内部不用做阱，省掉一部分面积。更为重要的是，新的结构在布图时省掉了  $V_R$  和  $RST$  两条线，使得面积利用率进一步提高。而对像素积分结点的复位是通过列线上的  $M_r$  管和复位信号  $RST$  来完成的。

### 4.3.2 体系结构

图 4-3-3 给出了 OES 结构的体系结构。为方便起见，图中给出了四个像素  $(1,j)$ 、 $(2,j)$ 、 $(3,j)$ 、 $(4,j)$  的情形。在新的结构中，每一列由两条列线和两个电荷放大器组成。其中一条列线和一个电荷放大器用来对奇数行像素读出，另一条列线和另一个电荷放大器则用来对偶数行像素读出。

### 4.3.3 工作时序

图 4-3-4 示 OES 读出结构的工作时序。

$0 < t < t_1$  时，系统处于~初始状态，即假定系统以被复位。 $t = t_1$  时刻，积分控制信号  $C_p$  由  $0V$  升至  $V_{pol}$  ( $V_{pol} \approx V_T$ )，于是积分过程开始。 $t_1 < t < t_2$  时，光电流注入到每个像素内部，并以电压的形式存在于存储电容上。注入方式为直接注

入方式 (Direct Injection)。由于  $C_p$  信号同时作用于所有像素，所以实现了快闪功能 (Snapshot)。 $t = t_2$  时刻， $C_p$  由  $V_{pol}$  变为  $0V$ ，于是积分过程结束。

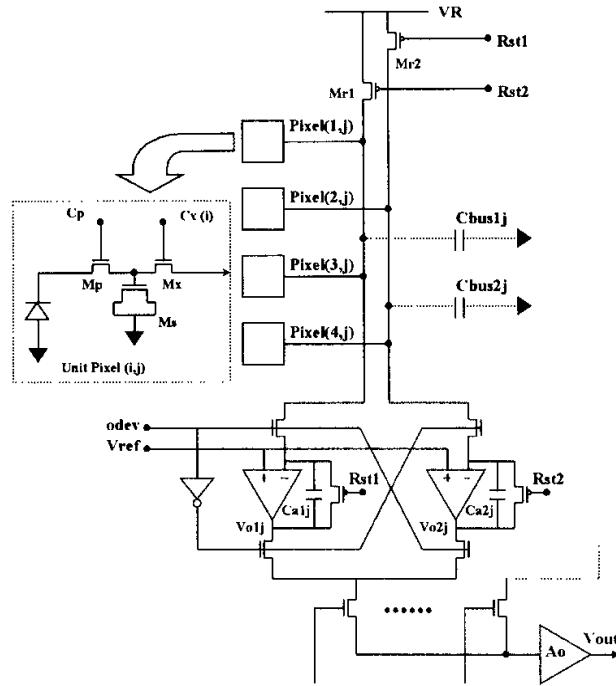


图 4-3-3 OES 结构电路图

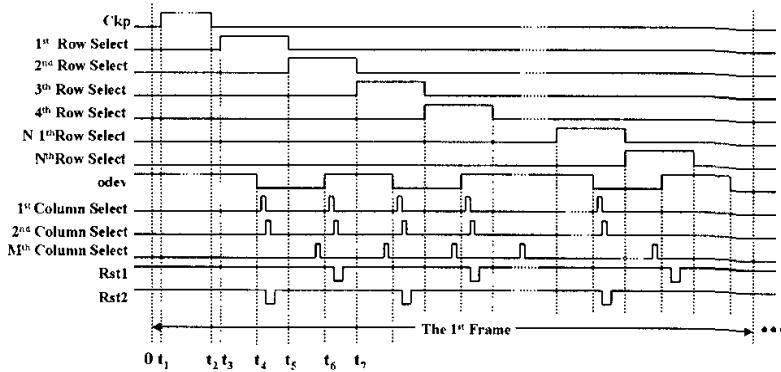


图 4-3-4 OES 结构工作时序

$t_2 < t < t_3$  时，时钟控制信号 ODEV 为高，以等待第一行信号的读出。 $t = t_3$

时刻,  $C_x(1)$  由低变为高, 从而选通第一行像素, 此时 ODEV 为高, 于是在第一行像素和各自所连的电荷放大器之间发生电荷转移。根据电荷守恒原理, 应该有:

$$V_o - V_{ref} = (Q_s + V_{ref} \times C_{int} - V_{dd} \times C_{int}) / C_a$$

其中  $V_o$  为电荷放大器的输出电压,  $Q_s$  为积分过程中注入的电荷,  $V_{ref}$  为参考电压, 接于运算放大器的正端输入。 $C_{int}$  为像素内积分电容,  $C_a$  为电荷放大器反馈电容。这样, 存储在第一行像素积分电容上的电荷信息便转移到相应的电荷放大器上。

$t = t_4$  时刻, ODEV 由高变为低, 这时已经存储了第一行像素单元电荷信息的电荷放大器开始逐列读出, 并送至输出缓冲, 这个读出过程直到  $t = t_6$  时刻方才结束。

$t_4 < t < t_5$  时, RST2 信号产生一个负脉冲, 对与偶数行相连的电荷放大器进行复位, 同时因为  $C_x(1)$  尚为高, 可以通过  $M_{r1}(j)$  与  $M_{a1}(1,j)$  对像素积分结点 Pixel(1,j) 进行复位。

$t = t_5$  时刻,  $C_x(2)$  由低变为高, 从而选通第二行像素, 此时 ODEV 为低, 于是在第二行像素和各自所连的电荷放大器之间发生电荷转移, 存储在第二行像素积分电容上的电荷信息便转移到相应的电荷放大器上。

$t = t_6$  时刻, ODEV 由低变为高, 第一行像素所连的电荷放大器的数据读出过程结束, 同时第二行像素所连的电荷放大器的数据读出过程开始。

$t_6 < t < t_7$  时, RST1 信号产生一个负脉冲, 对与奇数行相连的电荷放大器进行复位, 同时因为  $C_x(2)$  尚为高, 可以通过  $M_{r2}(j)$  与  $M_{a2}(2,j)$  对像素积分结点进行复位。

$t = t_7$  时刻,  $C_x(3)$  由低变为高, 从而选通第三行像素, 此时 ODEV 为低, 于是在第三行像素和各自所连的电荷放大器之间发生电荷转移, 存储在第三行像素积分电容上的电荷信息便转移到相应的电荷放大器上。

以下的过程与前所述完全类似, 在此不再赘述。

在上面所描述的过程中, ODEV 是非常关键的信号。它使得像素信号读入至电荷放大器的过程与电荷放大器的信号送出至输出缓冲的过程分开, 这样对电荷

放大器的复位和通过行选择管对像素积分结点的复位可以同时进行而互不干扰。

#### 4.3.4 复位电压的阈值损失和解决途径

值得注意的是，在 OES 结构中，对单元电路内部积分节点的复位是通过  $M_{rst}$  和  $Ma(i)$  来完成的。而 NMOS 管用来传输高电压会有一个阈值损失，因此积分节点在复位时不会到达  $V_{dd}$ ，而是比  $V_{dd}$  低一个阈值左右，这样会降低动态范围。更为严重的是，由于工艺的限制，像素阵列中的  $Ma(i,j)$  的阈值不会相等，因此，减去阈值电压后，各积分节点的电压不会相等，这便引入了所谓的固定图案噪声。

一种有效的解决方法是使得加在  $Ma(i,j)$  上的行选中信号的高电压不是  $V_{dd}$ ，而是比  $V_{dd}$  高出约一个阈值电压以上，这样对积分节点复位便可到达  $V_{dd}$ 。不仅保持了动态范围，而且消除了由于阈值偏差而引起的固定图案噪声。即，需要这样一个功能模块，它的输入是 0V 到  $V_{dd}$  的脉冲，输出是 0V 到  $V_{hh}$  的脉冲，其中  $V_{hh} > V_{dd} + V_T$ 。电荷泵电路能实现这种电平转换。

[82]给出了一种电荷泵电路，可产生较为理想的 0 到  $2V_{dd}$  的方波，但由于像素单元的中心距为  $50\mu m$ ，在这样小的面积内难以实现该电荷泵的物理布图。所以应该采用更为简单的结构。[83]给出了一种结构较简单的电荷泵电路结构，比较适于 OES 结构 ROIC 设计。图 4-3-5 给出了这种电荷泵电路的仿真波形，可以看出，输入 0 到  $V_{dd}$  (5 伏) 的方波能产生 0 到 7 伏的方波。

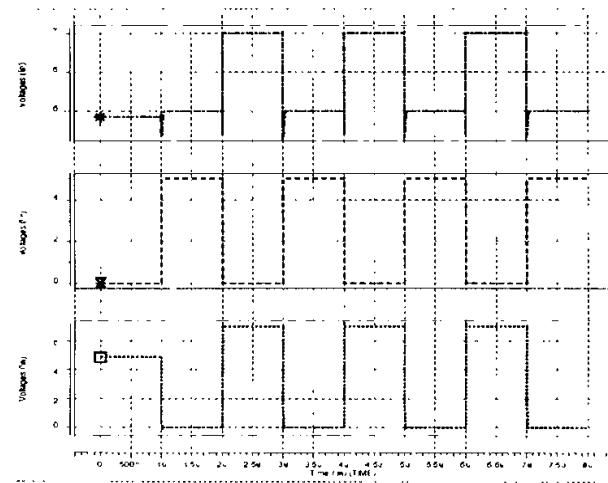


图 4-3-5 电荷泵电路的仿真波形

### 4.3.5 OES 结构的优点

与 DCA 结构和 OESCA 结构相比，OES 读出结构至少具有以下优点：

- (1) 像素单元结构进一步简化，从而提高了面积利用率和电荷存储能力。
- (2) 采用电荷泵技术可消除复位电压的阈值损失，提高电荷存储能力。
- (3) 对列运算放大器的速度要求大为降低，从而降低了列电荷放大器的静态功耗。
- (4) 阵列中的像素从复位到读出之间的时间间隔相等，从而抑制了由像素内寄生漏电流引起的固定图案噪声。

### 4.3.6 仿真结果

采用 1.2- $\mu\text{m}$  DPDM CMOS 工艺提供的器件参数，对一个  $4\times 4$  规模的 OES 结构 ROIC 进行了精确的 SPICE 仿真。在积分期间 ( $T_{\text{int}}=15\text{ms}$ )，积分节点的电压在不同光电流  $I_{\text{photo}}$  下随时间的变化如图 4-3-8 所示。由图看出，光电流不同时，积分节点电压随时间下降的斜率也不同，都有良好线性度。积分节点电压能被复位到 5.0V (电源电压为 5 伏)，与 DCA 结构相同；而 OESCA 结构中积分节点只能复位到 3.3 伏。因此，其电荷存储能力 (15.3 pC) 比 DCA 结构 (11.2 pC) 和 OESCA (10.37 pC) 结构都高。

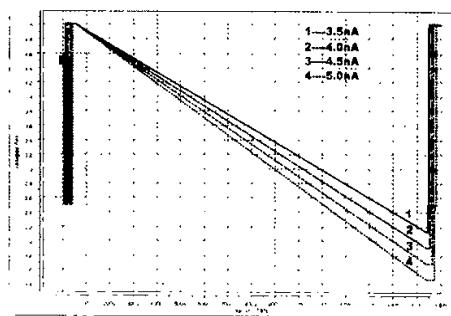


图 4-3-8 积分节点的电压随积分电流的变化

积分结束后，在读出期间列电荷放大器输出端的电压随光电流  $I_{\text{photo}}$  的不同而变化，如图 4-3-9 所示。由图看出，随光电流的线性增加或减少，列输出电压也线性增加或减少。

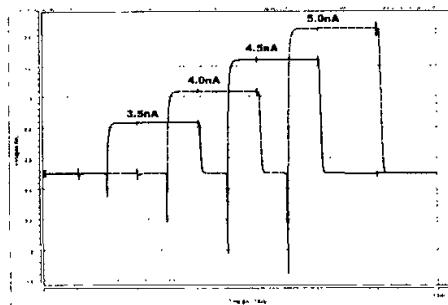


图 4-3-9 列电荷放大器的输出电压值与积分电流的关系

当列选信号有效时，列电荷放大器输出信号传递到输出缓冲运放的输出端。输出运放的性能是：在 5V 电源电压下，输出摆幅为 3.0V；在负载电容为 10pF 时，工作频率可达 5MHz。

表 4-4 总结了该 OES 结构的特征参数。目前该 ROIC 已完成版图设计，将流片测试。

表 4-4 64×64 OES 结构 ROIC 的特征参数	
探测器的界面电路	直接注入
电源电压	5V
阵列规模	64×64
像素尺寸	50×50μm <sup>2</sup>
输出摆幅	3.0V
电荷存储能力	15.3pC
积分时间	1.5ms
积分电容	3.56pF
最大读出速度	5-MHz
帧频	50-Hz
工艺	1.2-μm DPDM

## 本章小结

本章第一结介绍并分析了高电荷存储能力的 128×128 DCA 结构 ROIC。它的像素电路采用了特殊的版图设计并用 PMOS 管做复位管，既可保证像素内的

积分电容足够大，又可避免复位电压的阈值损失，从而提高了 ROIC 的电荷处理能力 ( $11.2\text{pC}$ )。由于像素电路简单，只有 4 个晶体管，且能有效抑止列线寄生电容  $C_{bus}$  的影响，因此该结构非常适用于像素尺寸非常小、焦平面阵列规模比较大的 ROIC。由仿真和测试结果知，随光电流的线性增加或减少，输出电压也线性增加或减少电压，有良好线性度；ROIC 有良好性能。

本章第二结介绍并分析了低功耗  $64 \times 64$  OESCA 结构。采用两个低功耗设计的电荷放大器做列读出级，分别用于奇偶行的读出，不但可有效消除列线寄生电容的影响，而且列读出级的功耗 ( $75\mu\text{W}$ ) 比 DCA 结构 ( $88\mu\text{W}$ ) 降低 15%；其单元电路非常简单，仅用三个 NMOS 管。因此 OESCA 新结构适于要求低功耗设计的大规模、小像素阵列焦平面 ROIC。由仿真和测试结果知，随光电流的线性增加或减少，输出电压也线性增加或减少电压，有良好线性度；ROIC 有良好性能。

本章第三结介绍并分析了低功耗、高电荷存储能力的  $64 \times 64$  OES 结构 ROIC。它继承了 DCA 结构和 OESCA 结构各自的优点，最大特点是把像素电路中的复位管移到像素外并采用电荷泵技术消除复位电压的阈值损失，极大地提高了 ROIC 的电荷存储能力（高达  $15.3\text{pC}$ ）。采用两个低功耗设计的电荷放大器做列读出级，分别用于奇偶行的读出，不但可有效消除列线寄生电容的影响，而且列读出级的功耗比 DCA 结构降低 15%。每个像素积分节点的信号从复位到读出之间的时间间隔是相等的，有效抑制了由像素内寄生漏电流引起的固定图案噪声。因此，该结构适合超大规模、小像素、低功耗 ROIC 设计。由仿真结果知，随光电流的线性增加或减少，输出电压也线性增加或减少电压，有良好线性度；ROIC 有良好性能。

## 第五章 线阵 $4 \times N$ TDI ROIC 设计

由 2.4.2 节的分析知，扫描型红外热成像系统为逐行成像。采用单线阵红外焦平面组件并行扫描成像时，要延长探测器“凝视”景物的时间（积分时间），提高信噪比，就需要降低线频率。采用多线阵红外焦平面组件进行串并扫描成像时，能在不降低线频率的情况下延长积分时间，提高信噪比  $\sqrt{N}$  倍（ $N$  为串扫方向探测器个数）[84]，因此，多线阵红外焦平面组件在高性能红外热成像中有重要应用。

在扫描成像过程中，多线阵红外焦平面组件要对图像的每个像素、在不同时间段内进行多次积分，并要把每次积分得到的子信号累加为总信号，这种功能被称为时间延迟积分（TDI—Time Delay Integration）功能[85-87]。因此，多线阵红外焦平面组件的 ROIC 不但要完成信号积分、读出等功能，还要完成 TDI 功能（子信号的存储和累加），其设计相对较复杂。

具有 TDI 功能的扫描型红外热成像系统在高背景应用中更为重要。这是因为，在高背景应用时，背景信号很大，要同时完成背景和目标信号的积分，积分电容（或势阱）容易饱和，致使积分时间不能太长，从而影响信噪比。若采用 TDI 扫描成像方式，既可有效延长积分时间，又可避免高背景饱和的困扰。

通常 CCD ROIC 易于实现电荷信号的转移和累加，早期具有 TDI 功能的 ROIC 都采用 CCD 工艺设计[88-90]。但 CCD ROIC 无法实现在片偏置和时钟产生功能，需要用户提供大量时钟驱动信号；为了得到较高的电荷转移效率，时钟驱动信号的电压一般在十几伏到几十伏之间。而且，CCD ROIC 无法在焦平面上实现更多必须的信号处理功能（如缺陷像素剔除功能）。因此，人们把目光转向 CCD/CMOS 混合工艺和 CMOS 工艺来实现 ROIC。CCD/CMOS 混合工艺实现的 ROIC[91-93]，结合了 CCD 和 CMOS 各自的优点，但工艺过程复杂，制备成本高，且集成密度较低。

与此相比，采用 CMOS 工艺设计 ROIC，能在焦平面上集成强大的信号处理功能、简化用户界面、降低功耗和成本、提高集成度，因此，虽然仍存在 CCD TDI ROIC[94-95]，但最新的 TDI ROIC 已采用先进的 CMOS 工艺设计，它不但信号

处理功能强大，而且性能也已超过 CCD TDI ROIC[94-95]。

TDI ROIC 一般至少具备时间延迟积分功能、缺陷像素剔除功能[96-97]和读出功能。高性能的 TDI ROIC 还应具备如下功能或特性[62]:

- (1) 用户界面简单，用户只需提供主时钟和少量控制信号即可工作；
- (2) 工作模式高度可编程；
- (3) 积分时间可调；
- (4) 增益分级调节功能；
- (5) 提供串/并两种数据接口。
- (6) 微扫描功能；
- (7) 双向扫描功能；
- (8) 背景撇除功能；
- (9) 全芯片测试功能（每个探测器的性能均可单独测试）；
- (10) 数据输出速率高；
- (11) 抗晕；

由此可见，TDI ROIC 可显著提高焦平面组件的性能、成品率和适用范围，但其设计难度较大；不同国家和公司之间的市场竞争也比较激烈；更重要的是，TDI 扫描型红外热成像系统属高性能红外热成像系统，在军事领域有重要的应用。基于这些原因，公开发表的文献都只提及所设计的 TDI ROIC 芯片的测试结果，普遍回避具体的电路结构。

在这种情况下，根据实际需求，基于  $1.2\mu\text{m}$  标准 CMOS 工艺，我们提出了一种 TDI ROIC 低功耗新结构，并基于该结构设计完成一个  $4 \times N$  TDI ROIC。该 ROIC 具有 TDI 功能、微扫描功能、双向扫描功能、缺陷像素剔除功能、增益分级调节功能、全芯片测试功能；其用户界面简单，工作模式高度可编程，提供串/并两种接口电路，积分时间用户可调，抗晕。

在相同探测器性能和相同扫描频率下，该  $4 \times N$  TDI ROIC 可显著提高红外焦平面组件的性能、成品率和适用范围，表现在如下 5 个方面：

- (1) TDI 功能使焦平面组件的信噪比提高 2 倍。
- (2) 微扫描功能使图像空间分辨率提高 3 倍，使探测器间距不必太小，从而降低了探测器阵列的加工难度和成本，并提高成品率。

(3) 增益分级调整功能, 使同一红外焦平面组件适用于不同强度的辐照背景下, 扩大了适用范围。

(4) 双向扫描功能使成像效率提高 1 倍, 并提高了图像的刷新频率。

(5) 缺陷像素剔除功能显著提高了焦平面的性能 (如 NETD) 和成品率。

下面将首先简介线阵 TDI 组件的成像过程和拓扑结构, 然后给出 TDI ROIC 新结构实现的各种功能的含义、体系结构、工作时序以及仿真结果, 最后给出本章小结。

## 5.1 扫描成像过程和光敏区域的拓扑结构

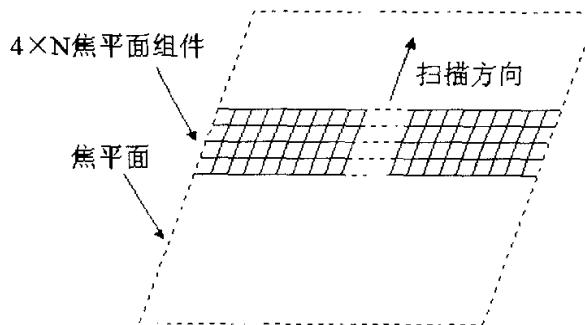


图 5-1  $4 \times N$  焦平面组件成像过程示意图

图 5-1 为  $4 \times N$  TDI 红外焦平面组件的成像过程示意。该组件垂直于光轴, 被固定放置在光学系统的焦平面 (像平面) 上。光学系统匀速摆动, 使得景物图像匀速扫过焦平面组件; 在此过程中, 图像每个像素对应的红外辐射由探测器实现光电转换, 由 ROIC 实现每个像素信号的处理和读出。这样, 通过扫描, 得到整个视场的图像。每一列被称为一个信号通道, 简称为信道 (channel)。

ROIC 的光敏区域 (即探测器阵列) 的拓扑结构为奇偶列交错分离结构。与常规整拓扑结构相比, 采用这种奇偶列交错分离结构, 可使 ROIC 单元电路的面积扩大一倍, 从而在单元电路实现高性能但结构稍复杂的电路结构, 也可扩大积分电容面积, 提高信号存储能力。奇列区和偶列区之间留出一定区域, 一方面方便了单元电路的布局布线, 另一方面, 部分特定功能的电路模块也可在此区域中实现。

景物图像扫过这种奇偶列交错分离结构时, 图像的每行像素中, 奇列像素的

信号先从 ROIC 输出，经过若干帧的延迟后，偶列像素的信号才读出。延迟时间  $T_{delay}$  为：

$$T_{delay} = \frac{D + 3Y + y}{S} \times T_{frame}$$

式中，D 为奇列光敏区和偶列光敏区之间的间距；Y 为串扫方向探测器间距；y 为单个探测器的光敏区域在串扫方向的长度；S 为扫描步长，即景物图像一个帧周期内在扫描方向移动的距离； $T_{frame}$  为帧周期。

ROIC 的下游信号处理电路将完成这种特定延迟的调整，使得输出到显示器的各像素信号为同一帧的图像信号。

## 5.2 ROIC 实现的功能

### 5.2.1 TDI 功能

根据图 5-1 所示，在扫描成像过程中，景物图像的每个像素都会依次扫过 4 个探测器。这样，在不同帧周期中，景物图像的每个像素都经历了 4 次积分，这种功能被称为时间延迟积分功能。由于信号有相关性，经过 4 次时间延迟积分后，信号量为单个积分子信号的简单叠加，即  $4 \times Q_{signal}$  ( $Q_{signal}$  为经一个探测器积分后的子信号量)。由于噪声的不相关特性，噪声信号为  $\sqrt{4} \times Q_{noise}$  ( $Q_{noise}$  为经一个探测器积分后的噪声信号)。这样，具有 4 级 TDI 功能的 ROIC 可把信噪比提高 2 倍。

由于对应每个图像像素的总的信号量是由 4 个子信号叠加得到，且这 4 个子信号是在不同帧周期中得到，因此，TDI 功能的 ROIC 必须完成子信号存储和信号累加两种功能。

### 5.2.2 微扫描功能

在扫描成像过程中，扫描步长可以取串扫方向探测器中心距，也可取其 M 分之一 (M 为整数)。后者可以对图像做“细致”扫描，图像的空间分辨率 (即热成像系统的 Modulation Transfer Function) 可提高 M 倍，这种功能称为微扫描。

功能 (subscanning)，又称为超级取样功能 (supersampling)。微扫描功能使得每个信道需存储的信号数目增多。假如扫描步长等于串扫方向探测器中心距的  $M$  分之一 ( $M$  为整数)，则每个信道需处理的信号量由原来的 4 个增加为  $(2+3 \times M)$  个。

微扫描功能提高了图像空间分辨率，使探测器间距不必太小，降低了探测器阵列的加工难度和成本，并提高了成品率。但这是以增加每个信道电路结构的复杂度、增大功耗和面积换来的。

### 5.2.3 双向扫描功能

有些 TDI 红外焦平面组件只能在 Y 方向扫描过程中成像（见图 5-1），在回扫 (-Y 方向) 过程中不可成像；有些则在两个方向上均可成像。在两个扫描方向上均可成像的功能称为双向扫描功能。与单向扫描红外热成像系统相比，双向扫描热成像系统可显著提高图像的成像效率和刷新频率，但其 ROIC 设计必须增加双向扫描控制电路，使扫描方向发生改变时，保证了信号的存储和累加时序正确。

### 5.2.4 缺陷像素剔除功能

高性能红外热成像系统需要高性能的探测器，影响探测器性能和价格的一个重要因素是缺陷像素的数目。因工艺原因，加工出的红外焦平面组件中，总有一些探元的 NETD 等性能严重偏离平均值，而被确认为缺陷像素。产生缺陷像素的主要原因是探测器材料的晶格缺陷或探测器与 ROIC 间的电连接失效。工艺进步可减少缺陷像素的个数，但完全消除几乎是不大可能的[61-62]。

缺陷像素的存在会决定整个信道的性能，导致该信道成为缺陷信道，从而影响组件的性能和成品率。假设每个像素的失效几率与其它像素无关，则  $4 \times N$  TDI 焦平面组件的信道失效几率为  $1 \times N$  焦平面组件的 4 倍。

为了提高组件性能，采用电学方式剔除这些缺陷像素是必要的。当焦平面的某一列中存在若干缺陷像素，只要不全为缺陷像素，就可通过信号补偿技术，得到该列正确的输出信号。通常的办法是在 ROIC 上设计一个  $4 \times N$  规模的 SRAM，用于存储描述缺陷像素分布的数据表格。SRAM 的每一列对应一个 TDI 信道，

每个 SRAM 单元对应一个像素，该 SRAM 单元的值为“1”表示该像素良好，为“0”表示该像素为缺陷像素。用这种标识方式，使缺陷像素产生的子信号被屏蔽掉，不参与累加过程，这就剔除了缺陷像素，称这种功能为缺陷像素剔除功能（DED—Defective Element Deselection）。

由于缺陷像素对应的子信号不参与累加过程，因此，累加后的总信号量不再总是 4 个子信号的和，每个信道需要根据该信道缺陷像素的数目，对累加后的信号进行补偿。如果一列中有 1 个缺陷像素，则只有 3 个子信号参与累加，累加后的结果需要乘以  $4/3$ ；如果一列中有 2 个缺陷像素，则只有 2 个子信号参与累加，累加后的结果需要乘以 2；如果一列中有 3 个缺陷像素，则只有 1 个子信号参与累加，累加后的结果需要乘以 4。每个信道信号补偿的数值（增益）由对应该列的 4 个 SRAM 单元存储的值决定。

描述缺陷像素分布的数据表格由组件生产者根据每个像素单独检测的结果确定，并提供给组件使用者。当 ROIC 加电时，首先把该数据表格写入到 ROIC 的 SRAM 中，这样 ROIC 才能正常工作。

[62]比较了采用 DED 和不采用 DED 对整个通道 NETD 的影响，结果显示，DED 对提高每个通道的 NETD 性能有非常重要的意义。对  $1 \times N$  焦平面组件而言，若焦平面的某一列的像素失效，则该列对应的图像信号异常。而对  $4 \times N$  焦平面组件而言，若 ROIC 具有 DED 功能，即使焦平面的某个信道存在若干缺陷像素，但只要不全为缺陷像素，仍可得到正确的输出信号；其列失效率仅为  $1 \times N$  焦平面的  $1/4$ （假设每个像素的失效几率与其它像素无关）。因此，DED 功能可提高组件性能和成品率。

## 5.2.5 增益分级调节功能

增益分级调整功能是指[98, page 139]：在不同应用背景下，ROIC 输入信号的变化范围很大。若 ROIC 的增益不能调节，则在大输入信号时，输出信号可能饱和；在小输入信号时，输出信号可能很小。因此，当输入信号小时，希望 ROIC 的信号增益较大；反之，增益降低，使输出电平不饱和。这就是增益分级调节功能。通过改变增益值，可使得同一红外热成像系统适用与不同的应用背景下，扩大了适用范围。

### 5.3 ROIC 的体系结构

图 5—2 为  $4 \times N$  TDI ROIC 的原理框图。下面分别介绍各电路模块的功能和电路结构。

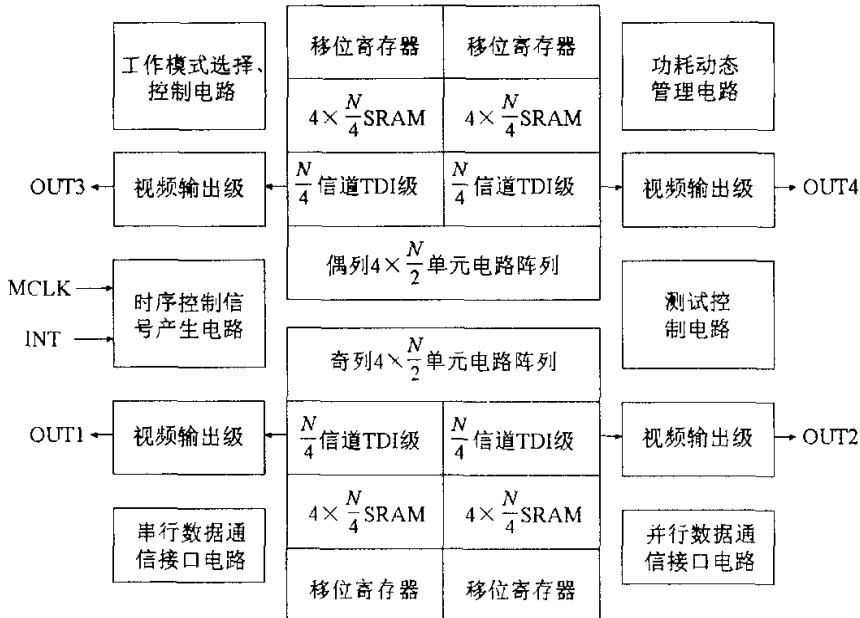


图 5—2  $4 \times N$  TDI ROIC 体系结构图

图中，每一列为一个信道，每个信道包括 4 个单元电路，一个 TDI 级、4 个 SRAM 存储单元和 1 个移位寄存器。 $N$  个信道被分成两部分：奇列的  $N/2$  个和偶列的  $N/2$  个信道。每  $N/2$  个信道又各被分成 2 部分，每部分由  $N/4$  个信道组成，每  $N/4$  个信道共享一个视频输出级。

除这  $N$  个信道和 4 个并行视频输出级外，还有时序控制信号产生电路、串行接口电路、并行接口电路、测试电路、功耗动态管理电路和工作模式选择控制电路。

采用 CMOS 工艺可使单元电路与 TDI 级从物理上分开，使 TDI 级的面积不再受限于像素尺寸。这样可同时保证较高的像素密度和电路密度，并可分别优化单元电路和 TDI 级。由于 TDI 级的面积不受限制，CCD 中阱饱和问题得到彻底解决。这样做也并不会增加电路版图设计的复杂度。

下面分别说明各电路模块的功能和电路实现。

### 5.3.1 单元电路

ROIC 的单元电路采用直接注入型单元电路，如图 5-3 示。

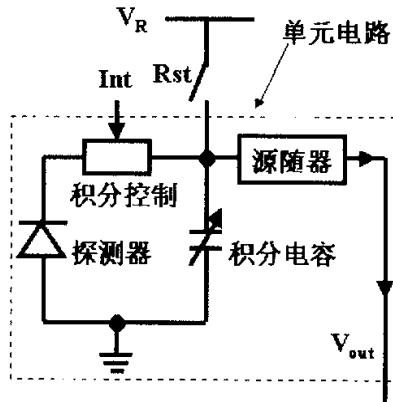


图 5-3 ROIC 的单元电路

在单元电路中，探测器是反向偏置的光电二极管，其反向电流随辐照强度的变化而线性变化（理想情况下）。通过积分控制器件，探测器与积分电容连在一起。在积分开始前，通过 Rst 信号，先把积分电容复位到  $V_R$  电压。在积分期间，流过探测器的电流有信号电流和背景电流，电容上电压线性下降（理想情况下）。积分结束后，该信号电压通过源随器被读出到列处理级。因此，单元电路实现了信号积分和存储功能。

在单元电路中还实现了增益分级调整功能。用户可根据应用背景，通过 ROIC 的串口写入控制字来设置 ROIC 的增益值，也可通过并口直接控制 ROIC 的增益。ROIC 根据用户提供的控制数据，改变积分电容的大小。在流过探测器的电流和积分时间相同的条件下，积分电容变大则积分结束后像素输出的电压信号小；反之，则输出信号大。这就实现了增益分级调整功能。

单元电路中的积分控制管的设计比较重要，需要设计合理的宽长比，提高跨导，增加注入效率，从而提高 ROIC 的信噪比。另一方面，合理设计积分控制管的宽长比，还可优化探测器的偏置电压，使其不随积分节点电压的变化而变化，提高 ROIC 的线性度。探测器的偏置电压由 Int 信号的高电平值决定，调节该电平可改变探测器的偏置电压。

该单元电路有抗晕特性。积分开始后，光生电子和背景电子一起不断注入到积分电容，使得积分电容的电压不断下降。当信号电流过大或积分时间过长时，

积分电容上的电压降到一定值后，积分控制管由饱和区进入线性区，探测器的偏置电压将不仅仅受 Int 高电平控制，还与积分节点电压有关；最终的偏置电压会使得流过探测器的总电流为零，称这种情况为“饱和”（被积分的电荷量太大）。单元电路进入“饱和”状态后，探测器的偏置稳定且使得不再有电荷向积分电容积累，这样，该像素单元的信号值不会影响邻近像素的信号值，因此，有抗晕特性。

要实现 4 级增益分级调整功能，单元电路需要 3 个增益选择信号，这会增加单元电路布局布线的难度。另一方面，对积分电容复位时，为了消除复位电压的阈值损失，复位管应选择 PMOS 管。对 N 阵 CMOS 工艺，PMOS 复位管需要在 N 阵中实现，N 阵会占去相当宝贵的像素面积，使得积分电容减小，从而降低 ROIC 的电荷处理能力，影响 ROIC 的性能。为了在有限的像素面积中得到较大的积分电容，提高 ROIC 的电荷存储能力，采用 MOS 电容做积分电容。

为了进一步提高电荷存储能力，我们提出了一种新的单元电路结构——复位管移至像素外的单元电路。把复位管移至像素外，一方面增大了积分电容，提高了 ROIC 的电荷存储能力和信噪比，另一方面，把复位信号线 Rst 也移至像素外，减轻了单元电路布局布线的难度。当然，复位电压需要通过一段信号线（金属线）送到像素的积分电容上，考虑到该金属线带来的寄生电容  $C_{rst}$ 。实际的积分电容变为  $(C_{int} + C_p)$ 。如果同列各像素的寄生电容  $C_p$  不同，则会带来像素间的不一致性，这是一种固定图案噪声。通过细致的版图设计，可以抑制这种积分电容不一致性带来的固定图案噪声。

用源随器读出信号时，源随器的衬偏效应是影响 ROIC 线性度的主要因素。当采用 N 阵 CMOS 工艺且源随管为 NMOS 管时，由于衬底接地，源随管存在衬偏效应。阈值电压  $V_t$  不再为恒值，而是随输入电压的变化而变化，使得  $V_{in}$  变化  $\Delta V$  时， $V_{out}$  的变化不再等于  $\Delta V$ 。仿真证明，在这时 ROIC 的非线性度为 2.27%，且产生非线性的主要根源是单元电路中源随器的衬偏效应[13]。采用 PMOS 管做源随管可以消除衬偏效应（如图 5-4 所示），提高线性度；但 PMOS 源随管需要单做一个 N 阵，像素内的其它 PMOS 管并不能共享该 PMOS 源随管的 N 阵。阱会占去像素很多宝贵面积，使得积分电容大大减小，影响 ROIC 的电荷存储能力和动态范围，这在本设计中是不可接受的。因此，我们仍选择 NMOS 管

做源随管。在本设计中，线性度和电荷处理能力这两个参数必须同时考虑。

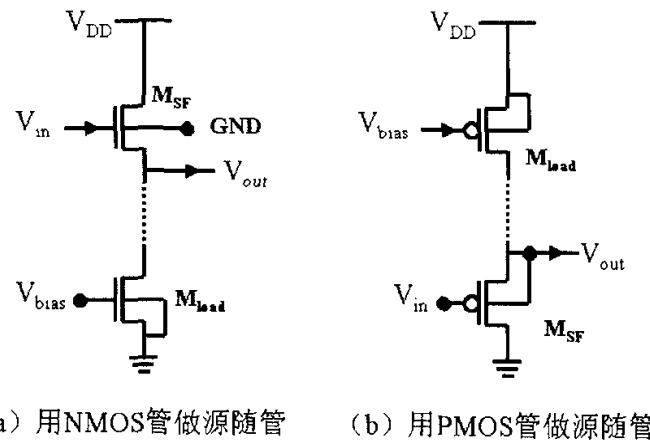


图 5-4 源随器带来的衬偏效应

### 5.3.2 TDI 级

积分结束后，积分节点的电压信号通过源随器输出到 TDI 级，进行存储和累加。对应每个图像像素的电信号（称为子信号）被全部累加并补偿后得到该列的输出信号。

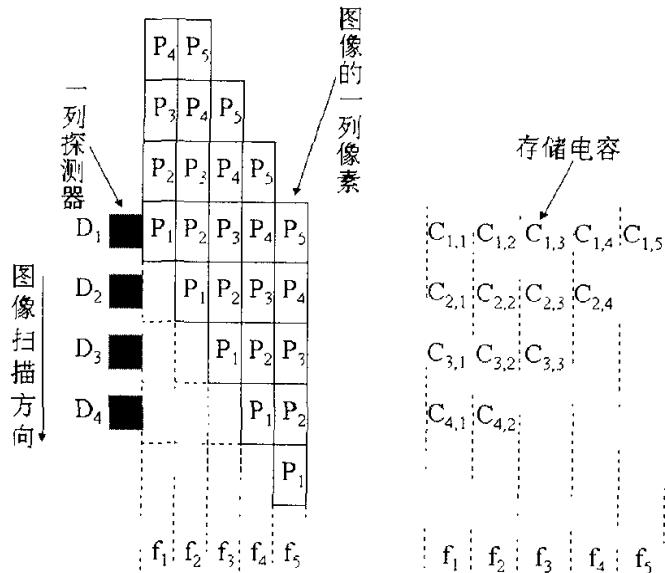


图 5-5 存储累加方案的扫描过程示意图

根据子信号累加方式的不同，TDI 功能的实现有两种方案，即存储累加方案

和即时累加方案。下面的讨论先不考虑微扫描功能，即假设扫描步长等于探测器中心距。存储累加方案的电路实现方法如图 5-5 所示。对应每个图像像素的 4 个子信号分别被存储在不同的存储单元中；等这 4 个子信号都具备后，再通过累加电路，实现 4 个子信号的累加，得到总的信号。这种方案中，每个信道需要 14 个存储单元和 1 个累加器。

下面结合图 5-5，详细描述存储累加方案的全过程。图 5-5 中， $D_1-D_4$  为一列探测器， $P_1-P_5$  为图像的一列像素。

(1) 在第  $f_1$  帧内： $P_1$  首先进入探测器  $D_1$  的“视场”，在本帧内完成信号积分，得到的子信号被存储在  $C_{1,1}$  中。

(2) 在第  $f_2$  帧内： $P_1$  进入探测器  $D_2$  的“视场”，积分后的子信号被存储在  $C_{2,1}$  中。 $P_2$  进入探测器  $D_1$  的“视场”，积分的子信号被存储在  $C_{1,2}$  中。

(3) 在第  $f_3$  帧内： $P_1$  进入探测器  $D_3$  的“视场”，积分后的子信号被存储在  $C_{3,1}$  中。 $P_2$  进入探测器  $D_2$  的“视场”，积分的子信号被存储在  $C_{2,2}$  中。 $P_3$  进入探测器  $D_1$  的“视场”，积分的子信号被存储在  $C_{1,3}$  中。

(4) 在第  $f_4$  帧内： $P_1$  进入探测器  $D_4$  的“视场”，积分后的子信号被存储在  $C_{4,1}$  中；至此， $P_1$  已经依次扫过 4 个探测器，得到了 4 个子信号，并分别被存储在  $C_{1,1}$ 、 $C_{2,1}$ 、 $C_{3,1}$ 、 $C_{4,1}$  中。 $P_2$  进入探测器  $D_3$  的“视场”，积分的子信号被存储在  $C_{3,2}$  中。 $P_3$  进入探测器  $D_2$  的“视场”，积分的子信号被存储在  $C_{2,3}$  中。 $P_4$  进入探测器  $D_1$  的“视场”，积分的子信号被存储在  $C_{1,4}$  中。

(5) 在第  $f_5$  帧内：完成  $P_1$  所对应的 4 个子信号的累加和输出；累加、输出后， $C_{1,1}$ 、 $C_{2,1}$ 、 $C_{3,1}$ 、 $C_{4,1}$  即空出，从下一帧开始，将被用于存储  $P_6$  所对应的 4 个子信号。 $P_2$  进入探测器  $D_4$  的“视场”，积分的子信号被存储在  $C_{4,2}$  中。 $P_3$  进入探测器  $D_3$  的“视场”，积分的子信号被存储在  $C_{3,3}$  中。 $P_4$  进入探测器  $D_2$  的“视场”，积分的子信号被存储在  $C_{2,4}$  中。 $P_5$  进入探测器  $D_1$  的“视场”，积分的子信号被存储在  $C_{1,5}$  中。

图 5-6 为存储累加方案每个信道的电路原理图。图中左侧为一列中的 4 个单元电路，在该单元电路中实现信号积分和读出功能。在开关控制下，单元电路的输出信号被送到虚线内的相应的存储电容中。当某个图像像素对应的 4 个子信号都准备好后，子信号被送到累加器实现累加。在列选控制信号  $C_{sel,j}$  作用下，

不同信道的输出信号（即累加器的输出信号）从输出端串行输出。

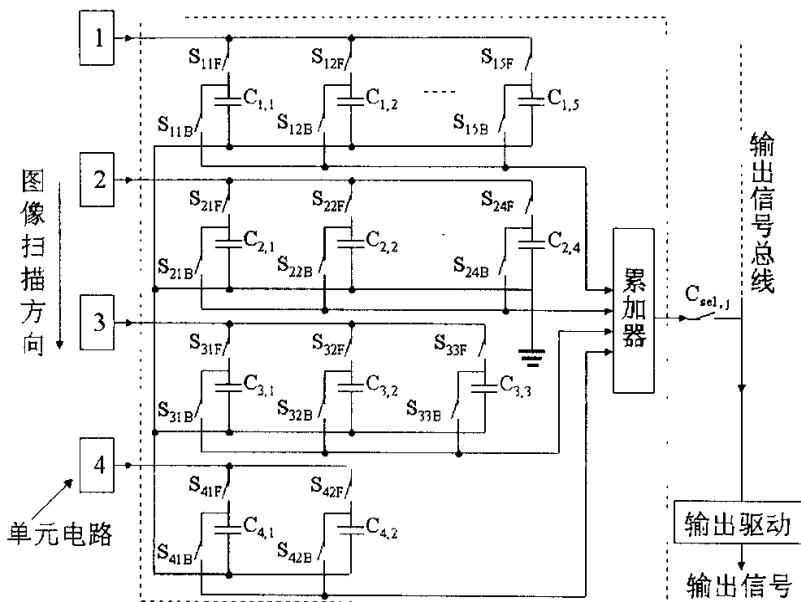


图 5-6 存储累加方案的电路原理图

与存储累加方案相比，即时累加方案就不同了。即时累加方案的过程如下（参见图 5-5 和图 5-7）：

- (1) 在第  $f_1$  帧内： $P_1$  首先进入探测器  $D_1$  的“视场”，在本帧内完成信号积分，得到的子信号被存储在累加器 1 上存储。
- (2) 在第  $f_2$  帧内： $P_1$  进入探测器  $D_2$  的“视场”，积分后的子信号被送到累加器 1 上，与第一个子信号累加并把累加结果存储在该累加器上。 $P_2$  进入探测器  $D_1$  的“视场”，积分的子信号被存储在累加器 2 上存储。
- (3) 在第  $f_3$  帧内： $P_1$  进入探测器  $D_3$  的“视场”，积分后的子信号被送到累加器 1 上，与保存的结果累加并把累加后的新结果存储在该累加器上。 $P_2$  进入探测器  $D_2$  的“视场”，积分的子信号被送到累加器 2 上，实现累加、存储。 $P_3$  进入探测器  $D_1$  的“视场”，积分的子信号被存储在累加器 3 上存储。
- (4) 在第  $f_4$  帧内： $P_1$  进入探测器  $D_4$  的“视场”，积分后的子信号被送到累加器 1 上，与保存的结果累加并把累加后的新结果存储在该累加器上；至此， $P_1$  已经依次扫过 4 个探测器，得到了 4 个子信号，并实现了子信号的累加。 $P_2$  进入探测器  $D_3$  的“视场”，积分的子信号被送到累加器 2 上，实现累加、存储。 $P_3$

进入探测器  $D_2$  的“视场”，积分的子信号被送到累加器 3 上，实现累加、存储。 $P_4$  进入探测器  $D_1$  的“视场”，积分的子信号被送到累加器 4 上存储。

(5) 在第  $f_5$  帧内：输出累加器 1 上的信号；输出后，累加器 1 空出，从下一帧开始，将被用于累加、存储  $P_6$  所对应的 4 个子信号。 $P_2$  进入探测器  $D_4$  的“视场”，积分的子信号被送到累加器 2 上，实现累加、存储。 $P_3$  进入探测器  $D_3$  的“视场”，积分的子信号被送到累加器 3 上，实现累加、存储。 $P_4$  进入探测器  $D_2$  的“视场”，积分的子信号被送到累加器 4 上，实现累加、存储。 $P_5$  进入探测器  $D_1$  的“视场”，积分的子信号被送到累加器 5 上存储。

显然，即时累加方案需要 5 个累加器，累加器既完成信号累加功能，又完成累加结果的存储功能。

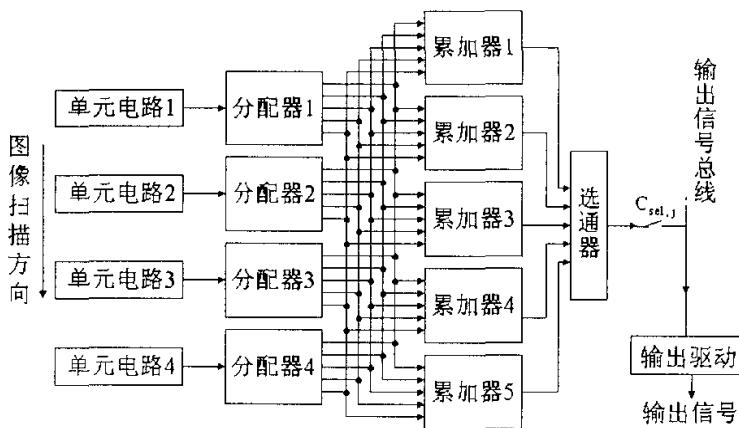


图 5-7 即时累加方案的电路原理图

TDI 级的功率主要由累加器消耗掉。即时累加方案电路简单，实现 TDI 功能所需的控制时钟也比较少，但需要 5 个累加器，功耗较高。存储累加方案中有大量存储电容，并需要大量的控制时钟来完成 TDI 功能，但只需一个累加器，因此，功耗较低。从低功耗设计考虑，我们选择了存储累加方案。

如果进一步考虑微扫描功能，TDI 级的电路结构会变得更复杂。假设扫描步长等于扫描方向探测器中心距的  $M$  分之一 ( $M$  为整数)，则每个信道需处理的信号量由原来的 4 个增加为  $(2+3 \times M)$  个。当  $M=1$  时，存储累加方案的每个信道需要 14 个存储单元和 1 个累加器；即时存储方案的每个信道需要 5 个累加器。当  $M=3$  时，即时存储方案的每个信道需要 11 个累加器。存储累加方案的每个信道就需要 26 个存储单元和 1 个累加器；这 26 个存储电容被分成 4 组，分别含

有 11 个(A 组)、8 个(B 组)、5 个(C 组)和 2 个(D 组)存储电容。对应每个图像像素的 4 个子信号中，第 1 个子信号被送到 A 组保存，第 2 个子信号被送到 B 组保存，第 3 个子信号被送到 C 组保存，第 4 个子信号被送到 D 组保存。因此，微扫描功能增加了 TDI 级的电路规模和面积。

图 5-8 为多个信道的立体结构图。像素的输出信号首先经过双向扫描控制电路，到达信号存储电路，在相应时钟控制下进行信号累加，并根据 4 个 SRAM 的值进行自动信号补偿，得到该信道的输出信号。列选信号产生电路产生列选信号；在列选信号作用下，多个信道的输出信号从视频输出级串行输出。

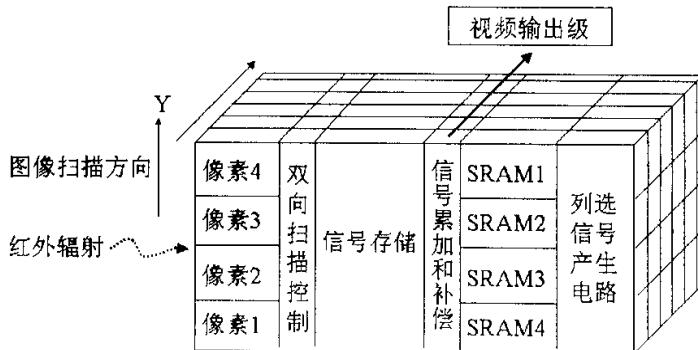


图 5-8 TDI 处理电路的立体结构图

下面介绍双向扫描控制电路的实现方法。

前述，子信号存储电路由 26 个电容组成，分为 A、B、C 和 D 四组。在沿 Y 方向扫描时，图像的像素首先进入第 1 个探元的视场，然后依次进入第 2 个探元、第 3 个探元、第 4 个探元的视场。单元电路 1 的输出信号被送到 A 组保存，单元电路 2 的输出信号被送到 B 组保存，单元电路 3 的输出信号被送到 C 组保存，单元电路 4 的输出信号被送到 D 组保存。这些输出信号是在许多写入开关信号的控制下存入相应的电容上。当对应某个图像单元电路的 4 个子信号都被保存下来后，再在读出开关信号的控制下送到累加和补偿电路，完成累加操作。

在沿-Y 方向扫描时，图像的像素首先进入第 4 个探元的视场，然后依次进入第 3 个探元、第 2 个探元、第 1 个探元的视场。通过控制单元电路输出信号的传输方向，单元电路 4 的输出信号被送到 A 组保存，单元电路 3 的输出信号被送到 B 组保存，单元电路 2 的输出信号被送到 C 组保存，单元电路 1 的输出信号被送到 D 组保存。这样，在不必改变几十个开关控制信号时序的情况下，即

可实现 TDI 功能。

因此，双向扫描控制电路就是在双向控制信号 DIR 控制下，改变单元电路输出信号的流向，实现双向扫描功能。这种实现方法非常简单，最大优点是不需要改变几十个开关控制信号的时序。

### 5.3.3 视频输出级

视频输出级完成信道信号的高速串行输出。ROIC 中有 4 个视频输出级并行工作。当片外负载为  $10\text{pF}$ （并联  $1\text{M}\Omega$  电阻）时，每个视频输出级的数据输出速率最大为  $5\text{M}$ ，典型值为  $4\text{M}$ 。它采用了高电源电压抑制比、高驱动能力的对称折叠级联 OPA[99, page 629]，如图 5-9 所示，用来驱动片外负载。

在  $5\text{V}$  的电源电压下能提供大于  $3\text{V}$  的输出摆幅。由于视频输出级必须以比较高的数据输出速率驱动一个大的电缆电容，因此，ROIC 的大部分功率由最后的视频输出级消耗掉。在保证信号建立时间的前提下，减小视频输出级的功耗也是我们的设计目标。

图 5-9 中， $M_{11}$  和  $M_{12}$  为级联管，使补偿电容  $C_c$  与输出管  $M_{14}$  的栅端分开，可以提高  $\text{PSRR}^+$ 。输出级采用了 Class AB 形式，输入级更为对称，有利于提高  $\text{CMRR}$  和降低失调电压。作为输出缓冲使用时，只需将输入连至  $V_{ip}$ ，将输出连至  $V_{in}$  即可。其性能列于表 5-1。

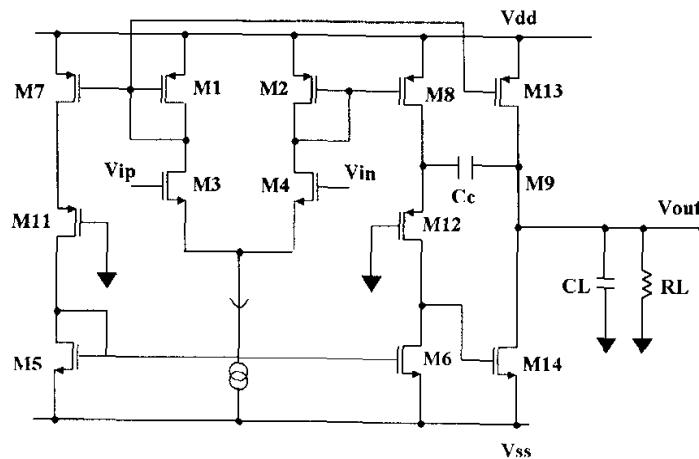


图 5-9 视频输出级电路图

表 5-1

$C_L$ (pF)	10
$R_L$ (KΩ)	1000
$A_{V0}$ (dB)	87.6
GBW (MHz)	13.8
PM	72°
$SR^+$ (V/μS)	30.5
$SR^-$ (V/μS)	28.7
Power (mW)	3.5
Output Swing (V)	4.0

### 5.3.4 列选信号产生电路

列选产生信号由移位寄存器产生。移位寄存器采用带上拉管的半动态结构，在主时钟控制下，依次产生每列所需的列选信号。移位寄存器的启动信号 Start 和所需的两相时钟由时序控制信号产生电路产生。当每组信道的信号都输出完毕后，移位寄存器给出本帧的输出结束标识信号 End。

### 5.3.5 SRAM

为了实现缺陷像素剔除功能，对应每个信道有 4 个 SRAM 单元，用于标识该信道 4 个探元是否是缺陷像素。在 ROIC 芯片加电时，通过串行接口，向 SRAM 写入描述缺陷像素分布的数据表格；写入后每个 SRAM 单元只需一直输出一个“高”或“低”信号电压到 TDI 级；TDI 级根据每个信道的 4 个 SRAM 单元提供的 4 个信号电压，实现缺陷像素剔除和信号补偿。另外，希望 SRAM 单元功耗低，面积小。这是对 ROIC 中 SRAM 的设计要求。

根据这些设计要求，我们采用了图 5-10 所示的低功耗 SRAM 单元。图中，in 为数据写入端，out 为数据输出端，A 为地址选通信号。它是在单位线 SRAM

存储单元结构[100, page221]的基础上引入泻流管 M1 和 M2，以加快数据的写入时间。如果没有 M1 和 M2，则在写入时只通过 in 信号线对双稳态电路中的一个节点充电（或放电），另一个节点的放电（或充电）只能靠反相器中 NMOS 管（或 PMOS 管）提供的微小电流泻放，因此将极大延长写入时间。引进 M1 和 M2 管后，电流泻放可同时通过 M1 和 M2 进行，数据写入时间缩短。

缩短写入时间，可降低写入过程中 SRAM 单元的动态功耗。仿真证明：加入 M1 和 M2 管后，SRAM 单元的写入过程平均功耗仅为传统单位线 SRAM 单元写入过程平均功耗的 25%。采用 CMOS 双稳态电路保存数据，既可以消除直流功耗，又可保证单元所存储信号的稳定，使提供给 TDI 级的电压输出信号稳定可靠。

SRAM 阵列的地址译码电路采用多米诺 8 与非逻辑门实现[100, page147]。对应每个信道的地址译码电路，在结构上完全相同，比较规整，有利于版图设计。

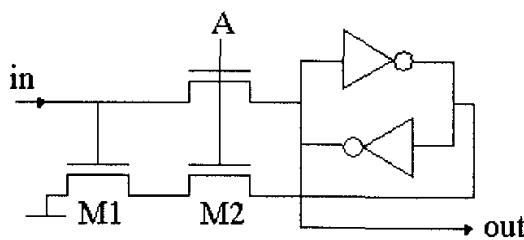


图 5-10 SRAM 单元电路

### 5.3.6 串/并接口电路

ROIC 芯片的工作模式高度可编程，如增益分级可调、双向 TDI 扫描和缺陷像素剔除。这些编程操作所需要的控制信号（或控制字）需要通过 ROIC 的接口电路提供。为了方便用户使用，ROIC 提供了两种接口电路：串口和并口。通过并行数据接口，可直接控制 ROIC 的增益分级调整、双向扫描和测试。通过串行数据接口，除传输增益分级调整、双向扫描和测试控制字外，还可传输缺陷像素剔除功能所需要的 SRAM 的数据和地址。究竟是采用串口控制还是采用并口控制，取决于用户提供的一个外部控制端口选择信号。

串行接口电路采用两级流水线电路结构，每一级由寄存器堆构成。第一级寄存器堆在主时钟控制下，实现串行输入数据的上载、移位和存储。第二级寄存器

堆在主时钟控制下，完成控制字的生效和 SRAM 数据的写入。

与串行接口电路相比，并行接口电路较简单，寄存器堆在当前帧完成控制字的上载，并在下一帧开始时生效。

### 5.3.7 内部时钟信号产生电路

ROIC 要实现 TDI、微扫描、双向扫描、缺陷像素剔除、增益分级调节和全芯片测试等多种功能，需要 90 多个内部时钟控制信号的控制。但从用户角度看，ROIC 只需一个主时钟 MCLK 和积分控制信号 INT，即可按缺省模式工作。众多的时钟控制信号是由内部时钟信号产生电路，根据 MCLK 和 INT 产生。因此，用户界面比较简洁。

MCLK 的频率一般在 3—5MHz 之间。内部时序和逻辑操作由该主时钟同步。积分控制信号 INT 与主时钟同步，用于启动一帧的开始。内部时钟信号产生电路的核心是一个 8 位计数器，该计数器在 MCLK 控制下，状态发生改变。组合逻辑电路根据计数器的状态，产生出所需要的几十个内部时钟控制信号。

内部时钟控制信号由主时钟产生，则不论主时钟频率是否变化，内部时序操作都能正确。主时钟和积分控制信号还要与扫描系统以及双向扫描控制时钟 DIR 同步。

### 5.3.8 功耗动态管理电路

降低 ROIC 的电功耗，可降低制冷机的热负载，从而降低制冷功耗，对降低整个热成像系统的功耗有重要意义。此外，降低 ROIC 功耗还可减少探测器的暗电流和 ROIC 的噪声。因此，一般都希望 ROIC 的功耗越低越好。目前，比较先进的 ROIC 设计均采用了功耗动态管理机制[2]。

为了实现 ROIC 的低功耗设计，我们也采用了功耗动态管理机制。这部分功能由功耗动态管理电路完成。该电路产生的控制信号被送到功耗较大的电路模块，用于控制这些电路模块的功耗。只有在这些电路模块需要工作时才分配给功率；一定时间内不需要工作时，控制信号使它完全处于“休眠”状态，功耗为零。这样许多电路模块的静态功耗被节省下来。

在满足数据输出速率的前提下，我们还采用了并行操作技术以降低每个信道

累加器的功耗。我们把共享一个视频输出级的各个信道分为 A、B 两组，两组的子信号累加补偿和读出并行进行。当 A 组信道的信号串行输出时，B 组信道的信号进行子信号累加和补偿；当 A 组信道的信号进行子信号累加和补偿时，B 组信道的信号串行输出。这种并行操作降低了对累加器建立时间的要求，使累加器的功耗显著降低。由于每列都有一个累加器，因此，这种低功耗设计对降低整个 ROIC 的功耗起到重要作用。

为了降低每个信道 4 个单元电路中源随器的静态功耗，我们通过功耗动态管理电路给出的控制信号，控制源随器支路的功耗。只有当单元电路信号需要转移到 TDI 级时，才使该支路有电流，其他时候使这些支路处于完全截至状态，实现了低功耗设计。由于每个信道有 4 个源随器支路，且每帧中需要有支路电流的时段仅占整个帧周期的约 5%，因此，对源随器的功耗实行动态管理，大大节约了每个信道的功耗。

4 个视频输出级的功耗约占整个 ROIC 功耗的 30%，优越高性能、低功耗的视频输出级的电路结构对降低整个 ROIC 的功耗也有重要贡献。为此，我们选择了低功耗、高电源电压抑制比、高驱动能力的对称折叠级联 OPA，在 5.4.3 节中已述及，此不赘述。

仿真证明：采用功耗动态管理机制、并行操作技术、存储累加方案以及优选低功耗视频输出级等策略后，ROIC 的功耗下降了 13mW，仅为 48mW，ROIC 实现了低功耗设计。

### 5.3.9 工作模式编程控制电路

ROIC 有两种工作模式：扫描成像模式和测试模式，扫描成像模式分为 Y 方向扫描和 -Y 方向扫描两种。工作模式的选择由工作模式编程控制电路根据用户提供的控制信号来实现。

### 5.3.10 测试电路

对 ROIC 和组件进行测试，得到翔实的测试数据，是 ROIC 优化设计的重要依据。在实现 ROIC 所需功能的同时，我们加入了测试电路，测试电路覆盖了所有故障点，实现了 ROIC 的可测性设计。

测试时，先通过工作模式编程控制电路，使 ROIC 进入测试模式。然后通过测试电路， $4 \times N$  阵列的每个像素都可单独接受测试，进行性能评估。测试电路包括：在单元电路中加入一个 NMOS 管，其栅电压用户可调，用于模拟光电二极管的特性，进行 ROIC 的电测试；在 TDI 级加入了测试控制电路，在它的控制下，单元电路的输出信号可不经过延迟累加操作，直接经增益电路进行 4 倍增益后，由视频输出级输出。单元电路输出信号之所以要进行 4 倍增益，是为了充分利用视频输出级的电压动态范围。

## 5.4 工作时序

ROIC 的工作时序分为如下几部分：每个信道的 4 个单元电路同时开始积分过程，积分结束后，单元电路的输出信号被转移到 TDI 级中相应的存储单元中保存下来。在积分的同时，上一帧中已经扫过 4 个探测器的图像像素对应的 4 个子信号都已齐备，这时进行累加和补偿；累加结束后，总信号在累加器的输出端建立起来；在列选控制信号作用下串行输出。

在 5.4.8 节述及：为了放松对累加器建立时间的要求以实现累加器的低功耗设计，我们采用了分组并行操作技术。这种并行操作降低了对累加器信号建立时间的要求，使累加器可以以较低的功耗工作。这种低功耗设计使 TDI 级的时序控制信号增加近一倍。因此，它是以增加内部时钟信号产生电路的复杂度为代价换来的，但这么做在本设计中是值得的。

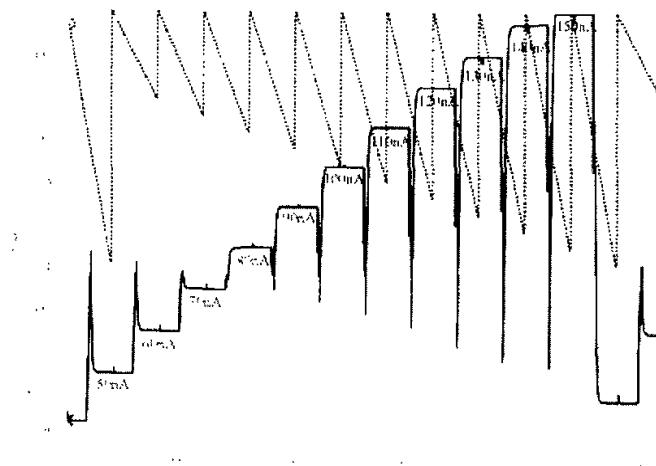


图 5-11 积分节点电压和信道输出电压与信号电流的关系

## 5.5 仿真结果

采用  $1.2\text{-}\mu\text{m}$  双硅双铝标准 CMOS 工艺，对我们设计的  $4\times 4$  规模的 TDI ROIC 进行了精确的 SPICE 仿真。在积分期间，积分节点的电压在不同光电流  $I_{\text{photo}}$  下（从  $50\text{nA}$  到  $150\text{nA}$ ，以  $10\text{nA}$  增幅递增）随时间的变化如图 5-11 中虚线部分所示。由图看出，在积分节点复位期间，积分节点电压可被复位到  $5\text{V}$ （电源电压为  $5$  伏时），从而增加了电荷存储能力。光电流不同时，积分节点的电压随时间下降的斜率也不同，都有良好线性度。

与积分过程同时进行的是每个信道输出信号的串行读出，信道的输出电压信号随信号电流的变化如图 5-11 中实线所示。由图看出，随信号电流的线性增加或减少， $V_{\text{out}}$  也线性增加或减少；输出信号的线性动态范围  $2.8$  伏（从  $1.7\text{V}$  到  $4.5\text{V}$ ）。

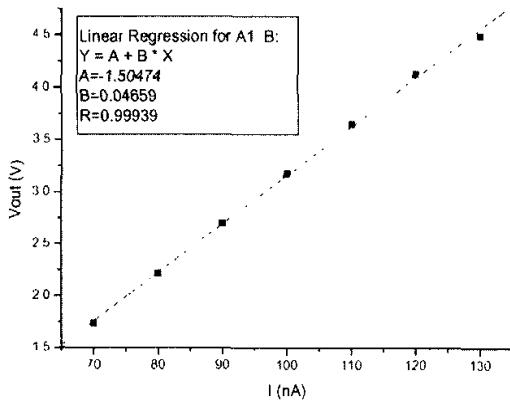


图 5-12 线性输出动态范围（1.7-4.5）内最佳线性拟合曲线

根据仿真得到的信号电流和输出电压的数据对：(130nA, 4.4891V), (120nA, 4.1237V), (110nA, 3.6484V), (100nA, 3.1752V), (90nA, 2.6978V), (80nA, 2.2143V), (70nA, 1.7306V)。根据这些数据点，进行最佳线性拟合，得到线性输出动态范围内，ROIC 的非线性度为  $2.27\%$ 。图 5-12 为最佳线性拟合曲线。

减小线性输出动态范围可提高 ROIC 的线性度。图 5-13 为输出电压在 1.7-4.2 范围内时最佳线性拟合曲线。在此范围内，ROIC 的非线性降为  $0.22\%$ 。前述，非线性主要由单元电路中源随管的衬偏效应引起。[13]也采用了源随器读

出方式，其仿真得到的非线性度在 0.9%—2.04%之间。

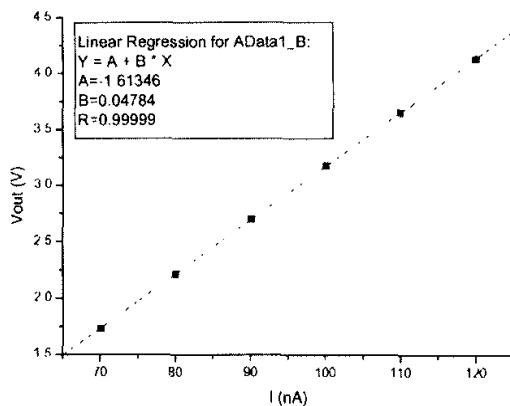


图 5—13 1.7-4.2 线性输出动态范围内的最佳线性拟合曲线

由于我们采用了多种低功耗设计技术，在满足数据输出速率的前提下，每个信道（含 4 个单元电路和 TDI 级）的功耗仅为  $98\mu\text{W}$ 。每个视频输出级的功耗为  $3.5\text{mW}$ ，因此，ROIC 中模拟电路部分的功耗为  $43\text{mW}$  左右。数字电路部分的功耗约  $5\text{mW}$ ，其中 4 个移位寄存器组的平均功耗为  $2\text{mW}$ ，其他数字电路部分为  $3\text{mW}$ 。这样，整个 ROIC 的功耗为  $48\text{mW}$ 。

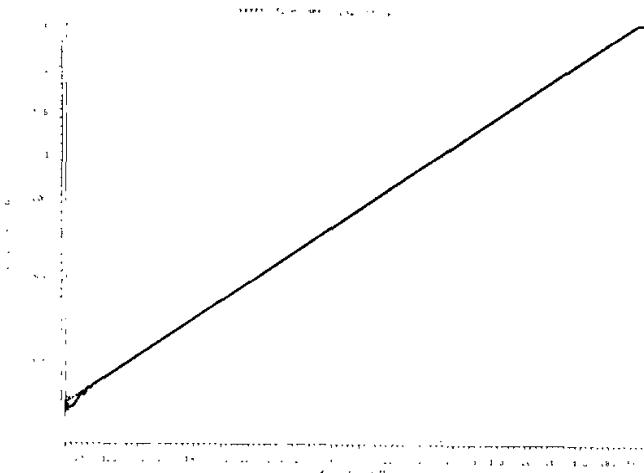


图 5—14 视频输出级的输出摆幅

对视频输出级的输出摆幅进行仿真（如图 5—14），得到其输出摆幅可达  $4.0\text{V}$ 。在加入  $1\text{V}$  阶跃跳变激励信号后，输出端的信号在  $108\text{ns}$  时误差为  $0.1\%$ ，如图 5—15 示。仿真发现，当列选信号有效时，累加器的输出端与视频输出级的

输入端相连，这时观察到：不但视频输出端的输出信号呈现衰减振荡，累计器的输出信号也呈现衰减振荡，因此，输出信号的建立时间不单单由视频输出级的建立时间决定，还与累加器的建立时间有关。据此，我们对累加器和视频输出级进行综合优化，使得输出信号能在所需的建立时间内稳定到误差范围内（ $<0.1\%$ ）。

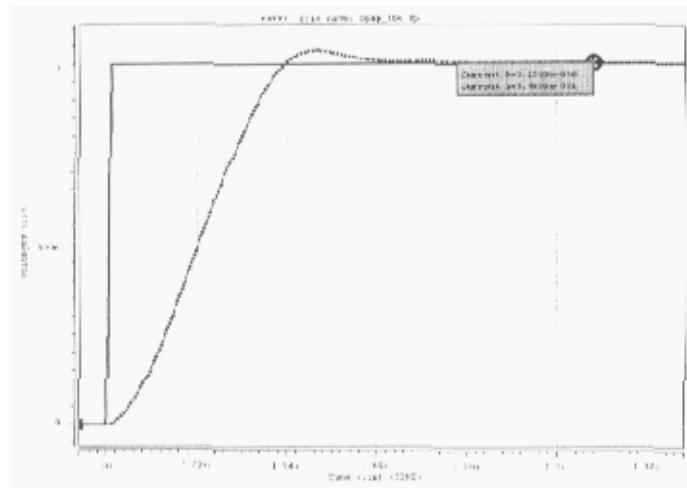


图 5-15 视频输出级的建立时间 (1V 阶跃激励信号)

图 5-16 示 ROIC 的增益分级调整功能。由图可见，在相同信号电流下，低增益时输出电压较小；高增益时输出电压变大，实现了增益分级调整功能，扩大了组件的使用范围。

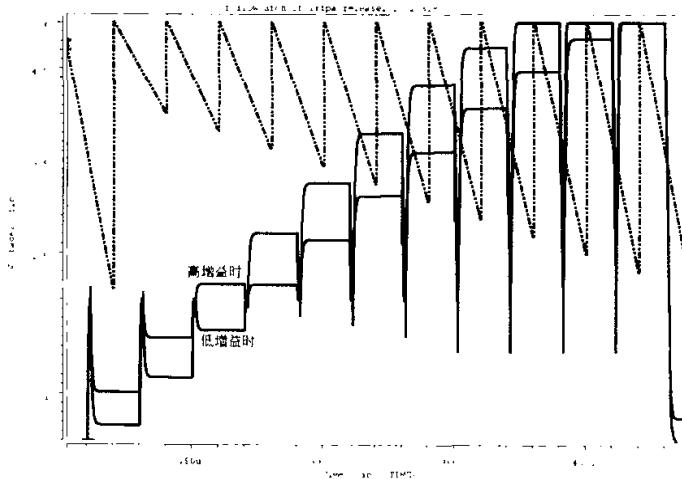


图 5-16 ROIC 的增益分级调整功能

图 5-17 示 ROIC 的缺陷像素剔除和信号增益补偿功能。图中虚线输出电压波形对应信道有缺陷像素且不进行信号补偿情形，实线输出电压波形对应信道有

缺陷像素并进行缺陷像素剔除和信号补偿情形。可以看出，缺陷像素剔除和信号自动增益补偿功能使信道输出电压为正常值。该功能可减少缺陷信道个数，提高组件的成品率。

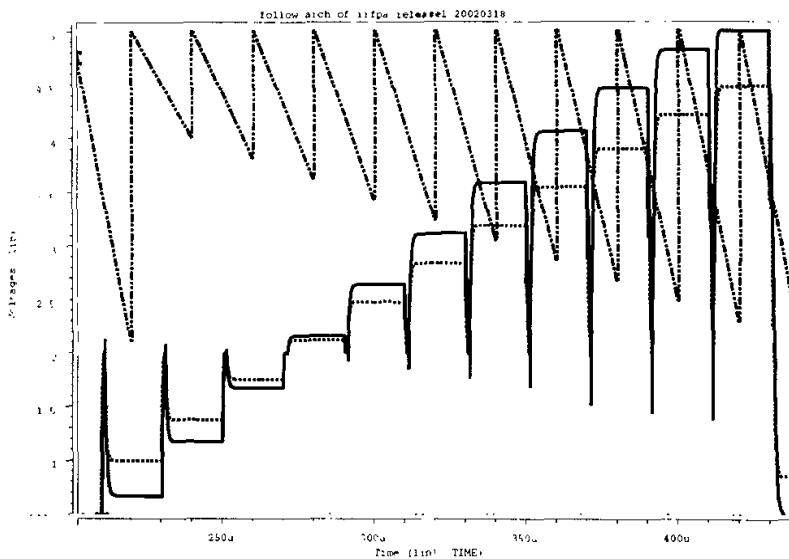


图 5-17 ROIC 的缺陷像素剔除和信号增益补偿功能

表 5-2 总结了该 $4 \times N$  TDI ROIC 的特征参数。目前该 ROIC 正进行版图设计，并将流片测试。

表 5-2 $4 \times N$ TDI ROIC 的特征参数	
探测器的界面电路	直接注入
电源电压	5V
信道 TDI 级数	4
线性输出动态范围	2.8V
输出端口数	4 (并行输出)
数据输出速率	典型 4MHz, 最高 5MHz
典型积分时间	20μs
非线性度	2.27% (1.7-4.2V 间为 0.22%)
工艺	1.2-μm DPM
功耗	48mW

## 本章小结

本章介绍并分析了一个 TDI 线阵 ROIC 低功耗新结构。基于该结构和  $1.2\mu\text{m}$  标准 CMOS 工艺，我们根据实际需求，设计完成一个  $4 \times N$  规模 TDI ROIC。该 ROIC 的单元电路采用直接注入方式，源随器读出，并实现了增益分级调整功能，使同一红外焦平面组件适用于不同强度的辐照背景下，扩大了适用范围。ROIC 的 TDI 级采用了低功耗的存储累加机制完成了 TDI 功能，使焦平面组件的信噪比提高 2 倍；通过双向扫描控制电路，实现了双向扫描控制功能，使成像效率提高 1 倍，并提高了图像刷新频率；用  $4 \times N$  规模 SRAM 存储描述缺陷像素分布的数据表格，使 ROIC 具有缺陷像素剔除和信号补偿功能，提高了焦平面的性能和成品率。通过增加电路设计的复杂度，ROIC 还实现了微扫描功能，使图像空间分辨率提高 3 倍，这使得探测器间距不必太小，从而降低了探测器阵列的加工难度和成本，并提高成品率。此外，该 ROIC 还实现了全芯片测试功能，能对每个像素进行单独测试。而且， $4 \times N$  TDI ROIC 的工作模式高度可编程；积分时间用户可调；抗晕；用户界面简洁并提供了串/并两种数据接口。

对该 TDI ROIC 进行了精确的 SPICE 仿真。采用功耗动态管理机制、存储累加方案、并行操作技术和优选低功耗视频输出级等低功耗策略，使 ROIC 的功耗降低了  $13\text{mW}$ ，仅为  $48\text{mW}$ ；采用 4 端口并行读出方式，单个输出端口的数据输出速率高达  $5\text{MHz}$ ，线性输出动态范围 2.8 伏；非线性度性能优越，仅为  $0.5\%$ 。仿真结果证明：该 TDI ROIC 能实现实际需要提出的各种功能，且性能优越。

# 第六章 结论和继续进行的研究

## 6.1 结论

红外焦平面组件是红外热成像系统的核心部件。该组件由红外探测器阵列和 ROIC 集成在一起构成。ROIC 是影响组件性能和功能的重要因素。

本文在 ROIC 设计领域取得 4 项创新性研究成果，其中 3 项是针对面阵快照型 ROIC 设计，1 项是针对线阵扫描型 ROIC 设计。具体如下：

1、针对电荷存储能力指标对单元电路进行改进，提出了一种面阵 ROIC 新读出结构——DCA（Direct-injection Charge Amplifier）结构。

本文 4.1 节介绍并分析了这种高电荷存储能力的 ROIC 新读出结构。其创新点在于：单元电路采用相邻像素共享阱的版图设计技术并用 PMOS 管做积分节点的复位管，既可保证像素内积分电容足够大，又可避免复位电压的阈值损失，从而提高了 ROIC 的电荷处理能力。采用电荷放大器做读出级，能有效抑止列线寄生电容  $C_{bus}$  的影响。基于该结构设计了  $128 \times 128$  规模 ROIC 并完成了流片测试，测试结果显示：该 ROIC 的电荷存储能力为  $11.2\text{pC}$ ，比 OESCA 结构( $10.37\text{pC}$ )提高了 8%；随光电流的线性增加或减少，输出电压也线性增加或减少电压，有良好线性度，适用于大规模、小像素 ROIC 设计。

2、在 SCA（Snapshot Charge Amplifier）结构的基础上，针对功耗指标，对列读出级电路结构进行改进，提出了一种面阵 ROIC 低功耗新结构——OESCA（Odd-Even Snapshot Charge Amplifier）结构。

本文 4.2 节介绍并分析了该结构。它采用两个低功耗设计的电荷放大器做列读出级，分别用于奇偶行的读出，不但可有效消除列线寄生电容的影响，而且列读出级的功耗 ( $75\mu\text{W}$ ) 比 DCA 结构 ( $88\mu\text{W}$ ) 降低 15%，并提高了 ROIC 的读出速度；其单元电路非常简单，仅用三个 NMOS 管。基于该结构设计了  $64 \times 64$  规模 ROIC 并完成了流片测试。测试结果显示：实验芯片的电荷存储能力为  $10.37\text{pC}$ ，功耗  $15\text{mW}$ （含探测器阵列功耗）；随光电流的线性增加或减少，输出电压也线性增加或减少电压，有良好线性度；该结构有良好性能，适用于低功耗、大规模、小像素 ROIC 设计。

3、提出了一种低功耗、高电荷存储能力的面阵 ROIC 新结构——OES (Odd-Even Switching) 结构。

该结构继承了 DCA 结构和 OESCA 结构各自的优点，本文 4.3 章介绍并分析这种低功耗、高电荷存储能力新结构。其创新点在于：把单元电路中的复位管移到像素外，并采用电荷泵技术消除复位电压的阈值损失，极大地提高了 ROIC 的电荷存储能力。采用该结构设计了  $64 \times 64$  规模 ROIC，其电荷存储能力高达  $15.3\text{pC}$ ；采用两个低功耗设计的电荷放大器做列读出级，分别用于奇偶行的读出，不但可有效消除列线寄生电容的影响，而且列读出级的功耗比 DCA 结构降低 15%；每个像素积分节点的信号从复位到读出之间的时间间隔相等，有效抑制了由像素内寄生漏电流引起的固定图案噪声。仿真结果显示：随光电流的线性增加或减少，输出电压也线性增加或减少电压，有良好线性度；该结构性能优越，适用于超大规模、低功耗、小像素 ROIC 设计。

4、提出一种具有时间延迟积分 (TDI—Time Delay Integration) 功能的线阵 ROIC 低功耗新结构。

本文第六章介绍并分析了这种 TDI 线阵 ROIC 低功耗新结构。其创性点在于：该结构实现了 TDI 功能、增益分级调整功能、双向扫描功能、缺陷像素剔除功能、微扫描功能和全芯片测试功能；采用存储累加方案、功耗动态管理机制、并行操作技术和优选低功耗视频输出级电路结构，实现了 ROIC 的低功耗设计。

基于该结构和  $1.2\mu\text{m}$  标准 CMOS 工艺，我们根据实际需求，设计完成一个  $4 \times N$  规模 TDI ROIC。该 ROIC 的单元电路采用直接注入方式，源随器读出，并实现了增益分级调整功能，使同一红外焦平面组件适用于不同强度的辐照背景下，扩大了适用范围。ROIC 的 TDI 级采用了低功耗的存储累加机制完成了 TDI 功能，使焦平面组件的信噪比提高 2 倍；通过双向扫描控制电路，实现了双向扫描控制功能，使成像效率提高 1 倍，并提高了图像刷新频率；用  $4 \times N$  规模 SRAM 存储描述缺陷像素分布的数据表格，使 ROIC 具有缺陷像素剔除和信号补偿功能，提高了焦平面的性能和成品率。通过增加电路设计的复杂度，ROIC 还实现了微扫描功能，使图像空间分辨率提高 3 倍，这使得探测器间距不必太小，从而降低了探测器阵列的加工难度和成本，并提高成品率。此外，该 ROIC 还实现了全芯片测试功能，能对每个像素进行单独测试。而且， $4 \times N$  TDI ROIC 的工作模

式高度可编程；积分时间用户可调；抗晕；用户界面简洁并提供了串/并两种数据接口。

对该 TDI ROIC 进行了精确的 SPICE 仿真。采用功耗动态管理机制、存储累加方案、并行操作技术和优选低功耗视频输出级等低功耗策略，使 ROIC 的功耗降低了 13mW，仅为 48mW；采用 4 端口并行读出方式，单个输出端口的数据输出速率高达 5MHz，线性输出动态范围 2.8 伏；非线性度性能优越，仅为 0.22%（1.7-4.2 输出电压范围内）。仿真结果证明：该 TDI ROIC 能实现实际需要提出的各种功能，且性能优越。

## 6.2 继续进行的研究

ROIC 是典型的以模拟为主的数模混合专用集成电路，在红外热成像系统和红外光谱分析系统中有重要用途。经多年努力，我们在 ROIC 设计研究领域已取得一定成果；并针对实际需求，提出了几个有创新性的 ROIC 新结构。根据这些结构分别设计了试验芯片。经仿真验证或测试分析，这些 ROIC 在功能上与国外研究水平相当，有些性能指标（如电荷存储能力、线性输出动态范围等）优于国外同类产品；有些性能指标则需进一步提高（如读出噪声）。我们将针对已设计完成的 ROIC，在低噪声、低功耗、可靠性、健壮性方面开展深入优化设计研究，以提高其性能。

高性能 ROIC 设计是没有止境的。ROIC 设计中有很多具有挑战性的研究课题，如，低噪声、低功耗、低温 ROIC 的优化设计技术，ROIC 的健壮性、可靠性和可测性设计技术，百万像素级 ROIC 设计技术，ROIC 中 OPA 设计技术，非制冷焦平面用 ROIC 设计技术等。这些都是我们非常感兴趣的研究领域。我们将根据实际需求，开展相关研究。

## 参考文献

- [1] Matthew Erdtmann, "Gallium indium arsenide/indium phosphide quantum well infrared photodetectors on silicon substrate for low-cost focal plane arrays," a doctor's dissertation of Northwestern University, Evanston Illinois, USA, 2001
- [2] Leonard Chen, et al., "Overview of advances in high performance ROIC designs for use with IRFPAs," SPIE Vol.4028, page 124-138, 2000
- [3] William J. Mandl, "Advances in on focal plane A/D with low power optical readout," SPIE Vol.3379, page 473-481, 1998
- [4] Boyd Fowler, et al., "Techniques for pixel level analog to digital conversion," SPIE Vol.3360, page 2-12, 1998
- [5] K. O. Boltar, et al., "IR imager based on  $128 \times 128$  HgCdTe staring focal plane array," SPIE Vol.3819, page 92-95, 1999
- [6] Suyog D. Deshpande, et al., "IRST system: hardware implementation issues," SPIE Vol.3701, page 131-142, 1999
- [7] N. F. Koshchavtsev, et al., "Present status and perspectives of development of night vision devices," SPIE Vol.3819, page 82-84, 1999
- [8] Theodore R. Hoelter, et al., "Flexible high performance IR camera systems," SPIE Vol.3698, page 837-846, 1999
- [9] Donald A. Reago, et al., "Third generation imaging sensor system concepts," SPIE Vol.3701, page 108-117, 1999
- [10] Christopher R. Baxter, "On-chip signal processing configuration for focal plane arrays," SPIE Vol.3698, page 726-735, 1999
- [11] Naseem Y. Aziz, et al., "Standardized high performance 320 by 256 readout integrated circuit for infrared applications," SPIE Vol.3360, page 80-90, 1998
- [12] Robert F. Cannata, et al., "Very wide dynamic range SWIR sensors for very low background applications," SPIE Vol.3698, page 756-765, 1999
- [13] Charles Walmsley, et al., "High performance  $480 \times 12 \times 4$  linear CMOS IR multiplexer," SPIE Vol.3794, page 122-133, 1999
- [14] Alain Manissadjian, et al., "Sofradir infrared detector products: the past and the future," SPIE, Vol.4130-58, 2000

- [15] K. Vural, et al., "2048×2048 HgCdTe focal plane arrays for astronomy applications," SPIE Vol.3698, page 24-35, 1999
- [16] 陈中建等, "一个 128×128 CMOS 快照模式焦平面读出电路设计,"《电子学报》, Vol.29, No.11, Page: 1455-1457, Nov. 2001
- [17] 吴宗凡等编著,《红外与微光技术》, 国防工业出版社(北京), 1998 第一版。
- [18] Mao Erwang, "Study of MOCVD-grown heavily carbon-doped P-type normal incidence sensitive GaAs/AlGaAs MQW mid-infrared photodetectors and N-type MQW photodetectors," a doctor's dissertation of University of Colorado at Boulder, USA, 1997
- [19] 谭吉春编著,《夜视技术》, 国防工业出版社(北京), 1999 年第 1 版。
- [20] 杨经国等编著,《光电子技术》, 四川大学出版社, 1990。
- [21] 史锦珊等编著,《光电子学及其应用》, 机械工业出版社, 1991 第一版。
- [22] Masafumi Kimata, et al., "A 512×512-element PtSi Schottky-barrier infrared image sensor," IEEE Journal of Solid-State Circuits, Vol. sc-22, No.6, December, 1987
- [23] Michael J. Mcnutt, et al., "Schottky-barrier infrared focal plane arrays with novel readout structures," IEEE Journal of Solid-State Circuits, Vol. 25, No.2, April, 1990
- [24] K. O. Boltar, et al., "Crosstalk investigations in HgCdTe staring focal plane arrays," SPIE Vol.3819, page 32-36, 1999
- [25] Raymond S. Balcerak, "Uncooled IR imaging: technology for the next generation," SPIE Vol.3698, page 110-118, 1999
- [26] M. Altman, et al., "LockHeed Martin's 640×480 uncooled microbolometer camera," SPIE Vol.3698, page 137-143, 1999
- [27] Marc C. Foote, et al., "High performance micromachined thermopile linear arrays," SPIE Vol.3379, page 192-197, 1998
- [28] Corinne Vedel, et al., "Amorphous silicon based uncooled microbolometer IRFPAs," SPIE Vol.3698, page 276-283, 1999
- [29] W. Radford, et al., "320×240 silicon microbolometer uncooled IRFPAs with on-chip offset correction," SPIE Vol.2746, page 82-92, 1999
- [30] Timothy D. Pope, et al., "256×1 and 256×40 pixel bolometer arrays for space and industrial applications," SPIE Vol.3436, page 325-331, 1998

- [31] James H. Cullen, et al., "SIM200 miniaturized low power electronics design and test results for an uncooled microbolometer," SPIE Vol.3698, page 144-150, 1999
- [32] Tomohiro Ishikawa, et al., "Low-cost  $320 \times 240$  uncooled IRFPA using conventional silicon IC process," SPIE Vol.3698, page 556-564, 1999
- [33] Minoru Noda, et al., "A simple detector pixel of dielectric bolometer mode and its device structure for uncooled IR image sensor," SPIE Vol.3698, page 565-573, 1999
- [34] Nami Shibata, et al., "Linear thermopile array for fast searching," SPIE Vol.3698, page 546-555, 1999
- [35] Christer Jansson, et al., "FOA/DSTO uncooled IRFPA development," SPIE Vol.3698, page 264-275, 1999
- [36] W. Radford, et al., "Sensitivity improvements in uncooled microbolometer FPAs," SPIE Vol.3698, page 119-130, 1999
- [37] Jeffery L. Heath, et al., "160  $\times$  128 uncooled FPA performance review," SPIE Vol.3698, page 256-263, 1999
- [38] Sang-Baek Ju, et al., "Design and fabrication of a high fill-factor micro-bolometer using double sacrificial layers," SPIE Vol.3698, page 180-189, 1999
- [39] D. P. Osterman, et al., "Uncooled micromachined thermopile arrays and read-out circuits," SPIE Vol.3698, page 376-387, 1999
- [40] 徐南容等编著,《红外辐射与制导》,国防工业出版社, 1997 第一版。
- [41] Marshall J. Cohen, et al., "Commercial and industrial applications of Indium Gallium Arsenide near infrared focal plane arrays," SPIE Vol.3698, page 453-461, 1999
- [42] L. A. Bovina, et al., "128  $\times$  128 and 384  $\times$  288 HgCdTe staring focal plane arrays," SPIE Vol.3819, page 9-15, 1999
- [43] K. O. Boltar, et al., "Sensitive element dimensions measurements in focal plane arrays," SPIE Vol.3819, page 40-43, 1999
- [44] L. A. Bovina, et al., "Mercury cadmium telluride photodiodes and focal plane arrays," SPIE Vol.3819, page 37-39, 1999
- [45] 赵负图主编,《光电检测控制电路手册》,化学工业出版社(北京), 2001 年 2 月第 1 版。
- [46] Martin Gregory Beckett, "High resolution infrared imaging," a doctor's dissertation of University of Cambridge, 1995

- [47] Chung-Yu Wu, et al., "New design techniques for a complementary metal-oxide semiconductor current readout integrated circuit for infrared detector arrays," Optical Engineering, Vol. 34, No.1, January, 1995
- [48] Chih-Cheng Hsieh, et al., "A New Cryogenic CMOS Readout Structure for Infrared Focal Plane Array," IEEE Journal of Solid-State Circuits, Vol. SC-32, No.8, August, 1997
- [49] Chih-Cheng Hsieh, et al., "High-Performance CMOS Buffered Gate Modulation Input (BGMI) Readout Circuits for IRFPA," IEEE Journal of Solid-State Circuits, Vol. SC-33, No.8, August, 1998
- [50] Walter F. Kosonocky, et al., "Review of Schottky-Barrier imager technology," SPIE Vol.1308, page 2-26, 1990
- [51] Eric R. Fossum, "CMOS image sensors: electronic camera-on-a-chip," IEEE Journal of Solid-State Circuits, Vol. 44, No.10, October, 1997
- [52] L. J. Kozlowski, et al., "Comparison of passive and active pixel schemes for CMOS visible imagers," SPIE Vol.3360, page 101-110, 1998
- [53] James E. Murguia, et al., "Performance analysis of a thermaionic thermal detector at 400K, 300K, and 200K," SPIE Vol.3698, page 361-375, 1999
- [54] 赵凯华等著,《光学》(上册), 北京大学出版社。
- [55] Changqing Qiu, et al., "Corrected readout - a new readout method of focal plane array," SPIE Vol.3360, page 52-59, 1998
- [56] V. V. Osipov, et al., "Ultimate performance of new infrared HgCdTe focal plane arrays," SPIE Vol.3819, page 16-31, 1999
- [57] Gil Tidhar, "IR FPA phase noise effects in IRST design," SPIE Vol.3698, page 520-529, 1999
- [58] El-Sayed Eid, "Pre-amplifier per pixel charge injection device image sensor," SPIE Vol.2415, page 292-302, 1995
- [59] Guang Yang, et al., "A high dynamic-range, low-noise focal plane readout for VLWIR applications implemented with current mode background subtraction," SPIE Vol.3360, page 42-51, 1998
- [60] Nikolai E. Bock, et al., "Cryogenic MOST for focal plane readout electronics," SPIE Vol.3360, page 122-127, 1998
- [61] C. P. Arthurs, "Long linear arrays with time delay integration and element deselection," SPIE Vol.3061, page 476-483, 1997

- [62] C. P. Arthurs, et al., "CMOS/CdHgTe hybrid technology for long linear arrays with time delay and integration and element deselection," SPIE Vol.2744, page 473-485, 1996
- [63] C. H. 塞甘等著, 王以铭译, 《电荷转移器件》, 科学出版社, 1979年7月第一版
- [64] L. J. Kozlowski, et al., "Theoretical basis and experimental confirmation: why a CMOS imager is superior to a CCD," SPIE Vol.3698, page 388-396, 1999
- [65] V. A. Arutyunov, et al., "Characteristics of the experimental IR SB CCD camera during outdoor scenes transfer," SPIE Vol.3819, page 85-91, 1999
- [66] Bedabrata Pain, et al., "A current memory cell with switch feedthrough reduction by error feedback," IEEE Journal of Solid-State Circuits, Vol. 29, No.10, October, 1994
- [67] Lester J. Kozlowski, et al., "Attainment of high sensitivity at elevated operating temperatures with staring hybrid HgCdTe-on-sapphire focal plane arrays," Optical Engineering, Vol. 33, No.3, March, 1994
- [68] Joseph T. Longo, et al., "Infrared Focal Planes in Intrinsic Semiconductors," IEEE Transaction on Electron Devices, Vol. ED-25, No.2, February, 1978
- [69] Nather Bluzer, et al., "Current Readout of Infrared Detectors," Optical Engineering, Vol. 26, No.3, March, 1987
- [70] Haluk Kulah, et al., "An infrared FPA readout circuit based in current mirroring integration," SPIE Vol.3698, page 778-788, 1999
- [71] Eric Vittoz, et al., "CMOS Analog Integrated Circuits Based on Weak Inversion Operation," IEEE Journal of Solid-State Circuits, Vol. SC-12, No.3, June, 1977
- [72] Nather Bluzer, et al., "Buffered Direct Injection of Photocurrents into Charge-Coupled Devices," IEEE Journal of Solid-State Circuits, Vol. SC-13, No.1, February, 1978
- [73] K. Chow, et al., "Hybrid infrared focal -plane arrays," IEEE Trans. Electron Devices, ED-29(1), page 3-13, 1982
- [74] Bedabrata Pain, et al., "A review of infrared readout electronics for space science sensors," SPIE Vol.2020, 1993
- [75] Mark D. Nelson, et al., "General noise processes in hybrid infrared focal plane arrays," Optical Engineering, Vol. 30, No.11, November, 1991
- [76] Tai-Ping Sun, et al., "Novel CMOS readout techniques for uncooled

pyroelectric IRFPA," SPIE Vol.3360, page 60-71, 1998

[77] Naseem Y. Aziz, et al., "Standardized high performance 640 by 512 readout integrated circuit for infrared applications," SPIE Vol.3698, page 766-777, 1999

[78] H. H. Martijn, et al., "Finding the optimal readout integrated circuit for high-resolution quantum well infrared photodetectors," SPIE Vol.3698, page 789-799, 1999

[79] E.Mottin, et al., "An improved architecture of IRFPA readout circuits," SPIE 2894 supplement, page 37-46, 1996

[80] Patrick Audebert, et al., "640×480 MCT 3-5  $\mu$ m snapshot focal plane array," SPIE Vol.3379, page 577-585, 1998

[81] S.M.Sze, "Physics of Semiconductor Device," John Wiley & Sons, page 408, 1981

[82] Shahriar Rabii, et al., "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8- $\mu$ m CMOS," IEEE Journal of Solid-State Circuits, Vol. SC-32, No.6, June, 1997

[83] Daniel Senderowicz, et al., "Low-Voltage Double-Sampled  $\Sigma\Delta$  Converter," IEEE Journal of Solid-State Circuits, Vol. SC-32, No.12, December, 1997

[84] Byunghyuk Kim, et al., "Novel concept of TDI readout circuit for LWIR detector," SPIE Vol.4028, page 166-172, 2000

[85] F. F. Sizov, et al., "Readout device processing electronics for IR linear and focal plane arrays," SPIE Vol.3698, page 816-825, 1999

[86] Gabby Sarusi, et al., "TADIR-Production version: El-Op's High resolution 480×4 TDI thermal imaging system," SPIE Vol.3698, page 427-434, 1999

[87] L. A. Bovina, et al., "Linear HgCdTe scanning focal plane arrays with time delay integration," SPIE Vol.3819, page 2-8, 1999

[88] Samuel C. H. Wang, et al., "Characteristics and readout of an InSb CID two-dimensional scanning TDI array," IEEE Transactions on Electron Devices, Vol. ED-32, No.8, August, 1985

[89] F. F. Sizov, et al., "Testing of a read-out device processing electronics for IR linear and focal-plane arrays," SPIE Vol.3436, page 942-948, 1998

[90] Richard McKee, et al., "Near room temperature performance of a SWIR InGaAs/Si hybrid 96 element × 25 TDI high performance FPA," SPIE Vol.2746, page 152-161, 1996

[91] L. J. Kozlowski, et al., "10×132 CMOS/CCD readout with 25mm pitch and

on-chip signal processing including CDS and TDI," SPIE Vol.1684, page 222-230, 1992

[92] C. N. Robinson, et al., "64 × 64-element photocurrent multiplexer for infrared staring array application." IEEE Journal of Solid-State Circuits, Vol. SC-22, No.3, June, 1987

[93] Timothy, et al., "A high performance 30 TDI scan reversible MWIR InSb hybrid scanning array with on focal plane dynamic range compression," SPIE Vol.1685, page 296-304, 1992

[94] Jean-Pierre Chatard , "Sofradir second generation IRFPA technology recent developments." SPIE Vol.2269 Infrared Technology XX, page 418-425, 1994

[95] Philippe Triboulet, et al., "Main result of Sofradir IRFPAs including IRCCD and IRCMOS detectors." SPIE Vol.2225, page 369-381, 1994

[96] Ian M. Baker, et al., "CdHgTe-CMOS hybrid focal plane arrays - a flexible solution for advanced infrared systems." SPIE Vol.2269, page 636-647, 1994

[97] A. Darry Adams, et al., "Optimizing scanning array performance using gain normalization and time delay and integrate (TDI) pixel deselection during readout. hybrid and focal plane testing." SPIE Vol.1686, page 188-203, 1992

[98] 欧阳杰主编,《红外电子学》,北京理工大学出版社,1997年1月第一版。

[99] Kenneth R. Laker. Willy M.C. Sansen, "Design of Analog Integrated Circuits and Systems." McGraw-Hill, Inc., 1993

[100] 甘学温著,《数字CMOS VLSI分析与设计基础》,北京大学出版社,1999年2月第一版

## 攻读博士学位期间发表的论文

- (1) **Chen Zhongjian**, Li Xiaoyong, Yu Songlin, Han Jianzhong, Ji Lijiu; "An Improved Low Power CMOS Readout Circuit for Focal Plane Array;" 2001 4th International Conference on ASIC, page: 854-857; 2001. (EI 收录)
- (2) 陈中建, 李晓勇, 喻松林, 韩建忠, 吉利久; “一个  $128 \times 128$  CMOS 快照模式焦平面读出电路设计;”《电子学报》, Vol.29, No.11, Page: 1455-1457, Nov. 2001. (EI 收录)
- (3) 陈中建, 李晓勇, 吉利久, 韩建忠, 喻松林; “低功耗  $64 \times 64$  CMOS 快照模式焦平面读出电路新结构;”《半导体学报》, Vol.22, No.11, Page: 1450-1457, Nov. 2001.
- (4) **Chen Zhongjian**, Li Xiaoyong, Ji Lijiu; "A  $128 \times 128$  CMOS Snapshot Readout Circuit for Focal Plane Array;" 16# IFIP World Computer Congress 2000, page: 7-11; 2000.
- (5) Li Xiaoyong, **Chen Zhongjian**, Ji Lijiu; "A Novel Odd-Even Switch Structure Design of CMOS Snapshot Readout for Focal Plane Array;" 16# IFIP World Computer Congress 2000, page: 16-20; 2000.

## 致 谢

这篇论文得以完成，首先应当感谢的是我的导师吉利久教授和联合指导老师韩建忠研究员。本文从调研、选题、实践到最后成篇，无不与吉老师的悉心指导息息相关。他求实创新的科研精神，科学的研究方法，渊博的学识，使我受益匪浅。不唯如此，五年来我在生活上也得到了吉老师多方面的关照，他认真负责、严己厚人的处世原则亦使我深受教益。韩老师在光电子和微电子领域都有很深造诣，在对设计要求的理解、设计方案的优选、非制冷焦平面技术等诸多方面，都给予了我耐心细致的指导。

此外，本研究工作还得到了微电子所其他领导和老师多方面的支持，如盛世敏教授在部分功能的电路实现和 COMPASS 系统的使用等方面对我的指教；赵宝瑛教授在学业上对我的帮助；傅一玲工程师在版图设计方面给我的指导、协助完成面阵读出电路中单元电路的版图设计以及在生活上对我的关心；张天义教授、丁敦山博士、韩临老师在 EDA 设计系统方面给我的支持，都令我无法忘怀，在此谨致谢忱。

与同学们的协作、讨论和交流，也使我受益良多。97 级硕士研究生李晓勇与我一起完成了面阵读出电路的设计工作；2000 级硕博直读研究生高峻和鲁文高完成了 OFS 结构读出电路中部分模块的设计和版图优化工作；在线阵  $4 \times N$  读出电路设计中，高峻和鲁文高同学又分别完成了模拟电路部分和数字电路部分的具体实现，并对最初提出的体系结构提出了很多创新性改进，进行了深入优化，显著提高了电路性能；98 级本科生刘菁协助完成了线阵  $4 \times N$  读出电路中视频输出级版图设计工作；在线阵  $4 \times N$  读出电路设计中，王迎春博士、博士生贾嵩、刘凌、冯文楠、兰景宏等就数字电路的设计和优化进行了讨论并提出了许多有益建议；博士生刘飞就电流模电路和模数转换技术给予支持，并协助完成了设计方案的初选工作；硕士生窦训金与我分享国内尚无法买到的模拟集成电路设计图书，并就低功耗电路模块的设计、仿真和 Matlab 使用给予帮助。对此，我深表感谢。

还要特别感谢信息产业部电子第十一研究所红外二部唐剑、喻松林、曹婉茹、荣磊、董晓敏等老师和红外一部赵建忠、董硕等老师。红外二部的老师们为面阵和线阵读出电路设计提供了宝贵资料，并就设计要求和设计方案多次进行了有益讨论；芯片加工完成后，他们又完成了测试分析工作，为本文提供了翔实的测试数据和波形。上海贝岭股份有限公司张征先生、中国华晶电子集团公司彭力先生也在制版、流片等方面使我深受启迪。

最后，希望一切关心、支持和帮助过我的领导、老师和同学们接受我最诚挚的谢意！

陈中建  
二零零三年五月