

第一章 绪论

近几十年来,随着对磁性薄膜的磁性和输运性质等方面的一系列研究带来的丰硕成果,不仅促进了人们对这一领域物理内涵的理解,而且这些研究成果迅速地被应用到了各个领域,对人们的生活产生着深远的影响。另外,这些成果也进一步扩展了人们的思维发展空间,同时在理论上和实验上也带来了许多挑战。

1986年,在Fe/Cr/Fe三明治薄膜结构中观察到的两个铁磁层通过中间的非磁性层发生交换相互作用[1],这一发现对其后的研究工作产生了深刻的影响[2],直接导致了巨磁电阻(GMR)效应的发现。1988年法国巴黎大学Fert等Fe/Cr多层膜中观测到了巨磁电阻效应。这一发现引起了人们的很大关注,进一步带动了其后磁电阻效应的研究。20世纪末,室温大GMR值的实现使它快速地从实验室的基本物理研究转变为磁记录方面的商业应用[3-5]。巨磁电阻效应的发现也拉开了自旋电子学的序幕[6]。

§1.1 自旋电子学简介

自旋电子学是一个涉及多门学科的新兴研究领域,它的中心主题就是有效的操控固体中的自旋自由度[6,7]。它涉及到如何产生具有自旋极化的载流子、自旋动力学以及金属和有机材料中的自旋输运。自旋输运不同于纯粹的电荷输运。在这里,由于自旋轨道和超精细耦合,自旋在固态系统中已不再是个守恒量。有许多关于自旋注入和自旋极化输运的理论被提出来并应用到基于自旋的器件和材料特性的基础研究中。许多涉及应用的实验工作也被广泛的进行。去应用电场和磁场控制自旋和电荷动力学以获得传统器件不具有或不能有效实现的新功能。

自旋电子学作为一门新兴的学科,它主要包括电子材料中的自旋输运、自旋动力学及自旋弛豫。近几年内,它研究的目标就是充分理解粒子自旋和它所处的固体环境之间的相互作用,并且有效的利用获得的知识设计、开发出具有新功能的实用的器件和装置。它所涉及的典型问题主要有:(a)如何得到一个有效的自旋极化系统?(b)这个系统中的自旋极化状态能够保持多长时间?(c)如何探测自旋极化?目前的实验和理论研究也基本以此为主体呈现纵向和横向

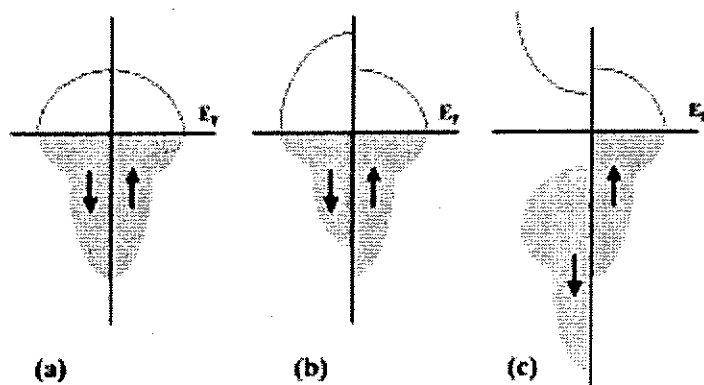


图 1.1: 各种材料的能带示意图; (a) 普通金属, (b) 铁磁性金属, (c) 半金属。

的发展。

传统的微电子学是以控制和操纵半导体中的载流子(电子和空穴)的运输特性为主要内容。它利用了载流子的电荷特性,但忽略了电子的另一自由度-自旋(包括自旋上态和自旋下态)。普通金属中,电子的自旋是简并的,自旋向上和自旋向下的电子能态密度相同,不存在净磁矩,运输过程中的电子流也是非自旋极化的。但在铁磁材料中,由于交换劈裂,自旋向上的子带和自旋向下的子带发生相对位移,使得费米面附近自旋向上与自旋向下的电子的能态密度不等,(如图 1.1 所示,普通金属和铁磁金属的电子能态密度示意图),使得运输过程中两种自旋电流的大小不同,从而总电流是自旋极化 (spin polarization) 的。

1936 年, Mott 找到一种铁磁性金属中不寻常电阻行为的解释 [8,9]。他认为,在足够低的温度下,磁激子散射变得很小,几乎可以忽略。磁矩相反的主、次自旋带中的电子在散射过程中不相互混合。电导可以表达为两个独立的、自旋不相同的自旋电流之和,即所谓的双流模型。后来, Campbell、Fert 以及 Campbell 等人把这个模型进行了扩展,对不同的磁电阻现象给以解释 [10-12],促进了磁电阻现象的进一步研究。

后来,自旋注入方面的大量实验表明,金属以及许多其它材料中可以存在自旋极化积累, [13]。然而,运输方法产生载流子自旋并不局限于自旋极化注

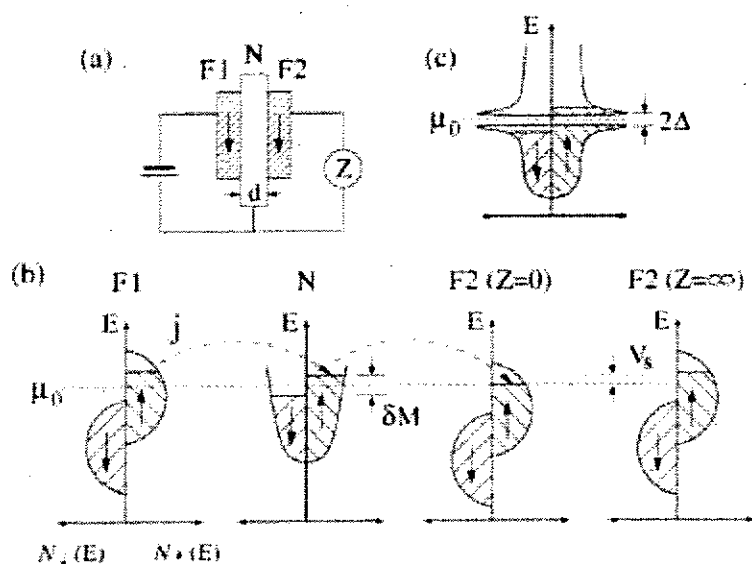


图 1.2: 自旋注入、自旋积累以及自旋探测: (a) 两个理想的两个完全极化的铁磁体 F1 和 F2 被非磁性区域 N 隔离; (b) 自旋从 F1 注入 N 的示意图。它伴随着非平衡极化积累的生成。 (c) 由超导体 (能隙) 隔离的两个铁磁层 F1 和 F2 所构成的器件的自旋积累。

入。例如, 在存在自旋-轨道耦合 [14,15] 以及翻转对称性缺失的材料中, 它们也包括非极化电子的散射 [16], 绝热 [17-19] 以及非绝热自旋泵抽 [20,21], 以及近邻效应 [22] 等。利用磁共振方法得到非平衡自旋极化已有相当长的历史 [23,24]。知道我们能得到的不同自旋极化幅度的极限对于理论、试验的发展以及器件的应用都是相当有意义的。

基于此, Silsbee 建议了一个探测技术 [25], 该技术采用两个非磁性区隔离的铁磁区域 F1 和 F2 组成 (图 1.3)。F1 作自旋注入用 (spin aligner), F2 用来探测自旋。这种方法类似于光学上对应的光通过两个光学线性起偏器。在开路情况下 (in the limit of large impedance Z), 一个铁磁电极的磁化翻转将会导致 $V_s \rightarrow -V_s$, 或在短路情况下 (at small Z), 作为 Silsbee-Johnson 自旋-电荷耦合的结果 [25-27] 对应于大电流的翻转 $j \rightarrow -j$ 。也就是当磁性电极 F1 和 F2 从平行态变到反平行态时, 自旋注入的探测将会通过自旋积累表现为电压或电阻的改变而体现出来 (图 1.2)。

今天, 基于 GMR 效应的读出头已广泛的应用在计算机硬盘中。它的核心结构由一个非磁性层隔开两个磁性层的三明治结构组成。当读出头沿着硬盘的数据轨道移动时, 轨迹上记录的“0”和“1”数据位引起的磁场改变会使其自由

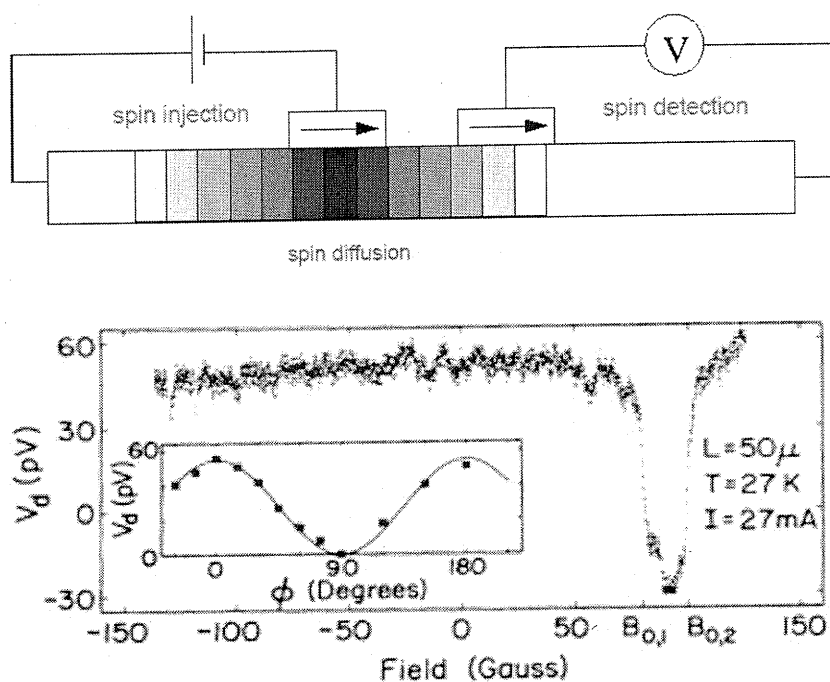


图 1.3: 自旋极化探测。 (From Silsbee & Johnson)

层的方向前后改变, 与被钉扎层的方向呈现平行于反平行状态。在平行态时, 自旋与该方向一致的电子会容易通过。在反平行态情况下, 部分电子被自旋反射。由此引起的电流变化使 GMR 读出头相对于它的前身 AMR 读出头更适合于探测微弱的磁场变化。硬盘中的数据就可以以更致密的方式存储, 使存储密度增加 3 个数量级以上。

按照电流在多层膜界面流动的方式, 巨磁阻金属多层膜 (GMR) 的结构通常分为两种类型。一种为电流垂直于膜面通过 (CPP, current perpendicular to the plane), 另一种为电流平行于膜面通过 (CIP, current in plane) (图 1.4)。大多数的 GMR 应用 CIP 方式。CPP 模式首先由 Pratt 等实现 [28]。它有利于理论分析 [29,30], 并且在物理上容易与在 GMR 之后发现的隧穿磁电阻 (TMR) 效应相联系 [31]。

80 年代初期, Jullière 采用非晶锗为绝缘层测量了 F/I/F 结的电导 [32]。他通过采用 Tedrow 和 Meservey 对 F/I/S 和 F/I/F 结的分析 [33,34], 形成了一个模型来描述电导随两磁电极处于平行态和反平行态的变化。并定义了 F/I/F

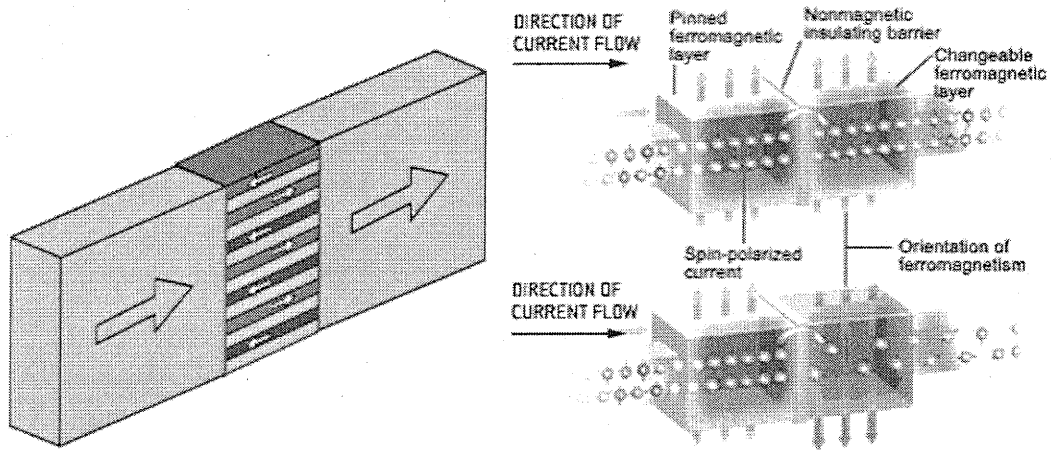


图 1.4: 一种为电流平行于膜面通过, 常用于 (GMR), 另一种为电流垂直于膜面通过 (TMR or GMR recently)。

磁性隧道结 (MTJ) 的磁电阻 (TMR) 表达式

$$TMR = \frac{\Delta R}{R_{\uparrow\uparrow}} = \frac{G_{\uparrow\uparrow} - G_{\uparrow\downarrow}}{G_{\uparrow\downarrow}} \quad (1.1)$$

这里, 电导 G 和电阻 $R = 1/G$ 与两磁性电极 F1 和 F2 的相对状态有关 (它们的相对磁化状态 (P 和 AP) 可以在很小的磁场下得到转换, 例如 10 Oe)。

TMR 是磁电阻类型中特定的一种。追溯到历史的早期, 各向异性磁电阻较早早在块状铁磁材料中如铁和镍中首先发现 [36]。由于自旋 - 轨道相互作用, 材料电阻会随着电流方向相对于外磁场方向的改变而改变 (例如, 沿平行或垂直于磁场的方向)。

在 Jullière 的模型中, 他假定了不变的隧穿矩阵元, 而且电子在隧穿过程中不发生自旋翻转:

$$TMR = \frac{2P_1P_2}{1 - P_1P_2} \quad (1.2)$$

这里自旋极化定义为 $p_i = \frac{N_{Mi} - N_{mi}}{N_{Mi} + N_{mi}}$ N_{Mi} 和 N_{mi} 为铁磁性材料 $Fi(i=1,2)$ 中主、次自旋带的自旋态密度。方程 (1.2) 中的电导表示为 $G_{\uparrow\uparrow} = N_{M1}N_{M2}$ 以及 $G_{\uparrow\downarrow} = N_{m1}N_{m2}$ 。

后来, Maekawa 和 Gafvert 在 4.2 K 下观测到以 NiO 为势垒层的隧穿磁电阻自旋阀效应 [37]。这种自旋阀效应后来在多层膜结构中显示出大的磁阻效应 [38,39], 并被建议应用到非挥发存储器中 [40-42]。另一种等价的表达式称为结磁电阻 (JMR-junction magnetoresistance) [43] 也被广泛地应用。而类比于 TMR

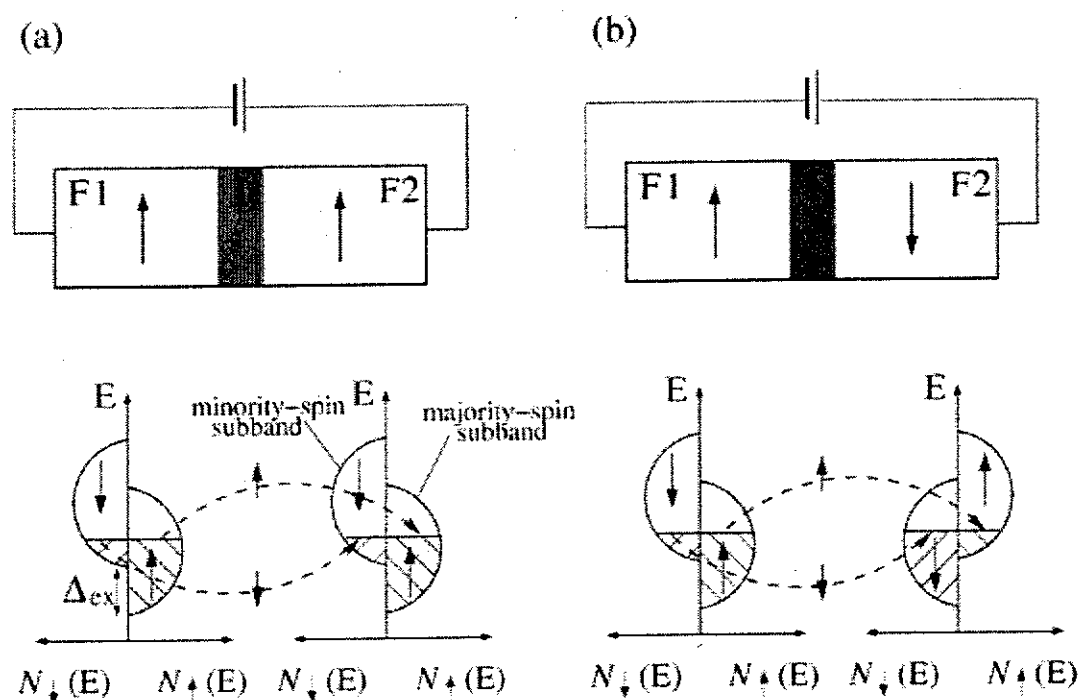


图 1.5: 铁磁 / 绝缘体 / 铁磁 (F/I/F) 隧道结示意图: 两铁磁电极的磁化状态处于 (a) 平行态和 (b) 反平行态以及对应的发生交换自旋分裂的 d 态自旋态密度。两铁磁区的箭头取决于主自旋带方向。虚线描述自旋守恒隧穿。

的物理机制, Dieny 等提出了巨磁阻的概念 [44], 相对于众所周知的各项异性磁电阻 (大约 1%), “巨” 反映该效应的幅度 (大于 10%)。

可以采用 Jullière 的模型来解释这种: 器件电阻可以通过操纵磁性电极 F1 和 F2 的磁化方向 M_1 和 M_2 来改变。这种方向可以在失去电源的状态下得以保持 (图 1.5) [45]。

由 Jullière 模型, 要获得大的磁电阻效应, 采用自旋极化率高的材料是一种有效的方式。80 年代初期, 一系列在铁磁 / 绝缘体 / 超导结方面的实验很清楚地表明隧穿电流在铁磁区域之外仍可以保持自旋极化 [33-35]。而且, 超导体中的 Zeeman 分裂准粒子态密度被用来探测不同磁性材料中导电电子的自旋极化 [46,47]。

F/I/S 隧穿电导如图 1.6 所示。铁磁电极的自旋极化 P 可以通过电导曲线上四个不对称峰位的幅度得出 [35]。Parker 等采用该方法在 $\text{CrO}_2/\text{I/S}$ 隧道结中, 探测到接近完全的极化 $P = 0.9$ [48]。图 1.6 显示了能观察到的四个峰中的

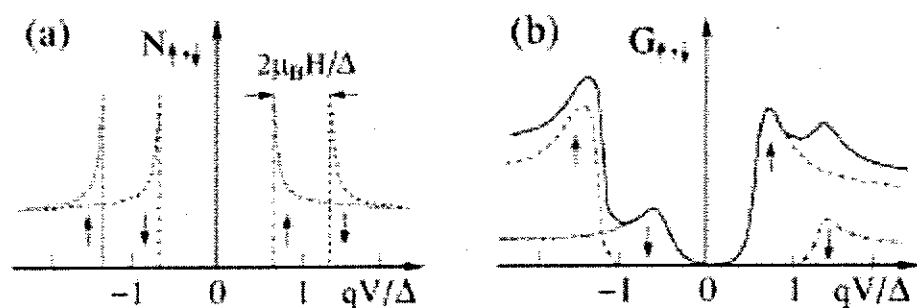


图 1.6: 铁磁 / 绝缘 / 超导结在外场下的隧穿: (a) 在外场下, BCS 态密度的分裂; (b) 在有限温度下归一化的自旋解析电导 (dashed lines) 以及总电导. [48]

两个, 表明在高达 $H = 2.5$ T 的磁场下没有次自旋带的特征. 另外, 他还指出, 如果采用氧化镁替代氧化铝, 在 F/I/S 结中可以得到高的多的自旋极化. 相应的, 可以得到巨大的 TMR. 采用传统的 (CoFe) 电极室温下可以达到 200%. F/I/S 隧穿是一种很灵敏的探测技术. 但它要求被探测的材料必须做成隧道结, 而且由于能够使用的超导材料的限制, 测量必须在超低温下进行 (低于 1K). 基于这些缺陷, 后来一种很简单的、称为安德鲁反射 [49,50] 的技术被广泛的使用进行极化材料的探测 [51], 图 1.7. 另一种类似的研究, 采用一种薄膜纳米接触结构 [52], 强调了在宽偏压范围内对电导数据进行拟合的重要性, 而不仅仅是在 $V = 0$ 附近, 以使得所提取的铁磁区域的自旋极化进一步精确.

这种技术使得自旋极化探测的材料范围大为扩展, 不再局限于能够用于制作 F/I/S 或 F/I/F 结. 采用这种方法得到了大量的实验结果 [48,53-55], 包括第一次直接对 (Ga,Mn)As 和 (In,Mn)Sb 中自旋极化的测量 [56-58].

1995 年, 室温下高 TMR 值的发现 [59,60] 中断了经过早期 Jullière, Maekawa 和 Gafvert 工作之后的停顿 [32,37], 重新燃起人们对磁性隧道结的兴趣, 并且开启了使用 MTJ 进行表面磁性基础研究的可能性以及室温下不同铁磁性电极中自旋极化的研究以及在高灵敏度磁场传感器, 尤其是用于磁性随机存储器 [61,62]. 下一代的读出头也期望使用 MTJ 而不是 CIP GMR.

近年来, 基于氧化铝势垒层的隧道结得到了广泛的研究, Han 等利用 CoFe 电极在室温下得到达 50% 的磁电阻值 [63], 利用具有更高自旋极化的 CoFeB 电极得到了室温下高达 60% 的磁电阻值 [64], 见图 1.8.

另外, 以其它材料为势垒层的隧道结也被广泛的关注并进行了研究. 以半

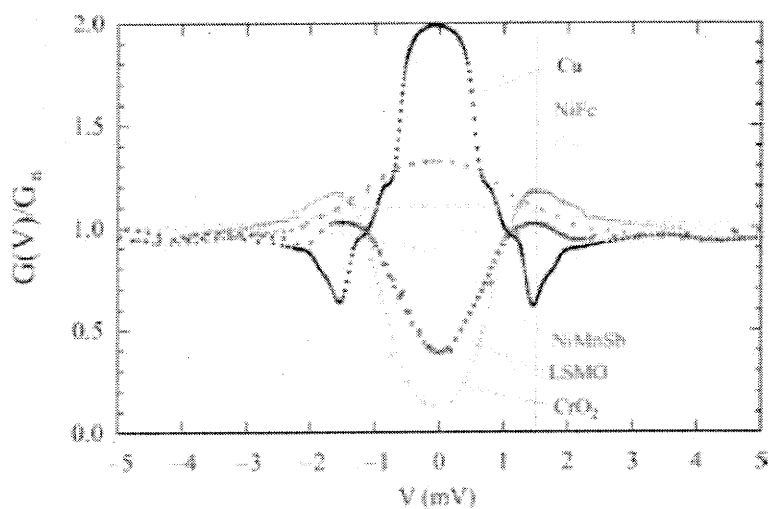


图 1.7: 具有不同自旋极化率材料的微分电导, 表明随自旋极化 P_G 增加, 安德鲁反射被进一步压制。竖直线标示了块状金属铌的超导能隙: $\Delta(T=0) = 1.5 \text{ meV}$ 。(From R. J. Soulen Jr et al, Science 282, 85-88 1998)

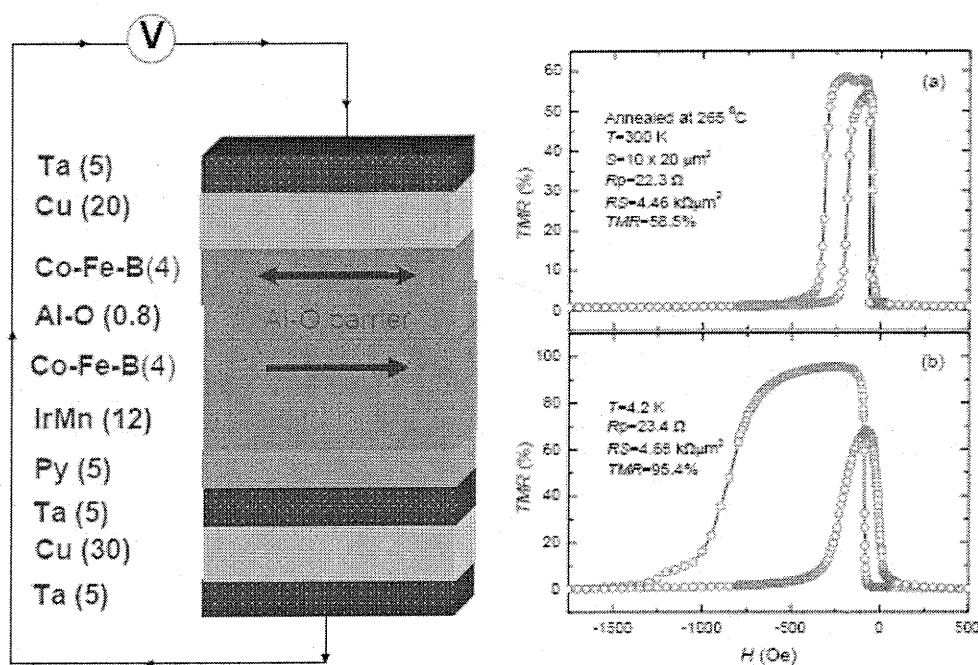


图 1.8: 典型的磁性隧道结堆栈结构及其响应曲线

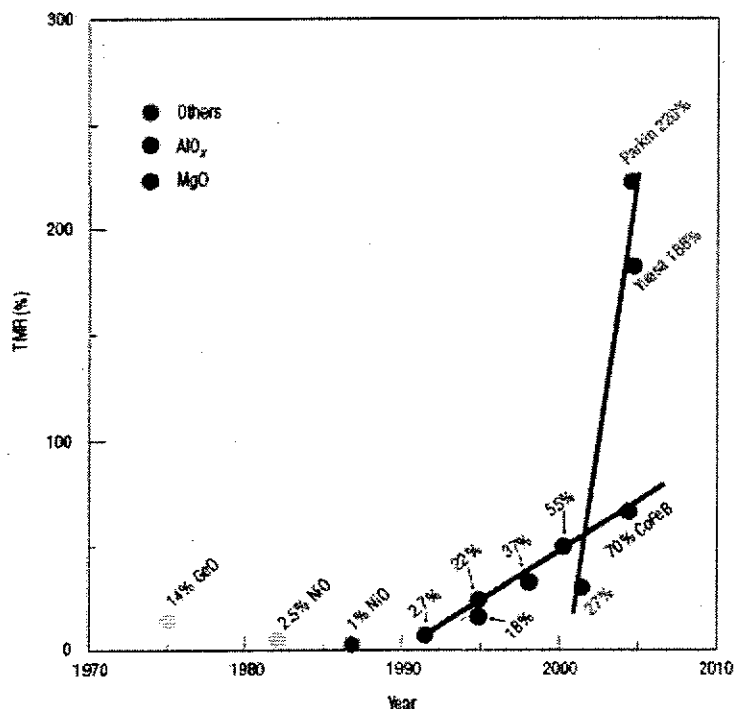


图 1.9: 随着不同隧穿势垒层以及高极化率材料的使用, 隧穿磁电阻从低温走向室温, 而且磁电阻值发生着戏剧性的变化。

导体为基础的全半导体结和以其为势垒层的结单元在低温下呈现出大的隧穿电阻, 而且可以提供更低的隧穿势垒 [65, 66]。类似高磁电阻的效应也在金属 - 半导体复合颗粒膜结构中发现 [67]。铁磁区域为锰钙钛矿的结构显示出巨磁阻 (CMR) [68], 磁铁矿 (Fe_3O_4) [69], III-V 铁磁半导体 [70] 也都得到了深入地研究。另一种令人期望的特性在于金属 - 半导体复合结构中, 室温高场下 4 T 呈现出高达 750,000% 的巨磁阻 [71]。它可用于改善的磁读出头 [72, 73]。近来采用氧化镁作势垒层的磁性隧道结使它们的应用前景更令人振奋 [74-76], 图 1.9。

另一种获得室温大磁电阻的途径也被尝试, 即铁磁性纳米接触磁电阻, 也就是所谓的弹道磁电阻 (BMR), 也在许多材料和结构中得到了广泛地研究, 寄希望利用狭窄的畴壁翻转得到大的磁电阻效应, 但目前在这方面的争论颇多 [78-83]。

另一方面, 基于未来电子器件的不断轻型化、小型化, 有机、纳米尺度的自旋电子学器件的发展前景也引起了越来越多的关注。纳米线特别是碳纳米管

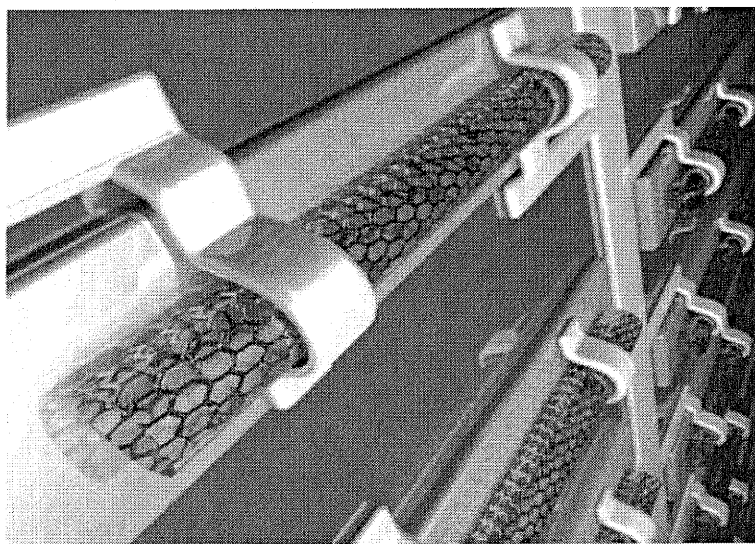


图 1.10: 通过碳纳米管的自旋极化电子输运作为未来小尺度自旋电子学器件的基础。

(From the envelope of Science.)

和有机小分子被寄希望于作为未来器件的基本连接单元(图 1.10)和具有一定功能的三端和两端器件(图 1.11), 有机显示器(图 1.12) [84] 等。Tsukagoshi 首先在钴 / 碳纳米管 / 钴隧道结中发现了明显的低温磁电阻现象 [85], 以有机材料作为势垒层的隧道结也在逐步得到研究 [86-88]。

§1.2 非挥发性存储器

目前, 计算机上常用的存储器主要分为两大类: 随机存储器 (RAM, RANDOM ACCESS MEMORY) 和只读存储器 (ROM, READ ONLY MEMORY)。

只读存储器 ROM (Read Only Memory) 是一种只能读取而不能写入资料之记忆体, 因为这个特性, 所以最常见的就是主机板上的 BIOS (基本输入 / 输出系统 Basic Input/Output System)。BIOS 是计算机开机必备的基本硬件设定用来与外围做为低阶通信接口, BIOS 程序烧录于 ROM 中可以避免资料被随意清除。RAM 是指通过指令可以随机的、个别的对各个存储单元进行访问的存储器, 一般访问时间基本固定, 而与存储单元地址无关。按照其保存的信息是否需要电力支持又分为易失性存储器和非易失性存储器, 或“挥发性存储器”和“非挥发性存储器”。

现在计算机上常用的 RAM 的速度比较快, 但其保存的信息需要电力支持,

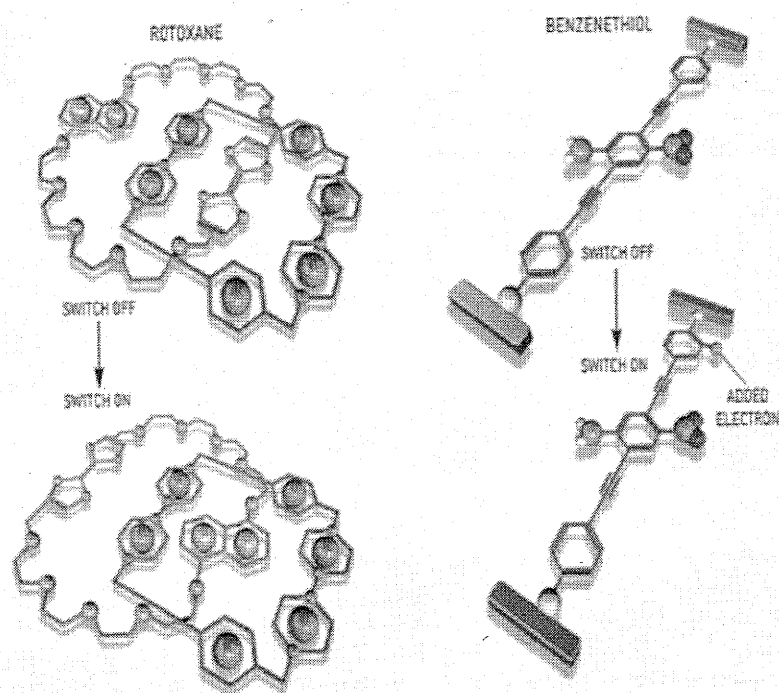


图 1.11: 有机小分子被寄予希望作为未来集成电路的功能单元。(From web)

一旦丢失供电则数据消失,即为易失性存储器或“挥发性存储器”。它的主要缺陷导致计算机启动和关机需要重新从硬盘读取和写入数据,而需要较长的时间。因此,人们寄希望于采用“非挥发性存储器”来取代“挥发性存储器”作为计算机的内存,甚至于包括硬盘。

磁性隧道结很早就被建议作为 MRAM 芯片的基本存储单元 [40]。通过自由层的不同方向表示“0”和“1”,每一个隧道结单元存储一个数据位。由磁性层自身的性质,除非故意进行擦除,隧道结单元所存储数据位不会由于掉电而丢失。自从 1995 年发现室温大的隧穿磁电阻效应 (TMR) 以来 [59,60],人们对 TMR 效应进行了广泛的研究,希望获得高 TMR 值、低结电阻和低翻转场以满足诸如磁阻式非挥发性记忆体 (MRAM)、TMR 读头和其它磁敏传感器等磁电阻器件的要求。磁随机存取存储器 (MRAM) 利用隧道结来存储数据,它可以在失电的情况下保持原有的存储状态。图 1.13 所示为 MRAM 内部结构原理和一个 256k 的 MRAM 芯片。

MRAM 记忆体是一新颖的非挥发性记忆体,具有高密度、超高速、非破坏性读取资料、低电压及无限次读写等特性。主要是由一组磁性材料,如铁、钴、镍

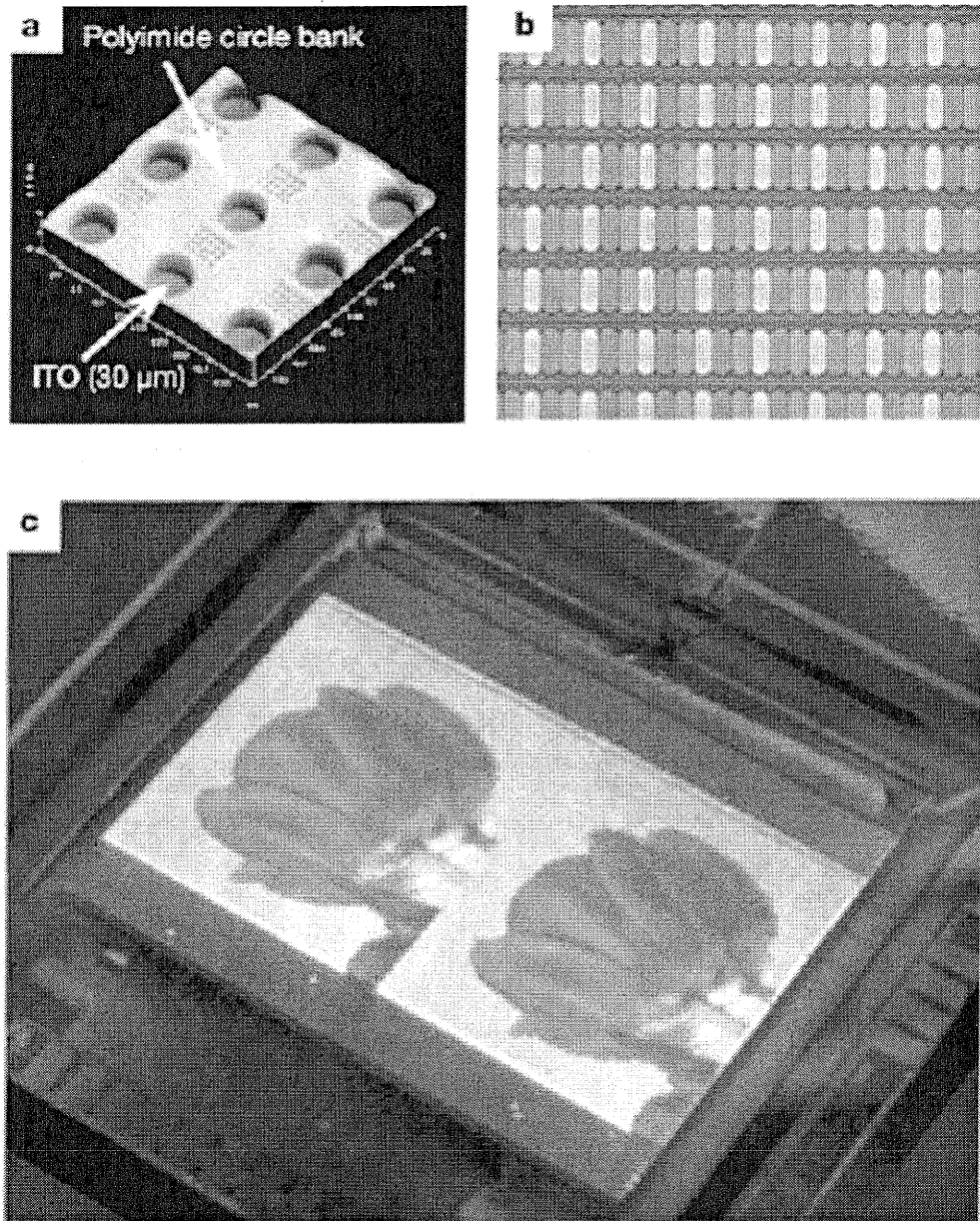


图 1.12: 注入 (Ink-jet) 印刷与有机聚合物全彩发光二极管 (OLED) 显示器制备; a, 包含铟锡氧化物 (ITO) 阳极的聚合物障坝 (dam) 的原子力显微镜图像 (直径 $30\mu\text{m}$), 用于囚禁聚合物光发射像素。b, 注入印刷的三基色像素, 形成全彩显示器的原型。(c), 2 英寸对角线注入印刷全彩显示器, 单像素尺寸 $60 \times 200\mu\text{m}$ 。 (Philips Electronics from Stephen R. Forrest , Nature 2004)

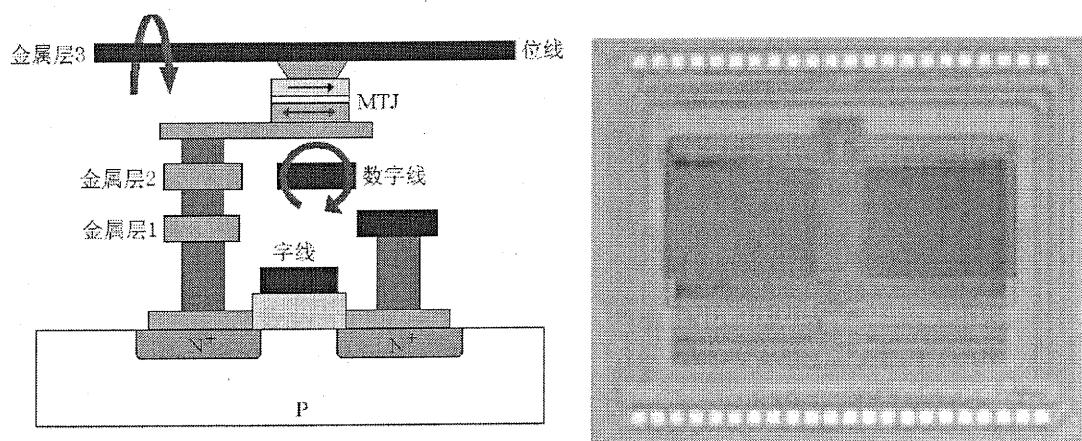


图 1.13: MRAM 内部结构原理图及 256K 演示器件原型 (Motorola)

及其合金搭配传统 CMOS 元件电路完成资料的存储。初始以巨磁阻结构 (GMR) 为记忆单元, 演化至今则以磁性隧道结 (MTJ) 为中心结构。通过磁性材料薄膜的磁化方向的不同, 造成磁性隧道结阻值大的差异的原理进行资料“0”与“1”的储存。磁性隧道结基本单元由中间很薄的绝缘层隔开的两个铁磁层三明治结构构成。第一个铁磁层使通过的电流的电子产生自旋极化, 当两铁磁层的磁化方向平行时, 自旋极化的电子通过量子隧穿效应进入第二个磁性电极“0”, 当第二个磁性电极的磁化方向被翻转时, 隧穿效应被削弱“1”。由于状态的改变与储存均由铁磁特性完成, 电压因此可以轻易的降低、使读写资料的速度达到几个纳秒的水平并具有无限次读写的特点。

目前对于非挥发性存储器的研究除给予其磁电阻效应的 MRAM 外, 主要集中在以下几种:

§1.2.1 闪存

闪存 (Flash Memory) 以单晶体管作为二进制信号的存储单元, 它的结构与普通的半导体晶体管 (场效应管) 非常类似, 区别在于闪存的晶体管加入了“浮动栅 (floating gate)”和“控制栅 (Control gate)” - 前者用于贮存电子, 表面被一层硅氧化物绝缘体所包覆, 并通过电容与控制栅相耦合。当负电子在控制栅的作用下被注入到浮动栅中时, 该单晶体管的存储状态就由“1”变成“0”。相对来说, 当负电子从浮动栅中移走后, 存储状态就由“0”变成“1”; 而包覆在浮动栅表面的绝缘体的作用就是将内部的电子“困住”, 达到保存数据的目的。

Flash 闪存的基本存储单元

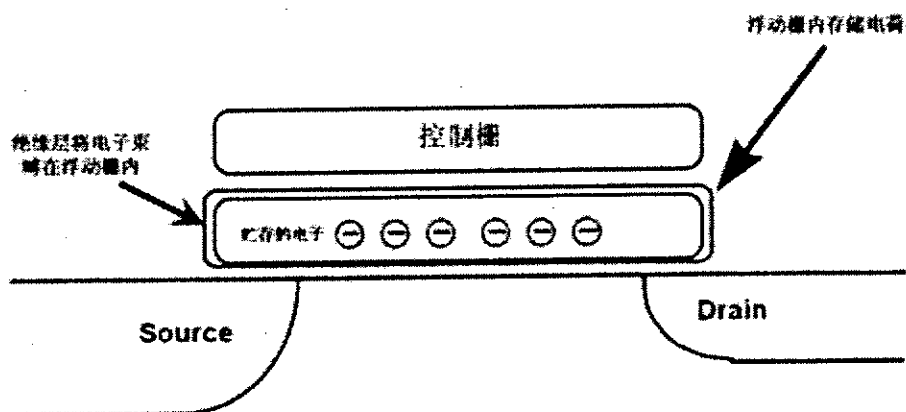


图 1.14: Flash 闪存的基本存储单元 (Cell) 结构示意图。

的。如果要写入数据,就必须将浮动栅中的负电子全部移走,令目标存储区域都处于“1”状态,这样只有遇到数据“0”时才发生写入动作 - 但这个过程需要耗费不短的时间,导致其写入速度总是慢于数据读取的速度,见图 1.14。

§1.2.2 铁电记忆体

由于铁电记忆体的制备工艺与传统半导体加工工艺兼容及记忆体阵列结构与 DRAM 相似,使得世界各国的实验室以及企业界很看好铁电记忆体随机存取记忆体 (Ferroelectric Random Access Memory, FRAM) 的力,因而投入巨额资金与庞大的人力,致力于开发高密度、快速的铁电记忆体的生产技术。尤其在最近几年进展得相当快速,已经逐渐从研发阶段进入生产线,而能够到达量产的阶段。从 1988 年的原型 (prototype) 铁电记忆体, 1996 年日本 NEC 公司的 1Mbit 铁电记忆体,到 2000 年韩国三星对外宣称成功地开发制造出 4Mbit FRAM 的产品,都一再显示铁电记忆体未来可预期的前景。

所谓铁电是指具有电滞效应 (P-E hysteresis) 的薄膜材料;当薄膜接受外界电压时,因内部离子的移动而产生极化现象。而这些因离子位置的偏移所产生的电偶并不会随着电压的去除完全消失,形成所谓的残存极化。而且,残存极化方向会随着施加电场方向的改变而改变;不同的极化方向正好提供了记忆体所需要的“0”和“1”两种状态。它的好处是避免像 DRAM 一样,储存在电容结构中的电荷会因为各种路径的漏电流随时间快速消失,必须经常对资料进行重

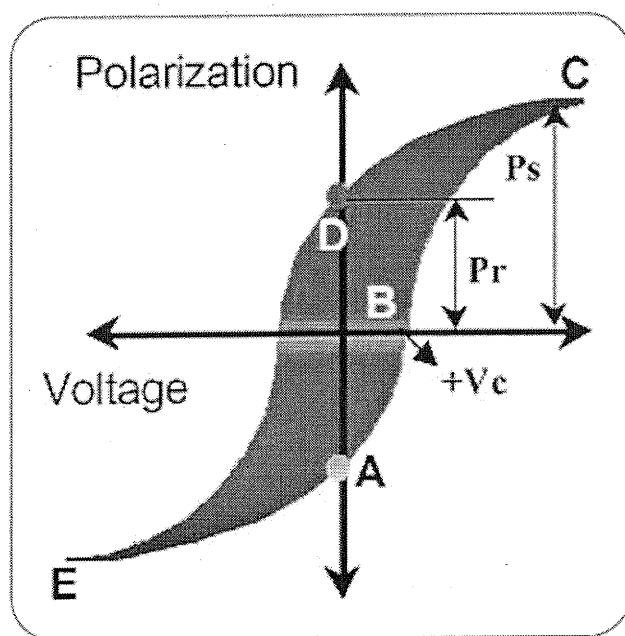


图 1.15: 电薄膜受电压后的极化基本特性, 又称电滞曲线。

写 (data refresh), 以保证资料在下一次读取时的正确性。少了重写的动作, 功率的消耗因此而剧减。另外, 此种记忆体利用材料极化的原始特性, 来进行资料存储的工作, 而良好薄膜的极化特性通常可维持超过十年的时间, 这也是它为什么能成为非挥发性记忆体的主要原因。与传统的非挥发性记忆体相比较, 如 Flash Memory, 铁电薄膜产生极化所需要的电场很低, 操作电压可望降到 3 V 以下, 加上离子反应的时间很短, 写入资料的时间仅需要 100 ns。在重复读写的次数方面更可轻易达到 10^{12} 次以上。

铁电随机存取记忆体能逐渐吸引众人目光的原因, 在于它在系统晶片 (System-on-Chip) 上的应用可行性。制作铁电电容的温度一般大约在 $600-800^{\circ}\text{C}$ 之间, 但由于技术的改进, 近来已成功地降低至 550°C 。如果可继续降低, 则铁电随机记忆体的制备工艺将与逻辑电路制备工艺之间的兼容性就会被大大提高。

§1.2.3 OUM 记忆体

OUM 记忆体利用一种硫族元素氧化物 (chalcogenide), 这种物质经过热能的吸收所产生的非晶系及多晶系两种结构可相互转变, 使其具有不同电阻特性

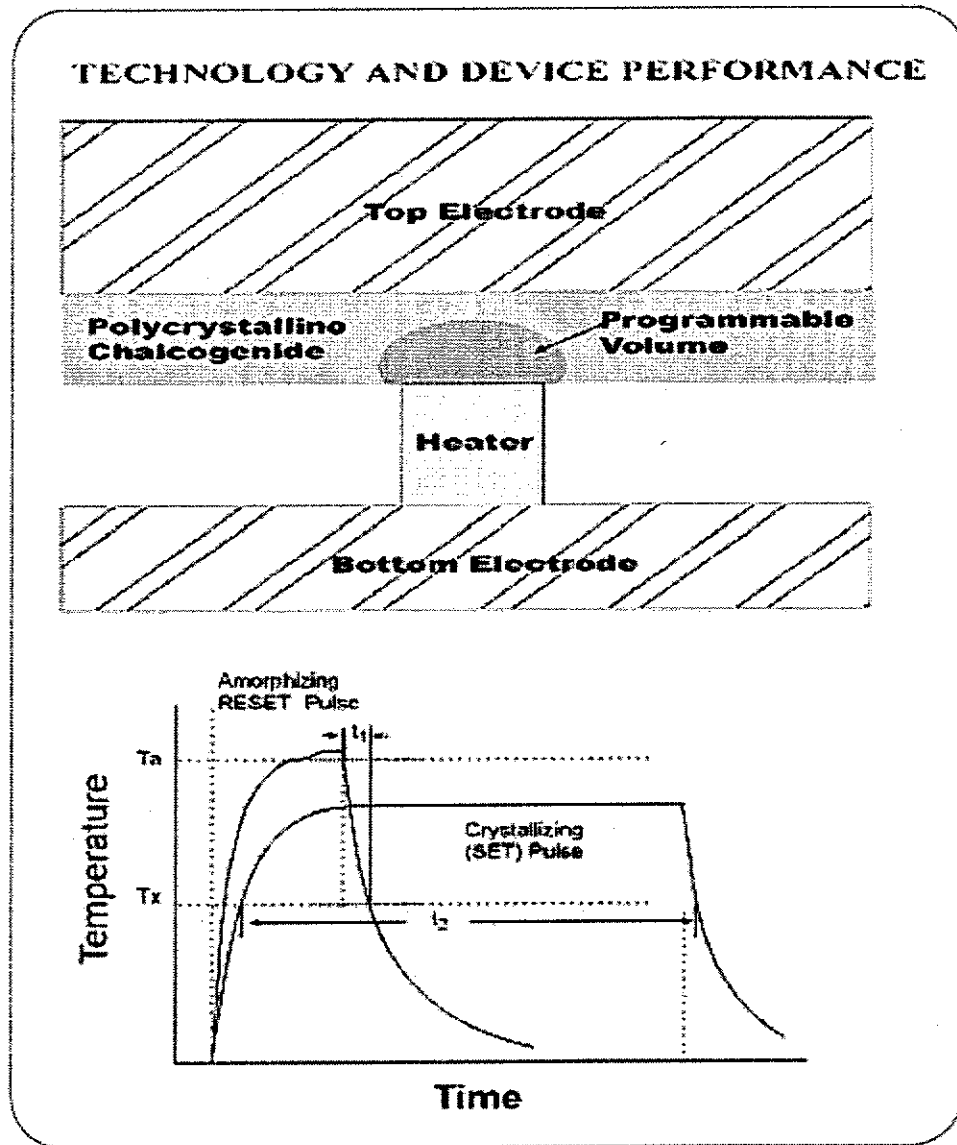


图 1.16: OUM 记忆体结构图及操作原理。

的原理来完成记忆体的储存功能。由於相态相当地稳定,不会随时间而逐渐改变,因此属于一种非挥发性记忆体。该记忆体的原理于1970年由 R.G. Neale, D.L. Nelson, G.E. Moore 等三个人提出,目前大量应用于可写式的 CD-ROM 及 DVD 光记忆体中。图 1.16 是 OUM 记忆体结构图及操作原理。图中清楚地显示记忆体主要资料储存的部分是由中间一层 GeSbTe 薄膜完成。由於只需要控制电流局部通过薄膜,所以仅仅需要两接点的简单元件结构。这样的结构与传统 CMOS 的制备工艺兼容性相当高,可以很容易达到高密度的要求。操作上晶体和非晶体的电阻值差异性很大,通过电流的流通产生电热能让局部温度超过硫族元素氧化物的溶解度,改变物质结构来完成记忆体所需的两个状态。如果要选择形成晶体,则电流通过的时间比较长,以使薄膜长时间处于高温状态,如同晶体生长一样让原子有时间重新排列成为晶体结构。如果要选择形成非晶体,则电流通过的时间比较短;薄膜温度短时间内从高温快速冷却致使原子来不及移动形成非晶系结构。由於只需要局部改变薄膜结构因此加热面积小,资料写入的时间可达 10^{-9} 秒的数量级。非挥发性的 OUM 具有快速的读写、高可靠性、低电压、低能量消耗、制备工艺兼容性 & 低制造成本,使得它在超高密度单芯片及嵌入式的存储器应用中成为未来取代 Flash 记忆体极具潜力的新式存储器。

§1.2.4 单电子存储器

在提高集成度及增加操作速度的趋势下,存储器元件尺寸持续地缩小,但由于受到温度效应及临界电压 (Threshold voltage) 的限制,存储器的供应电压无法大幅度的减小,造成了过高的功率消耗。因此为了降低功率的消耗,利用单电子储存一个信号单元 (Bit) 的单电子存储器 (Single electron memory) 逐渐成为存储器发展的一个趋势。

单电子存储器的基本结构为一堆叠闸 (Stacked gate) 结构,通道与浮动栅极皆为奈米级尺寸,如图 1.17(a) 所示。信号产生的机制与一般堆叠闸存储器相同,主要是利用介于栅极和通道间的浮动栅极 (Floating gate) 储存电荷。由浮动栅极储存电荷量的差异,造成通道临界电压的变化,由此形成信号“0”与“1”的判别。但在一般堆叠闸记忆体中,信号的写入 / 清除伴随着大量的电子 (>50000 个); 而在单电子存储器中,则仅包含单一电子的变化。这主要是因为纳米级尺寸的通道与浮动栅极不仅使电子因量子效应而增加能量,另一方

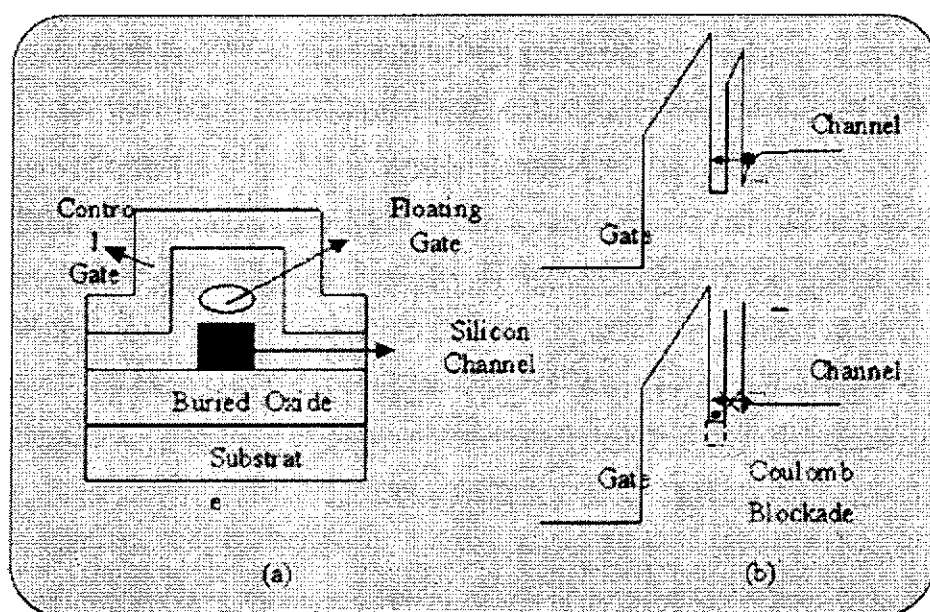


图 1.17: 单电子记忆体结构及库伦阻塞效应。

面更有效的降低存储单元的等效电容, 增加浮动栅极的库伦充电能 (Coulomb charging energy), 使得增加一个电子至浮动栅极所需的能量大至能够区分 ($\gg$ 平衡热能 $k_B T$), 如此控制栅极仅需提供适当的能量便可轻易控制单一电子的进出。另外, 当一电子进入浮动栅极之后, 下一个电子的进入会受到库伦排斥力的作用, 而无法再进入, 此即所谓的库伦阻塞 (Coulomb Blockade Effect), 如图 1.17(b) 所示。尽管近年来试验上已陆续制作出许多不同的单电子记忆体, 但在实际应用上, 仍有许多挑战需要克服, 主要有:

1. 制备: 在室温正常操作的单电子存储器, 其通道及浮动栅极的尺寸要小于 10nm, 而要稳定的制作出均匀纳米尺寸的元件, 对现在的制备工艺仍是一个很大的挑战。
2. 信号读取误差: 由于信号是由单电子电荷造成的临界电压值来决定, 因此只要元件受到带电粒子或界面电荷等干扰时, 即可能造成信号的读取错误。
3. 较大的写入 / 清除电压: 为了容易控制单电子的穿隧, 必需将存储单元的等效电容降至最低, 如此造成了信号的写入 / 清除需要较大的工作电压, 即较大的能量消耗。另外, 单电子存储器除了能降低元件电流及功率损耗外, 亦由于信号的写入 / 清除仅包含单一电子, 而有较快的速度; 且量子囚禁效应 (Quantum confine effect) 及单电子穿隧效应也提供记忆体较强的元件忍耐度 (Endurance) 等特性, 这都显示了单电子记忆体未来发展的潜力。

§1.3 本论文研究选题

随着自旋电子学的快速发展,信息存储工业在自旋电子学技术中取得了初步成功。由于 GMR 读头的使用,它的高灵敏度是数据能够以更致密的方式存储,而使硬盘在每平方毫米上存储的数据量比原来增加了 3 个数量级。在接下来的几年中,具有更高灵敏度的 TMR 读头也会很快走入市场,它引起的革命将会远远大于目前的 GMR 读头。磁随机存储器 (MRAM: magnetic random-access memory), 一种新型的计算机内存,它以更快的开关速率和可写性挑战着传统的随机存储器。自 GMR 时代提出概念以来,也在不断发展。室温下高 TMR 值的获得使它逐步走向现实。但是,这些产品的可靠实用和成功商业化将会依赖于核心单元 - 磁性隧道结的磁电特性以及长期使用的稳定性。而这又与大批量生产时,在大面积衬底上能否得到高质量、特性一致、均匀的高密度隧道结单元密切相关。我们基于国家 973 课题 - MRAM DEMO, 使用现有的薄膜制备和光刻工艺对 4 英寸 Si/SiO₂ 衬底上进行了隧道结制备的研究。希望能对进一步的期间研究提供一定的实验基础和依据。

在今天的硬盘读出头和 MRAM 中,其核心单元 - 磁电阻自旋阀单元的灵敏度对于数据的可靠读取至关重要。对于目前的磁性隧道结单元,提高其灵敏度,即输出信号的幅度,存在着以下几种途径: 1. 使用不同的势垒层,如用 MgO 取代 Al₂O₃, 目前已得到大于 300% 的磁电阻值。2. 选用高自旋极化率的材料。如使用 CoFeB 合金取代原来使用的 CoFe、NiFe 等合金。这样,如何得到高自旋极化的材料并进行可靠的探测也是目前理论和试验关注的焦点。传统的方法中,超导体中的 Zeeman 分裂被拿来用于 F/I/S 结中对磁性材料 F 进行测量分析。这种方法相当敏感,但对材料要求较为苛刻。要求材料能够制备成隧道结,而且要求极低温条件(低于 1K),使实验相对较为困难。近年来,较为简单的安德鲁反射被用来对磁性材料进行极化率探测,取得了一定的实验结果,但也面临着许多争论和不一致之处。我们基于隧道结高自旋极化材料的选择,对此方法进行一定的实验探讨,首先对目前常用的 Au, Cu 等普通金属和 Co, Ni 磁性金属以及具有较高自旋极化的 CoFeB 合金进行实验、比较和分析。

目前,在磁电阻研究方面,除 AMR, CMR, GMR, TMR 之外,人们还在试图尝试其它的效应,以寻求得到更灵敏的磁电阻效应,进而得到更高的信号输出,能够探测更微弱的磁场变化。基于被囚禁区域内狭窄畴壁的翻转被认为可

以获得巨大的磁电阻效应 (BMR), 今年来基于磁的许多试验探讨得到具有很大的结果。有些研究小组在实验中发现高达 1000,000% 的磁电阻变化, 引起了人们的强烈兴趣。但有些研究小组却不能得到重复的结果。究竟是具有广泛应用前景的实验事实, 还是假象? 我们采用不同的方法去制备可靠的磁性金属纳米接触, 对它们的磁电性质进行研究。期望能够得到合理的实验证据和进一步合理的物理机制的理解。

另一方面, 未来的电子学器件日趋向轻型化、小型化发展。随着人们对于微观尺度现象的进一步探索和理解, 人们寄希望于直接利用自然的纳米结构, 甚至从分子以至原子层次, 从底部到顶部去构建所需要的磁电工能器件。例如, 采用纳米线作为电路, 用化学修饰的具有希望功能的有机小分子直接实现目前电子器件的放大和开关功能。这样, 未来的电子产品将可以完全有机化, 而做到超轻、超薄。并且由于核心功能原件工作在分子尺度, 将会大大降低功耗, 大幅度节约有限的资源。另外, 适当有机化合物的选取, 也会使由于日新月异、更新换代而飞速淘汰的电子产品容易降解处理, 而解决目前日益严重的环境污染问题。碳纳米管是一种一定条件下自然形成的一种完美的一维结构, 近来理论和实验表明, 根据它的不同结构, 它具有非常有趣的不同的磁电输运性质, 是纳米尺度下理想的磁电输运材料, 并且进行结构修饰后, 可以直接实现一定的器件功能。基于在纳米管的磁性电极连接中, 存在着有趣的磁电阻特性, 我们寄希望于在未来的可能情况下, 采用碳纳米管直接构建隧道结单元, 进行信息存储。基于此, 我们首先对于多壁碳纳米管中的自旋输运性质进行研究, 结合其它研究小组的试验成果, 对可能的输运机制以致影响因素进行研究、分析。为进一步的器件应用奠定基础。

另外, 基于分子器件的概念, 有机小分子中被期望利用化学方法进行结构修饰而去得到具有一定功能的分子尺度的原件。这种方法将会使更有效、更直接的。它可以使我们大批量的合成所需要的功能分子结构去应用到一定的器件结构中。目前的有限研究中, 有序单分子的磁电输运特性还很是欠缺。尽管采用旋涂或蒸发方法得到的无序分子结构中观察到了低温下一定的磁电输运信号。但远远不能满足将来稳定, 可靠器件所要求的有序、高质量的分子排列。LB 方法是目前比较理想而且有效的得到大面积有序分子排列的方式。我们试图采用该方法, 并选取适当的有机小分子材料, 有序的放入一定的铁磁材料中, 从而形成高质量的磁 / 有机 / 磁隧道, 进行磁电性质的研究。希望能在室温下观

测的分子中有效的自旋极化输运,为进一步的自旋电子学分子器件研究提供一定的参考。并考虑了把这种磁 / 有机 / 磁隧道核心结构作为 MRAM 存储单元的可行性。再者,我们采用 LB 方法也基于它能够容易的对大面积衬底进行操作,有利于将来器件的进一步产业化。这对于未来商业化应用中大批量生产和降低成本具有重要的意义。

未来的集成电路中,我们可能会看到这样一幅图像:自旋电子同通过碳纳米管铺成的道路和架起的桥梁,进入有有机小分子搭建的工作间,实现各种各样的开关、放大以及逻辑功能。而各种质优价廉、功能齐全、环保的电子产品被方便的直接加工到或很方便的放入随身的衣服夹层内。大自然的清新和随时随地办公、娱乐不再是梦想。

第二章 磁性隧道结的微制备

磁性隧道结的制备方法主要包括磁性隧道结薄膜的沉积技术及后续的深紫外曝光、电子束曝光技术及氩离子束刻蚀、化学反应刻蚀、聚焦离子束刻蚀等微加工技术；测量分析主要包括对微加工制备出的磁性隧道结的输运性质的测量以及对磁性隧道结薄膜的磁性测量和结构成分分析等等。

§2.1 磁性隧道结薄膜制备

薄膜制备方法中，目前使用最广泛的是物理气象沉积（PVD）方法。物理气象沉积方法又分为两大类：一类是蒸发法，又包括电阻式蒸发、电子束蒸发、电弧蒸发、激光蒸发等方法；另一类是溅射法，又包括直流溅射、射频溅射、磁控溅射、反应溅射、离子束溅射等方法。溅射制膜法是利用带有电荷的离子在电场中加速后具有一定动能的特点，将离子引向被溅射物质的靶材，在合适的离子能量下，入射离子在与靶材表面的原子碰撞过程中将后者溅射出来。被溅射出的靶材原子通常带有一定动能，会沿着一定的方向射向衬底，从而实现薄膜的沉积。溅射现象本身涉及非常复杂的碰撞和散射过程。首先，入射离子的一部分动能超过被碰撞的靶原子周围存在的由其它原子所形成的势垒（对于金属材料通常是 5-10 eV）时，被碰撞靶原子会从晶格点阵中被撞出，产生离位原子，并进一步和附近的靶原子依次反复碰撞，发生所谓的碰撞级联。当这种碰撞级联达到样品表面时，如果靠近表面的原子的动能超过其表面结合能（对于金属材料通常为 1-6 eV），这些靶原子就会从样品的表面逃逸出来进入真空。

本实验中所采用的是溅射方法中的磁控溅射制膜技术，因其工艺流程简单、沉积速度相对较快、制备的薄膜质量良好、成层稳定等优点在薄膜研究中被广泛采用，并且一旦工艺成熟，可直接用于大规模工业化生产。因此，磁控溅射是一个有基础研究和实际应用双重价值的磁性隧道结制备技术。

§2.1.1 磁控溅射镀膜技术

普通的溅射方法通常沉积薄膜的沉积速率较低，溅射时所需要的工作气压较高，否则电子的平均自由程太长，放电现象不能维持。这两个缺点的综合效

果是气体分子对薄膜产生污染的可能性较高。因此,磁控溅射技术作为一种沉积速率较高,工作气压较低的溅射技术具有其独特的优越性 [89]。

磁控溅射是通过外加磁场将靶表面被加速离子轰击出的二次电子限制在紧靠靶表面的区域内,以增加电子与气体原子的碰撞,实现了低气压、高产额。工作气压的降低一方面减小了薄膜污染的可能性,另一方面也将提高入射到衬底表面原子的能量,后者可以在很大程度上改善薄膜的质量。磁控溅射具有可以将等离子体约束在靶的附近,对衬底的轰击作用小的特点,这对于希望减少衬底损伤、降低沉积温度是有利的。但是,磁控溅射也存在着对靶材溅射不均匀、靶材利用效率不够高等缺点。

对于沉积绝缘材料或半导体材料可以采用射频溅射的方法,即在靶材和基片之间加一高频电场,形成高频放电,使等离子体中的正离子和电子交替轰击靶材,避免了直流溅射法中只有正离子轰击靶材,使靶表面上正电荷积累,电位升高,不能维持放电。射频溅射系统采用不对称电极结构,使靶面积远小于接地部分的面积,以减小逆溅射。

§2.1.2 超高真空磁控溅射仪简介

本论文中所制备的磁性隧道结薄膜,均采用日本真空制造的 MPS-400-HC7 型超高真空磁控溅射仪来沉积,图 2.1,该磁控溅射仪有以下几个特点:

(1) 三真空室结构。该磁控溅射仪专为制备磁性隧道结设计,有三个相连的真空腔,样品在其间靠机械手传递,传递过程不会破坏高真空。预备室用于装卸样品,可直接与外界相连,并且配有反溅射装置,用以清洁基片表面;中间室连接预备室与主沉积室,主要用于铝膜的沉积和氧化或者用于其它种类势垒薄膜的沉积和制备;主沉积室主要用于各种单质金属和合金薄膜的沉积。合金薄膜可以利用合金靶来制备,亦可利用 2 - 7 种单质靶通过共溅射方式来实现,且成分可调控。

(2) 真空度高、溅射气压低。中间室本底真空通常可达 1×10^{-6} 帕,主沉积室本底真空通常在 10^{-7} 帕量级,最高可进入 10^{-8} 帕。溅射时工作气压通常为 0.07 帕。

(3) 七靶位系统,可以溅射包含多种材料的薄膜。采用多靶共同溅射的方法来制备合金薄膜,可以很好的控制薄膜的成分。

(4) 触摸屏操作系统,对于多周期薄膜可以使用计算机自动控制沉积。

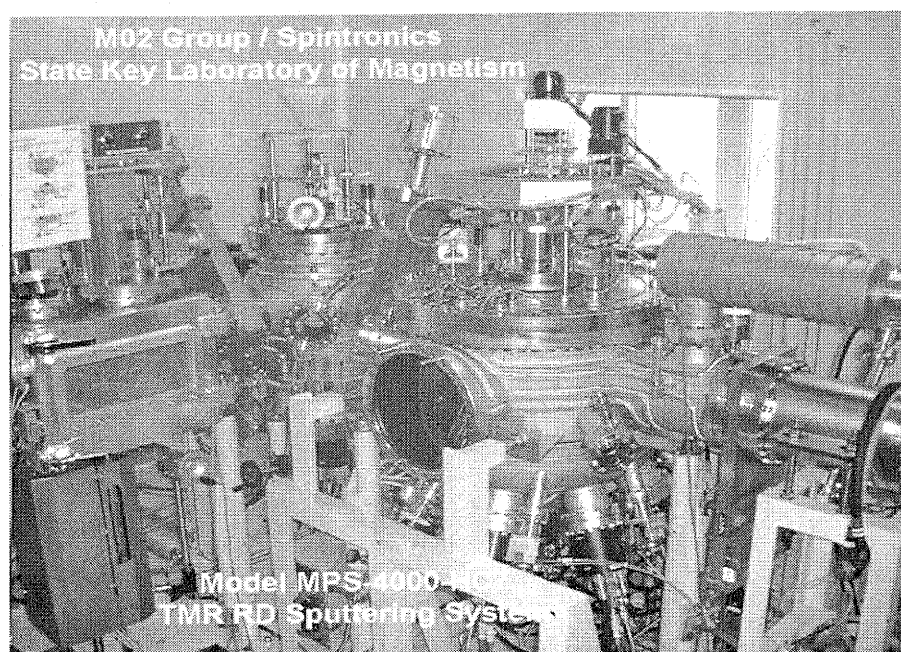


图 2.1: MPS-400-HC7 型超高真空磁控溅射仪。(ULVAC Company, Japan)

(5) 系统具有良好的稳定性, 制备的薄膜质量高, 重复性好。在四英寸基片上沉积的薄膜, 中心与边缘的厚度差在 5% 以内, 三英寸之内厚度误差小于 3%。

§2.2 磁性隧道结薄膜微加工方法

目前, 用于制备微米、亚微米和纳米磁性隧道结、磁性隧道结阵列、TMR 磁读出头和磁随机存储器方法有光刻和电子束曝光技术以及离子束刻蚀、化学反应刻蚀、聚焦离子束刻蚀等, 其中光刻技术结合离子束刻蚀是微加工工艺中具有较低成本、可大规模生产的首选工艺。因此研究光刻技术结合离子束刻蚀方法制备磁性隧道结, 通过优化实验条件, 制备出高质量的微米和亚微米磁性隧道结具有很大的实际应用意义。另外, 在优化制备磁性隧道结的工艺条件时, 金属掩膜法仍具有最低成本、省时省力、见效快的优点。一般情况下, 利用狭缝宽度为 $60-100\mu m$ 的金属掩膜法, 从制备磁性隧道结样品到完成隧穿磁电阻测试, 只须 3-6 小时。因此金属掩膜法制备磁性隧道结, 既可用于快速优化实验和工艺条件, 也可以作为采用复杂工艺和技术制备微米、亚微米或纳米磁性隧道结之前的预研制方法。在本节中, 我们分别给出了利用金属掩膜法和光刻技术结合离子束刻蚀法制备磁性隧道结的工艺方法。

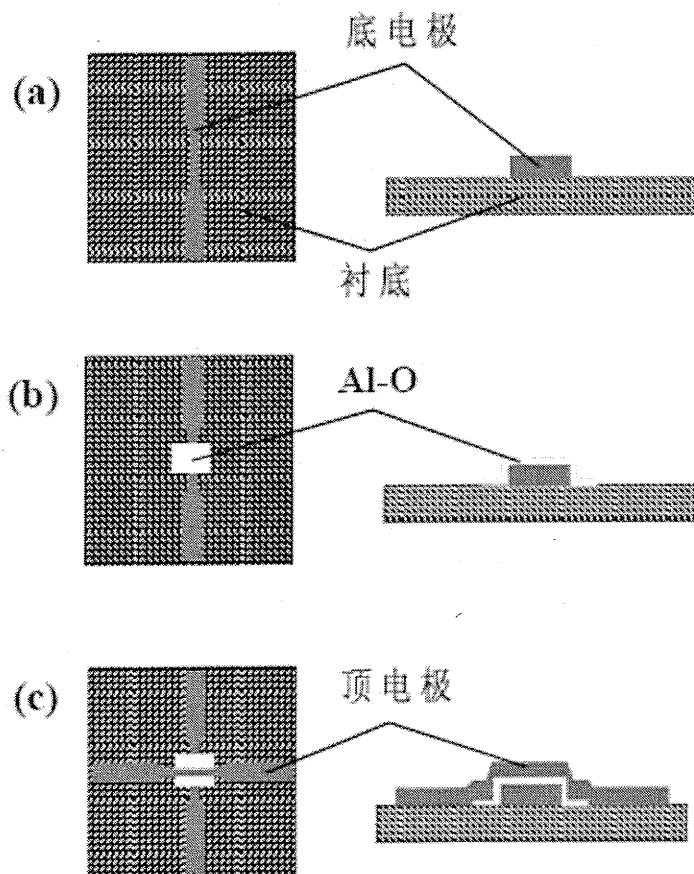


图 2.2: 一种金属掩膜法制备磁性隧道结的工艺流程。(Feifei Li, 2005)

§2.2.1 金属掩膜法

图 2.2 给出一种用金属掩膜法制备磁性隧道结的工艺流程。首先将铜导电电极、钉扎层和下部磁电极等, 通过第一个条形的、狭缝宽度为 $100\mu\text{m}$ 的金属掩膜, 沉积到热氧化硅 $\text{Si}(100)/\text{SiO}_2$ 衬底上, 得到底部电极, 例如一个典型的底电极结构 $\text{Ta}(5\text{nm})/\text{Cu}(25\text{ nm})/\text{Ni}_{79}\text{Fe}_{21}(5\text{nm})/\text{Ir}_{22}\text{Mn}_{78}(10\text{nm})/\text{Co}_{75}\text{Fe}_{25}(4\text{nm})$, 然后将样品从磁控溅射仪中取出, 更换第二个方形、孔边长为 $800\mu\text{m}$ 的金属掩膜。然后将样品送入金属铝沉积和氧化室, 溅射所需厚度的铝膜后, 在 1.0 帕的氩气和氧气的混合气体氛围中, 用等离子体氧化方法氧化铝膜合适的时间, 形成势垒层 AlO_x 。再将样品从磁控溅射仪中取出, 更换第三个条形的、狭缝宽度为 $100\mu\text{m}$ 的金属掩膜。最后将样品送入磁性膜沉积室, 溅射上部电极。例如一个典型的结构 $\text{Co}_{75}\text{Fe}_{25}(4\text{nm})/\text{Ni}_{79}\text{Fe}_{21}(20\text{nm})/\text{Ta}(5\text{nm})$, 形成十字形的磁性

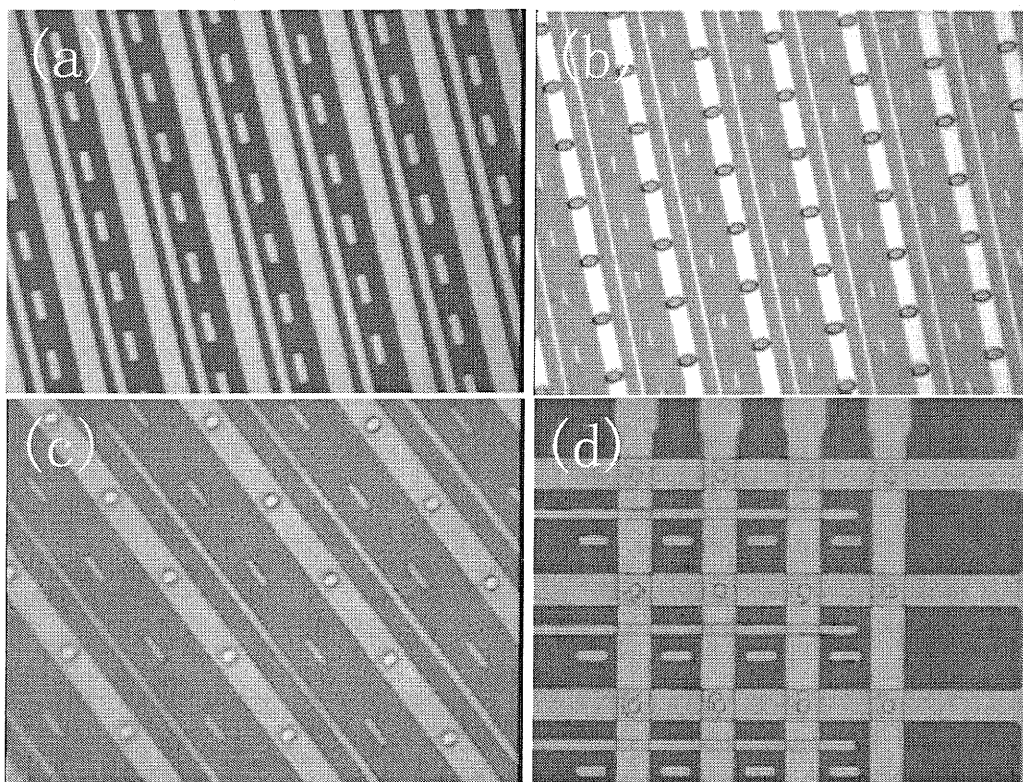


图 2.3: 一种利用光刻技术中的刻槽和打孔工艺方法制备磁性隧道结的工艺过程典型照片。依次为: 第一次涂胶和紫外曝光后获得的底电极; 第二次涂胶和紫外曝光后获得的结区; 去胶然后沉积 SiO_2 绝缘层隔离和掩埋隧道结, 第三次涂胶和紫外曝光、化学反应刻蚀及氩离子辅助刻蚀获得 MTJ 上部导电孔; 去胶然后沉积 Cu 和 Au 导电电极最终形成的一种隧道结阵列。

隧道结。每个金属掩膜尺度为 $25\text{mm} \times 25\text{mm}$ 。每一个 $25\text{mm} \times 25\text{mm}$ 衬底上, 可一次性制备 14 个磁性隧道结 [90]。

金属掩膜法的优点是薄膜沉积完成后, 磁性隧道结的制备也完成, 无需后续的加工手段。因此, 制备周期短、成本低, 能快速知道结果, 所以通产可用于实验条件的优化和某些需要避免离子刻蚀加工的磁性隧道结的制备工艺。但是通常由于掩模板的加工精度有限, 隧道结的面积较大, 实际应用中受到一定的限制。另外, 采用金属掩膜法在更换掩膜的时候通常要将样品暴露在大气中, 无法实现整个隧道结结构的原位生长, 通常会影响所制备的隧道结的性能。

§2.2.2 深紫外曝光技术结合 Ar 离子束和化学反应刻蚀的刻槽和打孔工艺法

首先利用磁控溅射方法,将磁性多层膜(例如一个典型的磁性隧道结结构 Ta(5nm)/Ni₇₉Fe₂₁(3nm)/Cu(20nm)/Ni₇₉Fe₂₁(3nm)/Ir₂₂Mn₇₈(10nm)/Co₇₅Fe₂₅(4nm)/Al(0.8nm)-O/Co₇₅Fe₂₅(4nm)/Ni₇₉Fe₂₁(20nm)/Ta(5nm),在磁控溅射仪中沉积到热氧化硅 Si(100)/SiO₂ 衬底上。所有纳米金属膜的溅射沉积,均在背底真空为优于 1×10^{-7} 帕的磁控溅射仪中连续完成。当 0.8 nm 厚的 Al 膜在沉积和氧化室里沉积完毕后,在 1.0 帕的氩气和氧气的混合气体氛围中,用等离子体氧化方法氧化铝膜合适的时间,形成势垒层 Al(0.8 nm)-O。

第二步,利用光刻和离子束刻蚀及化学反应刻蚀技术,采用刻槽和打孔工艺,目前可以容易地获得 $2 \times 4 \mu\text{m}^2$ 以上各种尺寸大小的磁性隧道结阵列。刻槽和打孔工艺如图 2.3 所示。首先用第一块掩膜采用深紫外曝光做出一组形状为长条形(如 $1200 \mu\text{m} \times 8 \mu\text{m}$)的规则排列的底电极图形阵列。经过刻蚀、去胶后得到规则排列的底电极薄膜阵列,如图 2.3(a)。

第三步,通过第二次涂胶、光刻板掩膜紫外曝光、氩离子刻蚀和去胶工艺,在 MTJ 膜的中间部位,通过刻槽方式获得所需要的孤岛状的 MTJ,如图 2.3(b) 所示。结区的图型由光刻板掩膜图形决定,可以选为长方形、椭圆形或其它形状。环绕孤岛状 MTJ 的槽的深度超过 Al-O 和底部铁磁层如 Al(0.8 nm)-O/Co₇₅Fe₂₅(4 nm) 即可。图中给出的是经过刻蚀,还未去胶时的图像,去胶后由于对比度交叉,不能看到明显的结区。

第四步,接着去胶,然后通过沉积 200 纳米左右的 SiO₂ 绝缘层来隔离和掩埋隧道结;图 2.3(c) 为通过第二次涂胶后,利用第三个光刻板掩膜经过紫外曝光获得 MTJ 上部导电孔的图型。

第五步,利用化学反应刻蚀快速去除 MTJ 上部导电孔和两边电极接触孔中的 SiO₂,然后通过氩离子辅助刻蚀获得良好的金属接触面。去胶后再沉积铜和金导电层,经过刻蚀最终得到的隧道结阵列,图 2.3(d)。最后上下两个铜导电电极形成十字形,每个孤岛状的磁性隧道结位于十字形结的中心。

图 2.5 所示为采用该工艺在 4 英寸 Si/SiO₂ 基片上制成的可以与 CMOS 配套的隧道结阵列。图形所用的掩模版上面有 4×4 阵列和 16×16 阵列,图 2.4 给出了 4 英寸基片上 256 个重复单元中一个单元的隧道结阵列分布图。

光刻技术结合 Ar 离子束和化学反应刻蚀的刻槽和打孔工艺法可以保证整