

### 3.1.2 电阻温度特性

加热情况下测试的电阻温度变化特性关系如图 21 所示。

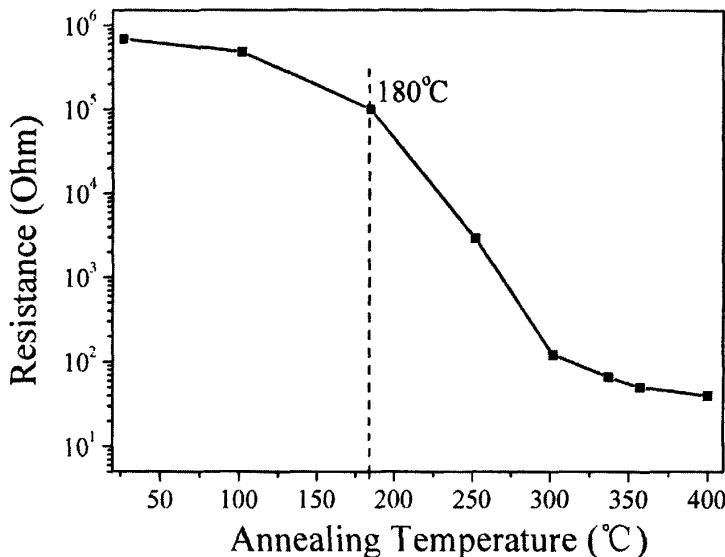


图 21 电阻温度变化情况

## 3.2 SST 存储单元阵列制备技术研究

利用 UV-NIL 加工工艺制备了单元尺寸 200nm~10μm，周期 400nm~20μm 的相变材料高密度点阵结构。

### 3.2.1 微米级存储阵列制备

#### 一、实验

- (1) 图 22 是 UV-NIL 加工时模板和基底的装配示意图。
- (2) UV-NIL 制作 PCM 阵列流程示意图如图 23，在样品（图 23 (a)）表面旋涂一层粘合剂和 AMONIL 如图 22 (b)，涂覆粘合剂和光刻胶后的样品分别置于电热板上 100℃热烘 1min。然后，用 1 英寸石英模板在 EVG620 上完成 UV-NIL 工艺，如图 23 (c)、(d)。最后依次刻蚀、填充、抛光，如图 23 (e)、(f)、(g)、(h)。为防止脱模过程中模板和光刻胶粘连，压印前用碳氟化合物对石英模板表面气相法处理后退火 1 小时，在模板结构表面形成一层类似 Teflon 性质的自组装单分子膜以减小表面能。

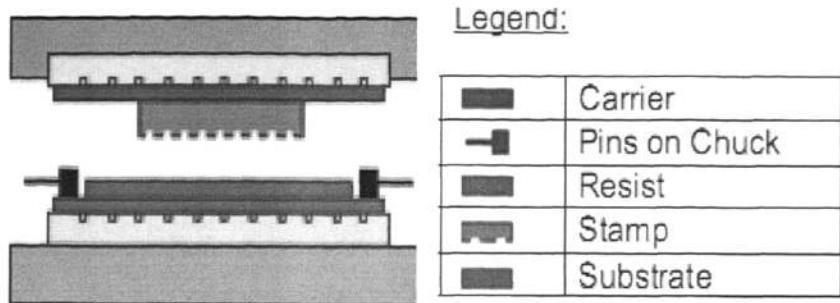


图 22 模板和基底的装配示意图

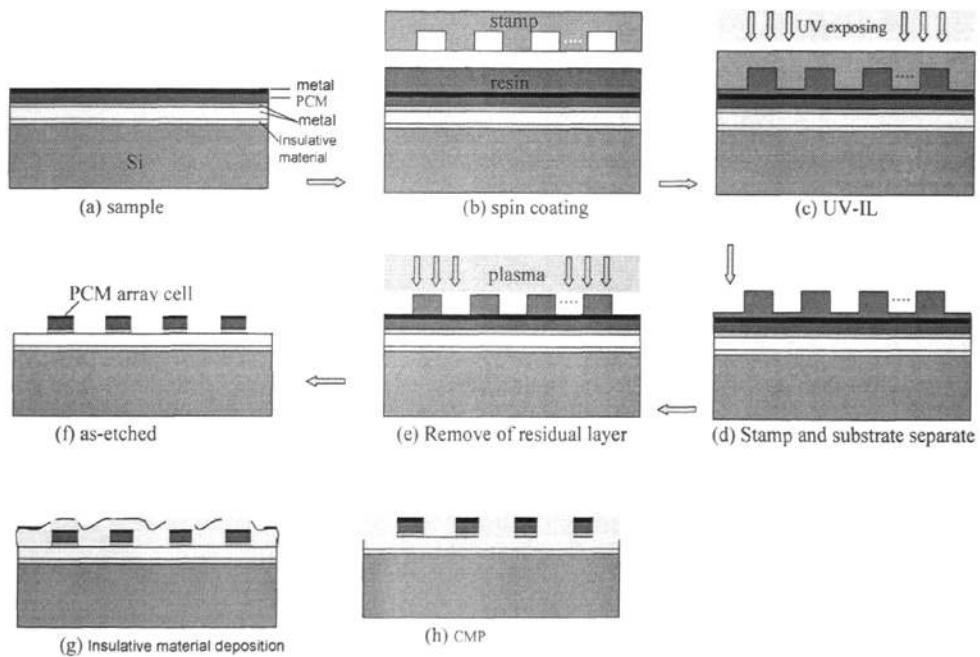


图 23 UV-NIL 制作 PCM 阵列流程示意图

(3) 阵列单元特征尺寸以及 PCRAM 存储单元的电学特性分别通过 SEM (S-4800, Hitachi, 日本) 以及脉冲信号发生器 (Agilent 81104A) 表征。

## 二、结果与分析

### 1. 3.8M/In<sup>2</sup> PCM 阵列

#### (1) 阵列制备结果

密度  $3.8M/In^2$  PCM 阵列制备结果如图 24 所示, 采用气相法修饰后的孔阵列石英模板 (见图 24 (a)) 压印脱模时模板与光刻胶完全分离, 且无剥离脱胶现象, 获得了结构清晰完整、单元尺寸均匀、边缘整洁平滑、残留层均匀的光刻胶复型阵列, 如图 24 (b) 所示, 它是与模板凹凸对应的点阵列。结果表明: 气相修饰法形成的自组装单分子膜显著降低了石英模板表面能; 预处理工艺有效提高了光刻胶成膜均匀性及膜与基底的黏附性; 烘烤工艺解决了复型结构表面残留气孔问题。

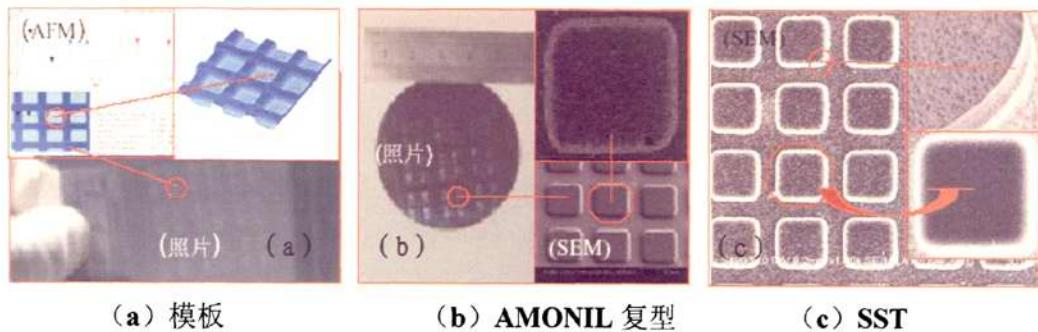


图 24  $3.8M/In^2$  阵列

## (2) 单元存储特性

用 SST 阵列构筑 PCRAM 存储单元, 并通过电学性能表征研究存储特性, 图 25 是  $100\mu m^2$  的 SST 存储单元的 R-T<sub>RESET</sub> 特性曲线, 说明存储单元具有比较稳定的非晶和多晶电阻值。

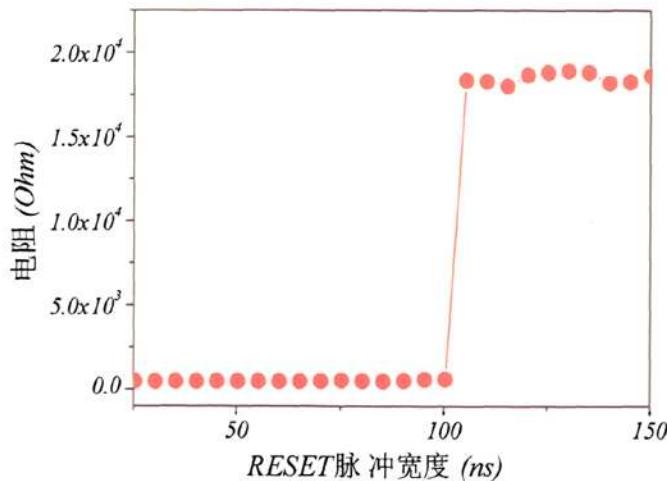


图 25 R-T<sub>RESET</sub> 特性

存储单元的  $R-T_{SET}$  曲线如图 26 所示。

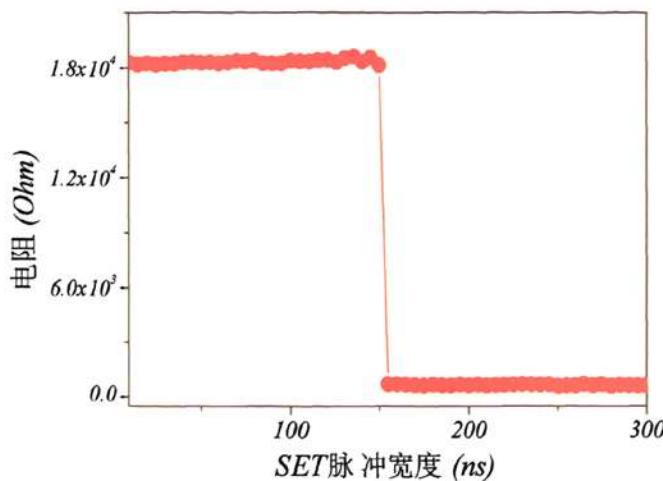


图 26  $R-T_{SET}$  特性曲线

## 2. 18M/ $In^2$ PCM 阵列

### (1) 阵列制备结果

密度 18M/  $In^2$  PCM 阵列制备结果如图 27 所示。

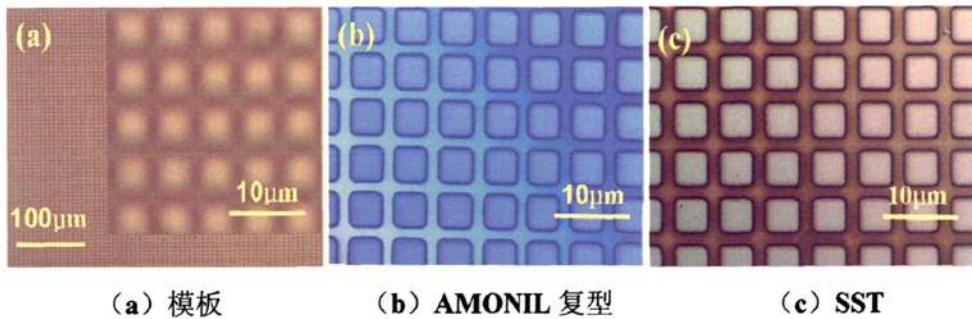


图 27 18M/  $In^2$  阵列

### (2) 单元存储特性

存储单元的擦 (SET) 写 (RESET) 特性是 PCRAM 设计的重要依据，对存储单元施加一个按步长递增的电压脉冲后接着用一个较低的直流电压 ( $\leq 0.1V$ ) 测量其电阻值，重复施压、测量过程。得到面积  $20\mu m^2$  的 SST 单元的擦写特性如图 28。

疲劳特性 (数据保持力、使用寿命) 是衡量商业化存储器性能的另一项主要指

标, 采用一定的电压脉冲对  $20\mu\text{m}^2$  存储单元进行连续的 SET 和 RESET 操作, 60000 个循环为一个电阻值采集周期时存储单元疲劳特性如图 29 所示, 结果表明存储单元性能稳定达到  $3 \times 10^5$  个循环, 具备实际应用价值。

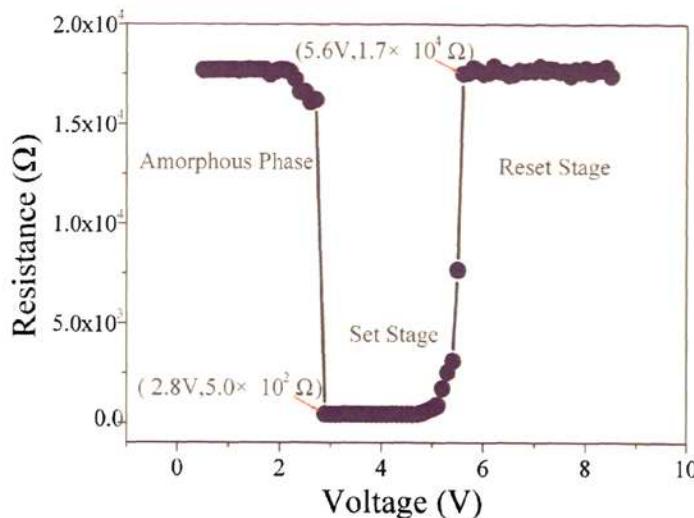


图 28 R-V 特性

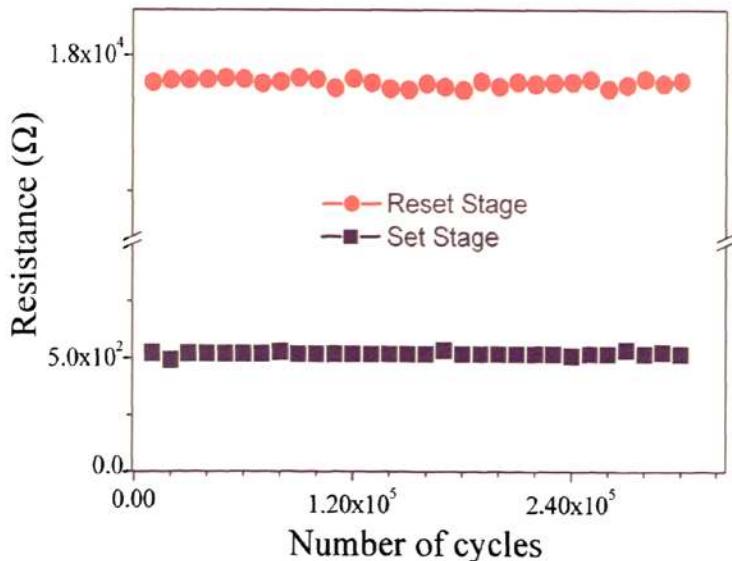


图 29 疲劳特性

### 3.2.2 400nm 周期存储阵列

#### 1、阵列制备

400nm 周期 (4G/Inch<sup>2</sup>) 存储阵列制备流程如图 30 所示, 先在硅基  $\text{SiO}_2$  表面沉积  $\text{Ti}$ 、 $\text{TiN}$ 、 $\text{SST}$  和  $\text{TiN}$  多层膜, 接着在样品表面涂一层粘合剂进行预处理; 然后涂 **AMONIL**。最后, 用 1 英寸石英模板在 **EVG620** 上完成 **UV-NIL**, 压印后用 **RIE** 刻蚀转移。压印前先通过气相沉积法在模板表面形成一层全氟癸烷基三氯硅烷 ( $\text{CF}_3\text{-}(\text{CF}_2)_7\text{-}(\text{CH}_2)_2\text{-SiC}_{13}$ , **FDTTS**) 自组装膜, 结果表明气相法修饰后石英模板结构表面能显著降低。**4G/Inch<sup>2</sup>** 阵列结构制备结果如图 31 所示。

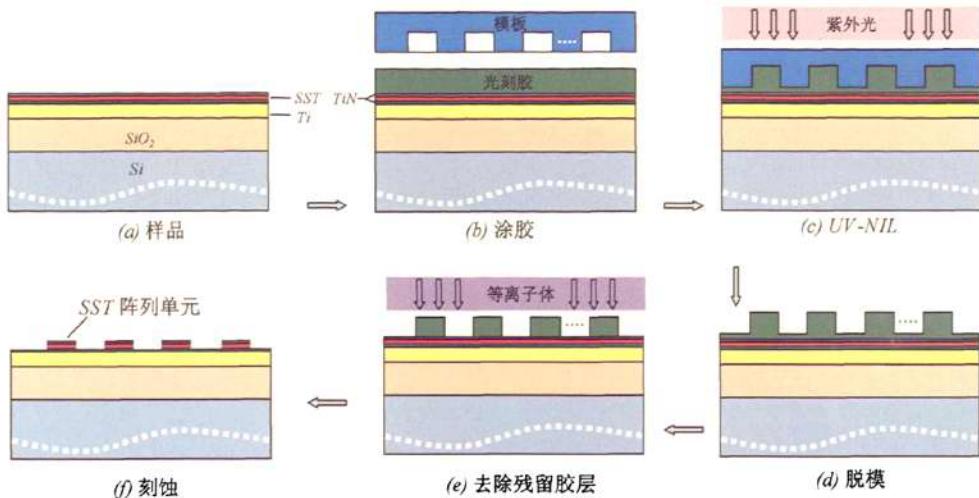


图 30 SST 阵列流程示意图

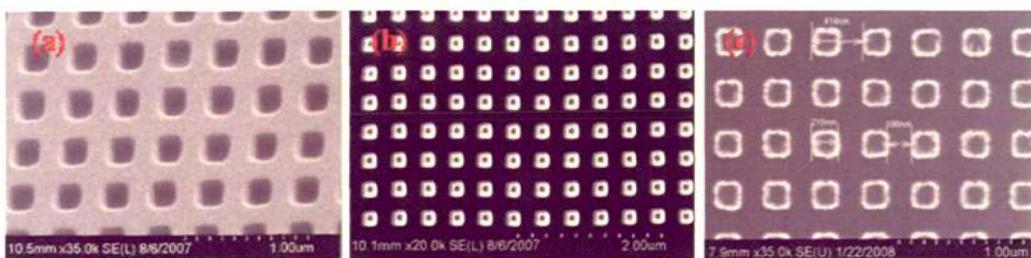


图 31 4G/Inch<sup>2</sup> 阵列, (a) 模板 (b) 压印结构 (c) SST 阵列

## 2. 4G/Inch<sup>2</sup> 阵列单元存储性能

**SST-PCRAM** 存储单元的典型 **I-V** 特性如图 32 所示: 初始阶段电流很小, 表明此时存储单元电阻很大, 处于高阻态。当电压超过 1.56V 时, **I-V** 曲线发生突变, 电流显著增加, 说明电阻值急剧减小, 转为低阻态。

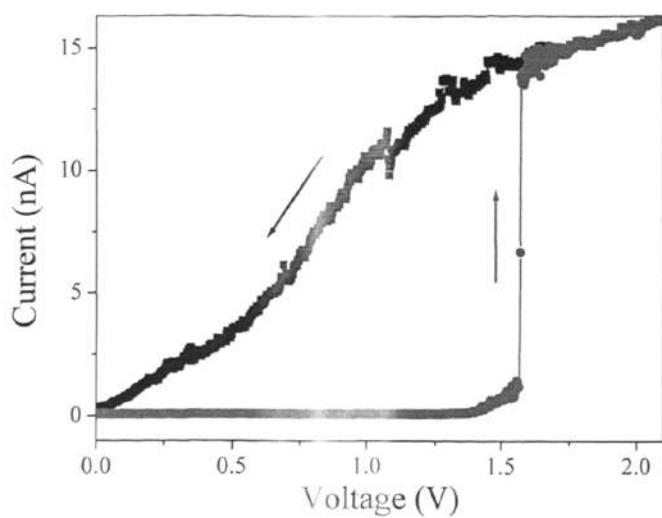


图 32 V-I 曲线

---

## 第四章 结束语

- 1、完成了一套相变材料阵列紫外压印(UV-NIL)制造实验工艺，并研究了UV-NIL制造中影响复型精度的主要因素，为提高加工精度奠定了基础。
- 2、针对商业化PCRAM开发中迫切需要解决的高密度阵列制备关键问题，利用UV-NIL制备了单元尺寸200nm~10μm，周期400nm~20μm的相变材料高密度点阵结构，阵列密度分别为3.8M/In<sup>2</sup>、18M/In<sup>2</sup>和4G/In<sup>2</sup>等。并测试PCRAM存储单元得到了相应的存储特性。
- 3、压印制备工艺的开发及与半导体工艺的有效集成，有望为新材料在纳米尺度的性能表征提供后续研究手段。

---

## 主要参考文献目录

- [1] Ovshinsky S R. Phys. Rev. Lett, 1968, 21(20):1450
- [2] Choi H, Kim H-K, Koo S-M, et al. Characteristic improvement of  $Ge_1Se_1Te_2$  phase change memory by the heating method and the device structure change[J]. Microelectronic Engineering, 2007, 84:1606–1609.
- [3] 封松林, 宋志棠, 刘波等.微纳电子技术, 2004, 41 (4): 1
- [4] Zhang T, Song Z T, Wang F, et al. Advantages of SiSb phase-change material and its applications in phase-change memory[J]. Appl. Phys. Lett. 2007, 91: 222102.
- [5] Lai S. Current status of the phase change memory and its future[C]. IEEE IEDM Technical Digest. USA, 2003, 255-258.
- [6] Bernacki S, Hunt K, Tyson S et al. IEEE Trans. Nuc. Sci. 2004, 47(6):2528
- [7] Ovshinsky S R, Czubatyj W. SPIE, 2001, 4085:15
- [8] Zhang T, Song Z T, Feng G M, et al.  $Ge_1Sb_2Te_4$  Based chalcogenide random access memory array fabricated by 0.18- $\mu m$  coms technology [J]. Chin. Phys. Lett. 2007, 24. (3):790.
- [9] Cho W Y, Cho B H, Cho B G et al. ISSCC, 2004, 2.1:40
- [10] Liu B, Song Z T, Feng S L, Physics, 2005, 34(4):279(in Chinese)
- [11] Shen J, Xu C, Liu B, et al. Reversible resistance switching of  $GeTi$  thin film used for Non-volatile memory[J]. Jpn. J. Appl. Phys., 2007, 46 (1): L1–L3.
- [12] Heyderman L J, Schift H, David C, et al. Nanofabrication Using Hot Embossing Lithography and Electroforming. Microelectronic Engineering, 2001, 57~58:375~380
- [13] Zankovych S, Hoffmann T, Seekamp J, et al. Nanoimprint lithography: challenges and prospects [J]. Nanotechnology, 2001, 12:91-95.
- [14] Watanabe K, Morita T, Kometani R. Nanoimprint using three-dimensional microlens mold made by focused - ion – beam chemical vapor deposition [J]. Journal of vacuum science & technology B: Microelectronics and nanometer structures, 2004, 22(1): 22 - 26.
- [15] Resnick D J, Mancini D, Dauksher WJ et al. Improved step and flash imprint lithography templates for nanofabrication [J] Microelectronic engineering, 2003, 69 (2 - 4): 412 -419.
- [16] 刘彦伯, 顾长庚, 乌建中, 朱兆颖.下一代光刻技术——纳米压印技术.机电一体化, 2005, 11 (6): 14-19.
- [17] Chou S Y, Kelmel C. Ultrafast and Direct imprint of Nanostructures in Silicon [J]. Nature, 2002, 417(20):835-838.
- [18] Lee H, Hong S-H, Yang K-Y, et al. Fabrication of  $Ge_2Sb_2Te_5$  based PRAM device at 60 nm scale by using UV nanoimprint lithography[J]. Microelectronic Engineering, 2007, 84:573-576.
- [19] Chou S Y, Krauss P R, Renstrom P J. Imprint lithography with 25-nanometer resolution[J]. Science, 1996, 272: 85-87.
- [20] Ito T, Okazaki S. Pushing the limits of lithography [J]. Science, 2000, 406:1027-1031.

- 
- [21] Lee J J, Choi K B, Kim G H, et al. The UV-nanoimprint lithography equipment with multi-head imprinting unit for sub-50 nm half-pitch patterns [J]. *Microelectronic Engineering*, 2007, (84): 963-966.
  - [22] Yang K-Y, Hong S-H, Kim D-K, et al. Patterning of  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  phase change material using UV nano-imprint lithography [J]. *Microelectronic Engineering*, 2007, 84:21-24.
  - [23] Bailey T.C., Resnick D.J., et al. Template fabrication schemes for step and flash imprint lithography, *Microelectronic Engineering*, 2002, 61-62:P461-467.
  - [24] Zhang Y, Wong H-S P, Raoux S, et al. Phase change nanodot arrays fabricated using a self-assembly diblock copolymer approach[J]. *Appl. Phys. Lett*, 2007, 91:013104.
  - [25] Zhang T, Song Z T, Rao F, et al. High speed chalcogenide random access memory based on  $\text{Si}_2\text{Sb}_2\text{Te}_5$ [J]. *Jpn. J. Appl. Phys.*, 2007, 46(11): L247~249
  - [26] Zhang T, Cheng Y ,Song Z T, et al. Comparison of the crystallization of Ge-Sb-Te and Si-Sb-Te in a constant-temperature annealing process [J]. *Scripta Materialia*, 2008, 58:977-980.
  - [27] Zhang Y, Feng J, Zhang Z F, et al. Characteristics of Si-doped  $\text{Sb}_2\text{Te}_3$  thin films for phase-change random access memory [J].*Appl. Surf. Sci.*,2008,10:1016.

---

## 致谢

本项研究工作是在两位导师钮晓鸣主任和宋志棠研究员的精心指导和大力支持下完成的，两年来，导师严谨求实的治学态度、孜孜以求的工作作风和大胆创新的进取精神深深感染着我，特别是导师渊博的知识、开阔的视野和敏锐的思维给了我深深的启迪，感谢导师的教诲！这项工作也一直得到了闵国全教授的悉心指导和帮助，在此表示衷心感谢！同时，费立诚高级工程师在研究中给了我热心指导和帮助，在此衷心感谢！两年来，纳米中心的领导和同事们帮我解决了很多的工作、学习和生活难题，使我能够安心工作，借此机会表示衷心感谢！衷心感谢万永中博士、周伟民博士、张静工程师、张挺博士、吕士龙博士在我的实验以及论文工作中给予的大力帮助。感谢李萍、陈英、王瑜和刘建英老师，她们对我的博士后工作给予了很多无私帮助。最后，要感谢我的家人，是她们多年来一直在默默奉献支持着我，关心照顾着我。

同时，本项研究工作得到国家重大科学计划(2007CB935400)、上海市科学技术委员会科研发展计划(0652nm052、0752nm013、0752nm014)、上海市博士后重点科学基金(07R214204)的大力资助，在此表示衷心感谢。

- 
- [2] 刘彦伯, 钮晓鸣, 宋志棠, 闵国全, 万永中, 张静, 周伟民, 李小丽, 张挺, 张剑平, 利用压印技术制备大面积相变材料阵列, 微细加工技术 (2008) 05-0005-04. (中文核心期刊、EI)
- [3] 刘彦伯, 闵国全, 宋志棠, 周伟民, 张静, 张挺, 万永中, 李小丽, 张剑平, 压印技术制备超高密度 Si<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> 基相变存储阵列, 微纳电子技术 (2009) 第 46 卷第 1 期 45~49. (中文核心期刊、PK、CA)
- [4] **Yanbo Liu, Xiaoming Niu, Zhitang Song, Guoquan Min, Weimin Zhou, Jing Zhang, Ting Zhang, Bo Liu, YongZhong Wan, Xiaoli Li, Jianping Zhang, Songlin Feng.** Array with phase change material Si<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> fabricated by UV-imprint lithography. 8th International Symposium on Optical Storage/2008 International Workshop on Information Data Storage. proc.SPIE, 2009, value 7125, (accepted). (EI & ISTP)
- [5] **Liu Yanbo, Zhang Ting, Niu Xiaoming, Song Zhitang, Min Guoquan, Zhang Jing, Zhou Weimin, Wan Yongzhong, Zhang Jianping, Li Xiaoli, Feng Songlin.** Study of Si<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> phase change material by Atomic Force Microscope Nano-tip. Journal of Semiconductors. (2009.02.16.accepted) (EI、CA、PK).
- [6] 刘彦伯, 张玄, 变频调速液压同步牵引系统及其能量分析, 内蒙古工业大学学报 (自然科学版), (2008) 第 27 卷第 3 期 0213-0218. (中国科技核心期刊)
- [7] 刘彦伯, 张玄, 桥式比例调速液压同步牵引系统及其功率特性, 机电一体化, (2008) 第 14 卷第 10 期 81~83,92. (中国科技核心期刊)
- [8] **Weimin Zhou, Jing Zhang, Yanbo Liu, Xiaoli Li, Xiaomin Niu, Zhitang Song, Guoquan Min, YongZhong Wan, Liyi Shi, Songlin Feng.** Characterization of anti-adhesive self-assembled monolayer for nanoimprint lithography, Applied Surface Science, Volume 255, Issue 5, Part 2, pp. 2885-2889.
- [9] **Xiaoli Li, Qingkang Wang, Jun Shen, Yanbo Liu, Zhaoying Zhu, Yongzhong Wan, Xiaoming Niu.** Antireflective sub-wavelength gratings fabricated by UV-NIL. 2008 2nd IEEE International Nanoelectronics Conference, INEC 2008, 2008 2nd IEEE International Nanoelectronics Conference, INEC 2008, 2008, p xxx-xxx. (EI).

### 3、承担项目：

- (1) 主持上海市博士后科研计划《利用纳米压印技术实现相变存储单元纳米尺度化研究》项目 (07R214204)。
- (2) 参与国家重大科研计划项目《基于纳米结构的相变机理及嵌入式 PCRAM 应用基础研究》(2007CB935400)。

---

(3) 参与上海市科研计划项目《高密度 PCRAM 存储单元及其集成技术研究》(0752nm013)。

---

## 个人简介

刘彦伯：男，1968年出生，机械电子工程博士，副教授，从事先进制造技术、微纳结构加工技术和微型机电系统开发研究。先后承担或参与机电一体化制造、微纳加工技术及系统集成开发等多项国家和地方科研项目。已申请微纳电子器件加工领域国家发明专利10项，在IEEE和SPIE国际会议、《半导体学报》、《微细加工技术》以及《微纳电子技术》等专业核心刊物上以第一作者身份发表论文20多篇。

## 永久通信地址

上海市嘉川路245号3号楼3楼，邮编 200237

电话：021-64101616，手机： 13816494629

E-MAIL: liuyanbo@snpa.org.cn; liuyanbo@tsinghua.org.cn;

---

## 附录

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710044607.X

[51] Int. Cl.

G03F 7/00 (2006.01)

G03F 7/20 (2006.01)

G03F 9/00 (2006.01)

[43] 公开日 2009 年 2 月 11 日

[11] 公开号 CN 101364043A

[22] 申请日 2007.8.6

[21] 申请号 200710044607.X

[71] 申请人 上海市纳米科技与产业发展促进中心  
地址 200237 上海市徐汇区嘉川路 245 号 3  
号楼三楼

共同申请人 中国科学院上海微系统与信息技术  
研究所

[72] 发明人 刘彦伯 钮晓鸣 宋志棠 闵国全  
周伟民 李小丽 刘 波 张 静  
万永中 封松林

权利要求书 1 页 说明书 3 页 附图 6 页

[54] 发明名称

一种纳米结构套刻的模板设计和实现方法

[57] 摘要

本发明涉及一种纳米结构套刻的模板设计和实现方法，属于微纳电子领域。其特征在于将不同层结构定义在同一块模板上，通过特定的改变模板与基底相对位置，重复使用来实现多层纳米结构的套刻。这种方法不需要配置精密对准系统就可实现纳米级套刻。传统的套刻技术采用精密对准和多块模板，面对纳米级线宽加工需求，定位对准系统和光刻模板的成本越来越高。即使对于纳米压印这些新型的微纳加工技术，由于技术本身尚处研发，设备本身匮乏定位能力，对准和模板同样是研发的瓶颈问题。本发明提出的方法，不仅可以节约多层纳米结构加工研发成本，提高研发效率，而且可以有效解决纳米级结构套刻难题，具有研发实用价值。



1、一种纳米结构套刻的模板设计和实现方法，其特征在于：

- (1) 对称性模板版图设计；
- (2) 调整模板与基底相对位置；
- (3) 对准套刻；
- (4) 加工下一层结构。

2、按权利要求1所述的纳米结构套刻的模板设计和实现方法，其特征在于所述对称性模板版图设计：

(1) 不同层的结构全部设计在一块模板版图上，模板表面图形单元（一个（或一组）圆、或直线、或曲线或折线或上述圆、线的任意组合）几何中心（或图形单元上某一点、或图形单元周围某一点）处于XY直角坐标系中的坐标轴上，每个中心点（或图形单元上某一点、或图形单元周围某一点）在另一个坐标轴上都至少有一个与它等距离的中心点（或图形单元上某一点、或图形单元周围某一点）对应，互为镜像点；或模板表面图形单元几何中心（或图形单元上某一点、或图形单元周围某一点）处于XY直角坐标系中的任意一个象限内，每个几何中心（或图形单元上某一点、或图形单元周围某一点）在其他象限中至少有一个中心点（或图形单元上某一点、或图形单元周围某一点）和它沿相应坐标轴对称分布，互为镜像点。模板表面图形单元（一个（或一组）圆、或直线、或曲线或折线或上述圆、线的任意组合）中线条宽度、间距的特征尺寸在1nm~500μm之间。线条深度或高度为5nm~50μm。

(2) 不同层的对准标记全部设计在同一模板表面，对准标记的分布遵循上述(1)规则，即上述图形单元中至少有一组镜像点对应的图案是作为对准标记的，对准标记外形是规则的几何形状，每组对准标记中的标记外形可以相同也可以不相同，但一定要有对应的一组（两条或两条以上）或两组及两组以上线段作为识别区域。作为识别区域的线段长度在10μm~500μm之间，对准后识别区域相邻两条线段间距为0~5μm之间。对准标记图形线宽、间距的特征尺寸在1nm~500μm之间，线条深度或高度为20nm~50μm。

3、按权利要求1所述的纳米结构套刻的模板设计和实现方法，其特征在于所述调整模板与基底相对位置，以基底和模板上一次光刻相对位置为基准，通过重置或旋转模板、或基底、或同时旋转模板和基底一定角度，使模板和基底相对位置与上一次光刻相对位置相比产生特定的水平方向的角位移。

4、按权利要求1所述的纳米结构套刻的模板设计和实现方法，其特征在于所述对准套刻，根据需要寻找在基底上上一次光刻留下的对准标记和该标记在模板上的镜像点对准标记，微动调节模板和基底相对位置，直到对准标记上识别区域对应的线段组相对位置到达设定位置，满足套刻精度要求后曝光套刻。

5、按权利要求1所述的纳米结构套刻的模板设计和实现方法，其特征在于利用同一块模板加工下一层结构，根据需要，一块模板可以重复使用，通过多次套刻加工不同的结构层。

## 一种纳米结构套刻的模板设计和实现方法

### 技术领域

本发明涉及一种纳米结构套刻的模板设计和实现方法，属于微电子学领域。

### 技术背景

随着集成电路制造业的迅猛发展，光刻技术不断提高，芯片的特征尺寸也越来越小，集成电路的多层结构加工，都采用套刻技术，传统的套刻技术是通过采用多块不同的模板来实现多层结构器件加工。微电子技术的制造工艺已经到了 90nm，在器件加工工艺中需要多次套刻曝光来实现多层图形结构，多次套刻需要多块模板，而纳米级模板的加工技术要求很高，而且制备周期很长，导致纳米级模板成本很高，价格昂贵，模板费用已经成为传统光刻加工的一项主要的生产成本；面对特征线宽越来越小的微纳结构加工需求，套刻需要的精密定位对准系统成本越来越高，大部分科研机构根本无力承受。特别是对于像纳米压印技术这些新型的微纳加工技术来说，由于技术本身尚处于实验室研发阶段，设备本身就匮乏精密的对准性能。不论是工艺研究还是器件开发都既需要大量的精密模板，又迫切需要解决纳米级结构加工的套刻问题，在紫外纳米压印工艺中，一块 300nm 特征尺寸，1cm<sup>2</sup> 图形区域的石英模板加工费用要超过 50 万元人民币，加工周期要 2 个月以上。因此，特征线宽越来越小的微纳结构加工，不仅对光刻模板要求越来越高，使得高精密光刻模板的成本越来越高；而且对套刻需要的高精密定位对准系统性能要求也越来越高，导致研发成本剧增。纳米级模板加工制造和纳米级结构套刻是开展实验研究和产业化开发面临的瓶颈问题。本发明提出的方法，不仅可以节约多层纳米结构加工研发成本，提高研发效率，而且可以有效解决纳米级结构对准难题，具有研发实用价值。

### 发明内容

本发明目的在于提出一种纳米结构套刻的模板设计和实现方法，以此来降低研发成本，提高研发效率。

本发明的实现方法是：首先根据器件结构需要进行对称性模板版图设计；在完成一次光刻后，调整模板与基底相对位置；接着用上次光刻留在基底上的对准标记和这个对准标记在模板上的镜像点对准标记再次对准套刻；重复使用同一块模板加工不同结构层。

本发明的具体制备过程是：

(1) 对称性模板图案设计：根据微电子器件结构需要，设计对称性模板图案，将不同层结构都设计在同一块模板版图上，模板表面图形单元（一个（或一组）或圆、或直线、或曲线或折线或上述圆、线的任意组合）几何中心（或图形单元上某一点、或图形单元周围某一点）处于 XY 直角坐标系中的坐标轴上，每个中心点（或图形单元上某一点、或图形单元周围某一点）在另一个坐标轴上都至少有一个与它等截距的中心点（或图形单元上某一点、或图形单元周围某一点）对应，互为镜像点；或模板表面图形单元几何中心（或图形单元上某一点、或图形单元周围某一点）处于 XY 直角坐标系中的任意一个象限内，每个几何中心（或图形单元上某一点、或图形单元周围某一点）在其他象限中至少有一个中心点（或图形单元上某一点、或图形单元周围某一点）和它沿相应坐标轴对称分布，互为镜像点。上述图形单元线条宽度、间距的特征尺寸在 1nm~500 μm 之间，线条深度或高度为 5nm~50 μm。

(2) 设计对准标记，将不同层对准标记设置在同一模板表面，对准标记的分布遵循上述(1)规则，即上述图形单元中至少有一组镜像点对应的图案是作为对准标记的，对准标记外形是规则的几何形状，标记的大小和外形根据套刻精度需要而定，对准标记图形线宽或间距的特征尺寸在 1nm~500 μm 之间。每组对准标记中的标记外形可以相同也可以不相同，但一定要有对应的一组（两条或两条以上）或两组及两组以上线段作为识别区域。作为识别区域的线段长度在 10 μm~500 μm 之间，识别区域相邻两条线段间距为 0~5 μm 之间。线条深度或高度为 20nm~50 μm。

(3) 调整模板与基底相对位置，以基底和模板上一次光刻相对位置为基准，根据需要通过重置或旋转模板、或基底、或同时旋转模板和基底一特定角度，使模板和基底相对位置与上一次光刻相对位置相比在水平方向产生一个特定的角位移，以便于下一层结构加工。

(4) 对准套刻，根据需要寻找在基底上上一次光刻留下的对准标记和该标记在模板上的镜像点对准标记，微动调节模板和基底相对位置，直到对准标记上识别区域内对应的线段组相对位置到达设定位置，即识别区域相邻两条线段间距为 0~5 μm 之间。满足套刻精度要求后，曝光套刻。

(5) 根据多层结构器件需要, 模板可以反复使用, 进行下一层的套刻加工。

本发明提出的光刻用模板图形结构设计简单、易于加工, 在微纳制造领域中的大面积阵列结构加工研究开发中有很好的应用前景。

#### 附图说明

图 1 对称性模板表面版图示意图

图中: A、B、C、D 是图形单元; a、b、c、d 是对应的镜像点

E、F、G、H 是对准标记单元; e、f、g、h 是对准标记对应的镜像

I 是基底材料; J 是介质材料; K 是阵列结构的第一层;

L 是阵列结构的第二层; M 是阵列结构的第三层。

图 2 上一次模板和基底对准后的侧面示意图

图 3 下一次模板重置后的表面示意图

图 4 下一次模板和基底对准后的侧面示意图

图 5 模板复用一次后在基底上得到的光刻图形示意图

图 6 第三次模板和基底对准后的侧面示意图

图 7 模板复用二次后在基底上得到的光刻图形示意图

图 8 9×9 三层阵列结构截面示意图

图 9 对称性模板表面版图示意图

图中: 1、2、3、4、5、6、7、8 分别表示直径为 15nm、35nm、55nm、75nm、95nm、155nm、215nm、275nm 的圆或圆柱体; 1'、2'、3'、4'、5'、6'、7'、8' 均表示直径为 1 微米的圆或圆柱体, 上述两组数据圆心互为对应的镜像点。E、F、G、H 是对准标记单元; e、f、g、h 是对准标记对应的镜像

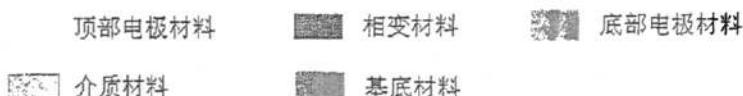


图 10 加工第一层时模板和基底对准后的侧面示意图

图 11 下一次模板重置后的表面示意图

图 12 下一次模板和基底对准后的侧面示意图

图 13 加工第二层后在基底上得到的光刻图形示意图

图 14 第三次模板和基底对准后的侧面示意图

图 15 模板复用二次后在基底上得到的光刻图形示意图

图 16 三层阵列结构截面示意图。

#### 具体实施方式

下面通过具体实施例进一步阐明本发明的实质性特点和显著的进步。但决非限制本发明, 本发明也决非仅局限于实施例。

##### 实施例一:

在基底上制备 4 组 500nm 线宽、100nm 线高的 9×9 三层阵列结构。层内每组线段长度为 40μm, 中间 7 条线段间距为 2μm, 两边的线段间距为 5μm, 相邻层线条相互垂直接触, 每条线段都有一个引出的电极点, 阵列单元接触面积为 500nm×500nm。对准精度控制在 500nm 之内。

按本发明提供的方法, 具体步骤是:

(1) 对称性模板版图设计: 根据器件结构需要, 设计对称性模板版图, 模板表面设计 4 组图形单元, 每个单元由 9 条线段组成, 每组线段线宽 500nm, 线槽深 100nm, 长度为 40μm, 中间 7 条线段间距为 2μm, 两边的线段间距为 5μm。取每组中的中间(第五条)一条线段的中点作为几何中心, 令四个几何中心分别处于 XY 直角坐标系中 (-200μm, 0)、(0, 200μm)、(200μm, 0)、(0, -200μm) 四个点位置

上，四组线段都沿平行于 X 轴方向排列（图 1）。

（2）设计对准标记，对准标记设置在同一模板表面，对准标记图形单元如图 1 种 E、F、G、H，E、G 中三角形的边长都为  $50 \mu m$ ，相邻两个三角形边之间间距为  $25 \mu m$ ，F、H 中十字形由两个长  $100 \mu m$ ，宽  $24 \mu m$  的长方形垂直相交而成，对准标记的几何中心分别为  $(-900 \mu m, 0)$ 、 $(0, 900 \mu m)$ 、 $(900 \mu m, 0)$ 、 $(0, -900 \mu m)$ （图 1），这样识别区域线段间距在  $500nm$ ，可保证  $500nm$  的对准精度。

（3）按照上述（1）、（2）版图设计信息设计并加工紫外纳米压印模板，模板材料是石英玻璃大小 1 英寸，厚度  $1mm$ ，模板表面为凹槽结构。按照纳米压印工艺进行第一层压印加工，如图 2 所示。

（4）调整模板与基底相对位置，以基底和模板上一次光刻相对位置为基准，将模板顺时针方向旋转  $90^\circ$ ，使模板和基底相对位置与上一次光刻相对位置相比在水平方向产生一个  $90^\circ$  的角位移（图 3）。

（5）对准套刻，寻找在基底上上一次光刻获得的对准标记 E 和模板上的对准标记 H，微动调节模板和基底相对位置，直到 E 和 H 的中心重合（图 4），同理寻找和调节基底上的 F、G、H 和模板上对应的 E、F、G，直到对准标记上识别区域内对应的线段组相对位置到达设定位置，即各识别区域相邻两条线段间距相等，相邻线段清晰可见时，说明间距误差小雨  $500nm$ ，满足套刻精度要求，完成下一次套刻曝光，获得  $9 \times 9$  双层阵列结构，加工后的基底表面示意图如图 5。

（6）同理，参照上述第（4）、（5）步操作，完成第三层加工。重复第（4）操作后结果示意图如图 6 所示，重复第（5）操作后结果示意图如图 7 所示。

本发明提出的光刻用模板设计和套刻方法设计简单、易于加工，而且可以有效保证阵列结构加工的一致性，在微纳制造领域中的大面积阵列结构加工中有很好的应用前景。

## 实施例二：

实验研究相变材料和电极点接触面积变化对相变存储器电学性能的影响关系。

根据要求，需分别设计制造直径为  $15nm$ 、 $35nm$ 、 $55nm$ 、 $75nm$ 、 $95nm$ 、 $155nm$ 、 $215nm$ 、 $275nm$  的相变材料单元和电极点。

按本发明提供的方法，本项实验可以非常简便地实现。具体步骤是：

（1）对称性模板版图设计：根据需要，设计对称性模板版图，模板表面设计 4 组图形单元，每个单元由 4 个带引出电极的圆孔组成，引出电极的直径为  $10$  微米，第一、三象限的圆孔直径都为  $1$  微米，第二象限的圆直径分别为  $15nm$ 、 $35nm$ 、 $55nm$ 、 $75nm$ ，第四象限的圆孔直径分别为  $95nm$ 、 $155nm$ 、 $215nm$ 、 $275nm$ 。所有圆孔和引出电极及相应引线深均为  $200nm$ ，取上述 16 个圆的中心作为几何中心，令几何中心分别处于 XY 直角坐标系中  $(5 \mu m, 5 \mu m)$ 、 $(5 \mu m, 2 \mu m)$ 、 $(2 \mu m, 2 \mu m)$ 、 $(2 \mu m, 5 \mu m)$ 、 $(-5 \mu m, 5 \mu m)$ 、 $(-2 \mu m, 5 \mu m)$ 、 $(-2 \mu m, 2 \mu m)$ 、 $(-5 \mu m, 2 \mu m)$ 、 $(-5 \mu m, -5 \mu m)$ 、 $(-5 \mu m, -2 \mu m)$ 、 $(-2 \mu m, -2 \mu m)$ 、 $(-2 \mu m, -5 \mu m)$ 、 $(5 \mu m, -5 \mu m)$ 、 $(2 \mu m, -5 \mu m)$ 、 $(2 \mu m, -2 \mu m)$ 、 $(5 \mu m, -2 \mu m)$ ；每个象限的引出电极均按一字形排列，第一象限对应的中心位置分别是  $(100 \mu m, 10 \mu m)$ 、 $(100 \mu m, 30 \mu m)$ 、 $(100 \mu m, 50 \mu m)$ 、 $(100 \mu m, 70 \mu m)$ ，其余象限依此类推，版图结构示意图见图 9。

（2）设计对准标记，对准标记设计同实施例一（2），见图 9。

（3）按照上述（1）、（2）版图设计信息设计并加工紫外纳米压印模板，模板材料是石英玻璃大小 1 英寸，厚度  $1mm$ ，模板表面为凹槽结构。按照纳米压印工艺进行第一层压印加工，如图 10 所示。

（4）调整模板与基底相对位置，以基底和模板上一次光刻相对位置为基准，将模板顺时针方向旋转  $90^\circ$ ，使模板和基底相对位置与上一次光刻相对位置相比在水平方向产生一个  $90^\circ$  的角位移（图 11）。

（5）对准套刻，寻找在基底上上一次光刻获得的对准标记 E 和模板上的对准标记 H，微动调节模板和基底相对位置，直到 E 和 H 的中心重合（图 12），同理寻找和调节基底上的 F、G、H 和模板上对应的 E、F、G，直到对准标记上识别区域内对应的线段组相对位置到达设定位置，即各识别区域相邻两条线段间距相等，相邻线段清晰可见时，说明间距误差小雨  $500nm$ ，满足套刻精度要求，完成下一次套刻曝光，加工后的基底表面如图 13 示。

（6）同理，参照上述第（4）、（5）步操作，完成第三层加工。重复第（4）操作后结果如图 14 所示，重复第（5）操作后，完成相应工艺，所得结果俯视图示意图如图 15，截面示意图如图 16 所示。

上述实施例将有助于理解本发明，但并不限制本发明的内容。

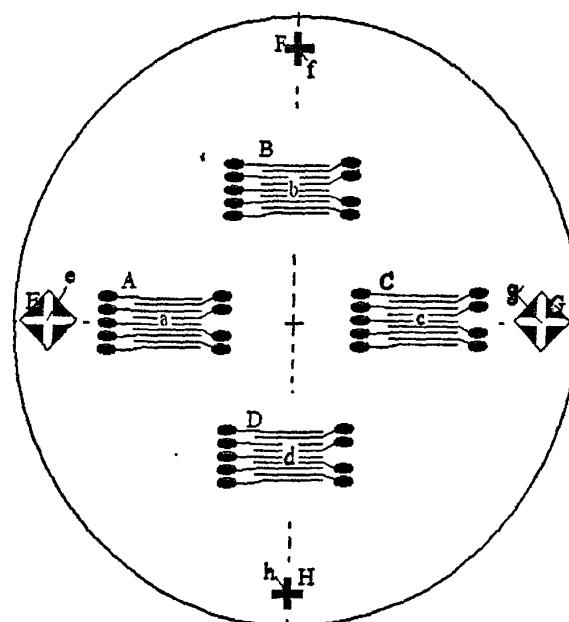


图 1

模板

E	A	HD(BF)	C	G
---	---	--------	---	---

基底

图 2

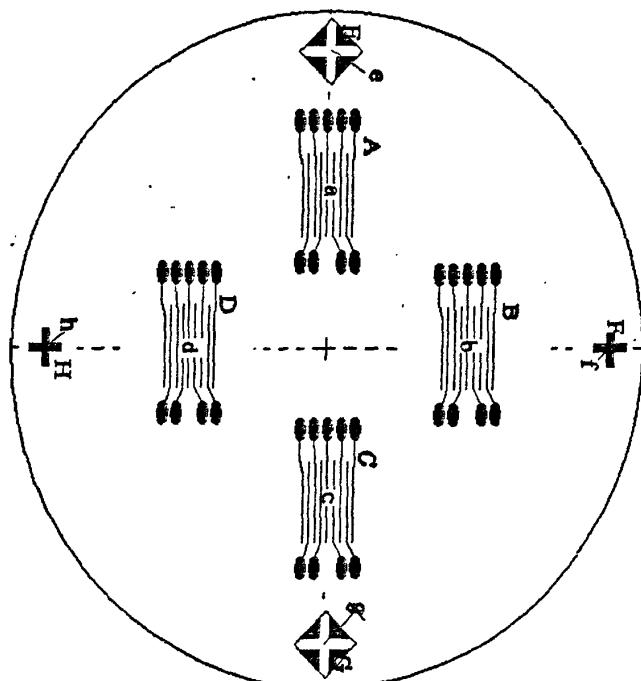


图 3

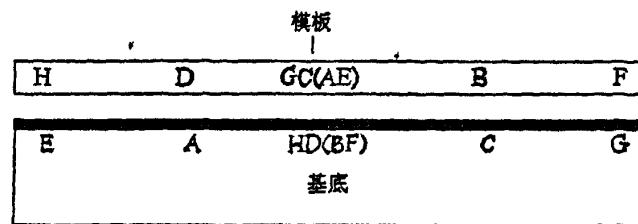


图 4

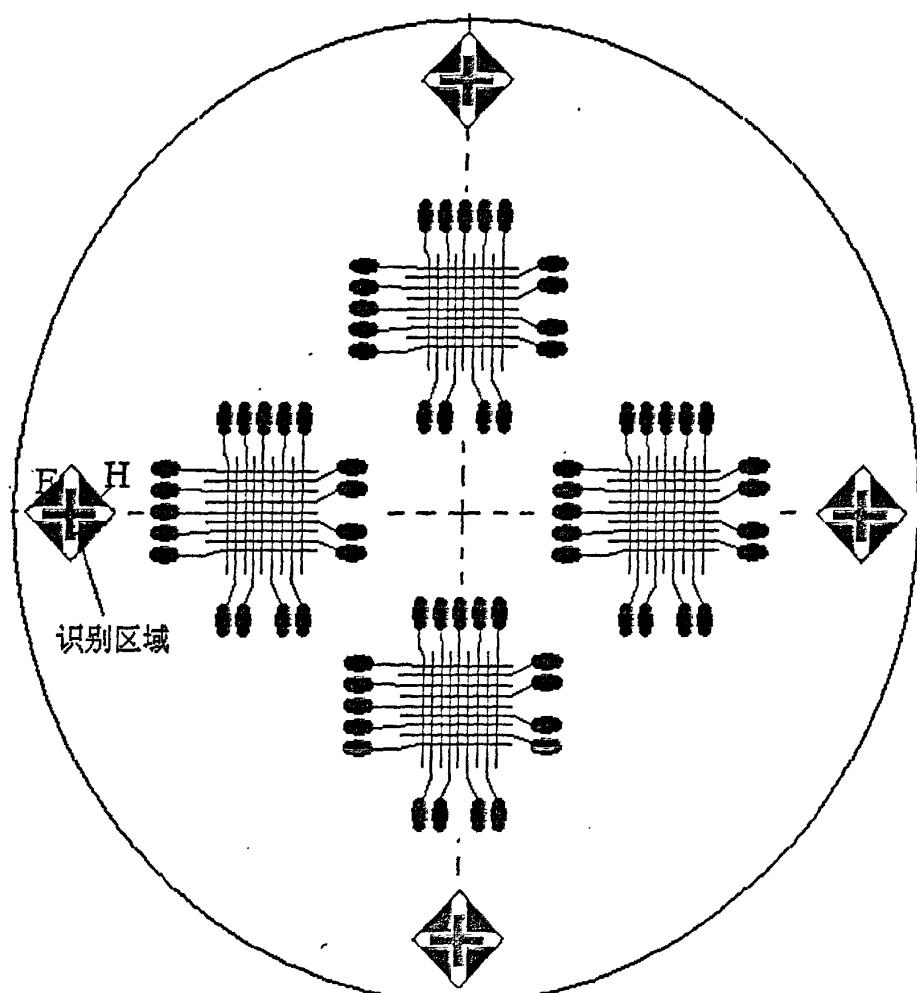


图 5

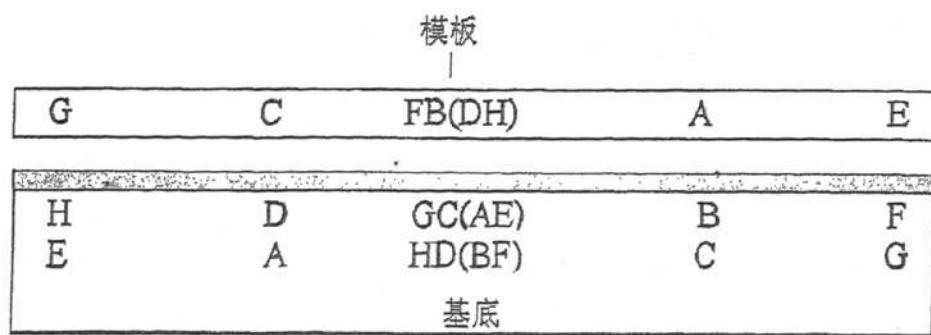


图 6

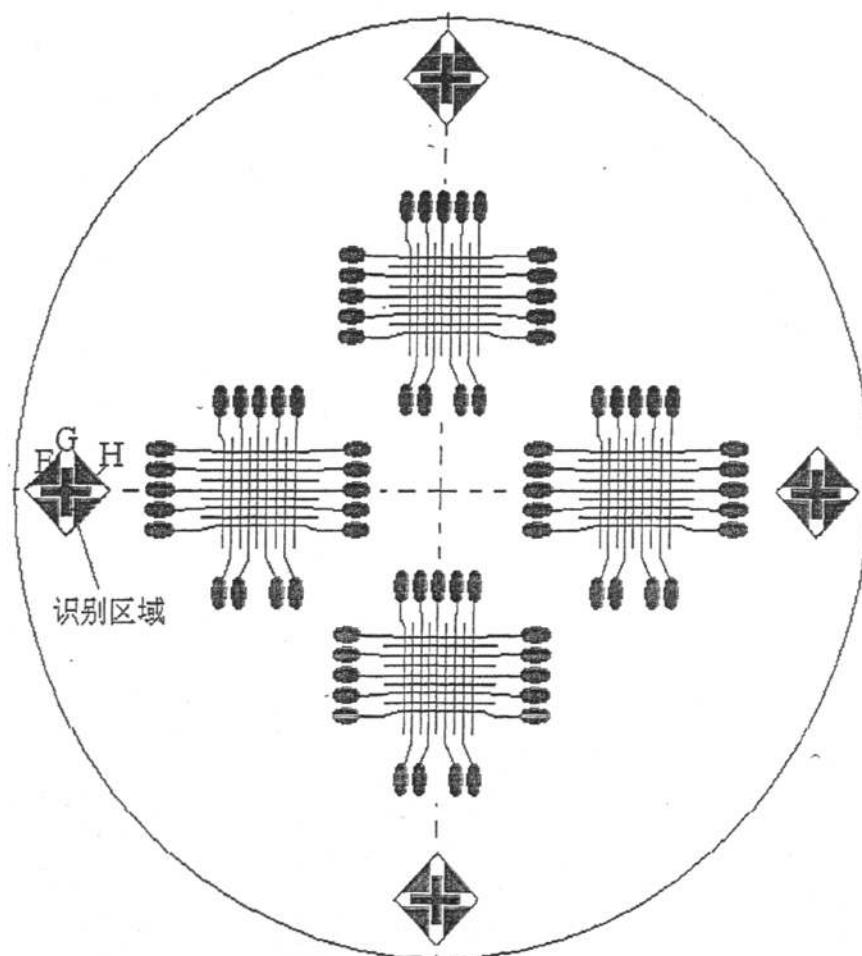


图 7

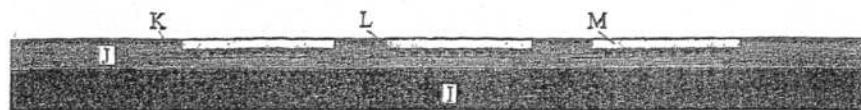


图 8

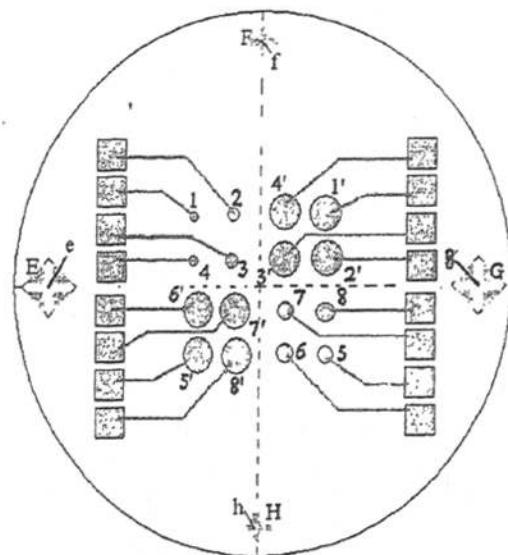


图 9

模板

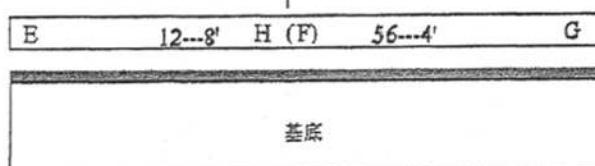


图 10

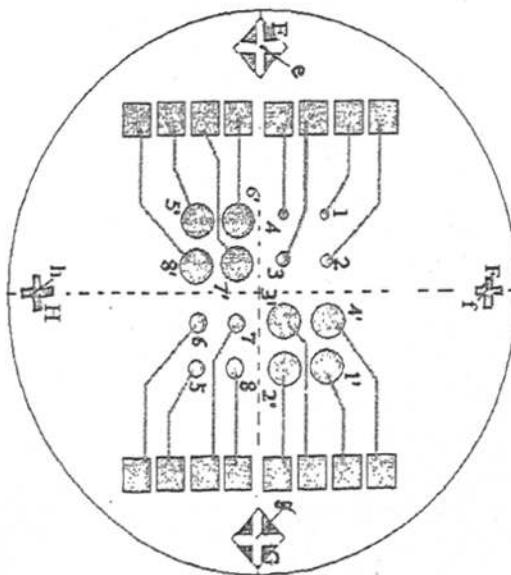


图 11

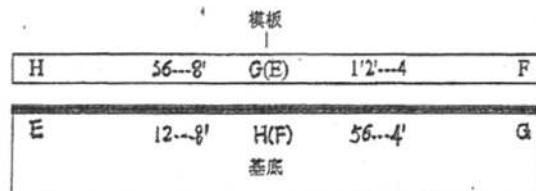


圖 12

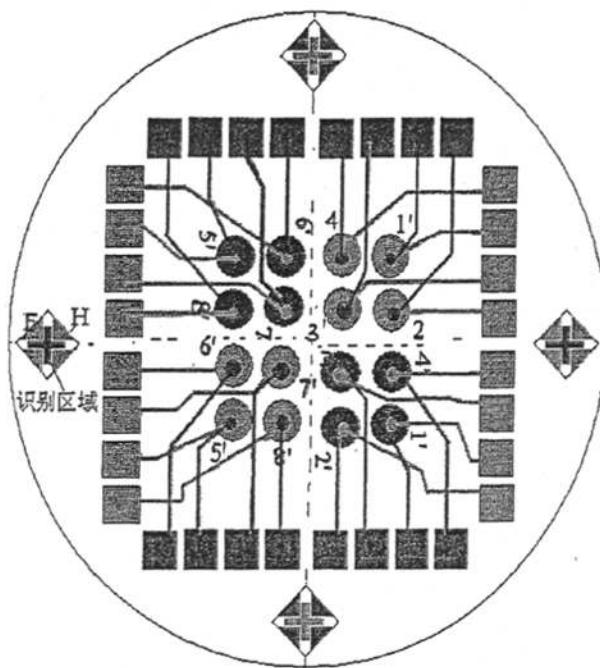


图 13

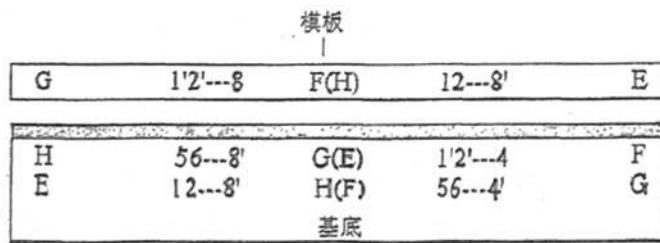


图 14

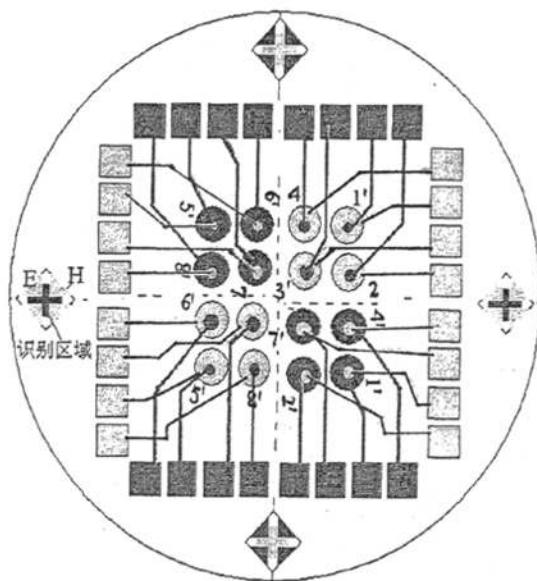


图 15

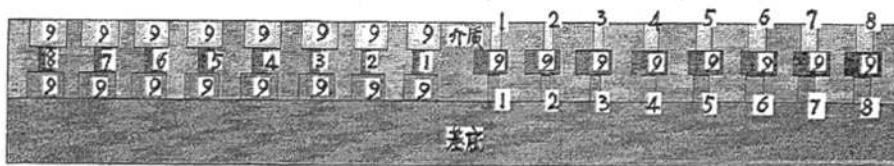


图 16

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710044609.9

[51] Int. Cl.

H01L 21/82 (2006.01)

H01L 27/24 (2006.01)

G11C 11/56 (2006.01)

[43] 公开日 2009年2月11日

[11] 公开号 CN 101364567A

[22] 申请日 2007.8.6

[21] 申请号 200710044609.9

[71] 申请人 上海市纳米科技与产业发展促进中心  
地址 200237 上海市徐汇区嘉川路245号3  
号楼三楼

共同申请人 中国科学院上海微系统与信息技术  
研究所

[72] 发明人 刘彦伯 钮晓鸣 宋志棠 闵国全  
周伟民 李小丽 刘 波 万永中  
封松林

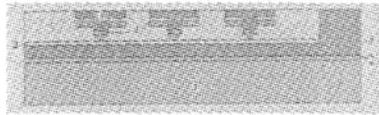
权利要求书1页 说明书3页 附图2页

[54] 发明名称

一种纳米级相变存储单元阵列制备方法

[57] 摘要

本发明涉及一种纳米级相变存储单元阵列制备方法，属于微纳电子技术领域。其特征在于一次性制作出“倒塔”型纳米级相变存储单元多阶凹孔阵列，塔尖为纳米级，然后在“倒塔”内分别填充特定的相变材料、过渡材料和电极材料，从而获得纳米级相变存储单元阵列。本发明提出的纳米级相变存储单元阵列制备方法能有效减小相变材料与电极材料的接触面积，工艺简捷、只需要一次曝光刻蚀，即巧妙地代替了目前相变存储单元加工中常用的两次曝光套刻工艺。这种方法既简化了纳米级多层单元结构制备工艺，又解决了纳米级相变存储单元多层结构的套刻问题，加工精度高、成本低，适于产业化，在低功耗、高密度相变存储器制备领域具有实质性特点。



1、一种纳米级相变存储单元阵列制备方法，其特征在于结构设计和一次性成型：

(1) 首先设计“倒塔”型纳米级相变存储单元多阶凹孔阵列，并将该多阶凹孔阵列按照凹凸相反的规则对应定义在透明的固态面板上，在固态面板上形成“塔”型多阶凸台阵列；

(2) 然后在沉积有绝缘材料、金属材料、过渡材料、绝缘材料，涂覆有图形转移介质的多层膜基底表面，通过印刻法将固态面板上的多阶凸台阵列一次性定义在图形转移介质层上形成“倒塔”型多阶凹孔阵列；接着通过刻蚀将该多阶凹孔阵列再转移到绝缘材料层上，在绝缘材料层上一次性制作出纳米级相变存储单元多阶凹孔阵列，并且可以重复使用多次成型；

(3) 最后通过多层膜沉积工艺给绝缘材料层上的多阶凹孔依次填充一定厚度的相变材料、过渡材料、金属材料，从而得到所需的纳米级相变存储单元阵列。

2、按权利要求1所述的纳米级相变存储单元阵列制备方法，其特征在于所述“倒塔”型纳米级相变存储单元多阶凹孔阵列，所述“倒塔”型是指含有两层或两层以上的倒立塔型结构，塔中每一层都是圆柱体或圆锥体结构。其中塔顶一层是圆锥体形，层高 20nm~200nm，锥顶直接与过渡材料相连，锥顶端面积在 1~3000nm<sup>2</sup> 之间，锥底端面积在 100nm<sup>2</sup> 以上；塔底一层高 100 nm~1000nm，底端面积在 400nm<sup>2</sup> 以上；从塔的顶层到底层横截面积逐渐增大，即塔中相邻两层的接触端面面积上一层小于或等于下一层；中间层高度在 20nm~1000nm 之间。

3、按权利要求1所述的纳米级相变存储单元阵列制备方法，其特征在于将该多阶凹孔阵列按照凹凸相反的规则对应定义在透明的固态面板上，在固态面板上形成“塔”型多阶凸台阵列。所述对应是指固态面板上凸台部分与所设计的纳米级多阶凹孔存储单元结构凹孔部分凹凸相反。该固态面板材料透紫外光，表面平整度误差不超过 10nm，厚度在 200 μ m~20mm 之间，材质是石英玻璃、或是聚二甲基硅氧烷聚合物 (PDMS)、或是聚甲基丙烯酸甲酯 (PMMA) 中任意一种。多阶凸台阵列是通过电子束光刻法、聚焦离子束刻蚀法、电子束曝光、光学光刻法、x 射线法、母模转移中任意一种微加工法定义在透明的固态面板上的。在定义好的固态面板结构上做表面修饰处理以降低表面能。

4、按权利要求1所述的纳米级相变存储单元阵列制备方法，其特征在于所述“倒塔”型多阶凹孔阵列一次性成型。基底表面依次沉积绝缘材料、金属材料、过渡材料、绝缘材料，涂覆图形转移介质，通过印刻法将固态面板上的多阶凸台结构一次性定义在图形转移介质层上层上形成“倒塔”型多阶凹孔阵列；接着通过刻蚀法将该多阶凹孔阵列再转移到绝缘材料层上，一定要保证刻蚀到加热材料层上，在绝缘材料层上一次性制作出纳米级相变存储单元多阶凹孔阵列，并且可以重复印刻多次。所述图形转移介质层厚度及其下面的绝缘材料层厚度必须大于固态面板上的多阶凸台结构的总的高度 2nm 以上。所述绝缘材料是 SiO<sub>2</sub>、SiN<sub>x</sub> 或具有绝缘功能的化合物中的一种，金属材料是 Al、W、Ti、Pt、Ag、Au、Cu 中的一种，所述过渡材料具有加热功能，过渡材料是 TiN、Cr 或其化合物中的任意一种，绝缘材料、金属材料、过渡材料和相变材料成膜厚度均在 2nm~500 μ m 范围内。所述图形转移介质材料是紫外光光敏聚合物中的一种或两种及以上组合、或掺杂（或改性）后的紫外光光敏聚合物中的一种或两种及以上组合。

5、按权利要求1所述的纳米级相变存储单元阵列制备方法，其特征在于所述多层膜沉积填充工艺，首先采用溅射法向刻蚀好的绝缘材料层上的多阶凹孔沉积相变材料、层厚为 10nm~500nm，然后溅射厚为 5nm~100nm 的过渡材料层，最后溅射厚为 10nm~1000nm 的金属材料层。从而得到所需的纳米级相变存储单元阵列。所述相变材料是硫系化合物中 GeSbTe 基、或 SiSbTe 基、或 SbTe 基、或 GeTe 基、或 GeSb 基中的任意一种，过渡材料是 TiN、Cr 或其化合物中的任意一种，金属材料是 Al、W、Ti、Pt、Ag、Au、Cu 中的任意一种。

# 一种纳米级相变存储单元阵列制备方法

## 技术领域

本发明涉及一种纳米级相变存储单元阵列制备方法，属于微纳电子学领域。

## 技术背景

相变存储器（PCRAM）是一种利用相变材料在非晶和多晶两种状态下具有不同电阻值的特性实现信号存储的新型存储器件，PCRAM 具有体积小、驱动电压低、功耗小、读写速度快，非易挥发的特点，与目前常用的闪存（FLASH）、动态随机存储器（DRAM）及铁点存储器（FeRAM）相比，竞争优势明显，同时具有耐高低温、抗辐射、抗振动的特性，因此，PCRAM 无论是在民用领域还是在国防领域都将有广阔的应用前景，成为研发热点。

然而目前相变存储器研发面临的一个主要问题，就是如何进一步减小其工作电流，减小工作电流有利于降低功耗并与目前 CMOS 工艺匹配。

对此，业界提出了通过减小电极点和相变存储单元结构来减小工作电流的多种方案，但制备方法主要采用传统的光刻技术，工艺复杂、加工成本高。本发明是针对纳米级相变存储单元阵列制备而提出的一种简便方法，具有工艺简单、加工成本低的突出优点。这种加工方法适合于相变存储器件的产业化批量生产，在纳米级多层结构加工领域具有实质性特点和显著的进步。

## 发明内容

本发明目的在于提出一种纳米级相变存储单元阵列制备方法，以满足相变存储器件纳米级存储单元制备的需要。用这种方法加工纳米级相变材料阵列结构，一次成型多次填充，既可以保证相变材料与电极之间的纳米级接触，又避免了复杂的对准工序，具有工艺简便、加工精度高、成本低廉、阵列结构一致性好、重复性好的优点，对于性能与接触参数关系密切的高密度相变存储器件制备尤为重要。

本发明的制备过程如下：首先设计“倒塔”型纳米级相变存储单元多阶凹孔阵列，并将该多阶凹孔阵列按照凹凸相反的规则对应定义在透明的固态面板上，在固态面板上形成“塔”型多阶凸台阵列；然后在沉积有绝缘材料、金属材料、过渡材料、绝缘材料，涂覆有图形转移介质的多层膜基底表面，通过印刻法将固态面板上的多阶凸台阵列一次性定义在图形转移介质层上形成“倒塔”型多阶凹孔阵列；接着通过刻蚀将该多阶凹孔阵列再转移到绝缘材料层上，在绝缘材料层上一次性制作出纳米级相变存储单元多阶凹孔阵列，并且可以重复使用多次成型；最后通过多层膜沉积工艺给绝缘材料层上的多阶凹孔依次填充一定厚度的相变材料、过渡材料、金属材料，从而得到所需的纳米级相变存储单元阵列。

本发明的具体制备过程是：

(1) “倒塔”型纳米级相变存储单元多阶凹孔结构阵列设计：在下电极表面的过渡材料层上覆盖一层绝缘材料，厚度必须大于多阶凸台结构的总的高度 2nm 以上，整个“倒塔”型多阶凹孔结构阵列完全嵌入在绝缘材料层中（图 1）。所述“倒塔”型是指含有两层或两层以上的倒立塔型结构，塔中每一层都是圆柱体或圆锥体结构：其中塔顶一层是圆锥体形，层高 20nm~200nm，锥顶直接与过渡材料相连，锥顶端面积在 1~3000nm<sup>2</sup> 之间，锥底端面积在 100nm<sup>2</sup> 以上；塔底一层高 100 nm~1000nm，底层端面积在 400nm<sup>2</sup> 以上；中间层高度在 20nm~1000nm 之间，从塔的顶层到底层横截面积逐渐增大，即塔中相邻两层的接触端面面积上一层小于或等于下一层。所述纳米级多台阶结构一次性加工成型。

(2) 将所述的多阶凹孔阵列按照凹凸相反的规则对应定义在透明的固态面板上，在固态面板上形成“塔”型多阶凸台阵列（图 2）。所述对应是指固态面板上凸台部分与所设计的纳米级多阶凹孔存储单元结构凹孔部分凹凸相反。该固态面板材料透紫外光，表面平整度误差不超过 10nm，厚度在 200 μm~20mm 之间，材质是石英玻璃、或是聚二甲基硅氧烷聚合物（PDMS）、或是聚甲基丙烯酸甲酯（PMMA）中任意一种。多阶凸台阵列是通过电子束光刻法、聚焦离子束刻蚀法、电子束曝光、光学光刻法、x 射线法、母模转移中任意一种微加工法定义在透明的固态面板上的。在定义好的固态面板结构上做表面修饰处理以降低表面能。表面修饰剂为 F 基化合物，修饰方法为修饰剂气相沉积、或液相浸泡、或离心旋涂。

(3) “倒塔”型多阶凹孔阵列一次性成型。在基底表面依次沉积绝缘材料、金属材料、过渡材料、绝缘材料，涂覆图形转移介质，通过印刻法将固态面板上的多阶凸台结构一次性定义在图形转移介质层上形成“倒塔”型多阶凹孔阵列（图 3）；接着通过刻蚀转移法将该多阶凹孔阵列再转移到绝缘材料层上（图 4），