

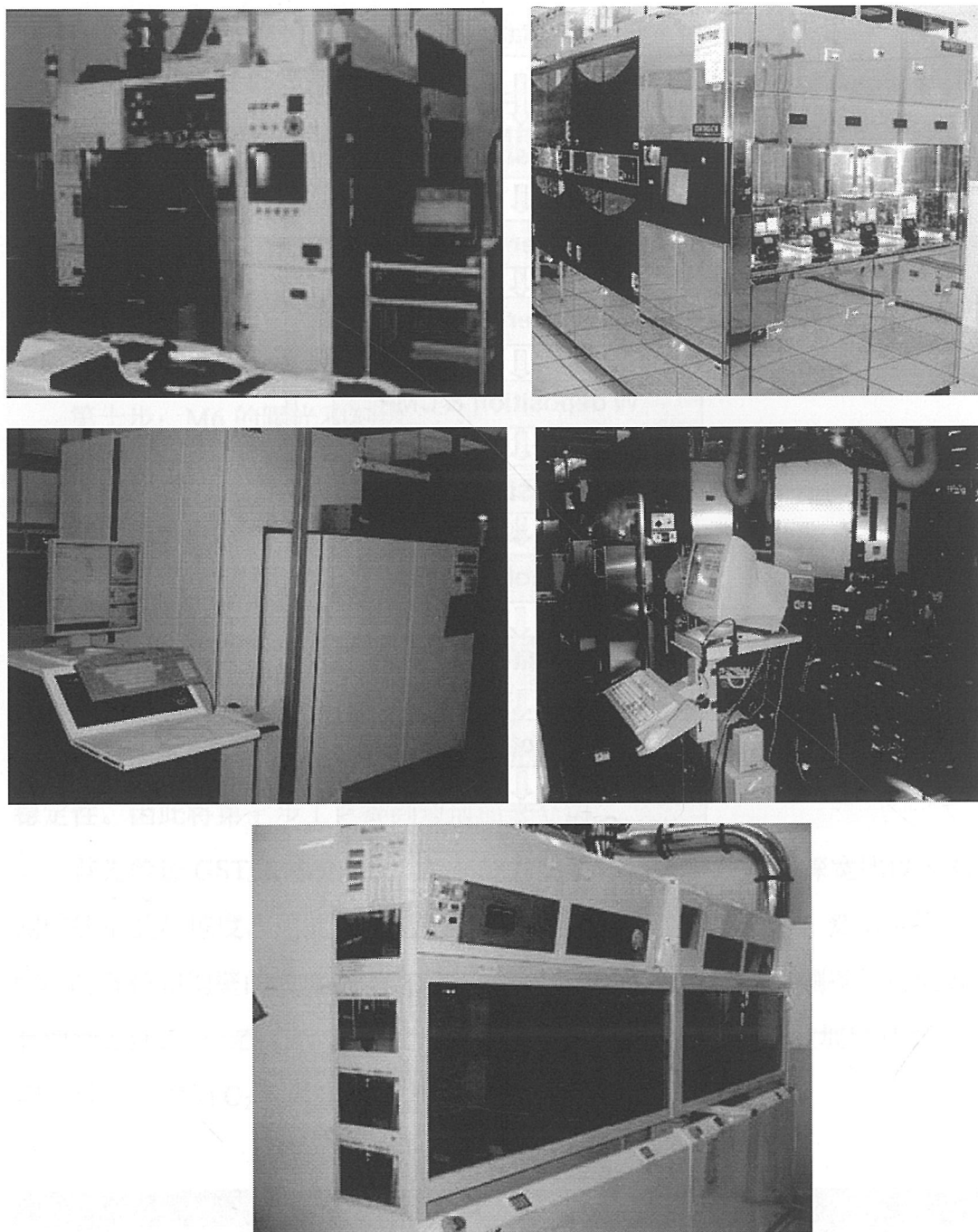


图 5.17 0.18 μm 8 英寸工艺平台的设备，依次为化学机械抛光机、甩胶机、曝光机、刻蚀机、去胶清洗机

5.3.4.2 1R 工艺参数

本节将详细介绍 1R 工艺中每道关键工艺的制备过程，并确定重要的工艺参数。

1R 工艺的制备流程图如下：

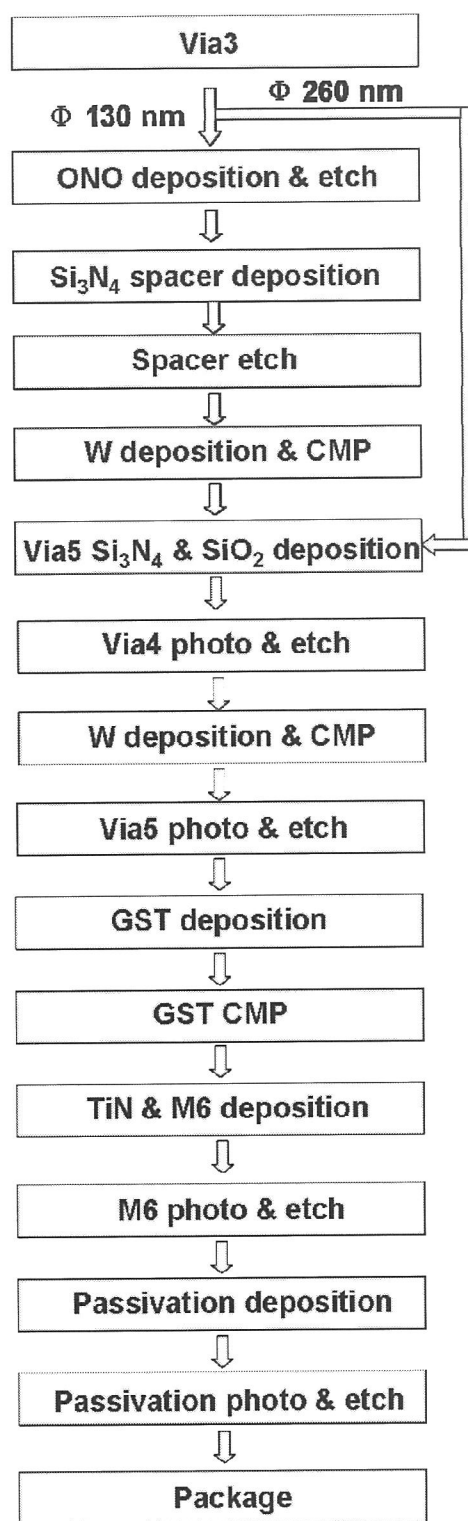


图 5.18 1R 工艺流程图

第一步: 利用 $0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺中的 Via3 制备工艺, 做出 $\Phi 260\text{ nm}$ 的 W 电极。

第二步: 利用 Spacer 技术做出 $\Phi 130\text{ nm}$ 的 W 电极。

第三步：沉积 Via5 介质层材料。

第四步：Via4 的曝光和刻蚀工艺。

第五步：Via4 电极 W 的沉积与 CMP。

第六步：Via5 的曝光和刻蚀。

第七步：GST 的沉积与 CMP。

第八步：黏附层 TiN 的沉积。

第九步：顶层金属 M6 的沉积。

第十步：M6 的曝光和刻蚀。

第十一步：Passivation 的沉积。

第十二步：Passivation 的曝光与刻蚀。

由于第七步 GST 的沉积与 CMP 将决定前面第三到六步的工艺参数。尤其是 Via5 (GST window, 后简称 GW) 的工艺参数, 包括 GW 深度、直径以及 GW 侧壁的坡度, 这些参数的确定需要先验证 GST 的填充能力和 CMP 工艺的稳定性。因此将第七步工艺提到最前面来介绍。

首先验证 GST 的填充能力, 填充能力的好坏取决于 GW 的深宽比以及 GW 侧壁的形貌和坡度。因此, 我们先固定 GW 的深度为 150 nm, 然后分别改变 GW 的直径和侧壁的坡度来考察两者对 GST 填充能力的影响。侧壁坡度的改变有两种方法: 一, 在 GW 刻蚀后, 用物理轰击的方法将 GW 侧壁坡度打斜; 二, 刻蚀过程中增加 O_2 含量。

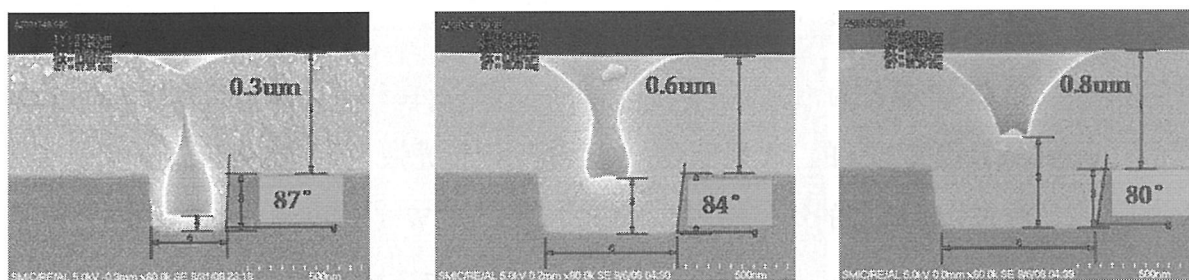


图 5.19 GW 侧壁角度 $>80^\circ$ 时 GST 填充能力 SEM 照片

当 GW 侧壁的角度为 80° 以上时, 将 GW 的直径从 $0.3\ \mu\text{m}$ 逐渐增大到 $0.8\ \mu\text{m}$, GST 的沉积厚度固定为 500 nm, 发现只有当直径为 $0.8\ \mu\text{m}$ 时, 才能保证

填充后 GST 的底部能够高出 GW 的深度，保证填充完全，如图 5.19 所示。

当侧壁垂直度降到 75° 以下时，如图 5.20，仍然将 GW 的直径从 $0.3\ \mu\text{m}$ 增大到 $0.8\ \mu\text{m}$ 。即使 GST 的沉积厚度减少为 $400\ \text{nm}$ ，GW 直径为 $0.3\ \mu\text{m}$ 时，也能保证填充后 GST 的底部能够高出 GW 的深度。

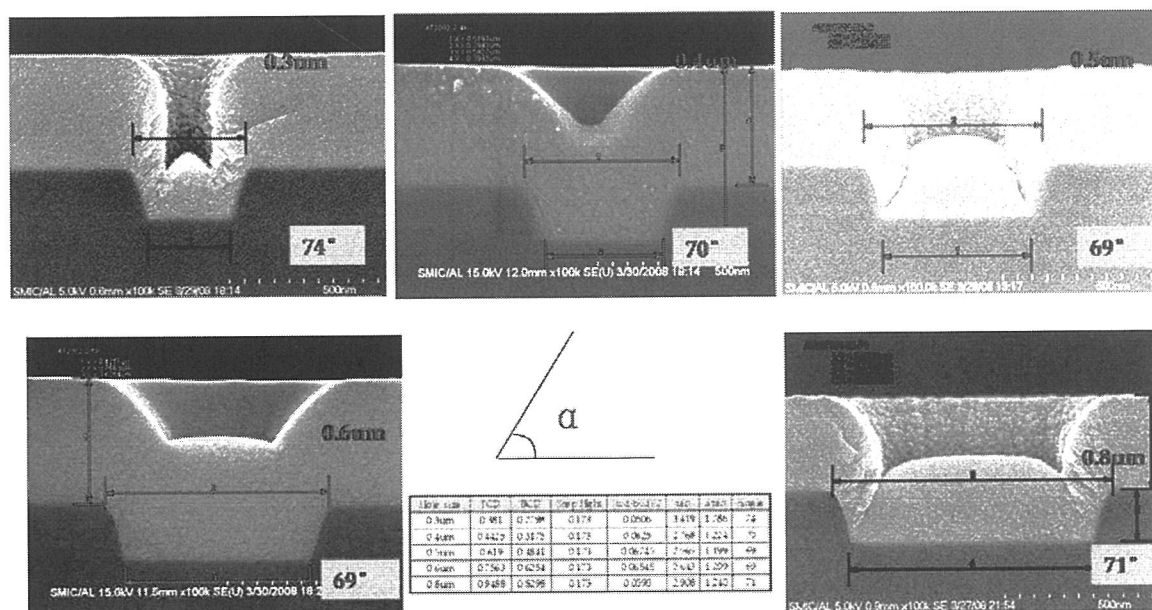


图 5.20 W 侧壁角度 $< 75^\circ$ 时 GST 填充能力 SEM 照片

因此，我们得到结论：相比 GW 的深宽比，GW 侧壁的坡度对 GST 填充能力更大。只要 GW 的侧壁坡度小于 75° ，在 GW 深度为 $150\ \text{nm}$ ，直径为 $0.3\ \mu\text{m}$ 的条件下依然具有非常好的填充 GST 的能力。

接着验证 GST 的 CMP 工艺稳定性，考察 CMP 对 8 英寸 GST 的研磨均匀性以及 GW 不同深宽比条件对 CMP 的影响。

当 CMP 条件为：抛光液 W 2000(acid silica based)， $120\ \text{hPa}$ 的 BSP(back side pressure)， $200\ \text{hPa}$ 的 TRP(top ring pressure)，抛光液流量 $500\ \text{ml/min}$ 。

首先分析研磨的均匀性，如图 5.21。无论 GW 的宽度为 $0.3\ \mu\text{m}$ 、 $0.5\ \mu\text{m}$ 还是 $0.8\ \mu\text{m}$ ，CMP 工艺都较稳定，研磨后中间与边缘 GW 深度差小于 $10\ \text{nm}$ 。由于研磨前 Via5 的深度为 $150\ \text{nm}$ ，由图 5.21 知，在 CMP 过程中， SiO_2 的损耗为 $30\ \text{nm}$ 左右。

图 5.22 还给出了 GW 不同直径条件下 GST 的 CMP 结果，所取区域均为 8

英寸样品的中间部分。可以看出, 当 GW 的直径逐渐增大后, GW 研磨后的深度逐渐变小。因为 GW 的深度固定为 150 nm, 所以 GW 深宽比越小, CMP 过程中对 SiO_2 的损耗越大。GW 直径为 $0.8\text{ }\mu\text{m}$ 时, SiO_2 的损耗约 40 nm。

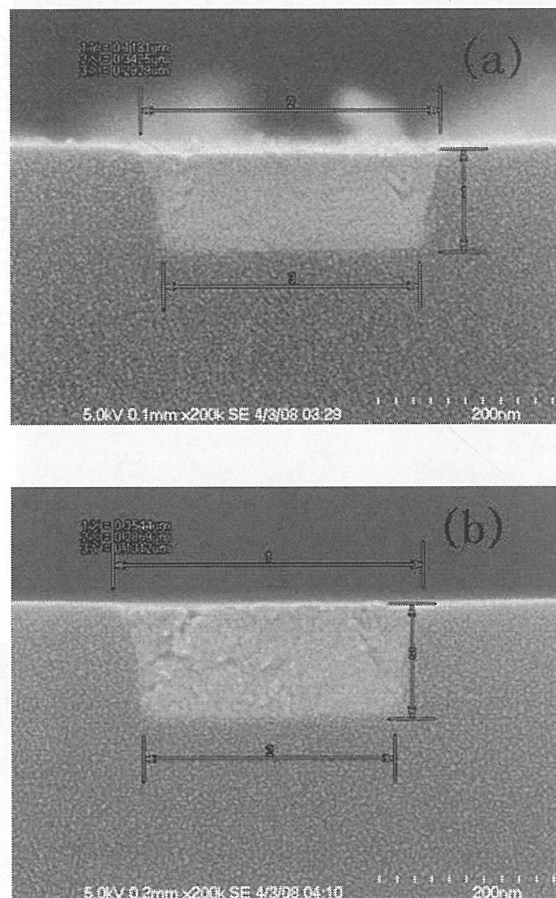
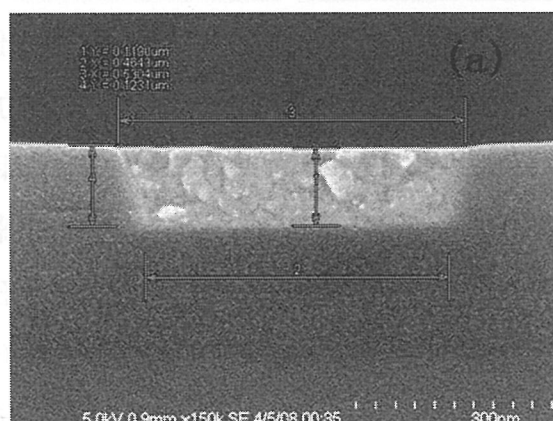


图 5.21 $0.3\text{ }\mu\text{m}$ 的 GW 条件下 GST 的 CMP 结果: (a) 8 英寸样品中间区域; (b) 8 英寸样品边缘区域



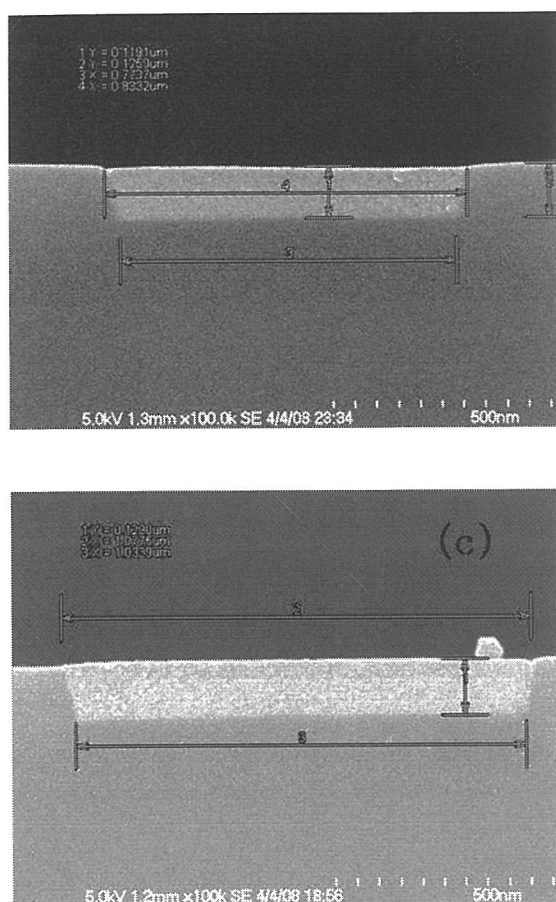


图 5.22 不同直径的 GW 条件下 GST 的 CMP 结果: (a) 0.5 μm 的 GW; (b) 0.8 μm 的 GW; (c) 1 μm 的 GW

由于研磨后 GW 的深度不宜过薄,否则容易引起上下电极的互连导致失效。同时,为了满足 GST 的填充和 GST 的 CMP 过程中 SiO_2 的损耗要求,我们认为安全的 GW 深度为 160 nm~190 nm,且刻蚀后 GW 侧壁的坡度必须小于 75° 。由于 Via4 研磨后 SiO_2 也会有损耗(将在下面 Via4 工艺中介绍),大约 200 nm。因此,我们沉积 25 nm 的 Si_3N_4 作为刻蚀停留层,200 nm 的 SiO_2 作为 GW。

GST 的 CMP 完成之后,需要进行退火处理。因此,我们还必须验证 GST 的退火工艺。本章前面已经提到,8 英寸平台上制备的 GST 的结晶温度在 180°C 左右。因此,我们先用 9 点法考查了 250°C 下退火 30 min 后 GST 的相变材料特性。由表 5.2 不难看出,退火后,硅片各处相变材料的电阻一致性较好,一致性达到 5.7%;经 XRD 测试,晶粒尺寸大小一致性也较好,达到 5.2%。此外,通过量测退火前后 GST 的厚度,研究退火后相变材料的体积变化,发现退火后缩小了 5.3%,如图 5.23。退火后 GST 的表面粗糙度均方值 RMS 达到 0.92 nm。因此, 250°C 退火后对 GST 的电阻以及膜厚的均匀性影响不大。

表 5.2 GST 电阻特性以及晶粒尺寸与退火温度关系

编号	AFM (RMS-nm)	R		XRD	
		$R_s (\Omega)$	$\rho (\Omega \cdot \text{cm})$	FWHM (200)	d (nm)
1	0.73	458	0.0886	0.682	11.9
2	0.63	447	0.0864	0.736	11.1
3	0.63	496	0.0961	0.693	11.7
4	0.61	431	0.0835	0.644	12.6
5	0.64	410	0.0794	0.609	13.3
6	0.57	467	0.0904	0.647	12.6
7	1.03	443	0.0856	0.644	12.6
8	0.86	429	0.0831	0.672	12.1
9	0.84	430	0.0830	0.658	12.4

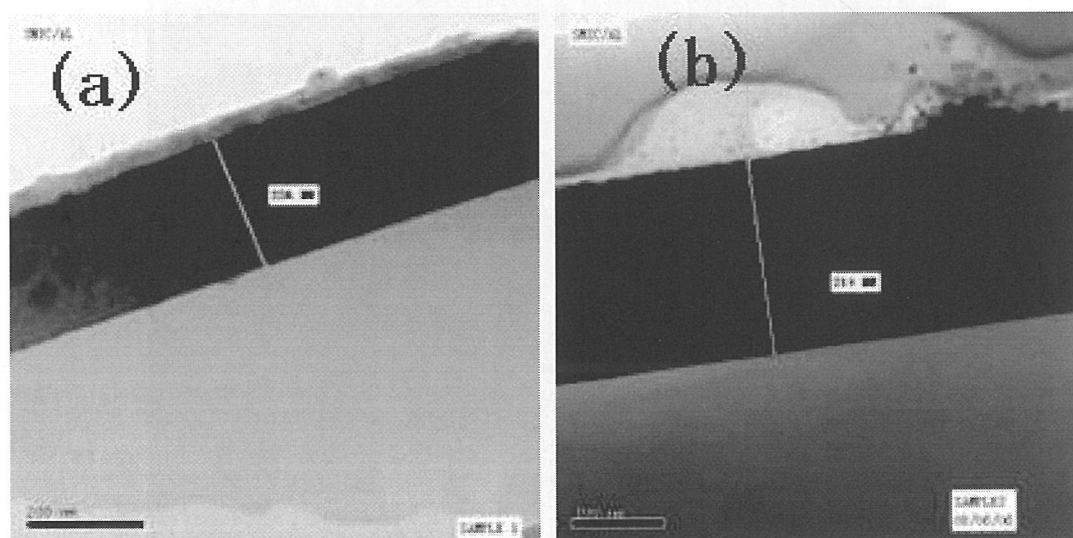


图 5.23 250°C 退火前后 GST 体积变化: (a)退火前; (b)退火后

但是, 当退火后的 GST 做成器件之后, 表面会出现大量鼓泡, 鼓泡的位置就是 GST 所在位置, 如图 5.24 所示。经过 TEM 照片分析, GST 所处位置的相变材料和电极均被烧毁。而当去除退火工艺后, 这种现象不再出现, 如图 5.25 所示。

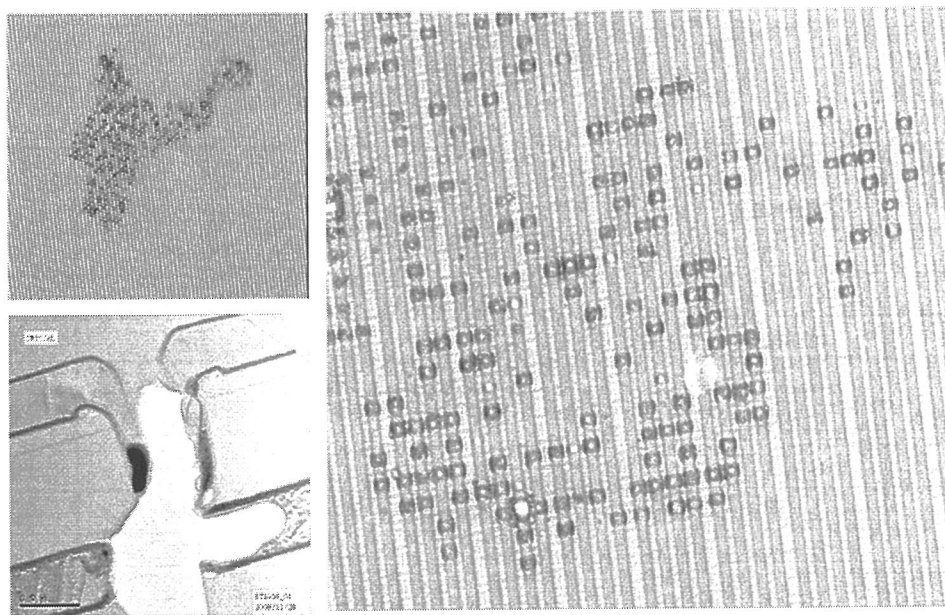


图 5.24 250°C 退火后的相变存储器件照片

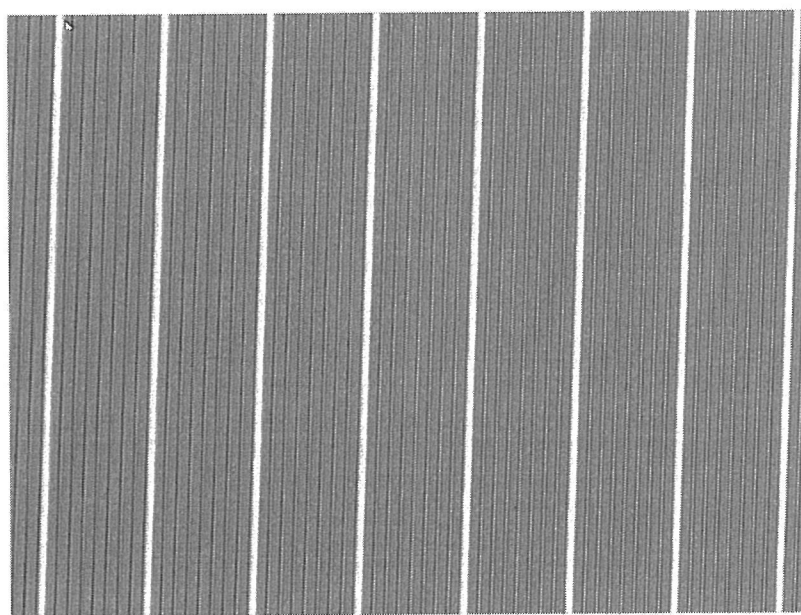


图 5.25 不退火的相变存储器件照片

此外，在退火工艺之后，必须增加清洗工艺，但是由于 GST 与 SiO_2 的黏附性不是很好，在清洗工艺过程中容易出现 GST 脱落现象，如图 5.26 所示。鉴于以上两点，在相变存储器件的制备中，GST 的 CMP 完成之后 250°C 退火 30 min 的工艺不能被使用。但是退火工艺是非常重要的一步，对于提高相变存储器的性能有重要的意义。因此，退火工艺不可省略，本章将在钝化层工艺中介绍其替代方法。

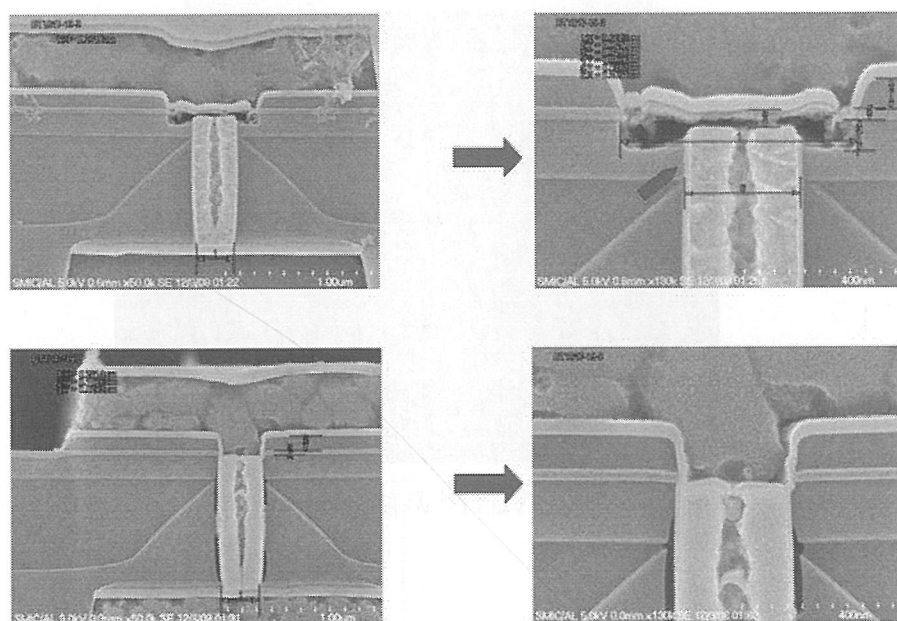


图 5.26 相变存储器件 GST 的脱落

下面将按顺序详细介绍每步的制备和工艺参数。

第一步： $\Phi 260\text{ nm}$ 电极的制备。

采用 $0.18\mu\text{m}$ 标准 CMOS 工艺中的 Via3 工艺：

1) 用 HDP CVD 的方法沉积 600 nm 的 FSG（氟硅玻璃）：

将下层的 M3 完全包裹住，且形成较好的界面，避免出现空洞。

2) 用 PECVD（等离子增强化学气相沉积）的方法沉积 1150 nm 的 FSG：

为后面化学机械抛光的平坦化提供足够厚的介质层。

3) 对 FSG 用 CMP 平坦化：最终 FSG 的厚度约为 1000 nm 。

4) 沉积抗反射层 SiON：

厚度为 80 nm ，目的是防止曝光时，光线的反射而影响曝光的精度。

5) Via3 的曝光和刻蚀：

曝光后 Via3 的大小决定了最终 Via3 电极的大小，由于刻蚀会造成电极尺寸变大，因此，为了保证做出 $\Phi 260\text{ nm}$ 的电极，曝光后 Via3 的 CD 需要严格控制。

6) 电极 W 的沉积：

由于 W 与介质层 FSG 的黏附性不好，因此，在 300 nm W 沉积之前，先沉积 $5\text{ nm}/25\text{ nm}$ 的 Ti/TiN 作为黏附层。

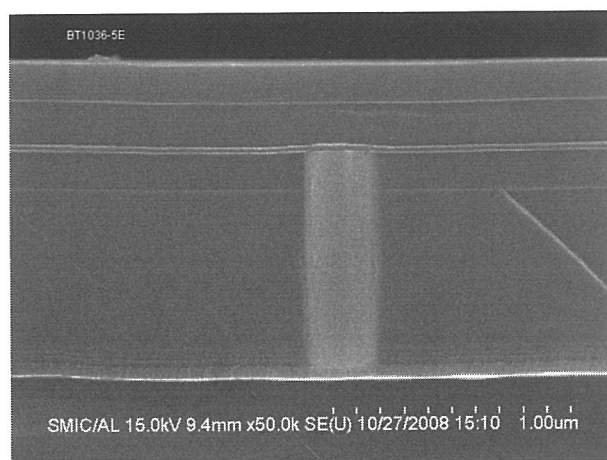


图 5.27 Via3 的 W 剖面 SEM 照片

7) W 的 CMP:

将表面的 W 电极用 CMP 研磨干净, 并露出 Via3 处的 W, 如图 5.27 所示, 图中为了避免切片中对 Via3 可能造成的伤害, 在 CMP 之后沉积了 Si_3N_4 和 SiO_2 作为保护层。

第二步: $\Phi 130 \text{ nm}$ 电极的制备。

工艺相比 $\Phi 260 \text{ nm}$ 电极复杂许多, 我们是在 $\Phi 260 \text{ nm}$ 基础上用 spacer 技术, 在不增加光罩的条件下缩小 W 电极的尺寸, 其制备工艺如下:

1) 在 Via3 完成的基础上, 分别淀积上 SiO_2 、 Si_3N_4 和 SiO_2 三层薄膜, 厚度分别为 150 nm 、 25 nm 和 150 nm 。

