

表 5.1 中国内地正式投产的晶圆厂列表

企业名称	晶圆英寸及工厂编号	投产年份	工艺(微米)	规划月产能(万片)
中芯国际	8-1	2001	0.11-0.35	4.5
	8-2	2002	0.13-0.35	4.5
	8-3B	2003	0.35-0.09	1.5
	12-4	2004	0.09	2.0
	12-5	拟建	0.09	N/A
	12-6C	拟建	0.09	N/A
	8-7	2001	0.15-0.35	3.65
	12-8	2007	0.065-0.09	1.0
	8-11	2007	0.18-0.35	2.0
	12-12	在建	0.09	N/A
宏力半导体	8-1 1 期	2003	0.25	2.7
	8-1 2 期	2005	0.15	2.0
和舰科技	8-1	2003	0.15	3.2
	8-2	2005	0.13	2.0
先进半导体	5-1	1994	1	2.5
	6-2	1997	0.5	1.5
	8-3	2003	0.25	4.5
华虹 NEC	8-1	1999	0.25	3.5
	8-2	2004	0.18	5.5
贝岭微电子	4-1	1997	0.8	1.6
华润上华	6-1	1998	0.35	6
	8-2	2005	0.35	3
台积电	8-10	2004	0.25	3.5
柏玛	8-1	2004	0.35	3.0

5.3.3.2 1T 工艺

上节已经对各代工艺节点的工艺做了介绍和对比, 在本论文中, 1T 工艺的选择主要考虑以下几点因素:

- 1) 相变存储器要求的 MOS 管驱动能力
- 2) 工艺成本
- 3) 工艺难度和复杂度
- 4) 芯片密度

首先, 相变存储器的研究表明, 相变单元的擦写电流最大不超过 1-2 mA, 在 0.18 μm 标准 CMOS 工艺中, NMOS 管驱动能力达到 0.6 mA/ μm , 而标准的

NMOS 管沟道宽度为 $10\text{ }\mu\text{m}$ ，因此驱动能力可以达到 6 mA 。其次，相变存储器 1 Mb 芯片的制造难点在于 1R 而不是 1T ，因此，只需要选择成熟的 CMOS 制造工艺即可。由上节可知，不同工艺节点的光罩成本大不相同， $0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺成本较低，且工艺相当成熟。第三， $0.13\text{ }\mu\text{m}$ 的后段工艺为 Cu 制程（图 5.8 所示），由于 Cu 的污染性很大，且目前尚无用 Cu 作为相变存储器电极的报道。而 $0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺的后段为 Al 制程，不同层的 Al 线通过 W 插栓连接。且 W 已被证实可以用于相变存储器的电极材料，工艺较为简单。最后， $0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺最大可以满足 64 Mb 存储器的要求。

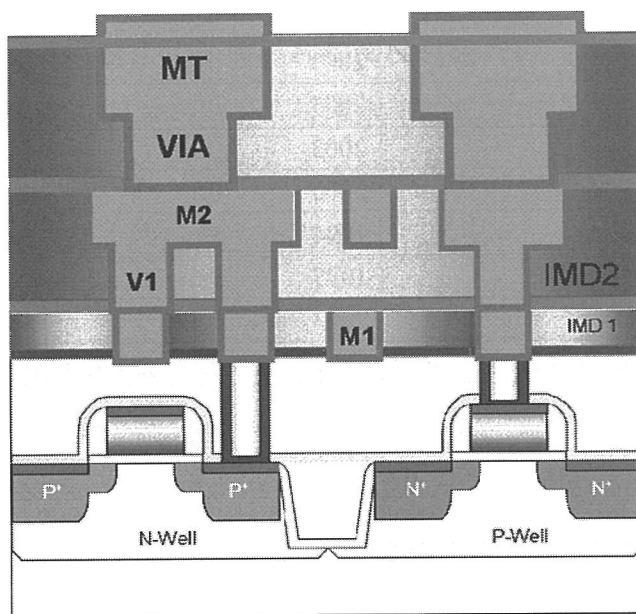


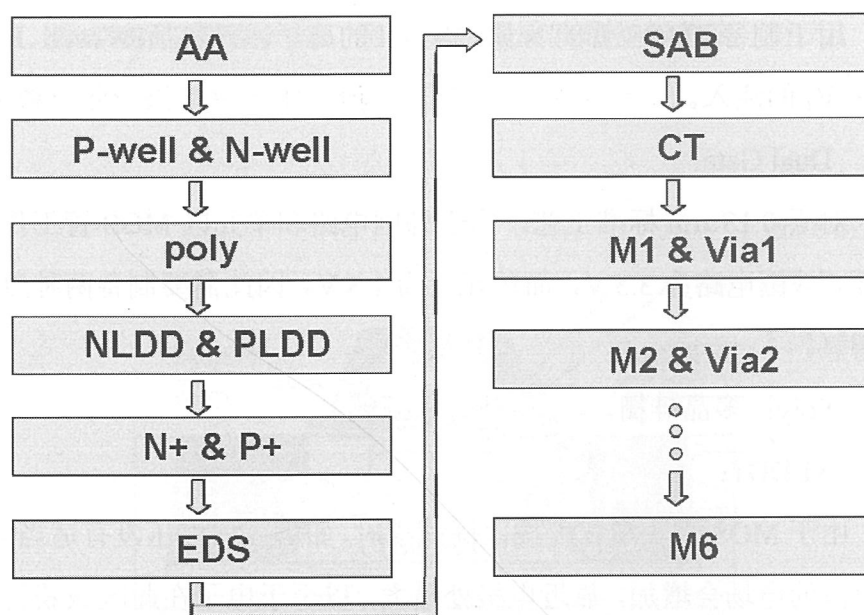
图 5.8 $0.13\mu\text{m}$ 后段 Cu 工艺

因此，综上所述， $0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺被选作制备相变存储器的 1T 工艺最为合适。后面的工作也将全面围绕 $0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺开展。

5.3.3.3 1T 工艺流程

$0.18\text{ }\mu\text{m}$ 标准 CMOS 工艺共需要 27 块光罩，其中最关键的三层是 AA（有源区）、poly（多晶硅栅）与 CT（接触孔），这三层的曝光和刻蚀 CD（critical dimension 关键尺寸）需要精确把握，否则将对 MOS 器件产生很大负面影响。

27 块光罩对应的 27 层工艺流程图如下：

图 5.9 0.18 μm 的 1T 工艺流程图

- 1) AA: 有源区。

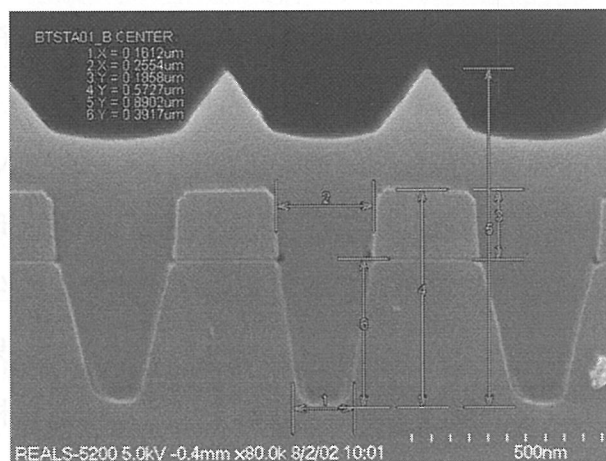


图 5.10 AA reverse 示意图[照片由 SMIC 提供]

- 2) AA Reverse:

AA 的反版, 在 HDP (High Density Plasma) CVD 生长的 OXIDE 上形成图 5.10 所示形状, 先用干法刻蚀去掉大块的 OXIDE, 使 CMP 时能将 OXIDE 完全去掉。

- 3) P-well:

用于制备 NMOS 管的 P 阱。P-well 的离子注入包括: P-well、N channel 和 N_{VT} 的注入。

- 4) N-well:

用于制备 PMOS 管的 N 阱。N-well 的离子注入包括: N-well、P channel 和 P_{-V_T} 的注入。

5) Dual Gate:

对于 0.18 μm 标准工艺, 由于外围电路和单元区 MOS 管工作电压不一样。外围电路为 3.3 V, 而单元区为 1.8 V。因此需要制备两种厚度不同的栅氧。

6) Poly: 多晶硅栅。

7) NLDD1:

由于 MOS 管沟道长度按比例缩小时, 如果工作电压没有适当的缩小, 沟道内的电场会增加, 靠近电极处最大, 以至于电子在此区域获得足够的能量, 经过撞击游离作用, 产生电子-空穴对。这些电子-空穴对有的穿过氧化层形成栅极电流, 有的留在氧化层影响开启电压, 同时使得表面的迁移率降低。这种现象称为热载流子效应。

LDD 的轻掺杂使横向电场强度减小, 降低热载流子效应。NLDD1 是指对单元区 NMOS 的轻掺杂。

NLDD1 的离子注入包括: pocket 和 NLDD1 的注入。

Pocket 注入的目的是为了防止器件 punch through 现象的发生。所谓 punch through 是指器件的源、漏端由于耗尽区相接而发生的穿通现象。源、漏区对于衬底都有各自的耗尽区。当器件尺寸较小时, 只要两者对衬底的偏压条件满足, 就可能发生 punch through 的效应。这样, 无论栅极是否开启都会有电流流过源、漏区。Pocket 注入是通过加大容易发生 punch through 位置的衬底浓度来避免 punch through 发生的。

8) PLDD1: 单元区 PMOS 管的轻掺杂。

9) PLDD2: 外围电路区 PMOS 管的轻掺杂。

10) NLDD2: 外面电路区 NMOS 管的轻掺杂。

11) N^+ :

MOS 管的栅、源、漏必须与金属形成良好的欧姆接触。因此, 必须对栅、源、漏顶部再进行一次离子注入。这一次注入的能量要小, 但剂量要大。 N^+ 是对 NMOS 管的注入。

12) P^+ :

为 PMOS 管栅、源、漏与金属形成欧姆接触的离子注入。所有注入完成后的结果如图 5.10 所示。

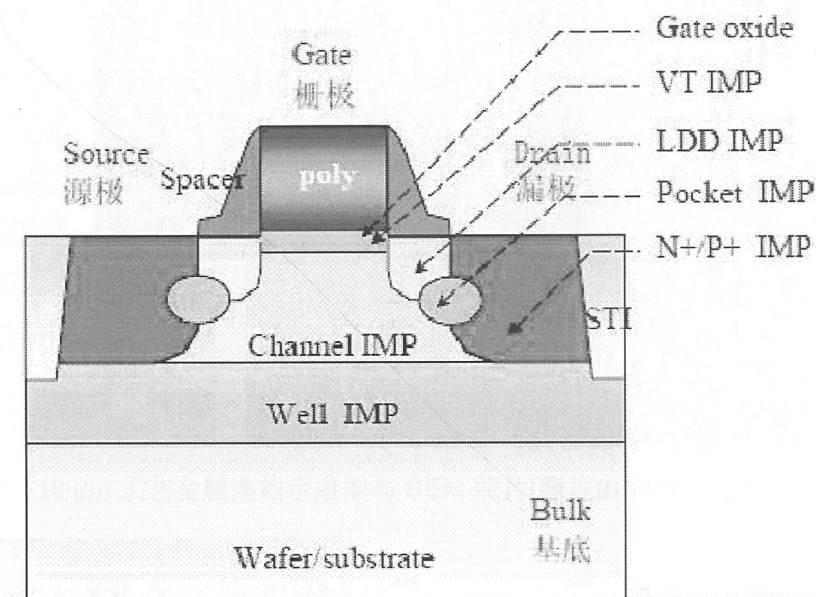


图 5.11 MOS 管栅、源、漏的离子注入示意图

13) ESD: 静电保护电路, 防止静电击穿。

14) SAB:

SAB 是 Salicide Block 的简称。它的作用是在不需要 SAB 的地方, 如 ESD 的保护电路上, 防止产生 Salicide。

Salicide 需要进行两次退火处理。第一次在 $500\text{ }^{\circ}\text{C}$ 下退火, 在栅、源、漏的上面形成 Co_2Si , 这样会把表面的 Si 固定住, 从而防止其沿着表面流动, 这样形成的 Co_2Si 。Salicide 的电阻较大, 再经过一次快速退火 ($850\text{ }^{\circ}\text{C}$) 后 Co_2Si 转变为 CoSi_2 , 电阻率下降, 若经过一次退火, poly 和源、漏中的 Si 会扩散到侧壁上, 从而在侧墙上也会形成 CoSi_2 , 这样就会把 Poly 与源、漏连接起来, 造成短路。由于 Co 在高温时易结块, 在 Si 和 POLY 表面覆盖不均匀, 影响 Salicide 的质量表面盖一层 TiN 将 Co 固定。Salicide 过薄, 电阻较高, 在刻蚀时的过刻容易刻穿薄膜, 无法形成欧姆接触。过厚则可能使整个源、漏区都形成 Salicide。如图 5.12 所示。

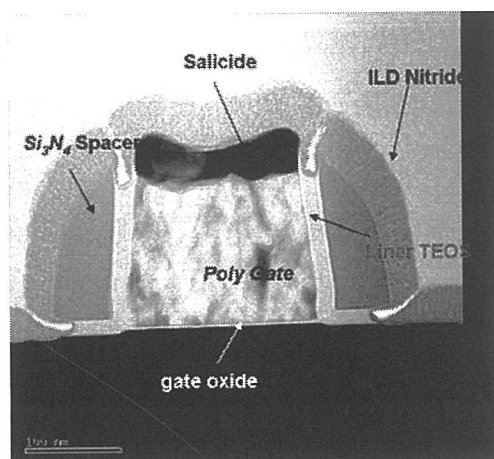


图 5.12 SAB 制备示意图[照片由 SMIC 提供]

15) CT: 接触通孔。如图 5.13 所示。

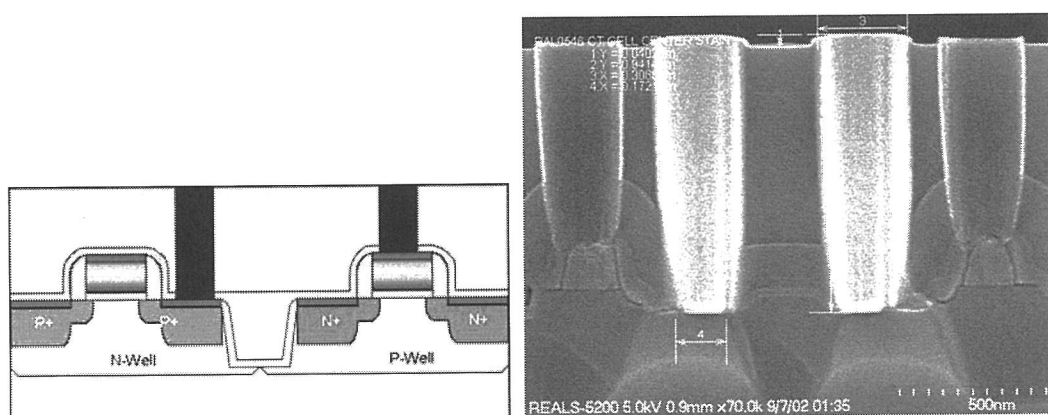


图 5.13 CT 接触通孔示意图和 SEM 照片[照片由 SMIC 提供]

- 16) M1: 第一金属层。
- 17) Via1: 第一通孔层。
- 18) M2: 第二金属层。
- 19) Via2: 第二通孔层。
- 20) M3: 第三金属层。
- 21) Via3: 第三通孔层。
- 22) M4: 第四金属层。
- 23) Via4: 第四通孔层。
- 24) M5: 第五金属层。

25) Via5: 第五通孔层。

26) M6: 第六金属层。至此，所有金属连线完成。如图 5.14 所示。

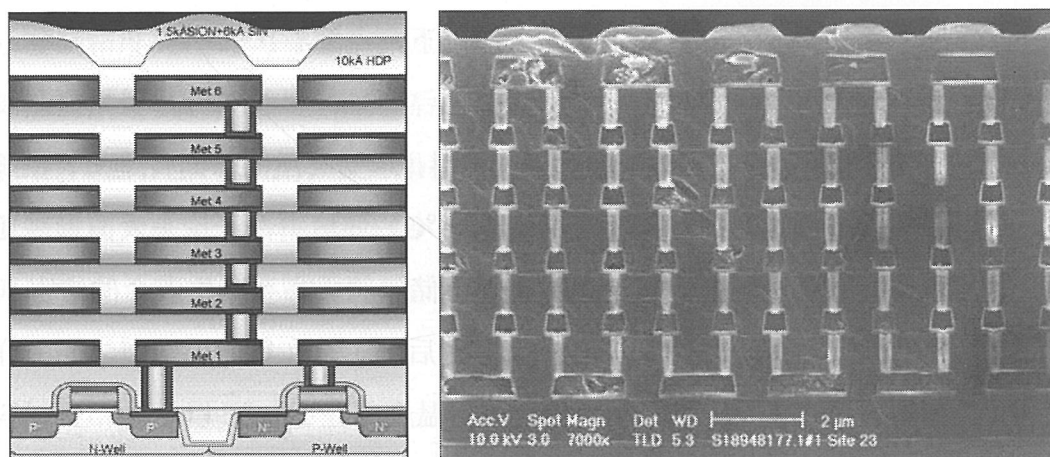


图 5.14 0.18 μm 工艺金属连线示意图与 SEM 照片[照片由 SMIC 提供]

27) Passivation: 钝化层，保护最上层金属，并开出测试、封装端口。

由于我们的集成工艺是将相变材料加在 Via3 之后（这点会在后面的章节中提到），因此，我们的 1T 工艺将分成两段：第一段是从 AA 开始一直到 Via3 结束；第二段是 M6 和 Passivation 两层。中间的工艺过程我们归为 1R 工艺，将会在下节中详细介绍。

5.3.4 1R 工艺设计

5.3.4.1 1R 工艺

1R 工艺是相变存储器芯片中最核心工艺，对于中芯国际 8 英寸平台来说，由于引入了相变材料，因此，也是全新的工艺挑战。在 1R 工艺中，我们首先必须确定 1R 的结构。从相变存储器开始被人们关注起，其结构就一直是研究的热点。

绪论中已经介绍，相变存储器按照器件结构包括经典“蘑菇型”结构（T 型结构）、边缘接触结构、桥式结构和环形电极等。每种结构都有各自的优缺点。虽然经典“蘑菇型”结构电极尺寸完全依赖于加工工艺的水平，器件操作电压相对较高；但是这种结构制备工艺较为简单、成本较低。而本文的目标是研制 1 Mb 相变存储器芯片，相对密度不是特别高，且以节约成本为前提，因此，本论文

中使用的是经典的“蘑菇型”结构。

1R 结构确定后, 接下来就要考虑 1R 放置的位置, 是放在 CT 上还是某一 Via 上呢? 如果是 Via, 又是第几层 Via 呢? 1R 位置的选择必须考虑到整个 1T1R 结构, 因此, 相变材料位置的选择必须考虑以下几点因素:

1) 工艺温度:

由于硫系化合物 GST 是快速相变材料, 承受高温的时间特别短, 在长时间 (大于 2 分钟) 高温工艺 (高于 300 °C) 环境下, 无论是表面形貌还是晶格结构都会发生变化, 这将对相变存储器的成品率产生致命的伤害。

而 0.18 μm 标准 CMOS 工艺中, CT 之后的工艺在每两层金属之间的介质层都是用 HDP CVD 的方法制备, 制备温度都在 380 °C 以上。相变材料 GST 无法承受, 必须避免这些高温工艺。

2) 工艺难度:

既然相变存储器芯片的制造工艺是建立在 0.18 μm 标准 CMOS 工艺上, 那么我们希望尽量多地利用标准工艺完成与相变材料无关的工艺。希望将 1R 工艺放置在靠后的工艺, 这些标准工艺对 1R 工艺的影响最小, 工艺难度也就越低。

3) GST 污染度:

由于相变材料 GST 中含有的 Te 元素对于 0.18 μm 工艺线来说, 是一种很高污染度的材料。因此, 为减小 Te 对工艺线的影响, 我们必须将 1R 放置在工艺集成的末端, 只有这样, 才会产生最小的负面影响。

4) 1R 结构:

1R 的结构也是必须考虑的因素, 因为必须留足 1R 制备工艺的空间, 保证足够的层次来匹配 1R 制备工艺。

综上所述, 必须将 1R 工艺放置在工艺后端, 又必须保证足够的层次空间。最终, 决定将 1R 放在 Via3 之后。

1R 工艺中, 相变材料的图形化制备是最重要的工艺之一, 也是 1R 工艺选择中需要确定的关键一步。众所周知, 刻蚀与化学机械抛光是材料图形化的两种手段。刻蚀形成的图形化材料, 精度控制高, 均匀性好, 但工艺复杂; 化学

机械抛光形成的图形化，工艺简单，但精度控制低，均匀性一般。

为此，我们主要针对两种方法设计了两种方案，如图 5.15 和图 5.16 所示。

方案 1：使用刻蚀的方法图形化。如图 5.15，这种方案的优点是：图形尺寸控制精度高，均匀性好。缺点是：第一，设备成本高，需要配备一整套包括刻蚀前烘烤机、刻蚀机、刻蚀后的去胶机以及酸槽在内的设备，需要几百万人民币才能满足要求。第二，如果利用微系所里的设备，由于曝光能力与 $0.18\ \mu\text{m}$ 工艺差距太大，无法将尺寸做小，无法实现高密度，1 Mb 的相变存储器芯片也无法完成。第三，光罩数量多，成本高，工艺较复杂。

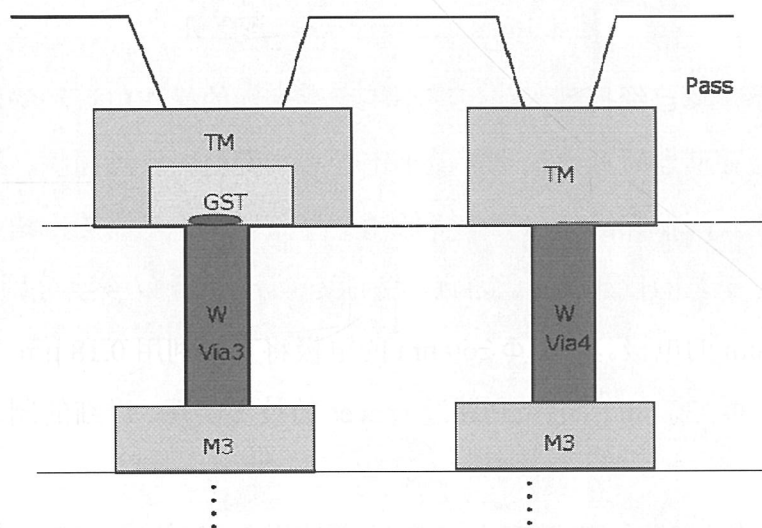


图 5.15 1R 工艺设计方案 1 示意图

方案 2：使用化学机械抛光的方法图形化。如图 5.16，这种方案的优点是：第一，设备成本低，只需要一台化学机械抛光机就可以完成相变材料的图形化，只需要几十万人民币。第二，用化学机械抛光工艺可以制备出小尺寸的相变材料图形，可以完成高密度的要求包括 1 Mb 的相变存储器芯片。第三，光罩数量少，工艺成本低。第四，工艺相对简单。缺点是：工艺精度低，均匀性一般。

因此，综合比较，我们选用第 2 套工艺方案，采用化学机械抛光的方法实现相变材料的图形化。

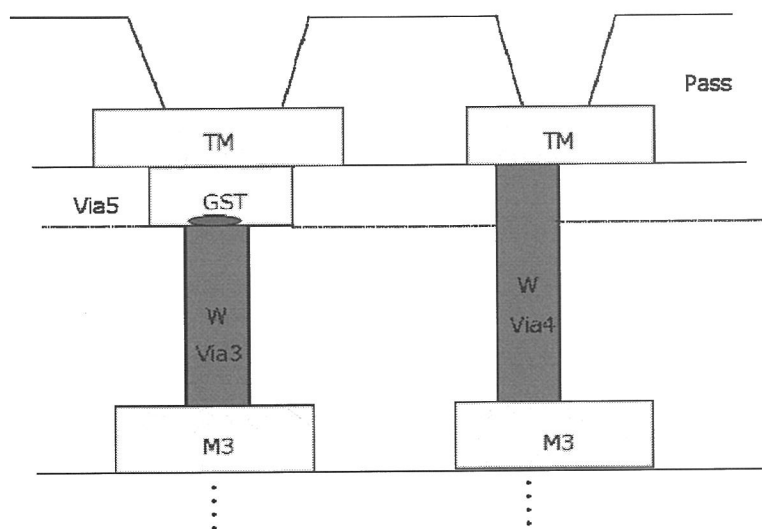


图 5.16 1R 工艺设计方案 2 示意图

本论文第三章已经提到，如何减小相变存储器的操作电流和降低功耗一直以来都是相变存储器研究的热点。减小电极与相变材料接触面积、提高相变材料晶态电阻以及降低热散失这三类降低相变存储器操作电流的方法中，第一种方法可以通过工艺的设计实现。因此，我们又设计了两种方案，分别制备 $\Phi 260\text{ nm}$ 和 $\Phi 130\text{ nm}$ 的电极。其中， $\Phi 260\text{ nm}$ 的电极将直接利用 $0.18\text{ }\mu\text{m}$ 工艺的 Via3 作为电极；而 $\Phi 130\text{ nm}$ 的电极则通过 spacer 的技术实现。详细的制备工艺将在后面介绍。

至此，我们确定了 1R 工艺：1R 的位置位于 Via3 之后；1R 中相变材料的图形化选择 CMP 的工艺；电极的尺寸分两种，一种为 $\Phi 260\text{ nm}$ ，另一种为 $\Phi 130\text{ nm}$ 。后面的章节中会详细确定每道关键工艺的参数。

本章中 1R 还会用到诸多 $0.18\text{ }\mu\text{m}$ 8 英寸工艺平台的设备，如化学机械抛光机、甩胶机、曝光机、刻蚀机、去胶清洗机等，如图 5.17 所示。这些设备的总价值超过 1.6 亿元人民币。