



图2.11 甩胶机

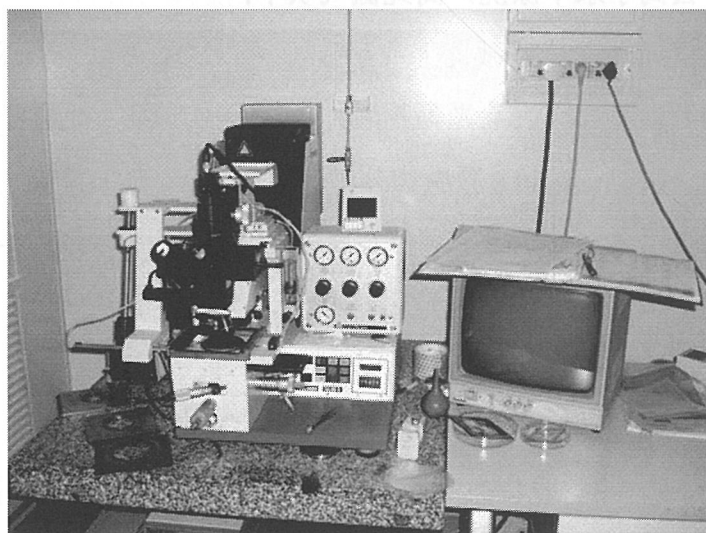


图 2.12 Karluss 曝光机

7) Sn掺杂GST与TiN薄膜反应离子刻蚀刻蚀:

- a) TiN薄膜刻蚀: 刻蚀气体为 CF_4 (20 SCCM) + O_2 (2 SCCM), 气压 80 mtorr, 功率200 W, 时间60秒;
- b) Sn掺杂GST薄膜刻蚀: 刻蚀气体为 CHF_3 (50 SCCM) + O_2 (5 SCCM), 压力30 mtorr, 时间5分钟;
- c) 刻蚀完成后, 高倍显微镜下观察是否刻蚀完全, 否则适当补刻。

8) 刻蚀后光刻胶去除:

- a) 丙酮溶液中浸泡3分钟, 弱超声1分钟;
- b) 丙酮溶液中弱超声清洗3-5分钟, 去离子水冲洗3遍;
- c) 乙醇溶液中弱超声清洗3-5分钟, 去离子水冲洗3遍, 高纯氮气吹干;

- d) 120°C 烘箱内烘烤20分钟, 去除水气。
- 9) 电子束蒸发(超高真空电子束蒸发系统UMS500P, 如图**所示)制备上电极Al, 本底真空 1×10^{-6} Pa, 厚度300 nm。
- 10) Al电极光刻(光刻版2):
 - a) S 6809型光刻胶旋涂, 2800 转/分, 30秒, 厚度约1 μm ;
 - b) 光刻胶前烘, 热板 100°C , 4分钟, 去除光刻胶中水气、硬化;
 - c) 紫外光源曝光(波长400 nm, Karlsuss 曝光机), 精度2 μm , 曝光时间8秒;
 - d) 四甲基氢氧化氨溶液(MF-320)中显影, 时间5-6秒, 显影完立即置于去离子水中漂洗, 高纯氮气吹干;
 - e) 在黄光区高倍显微镜下观察显影后图形是否符合要求, 若不符合要求, 则用丙酮去除光刻胶后, 重复a—d步骤, 直到符合要求为止;
 - f) 置于 120°C 热板上后烘10分钟, 坚膜。
- 11) Al电极的湿法刻蚀, 磷酸在 60°C 水浴恒温下, 刻蚀2-3分钟。
- 12) Al电极湿法刻蚀后, 去除光刻胶:
 - a) 丙酮溶液中浸泡3分钟, 弱超声1分钟;
 - b) 丙酮溶液中弱超声清洗3-5分钟, 去离子水冲洗3遍;
 - c) 乙醇溶液中弱超声清洗3-5分钟, 去离子水冲洗3遍, 高纯氮气吹干;
 - d) 120°C 烘箱内烘烤20分钟, 去除水气。

至此, Sn掺杂GST的相变存储器件单元就制备完成了, 如图2. 13所示, 器件单元的剖面结构图是采用聚焦离子束(DB235型)制备的。

相变存储器器件单元的测试采用自行设计搭建的电学测试系统完成^[12], 该系统的硬件由控制计算机、脉冲信号发生器(美国Agilent, 81104A型)、数字信号源(美国Keithley, 2400型)、微控探针台(美国Cascade, RHM-06型)、控制卡、GPIB卡以及转换连接部件构成, 如图2. 14所示。可实现阈值电压和电流、读、写、擦的最佳操作参数以及疲劳特性等参数的测试。

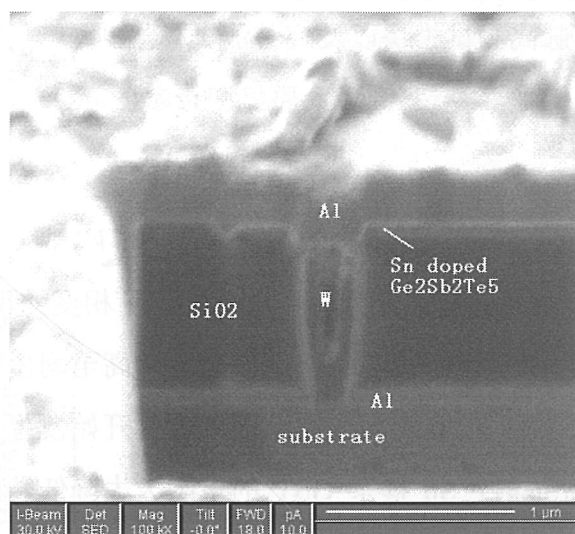


图 2.13 基于 Sn 掺杂 GST 相变存储器器件单元的 SEM 剖面结构图

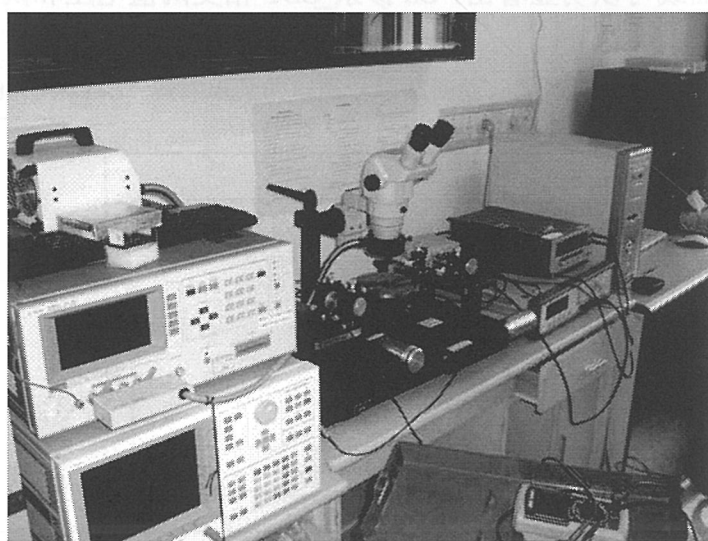


图 2.14 相变存储器电学测试系统

其中，脉冲信号发生器可以发出单一或者连续脉冲信号，对器件单元进行写和擦操作。电流脉冲的高度范围是0-400 mA，电压脉冲信号的高度是0-10 V，脉冲信号的宽度为6 ns-1000 s。数字信号源提供电流或电压信号源测试每次写或擦操作后相应的电压或电流，从而计算出电阻值。其中，电流源信号的范围是50 pA-1.05 A，电压信号源的范围是5 μ V-210 V，测试电阻的范围是100 $\mu\Omega$ -211 M Ω 。

相变存储器器件单元测试系统的软件部分主要包括电流-电压测试模块、电压-电流测试模块、电阻-写脉宽测试模块、电阻-擦脉宽测试模块、电阻-写脉高

测试模块、电阻-擦脉高测试模块以及疲劳测试模块。

2.4.2 实验结果与讨论

图 2.15 为相变存储器器件单元的电流-电压 (I - V) 特征曲线。从图中可以看出, Sn 掺杂 GST 在外部直流电流的作用下发生了相变的现象。Sn 掺杂 GST 在低电压区域表现为相对较高的电阻; 一旦电压升高至阈值电压后, 相变存储器单元中 Sn 掺杂 GST 的温度高于其结晶温度, 开始发生从非晶态向晶态的相变; 当相变过程完成时, Sn 掺杂 GST 的电阻大大降低, 此时, 虽然外部直流电流的强度还在增加, 但是产生的焦耳热却大大减少, Sn 掺杂 GST 稳定在晶态。由 I - V 曲线可以明显看出, Sn 掺杂 GST 相变阈值电压和阈值电流分别为 1.6V 和 25 μA 。

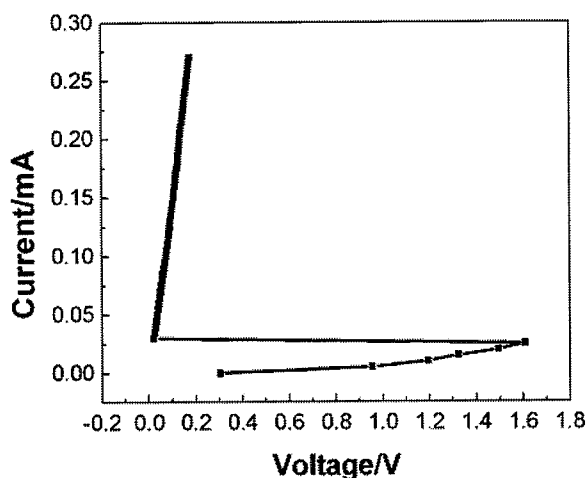


图 2.15 基于 Sn 掺杂 GST 相变存储器器件单元的 I - V 特征曲线

图 2.16 和图 2.17 分别描述的是对 Sn 掺杂 GST 和 GST 相变存储器器件单元实施 SET 操作后, 电阻的变化曲线, 脉冲电流的高度固定为 3 mA, 通过改变脉冲电流的宽度, 研究器件单元电阻随脉冲电流宽度的变化趋势。不难发现, 当脉冲电流宽度增加到 80 ns 和 240 ns 时, Sn 掺杂 GST 和 GST 器件单元的电阻分别从开始时约 $2.8 \times 10^5 \Omega$ 和 $1 \times 10^6 \Omega$ 减少到约 1100 Ω 和 1700 Ω , 高阻与低阻之间的电阻相差两个数量级。说明此时 Sn 掺杂 GST 和 GST 均发生了从非晶态到晶态的相变。之后, 随着脉冲电流宽度持续增加, 相变材料保持在晶态。从图 2.16 和图 2.17 可以得出结论: 脉冲电流的高度固定为 3 mA 时, Sn 掺杂

GST 的相变存储器件单元 SET 操作的脉冲电流宽度只需要 80 ns, 远远小于 GST 的相变存储器件单元, Sn 的掺杂明显提高了相变速度。

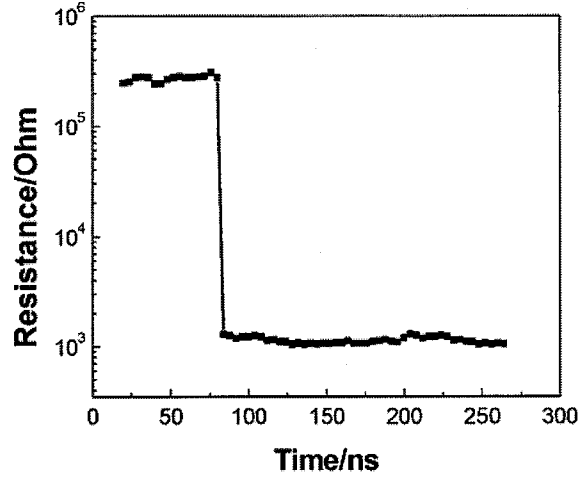


图 2.16 Sn 掺杂 GST 器件单元的电阻—脉宽曲线, 脉冲电流高度固定为 3mA

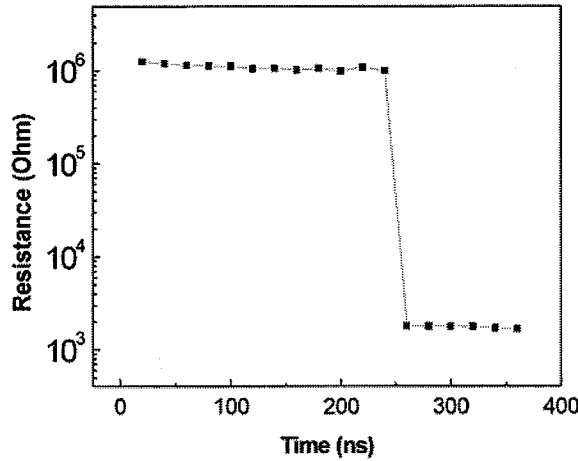


图 2.17 GST 器件单元的电阻—脉宽曲线, 脉冲电流高度固定为 3mA

图 2.18 (a) 给出了器件单元电阻与脉冲电流高度的关系曲线, 脉冲电流高度从 0.5 mA 开始以步长 0.04 mA 逐渐增加, 其中的脉冲宽度固定为 100 ns。同样不难发现, 当脉冲电流高度增加到 1.78 mA 时, 器件单元的电阻从开始的 $2 \times 10^5 \Omega$ 突然减小到 3000Ω , 说明此时发生了从非晶态到晶态的相变。而当电流脉冲继续增加后, 器件单元中的 Sn 掺杂 GST 依然保持为晶态。由此可得出结论: 在 Sn 掺杂 GST 的相变存储器器件单元中, 脉冲宽度固定为 100 ns 时, SET 操作所需的脉冲电流高度必需高于 1.78 mA。

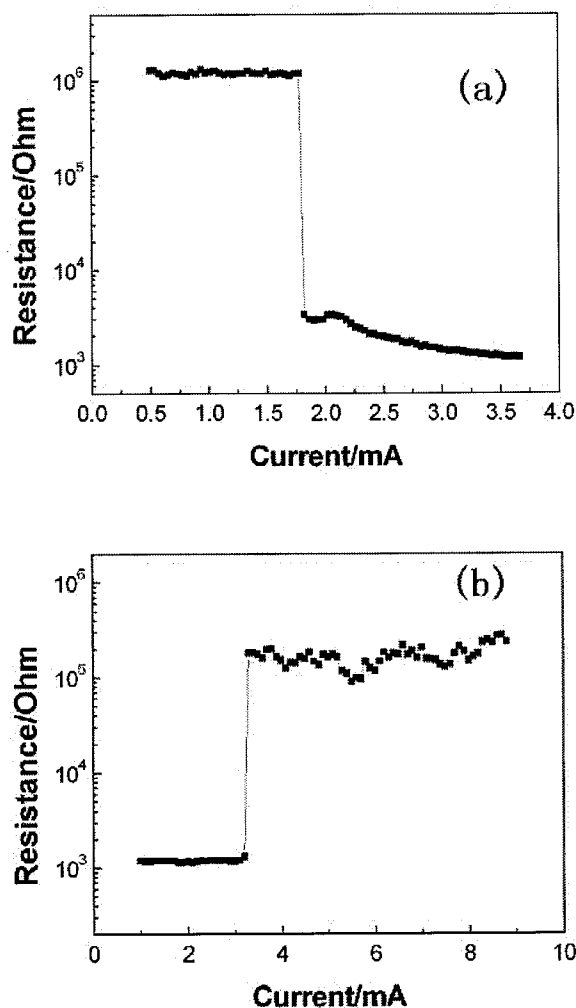


图 2.18 器件单元的电阻—脉冲电流高度曲线，脉冲电流宽度固定为：(a) 100ns；(b) 30ns

对 Sn 掺杂 GST 的相变存储器器件单元实施 RESET 操作后，电阻的变化如图 2.18 (b) 所示。在 RESET 操作中，脉冲电流的宽度首先被固定为 30 ns，脉冲电流高度从 1mA 开始以 0.1mA 为步长逐渐增加。由图 1.11 (b) 可知，从晶态到非晶态的相变发生在脉冲电流高度增加到 3.3 mA 时，此时器件单元的电阻从初始的约 1200 Ω 突然增加到约 $2 \times 10^5 \Omega$ ，高阻态与低阻态之间的电阻相差两个数量级。当脉冲电流高度继续增加时，由于脉冲电流宽度被限制为 30 ns，远低于从非晶态到晶态的相变所需的脉冲电流宽度，所以器件单元保持在高阻态。同样可以得出结论：在 Sn 掺杂 GST 的相变存储器器件单元中，脉冲电流的宽度固定为 30 ns 时，RESET 操作所需脉冲电流高度必须高于 3.3 mA。

2.5 小结

本章中对新型的相变材料 Sn 掺杂 GST 进行研究,从材料的结晶温度和电学性能表征开始,到材料的刻蚀工艺优化最后成功地将其应用到相变存储器件单元中测试,得到了如下结果:

- (1) 利用磁控溅射法制备出了不同掺杂浓度的 Sn 掺杂 GST 薄膜,通过研究发现随着 Sn 掺杂 GST 材料中的 Sn 含量的增加,结晶温度先降低后升高;通过不同温度条件下的退火实验,发现 Sn 掺杂 GST 在晶态的电阻比 GST 高 2~10 倍,这有利于降低 RESET 电流和操作功耗;同时,Sn 掺杂 GST 在晶态的电阻一致性明显好于 GST,对于提高高低阻的信号识别、减小器件单元误读误操作有重要意义。
- (2) 系统研究了 Sn 掺杂 GST 材料在 CHF_3/O_2 组合气体中的刻蚀工艺,系统地比较了不同气体比例、压力和功率条件下 Sn 掺杂 GST 材料的刻蚀速率和刻蚀后表面和侧壁的形貌,找到了最优化的刻蚀工艺,为 Sn 掺杂 GST 在相变存储器件单元的应用提供了技术上的保障。
- (3) 制备了高速的基于 Sn 掺杂 GST 的存储器器件,其 SET 操作所需的脉冲电流高度和宽度的最低值分别为 1.78 mA (脉冲电流宽度固定为 100 ns) 和 80 ns (脉冲电流高度固定为 3 mA);而在脉冲电流宽度限定为 30 ns 时,RESET 操作所需的脉冲电流高度不能低于 3.3 mA;与 GST 相比,Sn 的掺杂降低了 SET 操作的脉冲电流宽度,提高了结晶速度,这些对于提高相变存储器的存储速度有着十分重要的意义。

Sn 掺杂 GST 在相变存储器的应用中具有重要价值。材料中加入了 Sn 元素,降低了结晶温度,提高了晶态电阻的温度分布一致性,降低了误读误操作的可能性;同时,缩短了 SET 操作所需的脉冲宽度,提高了操作的速度。

第三章 二氧化钛加热层在相变存储器中的应用

3.1 引言

相变存储器被誉为替代闪存 Flash 的下一代新型存储器之一，正在被世界众多研究机构广泛关注。研究表明，只有当相变存储器应用到 45nm 工艺节点以下时，其低压低功耗，高速高密度的优势才能被完全发挥出来。因此，在相变存储器的研发过程中，如何降低功耗一直是科研人员关注的焦点和攻关的难点所在。目前的解决方案主要有两个方面：一是选择性能更优异的相变材料，二是开发更合理的器件结构。

传统的相变存储器结构是“蘑菇型”结构^[76]，如图 1.11 所示。这种结构制备工艺简单，电极与相变材料接触面积可随半导体制造工艺节点的不断缩小呈平方关系迅速减小，因此操作电流也随之大幅下降。然而，随着计算机热模拟工作的推进，人们发现，在这种结构中当相变材料器发生相变时，有 3-17 % 和 60-72 % 的热量分别通过上、下电极散失，热利用效率只能达到 0.2-1.4 %^[77]，如图 3.1 所示。研究表明，为减少热散失，提高热利用率，主要从以下两个方面进行改进：一，重新选择热导率较低的电极材料；二，在相变材料与电极直接加入某种保温层材料，这种材料要求非常薄（几个 nm）不影响电路的导通，且热导率较低能够尽可能多地阻隔热量通过电极散失。由于相变材料的特殊性，目前可选用的电极无非 W、TiW、Ti、TiN 等几种材料，热导率相差有限，因此对于减少热散失，提高热利用率的效果非常有限；而通过在相变材料与电极之间加入保温层材料（Ta₂O₅、GeSiN）的方法可以明显降低热散失，降低器件功耗^[45-48,78]。

本章创新性地选择将 TiO₂ 保温层材料加入相变材料与电极之间，制备工艺简单有效洁净，并在此基础上，采用标准的 0.18 μm CMOS 后端制备工艺成功制备出相变存储器件单元，并测试出良好的性能，将 RESET 电流降低了 68%，达到预期的效果。

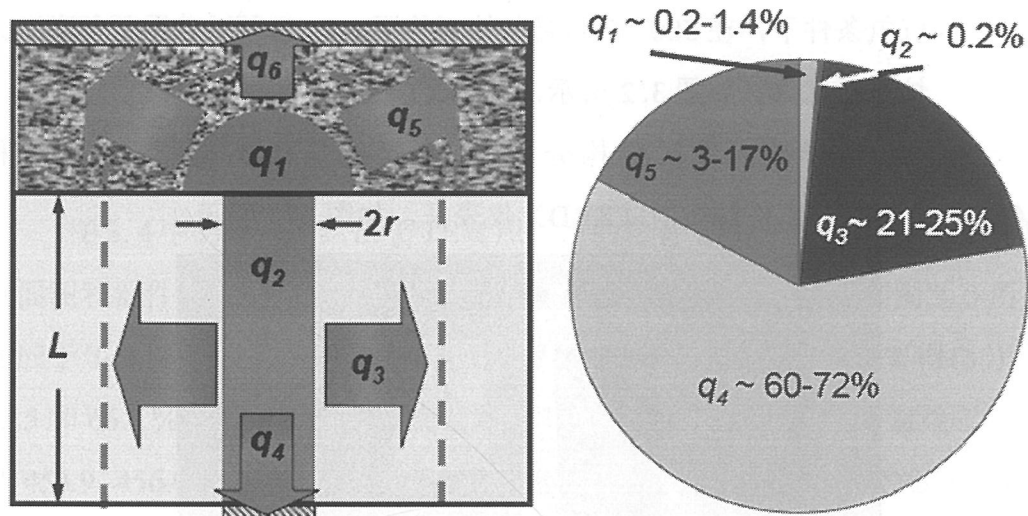


图 3.1 热散失模拟结果

3.2 实验方法

本章中首先制备了 TiO_2 ，并对其微结构和化学成分进行了分析。保温层 TiO_2 的制备是通过 Ti 在高温条件下热氧化的方式形成，具体制备工艺如下：

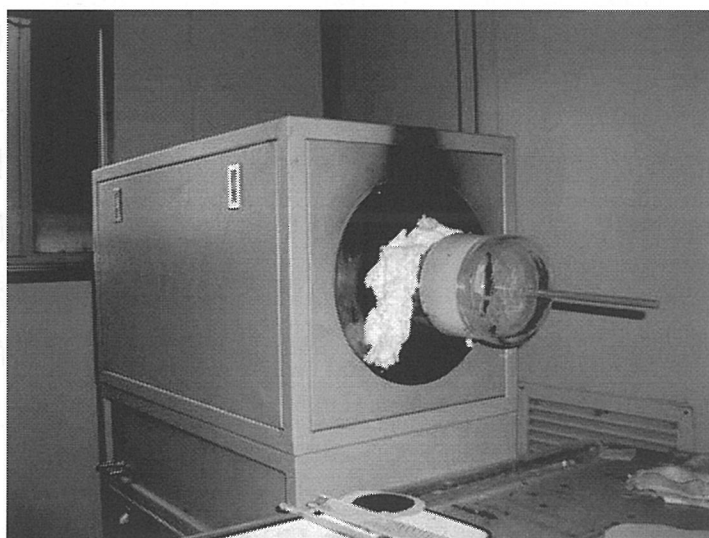


图 3.2 L4813II-1B/UM 型高温退火炉

- 1) 使用磁控溅射制备 Ti 薄膜：使用纯度高于 99.95 % 的 6 英寸 Ti 靶，本底真空 10^{-4} Pa，气体流量为 Ar 20 SCCM，溅射气压 0.2 Pa，射频功率 300 W，溅射时间 1 分钟，薄膜厚度 5 nm。
- 2) 高温热氧化：在通入纯度高于 99.995 %、流量为 3000 SCCM 的 O_2

气氛条件下, 在 580 °C 高温条件下使用 L4813II-1B/UM 型高温退火炉进行退火, 如图 3.2 所示, 时间 10 分钟。

TiO₂ 的化学成分和微结构分别经 X 射线光电电子能谱 (XPS) 和 D/MAX-2200PC 型 X 射线衍射 (XRD) 仪表征, 如图 3.3 所示。

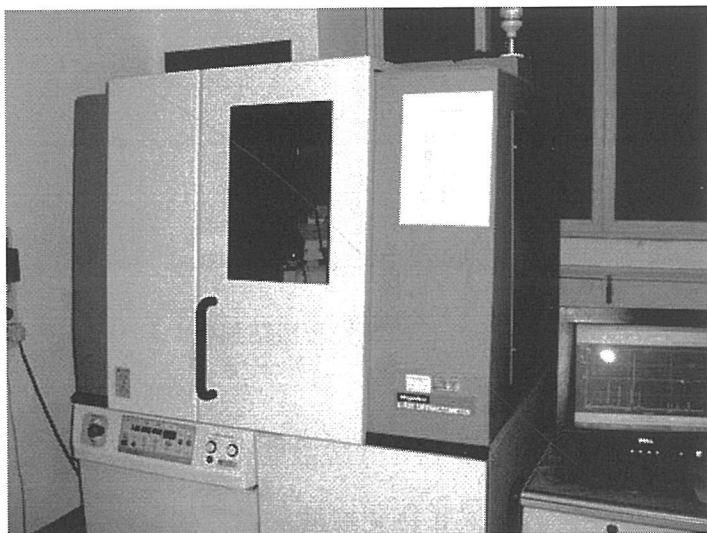


图 3.3 D/MAX-2200PC 型 X 射线衍射 (XRD) 仪

之后, 制备了加入 TiO₂ 保温层和未加保温层两种相变存储器件单元, 并进行测试对比。相变存储器件单元中相变材料 GST 和 TiN 薄膜的制备同样采用的是磁控溅射的方法。其中, GST 薄膜的制备方法和条件与第二章中制备 Sn 掺杂 GST 的方法类似, 只是没有加入 Sn 的掺杂。电极材料 Al 的制备方法和条件与第二章中完全一样。其余制备工艺与测试平台设备的使用均与第二章一致。

样品的准备分为两种: 一种是利用中芯国际 0.18 μm CMOS 标准后段工艺制备出直径 260 nm 的下电极, 结构与第二章相同, 用于制备相变存储器件单元并对器件性能进行测试和表征; 另一种是 3 英寸 SiO₂ 衬底硅片上, 用于制备 TiO₂ 材料的化学成分和微结构表征。

器件单元剖面图通过透射电子显微镜 (TEM) 拍摄, 设备型号为 Philips TF20。

PCRAM 器件单元的测试同样采用自行设计搭建的电学测试系统完成。

3.3 实验结果与讨论

3.3.1 XPS 与 XRD 分析

图 3.4 中的插入图给出了 TEM 照片下的含有 TiO_2 保温层材料的器件单元剖面图和器件单元结构示意图。 TiO_2 的成分经 XPS 测定, 结果如图 3.5 所示, 对应于 T-O 键结合能的峰清晰可见, Ti 和 O 的百分比含量通过计算得出分别为 33.5 和 66.5 %, 而在电子自旋轨道为 2p3、2p、2p1 的 Ti-Ti 键分别对应的结合能 453.9、456.0 和 460.0 eV 的峰均没有出现, 这说明该样品的主要成分是 TiO_2 。 TiO_2 的厚度由 TEM 照片量测确定为 8 nm, 与氧化前 Ti 的厚度 5nm 相比增加了 3 nm, 此厚度的增加是由于 Ti 氧化后结合 O 原子所致。图 3.6 所示的是对 Ti 氧化前后 XRD 分析结果, 可以看到在 580 °C 退火后, 出现了较明显的<101>、<112>和<200>结晶方向的 TiO_2 峰。这些测试表明我们已经成功地通过氧化的方法制备出 TiO_2 保温层材料。

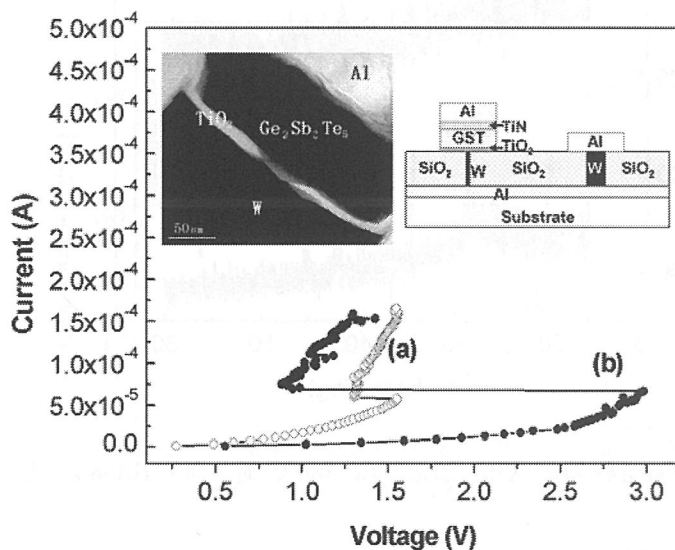
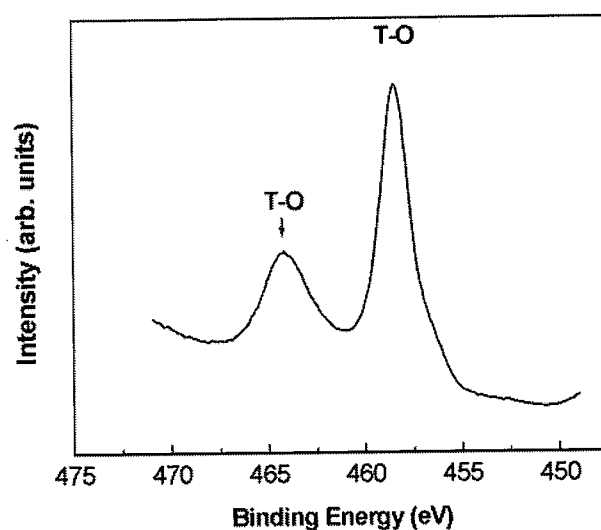
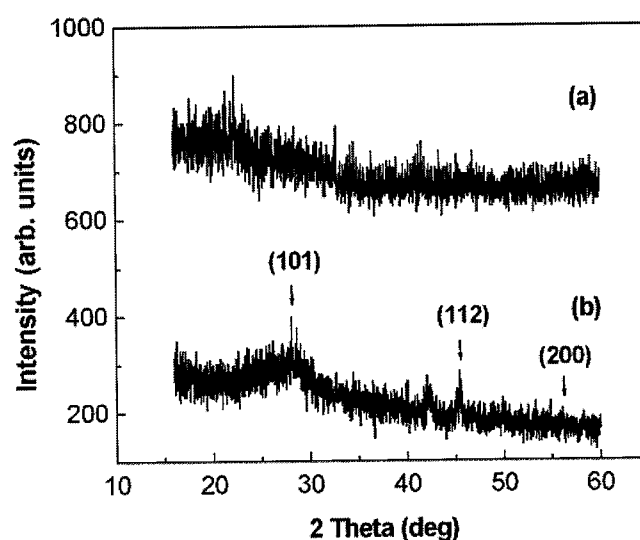


图 3.4 PCRAM 器件单元的 I - V 特征曲线: (a)含有 TiO_2 ; (b)没有 TiO_2


 图 3.5 TiO_2 保温层材料的 XPS 图谱

 图 3.6 TiO_2 保温层材料的 XRD 图谱: (a) 580°C 退火前; (b) 580°C 退火后

3.3.2 器件单元性能测试与分析

由图 3.4 的 $I-V$ 特征曲线中不难发现, 无论相变存储器件单元是否加入了保温层材料 TiO_2 , 在直流电流逐渐增加的过程中均出现了明显的负阻值区域, 并且具有重复性, 这说明在这一过程中两种器件单元都发生了从阻值较高的非晶态到阻值较低的晶态的相转换现象。很显然, 在加入了 TiO_2 保温层后, 器件

单元的翻转电压（阈值电压）从 2.98 V 迅速减小到 1.55 V，而非晶态的阻值却基本相同。这说明，在加入了保温层材料 TiO_2 后，实现从非晶态向晶态转换的过程更加容易，功耗更低。

图 3.7 所示的是两种器件单元在脉冲操作的条件下从阻值较低的晶态向阻值较高的非晶态转换的操作情况（RESET 操作），(a) 曲线反映的是加入了 TiO_2 保温层材料后器件单元的 RESET 操作，(b) 曲线则反映的是未加入 TiO_2 保温层材料的器件单元的 RESET 操作。两种器件的 RESET 脉宽都设定为 30 ns 不变。值得注意的是，当加入 TiO_2 保温层材料后，RESET 电流从 0.98 mA 大幅地减小到 0.32 mA，而 RESET 操作前后两种器件的高阻和低阻阻值都在相等的数量级上。这些结果表明， TiO_2 保温层材料的加入没有影响器件单元高低阻的阻值分布区间，却明显地降低了 RESET 操作电流。这种方法在不改变器件基本结构的基础上，通过非常简单、有效而且洁净的工艺显著地降低了操作功耗，并且可以完全无障碍地应用于更小工艺节点的工艺生产中。对于相变存储器在更先进工艺节点中的工业应用具有十分重要的意义。

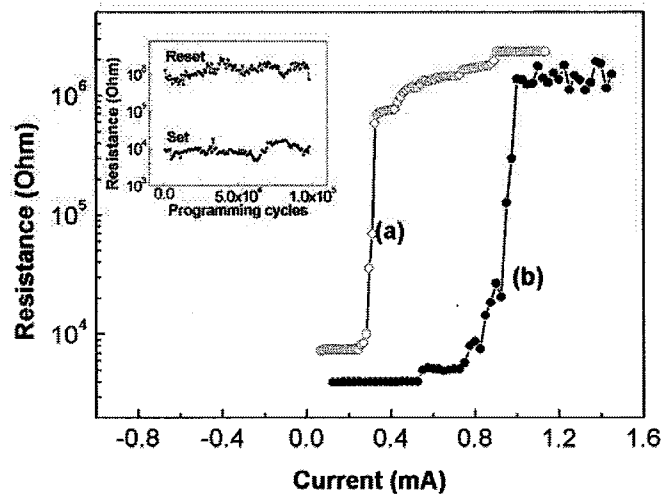


图 3.7 PCRAM 器件单元的 RESET 操作：(a)有 TiO_2 ；(b)无 TiO_2 ；内图为 PCRAM 器件疲劳测试

TiO_2 保温层材料的加入为什么可以降低 RESET 操作电流呢？原因有以下几点：第一，要使相变材料发生从低阻到高阻的转变，必须达到一定温度即熔

化温度 (T_m), 当操作脉冲提供之后, 相变材料的温度会不断升高, 但同时也具有相当比例的热量通过下电极散失。散失的热量与相变材料与下电极的接触面积以及电极材料的热导率有关, 面积越大、热导率越大, 散失的热量也越多, 这种散失是不可避免的。而当加入了 TiO_2 保温层材料后, 由于 TiO_2 的热导率 (0.25 W/m K) 比电极 W (174 W/m K) 小很多, 因此抑制了热量的散失, 提高了热利用效率, 因此所需的 RESET 电流也随之降低。第二, 通过四探针法测试出 TiO_2 的电导率为 $1.9 \Omega \cdot \text{cm}$, 通过公式 $R = \rho d / \pi r^2$ 计算出 8 nm 厚的 TiO_2 电阻约为 2864Ω , 这一电阻在相变过程也会提供一定的热量, 显然这部分热量也会用于相变过程, 因此 RESET 操作所需的电流理所当然地随之减小。

除此之外, 我们对加入了 TiO_2 保温层材料的器件单元进行了疲劳特性测试。疲劳测试的方式是通过施加一次 RESET 操作和一次 SET 操作作为一次循环, 每循环测试 1000 次之后, 分别记录下一次 RESET 操作和 SET 操作后的电阻值。这样通过多次 RESET 与 SET 操作, 如图 3.7 的内图所示, 测试出器件单元的疲劳性能。可以看到, 器件单元的重复擦写次数达到 10^5 以上, 展示了良好的工作特性。其中, 低阻值分布在 10^4 Ohm 量级, 而高阻值分布在 10^6 Ohm 量级。高低阻阻值分布具有优异的可识别性, 完全具备存储器的要求。

3.4 小结

针对目前如何减小相变存储器件操作功耗, 提高热利用率的研究热点, 本章用简单、有效、洁净的热氧化工艺成功地制备了 TiO_2 薄膜, 并创新地将其加入到相变材料与电极之间作为保温层材料。并在器件单元上成功的应用, 测试出优异的性能。得到的主要结论如下:

- 1) 通过高温热氧化的方法成功制备了 TiO_2 薄膜, 通过对其化学成分和微结构的表征, 证明薄膜的稳定和可用性。工艺方法简单、有效、洁净, 并且与大规模生产工艺相兼容。
- 2) 成功地将 TiO_2 薄膜植入相变存储器件单元中, 作为保温层材料加入到相变材料与下电极之间。抑制了热扩散, 提高了热利用率, 使 RESET 操作电流降低了 68%, 大大降低了功耗。疲劳测试达到 10^5 次数量级。操作电流和功耗的降低一直是相变存储器研发的方向和目标, 本章中创新

性的将 TiO_2 作为保温层材料植入相变存储器件单元之中，取得了显著地效果。由于其制备工艺简单，材料的环保，可毫无障碍地应用于当前甚至更先进的工艺节点中，对相变存储器的工业应用具有十分重要的意义。

第四章 相变材料图形化的工艺优化

4.1 引言

在相变存储器的制备工艺中,相变材料的图形化制备是最为关键也是最具难点的工艺之一。前面提到,相变存储器的优势必须当其应用于 45 nm 工艺节点以下时,才能完成发挥出来。因此,在工艺节点不断缩小的同时,相变材料图形化的尺寸也必须随之减小。众所周之,任何材料的图形化只有两种方法,一是利用曝光和刻蚀,二是利用化学机械抛光(CMP, Chemical Mechanical Polisher)。一般情况下,这两种方法是相互独立的,根据材料和图形的要求采用其中的某一种。但是对于相变材料这种全新的特殊的材料来说,在单独选择刻蚀或者是 CMP 这两种工艺时,都会遇到前所未有的困难。使用刻蚀时,刻蚀后聚合物的去除一般选用 O_2 ,但是 O_2 会对相变材料造成损伤,不但破坏了相变材料的表面形貌,甚至可能影响相变材料的性能;而使用 CMP 时,由于其工艺本身的特点决定了对于大块区域材料的抛光均匀性和重复性较差^[79]。

针对以上问题,本章创新地采用刻蚀与 CMP 相结合的方法,成功地制备了直径 300 nm 的相变材料图形。不但成功了实现了亚微米级尺寸相变材料的图形化,而且提高了工艺的均匀性和稳定性;并应用于相变存储器件单元,获得了好的性能参数。

4.2 实验方法

为了进行对比,本章采用两种方法分别制备出相变存储器件单元,一种是仅采用 CMP 的方法,另一种是采用先对大区域的相变材料进行刻蚀,然后再用 CMP 的方法进行平坦化。本章中使用的相变材料均为 GST。

样品的制备工艺简介如下:利用中芯国际 0.18 μm 的 CMOS 标准后端工艺制备出直径为 130 nm 的下电极,下电极的材料为 W,详细的工艺步骤见第五章;通过化学气相沉积(CVD, Chemical Vapor Deposition)的方法制备厚度为 150 nm 的 SiO_2 薄膜后,用曝光刻蚀工艺制备出直径 300 nm 到 600 nm 不等的凹槽,下端露出下电极;再用磁控溅射的方法制备出厚度为 400 nm 的 GST,

分别通过仅用 CMP 和先刻蚀后 CMP 的方法制备出 GST 图形;最后用磁控溅射和超高真空电子束蒸发的方法分别制备出和 40 nm 的 TiN 和 300 nm 的上电极 Al, 并通过光刻和刻蚀工艺引出测试。本章中 CVD 工艺采用的是 PD-I 型等离子体淀积台, 刻蚀、磁控溅射与超高真空电子束蒸发设备在第一章已介绍, 这里不再赘述。而 CMP 使用的是 CETR 厂商生产的 CP-4 型化学机械抛光机。

GST 刻蚀的条件是: CF_4 (15 SCCM)/Ar (35 SCCM), 250 W, 50 mTorr。GST CMP 的条件是: 抛光垫转速 150 rpm, 样品转速 150 rpm, 下压力 4 psi, 抛光液流量 60 ml/min。

用扫描电子显微镜观察两种工艺条件后 GST 表面形貌, 并对样品中间与边缘所剩 SiO_2 的厚度进行量测, 用于判断两种工艺条件的均匀性与稳定性。最后, 采用自主搭建的 PCRAM 专用测试系统分别对两种工艺条件制备的器件单元进行测试, 并提取参数进行对比分析。

4.3 实验结果与讨论

4.3.1 SEM 与 TEM 分析

表 4.1 两种工艺均匀性比较: (a)先刻蚀后 CMP; (b)仅用 CMP

	硅片边缘	硅片中间
CMP 之后 SiO_2 剩余厚度	102.5 nm	138.6 nm
先刻蚀再 CMP 之后 SiO_2 剩余厚度	123.7 nm	137.4 nm

图 4.1 所示的是两种工艺后的俯视 SEM 照片, 很明显, 经过先刻蚀再 CMP 工艺后, GST 表面变得更加平整。这点在图 4.2 所示的 TEM 照片中可以看到, 仅使用 CMP 工艺后, GST 表面不够平整。这是因为: 一, CMP 对于大块区域的均匀性和重复性较差, 对于本章中的 CMP 条件, 中间区域抛光速率较快, 边缘区域较慢, 如表 4.1 所示; 二, GST 是一种非常特殊的材料, 当进行 CMP 时很容易黏附到样品表面而无法去除干净, 这种现象在对大面积 GST 进行 CMP 的过程中更加明显。当采用刻蚀工艺先去除大部分 GST 后再进行 CMP 时, 首先需要进行 CMP 的区域变小了很多, 且需要抛光区域高于其他区域, 此时机械压力更大, 不但 CMP 速率增加而且均匀性得到提升; 同时 GST 黏附到样品表面的影响也被削弱很多。

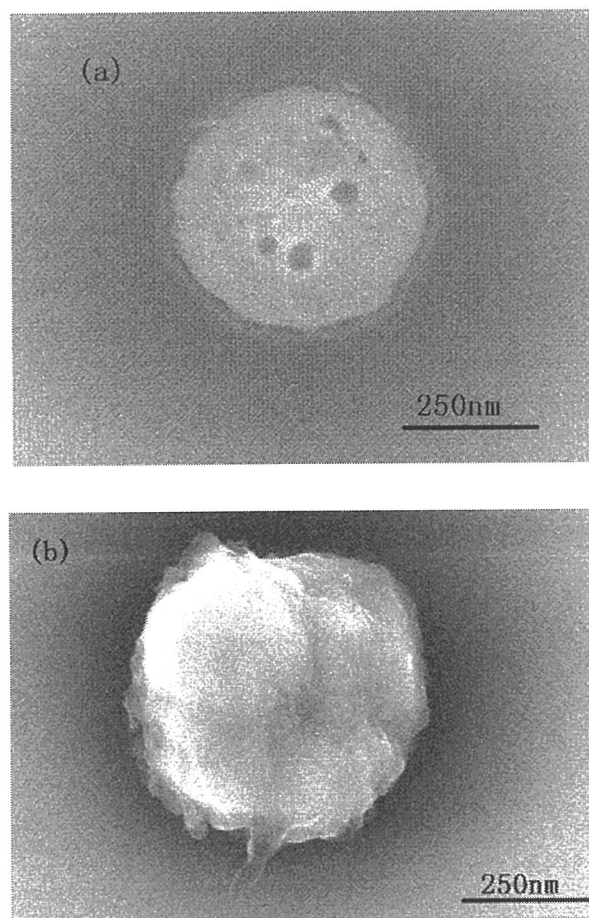
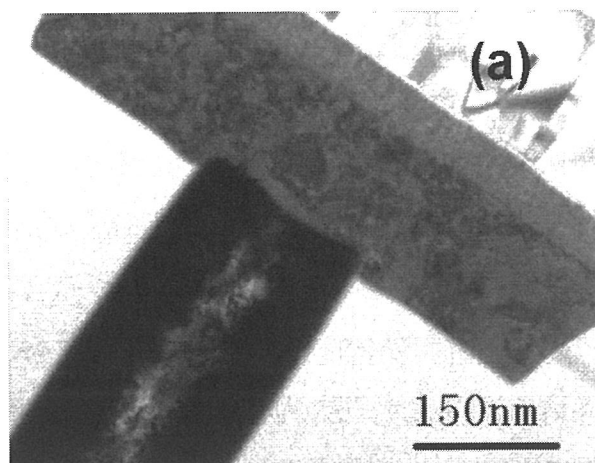


图 4.1 两种制备工艺条件下 GST 表面 SEM 照片：(a)先刻蚀后 CMP；(b)仅用 CMP。



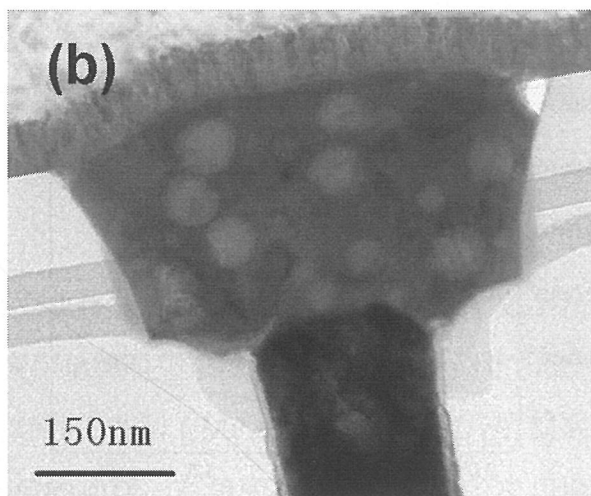


图 4.2 两种工艺完成后 TEM 结果: (a) 先刻蚀后 CMP; (b)仅用 CMP。

4.3.2 器件单元性能对比

图 4.3 给出的是 I - V 特征曲线, 不难发现, 两种器件单元在随着直流电流增加的过程中都存在明显负阻值区域, 对应的是从阻值较高的状态向阻值较低的状态转换的过程, 且具有重复性。这种现象意味都实现了从非晶态到晶态的转变, 可以发现, 两种器件单元的阈值电压分别是 2.1 V 和 1.7 V。经过先大块面积刻蚀后 CMP 工艺的器件单元的阈值电压低于直接采用 CMP 工艺的器件单元。图 4.4 和图 4.5 给出的是两种器件单元的 RESET 和 SET 操作, 相似的现象可以被观察到, 即采用先刻蚀后 CMP 工艺的器件单元, 无论 RESET 电压还是 SET 电压都比直接采用 CMP 工艺制备的器件单元降低了约 20 %。

这种现象出现的原因如下: 直接进行 CMP 工艺之后会有 GST 残留在样品表面, 这些残留物与 GST 之间形成了接触不好的界面。当直流电流或者脉冲操作电压施加时, 由于界面的不良接触, 将会有部分电压降损失在这些界面上, 从而导致功耗的增加。

当采用先大块面积刻蚀再进行 CMP 的工艺方法后, 这种界面的影响被大大降低, 无论是阈值电压还是脉冲操作电压反映的都是真实加在相变材料 GST 上的情况, 减少了无谓的功耗, 电压值也就随之减小了, 如图 4.3 和图 4.4 上所示。

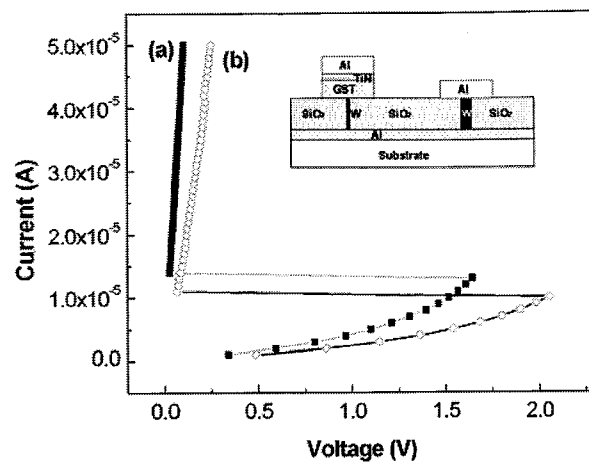


图 4.3 PCRAM 器件单元的 I - V 特征曲线: (a) 先刻蚀后 CMP; (b) 仅用 CMP。

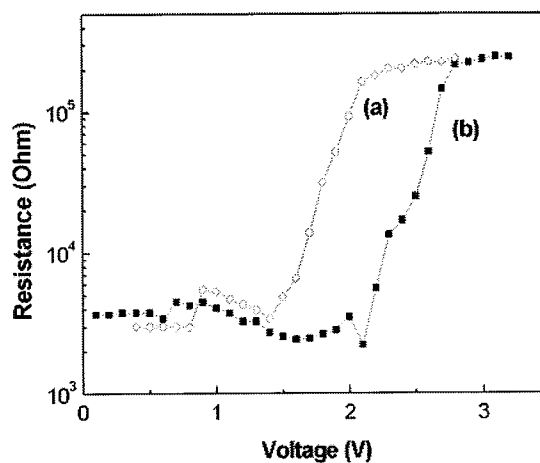


图 4.4 PCRAM 器件单元的 RESET 操作: (a) 先刻蚀后 CMP; (b) 仅用 CMP。

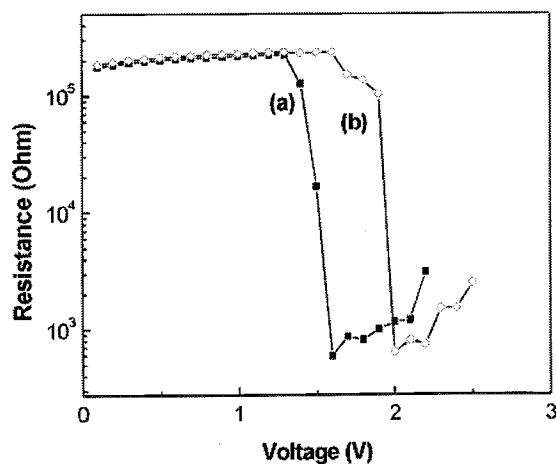


图 4.5 PCRAM 器件单元的 SET 操作: (a) 先刻蚀后 CMP; (b) 仅用 CMP。

此外, 由于这种残留物的均匀性较差, 因此, 对于器件来说, 一致性更差, 不但会造成测试结果的误差, 更会影响整个器件的性能和寿命。

4.4 小结

在相变存储器工业化和产业化过程中, 必须适应更小尺寸、更低密度的工艺要求, 为解决相变存储器件制备工艺中高密度小尺寸相变材料图形化的难点, 创新性地提出采用刻蚀工艺与 CMP 相结合的工艺方法, 提高了工艺的一致性和稳定性, 降低了无谓的功耗。在相变存储器件单元上成功地应用, 并测试出好的性能。结果如下:

- (1) 采用刻蚀工艺与 CMP 相结合的工艺方法制备的 GST 图形, 表面更加平整, 样品中间与边缘的一致性更好。
- (2) 将新工艺方法应用至 PCRAM 器件单元后, 阈值电压从 2.1 V 降到 1.7 V, RESET 和 SET 操作电压都降低了约 20 %。

对于高校和研究所来说, 由于条件的限制, 工艺的一致性和稳定性很难达到较高的要求。尤其是对 GST 这种新型材料来说, 通过传统工艺达到工艺和器件性能要求存在一定困难。本文首次提出的刻蚀与 CMP 工艺的结合, 有效改善了相变材料 GST 的形貌, 提高了器件性能, 对高校和研究所开展 PCRAM 器件的研究提供了一条可行有效之路。

第五章 相变存储器芯片集成工艺

5.1 引言

高性能半导体存储器是信息技术的基石，是消费型电子产品的核心器件，2007 年其全球销售额约为 600 亿美元，预计在 2012 年有望达到 1000 亿美元。随着半导体存储器工艺技术进入 45 nm 节点，闪存（FLASH）芯片遭遇到浮栅相互干扰以及镜像相邻单元互连的问题，而动态随机存储器（DRAM）则需要寻找可生产的高介电常数（K）材料用于电容介质的填充，并且器件尺寸的不断缩小，所面临的问题将进一步严重。相变存储器（PCRAM）是与 CMOS 集成电路兼容随纳米加工技术发展涌现出的新一代非挥发半导体存储器，当器件特征尺寸进入纳米尺度并不断缩小的过程中，其基于可逆相变电阻的存储特性在几纳米的尺度上反而会呈现出更优异的性能（低功耗、高速等），它比现在商用化的 FLASH 存储技术综合性能更优越，被业界公认为继 FLASH 后存储技术的重大突破，在未来存储器市场中具有很强的竞争力与广阔的商用价值。因此世界主要半导体存储器生产企业都将 PCRAM 存储技术作为 45 nm 节点之后替代 Flash 和 DRAM 的技术，并早在 2002 年就开展了重点研发。目前许多主要的集成电路制造公司组成联盟，致力于 PCRAM 研发，包括 Intel—ST、Samsung、Renesas、Hynix、Philips—TSMC、IBM—旺宏—奇梦达等等，均已积极部署 PCRAM 的研发和产业化。

作为新型的集成电路制造大国，近年来中国的半导体行业发展迅猛，但是在自主知识产权方面仍然较为落后。经验告诉我们，必须研发出具有自主知识产权的核心技术，才能在日益激烈的市场竞争中占有一席之地。目前，国际上 PCRAM 的研发已经进入芯片阶段，Samsung 已经研发成功 512 Mb 的 PCRAM 测试样片，而我国至今只有少数科研单位达到器件单元层面。PCRAM 芯片的研发已经刻不容缓，而从器件单元阶段进入芯片阶段，PCRAM 器件单元与 CMOS 工艺的集成技术是首要的研发重点。

因此，从本章开始，我们利用 8 英寸 PCRAM 专用的工艺平台，率先在国内开展 PCRAM 与 CMOS 集成工艺的研发。其中包括 8 英寸平台相变材料的性

能验证, 1T(transistor)和 1R(resistor of phase change material)工艺, 以及 1T 与 1R 的集成, 最终测试出 16 Kb 与 1 Mb 测试芯片的性能参数。制备出国内第一个由晶体管驱动的 PCRAM 单元, 和第一个容量 16 Kb 与 1 Mb 的 PCRAM 测试芯片, 并且都测试出良好的性能。

5.2 相变材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 制备工艺验证

5.2.1 实验方法:

本章中相变材料 GST 都是在 8 英寸平台上制备的。使用的是磁控溅射的方法, 设备型号为 Oerlikon Balzers 公司生产的 Unaxis LLS EVO, 如图 5.1 所示。制备条件如下: 靶材为 127 mm×381 mm 的 GST 合金靶 (99.99 wt%), 射频功率为 200 W, 本底真空为 3×10^{-5} Pa, 溅射时 Ar 流量为 10 SCCM, 溅射气压为 0.2 Pa~1 Pa, 溅射温度为室温。

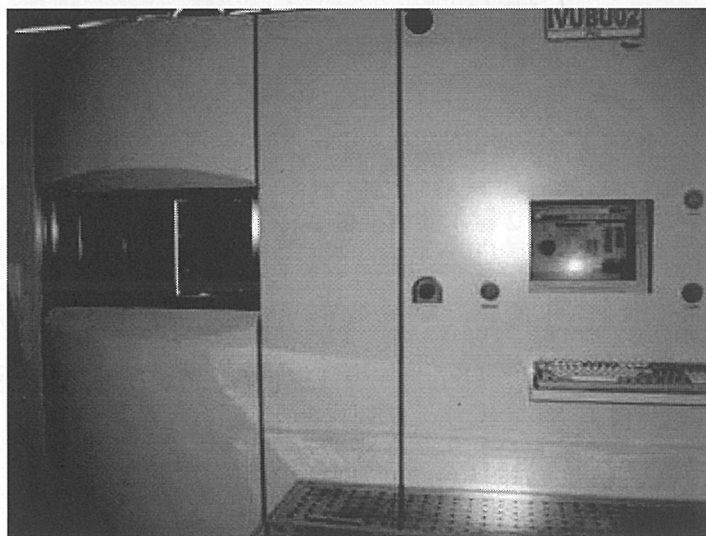


图 5.1 8 英寸平台 GST 磁控溅射 Unaxis LLS EVO

本章中验证 8 英寸平台制备的相变材料 GST 时, 采用的电阻测量方法为四探针法, 与第二章不同的是本章中利用霍尔测试设备 (Accent HL5500) 中的真空腔室, 如图 5.2 所示, 利用其匀速升温 ($15^\circ\text{C}/\text{分钟}$) 功能将样品升温, 每隔 15 秒记录一次电阻值。将 8 英寸平台制备的 GST 材料与微系统所 6 英寸靶制备的 GST 对比, 其中 8 英寸平台在制备 GST 材料时选取了 4 种不同的压力条

件；采用中心对称的 9 点法对 8 英寸硅片上制备的 GST 材料进行薄膜均匀性分析，使用 SEM (Hitachi S4700) 对样品截面的厚度进行量测；使用 SEM 配备的 X 射线能量色散谱[Energy dispersive x-ray spectroscopy (EDS)，型号 Oxford INCA Energy]标定薄膜组分，EDS 采用的 X 射线可以穿透至样品内部 $1\mu\text{m}$ 深度；选取 8 英寸样品中间和边缘共 4 个样品点使用快速退火炉在 160、250 和 $350\text{ }^{\circ}\text{C}$ 下退火，时间 1 分钟；使用 XRD（采样步长，光源同第二章）对上述 4 个样品以及微系统所 6 英寸靶制备的 GST 样品对比分析。

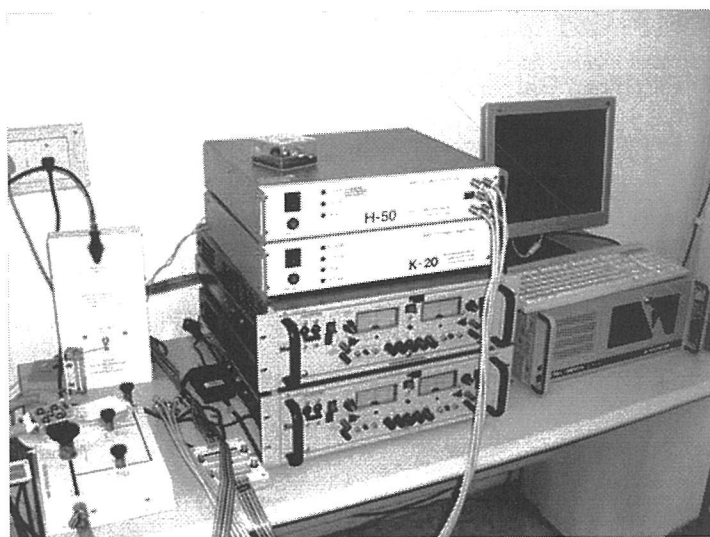


图 5.2 霍尔测试设备 Accent HL5500

5.2.2 实验结果与讨论

5.2.2.1 方块电阻-温度关系

如图 5.3 给出了在 8 英寸平台上、4 种气压条件下制备的 GST 以及微系统所 6 英寸靶制备的 GST 方块电阻随温度变化关系曲线。不难发现，GST 材料均出现了明显的电阻快速下降的现象，这种现象对应于 GST 材料从非晶态向晶态的转变过程，所对应的温度是 GST 的结晶温度。同时，虽然 8 英寸平台上制备 GST 的压力条件不同，但是结晶温度区域变化不大，且高阻和低阻的阻值分布区间也非常一致。与 6 英寸靶制备的 GST 材料相比，结晶温度稍高；高阻的分布区间基本一致，低阻的分布略高。这些差异的产生主要来源于设备的不同，以及靶材的差别。虽然如此，我们仍然可以清楚地看到 8 英寸平台上制备的 GST 材料在方块电阻随温度变化特性上已经呈现出相变材料最为关键的性能特征。

并且,材料制备中压力条件的差异对材料该性能的影响不大,为方便后面实验的进行,今后将采用压力为 0.59 Pa 的条件来制备 GST 材料。

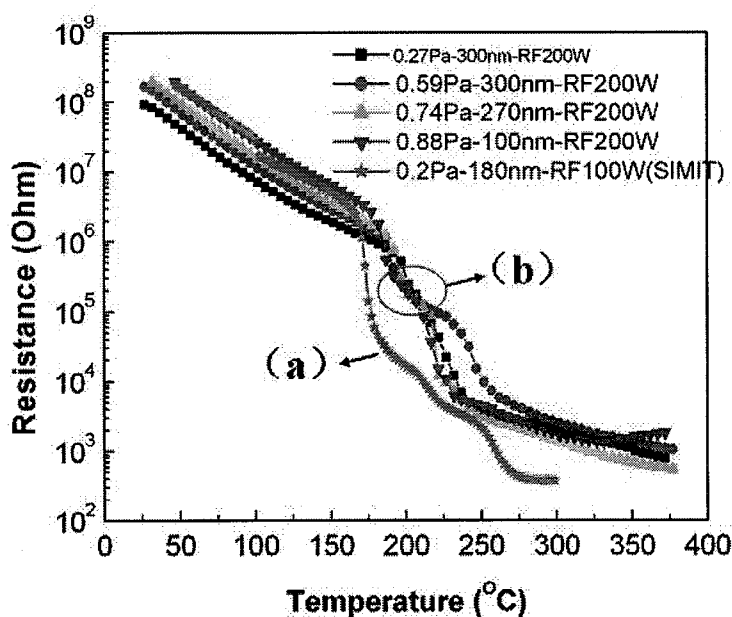


图 5.3 GST 材料电阻随温度关系: (a) 6 英寸靶制备; (b) 8 英寸平台制备

5.2.2.2 薄膜厚度均匀性分析

为应用于 8 英寸的工艺平台,对 GST 材料制备厚度均匀性的考评是必不可少的。考虑到 8 英寸硅片中间与边缘可能存在的差异,我们采用中心对称的 9 点法进行测试,如图 5.4 所示。经 SEM 对样品截面厚度的测试,平均值为 233 nm,均匀一致性用相对标准偏差[Relative Standard Deviation (RSD)]表征,达到 2.7%,相对标准偏差的计算公式如公式 1 所示:

$$RSD=(S/X) \times 100\% \quad (1)$$

其中, X 为均值, S 为标准偏差,分别由公式 2、3 计算得到。

$$X=\sum x_n/n \quad (2)$$

$$S=[(\sum x^2-X \sum x_n)/(n-1)]^{1/2} \quad (3)$$

目前在 8 英寸 0.18 μm 工艺节点的薄膜制备中,薄膜的均匀性达到 4 %就可以应用于工业生产中。可见,我们在 8 英寸样品上制备的 GST 薄膜,中间与边缘的均匀性和一致性都非常出色,已经达到了生产的要求。

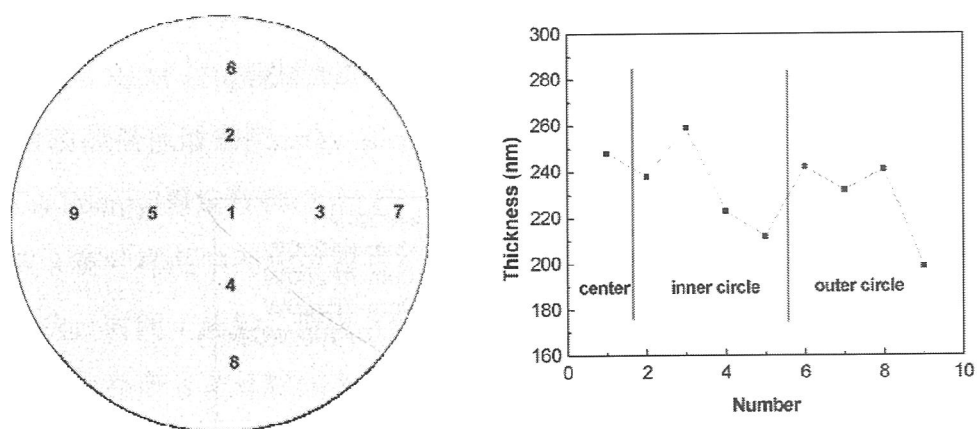


图 5.4 GST 材料沉积均匀性验证

5.2.2.3 组分分析

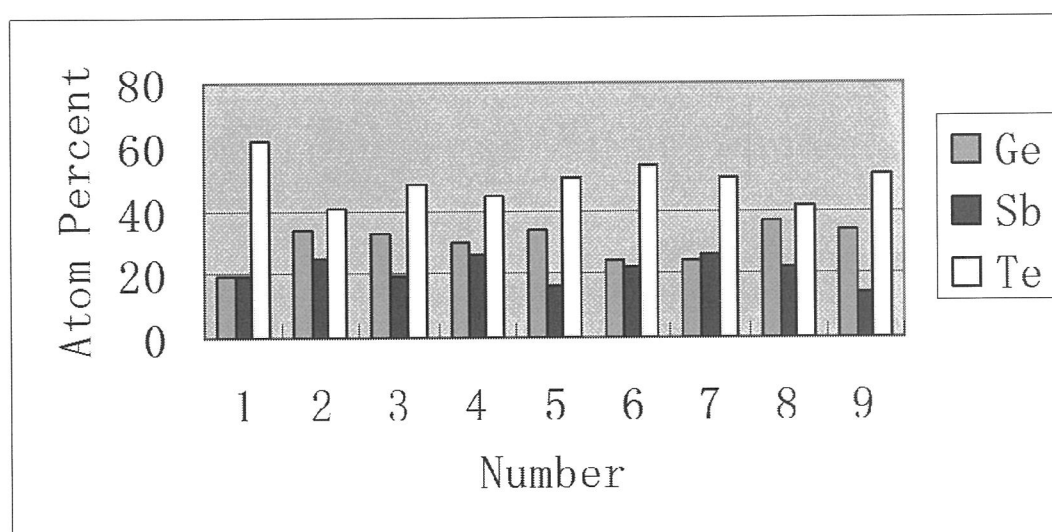


图 5.5 GST 材料沉积组分均匀性验证

GST 薄膜中三种元素组分的差异会造成其结晶温度、RESET 和 SET 操作等相变材料性能的差异。因此，在 8 英寸平台上，必须对薄膜组分的一致性进行分析。

与薄膜厚度均匀性分析类似,我们也采用 9 点法分析不同区域 GST 材料的组分,其组分由 EDX 标定,如图 5.5 所示。虽然 EDX 的精度有限,但是我们采用了多点测量求平均值的方法降低误差。结果表明, GST 材料中 Ge 含量稍高,但 Ge、Sb、Te 三种材料的原子比基本维持在 2:2:5 范围。

5.2.2.4 XRD 分析

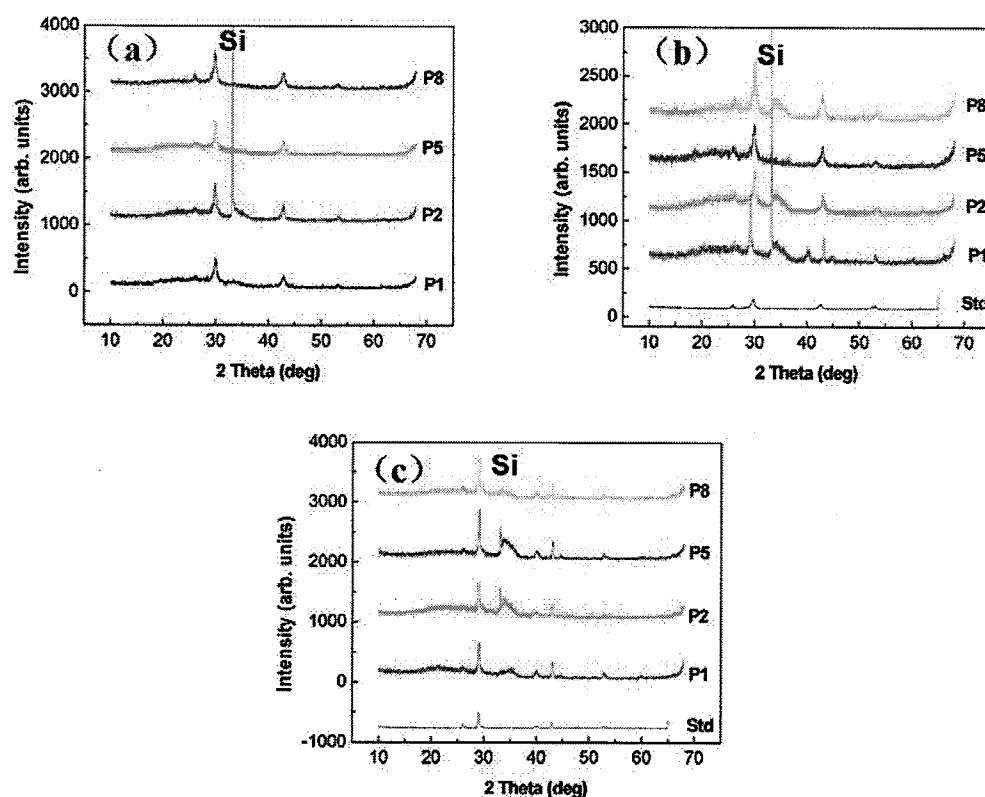


图 5.6 不同温度退火后 GST 材料的 XRD 图谱: (a)160 °C; (b)250 °C; (c) 350 °C

GST 薄膜厚度均匀性的分析还不足以反应其相变材料的性能。其中,最为关键的是在相同条件下退火后,8 英寸样品不同位置样品的微结构是否具有致性。因此,我们选取了 9 点法中 4 个不同位置的样品点,对其在 160、250 和 350 °C 条件下退火 1 分钟,使用 XRD 分析其微结构的差异;并将结果与微系统所制备标准 GST 样品进行对比。

XRD 结果如图 5.6 所示。处于四个不同位置的样品在相同退火温度条件下,其出现结晶取向峰的位置完全一致。这说明,在相同退火温度下,所有样品的

微结构相同。保证了在 8 英寸平台上制备的 GST 薄膜其微结构的均匀性非常出色，保证了今后相变存储器件的一致性和稳定性。

5.2.3 小结

相变存储器芯片的制备离不开先进的工艺平台，本章利用 8 英寸先进工艺生产平台进行相变存储器芯片的研究。因此，在 8 英寸工艺平台上相变材料 GST 的验证至关重要。

在本节中，对 8 英寸工艺平台上制备的 GST 与微系统所内制备的 GST 从方块电阻-温度关系曲线、薄膜厚度均匀性、材料组分、XRD 微结构等方面对材料特性进行了分析，结果如下：

1) 方块电阻-温度曲线：8 英寸工艺平台上制备的 GST 材料出现了方块电阻迅速降低的过程，下降过程中对应的结晶温度比 6 英寸靶制备的 GST 材料略高。同时，两种相变材料高阻的分布基本一致；而低阻的分布上，8 英寸平台上制备的 GST 材料略高。此外，对于不同的压力条件，8 英寸平台上制备的 GST 并未显示出明显的差异。因此，今后压力条件统一为 0.59 Pa。

2) 薄膜厚度均匀性：采用 9 点法来衡量 8 英寸 GST 薄膜的厚度均匀性。计算得出，GST 薄膜的均匀性可以达到 2.7%，超过工业生产标准的 4%，满足芯片研究的需要。

3) 材料组分：同样用 9 点法对材料的组分进行 EDX 分析，GST 中三种元素的原子比基本稳定在 2: 2: 5，同样满足芯片研究的要求。

4) XRD 分析：选取三个温度退火后，8 英寸硅片上 4 个位置点，用 XRD 对材料微结构进行分析。结果表明：不同位置的样品在相同退火条件下，其结晶取向峰的位置完全一致，说明各位置点的样品具有相同的微结构。

通过对 8 英寸平台上制备的 GST 材料进行的验证，其材料特性和均匀一致性均达到了相变存储器芯片研究的要求。下节开始，我们将着重研究相变存储器芯片的制造工艺。

5.3 相变存储器芯片制造工艺

5.3.1 引言

PCRAM 芯片的制造首先必须解决相变存储器单元与 CMOS 工艺的集成技术。由于 CMOS 技术的成熟，目前，除了 Samsung 的 512 Mb 测试芯片采用的 1D(diode)1R 驱动方式外，都采用 1T1R 的驱动方式。因此，作为国内首次对 PCRAM 芯片制造工艺的研发，且目标定位在 16 Kb 和 1 Mb 的 PCRAM 测试芯片，本章将立足于 1T1R 的驱动方式展开研究。

5.3.2 基本结构

本章中，相变存储器芯片集成工艺 1T1R 结构的基本结构与示意图如图 5.7 所示。将 1T1R 中的 R(即相变材料)，置于 T[即 NMOS(N channel Metal and Oxide Semiconductor)管]的漏端，两者在电路上表现为串联连接。NMOS 管作为选通串联着的相变材料的开关器件，控制着对相变材料的擦和写操作，实现信息存储中的“1”和“0”。

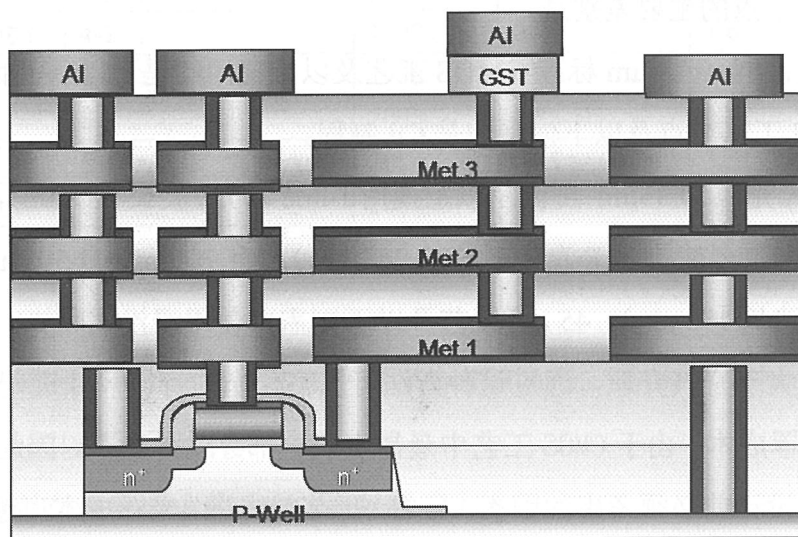


图 5.7 相变存储器与 CMOS 集成 1T1R 结构的基本结构与示意图

此结构中 1T 和 1R 构成相变存储器芯片中的 1 bit，而本论文中研究的 1Mb 相变存储器芯片则由 $256 \times 512 \times 8$ 个 bit 组成。

而外围控制电路中包括译码器、读出放大器、电压电流源等功能模块则完

全由不依赖于相变材料的基本电路模块构成。由于其不属于本论文的研究范围，故不多赘述。

5.3.3 1T 工艺的选择

5.3.3.1 1T 工艺简介

目前，常用的 CMOS 标准工艺主要包括 $0.6\ \mu\text{m}$ 、 $0.35\ \mu\text{m}$ 、 $0.25\ \mu\text{m}$ 、 $0.18\ \mu\text{m}$ 、 $0.15\ \mu\text{m}$ 、 $0.13\ \mu\text{m}$ 、 $90\ \text{nm}$ 、 $65\ \text{nm}$ 以及 $45\ \text{nm}$ 等。工艺节点取决于最小的 MOS 管沟道长度，例如 $0.18\ \mu\text{m}$ 标准 CMOS 工艺可以制备的最小 MOS 管沟道长度为 $0.18\ \mu\text{m}$ 。因此，工艺节点越往下发展，工艺技术的水平要求越高，制造工艺越复杂，制造成本也就越大，从而芯片的密度也越高。

工艺节点也是衡量半导体代工厂技术水平的重要指标，越早开发出更小工艺节点的制造工艺，在与同行的竞争中就越占据有利地位。由于地区发展的差异，世界各国具备芯片生产的能力也参差不齐。

截至 2007 年底，

表 5.1 列出了中国内地各芯片代工厂的技术水平和生产能力。

各工艺节点的主要差别是：

1) 后段制程： $0.18\ \mu\text{m}$ 标准 CMOS 工艺及以上使用的是 Al 制程，而 $0.13\ \mu\text{m}$ 标准 CMOS 工艺节点及以下使用的是 Cu 制程。

2) 曝光光源： $0.35\ \mu\text{m}$ 工艺及以上使用 I-line 曝光（波长 $365\ \text{nm}$ ）， $0.18\ \mu\text{m}$ 、 $0.13\ \mu\text{m}$ 工艺主要使用 KrF 光源（波长 $248\ \text{nm}$ ），而 $90\ \text{nm}$ 和 $65\ \text{nm}$ 工艺使用 ArF 光源（波长 $193\ \text{nm}$ ）， $45\ \text{nm}$ 工艺及以下则需要使用浸没式曝光，由于液体的折射率 n 大于空气介质，通过这种方法可以将曝光的特征尺寸进一步降低。

3) 光罩成本：由于 CMOS 工艺中最昂贵的一部分就是光罩，因此光罩成本是所有工艺设计前必须考虑的因素。显然，工艺越先进，光罩成本也越高。 $0.18\ \mu\text{m}$: 12-20 万美元； $0.13\ \mu\text{m}$: 50-75 万美元； $90\ \text{nm}$: 160 万美元； $65\ \text{nm}$: 300 万美元。[www.microe.cn]