

相变过程稳定性增强。利用这种结构已经成功制备出了目前容量最大的测试芯片(512 Mb)，其应用前景非常诱人。

1.3.2.3 芯片研究现状

考虑到 PCRAM 的广阔应用前景，Intel、Samsung、ST、Renesas 和 NXP 等大公司自加入 PCRAM 的研发阵营后，取得了显著成果，同时也为开发 PCRAM 的测试芯片而努力着。2005 年 3 月 Elpida 公司从 Ovonyx 公司购买了 PCRAM 的许可权；Philips(现 NXP)公司于 2005 年 4 月在《Nature Materials》上发表了其采用相变材料纳米线作为存储关键材料的存储器结果；2005 年 5 月国际商业机器公司、Infineon 和中国台湾旺宏公司宣布进行 PCRAM 技术的联合开发；Samsung 公司于 2006 年 9 月宣布制备出 512 Mb 的 PCRAM 芯片测试样品，这也是目前已经问世的最大容量的 PCRAM 测试样片，并准备在不远的未来将 PCRAM 全面推向市场。表 1.4 列出了 PCRAM 芯片的研发进展。

表 1.4 PCRAM 芯片研究进展

	Size	Tech	Cell(um)	$R_{\max}/R_{\min}$	$I_{\text{reset}}/I_{\text{set}}$	V_{th}	I_{read}	Cycles
Samsung IEDM 2006 ^[58]	512Mb	1.8V 90nm	0.22*0.22 [5.8F ²]	1M/1K [Ratio=1000]	N.A.	N.A.	N.A.	N.A.
Samsung VLSI 2005 ^[60]	256Mb	3V 0.10C	0.4*0.4 [16F ²]	100K/1K [Ratio=100]	0.6mA/0.1mA [1900nm ²]	N.A.	N.A.	N.A.
Samsung IEDM 2004 ^[61]	4Mb*16	3V 0.12C	0.44*0.66 [20 F ²]	2000K/10K [Ratio=200]	0.6mA/0.1mA[5 3nm*53nm]	0.6V	< 80uA	10 ⁹
Samsung VLSI 2004 ^[62]	4Mb*16	3V 0.18C	0.56*0.9 [16 F ²]	100K/2K [Ratio=50]	2mA/1.2mA [N.A.]	1.0V	N.A.	N.A.
Samsung ISSCC 2004 ^[63]	4Mb*16	3V 0.18C	0.56*0.9 [16 F ²]	200K/2K [Ratio=100]	2mA/1.2mA [45nm*45nm]	1.0V	N.A.	N.A.
STM VLSI 2004 ^[64]	1Mb*8	3V 0.18 Bi-C	0.8*0.4 [10 F ²]	1000K/10K [Ratio=100]	0.6mA/0.3mA [5000-1500nm ²]	1.5V	~80uA	10 ¹¹
STM 2005 ^[65]	4Mb	3V 0.35C	N.A.	N.A.	0.6mA/0.3mA N.A.	N.A.	80uA	N.A.
Intel ISSCC ^[66]	4Mb	3.3V 0.18 Bi-C	[7.7 F ²]	100K/20K [Ratio=5]	0.8mA/0.2mA [240nm*240nm]	0.9V	N.A.	10 ¹²
Hitachi IEDM 2003 ^[67]	Device level	N.A.	0.16*0.16	200K/30K [Ratio=7]	50uA/1uA [500nm*500nm]	0.9V	N.A.	10 ¹²

如今, PCRAM 的总体发展趋势是半导体知名公司投巨资推进其产业化, 其发展速度前所未有。目前国际上 PCRAM 的研究重点集中在减小器件的操作电流、高密度器件阵列的制造工艺和高密度下器件的稳定性与可靠性问题等。由于工艺条件和资金的劣势, 与国外半导体公司相比, 国内在 PCRAM 方面的研究还存在较大差距, 但可喜的是随着 SMIC 研发团队的加入, 与中科院上海微系统与信息技术研究所以及其他国内高校一同合作, PCRAM 芯片的开发也取得了令人瞩目的进展。相信, 在不久的将来, 崛起的中国一定能在 PCRAM 的竞争中获得一席之地!

1.4 本论文主要工作

综上所述, PCRAM 已经成为全球半导体企业关注的焦点之一, 国外几大主要半导体器件生产商凭借其技术和资金优势, 已经取得了许多成果, 并且拥有大量专利技术。本论文是在国家 973、863 计划和上海市科委项目等支持下, 开发自主知识产权的相变存储器关键集成技术, 以期突破国外技术垄断。

本论文从一种新型的相变材料切入, 进而围绕减小操作电流、提高热利用效率对器件结构进行优化, 接着重点开发相变存储器的集成技术, 最后对 PCRAM 中的失效原因开展探索性的研究。内容如下:

1) 研究了新型相变存储器材料 Sn 掺杂 GST:

发现了晶态电阻的提高和电阻分散性能的改善; 为了将其应用于相变存储器件中, 研究了其刻蚀工艺, 找到了优化的刻蚀条件; 获得了基于 Sn 掺杂 GST 的相变存储器单元的性能, 相比 GST, SET 操作时间明显降低。

2) 研究了二氧化钛保温层在相变存储器中的作用:

利用高温氧化的方法成功地制备了电阻率较高的 TiO_2 薄膜, 并成功地将其应用于相变存储器单元结构, 发现其作为相变材料与电极间的加热层, 明显降低了器件的操作电流, 并得到 10^5 次循环测试结果。

3) 开发了相变存储器芯片的集成工艺:

利用 SMIC 的 $0.18\mu\text{m}$ 标准 CMOS 工艺, 用后段工艺中 W 插栓作为相变存储器单元的下电极, 在此基础上实现了相变材料与驱动晶体管的无缝对接。根据相变材料的本身特点, 设计了一套简单、实用且有效的工艺流程, 成功制备

出了国内第一个带晶体管驱动的相变存储器 1T1R 单元。并在此基础上,先后成功地完成 16 Kb 和 1 Mb 的相变存储器芯片制造工艺的开发。芯片经封装后在相变存储器专用测试平台上测试出优异的性能。

4) 对测试中出现的典型失效现象展开失效机理的探索:

针对几种测试中常见的失效类型,对其代表样品进行了 FIB、SEM、TEM、EDS 以及 SAED 分析。结果表明,工艺中需要减小或消除 Ar 溅射的不利影响,而测试中需要对测试条件进行及时的优化。同时发现,靠近下电极的相变区域中 GST 的 Te 含量多少对于器件的失效与否有着十分关键的影响;此外,经过数千次操作之后的样品,在相变区域内 GST 的晶粒有明显长大的趋势,致使相变区域的增大以及 RESET 操作电压的明显增大。

这些对失效样品的直接测试分析结果对于提高相变存储器件单元的性能、可靠性以及使用寿命有着重要的指导意义。

第二章 相变存储器新材料 Sn 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 研究

2.1 引言

自从 1968 年 Ovshinsky 发现硫族化合物材料（相变材料）具有相转换性质以来，人们对其优异的性能颇感兴趣，但是由于当时半导体产业发展的瓶颈，人们对于相变材料的研究在之后的二十余年中停滞不前。然而，随着上世纪 90 年代之后集成电路产业的迅猛发展，人们重新认识到相变材料的潜力和价值，很多半导体大公司以及各地的高校和研究所纷纷加入到相变材料的研究之中。近十年来，国际上研究得最早也是目前最透彻的相变材料是 GST，由于其在光盘上的成功应用，更是被誉为最有可能应用于相变存储器的相变材料。然而，随着研究的深入，人们开始质疑 GST 是否就是最好的相变材料。因此，对于改进 GST 材料性能的探索也就从未停止，人们开始尝试对 GST 进行掺杂和同族元素成分替代，研究了 $\text{GeTeAsSi}^{[68]}$ ， $\text{GeTe}^{[69]}$ ， $\text{GeTeBi}^{[27,28]}$ ， $\text{GeTeAs}^{[70]}$ ， $\text{InTe}^{[71]}$ ， $\text{AsSbTe}^{[72]}$ ， $\text{SeSbTe}^{[73]}$ ， $\text{PbGeSb}^{[74]}$ 等等近几十种新型相变材料，其中又以同族元素掺杂的效果为最好。

本章将从材料制备、电学性能表征等方面研究一种新型相变材料，即 Sn 掺杂 GST 材料的特性；并为了应用于相变存储器件，原创性地研究了 Sn 掺杂 GST 的刻蚀工艺，在 CHF_3/O_2 刻蚀气体环境中找到了优化的参数；最后将 Sn 掺杂 GST 成功地应用于基于 $0.18\ \mu\text{m}$ CMOS 标准后段工艺制备的相变存储器件中，并测试出了好的性能数据。

2.2 Sn 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料性能表征

2.2.1 实验方法

本章中相变材料的制备是采用磁控溅射的方法。磁控溅射设备是 ULVAC 公司生产的 MLH-2306RDE 型高速磁控溅射仪，如图 2.1 所示。设备配有 3 个 6 英寸靶位，并可根据需要随时更换。其真空系统的本底真空度可以达到 5×10^{-4} Pa，可以制备从 1 英寸到 6 英寸不等的衬底样品。样品制备时，可以选择室温

或者最高 200 °C 的衬底温度；具有 4 条气体管路通道，最多可以同时通入两种气体制备薄膜；通过质量流量计调节制备时的气体流量，并通过设定射频电流的功率调节所需制备薄膜的速率和组分。

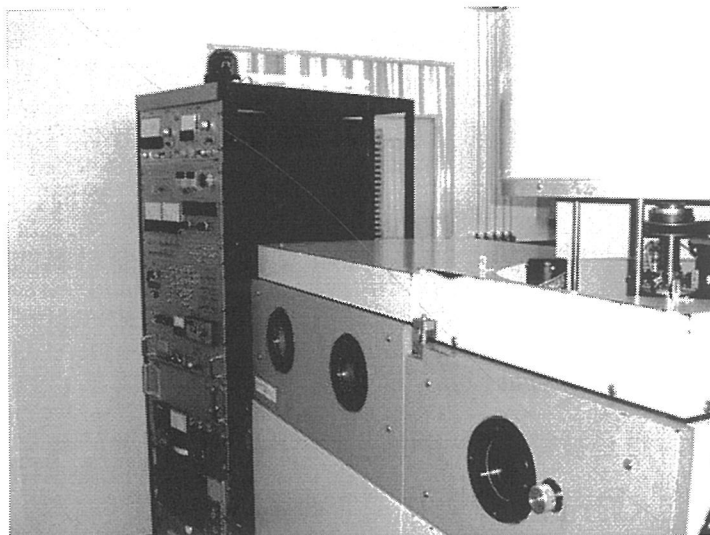


图 2.1 MLH-2306RDE 型磁控溅射

本章中 Sn 掺杂 GST 薄膜的制备采用的是 6 英寸 GST 合金靶，纯度高于 99.95 %。Sn 的掺杂是通过在靶材上均匀放置纯度高于 99.99 % 的 Sn 粒（直径约 4 mm），在溅射时掺入，掺杂的浓度由放置的 Sn 粒数量决定。样品的衬底是 SiO_2 ，它是在电阻率为 $2\sim 10 \ \Omega \cdot \text{cm}$ 的 3 英寸 P 型硅片上用热氧化的方法生长而成，使用 SiO_2 作为衬底的原因是为了满足方块电阻测试的要求。样品的制备是在高纯度氩气 20 SCCM（standard cubic centimeter per minute at STP）下进行的，真空室内的基础气压低于 10^{-4} Pa ，工作气压维持在 0.2 Pa，射频磁控溅射的功率固定为 100 W，衬底为室温，溅射速率经测定为 18 nm/min。为防止开始溅射时掺杂含量的不均匀，在样品制备之前预溅射 20 分钟后，放入样品进行溅射。

在本章中共制备了四种样品，其掺杂浓度由电感耦合等离子体发射光谱仪 (ICP-AES IRIS ADVANTAGE/1000) 测量确定，对应的掺杂 Sn 粒数量如表 2.1 所示，其透射波长为 165 nm 到 800 nm，精度为 0.01 nm。

之后，采用 X 射线衍射 (XRD) 分析了薄膜的微结构，采样步长为 0.02° ，

用的是 Cu/K- α 光源；采用差热扫描图谱 (DSC) 分析了 Sn 掺杂 GST 的结晶温度，薄膜的方块电阻由 D41-11C/2M 型微控四探针测试仪测量。实验中用到的退火工艺使用的是 RTP-500 型快速退火炉，退火温度范围从室温到 500 °C 任意设定，条件是在高纯氮气氛条件下退火 1 min。

表 2.1 Sn 掺杂 GST 浓度与 Sn 粒数量的关系

样品	A	B	C	D
掺杂锡粒数	0	4	8	12
锡的原子百分比浓度	0	3.6 at. %	6.9 at. %	10.0 at. %

2.2.2 实验结果与讨论

2.2.2.1 DSC 与 XRD 分析

首先用 DSC 的方法测定了该材料的结晶温度。在本测试中，对于相变材料而言，DSC 图谱上如果出现了突变峰就意味着材料结晶而发生的相变，而峰值则对应着结晶温度。

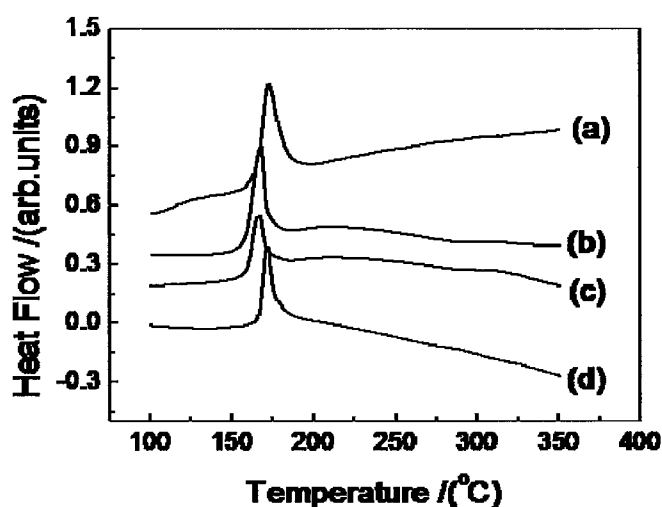


图 2. 2 DSC 差热扫描图谱(10 °C/min): (a)A 样品; (b)B 样品; (c)C 样品; (d)D 样品

我们将制备在玻璃衬底上的 A、B、C 和 D 样品粉末，重量大于 5 mg，用于 DSC 测试。测试过程中升温速率为 10 °C/min，通过 DSC 的测试，得到样品 A、B、C 和 D 的结晶温度分别为 173, 167.7, 166.9 和 172.1 °C，如图 2.2 所示。很明显，随着 Sn 掺杂浓度的增加，材料中 Sn 含量的增加，材料的结晶温

度先增加后减小。

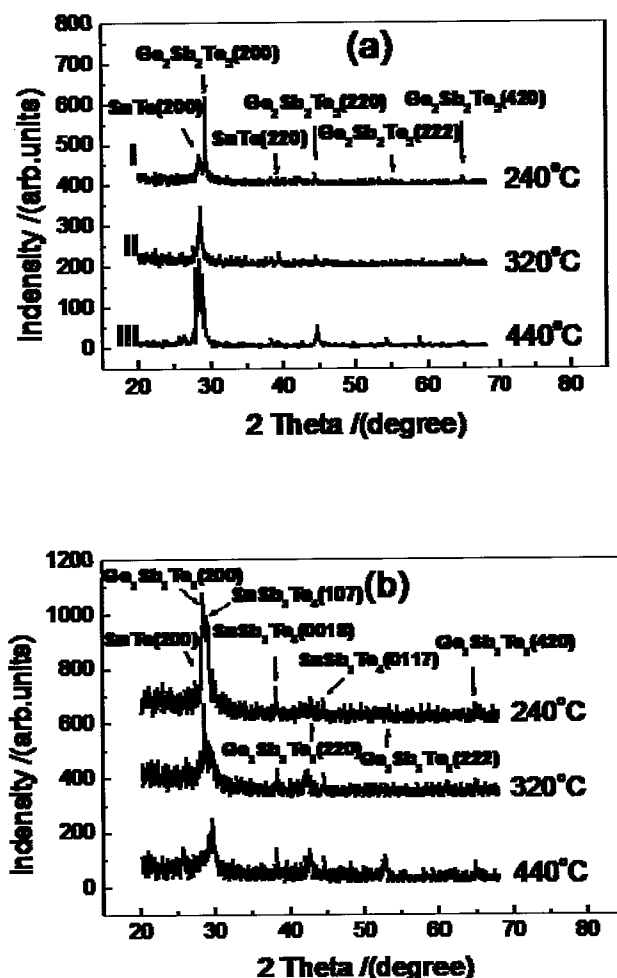


图 2.3 Sn 掺杂 GST 在不同温度下 XRD 谱图: (a)B 样品; (b)D 样品

结晶温度的差异是否源自掺杂含量的不同而导致掺杂后材料的结构发生了变化? 为了证明这个猜想, 我们用 XRD 的方法对以上 B 和 D 样品分别在 240、320 和 400 °C 快速退火 1 min 后进行了结构分析, 结果如图 2.3 所示。由图 2.3(a) 不难发现, 当掺杂含量为 3.6 at.% 时, 在 240 和 320 °C 退火后, 分别在 28.3° 和 40° 位置出现了 SnTe 的(2 0 0)和(2 2 0) 结晶方向的峰; 而当退火温度升高到 400 °C 时, SnTe(2 2 0) 结晶方向的峰就消失了, 但是(2 0 0) 结晶方向的峰仍然存在。当 Sn 掺杂的含量增加到 10.0 at.% 时, 由图 2.3(b), 出现了 B 样品中未曾发现的 SnSb_2Te_4 在(1 0 7)、(0 0 18)和(0 1 17) 结晶方向的峰, 而 SnTe(2 0 0) 结晶方向的峰只有在 240 °C 退火条件下才出现。

至此,我们分析出现这样结果的原因如下:第一,SnTe 键的出现是由于 Sn 的掺杂而取代了原来 GST 中的 GeTe 键,而 SnTe 键又会与 GST 中存在的 Sb_2Te_3 结合形成 SnSb_2Te_4 键。第二,SnTe 键与 Sb_2Te_3 结合与 SnTe 键的量以及退火温度有关。Sn 掺杂的量越大,形成的 SnTe 键数量越多,再加以退火温度越高,形成的 SnSb_2Te_4 键也就越多,在 XRD 图谱上对应的 SnSb_2Te_4 峰也就越明显,同时 SnTe 的峰就越不明显。

由于 SnTe 的键能 359.8 kJ/mol 小于 GeTe 的键能 $397 \pm 3 \text{ kJ/mol}^{[75]}$,因此 SnTe 键比 GeTe 键需要更少的能量就可以形成,因此 SnTe 的结晶温度也会低于 GeTe。而当 Sn 掺杂含量逐渐增加时,SnTe 键的数量也随之增加,结晶温度会逐渐降低;但随着 Sn 掺杂含量进一步增加时,SnTe 键与 Sb_2Te_3 结合形成了 SnSb_2Te_4 键,SnTe 键的数量反而减少,从而结晶温度也随之降低,这与 DSC 的测试结果很好的吻合。

2.2.2.2 方块电阻分析

图 2.4 所示的是样品 A、B、C 和 D 的方块电阻对应不同退火温度的曲线图。不难发现,A 样品出现了两次电阻明显降低的过程,这分别对应着 GST 的从非晶态向 FCC 晶态和从 FCC 晶态向 HCP 晶态发生的相变。当退火温度达到 400°C 时,Sn 掺杂 GST 的方块电阻比 GST 高了 2~10 倍,说明 Sn 掺杂 GST 的晶态电阻高于 GST。由于相变存储器的 RESET 操作是热过程,相变过程中必须达到熔化温度,因此,同样条件下,具有较高晶态电阻的相变材料达到熔化温度时所需的 RESET 操作电流较小。所以 Sn 掺杂的 GST 可以有效地降低 RESET 操作电流,从而减小相变存储器的操作功耗。

此外,当退火温度达到 300°C 以后,Sn 掺杂 GST 的方块电阻尤其是掺杂含量为 3.6 at.% 的 B 样品相比 GST 和其他 Sn 掺杂浓度的 GST 随温度的变化更小,具有更好的晶态电阻的温度一致性。这对于依靠判断高低电阻信号来实现 1 和 0 存储的相变存储器来说,具有更好的信号抗干扰性。当不同器件单元的电阻具有一定分散性的情况下,Sn 掺杂 GST 能够减小发生误读误判情况的发生,可以提高器件的工作效率和使用寿命。

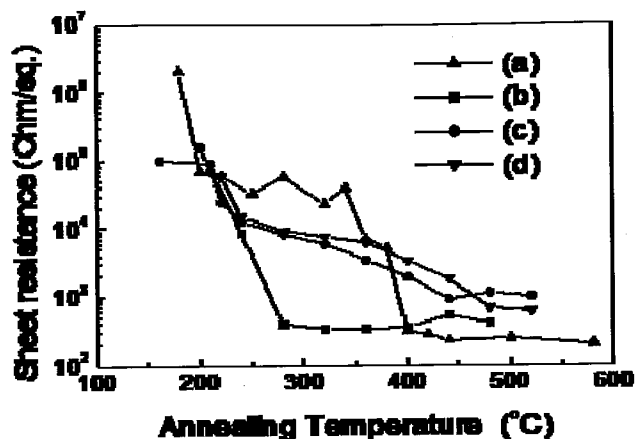


图 2. 4 Sn 掺杂 GST 薄层电阻与退火温度关系曲线: (a)A 样品; (b)B 样品; (c)C 样品;
(d)D 样品

2.3 Sn 掺杂 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 的刻蚀工艺研究

2.3.1 实验方法

在上节中, 我们研究了 Sn 掺杂 GST 的材料性能, 发现它具有比 GST 更高的晶态电阻以及更好的晶态电阻的温度一致性。为将其更好地应用于相变存储器件中, 其刻蚀工艺的研究不可或缺, 本节将利用反应离子刻蚀的方法全面研究 Sn 掺杂 GST 的刻蚀工艺。

本节中薄膜制备的方法与上节相同, 采用磁控溅射的方法制备出不同 Sn 掺杂含量的 GST 薄膜, 使用反应离子刻蚀设备(Oxford 80 plus RIE system)。采用 CHF_3 和 O_2 的混合气体研究了 Sn 掺杂 GST 的干法刻蚀工艺, 为 Sn 掺杂 GST 的器件应用提供了可靠的依据。实验中使用的光刻胶为标准的 Shipley 6809 型号, 使用衬底为氧化硅。刻蚀厚度的表征通过台阶仪表征; 表面形貌由扫描电子显微镜(SEM, Hitachi-4700)表征, 操作电压为 10 kV, 如图 2.5 所示。

由上节结果, 本节使用为 Sn 掺杂浓度为 3.6 at.% 和 10.0 at.% 的样品, 与上节保持一致, 称为 B 样品和 D 样品。

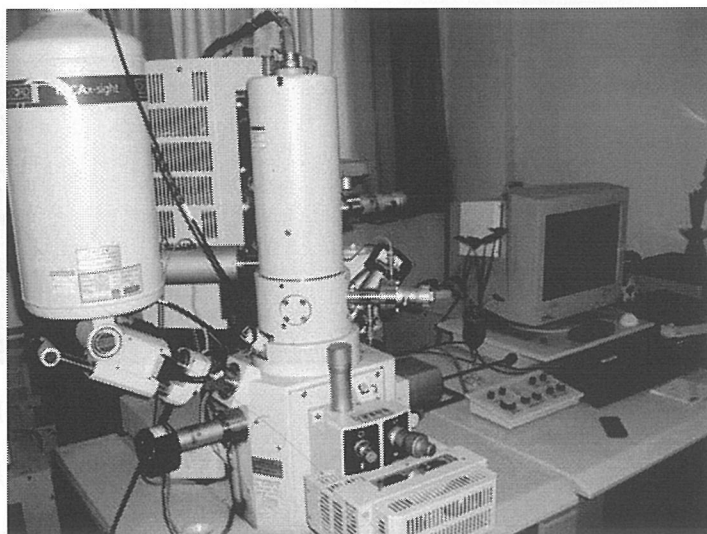
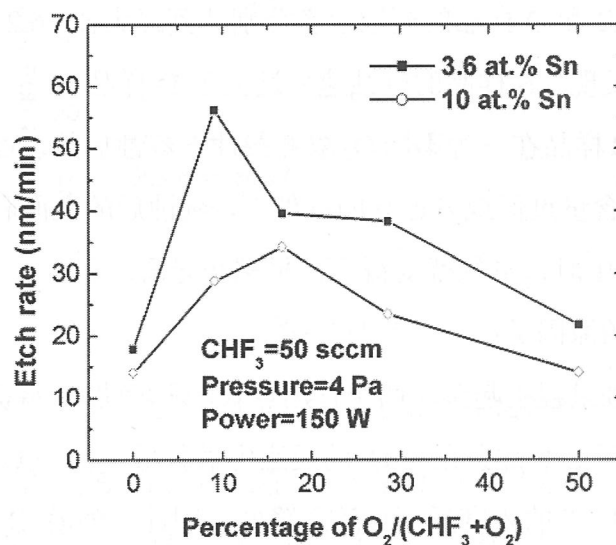


图 2.5 Hitachi-4700 型电子扫描显微镜

2.3.2 实验结果与讨论

众所周知，刻蚀速率与形貌主要取决于刻蚀气体的比例、气体压力以及功率。本节分别研究了这三种条件对 Sn 掺杂 GST 刻蚀速率的影响。

2.3.2.1 刻蚀气体含量的影响

图 2.6 在 4 Pa 压力和 150 W 功率条件下，Sn 掺杂 GST 刻蚀速率与 O_2 含量关系

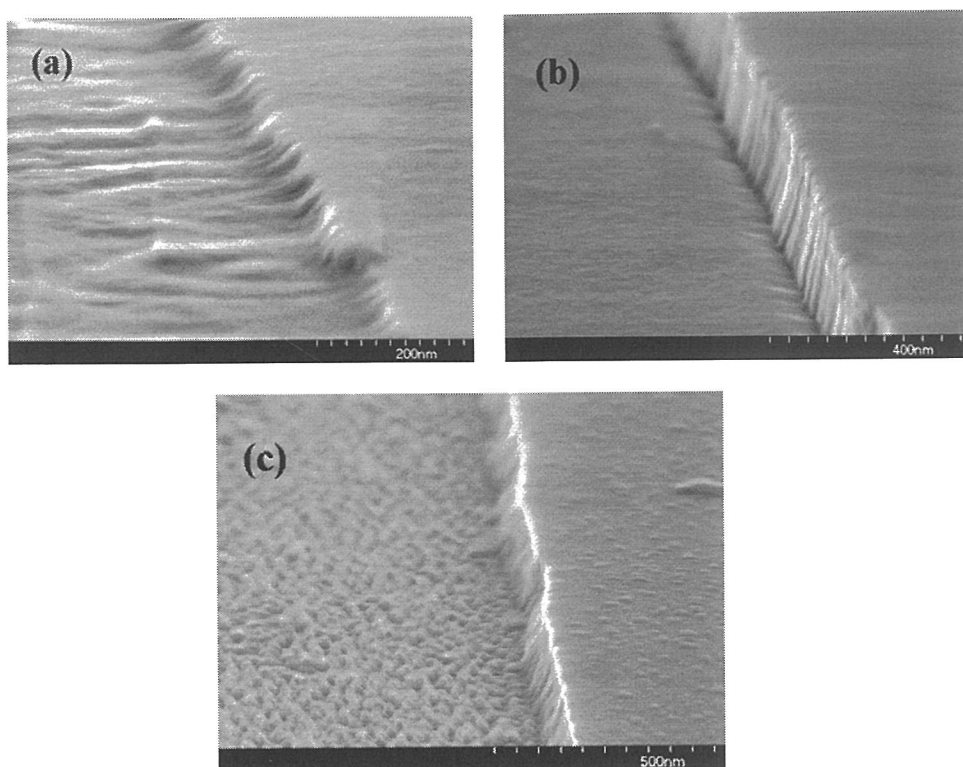


图 2.7 在 4 Pa 压力和 150 W 功率条件下, Sn 掺杂 GST 刻蚀速率与 O_2 含量关系: (a) 0%; (b) 9.1%; (c) 50%

首先在功率和压力不变的条件下, 改变 O_2 在混合气体中的比例, 得到的刻蚀结果如图 2.6 所示。由图可知, 当 O_2 在 O_2/CHF_3 混合气体中的含量增加到 9.1 % 和 16.7 % 时, B 和 D 样品的刻蚀速率分别达到最大值 56.2 nm/min 和 34.2 nm/min; 同时不难发现, B 样品的刻蚀速率远大于 D 样品。

图 2.7 展示了 B 样品在三种不同 O_2 浓度条件下刻蚀后的表面与侧壁形貌照片。很明显, 当 O_2 含量过低或者过高的条件下, 刻蚀后的表面和侧壁都十分粗糙, 而当 O_2 含量适中时, 形貌就变得十分平整和光滑。

出现这种现象的原因是:

第一, O_2 在刻蚀过程中起到了两个作用。一是适量的 O_2 将提高 F 在 CHF_3/O_2 的浓度, 这是由于 C-F 键会在与 O_2 的反应中被打破。而当 O_2 含量过高时, 由于 O_2 含量的增加, F 的浓度反而会随之降低。因此, 随着 O_2 含量的增加, Sn 掺杂 GST 的刻蚀速率会先增高后降低, 就如图 2.6 所示。二是由于物理轰击和化学反应, O_2 会起到去除反应产生的聚合物以及反应产物的作用, 这些聚合物和反应产物会使得刻蚀表面变得粗糙并降低刻蚀速率。当 O_2 含量适中时, 生成聚合物以及反应产物的速率与 O_2 去除它们的速率相当, 这时刻蚀的速率较

快而且刻蚀表面的粗糙度较小，形貌较平整；相反，当 O_2 过少时，较多聚合物以及反应产物来不及去除，不但降低了刻蚀速率而且恶化了刻蚀表面的形貌，当 O_2 过多时，过量的 O_2 又产生了轰击刻蚀表面的负作用，因此形貌也变得更加粗糙。

第二，B 样品和 D 样品的情况也不一样。由上节分析结果可知，D 样品中不但存在 SnTe 键而且存在 $SnSb_2Te_4$ 键，而 B 样品中只存在 SnTe 键。在刻蚀过程中， $SnSb_2Te_4$ 键更难与 F 反应，因此 D 样品的刻蚀速率也更慢。

第三，虽然 B 和 D 样品都出现了刻蚀速率的峰值，但是出现的位置不同。D 样品需要更多的 O_2 才能达到峰值。这是由于 D 样品中 SnTe 键和 $SnSb_2Te_4$ 键的总含量更多，刻蚀中产生的聚合物和反应产物也越多，因此需要更多的 O_2 才能达到去除聚合物和反应生成产物的平衡。因此，D 样品的刻蚀速率峰值出现在 O_2 含量更大的位置。

2.3.2.2 压力的影响

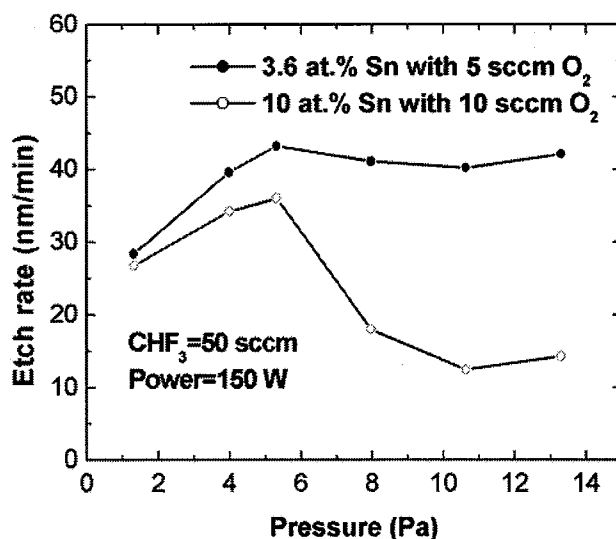


图 2.8 在 150 W 功率条件下，Sn 掺杂 GST 刻蚀速率与压力的关系

图 2.8 显示的是 B 和 D 样品在 O_2 含量分别固定为 9.1% 和 16.7%，功率固定为 150 W 时，刻蚀功率随压力的变化关系。不难看出，刻蚀速率的峰值均出现在压力小于 6 Pa 的时候。一般来说，直流偏压的大小直接决定了反应气体中离子能量和物理轰击的作用，而压力会直接影响偏压的大小。当压力逐步增加时，由于碰撞的几率增加，所以离子的平均自由程将减小，直流偏压也会减小，

物理轰击的作用将会削弱,从而刻蚀速率也会随之降低。因此,在压力小于 6 Pa 的条件下,物理轰击作用较强,起到了影响刻蚀速率的主导作用;而当压力持续增加时,由于碰撞增加,离子平均自由程减小,物理轰击作用减弱,此时化学反应起到了影响刻蚀速率的主导作用。这也就是图 2.8 所示的刻蚀速率随压力的增加先增加后降低的变化关系。

2.3.2.1 功率的影响

最后,我们从图 2.9 可以看出刻蚀速率随功率的变化关系。很明显,随着功率的增加,等离子体产生的离子动能增加,因此刻蚀速率也随之近乎线形增加。如图 2.10 所示, B 样品在 100 W 和 300 W 条件下刻蚀后的表面和侧壁形貌 SEM 照片。不难看出,当功率较大时,刻蚀后表面形貌更加平整。正如之前提到的,物理轰击和化学反应是刻蚀过程中影响刻蚀速率和形貌的两大主要因素,在低功率条件下, O 离子的动能也较低,轰击和去除反应产生的聚合物以及反应产物的速率也较低,多余的还没来得及去除的聚合物和反应产物覆盖在表面,因此增加了刻蚀表面的粗糙度。而当功率增加后,这一问题就迎刃而解了。

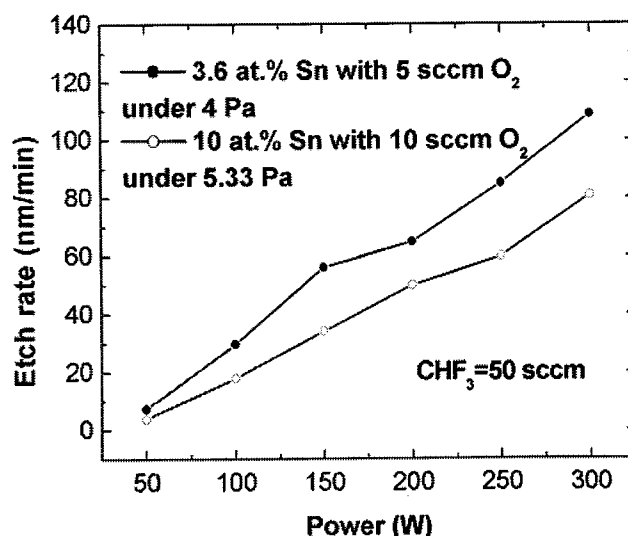


图 2.9 在 O_2 和压力固定条件下, Sn 掺杂 GST 刻蚀速率与功率的关系

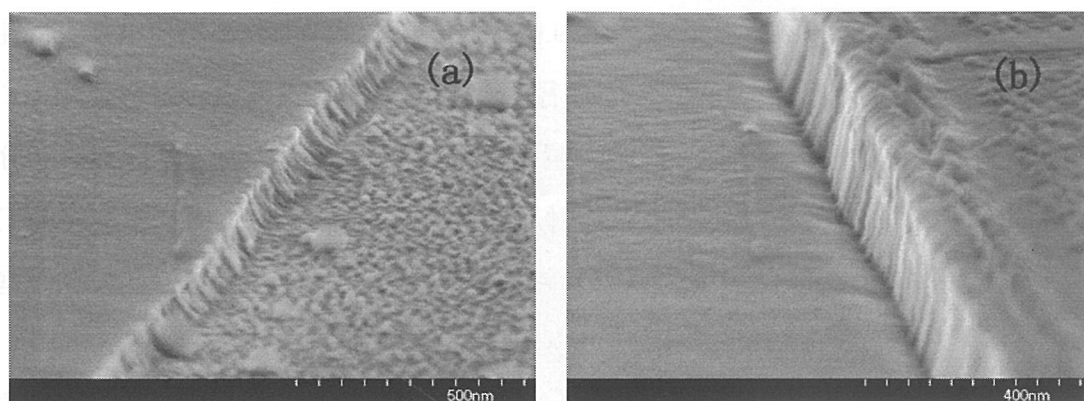


图 2.10 B 样品在 4 Pa 和 O_2 含量为 50 % 时, 分别在功率为: (a)100 W; (b)300 W 条件下刻蚀表面形貌 SEM 照片

2.4 Sn 掺杂 $Ge_2Sb_2Te_5$ 器件单元制备与表征

2.4.1 实验方法

Sn 掺杂 GST 有着比 GST 更加优越的性能, 相比于 GST, 它的结晶温度更低, 晶态电阻更高, 相变速度更快, 是一种很有希望的相变存储器存储介质, 为了验证其优越性, 制备出 PCRAM 器件是必需的。而本节内容便着力于制备出 PCRAM 器件, 并且表征该材料在 PCRAM 器件中的性能。

本论文制备的 PCRAM 器件单元分两个部分。第一部分是由中芯国际 $0.18\ \mu\text{m}$ CMOS 标准后段工艺制备的直径为 $260\ \text{nm}$ 的下电极 W。制备工序将在第五章详细介绍, 这里暂时省略。

第二部分是由微系统所内 $3\ \mu\text{m}$ 工艺线完成相变材料、上电极材料和引线测试工序。

制备工序如下:

- 1) 准备好具有 $260\ \text{nm}$ 电极的基片。
- 2) 清洗基片, 去除表面和背面有机和无机杂质:
 - a) 在丙酮溶液中强超声清洗 3-5 分钟, 去离子水冲洗 3 遍;
 - b) 乙醇溶液中强超声清洗 3-5 分钟, 去离子水冲洗 3 遍, 高纯氮气吹干;
 - c) 120°C 烘箱内烘烤 20 分钟, 去除水气
- 3) Sn 掺杂 GST 薄膜与 TiN 薄膜制备:

- a) GST薄膜: 使用纯度高于99.95 %的6英寸GST合金靶磁控溅射, 将纯度高于99.99 %的Sn粒(直径约4mm)均匀地放置在GST合金靶上。为防止开始溅射时掺杂含量的不均匀, 在样品制备之前预溅射20分钟, 然后放入样品进行溅射, 气体流量为Ar 20 SCCM, 使室内的工作气压维持在0.2 Pa。射频磁控溅射的功率固定为100 W, 衬底为室温, 溅射时间10分钟, 薄膜厚度为180 nm。
- b) TiN薄膜: 使用纯度高于99.95 %的6英寸Ti靶磁控溅射, 真空室内的基础气压低于 10^{-4} Pa, 室温, 气体流量为Ar 20 SCCM、 N_2 20 SCCM, 溅射时间5分钟, 薄膜厚度20 nm。
- 4) Sn掺杂GST与TiN薄膜置于高纯 N_2 气氛下200 °C快速退火1分钟, 使Sn掺杂GST薄膜成FCC晶态。
- 5) 清洗样品表面和背面, 去除由于磁控溅射之后以及退火过后可能沾污的杂质颗粒和有机杂物:
 - a) 丙酮溶液中弱超声清洗3-5分钟, 去离子水冲洗3遍;
 - b) 乙醇溶液中弱超声清洗3-5分钟, 去离子水冲洗3遍, 高纯氮气吹干;
 - c) 120°C烘箱内烘烤20分钟, 去除水气。
- 6) Sn掺杂GST与TiN薄膜曝光(光刻版1):
 - a) 旋涂S 6809型光刻胶, 如图2.11, 2800 转/分, 30秒, 厚度约1 μm ;
 - b) 光刻胶前烘, 热板100 °C, 4分钟, 去除光刻胶中水气、硬化;
 - c) 紫外光源曝光(波长400 nm, Karlsuss 曝光机, 如图2.12), 精度2 μm , 曝光时间8秒;
 - d) 四甲基氢氧化氨溶液(MF-320)中显影, 时间5-6秒, 显影完立即置于去离子水中漂洗, 高纯氮气吹干;
 - e) 在黄光区高倍显微镜下观察显影后图形是否符合要求, 若不符合要求, 在重复第5步及第6步的a~d步骤, 直到符合要求为止;
 - f) 用DJ-2型等离子去胶机去除样品表面残留或图形边角处残留光刻胶, 时间10秒。