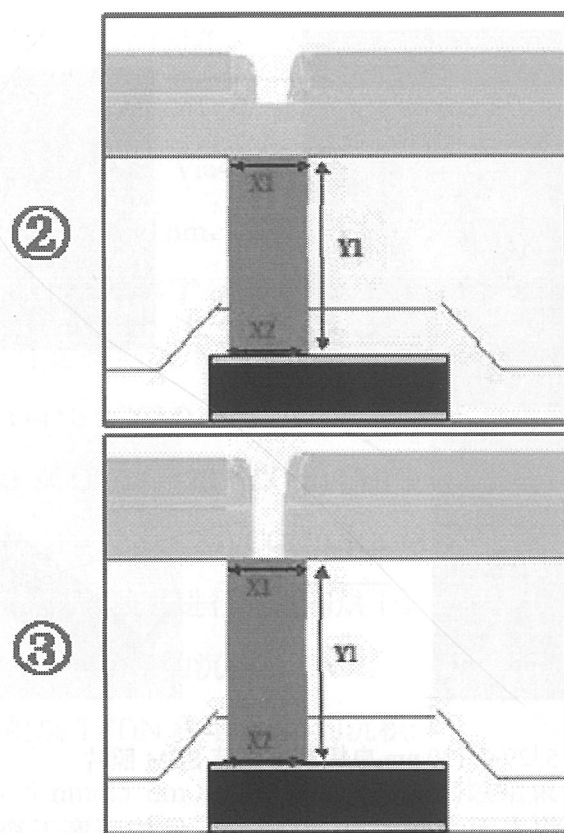


图 5.28 $\Phi 130\text{ nm}$ 电极制备过程

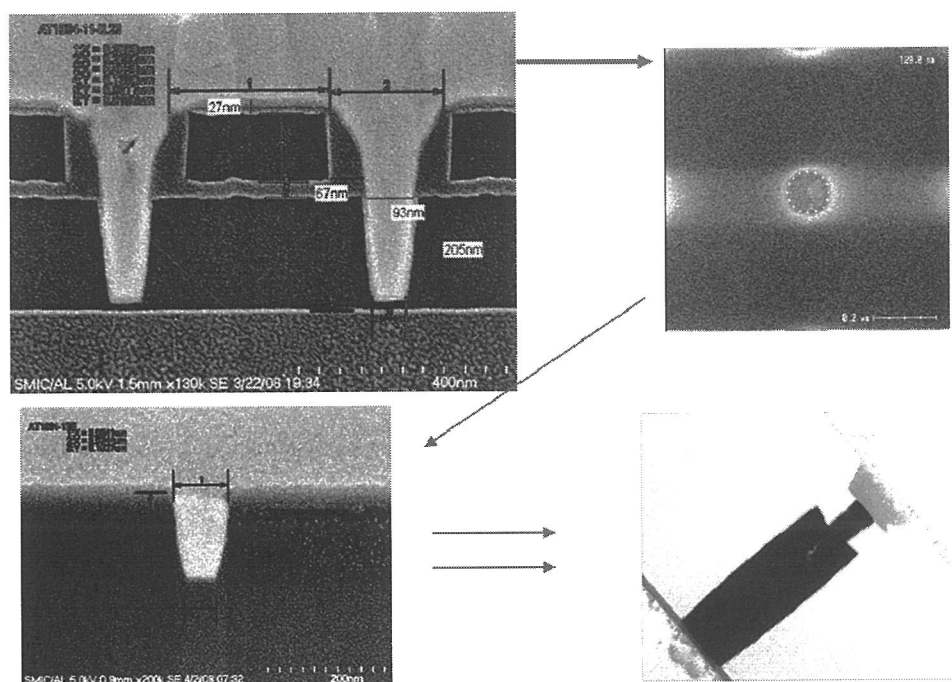
2) 利用制备 Via3 的光罩再进行一次曝光, 将最上层的 SiO_2 刻蚀掉, 并利用 SiO_2 和 Si_3N_4 的刻蚀选择比差异, 将刻蚀停在 Si_3N_4 层上, 如图 5.28 (1)所示。

3) 去除光刻胶后, 沉积 150 nm 的 Si_3N_4 , 此时, 在已经刻蚀出来的凹槽侧壁会形成 spacer 结构的 Si_3N_4 , 侧壁 Si_3N_4 的厚度与所形成凹槽的深宽比有关。在这种情况下, 侧壁 Si_3N_4 约为沉积厚度的 50% , 而凹槽底部的 Si_3N_4 厚度约为沉积厚度的 50% 。

4) 直接刻蚀凹槽底部的 Si_3N_4 层, 此时凹槽外部的 Si_3N_4 也将被刻蚀掉, 但仍然会保留约 75 nm 的 Si_3N_4 , 如图 5.28(2)所示。

5) 利用 SiO_2 和 Si_3N_4 的刻蚀选择比, 用凹槽外面的 Si_3N_4 作为掩模, 刻蚀下层的 SiO_2 , 直到停在大电极 W 上, 如图 5.28(3)所示。

6) 填入小电极材料 W, 由于此时凹槽的尺寸已经变小, 因此需要用 PNL (pulsed nucleation layer) 的方法沉积 W。

图 5.29 Φ 130 nm 电极制备工艺 SEM 照片

7) 用 CMP 的方法将表面大面积 W 和 Spacer 结构研磨干净。

这样，直径 Φ 130 nm 的小电极就制备好了。最终，电极的高度在 100nm 到 150 nm 之间，如图 5.29 所示。

第三步：沉积 Via5 薄膜材料。

用 PECVD 的方法，沉积 25 nm 的 Si_3N_4 和 200 nm 的 SiO_2 ，薄膜均匀性小于 3 %。

第四步：Via4 的曝光和刻蚀。

由图 5.16 可以看到，除了连接相变材料的 W 插栓外，右侧还有一个长度更长的 W 插栓，一端通过 M3 与下面的电路相连，另一端引到最上层的金属连线。

前面提到 1T1R 中，1R 与 1T 的漏端串联，这根 W 插栓则负责连接 T 的源端，从而保证整个电路的完整。我们将这根 W 插栓称为 Via4。

制备工艺如下：

1) 抗反射层制备：

用 PECVD 的方法沉积 80 nm 的 SiON 作为抗反射层，提高 Via4 曝光的精度。

2) Via4 的曝光：

曝出直径约 300 nm 的圆孔。

3) Via4 的刻蚀:

由图 5.16 可知, 由于 Via4 的深度比 Via3 多 25 nm 的 Si_3N_4 和 200 nm 的 SiO_2 共 225 nm, 达到 1400 nm, 而直径只有 300 nm, 因此需要刻蚀工艺有更高的选择比。并且由于中间多了一层 Si_3N_4 , 因此需要在刻蚀过程中对刻蚀气体的比例进行调整。先选择刻蚀 SiO_2 较快的气体 $\text{C}_4\text{F}_8(12 \text{ SCCM})/\text{CO}(50 \text{ SCCM})/\text{Ar}(250 \text{ SCCM})/\text{O}_2(10 \text{ SCCM})$; 当 200 nm 的 SiO_2 刻蚀完后, 换成刻蚀 Si_3N_4 较快的气体 $\text{Ar}(100 \text{ SCCM})/\text{O}_2(20 \text{ SCCM})/\text{CHF}_3 \text{ O}_2(20 \text{ SCCM})$; 最后再换回刻蚀 SiO_2 较快的气体 $\text{C}_4\text{F}_8(12 \text{ SCCM})/\text{CO}(50 \text{ SCCM})/\text{Ar}(250 \text{ SCCM})/\text{O}_2(10 \text{ SCCM})$ 。刻蚀结束后, 去除光刻胶并进行清洗和烘干。

第五步: Via4 电极 W 的沉积与 CMP。

1) Via4 黏附层 Ti/TiN 和电极 W 的沉积:

厚度分别为 5 nm/25 nm 和 300 nm, 由于刻蚀结束后, M3 的金属 Al 将暴露在空气中, 如果时间一长, 很容易在 Al 表面形成一层钝化层, 影响电路的通路。因此, 在第三步完成之后, 必须在短时间内 (小于 8 小时) 完成黏附层和电极的沉积。填充好 W 的 Via4 如图 5.30 所示。

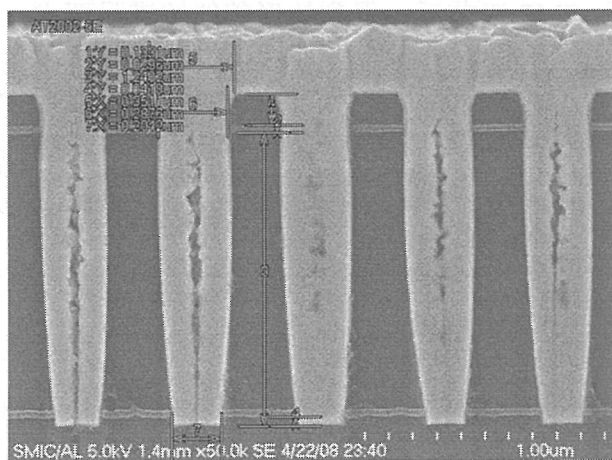


图 5.30 Via4 剖面 SEM 照片

2) W 的 CMP:

为保证 W 和 80nm 的抗反射层 SiON 被完全研磨干净, 需要适当增加 CMP 的时间, 但同时会有部分 SiO_2 被 CMP 损耗。经 SEM 剖面图观察, 200 nm 的

SiO_2 在研磨后还剩 160 nm~180 nm，损耗 20~40 nm，如图 5.31 所示。

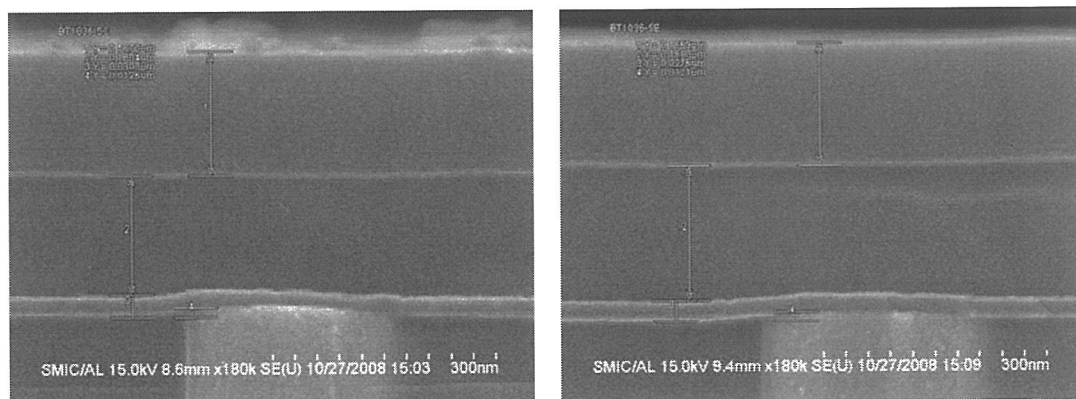


图 5.31 Via4 的 W 电极 CMP 之后剩余的 SiO_2 厚度

第六步：Via5 的曝光和刻蚀。

由于 Via4 已经制备好，因此，Via5 的曝光不能沉积抗反射层 SiON。因此，如果 Via5 的曝光达不到要求，必须返工重新调节曝光能量直到达到要求为止。制备工艺如下：

1) Via5 的曝光：

我们共设计了直径 0.3 μm 、0.4 μm 、0.5 μm 和 0.6 μm 四种不同尺寸，以保证在 GST 的填充和 CMP 工艺后，得到的形貌能够满足要求。

2) Via5 的刻蚀：

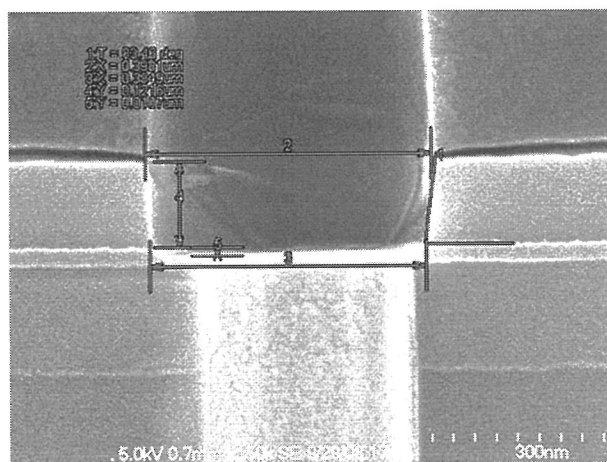


图 5.32 GW 刻蚀后的形貌

刻蚀气体为:Ar(500 SCCM), O₂(6 SCCM), CHF₃(20 SCCM), CF₄(10 SCCM); 压力为 170 mTorr。时间: 33 秒。如果想通过刻蚀降低 GW 侧壁坡度, 则在刻蚀之前先用 O₂(2000 SCCM)条件下刻蚀 30 秒。由于 SiO₂ 和 Si₃N₄ 的刻蚀速率约为 5: 1, 刻蚀结束时, 刚好将 Si₃N₄ 刻蚀完, 停在下电极 W 上, 如图 5. 32 所示。刻蚀结束后, 去除光刻胶并进行清洗和烘干。

第七步: GST 的沉积与 CMP。这一步的内容在本章前面已经讨论过, 这里不再赘述。

第八步: 黏附层 TiN 的沉积。

相变材料 GST 的 CMP 之后, 为改善电极 M6 与相变材料的接触, 沉积 40 nm 的 TiN 作为黏附层。TiN 的制备工艺是: Ar (100 SCCM), N₂ (7 SCCM)与 Ti 靶反应, 工作气压为 0.36 Pa, 直流功率为 1000 W。

TiN 将与 M6 一起曝光和刻蚀。

第九步: 顶层金属 M6 的沉积。

使用磁控溅射的方法沉积 Al, 厚度为 300 nm。

第十步: M6 的曝光和刻蚀。

这一步与 0.18 μm 标准工艺的 M6 完全一致, 只是在刻蚀的时候需要增加时间, 保证将黏附层 TiN 刻蚀干净。制备工艺如下:

1) 抗反射层制备:

用 PECVD 的方法沉积 80 nm 的 SiON 作为抗反射层, 提高曝光的精度。

2) M6 的曝光:

与之前 Via4 和 Via5 不同的是, 因为 M6 的线宽较大 (2 μm), 所以曝光的光源为 I-line(365 nm), 而不是前面 DUV (Deep Ultra-violet Ray) 的 KrF 光源(248 nm)。

3) M6 的刻蚀:

由于多了一层 40nm 的黏附层 TiN, 因此需要在延长刻蚀时间。刻蚀条件为: Al 刻蚀: 70 SCCM BCl₃/85 SCCM Cl₂/8 SCCM CHF₃/10 mTorr/550 W/40 秒; TiN 刻蚀: 80 SCCM BCl₃/70 SCCM Cl₂/5 SCCM CHF₃/10 mTorr/550 W/15 秒。刻蚀结束后, 去除光刻胶并进行清洗和烘干。

第十一步：Passivation 的沉积。

钝化层的目的是保证顶层金属不会在测试和封装中受到损坏。 $0.18\ \mu\text{m}$ 标准 CMOS 工艺中钝化层的制备工艺中，必须经历 $400\ ^\circ\text{C}$ 左右的高温。表 5.3 显示的是 GST 的 CMP 工艺完成之后所有工艺的温度。虽然 M6 的抗反射层 DARC 制备中需要 $400\ ^\circ\text{C}$ 的高温，但持续时间只有 40 秒，实验证明这种情况下不会影响 GST 的形貌(如图 5.25 所示)和性能(测试结果图)。

表 5.3 相变存储器件 M6 和钝化层工艺温度

Barrier TiN Dep	< $100\ ^\circ\text{C}$		
M6 Al Dep	< $270\ ^\circ\text{C}$		
M6 DARC	$400\ ^\circ\text{C}$, 40 s		
M6 Photo	$140\ ^\circ\text{C}$		
M6 Etch	$250\ ^\circ\text{C}$		
Passivation film	HDP SiO_2	SRO	SiN
Passivation temperature & time	$380\ ^\circ\text{C}$, 120 s	$400\ ^\circ\text{C}$, 70 s	$400\ ^\circ\text{C}$, 120 s

然而，钝化工艺由 HDP SiO_2 、SRO (silicon rich oxide, 富氧化硅) 和 Si_3N_4 组成，必须经历 $400\ ^\circ\text{C}$ 左右的高温长达 5 分钟时间，而相变材料在这种高温下失效几率会大大增加。因此，我们选用 LTO (低温 SiO_2) 的工艺来替代常用的钝化工艺。此时所需的工艺只要 $250\ ^\circ\text{C}$ 即可，LTO 工艺有三点优势：1. 前面提到，GST 的 CMP 之后的退火工艺会出现鼓泡和脱落的情况，不能使用。这里， $250\ ^\circ\text{C}$ 的制备工艺起到了退火的效果；2. 避免了 $400\ ^\circ\text{C}$ 高温工艺对相变材料 GST 的性能的影响；3. 保证了封装工艺的顺利进行。

第十二步：Passivation 的曝光与刻蚀。

钝化层的线宽更大，在 $10\ \mu\text{m}$ 以上，因此，与 M6 的曝光一样，采用 I-line 光源 ($365\ \text{nm}$) 进行曝光。之后，使用 $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2$ 刻蚀气体将测试窗口刻蚀开。钝化层的图形化精度要求最低，但是必须保证刻蚀干净，只要有一点 SiO_2 残留都会影响封装而无法测试。

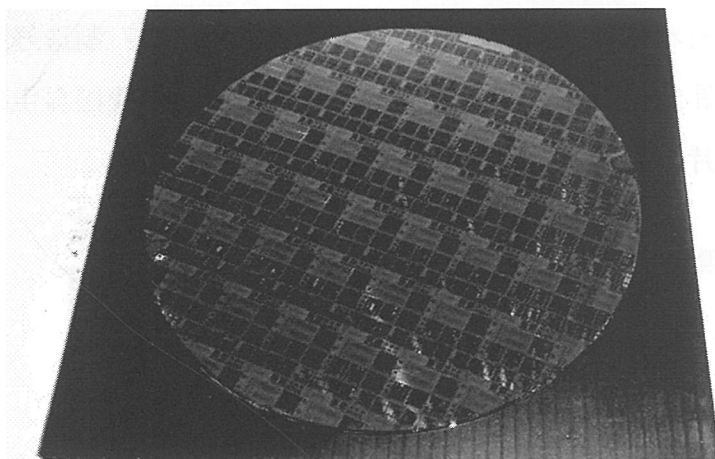


图 5.33 相变存储器 8 英寸 16 Kb 和 1 Mb 芯片

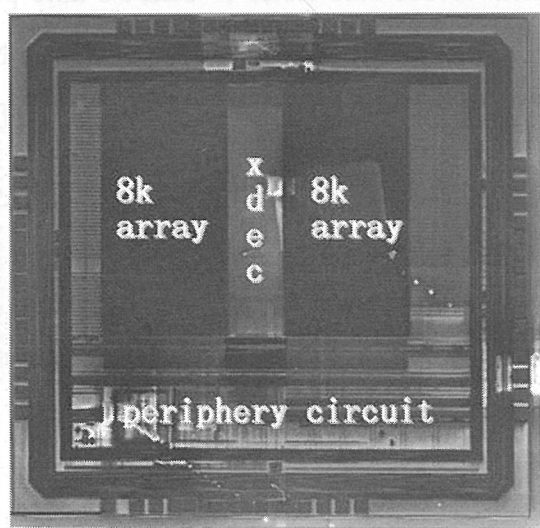


图 5.34 16 Kb 的 PCRAM 芯片 SEM 照片

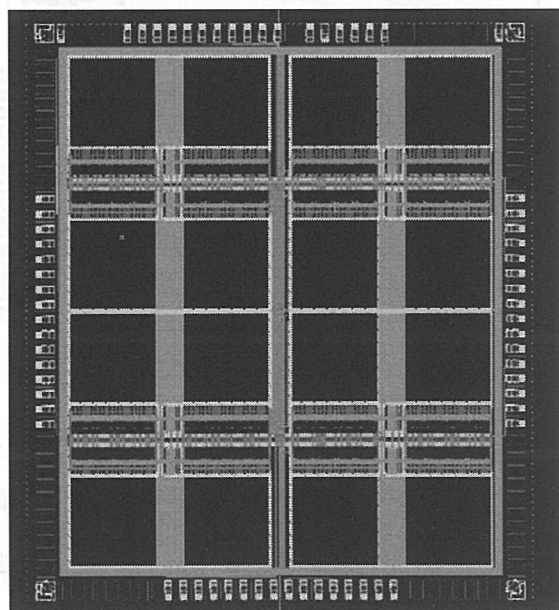


图 5.35 1 Mb 的 PCRAM 芯片版图照片

至此，所有相变存储器芯片的制造工艺都已经完成。制造好的相变存储器 8 英寸芯片如图 5.33、图 5.34 和图 5.35 所示，这也是我国自主研发的第一块相变存储器芯片！

5.4 芯片单元测试

5.4.1 1T 测试

本节开始将对芯片的器件单元进行测试。首先验证芯片中的晶体管 1T 的工作性能。我们用 Agilent 4072A auto tester 和 TEL-P8 auto prober 来测试 NMOS 管的 $I_{dsat}-V_{ds}$ 特征曲线，如图 5.36 所示。10 μm 沟道宽度的 NMOS 管当栅压 V_{gs} 加到 1.8 V 的时候，饱和状态时可以输出 7 mA 以上的电流，足够进行 RESET 或者 SET 操作。

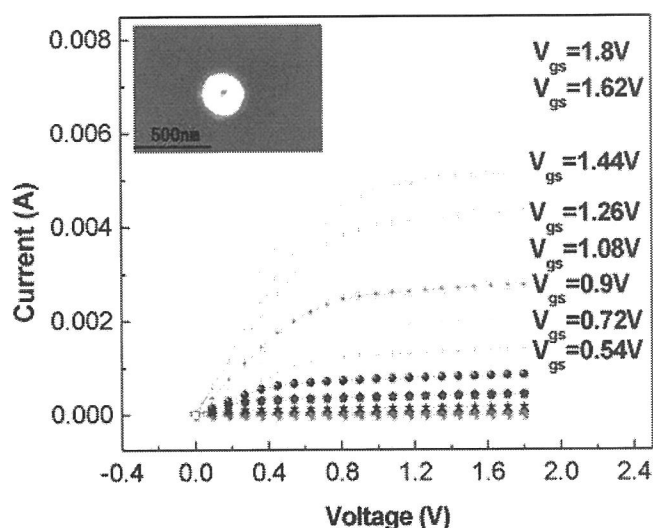


图 5.36 0.18 μm 的 NMOS 管 $I_{dsat}-V_{ds}$ 特征曲线

5.4.2 1R 测试

由于我们的 1R 工艺中选用了两种尺寸的下电极，因此，我们分别对这两种器件单元进行了测试。图 5.37 给出了两种器件单元典型的 $I-V$ 与 RESET 和 SET 操作曲线，器件单元的循环擦写次数可达 10^9 次。本章前面提到，1R 的工艺设计采用了两种方案，分别对应于电极为 Φ 130 nm 和 Φ 260 nm 的器件。

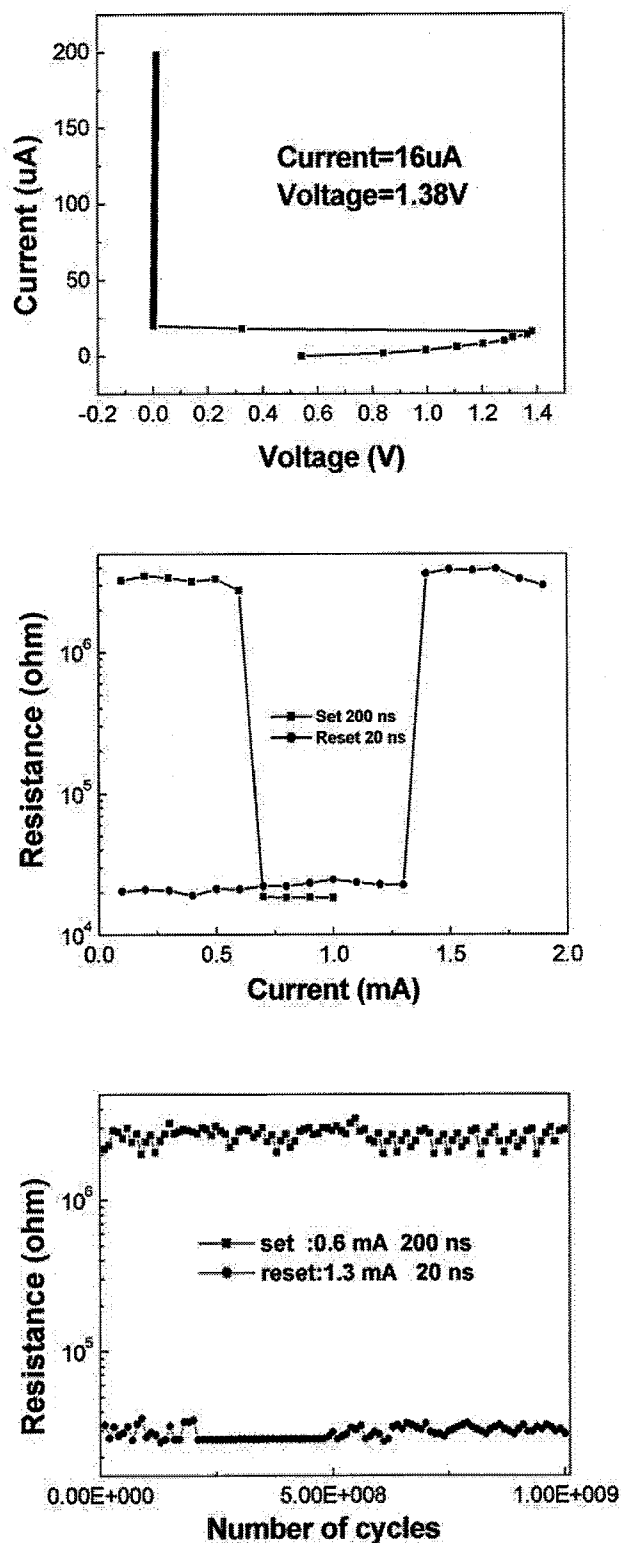


图 5.37 8 英寸平台上器件单元典型的 $I-V$ 与 RESET 和 SET 操作曲线

为了更好的从宏观上反映两种器件的性能，我们对大量器件单元的测试结果进行了统计，结果如表 5.4 所示。结论如下：具有 Φ 130 nm 电极的器件单

元 IV 特征曲线中阈值电压和电流均小于 Φ 260 nm 的器件单元；同时， Φ 130 nm 电极的器件单元只要更小的电压就可以实现 RESET 操作。

表 5.4 1R 器件单元测试结果统计

	工艺方案 1	工艺方案 2
电极大小	260 nm	130 nm
阈值电压 (V)	2.03	1.74
阈值电流 (μ A)	12	7.5
高阻阻值 (ohm)	495 K	1.34 M
低阻阻值 (ohm)	6.1 K	28.9 K
RESET 电压 (V)	2.93	1.79

表 5.5 给出了器件单元失效情况统计，可以看到，由于工艺方案 2 制备 Φ 130nm 的电极，工艺复杂且难度高，导致成品率相比工艺方案 1 有所下降，但仍然达到 85%以上。

表 5.5 1R 器件单元失效情况统计

	工艺方案 1	工艺方案 2
电极大小	260nm	130nm
首次 IV 扫描后失效	0.00%	6.25%
首次 IV 扫描后低阻	0.00%	0.00%
50 μ A IV 扫描后失效	0.00%	2.08%
50 μ A IV 扫描后低阻	0.00%	0.00%
500 μ A IV 扫描后失效	0.00%	0.00%
500 μ A IV 扫描后低阻	0.00%	4.17%
RESET 操作时断开	0.00%	2.08%
RESET 操作时出现低阻	0.00%	0.00%
无法实现 RESET	0.00%	0.00%
能够实现 SET/RESET 操作	100.00%	85.41%

5.4.3 1T1R 测试

当 1T 和 1R 都能相互独立的工作时，我们将 1T1R 一起操作。测试方法如下：将 MOS 管的栅、源/地(因为源和地连在一起)和含有相变材料的漏端分别引出测试端口，在栅端施加足够的开启电压，使 MOS 管导通。然后在漏、源端施加逐渐增加的直流电流或电压脉冲幅值，分别得到了 I - V 曲线和 reset 操作。

电压脉冲的宽度固定为 100ns 不变, 结果如图 5.38 所示。

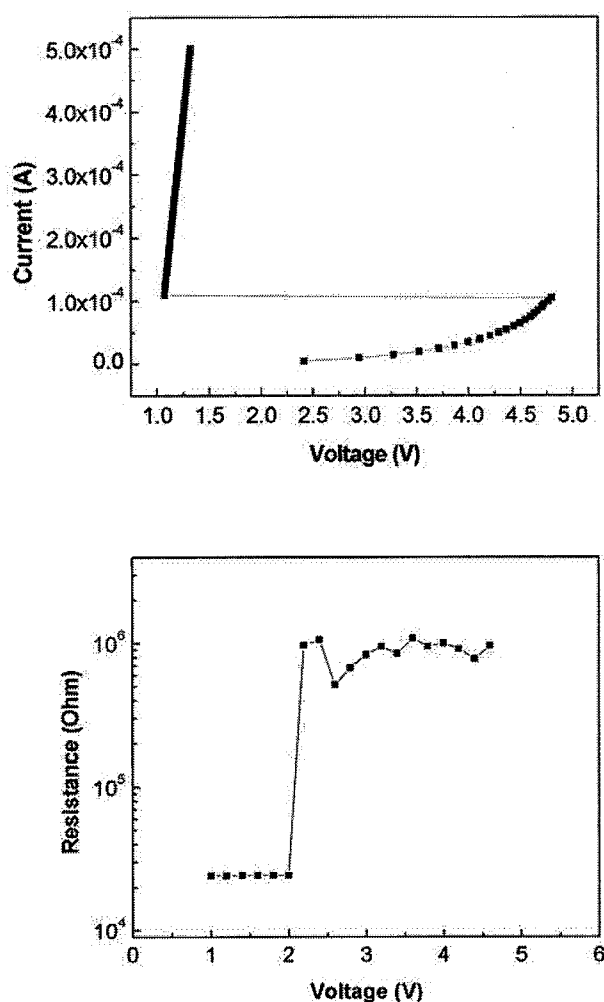


图 5.38 1T1R 相变存储器件测试结果

5.5 小结

本章利用 8 英寸 PCRAM 专用的工艺平台, 首次在国内开展了 PCRAM 与 CMOS 集成工艺的研发。首先对 8 英寸平台制备的相变材料进行了性能验证, 之后利用 $0.18\ \mu\text{m}$ 标准 CMOS 工艺分别研发了 1T 和 1R 工艺, 并实现了 1T 与 1R 的集成, 下电极直径最小达到 130 nm, 制备出国内第一个由晶体管驱动的 PCRAM 单元。随后, 制备出容量为 16 Kb 与 1 Mb 的测试芯片, 测试出很好的性能参数。主要取得的结果如下:

(1) 通过测试方块电阻-温度曲线, 8 英寸工艺平台上制备的 GST 材料出现了方块电阻迅速降低的过程, 下降过程对应的结晶温度比 6 英寸靶制备的 GST 材

料略高。同时,相变材料高阻的分布基本一致;而低阻的分布上,8英寸平台制备的 GST 材料略高。采用 9 点法评估 8 英寸 GST 薄膜的厚度均匀性。结果表明, GST 薄膜的均匀性可以达到 2.7%,超过工业生产标准的 4%,满足芯片研究的需要。同样用 9 点法对材料的组分进行 EDX 分析, GST 中三种元素的原子比基本稳定在 2: 2: 5,同样满足芯片研究的要求。选取三个典型温度 160、250 和 350 °C 退火后,选取固定的 4 个位置点,用 XRD 对材料微结构进行分析。结果表明:各个位置的样品在相同退火条件下,其结晶取向峰的位置完全一致,说明各位置点的样品具有相同的微结构。通过以上验证,8 英寸平台制备的 GST 材料特性和均匀一致性均达到了相变存储器芯片研究的要求。

(2) 根据 16 Kb 和 1 Mb 的 PCRAM 芯片要求,选择了 0.18 μm 标准 CMOS 工艺作为集成工艺的研发平台。将集成工艺分为 1T 和 1R 分别研发,设计了两套工艺方案,通过小电极、长通孔、GST 填充、GST 的 CMP 等多个工艺模块的优化和整合,成功打通了一条 1T 与 1R 集成的工艺流程。制备出国内第一个由晶体管驱动的 PCRAM 单元,并测试出国内第一条 1T1R 的 I-V 与 RESET 操作曲线。

(3) 在成功制备出 1T1R 的 PCRAM 单元后,又成功制备出了 16 Kb 和 1 Mb 的 PCRAM 芯片,通过封装与测试后,得到了很好的器件性能参数以及一致性。

PCRAM 集成工艺的研发成功标志着国内 PCRAM 的研发正式进入到了芯片阶段。自 Samsung、IBM 等少数几家大公司研发出测试芯片后,弥补了中国 PCRAM 芯片研发的空白。相信随着研究的深入,在不久的将来 PCRAM 芯片的研发一定能取得更大的进展。

第六章 相变存储器失效分析

6.1 引言

相变存储器之所以被誉为下一代半导体存储器，除了其得天独厚的操作特性外，高擦写次数也是不容忽视的因素之一。前面已经提到，Samsung 已经研发成功 512 Mb 的 PCRAM 测试芯片^[55]。之所以 PCRAM 还没有进入市场，自然有市场战略决策的因素，但是 PCRAM 的可靠性也是重要原因之一。目前，国内外 PCRAM 研究机构或多或少都碰到了 PCRAM 可靠性与一致性的难点，如果这一障碍不被攻克将推迟 PCRAM 上市的时间，也将影响 PCRAM 研发者的信心。

目前，在 PCRAM 器件单元的测试中频繁出现的失效类型主要有以下几种：

- (1) I - V 测试中短路；
- (2) I - V 测试中断路；
- (3) 疲劳测试中断路；
- (4) 初始的晶态电阻偏低或偏高，而无法实现 RESET 操作；
- (5) 经过多次擦写操作之后，RESET 或 SET 操作条件发生偏移。

至今，国际上对 PCRAM 失效机理的研究还处于方兴未艾之际，文献中此类报道相对较少^[80-82]。作为国内 PCRAM 研发的领军者，基于 8 英寸平台制备 PCRAM 的工艺稳定性前提，我们在此基础上率先开展了 PCRAM 的可靠性和失效原因分析。本章着重于对以上几种失效类型进行切片分析，尤其是针对后两种失效类型，将利用 Philips CM200 FEG 型 TEM 及其附带的 EDS (Energy Dispersive X-ray spectroscopy) 和 SAED (Selected Area Electron Diffraction) 等分析手段对相变区域内 (active area) 的 GST 各个元素的组分进行测定。并分析失效的原因和趋势，为提高 PCRAM 的可靠性提供有价值的信息和改进方向。

6.2 实验方法

本章中使用的样品均是通过第五章中研发的集成工艺，在 8 英寸平台上制

备出的 1R 相变存储器件单元。因此,所有制备工艺均与第五章中 1R 工艺相同,这里不再赘述。

首先,由于前三种失效类型的表现为短路和断路,我们利用 FIB 和 SEM 或 TEM 对失效样品进行定点的跟踪切片,从形貌上分析失效的原因,并且在工艺中进行改进和优化。

其次,对于第四种失效类型,我们通过对整片 PCRAM 的测试统计后,根据初始晶态电阻的不同将样品分为三类:正常样品(阻值为 1 K Ohm 左右)、低阻样品(阻值小于 100 Ohm)和高阻样品(阻值大于 10 K Ohm)。我们将分别选取这三种样品进行 TEM 和 EDS 分析,尤其关注靠近下电极的相变区域内 GST 个元素组分的差异。

最后,针对最后一种失效类型,我们选取一个正常样品进行多次 RESET 和 SET 操作,当发现 RESET 或 SET 操作条件发生变化后,中断测试。同样将此样品进行 TEM 和 EDS 分析;同时,为了观测样品是否发生结构上的变化,将此样品进行 SAED 分析,重点分析相变区域内外 GST 的微结构变化。

分析之前的 PCRAM 器件单元测试与前面几章一样采用自行设计搭建的电学测试系统完成,利用此测试系统可实现包括阈值电压和电流、读/写/擦最佳操作参数以及疲劳特性在内的各项 PCRAM 性能测试,这里也不再重复。

6.3 实验结果与讨论

6.3.1 FIB 切片分析

第一种失效类型样品的 $I-V$ 测试结果如图 6.1 所示,结果表明,这个样品的电阻值非常低,只有几十欧姆,属于短路现象。将这一样品经 FIB 切片和 SEM 观测后,结果如图 6.2 所示。可以发现,在 GST 与 Via5 侧壁之间,出现了一些薄膜物质,它将下电极 W 与 GST 上面的 TiN 连接在一起。由于这些物质的厚度很薄,因此,我们将同一失效现象的另一样品在 TEM 环境下进行 EDS 分析,确定此薄膜物质的成分,结果如图 6.3 所示,这层薄膜物质的主要元素是 W。

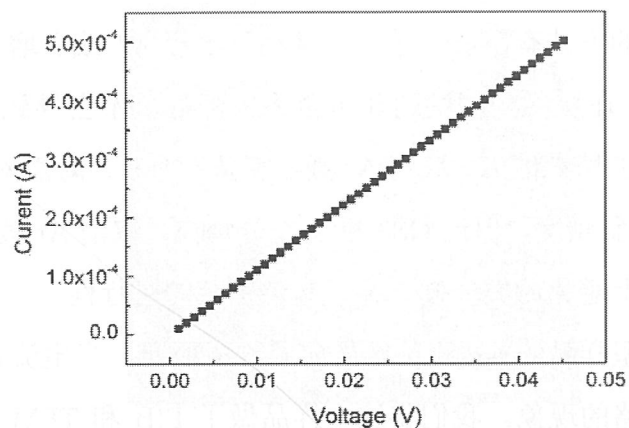
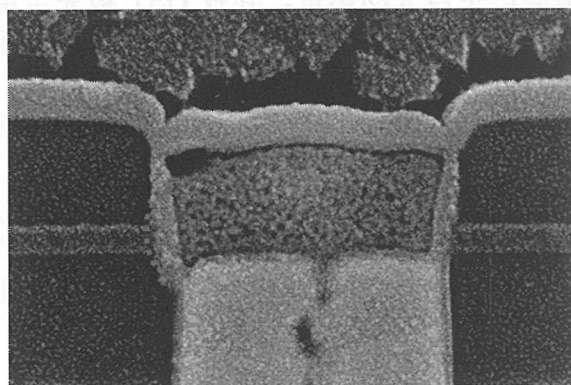
图 6.1 第一种失效类型样品的 I - V 测试结果

图 6.2 第一种失效类型样品的 SEM 照片

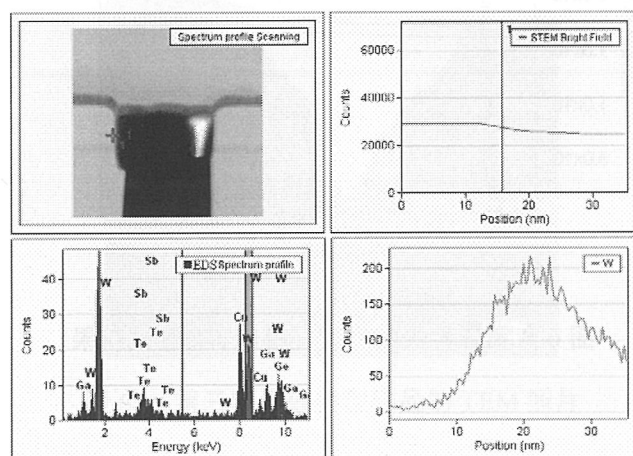


图 6.3 第一种失效类型样品的 EDS 分析结果

检查这一样品的工艺流程发现, 为确保 GST 的填充能力, 在 GST 沉积之前, 增加了一步 Ar 溅射的工艺。由于这一样品的下电极直径为 260 nm 与 Via5 的直径 300 nm 相当, Ar 溅射到下电极 W 上又反溅到 Via5 的侧壁上, 因此形

成了这层侧壁的薄膜，并且将上下电极连接起来，造成了短路和失效。

避免此类失效的方法有三种：第一，减小下电极 W 或者增大 $Via5$ ，这样 Ar 溅射到下电极上在反溅到侧壁的几率会大大降低，不会导致短路现象的发生；第二，提高 GST 填充能力，取消 Ar 溅射工艺；第三，调整 $Via5$ 刻蚀工艺，减小 $Via5$ 侧壁的倾斜角度，保证 GST 能够充分填充，取消 Ar 溅射工艺。后两种方法都将从根本上避免这类失效，并且具备工艺的可行性。

第二种失效类型样品的 $I-V$ 测试结果如图 6.4 所示，当电流扫描到 1.5 mA 以上时，出现了断路的现象。我们将这一样品做了 FIB 和 TEM 分析，结果如图 6.5 所示。可以看到，由于 $I-V$ 扫描属于直流操作，电流持续时间在毫秒级，因此过大的扫描电流会产生巨大的热量，导致 GST 被完全烧毁，而 GST 顶部的电极 Al 和钝化层塌陷下来，形成断路。

这种失效需要对测试条件进行优化，在 $I-V$ 扫描过程中必须加入限流控制，避免在扫描过程中对相变材料的损坏。

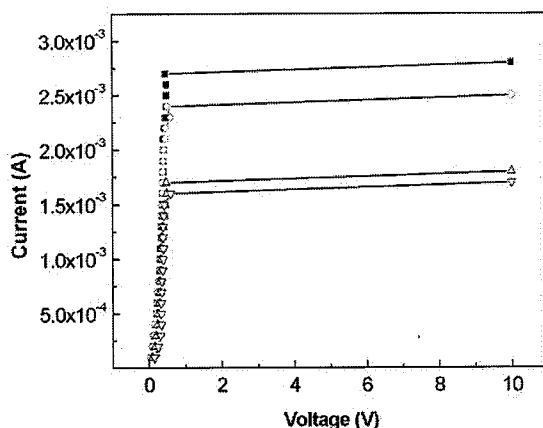


图 6.4 第二种失效类型样品的 $I-V$ 测试结果

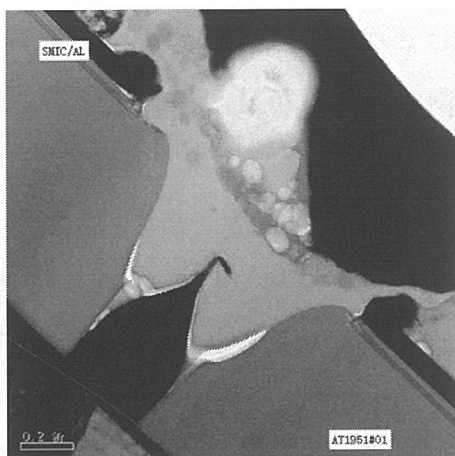


图 6.5 第二种失效类型样品的 TEM 照片

第三种失效类型是在多次 RESET 和 SET 操作的疲劳测试中出现，也表现为断路现象。FIB 和 TEM 分析的结果如图 6.6 所示，可以看到该失效样品与第二种失效类型相似，GST 被烧毁，不同的是，上下电极间形成了很大的空洞。这是由于在经过了多次 RESET 和 SET 操作后，GST 的性能已经发生了变化，因此最优化的测试条件也应该随之进行调整和优化。而在此类测试中，RESET 和 SET 条件始终保持不变，因此在测试中同样产生了过多的热量而将 GST 毁坏。

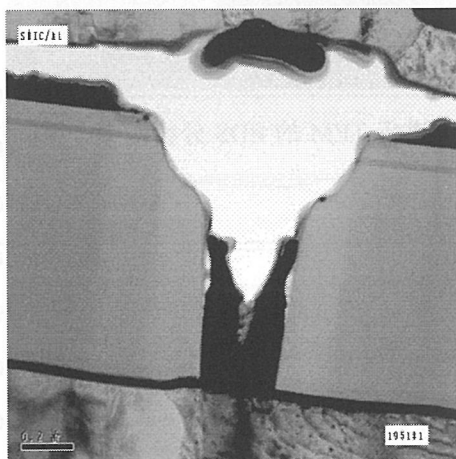


图 6.6 第三种失效类型样品的 TEM 照片

由于这种失效现象的发生存在一定的不确定性，因此避免起来有很大难度。但是，可以在疲劳测试过程中增加一些 $I-V$ 扫描测试以及时发现 GST 性能的变化，并有针对性地调整 RESET 和 SET 操作的条件来延缓或者避免失效。

总之，对于第二、三两种失效类型，必须控制好测试的条件，避免过大的电流和热量，确保 GST 能够在最优化的条件下实现 RESET 和 SET 操作。

6.3.2 EDS 分析

下面将着重分析最后两种失效类型。我们将低阻样品(阻值小于 100 Ohm)、正常样品(阻值为 1 K Ohm 左右)和高阻样品(阻值大于 10 K Ohm)分别定义为样品(a)、(b)和(c)。分别对三个样品固定的四个不同位置进行 TEM 的 EDS 分析,束斑大小为 2nm,位置如图 6.7 所示。三个样品的 Ge、Sb 和 Te 三种元素的原子比含量如图 6.8、图 6.9 和图 6.10 所示。可以看到,在位置 3 处,也就是靠近上电极的非相变区域,三个样品的 Ge、Sb 和 Te 含量基本保持不变。换句话说,这三个样品的阻值差异与靠近上电极区域无关。接着,我们来分析位置 1 处,即相变区域的三种元素含量。

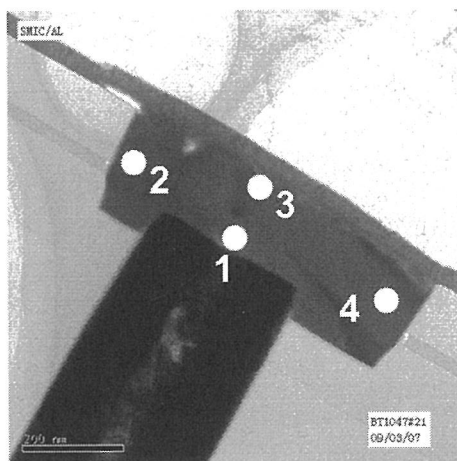


图 6.7 进行 TEM 的 EDS 分析的四个不同位置

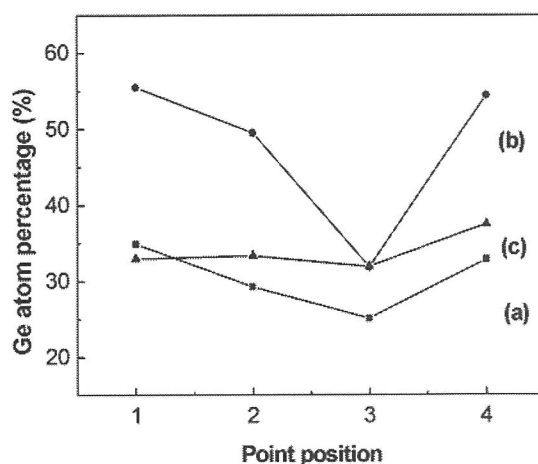


图 6.8 三种阻值样品的 Ge 原子百分比含量

不难发现,与非正常样品(a)和(c)相比,正常样品(b)的 Te 含量明显偏低,

从数值上来看, Te 原子百分比只有不到 10 %, 远小于 GST 的比例。考虑到 EDS 只是定性分析手段, 其精确度不高, 但是可以得出的结论是: 非正常阻值样品的 Te 含量明显高于正常样品。我们对三个样品均进行了 RESET 操作, 只有正常阻值的样品(b)可以实现 RESET 操作, 而(a)、(c)样品却无法实现 RESET 操作。但是这两种非正常阻值样品的阻值为何一个小于 100 Ohm 而另一个却高达 50 K Ohm, 而三种元素的原子百分比含量却几乎相同, 还有待进一步的研究。

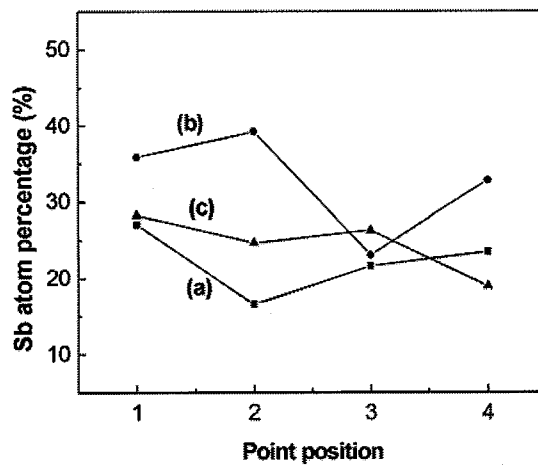


图 6.9 三种阻值样品的 Sb 原子百分比含量

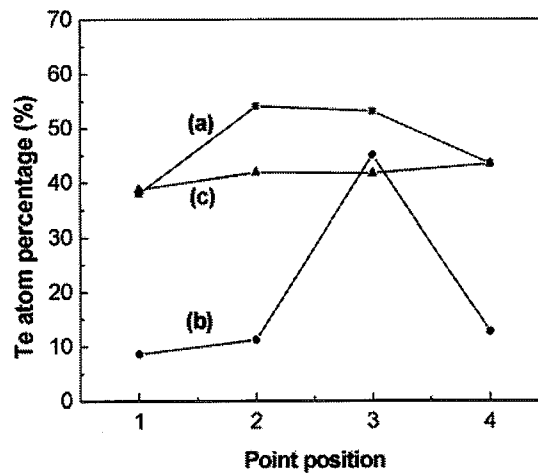


图 6.10 三种阻值样品的 Te 原子百分比含量

为了证实 Te 的影响, 我们选取另一正常阻值样品连续进行数千次操作, 直到其 RESET 条件发生较大变化。EDS 的结果如图 6.11 所示。与图 6.10 相对

比, 不难发现经过数千次操作之后, Te 的含量有大幅增加, 出现了与样品(a)和(c)相类似的各元素原子百分比含量。

这些结果表明, 在不能或者较难实现 RESET 操作的样品中, 靠近下电极的相变区域内, 均出现了 Te 的富集现象。这些 Te 的富集破坏了原来和谐的 GST 三种元素的化学键, 导致相变现象不再容易发生, 而这些富集的 Te 又集中在靠近下电极的相变区域内, 因此这是导致器件失效的原因之一。

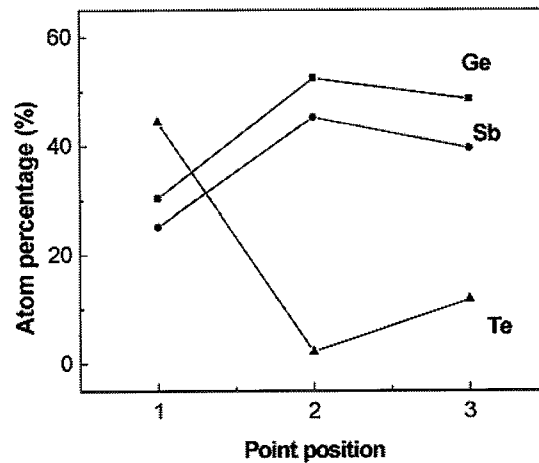


图 6.11 数千次操作后各位置元素的原子百分比含量

6.3.3 器件单元测试分析

由于这个样品经过数千次操作后, RESET 参数发生了很大的变化, 满足第五种失效类型的要求。因此, 我们将这个样品作为第五种失效类型进行分析, 比较这一器件单元进行数千次操作前后的电学性能变化。

图 6.12 给出的是相变存储器件单元的 $I-V$ 特征曲线, 曲线(a)对应第一次 RESET 操作后而曲线(b)对应数千次操作之后。可以发现, 两条曲线都出现了明显的负阻区间, 这表明器件单元都发生了从高阻到低阻的相变。但是值得注意的是, 经过数千次操作之后, 器件单元的阈值电压 V_{th} 已经从开始的 0.85 V 增加到 1.3 V。阈值电压的增大表明经过数千次操作之后, GST 中非晶的区域变大, 因此需要更多的能量驱使这部分区域的非晶态 GST 转变为晶态。

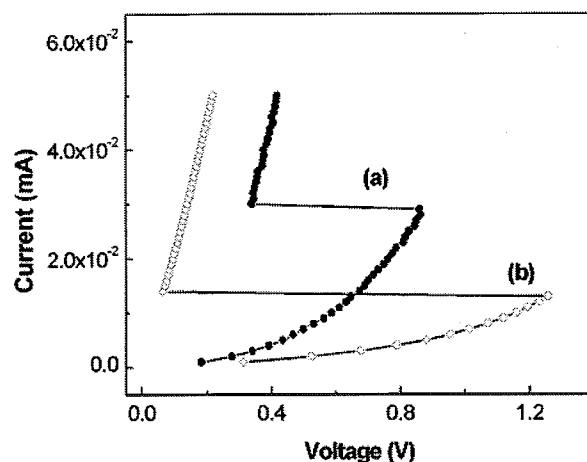


图 6.12 I - V 特征曲线: (a)第一次操作后; (b) 数千次操作后

图 6.13 给出的是 R - V 曲线, 同样, 曲线(a)对应第一次 RESET 操作后而曲线(b)对应数千次操作之后。RESET 操作的脉宽设定为 100 ns 不变, 测试电压设定为 0.1 V 不变, 以保证其他因素影响测试结果。明显可以看出, 经过数千次操作之后的器件单元, 其所需要的 RESET 操作电压从开始时的 1.1 V 增大到 2.7 V。此外, 两条曲线中显示出的高阻和低阻的阻值维持在相当的量级。增大的 RESET 操作电压同样表明经过数千次操作后器件单元的非晶态区域变的更大, 也就是发生相变的区域变大, 这与图 6.12 中展示的增大的域值电压是吻合的。而整个器件的结晶通道上, 电流不会经过所有的非晶态区域, 所以在 RESET 操作曲线上, 经过数千次操作后, 其高阻和低阻阻值仍然保持在相同的量级上。

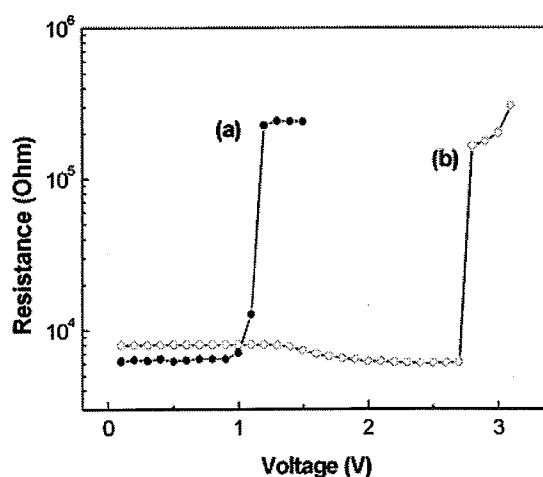


图 6.13 RESET 操作曲线: (a)第一次操作后; (b) 数千次操作后

6.3.4 TEM 和 SAED 分析

为了证实经过数千次操作之后，GST 的结构是否发生变化，我们将对样品进行 TEM 和 SAED 分析。由于样品已经经过数千次操作，为了得到第一次操作后的结果，我们准备了同一片样品上具有相同工艺条件的另一个器件单元，对使用相同的条件对其进行操作。

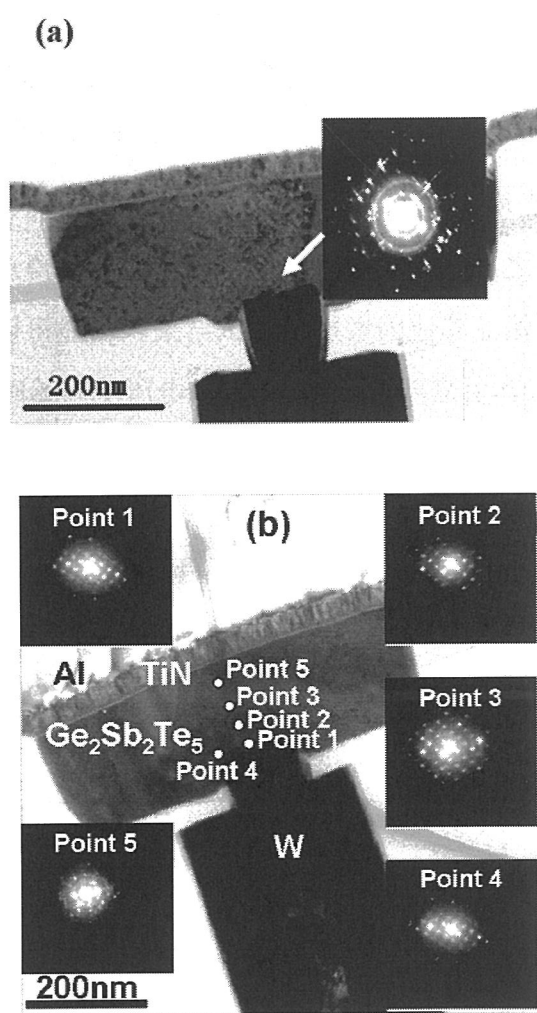


图 6.14 TEM 和 SAED 结果：(a)第一次操作之后；(b)数千次操作之后

SAED 的结果如图 6.14 所示，第一次 RESET 操作后，靠近下电极区域内的选区电子衍射结果为多晶的衍射花样，而数千次操作后变成了单晶的衍射花样。由于电子衍射的束斑直径为 2 nm，我们可以知道经过数千次操作过后 GST 的晶粒明显长大了。由图 6.14(b)可以看出，位于 GST 顶端的区域仍然维持了

多晶的衍射花样,说明这个区域的晶粒尺寸没有太大变化。

因此,在不断的操作过程中,GST的晶粒不断长大,GST的热导率等热学性质将发生变化,GST的热导率会增加,因此导热性能变好。在这种条件,实现 RESET 操作需要提供更多的能量。同时,随着“单晶区域”的变大,GST电阻下降,导致发热点逐渐向外偏移,从而引起周围更广泛区域的 GST 发生相变,导致整个非晶态区域的增大,这样实现 RESET 操作所需的能量也会增加,所以 RESET 操作电压随之增大。如果继续操作下去,“单晶区域”会变得更大,最终将上下电极连通。这样的话,器件单元将很难再被操作而一直保持在低阻状态。由于这种失效类型的原因在于 GST 的晶粒长大,因此,这种失效的发生存在一定的不规律性,即不一定在同样的操作次数之后发生。图 6.15 给出了另一个样品的结果,经过 6×10^4 次操作后,器件单元维持在低阻状态而不能再被 RESET 操作。

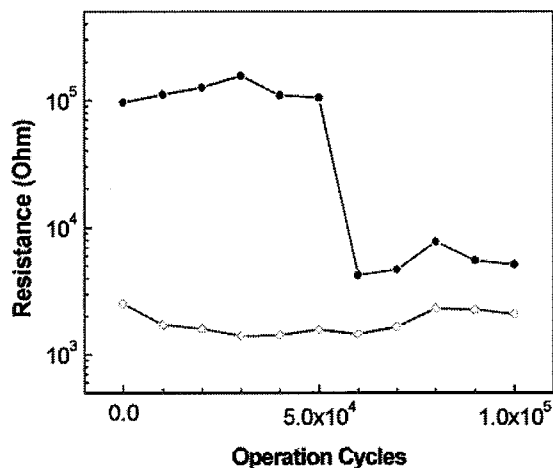


图 6.15 经过 6×10^4 次操作不再能实现 RESET 操作的样品

至此,我们给出了最后两种失效类型的失效原因分析。对于第四种失效,必须避免 Te 在相变区域的富集;对于第五种失效,为避免 GST 晶粒的长大,需要对材料进行一些改性的优化。此外,测试条件也需要进一步改进,以避免造成其他不良的影响。

6.4 小结

本章利用 TEM、EDS 以及 SAED 等分析手段对相变存储器件经常出现的两

种失效类型进行了测试。发现了靠近下电极的相变区域内 GST 组分的变化对器件单元的失效有重要的影响；同时，SAED 的结果表明经过数千次操作之后，相变区域内 GST 的结构发生了变化。主要取得的结果如下：

- (1) 对三种在测试中出现的短路和断路失效的样品，通过 FIB 和 SEM 或 TEM 分析，找到了工艺和测试上造成失效的原因。工艺上需要减少或消除 Ar 溅射对器件结构的不利影响；而测试中非最佳的测试条件将导致产生过大的电流和热量，造成相变材料 GST 的毁坏则是失效的主要原因。针对每种失效类型，都提出了避免和解决的方案。
- (2) 对三种初始电阻不同的样品进行 TEM 切片后的 EDS 分析。结果表明，同样在靠近下电极的相变区域内，具有非正常阻值的样品中 GST 的 Te 含量远远大于具有正常阻值的样品。并且，经过多次操作之后，相变区域内 GST 的 Te 含量有明显增大的趋势。因此，我们认为相变区域内，偏高的 Te 含量是导致器件单元失效的重要原因之一。
- (3) 我们将经过数千次操作过后，RESET 操作条件发生较大变化的样品进行了 SAED 分析。结果证实，相变区域内 GST 的电子衍射花样呈现单晶结构，说明 GST 晶粒已经明显增大，因此导致相变区域的增大以及 RESET 操作电压的增加。

本章对失效器件的测试和分析，对于提高相变存储器件的性能、使用寿命以及可靠性有着重要的指导意义。

第七章 总结

相变存储器是目前国内外公认的最具潜力和应用价值的下一代非易失性半导体存储器之一,本课题组率先在国内开展了 PCRAM 的研究,承担了我国在此领域的数个重大项目。本论文围绕 PCRAM 的集成工艺展开研究,着重于 PCRAM 芯片的研发工作,开发并打通了一条 PCRAM 芯片的集成工艺,制备出我国第一个 1T1R 的相变存储单元以及容量 16 Kb 和 1 Mb 的 PCRAM 芯片;同时,研究了一种相变材料,并首次提出了通过在相变材料与电极间插入 TiO_2 加热层材料的概念,提升了 PCRAM 器件的性能;最后,通过对两种 PCRAM 单元器件的失效机理的探索,找到了失效的原因,并提出了改善的方法。

在本论文的研究中,主要取得了以下几方面的创新性结果:

- (1) 研究了新型相变材料 Sn 掺杂 GST,相比传统相变材料 GST,新材料具有结晶温度低、结晶速度快、晶态电阻高等特点。凭借这些优势,Sn 掺杂 GST 可以应用于高速相变存储器,同时可以有效地降低 RESET 操作电流。为了将其应用于相变存储器件单元中,研究了新材料 Sn 掺杂 GST 在 CHF_3/O_2 条件下的刻蚀工艺,比较了不同气体比例、压力和功率条件下 Sn 掺杂 GST 材料的刻蚀速率和刻蚀后表面和侧壁的形貌,找到了最优化的刻蚀工艺。制备了高速的基于 Sn 掺杂 GST 的存储器器件,与 GST 相比,Sn 的掺杂大大降低了 SET 操作的脉冲电流宽度,提高了结晶速度。
- (2) 针对目前如何减小相变存储器件操作功耗,提高热利用率的研究热点,用简单、有效、洁净的热氧化工艺成功地制备了 TiO_2 薄膜,通过对其化学成分和微结构的表征,证明薄膜的稳定和可用性。成功地将 TiO_2 薄膜植入相变存储器件单元中,作为加热层材料加入到相变材料与下电极之间。起到了发热源的作用,同时抑制了热扩散,提高了热利用率,使 RESET 操作电流降低了 68%,大大降低了功耗。并且在疲劳测试中达到 10^5 次数量的重复擦写次数。
- (3) 为解决相变存储器件制备工艺中高密度小尺寸相变材料图形化的难点,创新性地提出采用刻蚀工艺与 CMP 相结合的工艺方法,提高了工艺的一致

- 性和稳定性，降低了无谓的功耗。在相变存储器件单元上成功地应用，并测试出很好的性能。
- (4) 利用 SMIC 的工艺平台，首次在国内开展了 PCRAM 与 CMOS 集成工艺技术的研发。从对 8 英寸平台制备的相变材料 GST 性能验证开始，在 0.18 μm 的 CMOS 工艺平台上分别研发了 1T 和 1R 工艺，并成功实现了 1T 与 1R 的集成，并将连接相变材料的下电极直径缩小到 130 nm。在此基础上制备出国内第一个由 MOS 管驱动的 PCRAM 单元，测试出国内第一条 1T1R 的 I - V 与 RESET 操作曲线。随后，又制备出容量为 16 Kb 与 1 Mb 的测试芯片，并且都测试出很好的性能参数，弥补了我国 PCRAM 芯片研究的空白，缩小了与国外 PCRAM 研发的差距。
- (5) 在 PCRAM 芯片的测试过程中，发现了不少失效样品。为找到失效原因，提高成品率，我们利用 FIB、SEM、TEM、EDS 以及 SAED 等手段对相变存储器件经常出现的几种失效类型进行了跟踪测试和分析。工艺中需要减小或消除 Ar 溅射的不利影响，而测试中需要对测试条件进行及时的优化。同时发现靠近下电极的相变区域内 GST 组分的变化对器件单元的失效有重要的影响；同时，SAED 的结果表明经过数千次操作之后，相变区域内 GST 的结构发生了变化，GST 晶粒明显长大，并引起了 RESET 电压的显著增加。提出了必须通过材料优化抑制相变材料晶粒长大等改进方法，这些结果对于提高 PCRAM 的性能、可靠性以及使用寿命都有十分重要的意义。