

新型硅基 GaN 外延材料的热应力模拟*

王 曦¹, 孙佳胤, 武爱民, 陈 静, 王 曦²

(中国科学院 上海微系统与信息技术研究所信息功能材料国家重点实验室, 上海 200050)

摘 要: 采用有限元方法, 通过 ANSYS 软件模拟了体硅衬底上和 SOI 衬底上生长的 GaN 外延膜从 1100℃ 的生长温度降到 20℃ 的热应力变化情况。模拟结果表明 SOI 衬底作为一种柔性衬底, 能有效减少异质外延的晶格失配, 但是单从热失配的角度, 由于引入了热膨胀系数(CET)更小的埋层 SiO₂, SOI 衬底会使得外延层热应力略有增大。为了降低外延层中的热应力, 我们结合微机电系统(MEMS)的制造工艺, 用深反应离子刻蚀(DRIE)的方法, 借助于 SOI 材料自停止刻蚀的优势, 将衬底硅和埋氧去除, 使得 SOI 的超薄顶层硅部分悬空, 形成一种新型的 SOI 衬底。模拟结果表明, 这种新型 SOI 衬底可以将 GaN 外延层中的热应力降低 20% 左右。

关键词: GaN; SOI; 热应力; MEMS

中图分类号: TN304.054

文献标识码: A

文章编号: 1001-9731(2007)增刊-4055-03

1 引 言

GaN 作为新型的宽禁带半导体材料, 一直是国际上化合物半导体方面研究的热点。在光电子领域和微电子器件方面具有很高的应用价值^[1-3]。但是由于 GaN 大尺寸体单晶生长极为困难, 现在所有成熟的器件都是以蓝宝石或 SiC 异质衬底为基础的。近年来, 氮化物在 Si 衬底上的外延生长引起了广泛的关注^[4-9], 并取得一定进展。目前, 使用 MOCVD 方法在 Si(111)衬底上生长的 AlGaIn/GaN₂DEG 结构材料的室温迁移率达到了 900cm²(V·s)^[10], 用 MBE 方法在 Si(111)衬底上生长的高电子迁移率晶体管材料的室温电子迁移率为 1600 cm²(V·s), 20K 时为 7500cm²(V·s)^[11]。另外, Si 衬底上的 GaN 基紫外探测器^[12]和 LED^[13]也已经研制成功。由于 Si 和 GaN 具有较大的晶格失配(17%)和热膨胀系数失配(37%), 因此在 Si 衬底上难以得到无裂纹的 GaN 外延膜。以 SOI 作为柔性衬底进行 GaN 的外延生长是一种有效的解决方法。J.Cao 等人报道了在(001) SOI 片上外延 GaN 膜并发现顶层的柔性硅膜能提高 GaN 外延层质量^[14,15]。近来, 在(111) SOI 衬底上的 GaN 外延也获得了很好的效果, 在键合的 SOI 衬底上生长出的 InGaIn/GaN 多量子阱也被证明比硅基生长的多量子阱有更高的发光效率^[16,17], 从而展现了 SOI 柔性衬底在有效降低晶格失配方面的优势。但是 SOI 衬底对 GaN 外

延层热应力的影响还研究比较少, 弄清楚 SOI 衬底对外延层热应力的影响将有助于进一步理解柔性衬底的科学意义和寻找获得更高质量外延层的方法。SOI 材料越来越受到 MEMS 研究的重视。其埋氧具有自停止腐蚀功能, 结合超薄顶层硅, 可以为微机电系统(MEMS)提供厚度均匀的超薄(几百纳米至十几微米)高质量单晶硅膜。

本工作采用 ANSYS 软件模拟了降温过程后 GaN 外延层中的热应力分布在体硅衬底, 普通 SOI 衬底和顶层硅部分悬空 SOI 衬底的变化。模拟结果表明, 从热应力的角度来讲, 普通 SOI 衬底上 GaN 的热应力比体硅衬底上 GaN 的热应力略有增大。我们通过 MEMS 工艺来制备 GaN 外延衬底, 将 SOI 材料的部分衬底硅和埋氧刻蚀掉, 形成顶层硅悬空的新型 SOI 衬底, 模拟发现在这种衬底上 GaN 的热应力将会降低 20%。

2 模拟方法和模型

GaN, Si 和 SiO₂ 的力学参数见表 1^[18]。

表 1 用于热应力计算的材料参数

Table 1 Material parameters for thermal simulation

材料	热膨胀系数 α (μ /K)	泊松比 ν	弹性模量 E (GPa)
GaN	5.59	0.18	195.9
Si	3.59	0.262	169.2
SiO ₂	0.55	0.16	71.7

模拟采用 400 μ m $\times$ 400 μ m 方形多层膜作为模型(图 1A 所示), 因为方形衬底在微电子加工工艺中是最容易实现的衬底切割形式。GaN 层的厚度是 1 μ m; 为了简化计算, 模型中衬底硅(substrate Si)的厚度取 50 μ m, 而不是实际中的 500 μ m, 因为 50 μ m 已经足以得到较为准确的结论了。模型分两个系列: “T” 系列是保持埋氧(buried SiO₂)厚度 1 μ m 不变, 改变顶层硅(top Si)厚度, 以研究顶层硅厚度对 GaN 应力的影响; “B” 系列是保持顶层硅 1 μ m 不变, 改变埋氧的厚度, 以研究埋氧厚度对 GaN 应力的影响。模型 “N” 模拟了顶层硅部分悬空的新型 SOI 衬底, 这一模型中心处面积为 250 μ m $\times$ 250 μ m 的衬底硅和埋氧被掏空(图 1B), 顶层硅和 GaN 均为 1 μ m。分析采用 ANSYS 软件, 选用单元类型为 solid92, 设置参考温度为 1100℃, 直接加载到所有节点的温度载荷为 20℃。

* 基金项目: 国家杰出青年科学基金资助项目(59925205); 上海市固态照明工程项目(05d211006-3)

收到稿件日期: 2007-05-11

通讯作者: 王 曦²

作者简介: 王 曦¹ (1983—), 男, 陕西安康人, 在读研究生, 2005 年毕业于复旦大学材料科学系, 现从事 SOI 基 GaN 外延材料的研究。

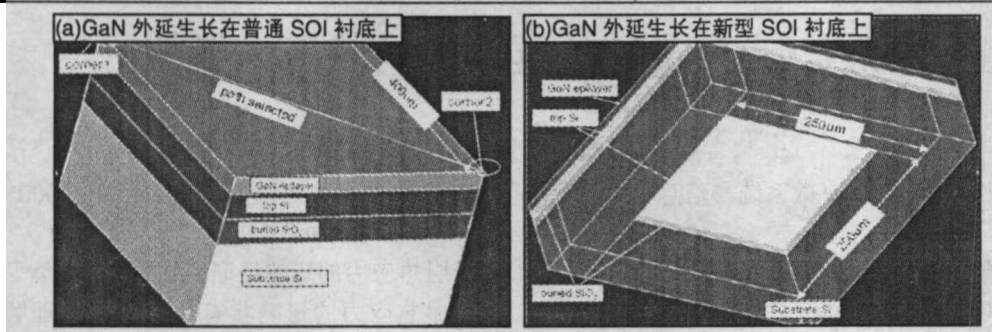


图 1 ANSYS 热分析模型

Fig 1 Models for ANSYS thermal analysis

3 结果和讨论

选取方形膜某一高度对角线(图 1(A))上节点的 Von-mise 热应力数据来表征这一层的应力分布。首先选取 T3 模型(顶层硅 $1\mu\text{m}$), 分析距离 GaN 层内热应力在纵向的分布, 共分析 5 个不同深度上的路径, 它们距离 GaN 上表面的距离分别是 0 (GaN 上表面), 0.2, 0.4, 0.6, 0.8 和 $1\mu\text{m}$ (GaN 和顶层硅界面)。图 2 表示 GaN 中热应力在不同深度的分布, 每根曲线代表了热应力在相应深度上的横向分布。可以看出, GaN 上表面的热应力是最大的, 在后面的分析中, GaN 上表面的热应力将用来表征其应力变化情况。

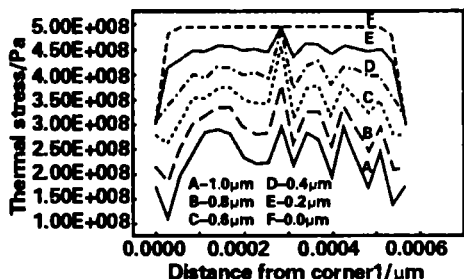


图 2 GaN 层热应力在不同深度的分布。

Fig 2 distribution of thermal stress on different depth of GaN layer.

在“T”系列模型中, 保持埋氧厚度为 $1\mu\text{m}$, 顶层硅从 T1 到 T5 分别取 0.2, 0.5, 1, 2, $5\mu\text{m}$, 分析顶层硅厚度对 GaN 中应力的影响。图 3 表明, 随着顶层硅厚度的增大, GaN 中热应力会稍有降低, 从 $4.9606\text{E}8\text{Pa}$ 降到 $4.9539\text{E}8\text{Pa}$ 。也就是说 SiO_2 越靠近 GaN 将会在 GaN 中引入较多热应力。

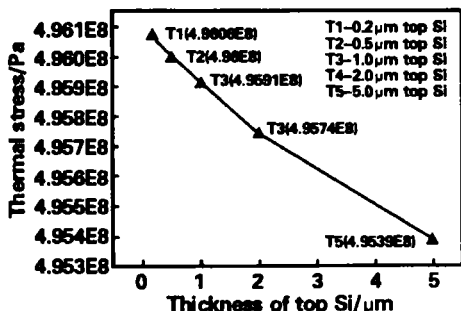


图 3 GaN 层上表面热应力随顶层硅厚度的变化

Fig 3 Thermal stress in top surface of GaN layers with different thickness of top Si

为了进一步说明埋层 SiO_2 会增大 GaN 的应力, 有必要研究埋氧厚度对 GaN 应力的影响趋势。在“B”系列模型中, 保持顶层硅 $1\mu\text{m}$, 埋氧厚度从 B1 到 B5 分别取 0.2、0.5、1、2、 $3\mu\text{m}$ 。从图 4 可以看出, GaN 层热应力随埋氧厚度减小而减小, 从 $5.3772\text{E}8\text{Pa}$ 降到 $4.7958\text{E}8\text{Pa}$, 而当埋氧厚度为 0 时, 即体硅情况, 模拟结果为 $4.7476\text{E}8\text{Pa}$, GaN 的应力进一步降低。可见, 由于 SiO_2 的 CET 非常小(约是 Si 的 $1/6$, 是 GaN 的 $1/10$), 在降温过程中会阻碍顶层硅的收缩, 进而将这种作用传递到 GaN 层, 阻碍 GaN 的收缩, 因此会在外延层中引入更多的张应力。由于衬底硅的厚度 ($50\mu\text{m}$) 远大于常用的埋氧厚度 (小于 $1\mu\text{m}$), 所以 GaN 的应力主要还是由衬底硅来决定, 埋氧的影响是很小的, 对于埋层和顶层硅均为 $1\mu\text{m}$ 的 SOI 衬底来说, GaN 的热应力比体硅衬底增加了约 4%。

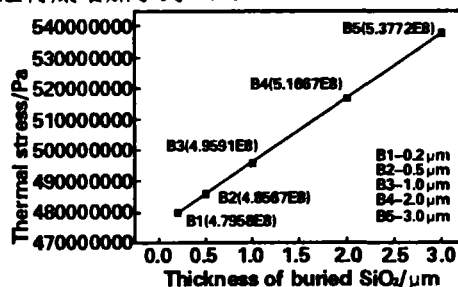


图 4 GaN 层上表面热应力随埋氧厚度的变化

Fig 4 Thermal stress in top surface of GaN layers with different thickness of buried SiO_2

降低 GaN 的应力有利于降低外延层的裂纹密度, 提高其晶体质量。减小衬底的厚度可以有效降低外延层中的应力^[15], 本文模拟了将 SOI 材料部分衬底硅和埋氧刻蚀掉的新型衬底对 GaN 的应力的影响(图 5)。

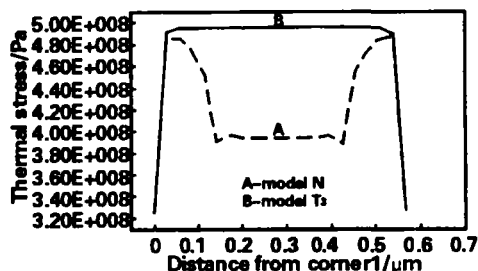


图 5 新型 SOI 衬底和普通 SOI 衬底上 GaN 应力比较

Fig 5 Thermal stress of GaN layers on novel and plain SOI substrates

图中 A 曲线下凹的部分正对应了衬底硅和埋氧被刻蚀的区域, 这一区域只有厚度相同的顶层硅和 GaN 两层结构, 热应力比周围区域降低 20% 左右。在实际生长中, 悬空部分的两层结构将有利于降低 GaN 中由于晶格失配引起的应力^[19], 提高晶体质量。

4 结 论

研究了降温从 1100~20℃ 降温过程中 GaN 外延层在体硅, 普通 SOI 以及新型 SOI 衬底上的应力分布及变化情况。模拟结果表明 SOI 衬底会使 GaN 层热应力略有上升, 埋氧越厚或顶层硅越薄, 应力增加就越多。将部分衬底硅和埋氧刻蚀掉形成的新型 SOI 衬底有利于降低 GaN 层的热应力, 在悬空部分热应力降低 20% 左右。

参考文献:

- [1] Nakamura S, Fasol G, Pearton S J. The Blue Laser Diode: The Complete Story, 2nd ed. [M]. Germany: Springer-Verlag, 2000.
- [2] Heikman S, Keller S, Green D S, et al. [J]. J Appl Phys, 2003, 94: 5321.
- [3] Jimenez A, Bougrioua Z, Tirado J M, et al. [J]. Phys Lett, 2003, 82: 4827.
- [4] Nikishin S A, Faleev N N, Antipov V G, et al. [J]. Appl Phys Lett, 1999, 75: 2073.
- [5] Follstaedt D M, Han J, Provencio P, et al. [J]. MRS Internet J Nitride Semicond Res, 1999, 4S1:G3.72.
- [6] Ishikawa H, Zhao G Y, Nakada N, et al. [J]. Jpn J Appl Phys, 1999, 38: 492.
- [7] Calleja E, Sanchez-Garcia M A, Sanchez F J, et al. [J]. J Cryst Growth, 1999, 201/202: 296.
- [8] Lahreche H, Vennegues P, Tottereau O, et al. [J]. J Cryst Growth, 2000, 217: 13.
- [9] Semond F, Damilano B, Vezian S, et al. [J]. Appl Phys Lett, 1999, 75: 82.
- [10] Shremer A T, Smart J A, Wang Y, et al. [J]. Appl Phys Lett, 2000, 76: 736.
- [11] Semond F, Lorenzini P, Grandjean N, et al. [J]. Appl Phys Lett, 2001, 78: 335.
- [12] Osinsky A, Gangopadhyay S, Wang J W, et al. [J]. Appl Phys Lett, 1998, 72: 551.
- [13] Guha S, Bojarczuk N A. [J]. Appl Phys Lett, 1998, 72: 415.
- [14] Cao J, Pavlidis D, Eisenbach A, et al. [J]. Appl Phys Lett, 1997, 71: 3880.
- [15] Cao J, Pavlidis D, Park Y, et al. [J]. J Appl Phys, 1998, 83: 3829.
- [16] Zhou S Q, Vantomme A, Zhang B S, et al. [J]. Appl Phys Lett, 2005, 86: 081912.
- [17] Wang L S, Tripathy S, Chua S J, et al. [J]. Appl Phys Lett, 2005, 87: 111908.
- [18] Zamir S, Meyler B, Salzman J. [J]. J Cryst Growth, 2002, 243: 375.
- [19] Carrie Carter-Coman, April S Brown, et al. [J]. Appl Phys Lett, 1996, 69: 257.

The simulation of thermal stress in GaN epilayer on novel silicon-based substrates

WANG Xi¹, SUN Jia-yin, WU Ai-min, CHEN Jing, WANG Xi²

(The State Key Laboratory of Functional Material for Informatics, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of science, Shanghai 200050, China)

Abstract: The thermal stress in GaN epilayer on bulk silicon and silicon-on-insulator(SOI) substrates caused by the co-efficient of thermal-expansion(CET) mismatch of the GaN epilayer and silicon, was calculated by the finite element analysis method through ANSYS software. When temperature decreased from 1100~20℃ the 3-D simulation results showed that the SOI substrate can produce a little more thermal stress in GaN layer compared with bulk silicon substrate, because of the buried SiO₂ layer, which would induce larger CET mismatch in the multi-layer system. A novel shape of SOI substrate with part of the substrate Si and buried SiO₂ being etched using Micro electro-mechanical system(MEMS) fabrication process had been realized, and simulation result showed its advantage of reducing nearly 20% of the thermal stress in GaN epilayer effectively.

Key words: GaN; SOI; thermal stress; MEMS