

Al, 利用现有的 $0.18\ \mu\text{m}$ 曝光技术制备出直径为 $260\ \text{nm}$ 小孔, 制备出直径为 $260\ \text{nm}$ 的下电极, 再用同一块光照制备直径为 $260\ \text{nm}$ 小孔, 利用 PESiN_x 侧墙技术减小孔洞的直径, 最后形成直径为 $120\ \text{nm}$ 的加热电极, 其具体的工艺步骤如下:

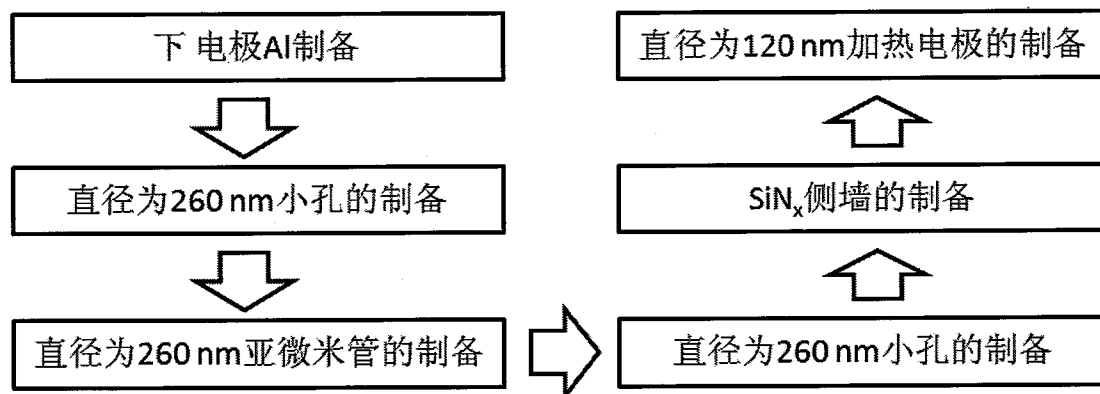


图 2.31 直径为 $120\ \text{nm}$ 加热电极的制备流程图

(1) 下电极 Al 制备

如图 2.32 所示, 首先在 8 英寸的 p 型衬底上热氧化一层 SiO_2 , 利用激光扫描刻出零对准标记。这层氧化层是为了防止激光扫描时溅射出的颗粒污染硅片。然后将这层氧化层湿法腐蚀完并清洗烘干, 淀积 $1050\ \text{nm}$ 厚的 TEOS, 以防止衬底硅片的干扰。电极 Al 是用 PVD 技术溅射制备的, 其具体的厚度参数为 $20\ \text{nm}\ \text{Ti}/25\ \text{nm}\ \text{TiN}/250\ \text{nm}\ \text{AlCu}/5\ \text{nm}\ \text{Ti}/30\ \text{nm}\ \text{TiN}$ 。其中 Al 中掺入少量的 Cu, 为了防止 Al 金属的电迁移现象, Ti/TiN 是黏附层, 增加金属与氧化层之间的黏附能力, 并且也能阻止金属与氧化物之间的相互扩散。曝光是为了得到更好的图像效果, 需要淀积一层 $\text{SiON}\ 32\ \text{nm}$, 其重要成分是富氧化硅, 可以减小光的反射, 使得曝光图形边缘更易于控制。经过曝光、显影、刻蚀、去胶等光刻工艺就制备出下电极 Al。

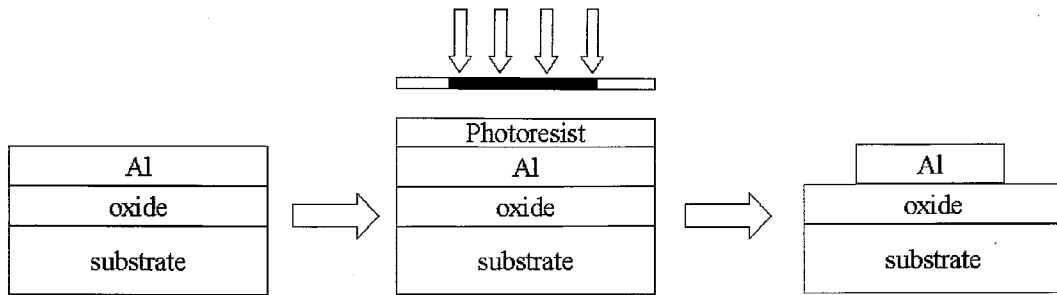


图 2.32 下电极 Al 的制备过程

(2) 直径为 260 nm 小孔的制备

如图 2.33 所示。在制备完的 Al 电极上用 High Density Plasma 技术淀积 650 nm FSG，再淀积一层 1100 nm 的 PETEOS，然后 Chemical Mechanical Polish 技术抛平表面，只剩下 650 nm FSG，最后再淀积一层 200 nm 的 USG。FSG 是一种掺入 F 元素的氧化硅，这样可以降低金属互连线的 RC 延迟，但是这种材料比较软，在机械研磨过程中容易划伤表面，因而用 PEREOS 作过渡层。最后再在其表面盖上 USG 是为了防止 F 的扩散。利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm 小孔，并去胶清洗干净，防止小孔堵塞。

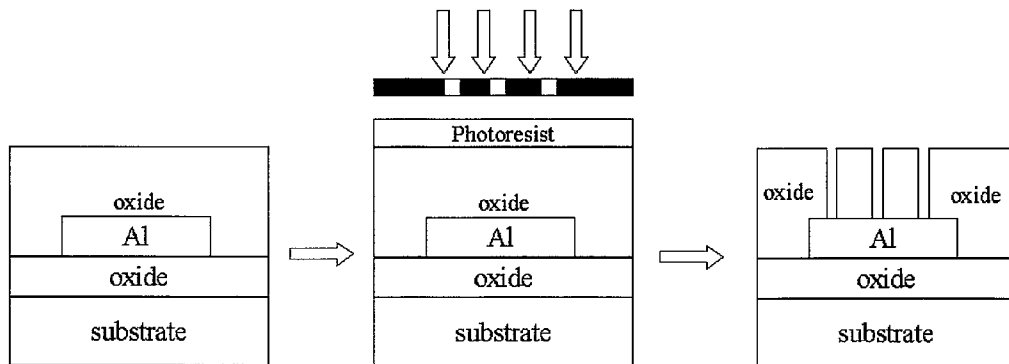


图 2.33 直径为 260 nm 小孔制备过程

(3) W 亚微米管的制备

W Plug 是利用 CVD 技术填充的，然后利用 CMP 技术抛平表面，制备出深亚微米 W 管衬底电极，如图 2.34 所示。

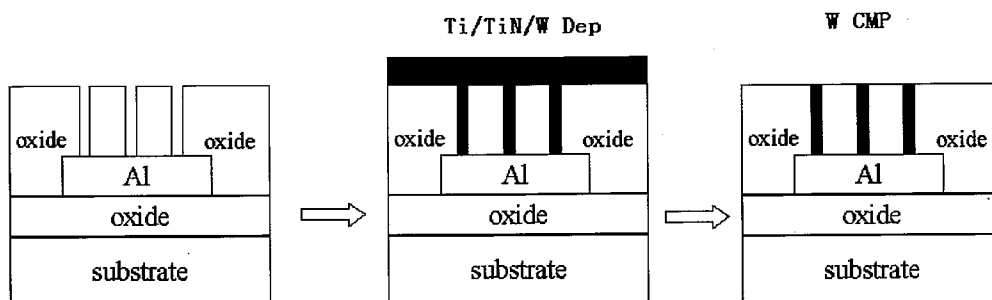


图 2.34 W 亚微米管的制备

(4) 直径为 260nm 小孔制备

在图 2.34 制备出的电极衬底上依次沉积 150 nm Oxide, 25 nm SiN_x 和 150 nm Oxide。150 nm 厚的 Oxide 是最终纳米加热电极的厚度, 25 nm SiN_x 作用之一是 SiO_2 刻蚀的停止层, 其刻蚀选择比可达 1: 6; 另外 SiN_x 也是最后 W CMP 的停止层, 其与 W 的 CMP 选择比可达 1: 10。150 nm 厚的 Oxide 可以保证侧墙的有一定的垂直度。利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm 的小孔, 并去胶清洗干净, 防止小孔堵塞。值得一提的是, 这里使用的掩膜版与前面一道小孔制备工艺是同一块掩膜版, 节约了成本, 其具体的工艺步骤如图 2.35 所示。

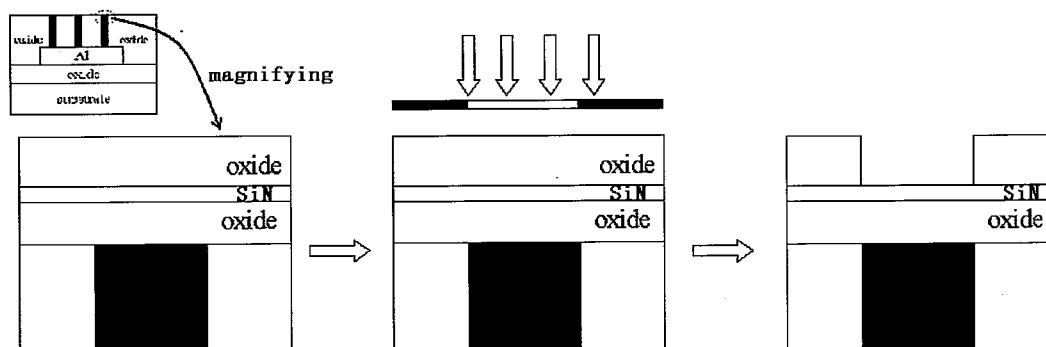


图 2.35 纳米电极的直径为 260 nm 小孔制备

(5) PESiN_x 侧墙的制备

在图 2.35 所得结构上沉积一层 150 nm 厚的 PESiN_x , 其侧墙的台阶覆盖率为 50%, 并且回蚀, 回蚀时将中间的 SiN_x 刻蚀完, 制备 70-80 nm 厚的 PESiN_x 侧墙。

利用侧墙作为硬掩膜将下层的 Oxide 刻蚀完。小电极的直径由 Oxide 的小孔直径和侧墙的厚度共同决定，即 Oxide 的小孔直径减去两边侧墙的厚度，这样 Oxide 小孔直径约为 100 nm 左右。具体步骤如图 2.36 所示。

侧墙工艺的成功与否关键在于两步刻蚀工艺好坏。第一步的侧墙回蚀必须保证侧墙具有一定的垂直度，否则将影响 Oxide 小孔的直径大小；第二步 Oxide 刻蚀时，对 SiN_x 的刻蚀选择比要高，否则侧墙将会被刻蚀掉，影响 Oxide 小孔的直径大小。

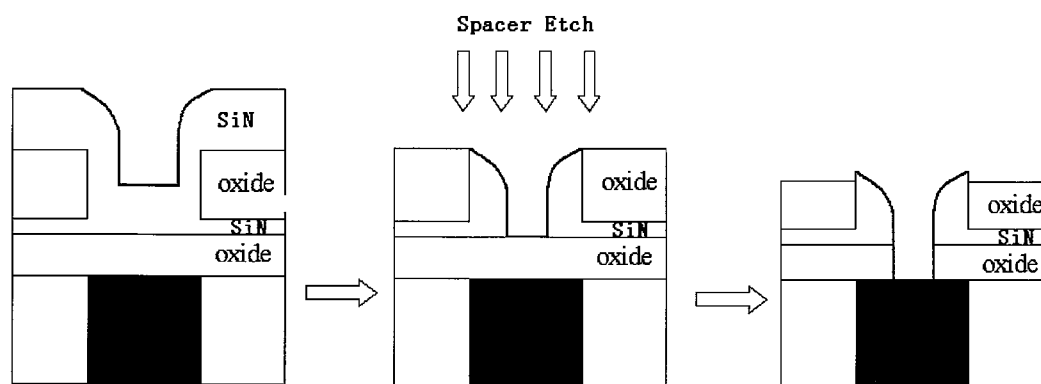


图 2.36 PESiN_x 侧墙的制备

(6) 直径为 120 nm 纳米电极

W Plug 是利用 PNL 技术填充的，这种 PNL 比 CVD 技术填孔后留下的缝隙小，因为 PNL 初始形成的 W 颗粒比较小，在沉积满孔洞后留下的缝隙小，如图 2.37 所示。然后利用 CMP 技术抛平表面，制备出直径为 120 nm 加热电极。 SiN_x layer 用来做 CMP 的停止层。

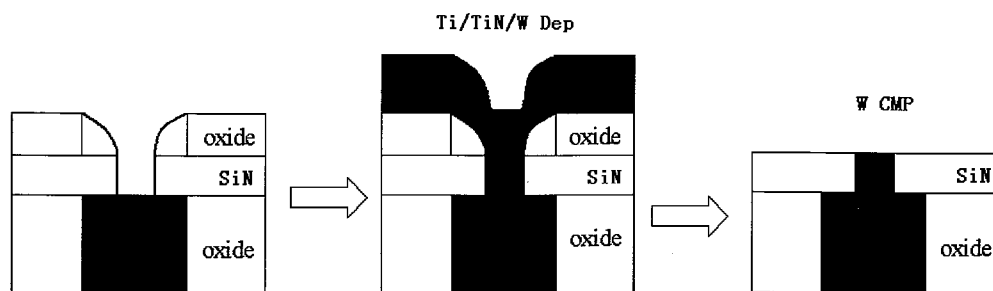


图 2.37 100 nm 纳米电极的制备

2.4.2 具体工艺控制与结果

1. 小孔直径大小的控制

为了研究不同直径, 不同角度对台阶覆盖的影响。通过调节曝光时的能量和焦距, 曝光显影后可以得到不同大小, 不同角度的光阻。刻蚀后得到能量对应的直径大小的变化, 表 2.3 给出了不同能量和不同焦距对应的直径尺寸。

表 2.3 不同能量和不同焦距对应的直径尺寸

Focus \ Energy/mj	53	56	59	62	65	68	71
0.2		0.26	0.284	0.302	0.313	0.321	
0.1	0.244	0.271	0.279	0.296	0.323	0.339	0.341
0	0.252	0.270	0.278	0.286	0.305	0.333	0.337
-0.1	0.254	0.262	0.271	0.291	0.312	0.333	0.349
-0.2	0.321	0.271	0.293	0.323	0.330	0.341	
-0.3		0.294	0.276	0.303			

根据图表 2.3 给出的结果, 我们模拟出直径对应能量的线性变化为 $y=0.0056x-0.0508$, 其结果如图 2.38 所示。根据这样的模拟结果计算出直径为 $0.27\ \mu\text{m}$, $0.25\ \mu\text{m}$, $0.22\ \mu\text{m}$ 所对应的能量为 $57\ \text{mj}$, $53\ \text{mj}$, $48\ \text{mj}$ 。

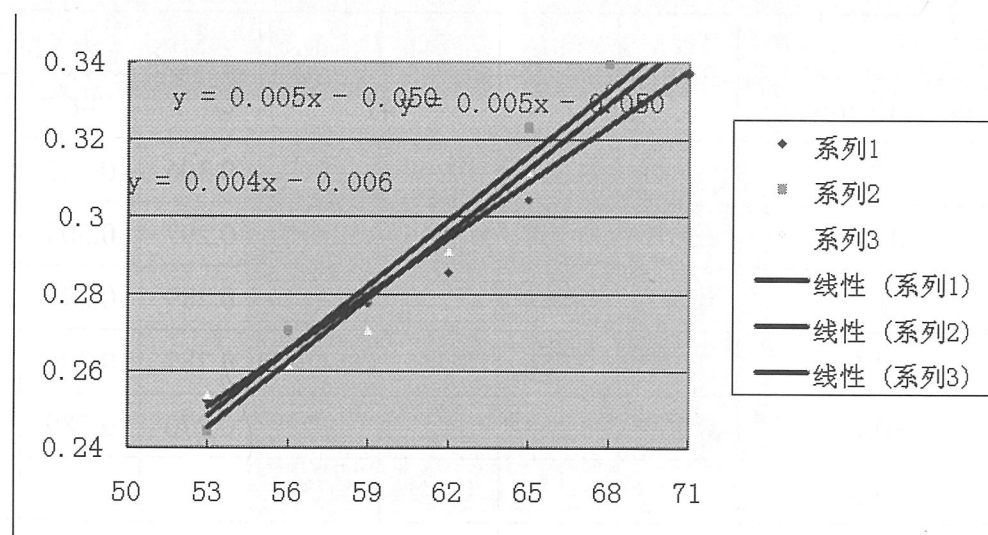


图 2.38 不同能量和不同焦距对应的直径尺寸模拟结果

利用上面所得的能量的结果分别曝光得出不同直径的尺寸,将整个 8 寸片分为三个区域。光阻的角度可以通过量测顶部和底部对应的直径的大小,计算出不同焦距对应的角度,其结果如表 2.4 所示。从图中可以看出,角度基本上是没有变化,这是由于薄膜太薄的缘故,光阻的角度无法复制到硅片。

表 2.4(a) 不同能量对应的小孔顶部尺寸

Via ADI Top CD							
	1	2	3	4	5	6	7
Focus \ Energy/mj	36		41		46		
0.2		0.231	0.233	0.241	0.33	0.333	
0.1	0.227	0.212	0.233	0.222	0.322	0.328	0.336
0	0.273	0.274	0.276	0.266	0.315	0.323	0.324
-0.1	0.262	0.280	0.271	0.276	0.313	0.320	0.309
-0.2	0.233	0.277	0.271	0.254	0.295	0.312	
-0.3		0.265	0.265	0.257			
Mean	0.254		0.255		0.320		

表 2.4(b) 不同能量对应的小孔底部尺寸

Via ADI Bottom CD							
	1	2	3	4	5	6	7
Focus \ Energy/mj	36		41		46		
0.2		0.204	0.208	0.217	0.306	0.308	
0.1	0.201	0.184	0.206	0.205	0.297	0.303	0.311
0	0.251	0.253	0.257	0.241	0.289	0.299	0.299
-0.1	0.238	0.256	0.245	0.252	0.287	0.294	0.285
-0.2	0.205	0.253	0.247	0.227	0.270	0.289	
-0.3			0.241	0.231			
Mean	0.203		0.243		0.295		

表 2.4(c) 不同能量对应的小孔角度

Via ADI Angle							
	1	2	3	4	5	6	7
Focus \ Energy/mj	36		41		46		
0.2		84.82	85.24	85.37	85.43	85.24	
0.1	85.01	84.69	85.14	84.61	85.14	85.10	85.37
0	85.69	86.07	86.38	85.14	85.18	85.48	85.31
-0.1	85.43	85.45	85.14	85.48	85.14	85.20	85.37
-0.2	84.65	85.54	85.31	84.95	85.24	85.54	
-0.3			85.29	84.91			
Mean	85.0		85.4		85.3		

2. PESiN_x 台阶覆盖的实验

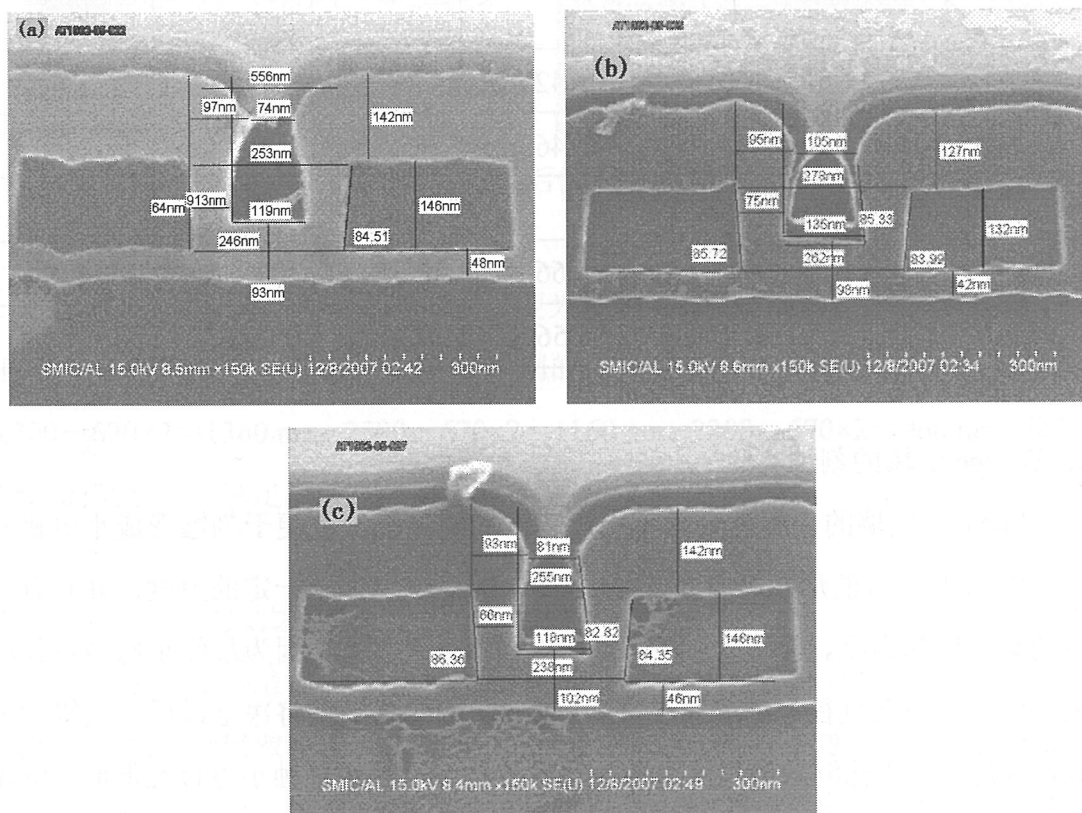


图 2.39 不同孔洞直径对应的 PESiN_x 1500A 的台阶覆盖图 (a) 0.27 μm ; (b) 0.25 μm 和(c) 0.22 μm

为了确定 PESiN_x 的台阶覆盖率, 如图 2.39 所示, (a)(b)(c)分别为直径分别为 $0.27\ \mu\text{m}$, $0.25\ \mu\text{m}$, $0.22\ \mu\text{m}$ 的小孔中填入 $150\ \text{nm}$ 的 PESiN_x , 并用 SEM 观测其截面图, 测得数据见表 2.5。在小孔直径为 $0.27\ \mu\text{m}$ 刻蚀角度为 85° 时, PESiN_x 的侧墙覆盖率为 59%左右, 底部的覆盖率为 44%左右。在小孔直径为 $0.25\ \mu\text{m}$ 刻蚀角度为 85° 时, PESiN_x 的侧墙覆盖率为 46%左右, 底部的覆盖率为 39%左右。在小孔直径为 $0.22\ \mu\text{m}$ 刻蚀角度为 85° 时, PESiN_x 的侧墙覆盖率为 45%左右, 底部的覆盖率为 31%左右。可见随着小孔直径的减小, PESiN_x 的台阶覆盖能力逐渐下降。最终孔洞直径的大小由小孔的直径, 刻蚀角度和侧墙的台阶覆盖率共同决定。

表 2.5 PETEOS 的台阶覆盖率

CD	$0.27\ \mu\text{m}$		$0.25\ \mu\text{m}$		$0.22\ \mu\text{m}$	
	Thickness	Step coverage	Thickness	Step coverage	Thickness	Step coverage
Thickness	$0.127\ \mu\text{m}$		$0.142\ \mu\text{m}$		$0.142\ \mu\text{m}$	
Via CD	$0.262\ \mu\text{m}$		$0.246\ \mu\text{m}$		$0.238\ \mu\text{m}$	
Angle	85°		85°		85°	
Sidewall	0.075	59%	0.066	46.5%	0.064	45%
Bottom	0.056	44.1%	0.056	39.4%	0.045	31%

3. D-type 侧墙的刻蚀实验

PESiN_x 侧墙的作用是刻蚀小电极孔洞的硬掩膜, 以便于刻蚀形成小电极孔洞。 PESiN_x 侧墙的形貌需要是 D-type 的, 即: 侧墙需要一定的厚度, 并且有一定的垂直度和高度。厚度是为了满足小电极尺寸的要求, 因为最终小电极直径的大小由前道小孔直径和侧墙厚度共同决定。侧墙的垂直度将决定最后小电极的形貌, 就是小电极孔洞的倾斜度。侧墙的高度是为了满足刻蚀小电极孔洞时, 侧墙的形貌将被复制到小电极孔洞的顶部, 如果侧墙的高度不够, 那么最终小电极孔洞的顶部将会被打开, 从而影响最终的小电极直径。

根据上述要求, 选择侧墙的刻蚀程序如下:

Bulk Etch: 40 sccm CF_4 /18 sccm O_2 /60 sccm CHF_3 /50 sccm mT/300 W/10 G/10sec

Main Etch: 45 sccm CF_4 /10 sccm O_2 /10 sccm CHF_3 /90 Ar/50 mT/150 W/10 G/33sec

其中大面积 SiN_x 刻蚀速率为 200 nm/min, 小孔中 SiN_x 的刻蚀速率为 90 nm/min。选择这个程序的主要目的是先将大面积的 SiN_x 刻蚀完, 然后再刻蚀小孔中的 SiN_x 。大面积 SiN_x 刻蚀程序对大面积 SiN_x 刻蚀速率较快, 而对小孔中的刻蚀速率慢, 这是由于氧气的流量比较大的缘故。而后一步刻蚀程序主要目的是形成形貌比较好的侧墙, 对小孔中的刻蚀速率要求均匀, 因而选择氧气流量比较小。

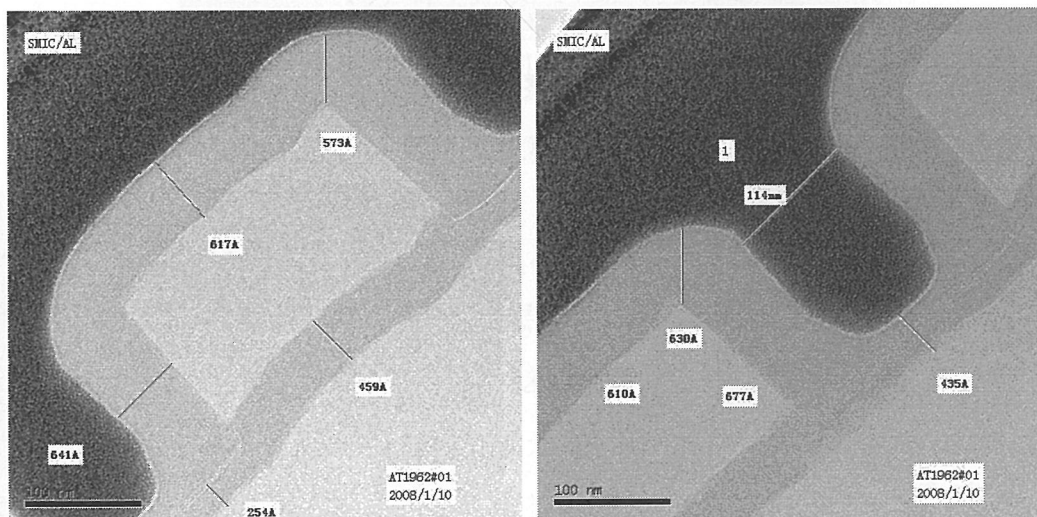


图 2.40 刻蚀后侧墙的截面图

如图 2.40 所示, 刻蚀后侧墙的厚度为 670 nm, 高度基本上为 1300 nm, 并且有一定的垂直度。针对前面三种不同的小孔直径, 最终小电极的直径分别为 $2700 - 670 \times 2 = 1360$ nm; $2500 - 670 \times 2 = 1160$ nm; $2300 - 670 \times 2 = 960$ nm。最后, 侧墙的刻蚀形貌满足后续制备小电极的要求。

4. 小电极孔洞的刻蚀实验

孔洞的形貌将最终决定小电极的形貌, 是至关重要的一步刻蚀程序。这一步关键在于利用侧墙做硬掩膜, 刻蚀下面的二氧化硅孔洞。刻蚀程序选择的关键点有三个: (1)侧墙对二氧化硅的刻蚀选择比要高; (2)刻蚀结束后, 侧墙还需要保留一定的垂直度; (3)侧墙的侧向刻蚀速率要慢; (4)孔洞的内壁要光滑, 并且有一定的深度。侧墙刻蚀对二氧化硅的高选择比是为了要有一定的小孔深度, 并且

使得侧壁刻蚀较少。刻蚀结束后，侧墙垂直度的保留是为了保证小孔的垂直度和小孔顶部开口不被刻蚀掉，造成小电极尺寸的漂移。另外，侧墙的作用是作为刻蚀底部小孔的硬掩膜，因而其侧向刻蚀速率要慢，以控制好小电极孔洞的直径。

刻蚀的程序如下：30mT/1400W/9 sccm C_4F_8 /250 sccm Ar/50 sccm CO/25 sec，用 C_4F_8 作为主要反应刻蚀气体是为了提高刻蚀二氧化硅时，对 SiN_x 侧墙的刻蚀选择比。如图 2.41(a)所示，小电极孔洞的顶部直径为 137 nm，底部的直径约为 100 nm，高度为 170 nm，侧墙的厚度和高度也有一定的保留。但是侧墙的表面和孔洞的内壁比较粗糙，原因在于刻蚀程序中 Ar 的流量比较大，物理轰击的成分比较多，造成了表面刻蚀后的粗糙程度较大。将刻蚀程序中的 250 sccm Ar 降低到 200 sccm，调整后的刻蚀效果就图 2.41(b)所示，孔洞的内壁比较光滑，基本满足小电极孔洞刻蚀和后续填充的要求。

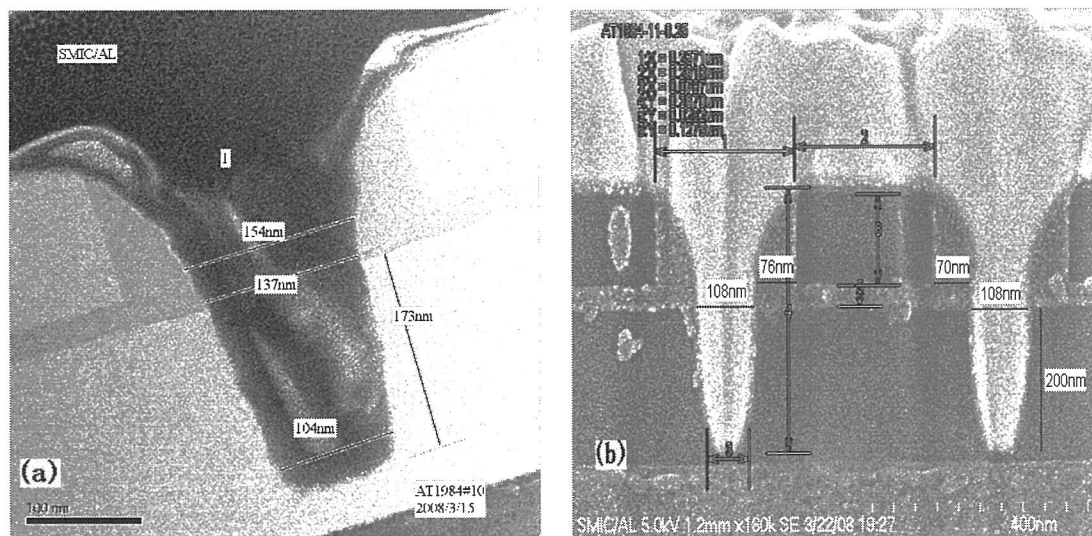


图 2.41 小电极孔洞的刻蚀形貌 (a)调整前；(b)调整后

5. 小电极的填充实验

小电极 W 的填充要求必须能够填满孔洞，而且空中的中间没有空隙。在直径很小的情况下，用一般的化学气相沉积法很难使得电极填满，而且电极中间会产生空隙。W 的 PNL 沉积技术制备出的 W 的引晶颗粒比较小，这样可以使得孔的口部相对闭合的比较慢，而孔内部的 W 可以填充的相对更充实点。特别适用于这种电极直径较小，深宽比不是很高的孔洞填充。其填充效果如图 2.42 所示，孔洞填充比较好，电极中间没有空隙产生。

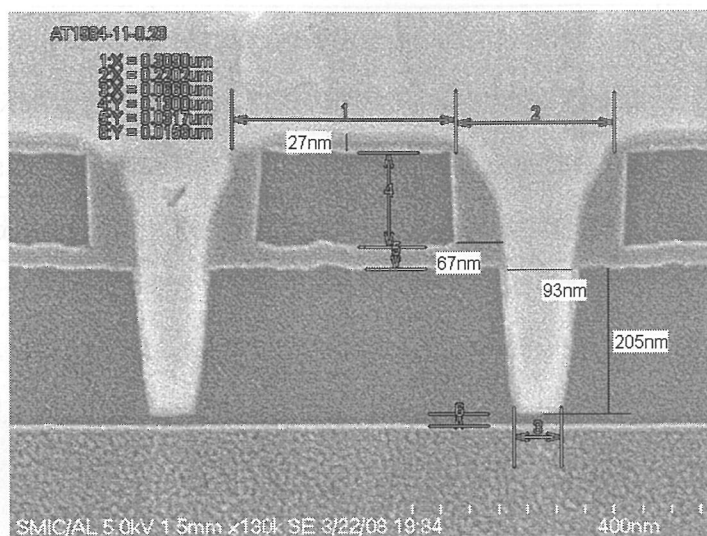


图 2.42 小电极孔洞填充后的形貌

6. 小电极的化学机械抛光实验

从小电极填充好后的形貌图中可见，要想控制好最后的小电极直径，W 的化学抛光(W CMP)需要停留在 SiN_x 那层。W CMP 工艺需要将上面的 330 nm 的 W、约 150 nm 的二氧化硅全部抛掉，这样就带来一个困难：在研磨二氧化硅这一层的时候，如果要选择比较高的抛光液，就会使得 W 电极突出的比较多，在研磨过程中容易造成电极的折断或者拔除。我们采取的办法是研磨 30 nm 的二氧化硅，然后改用选择比较高的抛光液研磨 W 电极，保证它不突出太多，造成电极的损坏，然后再重复四次上面两步程序，将小电极磨平，其具体的化学抛光程序如表 2.6 所示。通过上面的抛光程序后，小电极的形貌图如 2.43 所示。不同小孔直径所对应的小电极直径的大小分别为：126 nm，115 nm，92 nm。

表 2.6 小电极抛光流程图

W CMP Control	Recipe	EQP	Remark
1, Main Polish	14_VIAE	CCWWA57 or 62	Oxide loss about 70 nm
2, Buffer Oxide	T_P3BF300.cas	CCWWA57 or 62	Oxide loss about 30 nm
3, Buffer W	T_P2SOP15.cas	CCWWA57 or 62	run before tool PM
4, Buffer Oxide	T_P3BF300.cas	CCWWA57 or 62	Oxide loss about 30 nm
5, Buffer W	T_P2SOP15.cas	CCWWA57 or 62	run before tool PM

6, Buffer Oxide	T_P3BF300.cas	CCWWA57 or 62	Oxide loss about 30 nm
7, Buffer W	T_P2SOP15.cas	CCWWA57 or 62	run before tool PM
8, Buffer Oxide	T_P3BF300.cas	CCWWA57 or 62	Oxide loss about 30 nm
9, Buffer W	T_P2SOP15.cas	CCWWA57 or 62	run before tool PM

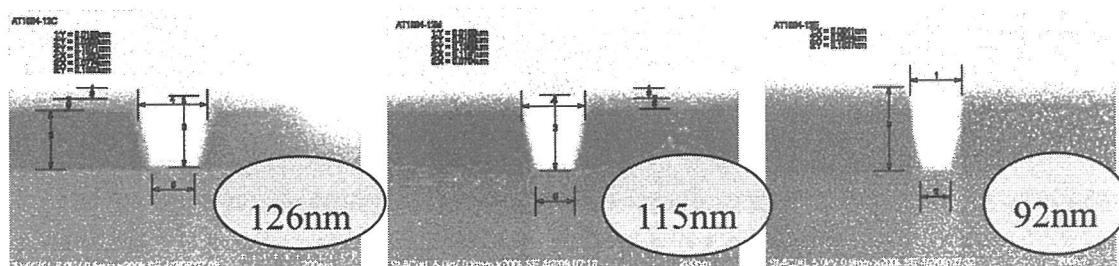


图 2.43 化学机械抛光后的小电极

综上所述，我们成功的制备出了直径在 120 nm 左右的加热电极，其与实际中工艺的集成如图 2.44 所示。

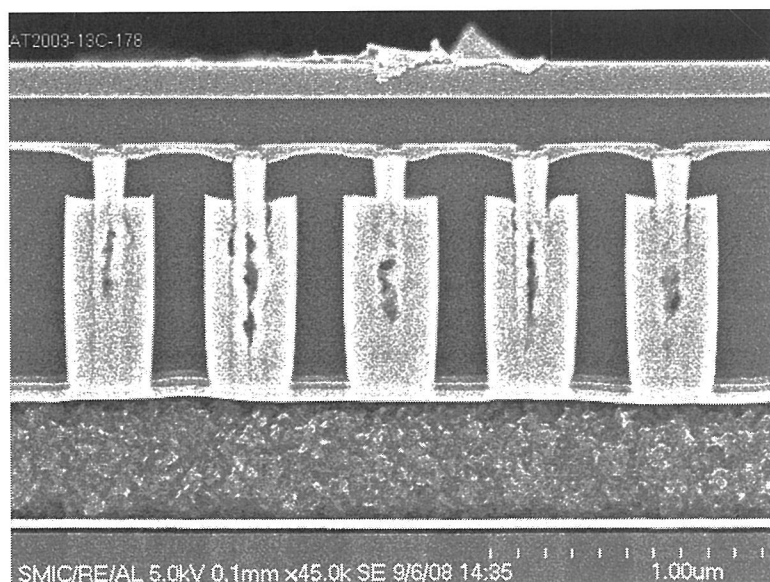


图 2.44 实际工艺中小电极的集成图

2.4.3 应用于器件制备的结果与分析

为了验证直径为 120 nm 电极的优越性，将制备好的小电极应用于集成器件单元，简要步骤如下：在所得的小电极结构上覆盖上 25 nm SiN_x 和 150 nm SiO_2 ，

将介质层刻蚀成 $300 \times 300 \text{ nm}^2$ 大小的 GST 操作窗口, 填充好 430 nm 的 GST 后抛平表面, 在沉积上 TiN 和 Al, 利用曝光和刻蚀等技术制备好上电极图形。

如图 2.45 所示, 利用直径为 120 nm 电极制备的 PCRAM 器件 RESET 操作电流为 1.2 V 左右, 其重复性比以前的都要好。图 2.46 给出了器件的疲劳测试结果, 芯片中器件单元高阻值与低阻值相差 1—2 个数量级, 器件单元重复擦写次数达到 10^6 次, 器件单元的操作电压为 3 V , 操作电流为 1.5 mA (计算结果), 写入时间为 50 ns , 擦除时间为 200 ns , 读取时间为 50 ns 。

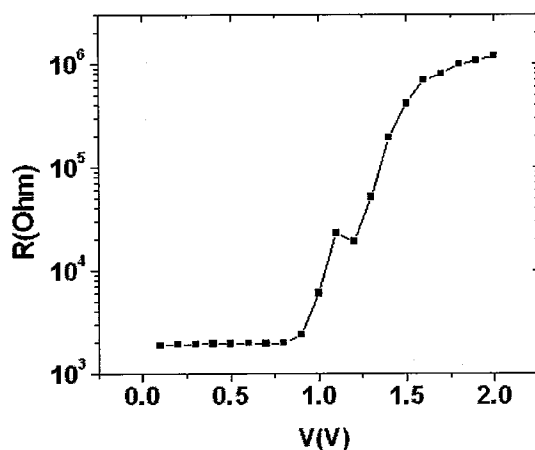


图 2.45 脉冲宽度固定时, 电阻与脉冲高度的关系图

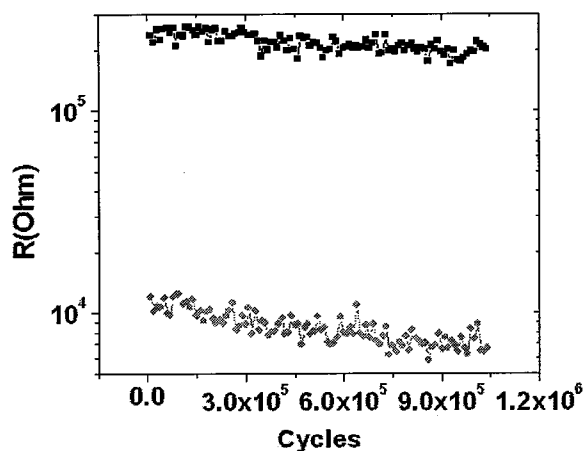


图 2.46 PCRAM 器件的疲劳特性曲线图

2.5 小结

加热电极的大小直接决定了与 GST 接触区域的大小,也就决定了相变存储器单元的 RESET 操作电流。本章详细研究了用于相变存储器的加热电极的制备方法,电极材料是工艺线常用的 W。

首先,利用 0.18 μm 工艺线 plug 技术制备出外径为 260 nm、内径为 100 nm 的亚微米管,降低了操作电流,但由于其中空结构引起器件的可靠性变差。为了避免亚微米管的缺点,通过降低 plug 高度和 PNL 沉积法成功制备了直径为 260 nm 的柱状电极,解决了中空引起器件失效的问题,但由于面积增大,导致了相变存储单元的 RESET 电流和一致性变差。

接着,在 0.18 μm 工艺线 plug 技术基础上,利用 PETEOS 填充并刻蚀成侧墙结构,来减小小孔的直径,成功制备出直径 160 nm 的柱状电极,使得相变存储单元的操作电压降低到 2 V。

为了克服 PETEOS 侧墙刻蚀的控制困难,采用 ONO 结构和 SiN_x 侧墙技术优化了工艺结构,并成功制备出直径为 120 nm 的柱状电极。相变存储器单元测试结果表明:RESET 电压降到了 1.2 V,测试结果的一致性和成品都有所增加,芯片中器件单元高阻值与低阻值相差 1—2 个数量级,器件单元重复擦写次数达到 10^6 次。

本章重点研究了加热电极的工艺制备方法,改善了相变存储单元的特性。

第三章 相变材料的干法刻蚀工艺研究

3.1 引言

刻蚀工艺是超大规模集成电路中实现图形转换必不可少的一道关键工艺步骤。半导体工业中普遍使用的两种刻蚀方式是：湿法腐蚀和干法刻蚀。早期的刻蚀工艺均采用湿法腐蚀，其工艺简单，设备易于建立，成本低，而且选择性好。但是湿法腐蚀对于最终的线宽和更陡的垂直结构很难控制，需要引入新的技术。而干法刻蚀使用等离子体中的气态刻蚀剂，刻蚀过程中常常兼有化学反应和物理反应。由于采用了等离子体，又常被称为“等离子体刻蚀”。

理想的刻蚀剖面应该是掩膜边缘的下方为完全垂直的侧壁结构，而实际过程中的刻蚀剖面都会存在纵向和侧向的刻蚀，这就是在光刻胶的下方产生钻蚀，并且形成了倾斜的侧壁剖面。另外，光刻胶的刻蚀速率不为零，因此掩膜本身也会在一定程度上被刻蚀，刻蚀发生在顶部和侧壁上。刻蚀进行时光刻胶掩膜越来越薄，薄膜的侧向刻蚀也就越来越严重。如果衬底也被刻蚀，那么衬底的剖面也会改变，这与刻蚀过程中的选择性相关。

刻蚀对选择性有一定的要求，即待刻薄膜的刻蚀速率要高于掩膜、衬底或下层薄膜的刻蚀速率。一般情况下，同时获得良好的方向性和选择性是非常困难的。刻蚀还有其他要求，如用于刻蚀的气体 and 液体必须能够输送到硅片的表面，同时刻蚀过程中的副产物可以轻易地去除等。这就要求湿法应生成可溶性的副产物，而干法则应生成气态或易挥发性的副产物。刻蚀工艺也应该满足刻蚀结果均匀一致，用于生产安全无害，对芯片结构损伤最小等要求。最后应当注意的是刻蚀过程中需要环境清洁，颗粒性副产物少，不污染薄膜，同时还应尽量节约成本。^[74]

3.2 干法刻蚀工艺的简介

干法刻蚀又称为等离子体刻蚀。若对物质施加高温或加速电子、加速离子等能量，使得中性物质透过激发、解离、离子化等反应产生分子、原子、受激态物质、电子、正离子、负离子、自由基、UV 光、可见光等物质，而这些物质混合

在一起的状态就称为等离子体。因其不同于固、液、气三态，故又称为物质的第四态。值得注意的是，等离子体虽含有正离子、电子等带电离子，但整体上是呈现电中性的。

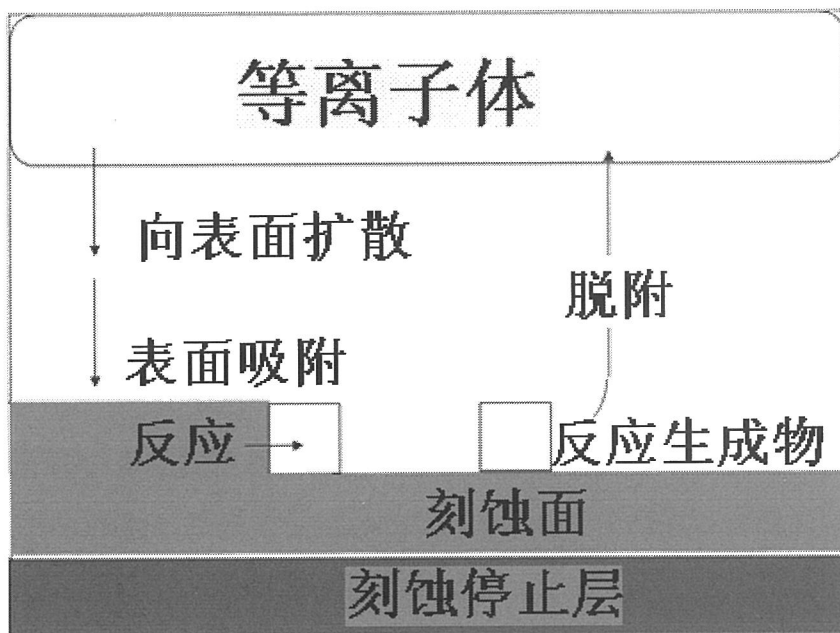


图 3.1 反应离子刻蚀示意图

如图 3.1 所示，等离子体中的离子以及自由基等扩散到硅片的表面，吸附在刻蚀材料的表面，并且与样品发生化学反应。反应生成物的脱附是反应离子刻蚀得以继续的前提条件，如果生成物是气态，很容易被真空泵吸出；如果生成物的挥发性很差，那就使得刻蚀难以进行，甚至刻蚀会被终止。参与等离子体刻蚀的两种主要物质是离子和电中性活性化学物质。多数情况下自由基是活性化学物质，有时其他活性物质也是，如 Cl_2 ，它们主要作为等离子体刻蚀过程中的化学成分。在刻蚀过程中主要的物理成分是离子，离子和活性中性物质可以单独使用，或者可以协同作用。当只有活性中性物质作用于刻蚀时，该过程叫做化学反应；当只有离子作用于刻蚀时，称为物理刻蚀或溅射；当离子和活性物质共同作用时，就成为离子增强刻蚀。

那等离子体刻蚀中的物理刻蚀和化学刻蚀是如何相互协作的呢？

大多数机理认为离子轰击会增强化学刻蚀过程中的某一个环节，如表面吸附、刻蚀过程中的化学反应、副产物生成、及副产物或未反应刻蚀剂的去除等。例如离子轰击会造成表面损伤，而使自由基更易于和表面材料发生化学反应；或