

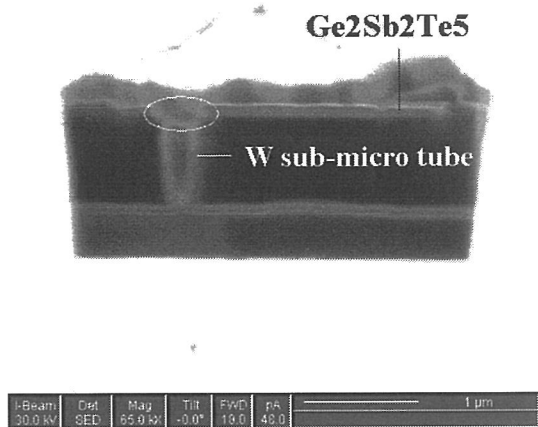


图 2.13 疲劳特性测试后 PCRAM 器件的 FIB 剖面图

为了解决亚微米管中空结构引起的器件不稳定性问题,那就需要将亚微米管中间的空隙填满,以保证器件在多次操作以后的可靠性。亚微米管可以采用填充材料再化学机械抛光的方法来填补空隙。若想填入介质材料,必须要拥有一台先进的设备,其必须具有非常好的台阶覆盖能力,目前本实验组还没有这台设备。只有将亚微米管填满,可以解决亚微米管器件不可靠的问题,但由于其电极面积较大,必然就会增加操作电流。

2.2.4 直径为 260 nm 无孔电极的改进方案

CMOS 工艺线中的 W 插塞技术已经比较成熟,被应用于 Contact 等金属层间的互连。但是,由于 W 的颗粒比较大,所以在 CVD 填充时在孔的中间会留下空隙。在 CMOS 互连技术中插塞不影响到芯片的性能,但作为 PCRAM 器件的加热电极来说,这个空隙将对器件的性能造成不小的影响。由于加热电极 W 是空心管状结构,这会导致相变材料在熔化过程中部分进入 W 管内部,从而使相变材料与上电极之间发生脱离,使得器件在多次写擦后造成器件单元的失效。因此,现成的 CMOS 插塞技术需要改进才能满足 PCRAM 器件加热电极的要求。

W 的填充能力是建立在 CVD 技术上,而 CVD 技术沉积的 W 在填孔时的特点是从边缘向孔的中间闭合的。W 的金属颗粒比较大,在孔内还没有完全填满时,孔的口部由于沉积速度比侧壁快首先闭合,从而使得内部留下空隙,但是孔的下半段是被填充满的。所以,我们可以利用 CVD 沉积的这种技术特点,将孔

的深度降低到一定程度就可以解决插塞的中空问题。另外, W 的脉冲原子沉积技术(PNL-Pulse Nuclear Layer)制备的 W 的颗粒比较小, 这样可以使得孔的口部相对闭合的较慢, 而孔洞内部的 W 可以填充的相对更充实点, 其实验数据如图 2.13 所示。

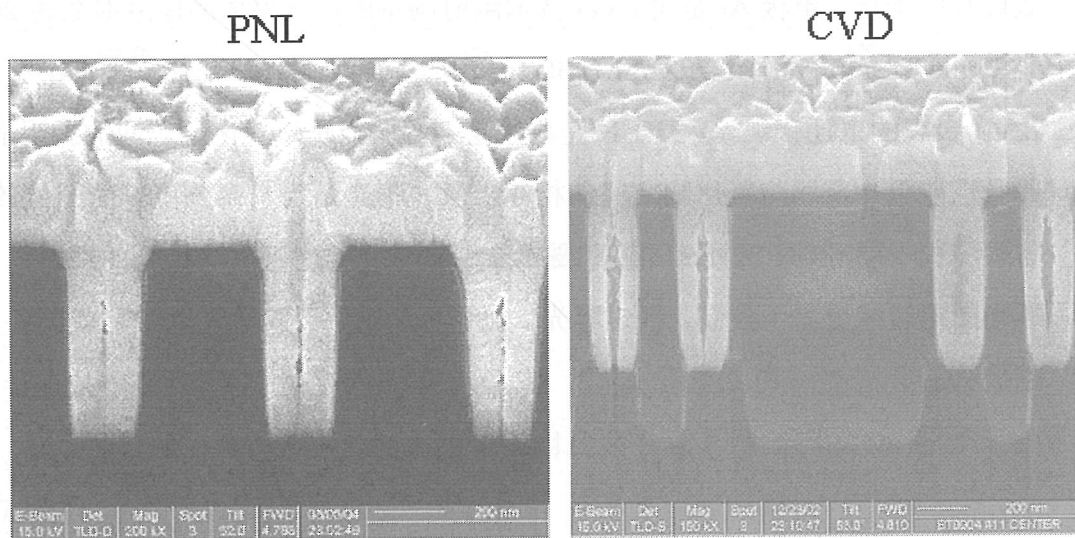


图 2.13 利用 PNL 和 CVD 技术填 W 的截面图

直径为 260 nm 无孔电极制备的框架流程如图 2.14 所示, 首先制备出下电极 Al, 利用现有的 0.18 μm 曝光技术制备出直径为 260 nm 小孔, 然后利用刻蚀的方法将孔洞做浅, 最后填充 W 并抛平表面得到直径为 260 nm 无孔电极, 其具体的工艺步骤如下:

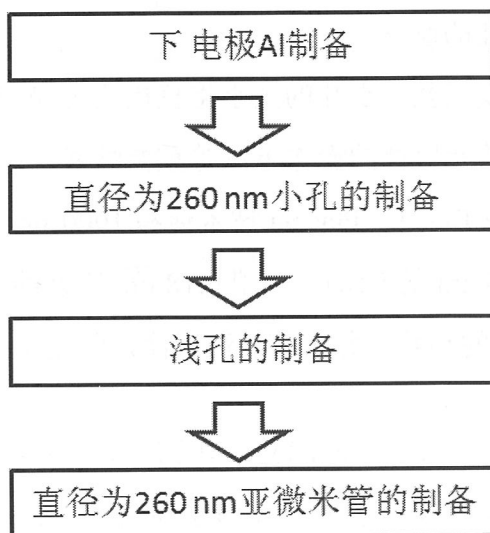


图 2.14 直径为 260 nm 无孔电极的制备流程图

(1) 下电极 Al 制备

如图 2.15 所示, 首先在 8 英寸的 p 型衬底上热氧化一层 SiO_2 , 利用激光扫描刻出零对准标记。这层氧化层是为了防止激光扫描时溅射出的颗粒污染硅片。然后将这层氧化层湿法腐蚀完并清洗烘干, 淀积 1050 nm 厚的 TEOS, 以防止衬底硅片的干扰。电极 Al 是用 PVD 技术溅射制备的, 其具体的厚度参数为 20 nm Ti/25 nm TiN/250 nm AlCu/5 nm Ti/30 nm TiN。其中 Al 中掺入少量的 Cu, 为了防止 Al 金属的电迁移现象, Ti/TiN 是黏附层, 增加金属与氧化层之间的黏附能力, 并且也能阻止金属与氧化物之间的相互扩散。曝光是为了得到更好的图像效果, 需要淀积一层 SiON 32 nm, 其重要成分是富氧化硅, 可以减小光的反射, 使得曝光图形边缘更易于控制。经过曝光、显影、刻蚀、去胶等光刻工艺就制备出下电极 Al。

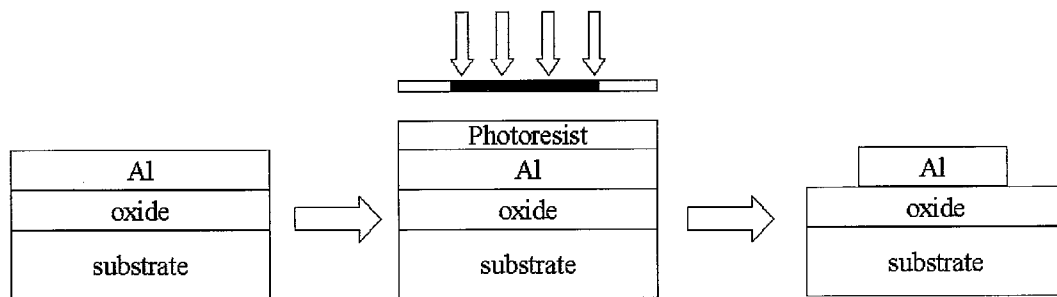


图 2.15 下电极 Al 的制备过程

(2) 直径为 260 nm 小孔的制备

这是最关键的一步工艺, 小孔的大小将直接决定 W 与相变材料接触面积的大小, 影响相变存储单元器件的操作电流等重要性能, 如图 2.16 所示。在制备完的 Al 电极上用 High Density Plasma 技术淀积 1000 nm USG, 然后 CMP 技术抛平表面, 只剩下 400 nm 的 USG。利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm、深度 400 nm 的小孔, 并去胶清洗干净, 防止小孔堵塞。

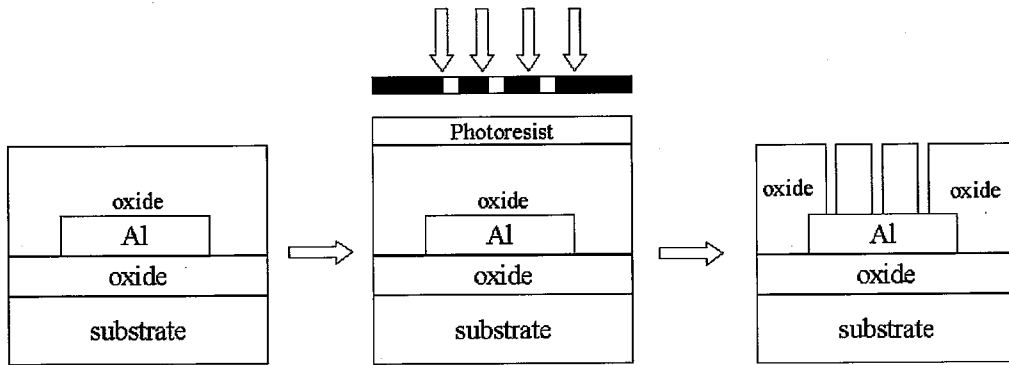


图 2.16 直径为 260 nm 小孔制备过程

(3) 浅孔的制备

这步的目的是将孔洞的深度做浅，其目的是有利于 W 将孔洞填充实，如图 2.17 所示。

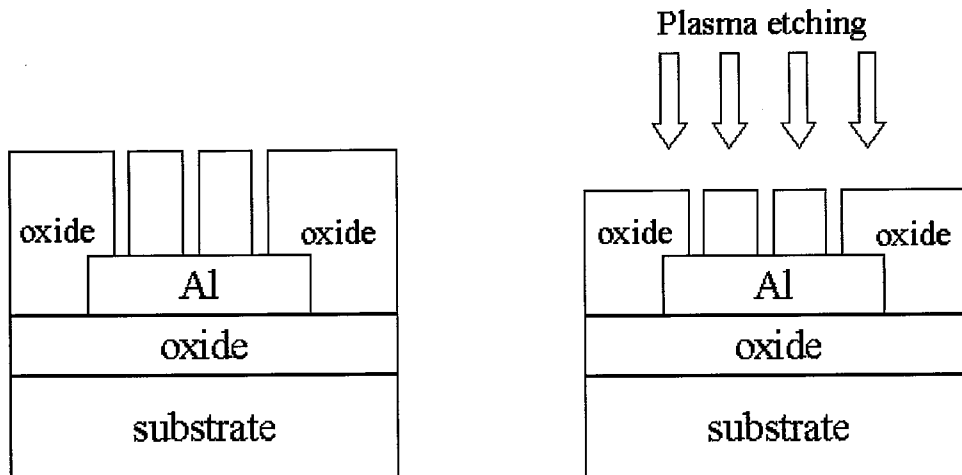


图 2.17 浅孔的制备

(4) W 亚微米管的制备

W Plug 是利用 PNL 技术填充的，这种 PNL 比 CVD 技术填孔后留下的缝隙小，因为 PNL 初始形成的 W 颗粒比较小，在沉积满孔洞后留下的缝隙小，如图 2.18 所示。然后利用 CMP 技术抛平表面，制备出用于 PCRAM 存储器的加热电

极。

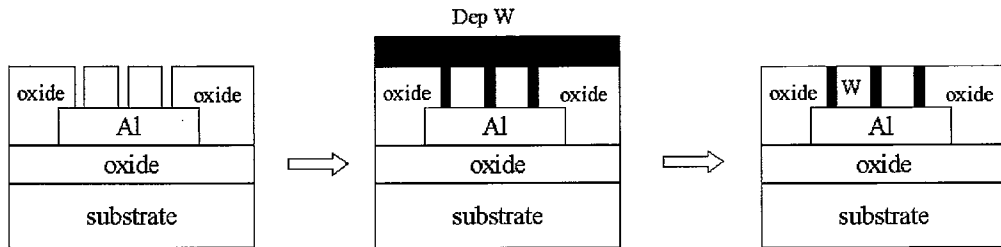


图 2.18 直径为 260 nm 无孔 W 亚微米管的制备

2.2.5 直径为 260 nm 无孔电极的电学性能

PCRAM 器件工作原理就是利用脉冲电流实现高低阻值的变化，所以器件单元的 SET、RESET 过程就显得比较重要，图 2.19 给出了测试的 RESET 操作窗口。说明了 RESET 过程中固定脉冲宽度 20 ns，测试电阻随着脉冲电压的大小变化情况，基本上都能够实现低阻值向高阻值的转变，电压分布为 2—4 V 之间；图 2.20 说明了 RESET 过程中固定脉冲电压 3 V，测试电阻随着脉冲宽度的大小变化情况，基本上在 20 ns 后可以实现高阻值向低阻值的转变。

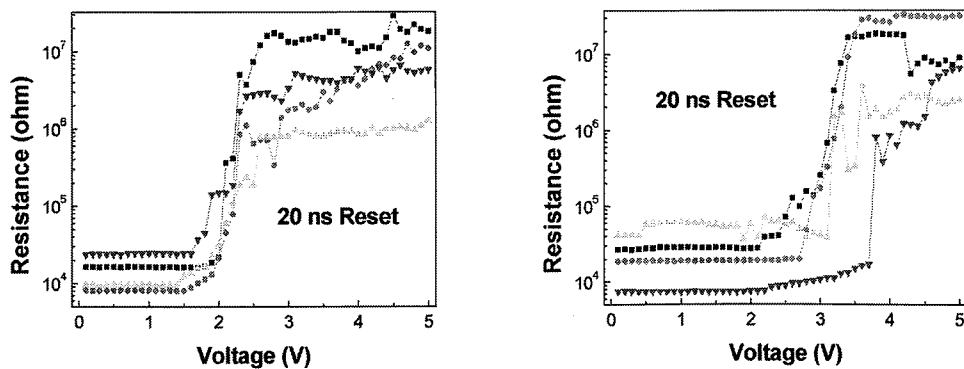


图 2.19 PCRAM 器件的 RESET 电压分布情况，(a)2~3 V; (b)3~4 V。

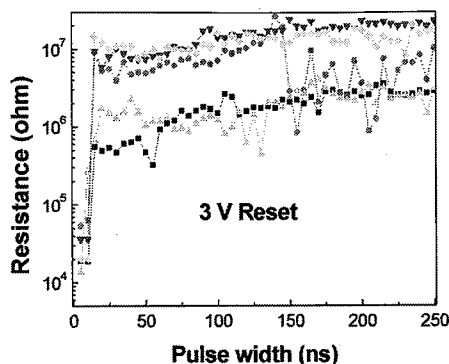


图 2.20 固定 3 V 操作电压情况下, PCRAM 器件的 RESET 操作图

经过对应用无孔电极制备的相变存储器的性能测试,结果表明器件的成品率达到 80%左右,比亚微米管的性能有明显的提高,但是由于加热电极与相变材料的接触面积相对于亚微米管变大,使得 RESET 操作电压的分布比较广,也造成了相变材料的相变不均匀,使得相变电阻的阻值范围比较广。^[73]无孔电极虽然一定程度上解决了 PCRAM 可靠性的问题,但是增加了 RESET 电压,导致功耗的上升。这是由于无孔电极相对于深亚微米 W 管,增加了电极的面积,因而减小了电流密度,使得 RESET 电压增加。深亚微米 W 管的接触面积为 $1/4 \times 3.14 \times (260^2 - 100^2) = 45216 \text{ nm}^2$,而无孔电极的接触面积为 $1/4 \times 3.14 \times 260^2 = 53066 \text{ nm}^2$,相当于加热电极的接触面积增加了将近 20%。要想 PCRAM 相对于其他产品有竞争力,就必须降低操作电流,因此需要继续减小加热电极的尺寸。

2.3 直径为 160 nm 加热电极的研究

2.3.1 实验方案

直径为 260 nm 无孔电极制备的框架流程如图 2.21 所示,首先制备出下电极 Al,利用现有的 0.18 μm 曝光技术制备出直径为 260 nm 小孔,制备出直径为 260 nm 的下电极,再用同一块光照制备直径为 260 nm 小孔,利用侧墙技术减小孔洞的直径,最后形成直径为 160 nm 的加热电极,其具体的工艺步骤如下:

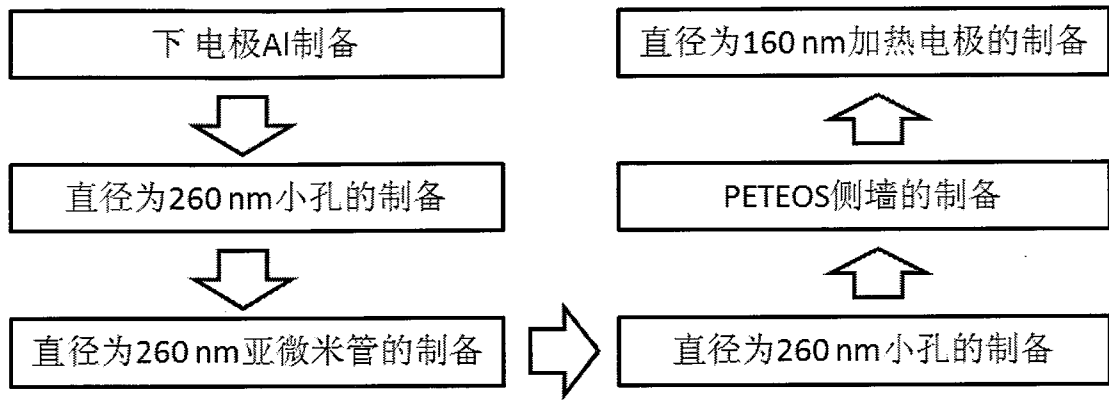


图 2.21 直径为 160 nm 加热电极制备流程图

(1) 下电极 Al 制备

如图 2.22 所示，首先在 8 英寸的 p 型衬底上热氧化一层 SiO_2 ，利用激光扫描刻出零对准标记。这层氧化层是为了防止激光扫描时溅射出的颗粒污染硅片。然后将这层氧化层湿法腐蚀完并清洗烘干，淀积 1050 nm 厚的 TEOS，以防止衬底硅片的干扰。电极 Al 是用 PVD 技术溅射制备的，其具体的厚度参数为 20 nm Ti/25 nm TiN/250 nm AlCu/5 nm Ti/30 nm TiN。其中 Al 中掺入少量的 Cu，为了防止 Al 金属的电迁移现象，Ti/TiN 是黏附层，增加金属与氧化层之间的黏附能力，并且也能阻止金属与氧化物之间的相互扩散。曝光是为了得到更好的图像效果，需要淀积一层 SiON 32 nm，其重要成分是富氧化硅，可以减小光的反射，使得曝光图形边缘更易于控制。经过曝光、显影、刻蚀、去胶等光刻工艺就制备出下电极 Al。

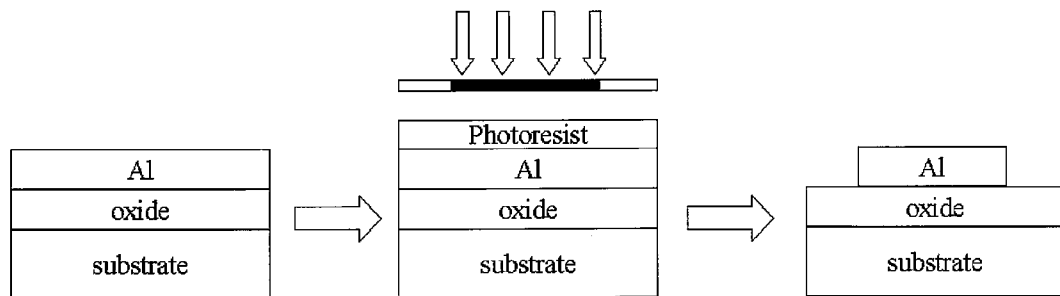


图 2.22 下电极 Al 的制备过程

(2) 直径为 260 nm 小孔的制备

如图 2.23 所示。在制备完的 Al 电极上用 High Density Plasma 技术淀积 800 nm USG，利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm、深度 800 nm 的小孔，并去胶清洗干净，防止小孔堵塞。

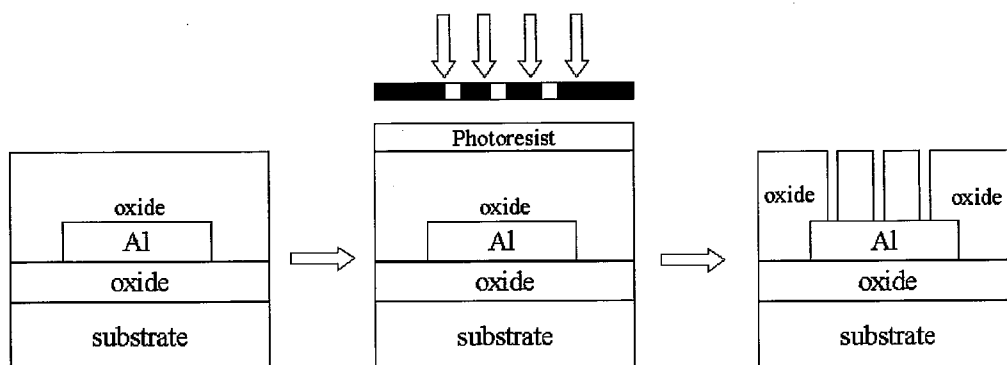


图 2.23 直径为 260 nm 小孔制备过程

(3) W 亚微米管的制备

W Plug 是利用 PNL 技术填充的，然后利用 CMP 技术抛平表面，制备出深亚微米 W 管衬底电极，如图 2.24 所示。

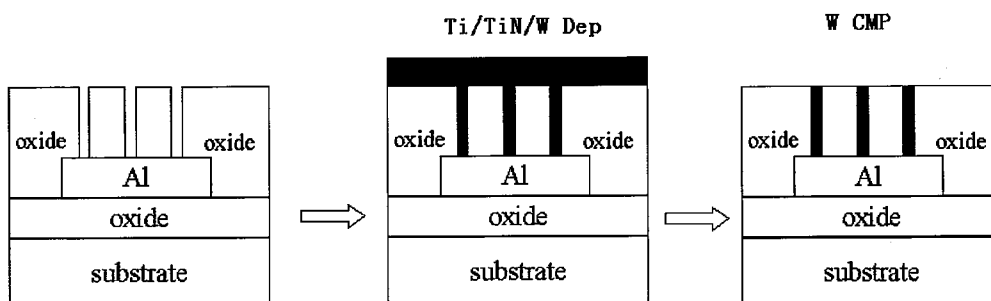


图 2.24 W 亚微米管的制备

(4) 直径为 260nm 小孔制备

在图 2.24 制备出的电极衬底上依次沉积 100 nm SiN_x 和 200 nm SiO_2 。100 nm 厚的 SiN_x 是最终过渡加热电极的厚度，其作用之一是 SiO_2 刻蚀的停止层，其刻蚀选择比可达 1: 6；另外 SiN_x 也是最后 W CMP 的停止层，其与 W 的 CMP 选

择比可达 1: 10。200 nm 厚的 SiO_2 可以保证侧墙的有一定的垂直度。利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm 的小孔，并去胶清洗干净，防止小孔堵塞。值得一提的是，这里使用的掩膜版与前面一道小孔制备工艺是同一块掩膜版，节约了成本，其具体的工艺步骤如图 2.25 所示。

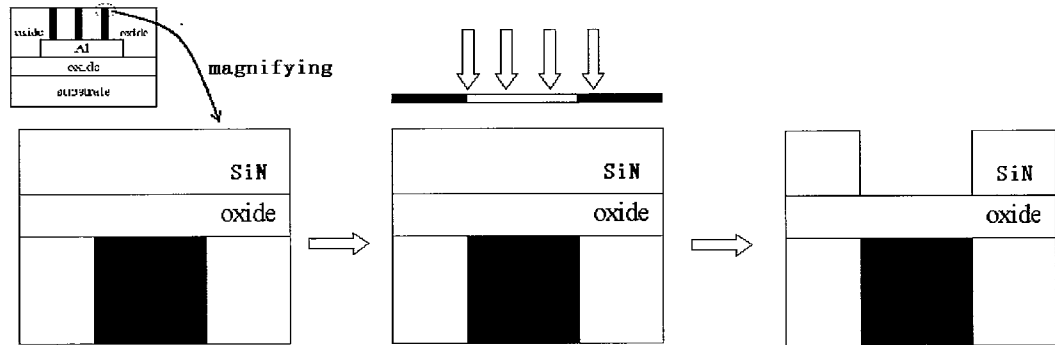
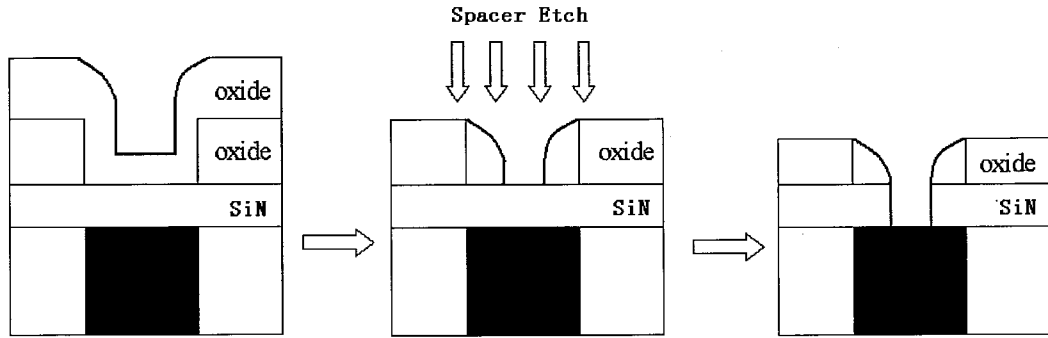


图 2.25 电极的直径为 260nm 小孔制备

(5) PETEOS 侧墙的制备

在图 2.25 所得结构上沉积一层 150 nm 厚的 PETEOS，其侧墙的台阶覆盖率为 50%，并且回蚀，制备 70-80 nm 厚的 PETEOS 侧墙。利用侧墙作为硬掩膜，将下层的 SiN_x 刻蚀完。 SiN_x 小孔的直径由小孔直径和侧墙的厚度共同决定，即小孔直径减去两边侧墙的厚度，这样 SiN_x 小孔直径约为 100 nm 左右。具体步骤如图 2.25 所示。

侧墙工艺的成功与否关键在于两步刻蚀工艺好坏。第一步的侧墙回蚀必须保证侧墙具有一定的垂直度，否则将影响 SiN_x 小孔的直径大小；第二步 SiN_x 刻蚀时，对 PETEOS 的刻蚀选择比要高，否则侧墙将会被刻蚀掉，影响 SiN_x 小孔的直径大小。

图 2.25 SiO_2 侧墙的制备

(6) 直径为 160 nm 纳米电极制备

W Plug 是利用 PNL 技术填充的, 这种 PNL 比 CVD 技术填孔后留下的缝隙小, 因为 PNL 初始形成的 W 颗粒比较小, 在沉积满孔洞后留下的缝隙小, 如图 2.26 所示。然后利用 CMP 技术抛平表面, 制备出直径为 160 nm 加热电极。 SiN_x layer 用来做 CMP 的停止层。

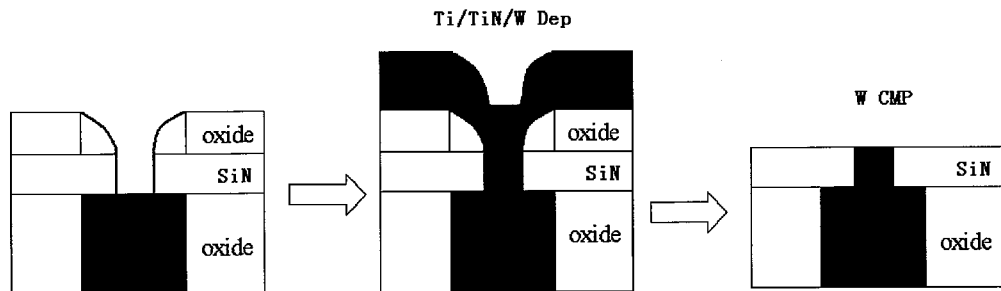


图 2.26 直径为 160 nm 纳米电极的制备

2.3.2 具体工艺控制与结果

1. PETEOS 的台阶覆盖

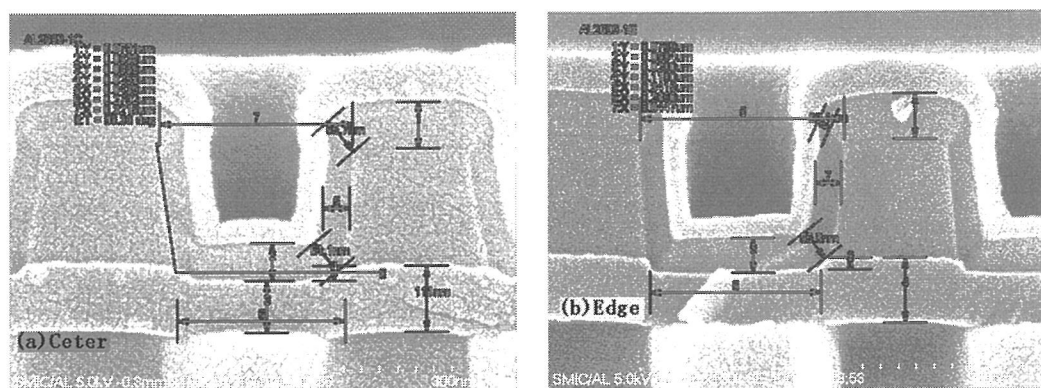


图 2.27 PETEOS 80 nm 的台阶覆盖图 (a)Center, (b)Edge

如图 2.27 所示, 为了确定 PETEOS 的台阶覆盖率, 在直径 260 nm 的小孔中填入 80 nm 的 PETEOS, 并用 SEM 观测其截面图, 测得数据见表 2.1。在小孔直径为 $0.28\mu\text{m}$ 刻蚀角度为 81° 时, PETEOS 的侧墙覆盖率为 55% 左右, 底部的覆盖率为 58% 左右。也就是说要想得到 100 nm 直径的孔洞, 至少需要沉积 180 nm 左右的 PETEOS, 但是随着孔洞直径的减小, over-hang 的现象将会变得严重。最终孔洞直径的大小由小孔的直径、刻蚀角度和侧墙的台阶覆盖率等因数共同决定。

表 2.1 PETEOS 的台阶覆盖率

	Center		Edge	
Unit (μm)	Thickness	Step coverage	Thickness	Step coverage
PETEOS thickness	0.08 (0.0791)		0.08 (0.0791)	
Via CD	0.279		0.286	
Via angle	81.67°		85.18°	
Sidewall	0.0439	55.5%	0.0447	58.1%
Bottom	0.0638	80.7%	0.0584	75.9%

2. 侧墙的刻蚀工艺

侧墙刻蚀工艺的成功与否决定着最终孔洞的直径。从图 2.28 中可见, 侧墙已经被刻蚀干净, 并且孔洞的直径被扩大。如此结果的主要原因是 SiN_x 刻蚀后形成的侧墙形状比较斜。还有另外一个原因, 用 PETEOS 侧墙作为硬掩膜刻蚀 SiN_x 时, PETEOS 对 SiN_x 的选择比不够大。

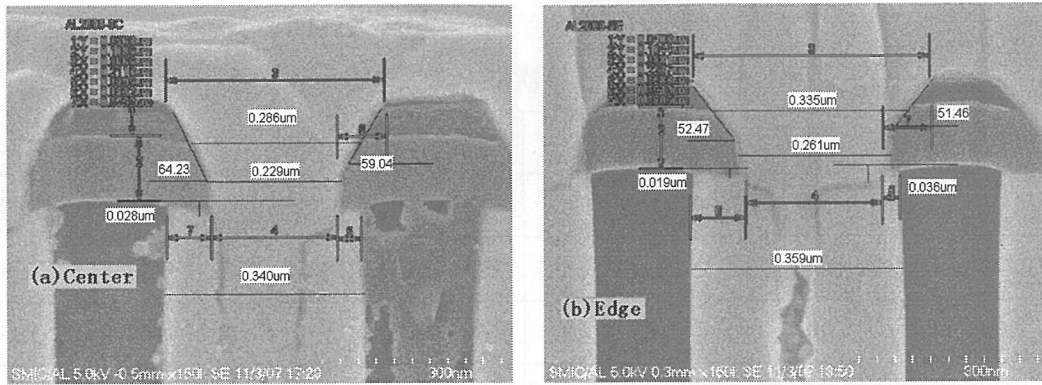


图 2.28 侧墙刻蚀和 W 沉积后的 SEM 截面图 (a)Center, (b)Edge

侧墙刻蚀工艺必须具备以下两点要求：首先 SiO_2 侧墙的形状必须要有一定的垂直度，在刻蚀 SiN_x 作为硬掩膜刻蚀的时候，才能很好的控制 SiN_x 的直径；如果侧墙的角度太倾斜，那么就会导致 SiN_x 刻蚀后的孔洞的角度倾斜，从而导致电极的直径偏大。另外，刻蚀 SiN_x 时所选择的刻蚀程序也有一定的要求，对 SiO_2 的刻蚀选择比一定要高，否则 SiO_2 侧墙的形状会被破坏，从而导 SiN_x 刻蚀后的孔洞的角度倾斜，电极的直径偏大。

3. 电极的 W CMP 工艺

根据前面 PETEOS 的台阶覆盖率和侧墙刻蚀的结果可知，在此基础上要想做出 100 nm 直径的电极，必须增加 PETEOS 的厚度，以增加侧墙的厚度，从而达到控制电极最终直径的目的。

此外，由图 2.28 可知，侧墙刻蚀后的形貌比较倾斜，所以最终电极的直径还由另外一个因数影响：W CMP 的停止层。不同深度的孔洞对应的直径大小不同，基本上是孔洞越深，其对应的直径就越小。因此要想得到直径较小的电极，就必须严格控制 W CMP 的深度。

W CMP 的工艺主要分为两步。第一步是 W CMP，这步抛光的程序主要针对 W 的抛光，其抛光速率相对 SiO_2 比较高，可以将 SiO_2 作为停止层；第二步是 SiO_2 的抛光，这步主要针对 SiO_2 的抛光，其抛光速率相对 W 比较快，可以使 W 高于 SiO_2 面。表 2.2a 和 2.2b 分别给出了 3 次 W CMP 后 SiO_2 的厚度和对应的孔洞的直径。由表中可见，经过三次 W CMP 后 SiO_2 已经完全被抛完，CMP 停止在 SiN_x 上面，同时对应的孔洞直径减小到 160 nm。

表 2.2a 给出了 3 次 W CMP 后 SiO₂ 的厚度

Thickness/nm	1	2	3	4	5	6	7	8	9	Mean/nm
PETEOS 80 nm	285	284	286	283	286	283	283	281	280	284
PETEOS 160nm	352	352	352	350	357	358	352	362	343	353
SPA Etch	160	163	164	154	166	152	151	150	139	155
First CMP	67	68	67	60	65	61	59	56	40	60
Add 15 sec CMP	32	34	34	34	29	23	33	35	34	32

表 2.2b 给出了 3 次 W CMP 后对应的孔洞的直径

CD control	1	2	3	4	5	Mean/nm
Via ADI bottom CD	259	255	272	252	244	256
Via AEI bottom CD	269	266	278	266	270	270
SPA Top CD	306	316	300	300	283	301
SPA Bottom CD	143	147	113	124	140	133
W plug CD	251	260	272	259	239	256
First buffer 30 nm	197	200	189	195	205	197
Second buffer 30 nm	159	163	165	160	143	158

为了更好的表征电极形貌，利用 SEM 量测电极的直径，如图 2.29 所示。图 2.29(a)给出了第一次 W CMP 后电极形貌俯视图，其电极的直径为 256 nm；图 2.29(b)给出了第二次 W CMP 后电极形貌俯视图，其电极的直径为 197 nm；图 2.29(c)给出了第三 W CMP 后电极形貌俯视图，其电极的直径为 158 nm；

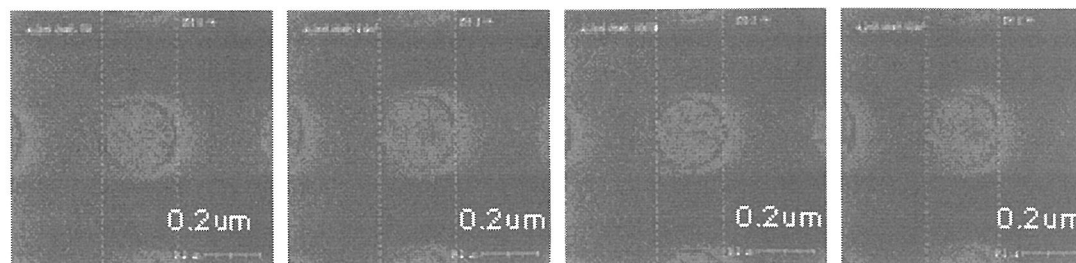


图 2.29 (a) 第一次 W CMP 后电极形貌俯视图

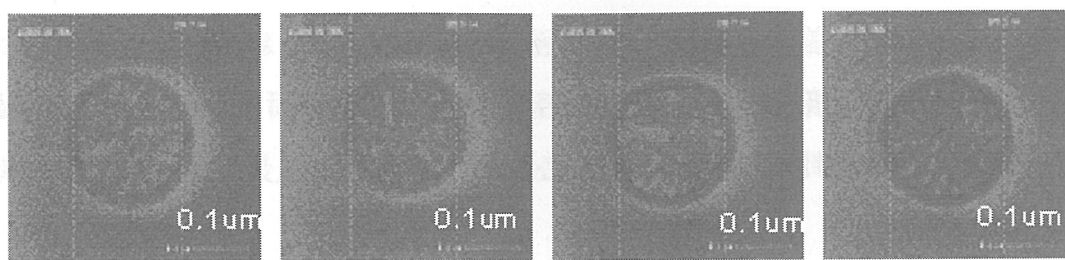


图 2.29 (b) 第二次 W CMP 后电极形貌俯视图

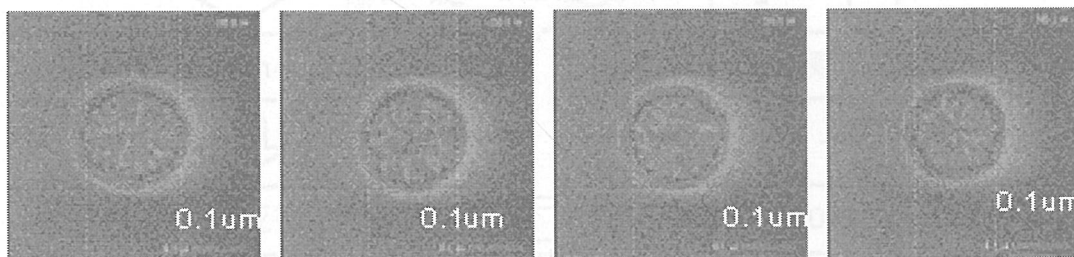


图 2.29 (c) 第三次 W CMP 后电极形貌俯视图

本次实验对 PETEOS 的台阶覆盖率,侧墙的刻蚀,以及 W CMP 工艺进行了初步的探索。在 PETEOS 台阶覆盖率不够的情况下,通过增加 PETEOS 沉积的厚度,从而一定程度上增加了侧墙的厚度,达到了减小孔洞直径的目的。在侧墙刻蚀形貌比较倾斜的情况下,通过调节 W CMP 工艺来达到减小孔洞直径的目的。最终成功的制备了直径为 160 nm 左右的纳米电极,其接触面积为 20096 nm^2 ,仅有无孔电极的 40%,为 PCRAM 记忆核心单元的研究提供了基础。

2.3.3 器件测试的结果与分析

通过简单的 PCRAM 器件 SET 和 RESET 操作结果来分析直径为 160 nm 电极的性能。施加一个 RESET 脉冲宽度 20 nm 不变而脉冲高度逐渐增加的脉冲信号,脉冲高度逐渐增加的脉冲信号通过存储单元转化为逐渐增加的热能,则相变材料的温度也在逐渐增加,当相变材料的温度增加到熔化温度以上时迅速冷却,使得晶格来不及重组,保持晶格无序的非晶态,从而实现低阻值到高阻值的转变。如图 2.30 所示,脉冲宽度固定时,PCRAM 器件的 RESET 电压为 1—2 V 之间。这个 RESET 参数和直径为 260 nm 电极测试的结果相比较,足足降低了 1 V,这也用实验证明了 PCRAM 器件的性能与电极面积的大小有直接的关系。但是由于

PETEOS 的侧墙覆盖能力不强, 以及后续 SiN_x 刻蚀工序中对 PETEOS 的选择比较小, 导致了电极直径难以精确的控制。因此要想在以后产业化的 PCRAM 器件中应用, 就必须针对侧墙和刻蚀工艺做进一步的优化。

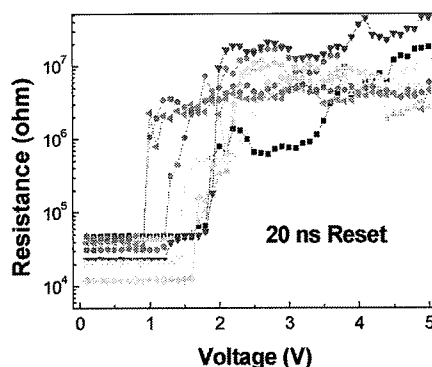


图 2.30 脉冲宽度固定时, 电阻随脉冲高度的变化关系图

2.4 直径为 120 nm 加热电极的研究

2.4.1 实验方案

根据直径为 160 nm 无孔电极的结果可知: 利用 PETEOS 侧墙作为硬掩膜定义孔洞直径的方案存在以下几个缺点:

- (1) PETEOS 的侧墙台阶覆盖能力不是很高;
- (2) PETEOS 侧墙的形貌太倾斜;
- (3) SiN_x 刻蚀时对 PETEOS 的选择比难以做高, 导致孔洞直径变大, 影响纳米电极的最终直径。

针对以上几个难点, 后续的纳米电极制备作出如下调整:

- (1) 调整不同直径, 不同刻蚀角度的小孔对应的台阶覆盖;
- (2) 制备 PESiN_x 的侧墙;
- (3) 采用 O-N-O 的衬底薄膜结构, 中间的 PESiN_x 可以作为顶层 Oxide 的刻蚀停止层, 也是最后 W CMP 的停止层。另外, 刻蚀底层 Oxide 时, 对 SiN_x 的刻蚀选择比可以很大, 这样可以容易控制最后纳米电极的直径。

直径为 120 nm 加热电极制备的框架流程如图 2.31 所示, 首先制备出下电极