

第一章 绪论

1.1 引言

半导体存储器芯片按存取方式(读写方式)可分为只读存储器芯片(ROM)和随机存取存储器芯片(RAM)。早期的 ROM 是由半导体厂按照固定线路设计制造的,而制造好以后 ROM 中的信息只能被读出,而不能被操作者修改或删除,故一般用于存放固定的程序,如监控程序、汇编程序等,以及存放各种表格。可编程 ROM 因其写入过程是破坏性非可逆性的过程,只能进行一次修改,用户可以根据需要对其进行一次性编程。后来发展到电可擦的可编程只读存储器,它是用紫外线照射来擦除原来的数据信息,是一种既可以像 RAM 可以随机改写,又可以像 ROM 在断电的情况下保存信息。而 RAM 的特点就是可以随时对其进行读写操作, RAM 主要用来存放各种现场的输入输出数据,中间计算结果,以及与外部存储器交换信息和作堆栈用。它的存储单元根据具体需要可以读出,也可以写入或改写。由于 RAM 由电子器件组成,所以只能用于暂时存放程序和数据,一旦关闭电源或发生断电,其中的数据就会丢失。现在的 RAM 多为 MOS 型半导体电路,它分为静态和动态两种。静态 RAM 是靠双稳态触发记忆信息的;动态 RAM 是靠 MOS 电路中的栅极电容记忆信息的。由于电容上的电荷会泄漏,需要定时给与补充,所以动态 RAM 需要设置刷新电路。但动态 RAM 比静态 RAM 集成度高、功耗低,从而成本也低,适于作大容量存储器。

随着信息的高速发展,存储器的发展速度已经不能满足其需求。由于数据信息量的激增,对信息存储量的要求也剧增,促使各大半导体厂商不断投入巨额资金发展亚微米以及深亚微米集成电路技术,提高存储器的集成度,不断推出大容量存储芯片。随着微处理器速度的飞速发展,存储器的速度已经不能满足处理器的要求,也制约了计算机性能的进一步提升,因而发展高速存储器也显得越来越重要。另外,便携式笔记本电脑、数码相机、MP3 等数字产品的普及化,要求产品有更小的体积,更低的功耗以及更长的寿命。

由于应用需求的推动,非易失性存储器技术发展非常迅速。以前许多应用只需存储少量启动代码即可,而现在的应用却需要存储千兆字节(GB)的音乐和视频

数据,也因此为非易失性存储器的发展带来革命性的变化。非易失性存储器起源于简单的 ROM,随后演变成 PROM,再后来成为 EPROM。而 1988 年英特尔公布了快速随机存取的 NOR 闪存。尽管 EPROM 技术已经有了 10 多年的历史,成熟度也大为完善,NOR 闪存还是迅速占领了 EPROM 的内存接口市场。而 NAND 闪存比 NOR 技术更早,已经有 20 多年历史了。最初,NAND 闪存的年度发货量增幅缓慢,后期则成为市场上炙手可热的产品,其市场上取得的成功主要归功于它独特的特点。从读取和写入的角度来看,易失性存储器通常都是非常快速的,而非易失性存储器的写入一般较为缓慢;但在一定次数的写入操作后,存储器会达到自己的承受极限而出现故障。而理想的存储器应当具备非易失性以及 SRAM 类似的存取速度,同时没有读取/写入限制,以及只消耗非常少的功率,这正是推动最新一代非易失性存储器快速发展的因素。

没有任何一款新存储器能够在所有领域都取得优势,但这些存储器均在存储器特性的某些重要方面取得了关键性的进步。更高密度、更大带宽、更低功耗、更短延迟时间、更低成本和更高可靠性是存储器设计和制造者追求的永恒目标。根据这一目标,人们研究各种存储技术,以满足应用的需求。本文对目前几种比较有竞争力和发展潜力的新型非易失性存储器做了一个简单的介绍。

1. 铁电存储器(FeRAM)

铁电存储器是一种在断电时不会丢失内容的非易失存储器,具有高速、高密度、低功耗和抗辐射等优点。当前应用于存储器的铁电材料主要有钙钛矿结构系列,包括 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$, $\text{SrBi}_2\text{Ti}_2\text{O}_9$ 和 $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ 等。铁电存储器的存储原理是基于铁电材料的高介电常数和铁电极化特性,按工作模式可以分为破坏性读出(DRO)和非破坏性读出(NDRO)。^[1]DRO 模式是利用铁电薄膜的电容效应,以铁电薄膜电容取代常规的存储电荷的电容,利用铁电薄膜的极化反转来实现数据的写入与读取。FeRAM 就是基于 DRO 工作模式,这种破坏性的读出后需重新写入数据,所以 FeRAM 在信息读取过程中伴随着大量的擦除/重写的操作。随着不断地极化反转,此类 FeRAM 会发生疲劳失效等可靠性问题。目前,市场上的铁电存储器全部都是采用这种工作模式。NDRO 模式存储器以铁电薄膜来替代 MOSFET 中的栅极二氧化硅层,通过栅极极化状态($\pm\text{Pr}$)实现对来自源漏电流的

调制,使它明显增大或减小,根据源漏电流的相对大小即可读出所存储的信息,而无需使栅极的极化状态反转,因此它的读出方式是非破坏性的。^[2-3]基于 NDRO 工作模式的铁电场效应晶体管(FFET)是一种比较理想的存储方式。但迄今为止,这种铁电存储器尚处于实验室研究阶段,还不能达到实用程度。

Ramtron 公司是最早成功制造出 FeRAM 的厂商。该公司刚推出高集成度的 FM31 系列器件,这些产品集成最新的 FeRAM 存储器,可以用于汽车电子、消费电子、通信、工业控制、仪表和计算机等领域。Toshiba 公司与 Infineon 公司 2003 年合作开发出存储容量达到 32 Mb 的 FeRAM,该 FeRAM 采用单管单电容(1T1C)的单元结构和 0.2 μm 工艺制造,存取时间为 50 ns,循环周期为 75 ns,工作电压为 3.0 V 或 2.5 V。Matsushita 公司也在 2003 年 7 月宣布推出世界上第一款采用 0.18 μm 工艺大批量制造的 FeRAM 嵌入式系统芯片(SOC)。该公司新开发的这种产品整合了多种新颖的技术,包括采用了独特的堆叠结构,将存储单元的尺寸减小为原来的十分之一,采用了厚度小于 10 nm($\text{SrBi}_2\text{Ti}_2\text{O}_9$)的超微铁电电容,从而大幅减小了裸片的尺寸,拥有低功耗,工作电压仅为 1.1 V。2003 年初,Symetrix 公司向 Oki 公司授权使用 NDRO FeRAM 技术,后者采用 0.25 μm 工艺生产 NDRO FeRAM。NDRO FeRAM 是基于 Symetrix 称为 Trinion 单元的新型技术,但是该公司没有披露具体的细节。FeRAM 已成为存储器家族中最有发展潜力的新成员之一。然而,FeRAM 的批评者指出,当达到某个数量的读周期之后 FeRAM 单元将失去耐久性,而且由阵列尺寸限制带来的 FeRAM 成品率问题以及进一步提高存储密度和可靠性等问题仍然亟待解决。

2. 磁性随机存储器(MRAM)

从原理上讲,MRAM 的设计是非常诱人的,它通过控制铁磁体中的电子旋转方向来达到改变读取电流大小的目的,从而使其具备二进制数据存储能力。理论上来说,铁磁体是永久不会失效的,因此它的写入次数也是无限的。在 MRAM 发展初期所使用的磁阻元件是被称为巨磁阻(GMR)的结构,此结构由上下两层磁性材料,中间夹着一层非磁性材料的金属层所组成。^[4-5]由于 GMR 元件需较大电流成为无法突破的难点,因此无法达到高密度存储器的要求。与 GMR 不同的另一种结构是磁性隧道结 (MTJ)。MTJ 与 GMR 元件的最大差异是隔开两层磁性

材料的是绝缘层而非金属层。MTJ 元件是由磁场调制上下两层磁性层的磁化方向成为平行或反平行来建立两个稳定状态,在反平行状态时通过此元件的电子会受到比较大的干扰,因此反映出较高的阻值;而在平行状态时电子受到的干扰较小得到相对低的阻值。MTJ 元件通过内部金属导线所产生的磁场强度来改变不同的阻值状态,并以此记录“0”与“1”的信号。^[6-7]

MRAM 当前面临的主要技术挑战是磁致电阻太过微弱,两个状态之间的电阻只有 30%~40% 的差异,读写过程要识别出这种差异的话,还有一定的难度。不过,NVE 公司于 2003 年 11 月宣布,其工程师研制成功迄今为止最高的自旋穿隧结磁阻(SDT)。该公司采用独特材料,室温下在两个稳定状态之间使穿隧磁阻变化超过 70%。NVE 已向包括 Motorola 公司在内的几家致力商用化 MRAM 的公司授权使用其 MRAM 知识产权。IBM、Motorola 和 Infineon 等公司的 MRAM 样品已纷纷出炉,预计以后更多的 MRAM 商用产品将陆续面市。2002 年 6 月 Motorola 公司演示了第一片 1Mb 的 MRAM 芯片,据悉 2003 年 10 月该公司向其他公司推出了采用 0.18 μm 工艺的 4Mb MRAM 样片。Toshiba 和 NEC 公司的联合研究小组计划采用 0.25mm 磁性隧道结与 0.18 μm 工艺相结合的方式,希望在几年后实现 256Mb MRAM 的量产。Infineon 和 IBM 公司也在 2003 年 6 月联合宣布,他们开发出的高速 128Kb MRAM 采用 0.18 μm 工艺制作,为目前业界工艺尺寸最小的 MRAM 产品有望得到广泛应用。

3. 相变存储器(OUM)

奥弗辛斯基(Stanford Ovshinsky)在 1968 年发表了第一篇关于非晶体相变的论文,创立了非晶体半导体学。一年以后,他首次描述了基于相变理论的存储器:材料由非晶体状态变成晶体,再变回非晶体的过程中,其非晶体和晶体状态呈现不同的反光特性和电阻特性,因此可以利用非晶态和晶态分别代表“0”和“1”来存储数据。后来,人们将这一学说称为奥弗辛斯基电子效应。相变存储器是基于奥弗辛斯基效应的元件,因此被命名为奥弗辛斯基电效应统一存储器(OUM)。^[8-9]从理论上来说,OUM 的优点在于产品体积较小、成本低、可直接写入(即在写入资料时不需要将原有资料抹除)和制造简单,只需在现有的 CMOS 工艺上增加 2~4 次掩膜工序就能制造出来。

OUM 是世界头号半导体芯片厂商 Intel 公司推崇的下一代非易失性、大容量存储技术。Intel 和该项技术的发明厂商 Ovonyx 公司一起,正在进行技术完善和可制造性方面的研发工作。Intel 公司在 2001 年 7 月就发布了 0.18 μm 工艺的 4Mb OUM 测试芯片,该技术通过在一种硫化物上生成高低两种不同的阻抗来存储数据。2003 年 VLSI 会议上, Samsung 公司也报道研制成功以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)为存储介质,采用 0.25 μm 工艺制备的小容量 OUM,工作电压在 1.1V,进行了 1.8×10^9 读写循环,在 1.58×10^9 循环后没有出现疲劳现象。

半导体存储器主要以速度、功耗、价格、循环寿命和非挥发性等指标衡量其水平。目前已有多种半导体存储技术,包括常规的易失性存储技术(如SRAM和DRAM)和非易失性存储技术(如EEPROM、FLASH等)。虽然这些技术已经满足一系列的应用,但目前还没有一种理想的,基于硅材料的半导体工艺,可用于大批量生产,其存储性能具有DRAM的高容量低成本、SRAM的高速度、闪存的数据非挥发性、同时可靠性高、操作电压低、功耗又小的存储器。而这些性能,恰恰是3C融合和移动应用产品所需要的。因此,很多厂商和机构一直在探索超越目前基于硅材料半导体工艺的存储技术,同时最好采用当前的半导体平面生产工艺兼容。因此,对新一代存储器的要求是:便宜、省电、读写速度要快、掉电后数据不能丢失,其速度达到DRAM的水平。目前新一代的存储器发展方向主要有MRAM、FeRAM和OUM或PCRAM等。MRAM采用和硬盘类似的材料(铁"钴"镍基质薄膜)和读写原理,MRAM器件也是数据非易失性的;FeRAM技术的核心是集成到芯片中的微小铁电体,但其读出过程对数据具有破坏性;PCRAM存储器是一种新兴的半导体存储器,与目前主流及在研的多种半导体存储技术相比,包括常规的易失性技术,如SRAM、DRAM等,和非易失性技术,如电可擦除可编程只读存储器EEPROM、FLASH、FeRAM、MRAM等,具有非易失性、循环寿命长(大于 10^{13} 次)、元件尺寸小、功耗低、可多级存储、高速读取、抗辐照(剂量大于1Mrad)、耐高低温($-55 \sim 125\text{ }^\circ\text{C}$)、抗振动、抗电子干扰和制造工艺简单(能和现在的集成电路工艺很好地相匹配)等优点。^[10-14]因此,PCRAM被认为最有可能取代目前的SRAM、DRAM和FLASH等当今主流产品而成为未来存储器的主流产品,和最先成为商用产品的下一代半导体存储器件之一。各种存储器的主要性能比较如表1.1所示。

表 1.1 各种存储器的性能比较

性能	SRAM	DRAM	FLASH	MRAM	FeRAM	PCRAM
尺寸	50-80 F ²	6-12 F ²	7-11 F ²	>20 F ²	>20 F ²	5-8 F ²
非易失性	否	否	是	是	是	是
写 / 读 次数	不限 / 不限	不限 / 不限	10 ⁶ / 不限	10 ¹² / 不限	10 ¹² / 10 ¹²	10 ¹² / 不限
读的过程	部分破坏	破坏性	非破坏性	非破坏性	破坏性	非破坏性
功耗	中等	中等	高	中等	中等	低
写 / 擦 / 读 时间	8ns/8ns /8ns	50ns/50ns /50ns	1μs/50ms /60ns	30ns/30ns /30ns	80ns/80ns /80ns	10ns/50ns /20ns
与 CMOS 的兼容性	好	差	可以	可以	可以	好
多级存储	否	否	是	否	否	是
成本	高	低	中等	中等	高	低
抗辐照性	1MRad	<50kRad	<30kRad	1MRad	1MRad	1MRad

业界认为 PCRAM 在 65nm 节点后会有越来越大的技术优势(图 1.1)。PCRAM 在民用市场上有广阔应用前景,其优良的抗辐照性能在航天航空电子领域具有重要的应用价值。从国际半导体工业协会对新型存储技术的规划发展演变来看,PCRAM 技术是近几年发展最为迅速、距离产业化最近的技术之一。在国际半导体工业协会规划(ITRS)中,2000 年版本并未把 PCRAM 列入,2001—2002 年版本把 PCRAM 列入,2003—2004 年版本中 PCRAM 列为优先实现产业化的新型存储技术;而在 2005—2006 年版本中 PCRAM 不出现,已经进入产业化前期。因此 PCRAM 技术在五六年的时间内以超常规的速度发展,作为新型半导体存储技术,最有取代目前 SRAM、DRAM 和 FLASH 等主流产品而成为主流产品潜质,具有广泛的商业化前景。

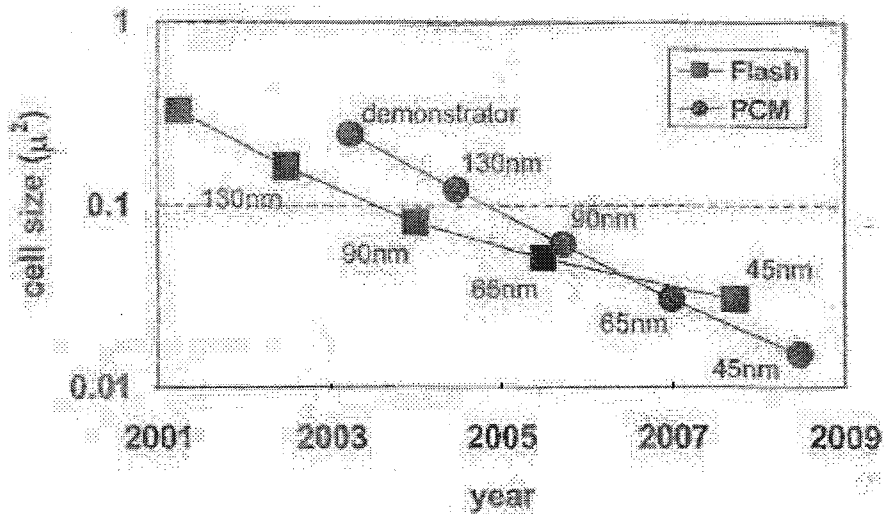


图 1.1 PCRAM 与 FLASH 技术的发展趋势

1.2 相变存储器概述

1.2.1 相变存储器原理

20 世纪 60 年代末 Ovshinsky 提出了奥弗辛斯基电子效应，即硫系化合物在热诱导作用下发生有序和无序的变化，能实现多晶态和非晶态之间的转变，而这两种结构最显著的差异就是光学反射率和电阻率的差异。在上个世纪末，硫系化合物在商业上广泛应用于多媒体数据光盘（DVD）和蓝光 DVD，是利用了其相变前后材料的光学反射率的差异实现“0”和“1”的存储。而硫系化合物电学性能的应用只有器件单元的尺寸达到三维的纳米结构才能充分体现其优越性，因此在很长时间内发展缓慢。^[15-17]在 1999 年以后，随着工业界的制备技术和工艺达到深亚微米甚至是纳米尺度，器件中相变材料的尺寸可以缩小到纳米量级，材料发生相变所需的电压和功耗大大降低，可与现有的 CMOS 相匹配。从此，相变存储器技术进入到快速的发展阶段，成为最有希望的下一代非易失性存储器之一。

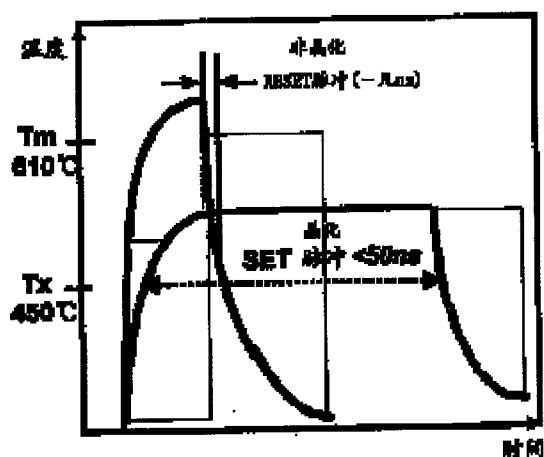


图 1.2 相变材料中温度与脉冲功率的关系图

相变存储器主要是以硫系化合物相变材料为存储介质，利用电能（热量）使相变材料在晶态（低阻）与非晶态（高阻）之间相互转换，实现信息的写入和擦除，信息的读出靠测量电阻的变化而实现。如图 1.2 所示，写入过程是指施加一个短而强的电压脉冲，电能转化为热能，使相变材料温度升高到熔化温度以后经快速冷却，可以使多晶的长程有序遭到破坏，从而实现由多晶向非晶的转化；擦除过程是指施加一个长而强度中等的电压脉冲，使得相变材料的温度升高到结晶温度以上、熔化温度以下，并保持一定的时间，使相变材料由无定型转化为多晶；数据的读过程是通过施加一个比较弱的电压脉冲，产生的热能使材料温度升高的温度必须低于结晶温度，不足以使材料发生相变，然后测量相变材料的电阻值来实现的。^[18-19]

1.2.2 相变材料及相变机理研究

相变存储器的关键材料是硫系化合物相变薄膜，是至少含有一种硫系（第六主族）元素的合金材料，这些材料大多由元素周期表中 VI 族的一些半导体元素构成。目前，文献报道的用于相变存储器的相变合金材料主要有以下几种：

$(\text{Ge}_1\text{Sb}_2\text{Te}_4)_{1-x}(\text{Sn}_1\text{Bi}_2\text{Te}_4)_x$, ^[20] GeTeAsSi , ^[21] GeTe , ^[22] GeTeBi , ^[23,24] $\text{GeSb}(\text{CuAg})$, ^[25] GeTeAs , ^[26] InTe , ^[27] InSe , ^[28] AsSbTe , ^[29] SeSbTe , ^[30] PbGeSb , ^[31] Sb-Te , KSb_5S_8 , ^[32] Sb-Se , ^[33] AgInTe 和 AgSbTe ^[34] 等，而 GeSbTe 系合金则是

大家公认的、研究最多的、最为成熟的相变材料。 $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 和GST是GeSbTe系统最常用的三个化学计量比的三元合金，它们都处于GeTe和SbTe二元合金的连线上。GeSbTe系相变合金的结晶时间、结晶温度与组分间的关系分别如图1.3和图1.4所示。由图中GeTe到SbTe这条线可以看出，随着Ge含量的增加相变材料的结晶温度增加，而随着Sb含量的增加相变材料的结晶时间也增加。一般来讲，具有高的玻璃转变温度的(T_g)元素能够提高材料的结晶温度和熔化温度，而那些玻璃转变温度与熔化温度(T_m)之比(T_g/T_m)较小的元素能够有效提高相变材料的结晶速率。^[35]Ge元素的 T_g 很大，增加Ge含量后能够大幅度提高结晶温度，但是Ge元素的 T_g/T_m 值也比较大，对于加速结晶是很不利的。而Sb元素的 T_g 很小，增加Sb的含量能够大幅度降低结晶温度，同时Sb元素的 T_g/T_m 值也比较小，能够缩短结晶时间。^[36]

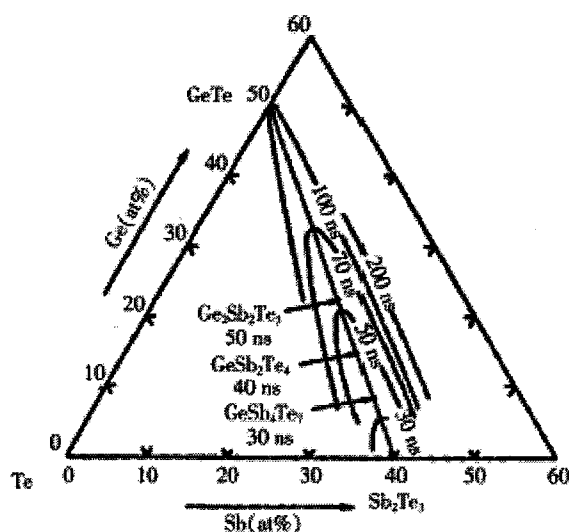


图 1.3 GeSbTe 系相变合金的结晶时间和组分间的关系图

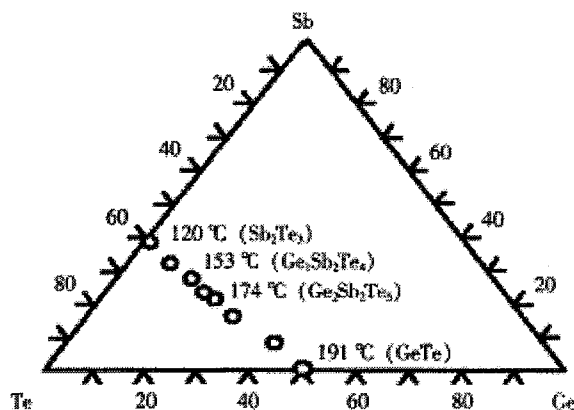


图 1.4 GeSbTe 系相变合金的结晶温度和组分间的关系图

业界研究 GST 最为透彻，历史最为悠久，下面以 GST 为例简要阐述了相变材料的相变机理。GST 薄膜经不同退火条件处理可以看到材料电阻的下降过程可分为两个步骤，这是因为 GST 从非晶态到多晶态的相变是一个两步的结晶过程，即首先从非晶态变化到亚稳态面心立方结构(fcc)，然后从 fcc 继续变化到六方密堆结构(hex)，上述两个结晶过程的结晶温度分别为 175 °C 和 365 °C，^[37-38]非晶态与六方结构的薄膜电阻率相差约为 5 个数量级左右，完全能够满足 PCRAM 数据存储的要求。GST 的稳定相为六方密堆结构，但是在 DVD 应用中经激光加热后的 GST 薄膜的结构为面心结构。通过 XRD 等结构分析方法分析，在 fcc 结构中，Te 原子占据了 fcc 结构的面心格子，而 Ge 和 Sb 随意占据其他面心格子(另有 20%的空位)。GST 从非晶态到多晶态的变化过程中不仅电阻下降，而且禁带宽度变窄，材料的载流子浓度和迁移率有显著的提高，相变过程还伴随着薄膜密度的提升。

相变现象的主要特征之一是相变材料的结构的明显变化，其微观结构的变化相变导致了相变材料在电学性能和光学性能的变化。A. Pirovano 等人在文献中对 GeSbTe 薄膜 I-V 曲线的解释就是建立在上述理论基础上。^[39]图 1.5 所示为 GeSbTe 薄膜的 I-V 曲线：当电压较小的时候，电流和电压成欧姆关系，此时材料的电子与空穴的准费米能级趋于一致，定义为区域 I；随着电压增加，非晶态材料内部的碰撞电离效应(Impact Ionization)开始发生，导致大量的二次空穴的形成，即电流随着电压成指数变化，定义为区域 II；当外加电压超过阈值电压时，碰撞电离

的电子生成率完全战胜电子空穴复合率，所有的陷阱被填满，宏观上表现为在薄膜的电流—电压曲线上出现突然减小的现象，电流与电压关系为超指数关系，定义为区域Ⅲ。这个模型比较好地解释了非晶态相变材料 I-V 测试中出现的三个不同电流—电压关系的区域。

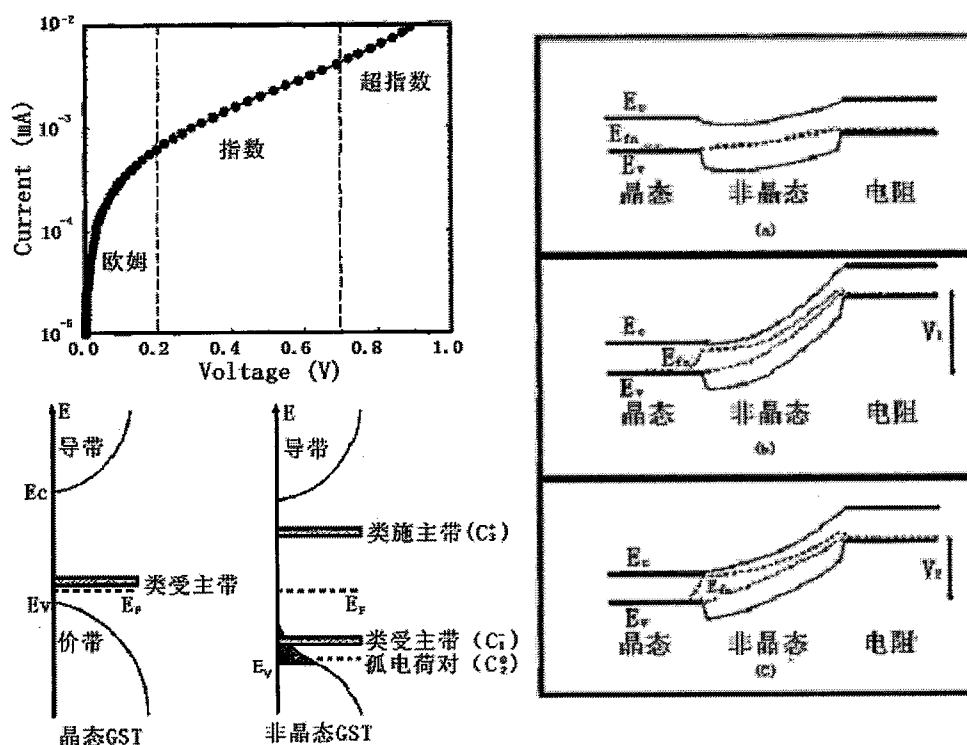


图 1.5 左上为 GeSbTe 薄膜的 I-V 曲线，左下为非晶和多晶 GeSbTe 的能带结构，右图为晶态-非晶态-电阻结构的能带结构示意图，其中右图中(a)为欧姆接触区，(b)为超指数区，(c)为 $V_2 < V_1$ 时的开启状态。^[39]

我们已经知道相变材料在相变前后存在两种不同的结构，导致了材料光学和电学性能的变化，但是这个中间转变的过程到底是怎么完成的呢？A. Kolobov 和 T. Matsunaga 等人分别利用同步辐射 EXAFS 和 XANES 对 GST 以及 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 中的 Ge, Sb, Te 的 K 边分别进行扫描，通过拟合得出了两种材料在非晶和多晶状态下的精细结构^[40, 41]。在 A. Kolobov 等人的研究中，重心在于非晶和亚稳态多晶 fcc 结构之间的相变过程的研究，在多晶态和重新非晶化的 GST 中发现了多种化学键的存在，有关 GST 中存在的各种化学键的实验数据列在表 1.2 中。^[46]由表可以看到，多晶和重新非晶化的样品中均没有探测到 Ge-Sb 键的存在，说明无论非晶还是多晶的 GST 中，Ge 原子和 Sb 原子之间是不成键的；另外，通过比较非晶和多

晶中的各种化学键，可以看到重新非晶化过程中Ge-Te的键发生明显的缩短，而Sb-Te键键长的变化不是很大。因此他们通过实验和数据拟合得出了以下结论：对fcc结构通过激光加热非晶化的过程中并不需要使材料熔化以打断其中所有的键，而是只需打断与Ge相邻六个Ge-Te键中的三个能量较弱的键，而其他的三个较强的键则保持不变（如图1.6所示），接着产生一个umbrella-flip的过程，使Ge从一个八面体的中心快速转移到一个四面体的中心，而其余的原子排列的基本框架保持不变。这种解释与以往的文献有显著不同之处，在此之前，多数的研究认为重新非晶化过程一定要将材料熔化以打断其中所有的化合键，而Kolobov则认为并不需要打断所有的键（仅需要打断一半的Ge-Te键即可）。此工作的另一个意义在于第一次阐述了GST材料的精细结构，是GST相变机理研究的一次重要的突破。当然，对于他提出的精细结构还存在一定的分歧。例如，Z. Sun等人通过计算认为GST亚稳态的结构实际上不是面心立方的结构，^[42]而是由Te-Ge-Te-Sb-Te和Te-Sb-Te-Ge层重复堆积而成，两重复单元层之间是靠键能较弱Te-Te键连接（详见文献所述）。这方面的分歧有待继续探讨，但是有一个观点两者是一致的，非晶态和亚稳态的多晶态的基本晶胞结构相似，所以非晶和多晶之间的可逆变化过程中材料的微结构并不需要发生很大的改变，这就使快速和低功耗的相变成为可能。但由于目前尚无定论，所以本文中姑且还将GST的亚稳多晶结构称为fcc结构。

表1.2 EXAFS与XRD试验结果发现GST中存在的各化学键键长比较。^[40]

键	GST键长(nm)	
	EXAFS	XRD
	晶态	
Ge-Te	0.283±0.001	0.30(1)±0.03
Sb-Te	0.291±0.001	0.30(1)±0.03
Te-Te(2nd)	0.426±0.001	0.42(6)±0.02
	非晶态	
Ge-Te	0.261±0.001	0.261
Sb-Te	0.285±0.001	

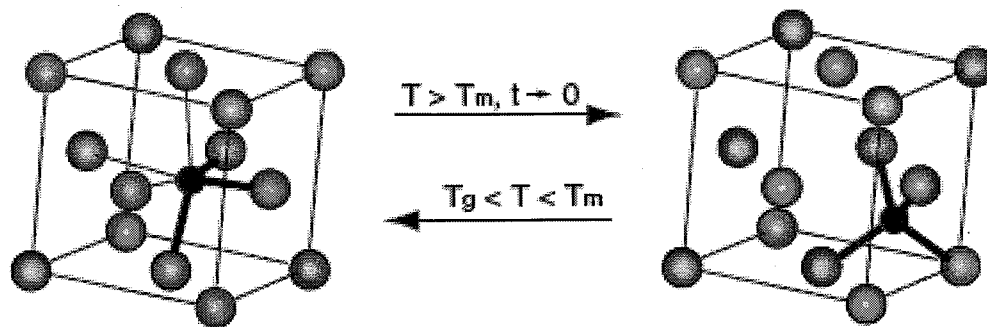


图 1.6 由同步辐射分析得到的 GST 的原子排列结构图，左图为晶态（面心立方结构），右图为非晶态。非晶化过程中，当通过激光脉冲把 GST 加热到熔点(T_m)以上并淬火后，左图立方体中心的 Ge 原子从其八面体中心位置弹到右图中的右下角四面体的中心，在这一非晶化过程中原子间的三根强键（在左图中用黑体线标出）并不被打断的。

1.2.3 相变存储器的国内外研究现状

表 1.3 列出了 PCRAM 技术发展过程中的典型重要事件。从表中可见，自从 PCRAM 在二十世纪六十年代末被提出后，停滞了将近 30 年的时间，直到上个世纪末，由于半导体工艺技术发展到纳米量级，使得 PCRAM 的技术优点性得以有实现的可能，国际上的一些半导体行业的大公司才相继加入研发 PCRAM 的行列，也出现了 PCRAM 在二十一世纪初飞速发展的局面。其中以 Samsung 和 Intel 两家公司为代表，投入了大量的人力、物力和财力，并积极准备向市场化进军。

国内，PCRAM 的研究热潮也纷至沓来，其中以中科院上海微系统与信息技术研究所，中芯国际和 SST 为代表。中科院上海微系统与信息技术研究所对相变材料体系有比较系统的研究，并能够自主研发和筛选新材料，获得很大的成就；中芯国际具有先进的半导体生产线，目前正在研发 65 nm、45 nm 工艺线，基本上和国际上领先的半导体生产技术持平；SST 是一家极具竞争力的存储器研发公司，具有完整的芯片设计系统，有自己的知识自主产权。目前，这三家公司正联合研发 PCRAM 技术，有望在未来几年内，制备出第一块具有中国自主知识产权的 PCRAM 芯片。

表 1.3 PCRAM 技术发展过程中的典型重要事件^[43-46]

时间	重要发展事件
1966 年 9 月	Ovshinsky 提出第一个相变技术专利

1968 年 11 月	ECD 的 Ovshinsky 首先报道硫系化合物的快速可逆相转变，具有开关/ 存储的用途
1970 年 9 月	Gordon Moore 在 Electronics 杂志上发表研究结果
1999 年 6 月	ECD 成立 Ovonyx 公司专门推进 PCRAM 商业化
1999 年 11 月	Lockheed Martin 与 Ovonyx 合作开发 PCRAM 在空间的应用
2000 年 2 月	英特尔投资 Ovonyx ， 获得技术授权
2000 年 12 月	意法半导体从 Ovonyx 获得 PCRAM 技术授权
2001 年 3 月	旺宏成立前瞻技术实验室开发 PCRAM
2001 年 11 月	英特尔与 Ovonyx、Azalea 微电子合作开发出 4 Mb PCRAM
2001 年 12 月	日本媒体选出了 2001 年半导体、LCD 产业 10 大新闻：第五名为 PCRAM、MRAM 等， 新型非易失性存储器相继问世
2002 年 3 月	旺宏提出无晶体管的 PCRAM 专利
2002 年 3 月	英特尔在 IDF 论坛上表示，相对于 FeRAM 和 MRAM 等技术，PCRAM 技术的前景更具有希望
2002 年 11 月	英特尔投资 Plasmon ， 开发高密度、低成本 PCRAM
2003 年 7 月	三星开始研发 PCRAM 技术
2004 年 7 月	英特尔与 IBM 签订“合作研发 PCRAM”联盟协定
2004 年 8 月	Nanochip 从 Ovonyx 获得 PCRAM 技术授权
2004 年 8 月	三星宣布成功研制出 64 Mb PCRAM 芯片
2005 年 2 月	尔必达从 Ovonyx 获得 PCRAM 技术授权
2005 年 4 月	飞利浦在《Nature Materials》发表相变材料纳米线 PCRAM 成果
2005 年 5 月	IBM、英飞凌和旺宏宣布进行 PCRAM 技术的联合开发
2005 年 9 月	三星研制出 256 Mb PCRAM 芯片， RESET 电流降至 0.14 mA
2005 年 10 月	英特尔增加对 Ovonyx 的投资
2005 年 12 月	日立和瑞萨发布(115 V, 0.11 mA) PCRAM 芯片
2005 年 12 月	三星从 Ovonyx 获得 PCRAM 技术授权
2006 年 7 月	BAE Systems (前身 Lockheed Martin) 发布抗辐照 4 Mb PCRAM 芯片
2006 年 9 月	三星宣布研制出 512 Mb PCRAM 芯片

2006 年 10 月	英特尔和意法半导体展示 128 Mb PCRAM 芯片
2006 年 12 月	IBM 研究实验室演示了 3 nm×20 nm 的单元存储性能(旺宏、IBM 与奇梦达的联合研发成果)
2007 年 1 月	奇梦达从 Ovonyx 获得 PCRAM 技术授权
2007 年 5 月	意法半导体、英特尔和 FranciscoPartners 签订合资协议, 成立了 Numonyx 公司, 专门从事 PCRAM 开发
2007 年 12 月	英飞凌、奇梦达、IBM 和旺宏联合开发出可实现 PCRAM2 bit/ 单元(4 值) 和 4 bit/ 单元(16 值)多值化的新型写入技术
2008 年 2 月	英特尔与意法半导体向客户提供 PCRAM 原型样片

1.3 相变存储器的发展趋势

要想实现 PCRAM 的产业化,就必须体现出它性能上的优越性,即高速高密度和低压低功耗。速度的提升主要通过材料方面去解决,比如通过掺杂来降低相变材料的结晶温度^[47],从而提高读写速度。高密度的实现并不是由于相变材料的自身工艺的限制,而是取决于驱动电路的密度。目前已经报道的有三极管^[48]、MOS 管^[49]、二极管^[50]作为驱动的,其中二极管作为选通管的芯片集成度最高,比目前的 FLASH 和 DRAM 的集成度还高。降低电流和功耗是目前最主要的研究方向之一,全世界各大公司相继投入了相变存储器的研究行列,经过近十年的研究发展,相变存储器也得到了飞速发展。

降低电流和功耗的主要手段是从材料和器件结构上两个方面进行改善。

材料优化方面研究最多的是通过对 GST 掺杂来提高材料的性能,也得到了普遍的认可。氧掺杂和氮掺杂为了提高相变材料的电阻,提高材料的结晶温度,从而达到降低器件的功耗以及提高数据保持力。氮掺杂浓度达到 7% 后,能有效减小 GST 薄膜的晶粒,同时提高薄膜电阻率和结晶温度,而且由于掺杂对薄膜晶粒长大的抑制效应使得器件的疲劳特性也得到明显的改善,RESET 和 SET 电流则被有效地降到了 0.6 mA – 50 ns 和 0.2 mA – 100 ns。研究中还发现,氮掺杂不仅使材料电阻率和结晶温度升高,氮含量达到一定浓度后($4.51 \times 10^{16} \text{ cm}^{-2}$),GST 的结晶从原本的两步相变过程变为一步相变过程,^[51-54]这是因为当 N 含量达到一定程度

后, N原子与材料中的原子形成氮化物, 抑制了材料从fcc到hex的相变, 而形成的氮化物主要为 GeN_x , 它是一种高阻的稳定的材料, 所以它的形成能够提高材料的电阻率, 并使掺杂后的GST更加稳定。^[55]为了提高PCRAM器件的存储速度, 科研人员也进行了金属的掺杂, 比如掺Sn后SET和RESET的时间分别从200 ns和40 ns降到40 ns和10 ns。^[39]值得一提的是, 一些新材料的问世大幅度的提升了器件的性能, 如环境友好的无碲SiSb相变材料^[56]、SiSbTe系列材料等。^[57]

器件结构方面的改善方法也是多种多样, 其目的都是为了降低相变存储器的操作电流和功耗。相变存储器的结构大致分为经典“蘑菇型”结构、 μ -Trench 结构、Pore 结构、GST 限制结构、边缘接触结构、量子线结构、GST 侧墙结构等。

经典 T-shape 的结构关键在于底部加热电极的制备方法, 此种结构的操作区域的减小只能通过缩小底部电极的方法来实现, 从而达到降低操作电压和降低功耗的目的。几种常见做法: (1)在现有的 CMOS 曝光技术的技术上用 spacer 技术缩小孔洞的直径, 然后填充电极材料, 抛平表面形成 100 nm 以下的加热电极接触。如图 1.7(a)所示, 首先在底电极基础上刻蚀出小孔, 然后淀积绝缘材料, 将小孔底部绝缘材料刻蚀完, 再沉积 TiN 电极材料, 然后化学机械抛光磨平表面, 得到更小直径的加热电极。(2)在现有的 CMOS 曝光技术的技术上用 spacer 技术缩小孔洞的直径, 然后填充电极材料, 但不用填充满, 再填充介质材料, 并抛光表面从而形成纳米环形电极。如图 1.7(b)所示, 具体工艺是先向已经刻蚀好的小孔中沉积绝缘材料, 将底部填充的绝缘材料刻蚀完, 已达到缩小小孔直径的目的, 然后沉积一层 TiN 金属材料均匀地覆盖在小孔内, 再沉积绝缘材料, 最后化学机械抛光磨平表面, 得到 100 nm 以下的环形电极形状。^[50]其电极最小可达到 1900 nm^2 , 操作电流可以达到 0.6 mA, 三星公司就是以这种结构制备相变存储单元, 目前已经有 512M 样片问世。

另外, 在电极和相变材料之间, 增加一层过渡层可以改善相变存储器的性能, 其一般具有低的热导率和高发热效率。过渡层使得相变存储器具有更高的加热效率, 将最高温区域向加热电极和界面方向移动, 低的热导率降低了热量的散失, 获得了更小的 RESET 电流。^[58]

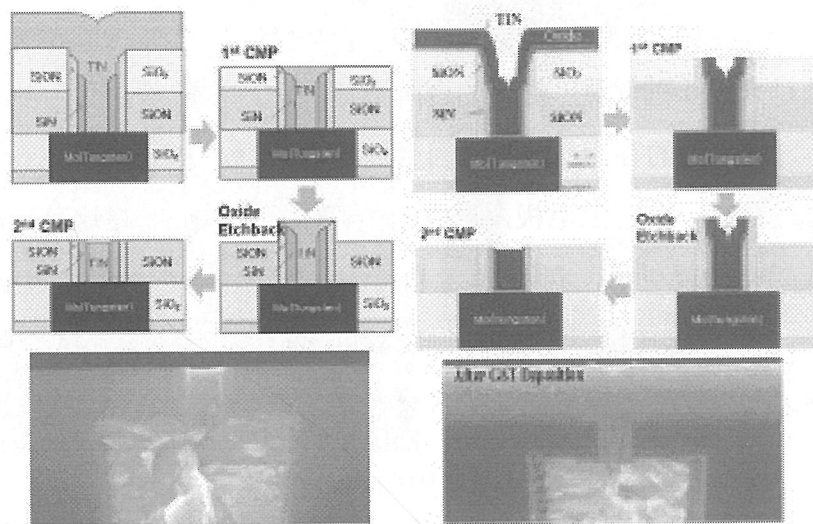


图 1.7 经典的“蘑菇型”器件单元结构 (a)T 型小电极; (b)环形电极

μ -Trench 结构是在电极上部刻蚀出绝缘层小孔，然后通过侧墙技术缩小小孔的直径，还可以通过调节孔洞侧壁的角度来改善 GST 的台阶覆盖能力，使得 GST 容易填充，再沉积上电极，形成相变器件存储单元，^[59]如图 1.8 所示。这种结构其电极与相变材料的接触面积可减小到 400 nm^2 ，操作电流可达 0.4 mA ，集成度达到 12 F^2 。

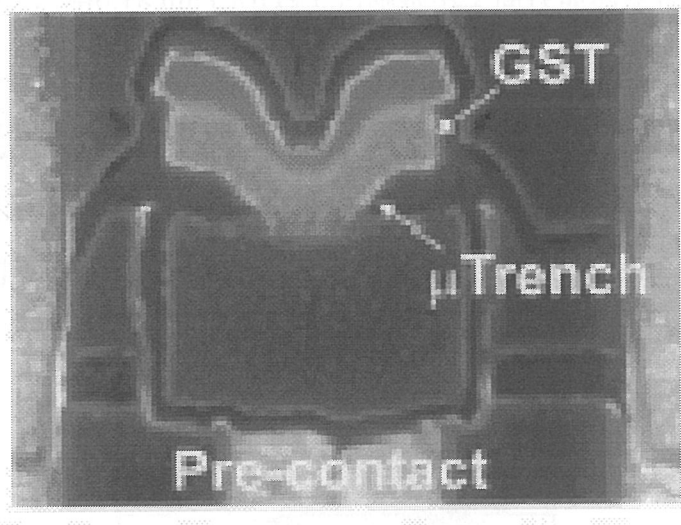


图 1.8 μ -Trench 结构

IBM 研发出一种 pore 结构，使得相变操作区域更小，其操作电流达到 0.25 mA 。^[60]如图 1.9 所示，其具体的工艺步骤如下：在电极材料上刻蚀出绝缘层小

孔,去胶清洗后填充多晶硅,化学气相沉积法的特点是从小孔的边缘往中间闭合,当小孔顶部越来越小的时候,材料的台阶覆盖能力越来越差,小孔内部就会出现空隙。由于内部空隙的存在,多晶硅回刻到下电极时,中间会出现一个很小的凹槽,然后填充 GST,制备上电极,形成相变存储器件单元。在这种 pore 结构中,GST 与电极的接触就更小,利用 GST 自身加热的特点,又将相变存储器的操作电流降低了一个档次。但是其工艺控制的程度比较难,特别是小孔空隙的均匀性将直接影响到器件的操作电流的分布和器件的可靠性测试。

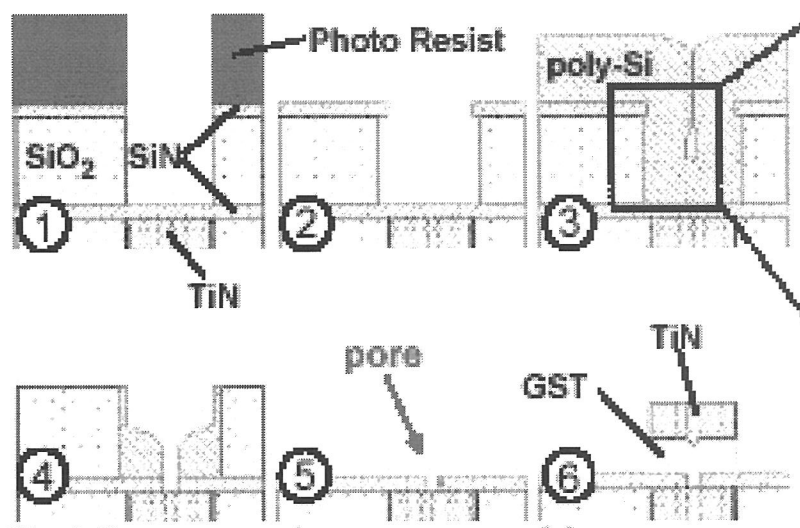


图 1.9 pore 结构示意图

GST的限制结构是将GST限制在一个很小的区域内,其做法有两种,分别如图2.0(a)和(b)所示。第一种做法是在底电极上刻蚀出直径很小的孔洞,然后填充GST,再利用CMP技术将GST表面抛平^[89];第二种做法是在底电极上沉积一层GST,然后刻蚀出纳米尺度的GST图形,在沉积介质材料抛平表面。这种结构限制孔洞的直径可以达到50 nm以下,其操作电流可达到0.26 mA。^[61-62]

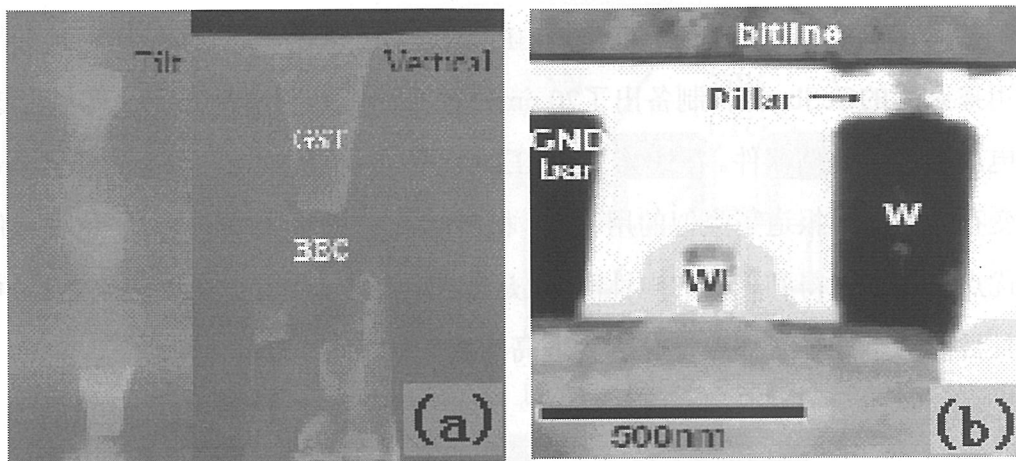


图2.0 GST的限制结构示意图

边缘接触结构首先是由Samsung 半导体提出的，^[63]这种结构的优点在于不需要利用最先进的CMOS生产线就能够通过控制沉积的电极的厚度有效地减小加热电极的接触面积，而根据研究表明，PCRAM 器件的功耗随着加热电极的面积减少呈快速下降的趋势。如图1.10所示，其制备工艺如下：在标准小孔工艺之后，依次沉积电极材料和绝缘材料，然后错开小孔位置，刻蚀出另一个小孔，并且要求将电极刻蚀刻穿，使得下面的绝缘层也有一定的损失。然后沉积GST和电极材料在小孔内，制备上电极引出孔，连接上下电极形成相变存储单元。在Samsung的研究中，用0.18 μm CMOS工艺制备出了高性能的器件，其RESET 和 SET 电流分别达到了0.2 mA和0.13 mA，远远小于同等工艺制备的“蘑菇型”结构PCRAM 的编程电流。除了Samsung，也有其他研究小组在边缘接触上进行了改进。^[64]

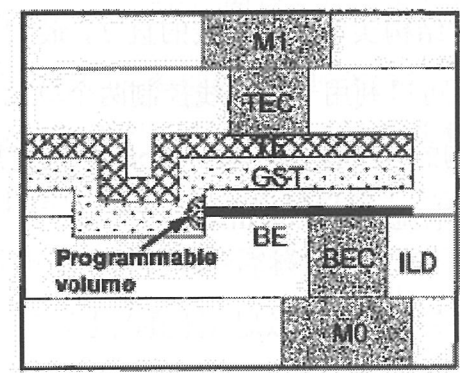


图1.10 边缘接触结构

如图1.11所示, 桥式结构首先是由Philips (现NXP) 研究人员提出的,^[65]他们用掺杂后的GeSb 材料制备出了20 nm的相变材料纳米线, 得到了具有较低编程电压的线状存储器件。在2006 年的IEDM 会议上, IBM、Qimonda 和Macronix 相变存储器联盟报道了类似的用GeSb 材料制备的纳米桥存储器。^[66]这种存储器的优点在于能够得到很好的电性能, 但是工艺相对比较繁琐, 密度也缺乏竞争力, 而且目前的可擦写次数还没有达到很高的水平。

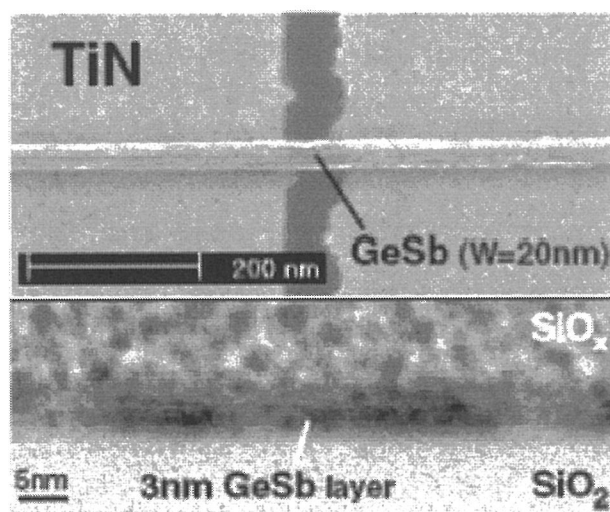


图 1.11 桥式结构

台湾新竹有家公司推出了 GST 侧墙结构,^[67]如图 1.12 所示, 其制备工艺如下: 利用 0.13 μm 工艺线制备小孔, 然后填充 TaN 和绝缘材料并磨平表面, 作为下电极连接。横向沉积绝缘材料盖住下电极的上半部分, 然后沉积绝缘材料和上电极材料纵向穿过电极, 沉积 GST 并刻蚀形成 80 nm 厚的侧墙, 连接上下电极形成相变存储单元。这种结构实现了量子线的直立, 最大程度上提高了器件的集成度, 另外, 稍加改进就可以利用一个字线控制两个单元, 增大了相变存储器密度的提升空间。这种结构的相变操作区域由 Spacer 的宽度控制, 其最小的接触面积可达 500 nm^2 , 操作电流达到 0.08 mA.

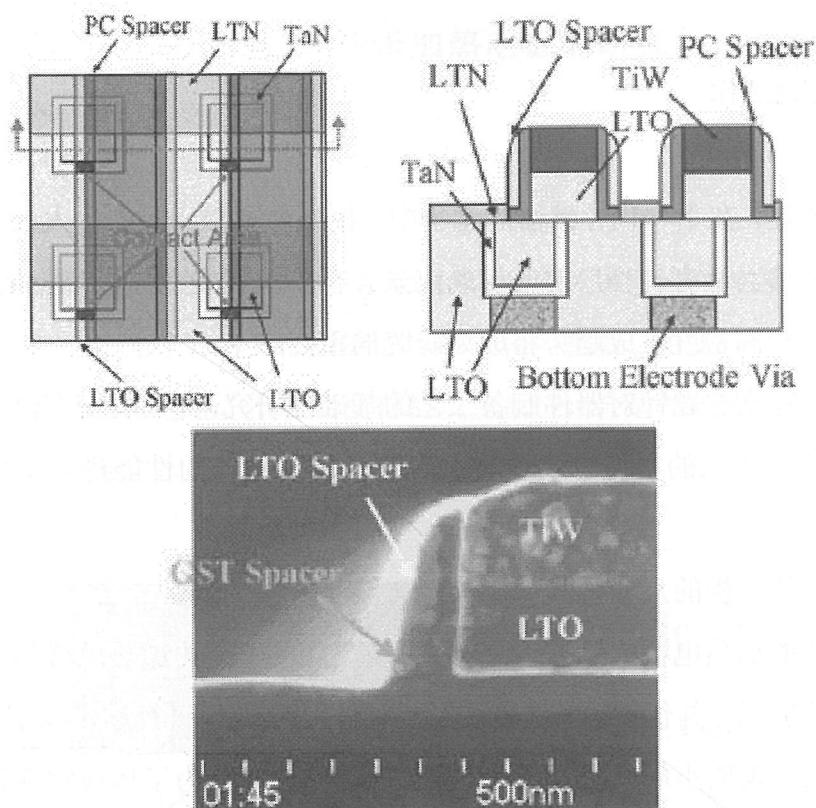


图 1.12 GST 侧墙结构

综上所述,各种结构的目都是为了减小电极和相变材料的接触区域,也就是为了减小相变材料的操作区域,从而达到降低电流和功耗的目的。文献 68 和 69 都指出,相变区域的减小与操作电流的降低呈现出明显的线性关系。^[68-69]减小相变操作区域的方法大致有两种,分别为减小相变材料的尺寸和减小加热电极的尺寸。本论文的一个重要方面就是围绕制备纳米尺度的加热电极而展开的。

从形成 PCRAM 器件的工艺过程中可见,无论采取什么样的结构,GST 自身的加工工艺也是非常重要的。GST 图形的加工主要分为抛光和刻蚀两种不同的途径。抛光工艺是在底电极上刻蚀出直径很小的孔洞,然后填充 GST,再利用 CMP 技术将 GST 表面抛平^[61];刻蚀工艺是在底电极上沉积一层 GST,然后刻蚀出纳米尺度的 GST 图形,在沉积介质材料抛平表面。而 GST 的抛光工艺存在诸多难点,如抛光后相变材料的成分漂移,残留物的清洗问题等。另外,走抛光工艺就必须制备出直径很小的孔洞,以达到减小相变操作区域的目的,这就带来了另外一个难点,即 GST 的小孔填充能力的限制。相反,GST 刻蚀工艺就可以避免这些问题,这也是本论文研究的另外一个重要方面。

1.4 本论文的工作

综上所述,在下一代存储器的竞争中,相变存储器已经向世人展示了它优越的性能,相信其具有相当广阔的市场前景。在推动相变存储器产业化的过程中,低压低功耗和高密度集成趋势将成为研究的重点。

本博士学位论文选题针对器件制备工艺的基础性研究,面向相变存储器的实际应用,围绕器件工艺的实现以及结构上改善相变存储器的性能进行了探索性的研究。

减小加热电极的尺寸是降低 PCRAM 操作电流的主要方法之一。研究了用于相变存储器的加热电极的制备工艺,在直径为 260 nm 的加热电极基本上,通过侧墙技术的应用,并优化工艺条件,最终将加热电极的直径逐步缩小到 120 nm,器件测试结果表明小电极提升了相变存储器件的性能。为了尽快实现相变存储器的商业化,首次在 8 英寸平台上完成了器件工艺的集成,详细研究了器件集成过程中每道工艺,设计好前后道工艺结合的参数匹配,并根据测试结果进行了工艺优化。

相变材料的刻蚀工艺是本论文的另外一个重要研究方向。利用反应离子刻蚀机台对 GST 材料的刻蚀工艺进行了系统性的研究,测量出相变材料的刻蚀速率以及刻蚀选择比,得到良好的相变材料刻蚀形貌,为器件的集成提供了工艺基础。并且对 8 英寸平台 GST 的刻蚀和清洗工艺进行了前沿性的研究。还研究了纳米尺度核心相变材料 GST 的刻蚀,选取 TiN 作为刻蚀时的硬掩膜,成功了制备出 150 nm 左右的 GST 纳米阵列,为实现高密度存储提供了可能。

在本论文中,在 4 英寸工艺平台上实现了器件工艺的集成,测试出重复性良好的相变操作窗口,为新材料的研究提供了验证平台。

第二章 纳米加热电极的研究

2.1 引言

相变存储器最基本的单元结构是通过上下电极对相变材料的操作，如图 2.1 所示结构。电极材料对于相变存储器的可靠性相当重要。相变存储器的电极材料需要满足良好的热稳定性，不和相变材料发生反应，合适的电阻值分布，和相变材料有良好的结合力，与现有 CMOS 工艺线兼容等要求。

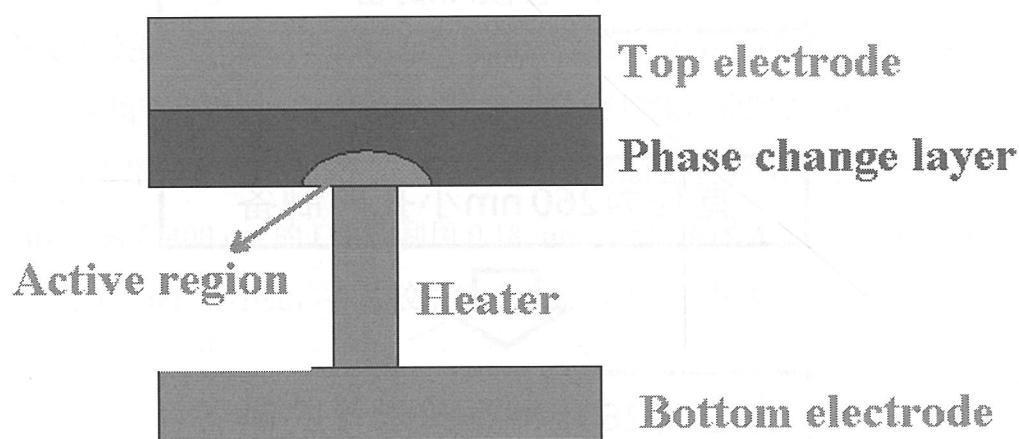


图 2.1 最基本的 PCRAM 单元器件结构

另外，相变存储器的最大的难点在于过大的操作电流。只有减小操作电流，才能减小功耗，降低成本，提高相变存储器的竞争力。减小操作电流的方法主要有减小相变材料与加热电极的接触面积，增加相变材料的晶态电阻，通过电极埋层增加发热效率等，其中最简单直接的方法是减小相变材料与电极之间的接触面积。

W 是半导体工艺线中常见的金属材料，广泛应用于金属连线间的插塞，且具有良好的热稳定性。最主要的是 CMOS 工艺线中的 W 插塞技术已经非常成熟，并且能够实现纳米 W 电极的制备。所以，W 是比较合适的电极材料之一。

2.2 直径为 260 nm 加热电极的研究

2.2.1 直径为 260 nm 的亚微米管实验方案以及制备结果

亚微米 W 管制备的框架流程如图 2.2 所示, 首先制备出下电极 Al, 利用现有的 $0.18\mu\text{m}$ 曝光技术制备出直径为 260 nm 小孔, 最后 CMOS 工艺线 W Plug 技术制备出深亚微米 W 管, 其具体的工艺步骤如下:

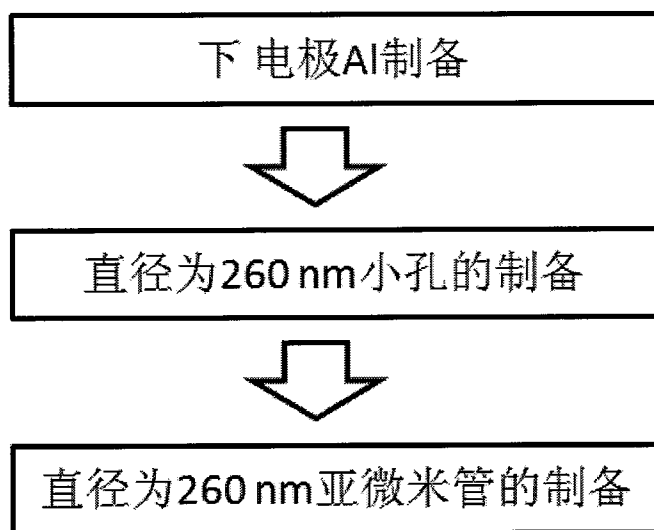


图 2.2 亚微米 W 管的制备流程图

(1) 下电极 Al 制备

如图 2.3 所示, 首先在 8 英寸的 p 型衬底上热氧化一层 SiO_2 , 利用激光扫描刻出零对准标记。这层氧化层是为了防止激光扫描时溅射出的颗粒污染硅片。然后将这层氧化层湿法腐蚀完并清洗烘干, 淀积 1050 nm 厚的 TEOS, 以防止衬底硅片的干扰。电极 Al 是用 PVD 技术溅射制备的, 其具体的厚度参数为 200 nm Ti/250 nm TiN/250 nm AlCu/50 nm Ti/300 nm TiN。其中 Al 中掺入少量的 Cu, 为了防止 Al 金属的电迁移现象, Ti/TiN 是黏附层, 增加金属与氧化层之间的黏附能力, 并且也能阻止金属与氧化物之间的相互扩散。曝光是为了得到更好的图像效果, 需要淀积一层 SiON 32 nm, 其重要成分是富氧化硅, 可以降低光的反射, 使得曝光图形边缘更易于控制。经过曝光、显影、刻蚀、去胶等光刻工艺就制备出下电极 Al。

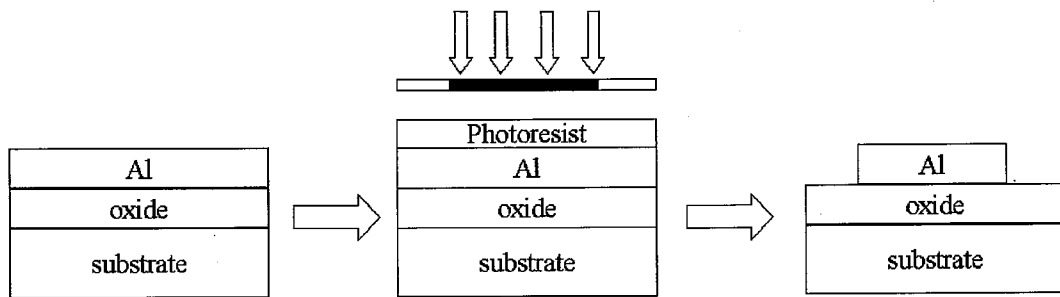


图 2.3 下电极 Al 的制备过程

(2) 直径为 260 nm 小孔的制备

这是最关键的一步工艺，小孔的大小将直接决定 W 与相变材料接触面积的大小，影响相变存储单元器件的操作电流等重要性能，如图 2.4 所示。在制备完的 Al 电极上用 High Density Plasma 技术淀积 1000 nm USG，然后 CMP 技术抛平表面，只剩下 400 nm 的 USG。利用 0.18 μm 工艺线的曝光水平光刻出直径 260 nm、深度 400 nm 的小孔，并去胶清洗干净，防止小孔堵塞。

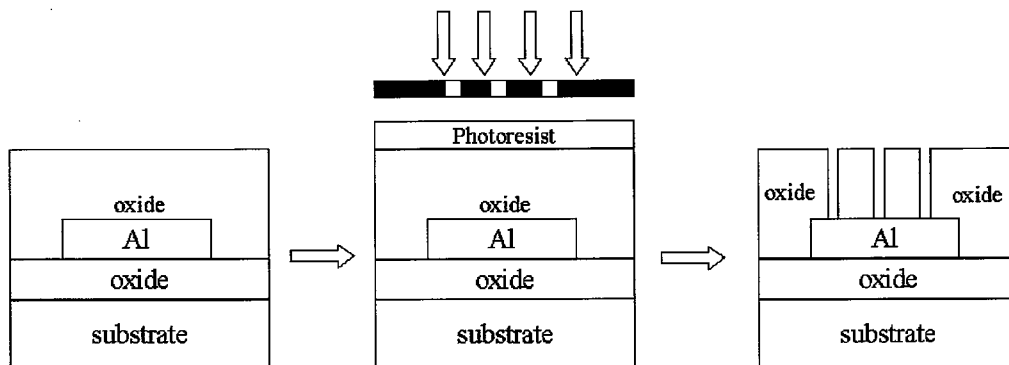


图 2.4 直径为 260 nm 小孔制备过程

(3) W 亚微米管的制备

W Plug 是利用化学气相沉积(CVD—Chemical Vapour Deposition)的技术填充的，这种技术可以弥补物理气相沉积方法制备金属薄膜台阶覆盖差的缺点。最后利用化学机械抛光的方法抛平表面，得到相变存储器制备需要的直径为 260 nm 加热电极，如图 2.5 所示。

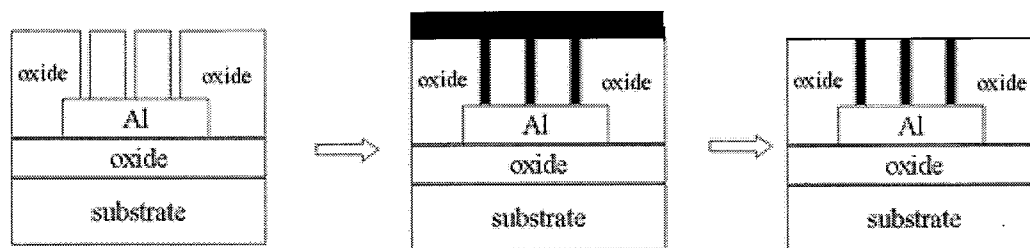


图 2.5 W 亚微米管的制备

2.2.2 直径为 260 nm 亚微米管器件测试结果

整个测试系统的硬件由控制计算机、脉冲信号发生器、数字信号源、微控探针台、控制卡、GPIB 卡以及切换盒和连接部件构成^[70]，其中脉冲信号发生器主要用来产生写擦操作测试时所需的脉高和脉宽的电压信号，数字信号源主要用来直流阈值电压测试的电流和电压扫描以及器件的电阻的读出。测试系统整体组成框架如图 2.6 所示。

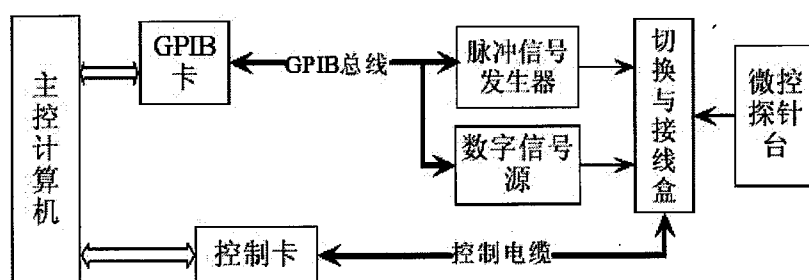


图 2.5 测试系统硬件结构图

脉冲信号发生器是美国 Agilent 公司生产的 81104A 型号，脉冲信号发生器可以以单通道和双通道两种模式产生单一脉冲或连续脉冲信号，目的是对器件单元进行写擦操作，电流脉冲信号的高度范围是 0~400 mA，电压脉冲信号的高度范围是 0~10 V，脉冲信号的宽度 6.25 ns~999.5 s。数字信号源是美国 Keithley 公司生产的 2400 型号，其功能是提供电流或电压信号源来测试相应的电压、电流或电阻，其中电流信号源的范围是 50 pA~1.05 A，电压信号源的范围是 5 μ V~210 V，相应的测试电流范围为 10 pA~1.055 A，测试电压的范围是 1 μ V~211 V，

测试电阻的范围是 $100\ \mu\Omega \sim 211\ M\Omega$ 。半导体参数分析仪是美国 Agilent 公司生产的 4155C 型号, 其功能是提供电流或电压信号源测试相应的电压、电流, 其中电流信号源的范围是 $100\ fA \sim 100.05\ mA$, 电压信号源的范围是 $100\ \mu V \sim 100.015\ V$, 相应的测试电流范围为 $10\ fA \sim 100.03\ mA$, 测试电压的范围是 $2\ \mu V \sim 100.005\ V$ 。微控探针台是美国 Cascade 公司生产的 RHM-06 型号, 微控探针台主要由样品台、探针、光学显微镜、微控旋纽、真空泵等部分组成, 其主要功能是提供放置样品的平台和引入脉冲信号与测量信号并施加到样品上。GPIB 卡是台湾泓格公司生产的 PCI-488 型号的通讯卡, 主要完成对脉冲信号发生器和数字信号源的控制和数据的采集。控制卡是 ADLINK 公司生产的数字 I/O 卡 PCI7250, 镶嵌在计算机的 PCI 插槽中。利用其中的继电器和外部切换盒电路控制脉冲信号发生器和数字信号源与微控探针台连接。计算机上的操作界面可以控制 GPIB 卡和控制卡的工作, 而目可以即时地显示所采集到的数据和相关曲线, 同时还能对所采集到的数据保存, 以便作其它处理。

相变存储器单元测试系统是基于基本两端口器件即上下电极测试系统, 通过微型探针台的两个探针分别连接到器件的上下电极, 因此可以对基本器件的加热电极材料、相变材料、新结构进行研究。此测试系统将以 GPIB 卡为核心, 同时以 IEE488.2 为数据总线, 以相应的测试设备为测试手段, 用 Visual C++ 语言制作控制数据采集和处理的操作界面, 最终实现基于计算机的相变存储器自动化测试系统。其中计算机是 GPIB 卡和数字控制卡的载体, 其主要功能是实现数据传输和设备的控制, 另外还要完成对所测得数据分析、处理以及对相应的图形进行实时显示等功能。

采用 $0.18\ \mu m$ 标准工艺线制备的加热电极为中空环形结构, 其外径为 $260\ nm$ 左右, 经 HF 漂洗, 去除周围的 SiO_2 绝热材料后, 加热电极的三维立体形貌采用扫描电子显微镜(Hitachi S-4700)表征 (如图 2.7 所示)。

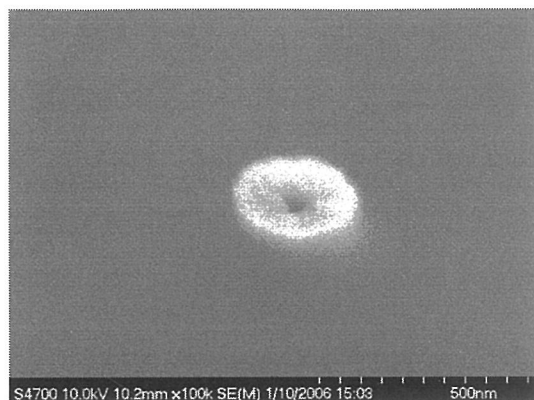


图 2.7 W 亚微米管的扫描电镜形貌图

为了便于测试管状 W 电极的电学性能,又在 W 管上面制备了引出上电极 W,同时将下电极引出,得到的样品即可用于电学性能测试实验,样品的剖面结构图如图 2.8 所示,剖面结构图是采用聚焦离子束(FIB)制备的,设备型号是美国 FEI 公司的 DB235 型,由图可知,整个测试样品包括下电极 Al、绝热材料 SiO_2 、管状加热电极 W 和上电极 W。

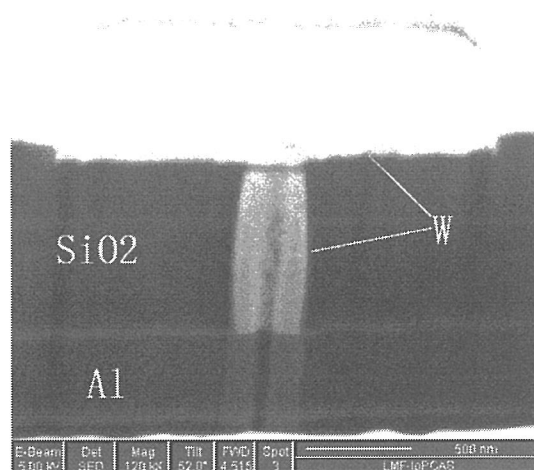


图 2.8 采用聚焦离子束制备的 W 亚微米管剖面结构

图 2.9(a)给出了单个 W 亚微米管的典型 $I-V$ 曲线,表明了引出电极与 W 亚微米管电极之间是线性的欧姆接触,呈现出良好的金属特性,其电阻为 $123\ \Omega$ 。为了更好地表征 W 亚微米管电极的电阻,本文测试了 64 个(8×8 阵列) W 亚微米管电极的电阻,其电阻值分布情况如图 2.9(b)所示。从图中可见, W 亚微米管电

极的电阻有 25% 在 $50 \sim 100 \Omega$ 之间, 70.3% 在 $100 \sim 150 \Omega$ 之间, 只有 4.6% 的电阻大于 150Ω 。W 亚微米管电极的电阻基本上都在 $50 \sim 150 \Omega$ 之间, 电阻分布比较窄。

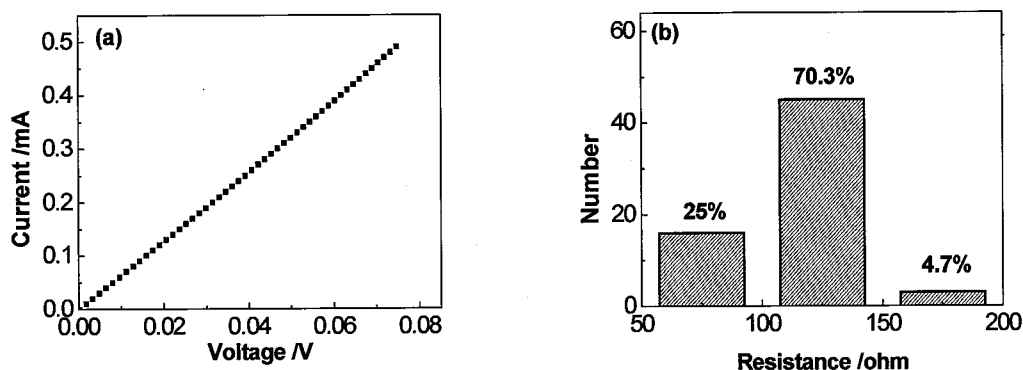


图 2.9 (a) W 亚微米管的典型 I - V 曲线图; (b) W 亚微米管的电阻分布统计图

PCRAM 的读写擦操作主要是通过加热电极把脉冲电信号施加在存储单元上, 为此需要研究脉冲电信号对加热电极性能的影响。首先, 在固定电流强度分别为 0.5、1、2 和 3 mA 情况下, W 亚微米管的电阻随电流宽度的变化情况如图 2.10(a)所示。从图中可见, 当电流强度为 0.5 mA 时, W 亚微米管的电阻曲线基本保持水平, 稳定在 123Ω ; 随着电流强度增加到 1、2 和 3 mA 时, W 亚微米管的电阻曲线都保持不变, 说明了其承受电流的能力是非常强的。在固定电流宽度分别为 20、100、500 和 1000 ns 情况下, W 亚微米管的电阻随着电流强度的变化趋势如图 2.10(b)所示。从图中可见, 当电流宽度为 20 ns 时, W 亚微米管的电阻曲线基本保持水平, 稳定在 123Ω ; 随着电流宽度增加到 100、500 和 1000 ns, W 亚微米管的电阻曲线仍然保持不变。总之, 对 W 亚微米管施加不同电流强度、不同电流宽度的脉冲信号, 其电阻都没有明显的变化, 说明 W 亚微米管具有良好的电学稳定性。

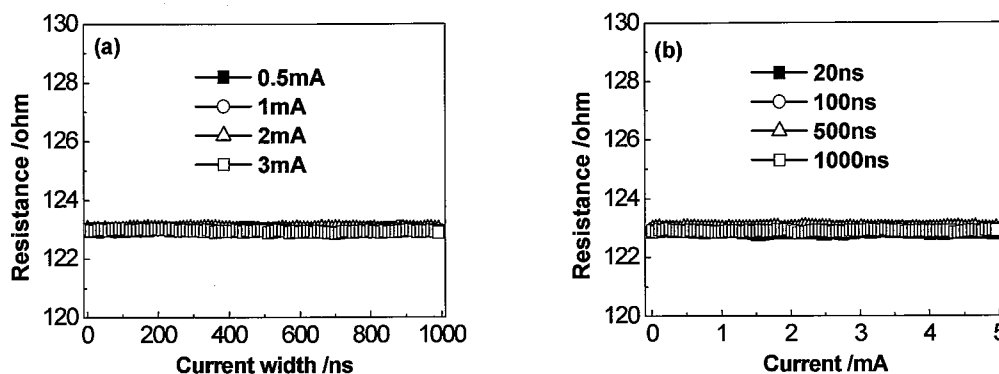


图 2.10 W 亚微米管的电阻与脉冲电流的变化曲线, (a) 在电流强度固定时随电流宽度的变化情况; (b) 在电流宽度固定时随电流强度的变化情况

2.2.3 直径为 260 nm 亚微米管失效分析

图 2.11 给出了使用 W 亚微米管作为加热电极的 PCRAM 器件的疲劳特性测试结果。该器件采用最典型的 PCRAM 器件结构: 在 W 亚微米管上沉积一层 GST, 再覆盖上一层 W 作为上电极。由图可知, 对 PCRAM 器件施加 3 mA、20 ns 的 RESET 电流和 1.5 mA、100 ns 的 SET 电流进行疲劳特性测试, 当循环次数达到 4×10^5 次后发生断路。影响 PCRAM 器件写擦循环次数的因素很多, 包括加热电极与相变材料之间的界面接触情况变化、加热电极本身性能的变化和相变材料本身性能的变化等^[71-72]。由于相变材料本身组分及晶粒等性能的变化只有在经过非常多的写擦循环次数之后才起到主要作用, 因此, 本文主要从加热电极本身性能和加热电极与相变材料界面情况两个方面进行研究。

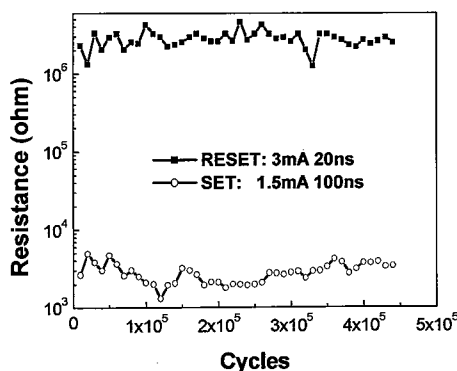


图 2.11 W 亚微米管的疲劳特性

首先,为了考察加热电极的稳定性,需要研究反复施加脉冲电信号对加热电极电阻性能的影响,图 2.12 给出了 W 亚微米管的疲劳特性测试结果。由图可知,对 W 亚微米管不断施加分别为 3 mA、20 ns, 3 mA、100 ns, 3 mA、500 ns, 3 mA、1000 ns 的电流脉冲信号后,当循环次数达到 10^9 次时,其电阻仍然保持稳定的状态,基本在 122—124 Ω 范围内变化,说明 W 亚微米管本身的稳定性和电阻稳定性都非常好,完全可以满足 PCRAM 器件单元的需要,因此可以基本排除器件失效的原因是由加热电极本身性能的变化引起的。

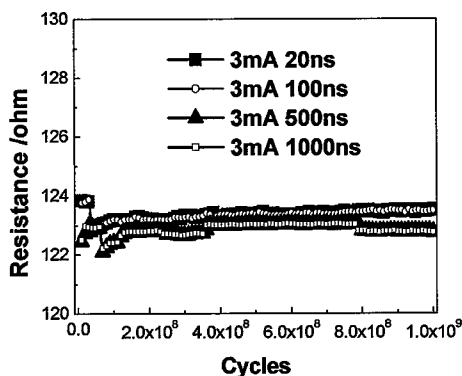


图 2.12 W 亚微米管的疲劳特性

然后,为了考察器件单元的失效原因,本文采用 FIB 对失效的器件单元进行了剖面结构分析,图 2.13 给出了疲劳特性测试后失效 PCRAM 器件单元的 FIB 剖面图,从图中可以清楚的看出 GST 与电极之间的接触面断开,形成断路,导致了器件的失效,这也是器件单元失效的最为常见原因之一。发生器件单元断路的原因之一可能是由于加热电极 W 是空心管状结构,这会导致相变材料在熔化过程中部分进入 W 管内部,从而使相变材料与上电极之间发生脱离;另外,由于相变材料从非晶态向多晶态转变时,薄膜厚度将缩小 6.5%,相变材料体积缩小,在多次循环后,导致了电极与 GST 的脱离,造成器件单元的失效。