

图4.12给出了Al电极工艺后的结构图及其布线图。由图可知,阵列的所有单元的下电极都连接在一起,下电极通过阵列边角上引出。所有单元的上电极都被引到阵列的边缘,以便于封装测试,单元的选通是通过上电极的分离实现的。这样连接下电极和任一单元的上电极就可以测试其存储单元的性能。

4.3 基于8英寸平台相变存储器单元器件的集成工艺研究

PCRAM 的一个巨大的优势是能够和现有的 CMOS 工艺相匹配。为了推动 PCRAM 商业化进程,8英寸工艺线平台上的工艺集成势在必行。本节工作重点在后段 PCRAM 存储单元的工艺集成,采取的器件结构如图 4.13 所示。此结构中集成了第二章中的直径为 120 nm 小电极的工艺,然后刻蚀出 GST 的限制区域,再沉积上电极,而下电极是通过刻蚀一个很深的小孔工艺实现的。下面就按照每一道工艺的具体控制和调节来说明此工艺集成过程。

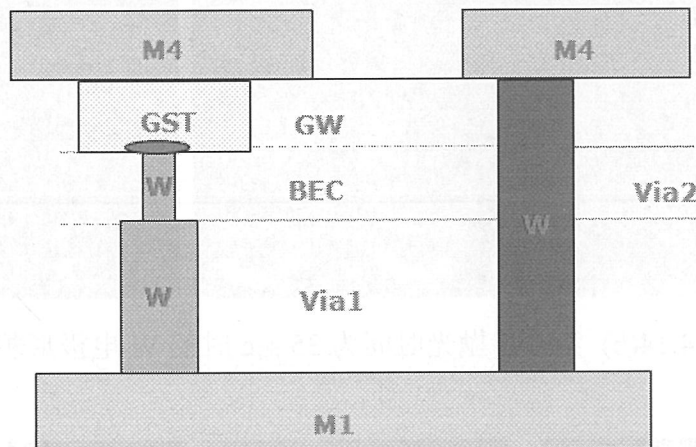


图 4.13 8 英寸平台下单元器件的结构示意图

1. 底电极的制备

底电极的制备工艺包括 M1 和 Via1 两块光照的所有工艺,这已经在电极的制备工艺中介绍过。值得注意的是,最后 Via1 中 W 被抛平的时候要尽量与氧化层相平,否则会给后续小电极集成工艺带来困难。为了保证金属互连的稳定性,

W Plug 需要高出 Oxide 一些。W CMP 的工艺主要分为两步：第一步是 W CMP，这一步抛光的程序主要针对 W 的抛光，其抛光速率相对 SiO_2 比较高，可以将 SiO_2 作为停止层；第二步是 SiO_2 的抛光，这一步主要针对 SiO_2 的抛光，其抛光速率相对 W 比较快，可以使 W 高于 SiO_2 面。通过调节第二步抛光的时间，使得 W 高于 SiO_2 面。图 4.14 给出了第二步抛光时间分别为 25, 35, 30sec 时对应的表面形貌。由图可知，当第二步抛光 25 sec 时，W 电极略低于氧化层；当第二步抛光 35 sec 时，W 电极略高于氧化层。最终本实验确定第二步抛光的时间为 30 sec，保证 W 电极尽可能的与氧化层相平。

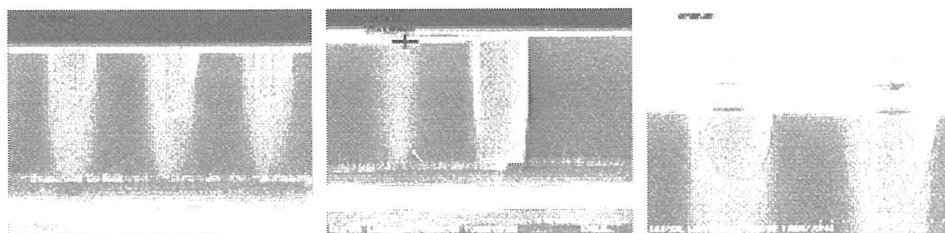


图 4.14(a) 第二步抛光时间为 25 sec 时的 W 电极形貌图

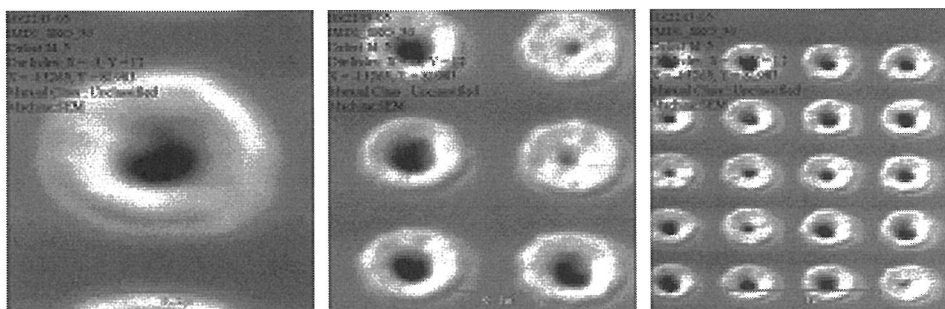


图 4.14(b) 第二步抛光时间为 35 sec 时的 W 电极形貌图

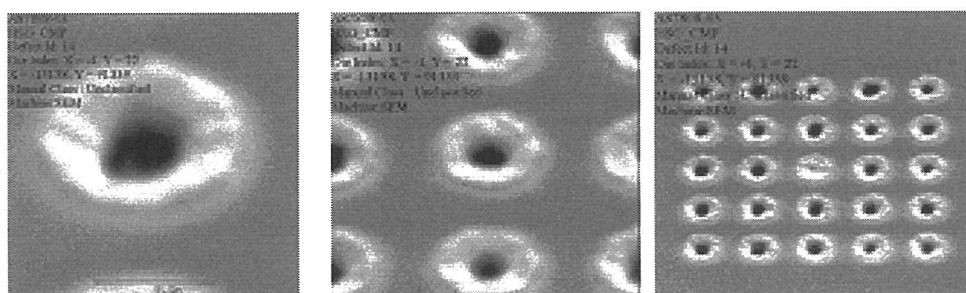


图 4.14(c) 第二步抛光时间为 30 sec 时的 W 电极形貌图

2. 直径为 120 nm 小电极工艺的集成(详见第二章)

3. 引出下电极的深孔的制备

在小电极结构上依次沉积 $\text{SiN}_x/\text{SiO}_2/\text{SiON}$, 厚度依次为 25 nm/150 nm/80 nm。然后曝光刻蚀出深孔, 再沉积 W 金属, 化学机械抛光表面得到下电极引出孔。 $\text{SiN}_x/\text{SiO}_2$ 是作为 GST 窗口的材料, 而 SiON 是为了防止小孔抛光时 GST 窗口材料的损失。

由于 SiON 材料的引入, 导致了小孔曝光条件的漂移。没有 SiON 时, 用能量为 62 mj 曝光所对应的尺寸为 0.25 μm , 而当增加 SiON 后, 同样的曝光条件所对应的尺寸为 0.17 μm , 小孔直径的减小将带来 W 填充的困难, 因此需要重新调节曝光的能量。如图 4.15 所示, 将曝光能量增加到 75 mj、78 mj, 它们所对应的小孔尺寸分别为 0.23 μm 和 0.24 μm 。这样就计算出小孔直径每增加 0.01 μm , 所对应增加的能量为 2.28 mj, 那么曝光显影后小孔直径能够达到 0.27 μm , 所需要的能量为 84 mj。

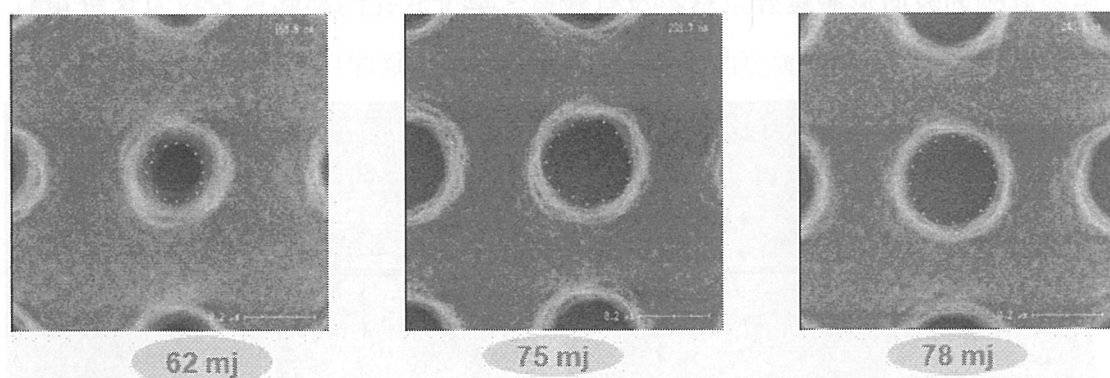


图 4.15 不同曝光能量所对应的小孔尺寸

深孔的刻蚀也是一个难点, 因为介质材料是 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2/\text{SiON}$ 这样复杂的夹心结构, 特别是中间一层 SiN_x 的存在。因此在设计刻蚀程序的时候, 分成不同部分的四个部分, 在刻蚀 SiN_x 加了 100% 的过刻蚀, 以确保能够刻蚀干净。刻蚀过后, W 的填充能力也要面临挑战, 因为其顶部开口直径为 0.27 μm , 而深宽比达到 5 以上。W 是用 PNL 技术沉积。图 4.16 是深孔刻蚀并填充 W 后的 SEM 图, 由图可知, 深孔已经完全刻蚀开, 停止在下面 Al 层上, 保证连通良好。W 也基本填充完整, 中间存在空隙, 但是作为互连来说已经足够。8 英寸芯片中间

和边缘几乎没有多大的差别，深孔的单项刻蚀和 W 填充没有问题，均匀性良好。

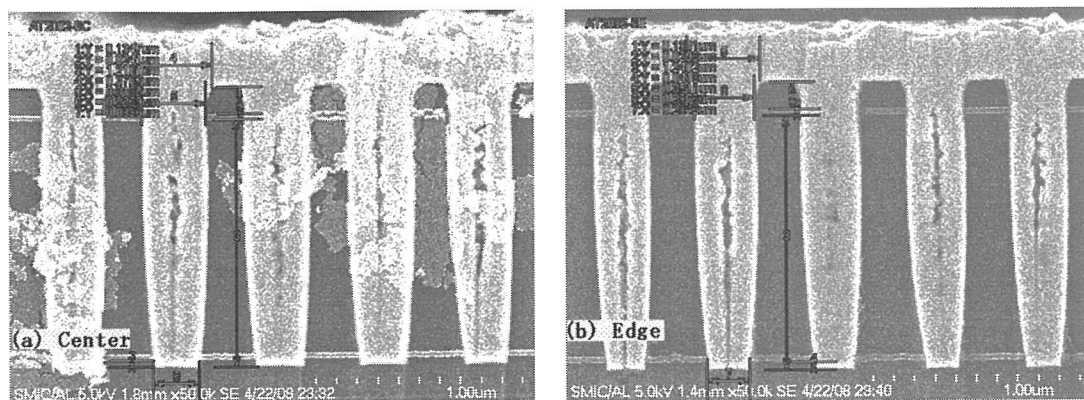


图 4.16 W 填充后深孔的形貌图 (a)Center, (b)Edge

深孔的化学机械抛光工艺与前面的底电极的抛光工艺类似分为两步，而第二步的 SiO_2 刻蚀会使氧化层有损失。 SiON 就是充当这个牺牲层的作用，在第二步抛光后也没有剩余，以保护 GST 窗口的高度。如图 4.17 所示，抛光后，露出的电极阵列的表面形貌良好，基本没有残留。单个深孔的顶部直径约为 $0.27 \mu\text{m}$ 。

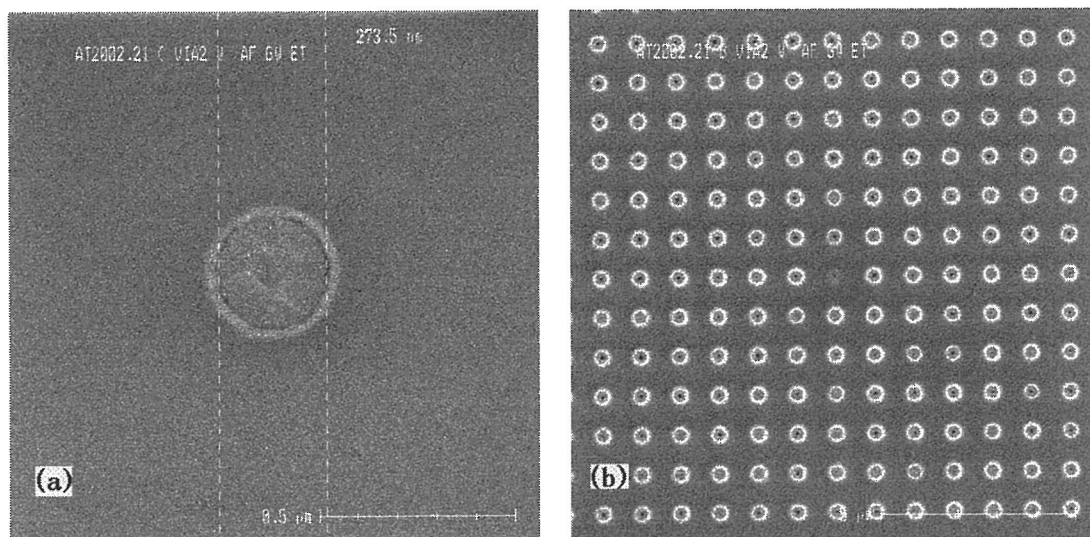


图 4.17 深孔抛光后表面形貌图 (a)单个, (b)阵列

4. GST 限制窗口的制备

GST 限制窗口的难点在于刻蚀的停止点， SiN_x 作为刻蚀的停止层，然后通过延长刻蚀时间来去除 SiN_x ，如图 4.18 所示。左边那张图是刚刚刻蚀完 SiO_2 而

停止在 SiN_x 上, 右边那张图是延长刻蚀时间将 SiN_x 刻蚀完而停止在 W 电极上, 说明 GST 窗口刻蚀的停止点可以控制在刚刚刻蚀完 SiN_x 。

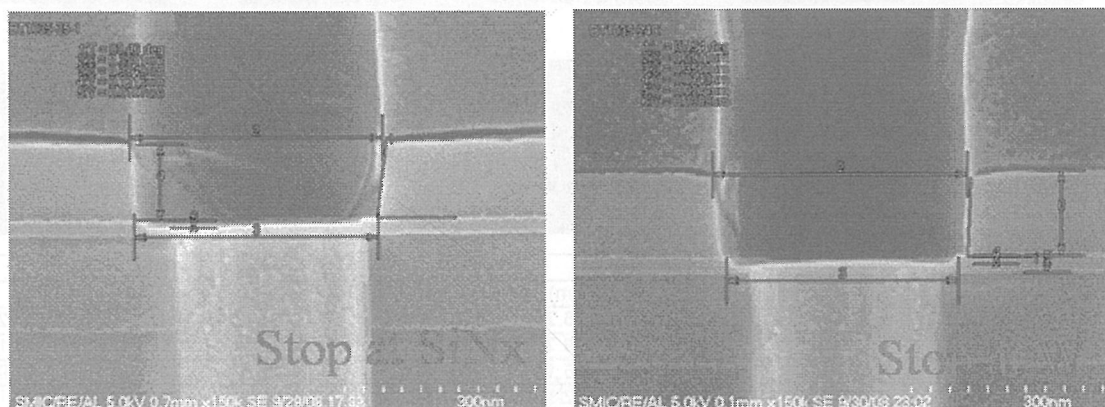


图 4.18 GST 窗口刻蚀控制的剖面图

5. GST 填充和抛光工艺

GST 限制窗口在刻蚀后的角度大于 85° , 而 PVD 的台阶覆盖能力较差, 所以就带来了 GST 在纳米尺度上的填充困难。在 PVD 填充能力无法调节的情况下, 通过降低 GST 限制窗口的垂直度, 使得 GST 填充的更加充实, 这样经过化学机械抛光后, GST 中间没有空隙存在, 否则将会造成器件的可靠性变差。Ar 物理轰击时直角刻蚀的比較快, 而侧壁和孔洞的底部刻蚀比較慢。利用这个特点去扩大窗口顶部的尺寸, 使得垂直度变低。如图 4.19 所示, 物理刻蚀前后, GST 窗口的白边变大, 而这个白边就是俯视时侧壁的体现, 也就是说角度明显变倾斜。从表中数据可见, 物理刻蚀后, GST 窗口的顶部尺寸变大了 28.6 nm , 而底部却缩小了 18.9 nm , 说明物理刻蚀出的产物没有及时被抽走, 又重新沉积在孔洞的底部, 使得底部的尺寸变小。

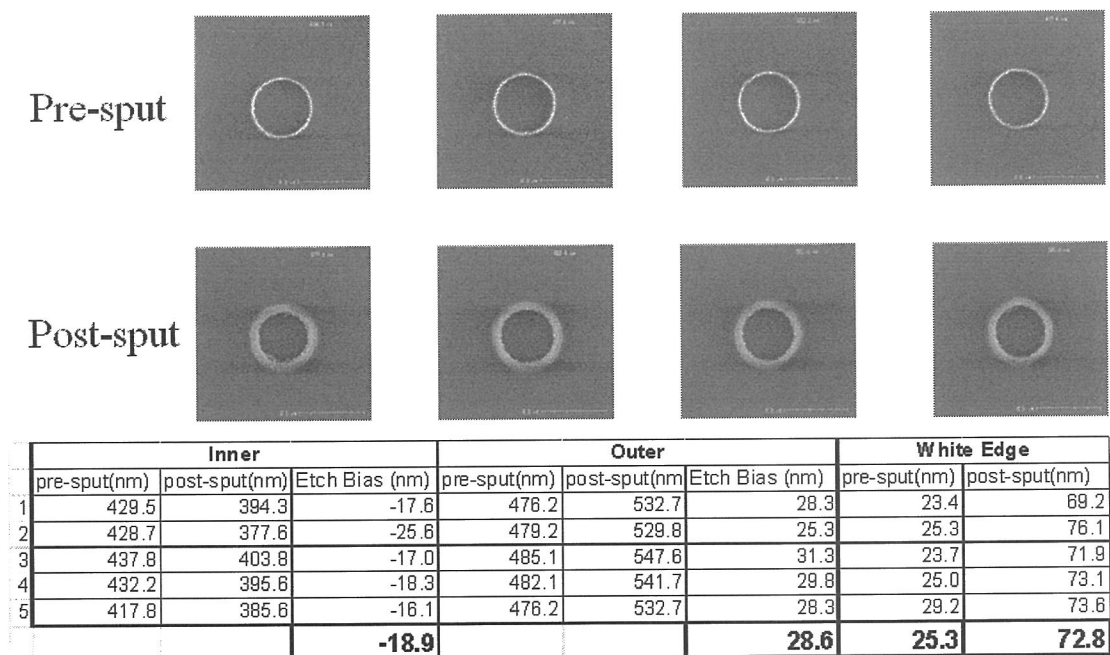


图 4.19 Ar 轰击后 GST 窗口的俯视图及参数表

经过物理刻蚀后，GST 的填充情况如图 4.20 所示。GST 窗口已经由 85° 降低到 70° 左右，GST 基本能够完全覆盖窗口。接着抛平表面即可得到 GST 限制区域。

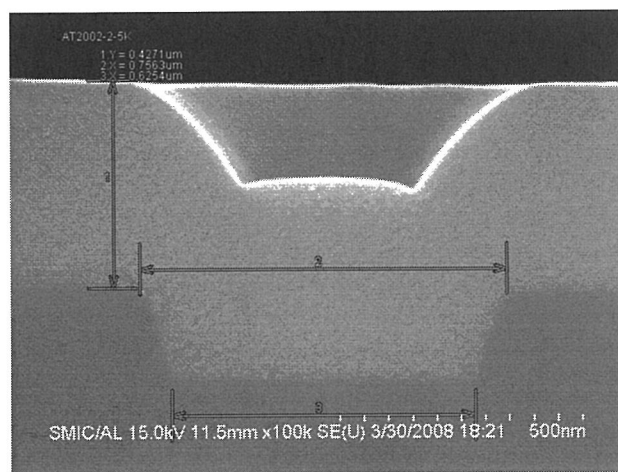


图 4.20 GST 填充后的 GST 窗口剖面图

6. 顶电极的制备

顶电极 Al 的干法刻蚀在工艺线上已经比较成熟，而且 Al 的最小线宽是 $5\mu\text{m}$ ，基本上只需保证 Al 刻蚀完就行。如图 4.21 所示，Al 已经刻蚀完，氧化层

将近有 100 nm 的损失, 这已经足够保证 Al 不会造成单元之间的连通失效问题。

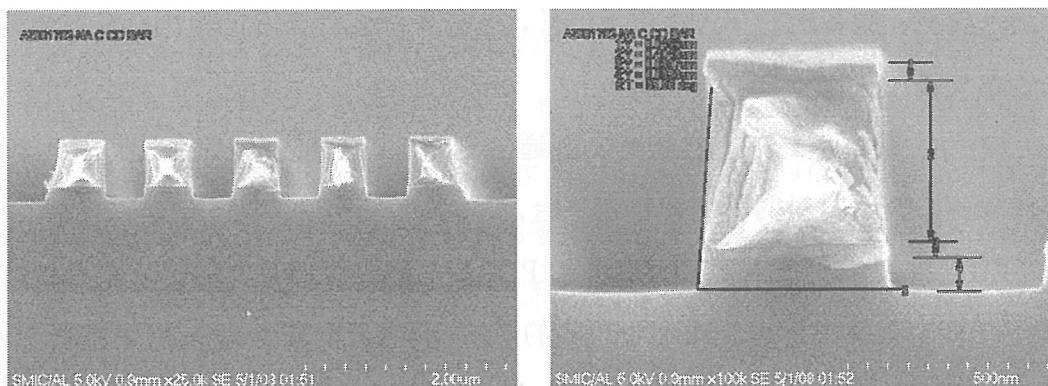


图 4.21 Al 电极刻蚀后的 SEM 图

经过所有单道工艺的研究, 本实验成功的完成了 PCRAM 后段存储单元的工艺集成, 其剖面结构如图 4.22 所示。

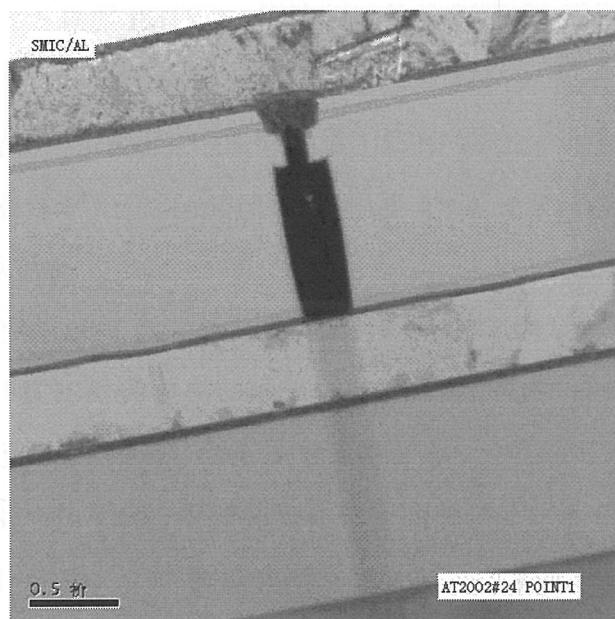


图 4.22 PCRAM 存储单元剖面结构图

4.4 小结

本章主要介绍了 PCRAM 存储单元的工艺集成过程, 针对公司有技术却无法引入 GST, 而科研单位有资源但技术不够的现状, 实现了产学研的结合。主要

结论有:

(1)在 4 英寸工艺线走通了剥离工艺的整合,设计出上下电极错开,并将 GST 隔离的结构,制备出 PCRAM 单元器件,并分析了器件失效的原因,发现光刻胶的残留导致了大部分器件的失效。

(2)为了避免剥离工艺的缺点,走通了刻蚀工艺的整合,制备出成品率高的器件阵列,为新材料的研究提供了平台。

(3)首次在 8 英寸工艺线上实现了 PCRAM 后段存储单元的工艺整合:详细研究了 W 电极第二步抛光对电极形貌的影响,集成了直径为 120 nm 小电极工艺,成功地刻蚀出深孔并且能够填充良好,详细摸索了 GST 限制窗口的刻蚀条件,解决了 GST 填充孔洞的困难,并详细研究了每一道工艺前后的工艺参数的匹配,小电极的使用降低了器件的功耗,成功制备出 16 Kbit 的芯片。

在国内率先完成了 8 英寸的 PCRAM 工艺整合,缩短了未来中国与世界先进 PCRAM 工艺技术的差距,有望在未来的几年内走通产品化道路。

第五章 总结

近几年来,半导体界一致认为相变存储器是最有希望的下一代非挥发性存储器,也掀起了一波相变存储器研究发展热潮。本课题组协同中芯国际集成电路制造有限公司、Silicon Storage Technology 等十余家研发机构在国内率先开展了相变存储器的研发工作,并承担起 973 国家纳米重大项目。

本论文主要围绕相变存储器的工艺和结构改善开展研究工作,主要取得了以下几个方面的成果:

(1)成功制备出直径为 120 nm 的加热电极。首先,利用 0.18 μm 工艺线 plug 技术制备出外径为 260 nm、内径为 100 nm 的亚微米管,但由于其中空结构引起器件的可靠性变差;为了避免亚微米管的缺点,通过降低 plug 高度和 PNL 沉积法成功制备了直径为 260 nm 的柱状电极;在 0.18 μm 工艺线 plug 技术基础上,利用 PETEOS 填充并刻蚀成侧墙结构,来减小小孔的直径,成功制备出直径 160 nm 的柱状电极;为了克服 PETEOS 侧墙刻蚀的控制困难,采用 ONO 结构和 SiN_x 侧墙技术优化了工艺结构,并成功制备出直径为 120 nm 的柱状电极。相变存储器单元测试结果表明:RESET 电压降到了 1.2 V,测试结果的一致性和成品都有所增加,芯片中器件单元高阻值与低阻值相差 1—2 个数量级,器件单元重复擦写次数达到 10^6 次。

(2)系统研究了 GST 的刻蚀工艺,并制备出 GST 纳米阵列。利用 CF_4+Ar 气体组分刻蚀 GST 时, CF_4 为主要起到化学反应作用,Ar 的作用是物理轰击作用,当 CF_4/Ar 比例达到 1/4 的时候,GST 刻蚀表面平整,侧壁垂直光滑;利用 CHF_3+O_2 气体组分刻蚀 GST 时, CHF_3 主要起到化学反应的作用,而 CHF_3 中的 H 离子可以起到一定的钝化作用,使得侧壁光滑垂直,刻蚀的表面也很平整, O_2 的加入促进了 F 离子的生成,并且起到物理轰击的作用,帮助 F 离子化学反应的进行;刻蚀气压对 GST 刻蚀效果有一定的影响,其原因是刻蚀气压影响离子的平均自由程,造成离子轰击 GST 表面的能量降低,影响刻蚀速率以及刻蚀形貌,而刻蚀时施加的功率影响等离子体的浓度以及能量;利用电子束曝光技术对 GST 纳米尺度的刻蚀做了研究,我们选择 TiN 作为刻蚀 GST 的硬掩膜,因为 TiN 和 GST 的刻蚀选择比可以达到 10 以上,完全胜任 GST 刻蚀时的阻挡作用,成功制备了

尺寸为 150 nm 的 GST 纳米阵列。

(3)率先研发了 8 英寸平台下 GST 的刻蚀工艺。为了配合相变存储器的工艺集成,研究了 8 英寸平台下 GST 刻蚀工艺和清洗工艺。选择 Cl_2 、Ar、 CHF_3 的气体组合来研究 GST 刻蚀工艺,通过调节 Cl_2/CHF_3 的比例来调节 GST 刻蚀侧壁以及表面的粗糙度,并且确定 Cl_2/CHF_3 的比例为 1/1.5 时 GST 刻蚀效果最佳。因为 Cl_2 主要起到化学反应的作用, CHF_3 中还有 H 具有一定的钝化作用,Ar 的物理轰击作用可以增强化学反应效果。比较了等离子体去胶和湿法去胶的实验情况,等离子体灰化时的温度过高,造成 GST 结晶化,并且 GST 侧壁损伤严重,而 HF 去胶的效果很好,对 GST 形貌没有造成明显的损伤。

(4)国内首次实现了 8 英寸工艺上 PCRAM 存储单元的工艺集成。首先在 4 英寸工艺线走通了剥离工艺的整合,设计出上下电极错开,并分析了器件失效的原因,发现光刻胶的残留导致了大部分器件的失效。为了避免剥离工艺的缺点,走通了刻蚀工艺的整合,制备出成品率高的器件阵列,为新材料的研究提供了平台。首次在 8 英寸工艺线上实现了 PCRAM 后端存储单元的工艺整合:详细研究了 W 电极第二步抛光对电极形貌的影响,集成了 120 nm 小电极工艺,成功地刻蚀出深孔并且能够填充良好,详细摸索了 GST 限制窗口的刻蚀条件,解决了 GST 填充孔洞的困难,并详细研究了每一道工艺前后的工艺参数的匹配,小电极的使用降低了器件的功耗,缩短了未来中国与世界先进 PCRAM 工艺技术的差距。